

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6873262号
(P6873262)

(45) 発行日 令和3年5月19日(2021.5.19)

(24) 登録日 令和3年4月22日(2021.4.22)

(51) Int.Cl. F I
H03M 13/19 (2006.01) H03M 13/19

請求項の数 10 (全 32 頁)

(21) 出願番号 特願2019-547711 (P2019-547711)
 (86) (22) 出願日 平成29年3月3日(2017.3.3)
 (65) 公表番号 特表2020-515125 (P2020-515125A)
 (43) 公表日 令和2年5月21日(2020.5.21)
 (86) 国際出願番号 PCT/CN2017/075616
 (87) 国際公開番号 W02018/157390
 (87) 国際公開日 平成30年9月7日(2018.9.7)
 審査請求日 令和1年9月12日(2019.9.12)

(73) 特許権者 503433420
 華為技術有限公司
 HUAWEI TECHNOLOGIES
 CO., LTD.
 中華人民共和国 518129 広東省深
 ▲チェン▼市龍崗区坂田 華為総部▲ベン
 ▼公楼
 Huawei Administration Building, Bantian,
 Longgang District, Shenzhen, Guangdong
 518129, P. R. China
 (74) 代理人 100132481
 弁理士 赤澤 克豪

最終頁に続く

(54) 【発明の名称】 高レートロングLDPC符号

(57) 【特許請求の範囲】

【請求項1】

ソースワードを符号化する方法であって、
 $1 \times K$ のソースワード行ベクトル

【数1】

 \bar{u}

を受信するステップと、

 $1 \times N$ のコードワードベクトル

【数2】

 $\bar{c} = \bar{u} \cdot G$

を生成するステップであり、

G はパリティ検査行列 H_1 から導出された $K \times N$ の生成行列である、ステップと
 を含み、

H_1 は、基本パリティ検査行列 H から、最適化されたリフティング行列を前記基本パリティ検査行列 H に適用することにより導出され、前記最適化されたリフティング行列は、

【表 1】

1	1	0	0	0	0	0	0	1	1	0	1	0	0		
1	0	0	1	1	1	1	1	1	1	1	1	0	1	1	
0	0	1	1	1	1	1	0	0	1	0	1		0	1	
0	1	1	0	0	0	0	0	0		0	1	0	0	0	0

または

【表 2】

0	0	0	0	1	1	0	0	0	1	0	0	1			
1	1	0	0	1	0	1	0	1	0	0	0	0	1		
0	1	1	0	1	1	0	0	1	0	0	0		1	0	
0	1	0	1	0	0	0	0	0		0	0	0	0	0	1

10

である、方法。

【請求項 2】

H_1 は、

前記最適化されたリフティング行列を前記基本パリティ検査行列 H に適用して中間パリティ検査行列を取得し、

前記中間パリティ検査行列の異なる行を加算して H_1 を取得する

ことによりパリティ検査行列 H から導出される、請求項 1 に記載の方法。

20

【請求項 3】

前記最適化されたリフティング行列を前記基本パリティ検査行列 H に適用して中間パリティ検査行列を取得するステップは、

4 行 × 16 列の最適化されたバイナリリフティング行列を区分された 4 行 × 16 列の行列に適用して、それぞれが 42 ビット × 42 ビットのバイナリ単位行列の巡回置換であるかまたはすべてゼロ値を含む 42 ビット × 42 ビットの部分行列の 8 行 32 列の前記中間パリティ検査行列を取得するステップを含む、請求項 2 に記載の方法。

【請求項 4】

前記中間パリティ検査行列の異なる行を加算して H_1 を取得することは、

前記中間パリティ検査行列の第 1 行および第 5 行を加算して H_1 の第 1 行を取得すること、

30

前記中間パリティ検査行列の第 2 行および第 6 行を加算して H_1 の第 2 行を取得すること、

前記中間パリティ検査行列の第 3 行および第 7 行を加算して H_1 の第 3 行を取得すること、

前記中間パリティ検査行列の第 4 行および第 8 行を加算して H_1 の第 4 行を取得すること

を含む、請求項 2 に記載の方法。

【請求項 5】

前記基本パリティ検査行列 H は、レート 3 / 4 長さ 672 のコードワードに対して 802 . 11 a d で規定されている LDPC 行列である、請求項 1 から 4 のいずれか一項に記載の方法。

40

【請求項 6】

H_1 は、

【表 3】

37	35	31	19	41	18	22	23	40	11	41	21	39	6	20	6	32	28	18	9	12	17	3	29	28		0			13		
35	37	19	31	18	41	23	22	11	40	21	41	6	39	6	20	28	32	9	18	17	12	29	3		28		0	13			
25	29	30	22	0	4	34	8	31	33	3	22	14	17	15	4	4	27		28	14	20	27	18	13	24	13	23	22		24	
29	25	22	30	4	0	8	34	33	31	22	3	17	14	4	15	27	4	28		20	14	18	27	24	13	23	13		22		24

によって表される、請求項 1 から 5 のいずれか一項に記載の方法。

50

【請求項 7】

前記最適化されたリフティング行列は、空白の行 - 列エントリと非空白の行 - 列エントリで構成され、前記中間パリティ検査行列の加算された部分行列に対応する両方の非空白エントリのペアは相補的である、請求項 2 から 6 のいずれか一項に記載の方法。

【請求項 8】

プロセッサを備える装置であって、前記プロセッサは前記装置に請求項 1 から 7 のいずれか一項に記載の方法を実行させるように構成される、装置。

【請求項 9】

プログラムが記録されたコンピュータ可読記録媒体であって、前記プログラムは実行された時に請求項 1 から 7 のいずれか一項に記載の方法をコンピュータに実行させる、コンピュータ可読記録媒体。

10

【請求項 10】

請求項 1 から 7 のいずれか一項に記載の方法をコンピュータに実行させるプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、モバイルエアインタフェース技術に関し、特に、バイナリ低密度パリティ検査 (LDPC: Low Density Parity Check) 符号用の符号化および復号のための方法およびシステムに関する。

【背景技術】

20

【0002】

送信機側の LDPC エンコーダは、ソースワードを符号化してコードワードを生成するために使用される。受信機側の LDPC デコーダは、受信したコードワードを復号するために使用される。さまざまなレートの LDPC 符号が IEEE 802.11ad 規格で採用されており、現在開発中の IEEE 802.11ay 規格に関して提案されている。これまで、7/8 LDPC 符号レート用に提案されたロング LDPC 符号は、ロング LDPC 符号の異なる符号レートに対して使用されるコードワード長とは異なるコードワード長を持っている。しかし、ロング LDPC 符号用の異なる符号レートに対して異なる LDPC コードワード長を使用することは、送信機側と受信機側でそれぞれブロッキングとデブロッキングプロセスの実施に影響を与える可能性がある。したがって、異なる符号レートに対して一貫したコードワード長を持つことが望ましい。

30

【発明の概要】

【0003】

例示的な実施形態によれば、異なる符号レートを有する他の LDPC 符号によって使用されるコードワード長 1344 を保持するレート 7/8 (1344、1176) の LDPC 符号を含む、新たな高レートのロング LDPC 符号が提供され、実装を簡素化し、他の可能なソリューションと比較して符号化およびシングルキャリア (SC) ブロッキングにおいてより少ないゼロをパディングすることでスペクトル効率を向上させる。

【0004】

例示的な態様は、ソースワードを符号化する方法およびシステムであって、 $1 \times K$ のソースワード行ベクトル

40

【0005】

【数 1】

$$\underline{u}$$

【0006】

を受信するステップと、 $1 \times N$ のコードワードベクトル

【0007】

【数2】

$$\bar{c} = \bar{u} \cdot G$$

【0008】

を生成するステップであり、Gはパリティ検査行列H₁から導出されたK×Nの生成行列である、ステップとを含み、H₁は、基本パリティ検査行列Hから、最適化されたリフティング行列を基本パリティ検査行列Hに適用することにより導出され、最適化されたリフティング行列は、

10

【0009】

【表1】

1	1	0	0	0	0	0	0	1	1	0	1	0	0			
1	0	0	1	1	1	1	1	1	1	1	1	0	1	1		
0	0	1	1	1	1	1	1	0	0	1	0	1		0	1	
0	1	1	0	0	0	0	0	0	0		0	1	0	0	0	0

【0010】

または

【0011】

【表2】

0	0	0	0	1	1	0	0	0	1	0	0	1				
1	1	0	0	1	0	1	0	1	0	0	0	0	1			
0	1	1	0	1	1	0	0	1	0	0	0		1	0		
0	1	0	1	0	0	0	0	0		0	0	0	0	0	0	1

20

【0012】

のいずれかである。

【0013】

いくつかの実施例において、中間基本パリティ検査行列の異なる行を加算してH₁を取得する。いくつかの実施例において、H₁は、

30

【0014】

【表3】

37	35	31	19	41	18	22	23	40	11	41	21	39	6	20	6	32	28	18	9	12	17	3	29	28		0			13		
35	37	19	31	18	41	23	22	11	40	21	41	6	39	6	20	28	32	9	18	17	12	29	3		28		0	13			
25	29	30	22	0	4	34	8	31	33	3	22	14	17	15	4	4	27		28	14	20	27	18	13	24	13	23	22		24	
29	25	22	30	4	0	8	34	33	31	22	3	17	14	4	15	27	4	28		20	14	18	27	24	13	23	13		22		24

【0015】

である。

【0016】

例示的な態様によれば、ソースワードを符号化する方法が提供され、本方法は、1×Kのソースワード行ベクトル

40

【0017】

【数3】

$$\bar{u}$$

【0018】

を受信するステップと、1×Nのコードワードベクトル

【0019】

【数 4】

$$\bar{c} = \bar{u} \cdot G$$

【0020】

を生成するステップであり、Gはパリティ検査行列H₁から導出されたK×Nの生成行列である、ステップとを含み、H₁は、基本パリティ検査行列Hから、基本パリティ検査行列Hの異なる行を加算して中間パリティ検査行列を取得し、リフティング行列を中間基本パリティ検査行列に適用してH₁を取得することにより、導出される。

10

【0021】

例示的な態様によれば、ソースワードを符号化する方法が提供され、本方法は、1×Kのソースワード行ベクトル

【0022】

【数 5】

$$\bar{u}$$

【0023】

を受信するステップと、1×Nのコードワードベクトル

20

【0024】

【数 6】

$$\bar{c} = \bar{u} \cdot G$$

【0025】

を生成するステップを含み、ここでGはパリティ検査行列H₁から導出されたK×Nの生成行列であり、H₁は、基本パリティ検査行列Hに適用されるリフティング係数を増加させて拡張基本パリティ検査行列を取得し、拡張基本パリティ検査行列の異なる行を加算することにより、基本パリティ検査行列Hから導出される。

30

【図面の簡単な説明】

【0026】

ここで、一例を挙げて、本出願の例示的な実施形態を示す添付の図面を参照する。

【0027】

【図1A】図1Aは、本開示の一実装形態による例示的な通信システムを示すブロック図である。

【図1B】図1Bは、本開示の一実装形態による例示的な処理システムを示すブロック図である。

40

【図2A】図2Aは、本開示の送信機の例示的な実装を示すブロック図である。

【図2B】図2Bは、本開示の情報ビットストリームを処理する方法における例示的なステップを示すブロック図である。

【図3】図3は、本開示のLDPCエンコーダの例示的な実装を示すブロック図である。

【図4A】図4Aは、802.11adの例示的なシングルキャリアフレームフォーマットを示す図である。

【図4B】図4Bは、802.11adのシングルキャリアフレームフォーマットのデータブロックの例示的な構造を示す図である。

【図5A】図5Aは、IEEE 802.11adで規定されたコードワード長が672である、区分されたLDPCパリティ検査行列である。

50

【図5B】図5Bは、IEEE 802.11adで規定されたコードワード長が672である、区分されたLDPCパリティ検査行列である。

【図5C】図5Cは、IEEE 802.11adで規定されたコードワード長が672である、区分されたLDPCパリティ検査行列である。

【図5D】図5Dは、IEEE 802.11adで規定されたコードワード長が672である、区分されたLDPCパリティ検査行列である。

【図5E】図5Eは、4×4単位行列から得られた巡回置換部分行列を示す。

【図6A】図6Aは、IEEE 802.11ayで提案されたコードワード長1344の区分されたLDPCパリティ検査行列である。

【図6B】図6Bは、IEEE 802.11ayで提案されたコードワード長1344の区分されたLDPCパリティ検査行列である。

10

【図6C】図6Cは、IEEE 802.11ayで提案されたコードワード長1344の区分されたLDPCパリティ検査行列である。

【図6D】図6Dは、IEEE 802.11ayで提案されたコードワード長1344の区分されたLDPCパリティ検査行列である。

【図7A】図7Aは、異なる変調技術を用いたシングルキャリアブロッキングを示す図である。

【図7B】図7Bは、異なる変調技術を用いたシングルキャリアブロッキングを示す図である。

【図7C】図7Cは、異なる変調技術を用いたシングルキャリアブロッキングを示す図である。

20

【図8】図8は、802.11におけるレート3/4のLDPCに基づく符号レート7/8の短長のLDPC行列 H_n を示す図である。

【図9】図9は、 $Z=4$ の単純化された場合の巡回置換行列を加算する例を示す図である。

【図10】図10は、本開示による、802.11におけるレート3/4のLDPCに基づいて符号レート7/8長さ1344のLDPC行列 H_1 を生成する方法を示す図である。

【図11】図11は、本開示による、802.11におけるレート3/4のLDPCに基づいて符号レート7/8長さ1344のLDPC行列 H_1 を生成するさらなる方法の別例を示す図である。

30

【図12】図12は、図11の方法で使用するための代替のリフティング行列を示す。

【図13】図13は、本開示による、802.11におけるレート3/4のLDPCに基づいて符号レート7/8長さ1344のLDPC行列 H_1 を生成するさらなる方法のさらに別の例を示す図である。

【図14】図14は、図13の方法で使用するための代替のリフティング行列を示す。

【図15A】図15Aは、本開示の受信機の例示的な実装を示すブロック図である。

【図15B】図15Bは、本開示の一実施形態による、受信信号を復号するプロセスの例示的なステップを示すブロック図である。

【図16】図16は、本開示のLDPCデコーダの例示的な実装を示すブロック図である。

40

【図17】図17は、例示的なLDPC復号プロセスを示す図である。

【0028】

同様の要素および特徴を示すために、図面全体を通して同様の参照符号が使用される。本発明の態様は、例示された実施形態と併せて説明されるが、本発明をそのような実施形態に限定することを意図するものではないことは理解されよう。

【発明を実施するための形態】

【0029】

本開示は、無線ネットワークにおいてソースワードを符号化し、コードワードを復号するための方法、デバイス、およびシステムを教示する。主に802.11ay互換ネット

50

ワークに関して以下に説明するが、本開示は他のブロッキング符号化ベースのシステムにも適用され得る。

【0030】

IEEE 802.11adで規定された対応する672ビットのLDPCコードワードの2段階リフティングに基づいて、より低符号レート1/2、5/8、3/4、および13/16に対して1344ビット長を有するロングLDPCコードワードが生成されることができ、ただし、レート7/8の符号など、1344ビットなどの低レートのロングコードワードと同じ長さのロングコードワードを使用する、適切な高レートのLDPC符号が引き続き必要とされる。これに関して、本開示は、1344ビット長のコードワードを有するレート7/8のLDPC符号などの高レートのロングLDPC符号について説明する。

10

【0031】

コンテキストとして、802.11ay規格の開発に関するLDPC符号に関する提出物には、「IEEE 802.11-16/0676-01-00ay-length-1344-LDPC-code-for-11ay」[参考文献1]および「IEEE 802.11-16/1495-00-00ay-rate-7-8-ldpc-code-for-11ay」[参考文献2]が含まれる。[参考文献1]は、1344ビットの長さを有するレート13/16のLDPCコードワードの最初の96パリティビットをパンクチャリングすることにより生成されたレート7/8のロングLDPC符号を提案する。ただし、長さ1344のLDPC符号に適用されたこのパンクチャリングプロセスにより、結果としてレートがより低いLDPC符号の1344のコードワード長と比較して、1248ビットのコードワード長を有するレート7/8のLDPC符号となる。さまざまなLDPCコードワードサイズは、送信機側と受信機側での符号化とシングルキャリア(SC)ブロッキング(シンボルをブロックマッピング)の実施に影響する。したがって、異なる符号レートに対してコードワード長を同じに保つことが望ましい。

20

【0032】

[参考文献2]は、42の膨張係数および672のコードワード長を802.11adのより低レート符号に対して規定されたものから変更せずに保持する、672ビットのコードワード長で高レート(7/8)のショートLDPC符号を提案している[3]。本開示は、より低レートの符号にも適用できるコードワード長を使用して実装される高レートのロングLDPC符号を説明する。

30

【0033】

以下で詳細に説明されるLDPCコーディングシステムが動作可能な環境の例が、図1Aおよび1Bを参照して提供される。図1Aは、複数の局(STA)102およびアクセスポイント(AP)104を備える通信ネットワーク100を示す。STA102およびAP104のそれぞれは、本明細書に記載されている、送信機、受信機、エンコーダ、および/またはデコーダを含み得る。ネットワーク100は、IEEE 802.11ネットワーク、第5世代(5G)または第4世代(4G)通信ネットワーク、ロングタームエボリューション(LTE)、第3世代パートナーシッププロジェクト(3GPP)、ユニバーサル移動通信システム(UMTS)、およびその他の無線または移動通信ネットワークを含み得るがこれらに限定されない1つまたは複数の通信またはデータ規格または技術に従って動作し得る。STA102は一般に、無線通信を提供するか、または802.11プロトコルを使用することができる任意のデバイスであり得る。STA102は、ラップトップ、デスクトップPC、PDA、アクセスポイントまたはWi-Fi電話、無線送受信ユニット(WTRU)、移動局(MS)、移動端末、スマートフォン、携帯電話、または他の無線対応コンピューティングまたはモバイルデバイスであり得る。いくつかの実施形態では、STA102は、通信ネットワーク100でデータを送信、受信、または送受信する機能を有するが、通信以外の主要な機能を実行するマシンを備える。一実施形態では、マシンは、通信ネットワーク100を介してデータを送信および/または受信する手段を備えた装置またはデバイスを含むが、そのような装置またはデバイスは通常、通信を

40

50

主目的でユーザーによって操作されるわけではない。A P 1 0 4 は、ネットワーク 1 0 0 内の S T A 1 0 2 用の無線送信および/または受信ポイントとして機能する基地局 (B S)、進化型ノード B (e N B)、無線ルータ、または他のネットワークインタフェースを備えてもよい。A P 1 0 4 は、A P 1 0 4 と他のリモートネットワーク、ノード、A P、およびデバイス (図示せず) の間でデータを交換できるようにするバックホールネットワーク 1 1 0 に接続されている。A P 1 0 4 は、図 1 A の矢印で表されるように、各 S T A 1 0 2 とのアップリンクおよびダウンリンク通信チャネルを確立することにより、各 S T A 1 0 2 との通信をサポートしてもよい。ネットワーク 1 0 0 内の通信は、A P 1 0 4 によりまたはネットワーク 1 0 0 内のスケジューリングまたは管理エンティティ (図示せず)、または予定された通信と予定されていない通信を混在することにより、予定されなく

10

【 0 0 3 4 】

図 1 B は、S T A 1 0 2 または A P 1 0 4 など、本明細書で説明される方法およびシステムを実装するために使用され得る例示的な処理システム 1 5 0 を示す。処理システム 1 5 0 は、例えば、基地局、無線ルータ、モバイルデバイス、または任意の適切な処理システムであってもよい。以下で説明するものとは異なる構成要素を含み得る、本開示を実施するのに適した他の処理システムを使用してもよい。図 1 B は各構成要素の単一のインスタンスを示しているが、処理システム 1 5 0 では各構成要素の複数のインスタンスが存在する場合がある。

【 0 0 3 5 】

処理システム 1 5 0 は、プロセッサ、マイクロプロセッサ、特定用途向け集積回路 (A S I C)、フィールドプログラマブルゲートアレイ (F P G A)、専用論理回路またはあそれらの組み合わせなどの 1 つまたは複数の処理デバイス 1 5 2 を含み得る。処理システム 1 5 0 はまた、1 つまたは複数の適切な入力デバイスおよび/または出力デバイス (図示せず) とのインタフェースを可能にし得る 1 つまたは複数の入出力 (I / O) インタフェース 1 5 4 を含んでもよい。入力デバイスおよび/または出力デバイスの 1 つまたは複数の構成要素として含まれてもよく、処理システム 1 5 0 の外部にあってよい。処理システム 1 5 0 は、限定されるわけではないが、イントラネット、インターネット、P 2 P ネットワーク、W A N、L A N、W L A N、および/または 5 G、4 G、L T E または他の上記のネットワークなどのセルラまたはモバイル通信ネットワークなどのネットワークとの有線または無線通信用の 1 つまたは複数のネットワークインタフェース 1 5 8 を含んでもよい。ネットワークインタフェース 2 0 8 は、ネットワーク内および/またはネットワーク間通信用の有線リンク (例えば、イーサネット (登録商標) ケーブル) および/または無線リンク (例えば、1 つまたは複数の無線周波数リンク) を含み得る。ネットワークインタフェース 1 5 8 は、例えば、1 つまたは複数の送信機または送信アンテナ、1 つまたは複数の受信機または受信アンテナ、ならびに様々な信号処理ハードウェアおよびソフトウェアを介して無線通信を提供し得る。この例では、送信および受信アンテナの両方として機能し得る単一のアンテナ 1 6 0 が示されている。ただし、他の例では、送信用と受信用に別々のアンテナが存在する場合がある。ネットワークインタフェース 1 5 8 は、バックホールネットワーク 1 1 0 またはネットワーク 1 0 0 の他のユーザデバイス、アクセスポイント、受信ポイント、送信ポイント、ネットワークノード、ゲートウェイまたはリレー (図示せず) とデータを送受信するように構成されてもよい。

20

30

40

【 0 0 3 6 】

処理システム 1 5 0 はまた、ソリッドステートドライブ、ハードディスクドライブ、磁気ディスクドライブ、および/または光ディスクドライブなどの大容量記憶ユニットを含み得る 1 つまたは複数の記憶ユニット 1 7 0 を含んでもよい。処理システム 1 5 0 は、揮発性または不揮発性メモリ (例えば、フラッシュメモリ、ランダムアクセスメモリ (R A M)、および/または読み取り専用メモリ (R O M)) を含み得る 1 つまたは複数のメモリ 1 7 2 を含んでもよい。非一時的メモリ 1 7 2 は、本開示を実行するためなどに、処理

50

デバイス 152 により実行される命令を格納してもよい。メモリ 172 は、オペレーティングシステムおよび他のアプリケーション / 機能を実装するためなどの他のソフトウェア命令を含み得る。いくつかの例では、1 つまたは複数のデータセットおよび / またはモジュールは、外部メモリ（例えば、処理システム 150 との有線または無線通信における外部ドライブ）によって提供されるか、一時的または非一時的なコンピュータ可読媒体によって提供され得る。非一時的なコンピュータ可読媒体の例は、RAM、ROM、消去可能プログラマブル ROM (EPROM)、電気的消去可能プログラマブル ROM (EEPROM)、フラッシュメモリ、CD-ROM、またはその他の携帯型メモリストレージを含む。

【0037】

例示的な実施形態では、処理システム 150 は、ソースワードをコードワードに符号化するためのエンコーダ 162 と、コードワードをシンボルに変調するための変調器 164 とを含む。以下で説明するように、エンコーダ 162 は、ソースワードに対して LDPC 符号化を実行して、ビット単位のコードワードを生成する。変調器 164 は、（例えば、BPSK、QPSK、16QAM、または 64QAM などの変調技術により）コードワードに対して変調を行う。いくつかの例では、メモリ 172 内の符号化された命令は、エンコーダ 162 および / または変調器 164 が処理システム 150 の別個の物理モジュールではない場合もあるように、エンコーダ 162 および / または変調器 164 の機能を実行するように処理デバイス 152 を構成し得る。いくつかの例では、エンコーダ 162 および変調器 164 は、処理システム 150 の送信機モジュール内で具現化され得る。いくつかの例では、送信アンテナ 160、エンコーダ 162、および変調器 164 は、処理システム 150 の外部の送信機コンポーネントとして具現化されてもよく、単に処理システム 150 からソースワードを伝達してもよい。

【0038】

処理システム 150 は、受信信号を処理するための復調器 180 および復号器 190 を含み得る。復調器 180 は、受信された変調信号（例えば、BPSK、QPSK、16QAM、または 64QAM 信号）に対して復調を実行し得る。次に、デコーダ 190 は、受信信号に含まれる元の信号を回復するために、復調信号に対して適切な復号を実行し得る。いくつかの例では、メモリ 172 内の符号化された命令は、復調器 180 および / またはデコーダ 190 が処理システム 150 の別個の物理モジュールではない場合もあるように、復調器 180 および / またはデコーダ 190 の機能を実行するように処理デバイス 152 を構成し得る。いくつかの例では、復調器 180 およびデコーダ 190 は、処理システム 150 の受信機モジュール内で具現化され得る。いくつかの例では、受信アンテナ 160、復調器 180 およびデコーダ 190 は、処理システム 150 の外部の受信機コンポーネントとして具現化されてもよく、受信信号から復号された信号を処理システム 150 に単に伝達してもよい。

【0039】

処理デバイス 152、I/O インタフェース 154、ネットワークインタフェース 158、エンコーダ 162、変調器 164 を含む処理システム 150 の構成要素間の通信を提供するバス 192 があってもよい。バス 192 は、例えば、メモリバス、周辺バス、またはビデオバスを含む任意の適切なバスアーキテクチャであり得る。

【0040】

ネットワーク 100 内の STA 102 と AP 104 との間の通信は、低密度パリティ検査 (LDPC) 符号化技術を使用して送信されるソースワードを符号化することにより、および / または LDPC 符号復号技術を使用して受信されたコードワードを復号することによって実施され得る。ソースワードが LDPC 符号化技術で符号化された後、符号化されたコードワードが AP 104 から STA 102 または STA 102 から AP 104 への信号で送信されるとき、送信信号の LDPC 符号化情報は送信されたフレームに含まれる。送信信号が STA 102 または AP 104 によって受信された後、受信信号の LDPC 符号化情報により、STA 102 または AP 104 は次に、受信信号を復号するために

10

20

30

40

50

適切なLDPC復号技術を選択し得る。

【0041】

送信機とエンコーダ

図2Aは、STA102またはAP104の送信機の例示的な実装を示す。送信機は、ソースワード分割モジュール202、LDPCエンコーダ162、ビット-シンボルマッピング変調器164、およびブロッキングモジュール208を含み得る。

【0042】

図2Bは、送信機によって入力情報ビットストリームを処理する例示的なステップを示す。

【0043】

ソースワード分割モジュール202を使用して、入力情報ビットストリームを適切なサイズのソースワード

【0044】

【数7】

\bar{u}

【0045】

に分割し得る(ステップ222)。例えば、ソースワード分割モジュール202により、入力情報ビットストリームは、1344ビットのLDPCコードワードサイズを有するLDPC7/8符号レートの場合、1176ビットのサイズを有するソースワード

【0046】

【数8】

\bar{u}

【0047】

に分割され得る。

【0048】

Kビットのソースワード

【0049】

【数9】

\bar{u}

【0050】

は、 $1 \times K$ 行ベクトルまたは1次元バイナリ $1 \times K$ 行列

【0051】

【数10】

$$\bar{u} = [u_1, \dots, u_k]$$

【0052】

とみなされ得る。例えば、1176ビットのソースワードは、 1×1176 行ベクトルまたは1次元のバイナリ 1×1176 行列とみなされ得る。

【0053】

次に、Kビットのソースワード

【0054】

10

20

30

40

【数 1 1】

 \overline{u}

【0 0 5 5】

は、LDPCエンコーダ162によってNビットのコードワード

【0 0 5 6】

【数 1 2】

 \overline{c}

10

【0 0 5 7】

に符号化される(ステップ224)。図3は、LDPCエンコーダ162の例示的な実装を示す。実施形態では、LDPCエンコーダ162は、LDPC行列生成器302、生成行列モジュール304、ソースワード入力インタフェース306、およびコードワード生成器308を含み得る。

【0 0 5 8】

LDPC行列生成器302は、例えば、 $N = 1344$ 、 $K = 1176$ であるバイナリ $(N - K) \times N$ 行列であるLDPCパリティ検査行列 H_1 を生成するために使用される。LDPC符号は、機能的にはスパースパリティ検査行列によって定義される。 (n, k) LDPC符号は、 $\{0, 1\}^n$ の k 次元部分空間を持つ線形バイナリブロック符号 C である。ガウス消去法と列の並べ替えを使用すると、体系的な形式

20

【0 0 5 9】

【数 1 3】

$$H = [P_{(n-k) \times k} I_{(n-k)}]$$

【0 0 6 0】

の等価なパリティ検査行列を得ることができ、ここで

【0 0 6 1】

30

【数 1 4】

$$P_{(n-k) \times k}$$

【0 0 6 2】

はバイナリ行列であり、

【0 0 6 3】

【数 1 5】

$$I_{(n-k)}$$

40

【0 0 6 4】

は次数 $n - k$ の単位行列である。

【0 0 6 5】

LDPC行列生成器302によって生成されたLDPCパリティ検査行列 H に基づいて、生成行列モジュール304は生成行列 G を生成する。 H に対応する体系的な形式の生成行列 G は、

【0 0 6 6】

【数 16】

$$G = [I_k P^T]$$

【0067】

として表され得るが、「T」は行列の転置を示す。生成行列 G は、バイナリ $K \times N$ 行列である。G の行スペースは、 $GH^T = 0$ になるように H に直交する。したがって、LDPC 符号化では、H が設計されると、G もそれに応じて決定されることが可能である。同様に、行列 H は、

【0068】

【数 17】

$$\bar{c} = [c_1, \dots, c_n]$$

【0069】

が N ビットのコードワードである

【0070】

【数 18】

$$H\bar{c}^T = 0$$

【0071】

を満たす。次に、生成行列モジュール 304 は、生成されたバイナリ ($K \times N$) 生成行列 G をコードワード生成器 308 に転送する。

【0072】

ソースワード入力インタフェース 306 は、ソースワード分割モジュール 202 からソースワードを受信する。前述のように、受信されたソースワードは、行ベクトル

【0073】

【数 19】

$$\bar{u} = [u_1, \dots, u_K]$$

【0074】

とみなされ得る。ソースワード入力インタフェース 306 は、受信されたソースワードをコードワード生成器 308 に転送する。ソースワード

【0075】

【数 20】

$$\bar{u} = [u_1, \dots, u_k]$$

【0076】

およびバイナリ ($K \times N$) 生成行列 G の場合、コードワード生成器 308 はソースワードに生成行列 G を乗算することにより

【0077】

【数 21】

$$\bar{u} \cdot G = \bar{c}$$

【0078】

、N ビットのコードワード

【0079】

10

20

30

40

50

【数 2 2】

$$\bar{c} = [c_1, \dots, c_N]$$

【0 0 8 0】

を生成する。

【0 0 8 1】

一実施形態では、生成行列 G は、LDPC エンコーダ 1 6 2 に事前に格納されてもよい。
ソースワード

【0 0 8 2】

【数 2 3】

$$\bar{u} = [u_1, \dots, u_K]$$

【0 0 8 3】

がコードワード生成器 3 0 8 によって受信された後、コードワード生成器 3 0 8 は、LDPC 行列 H または生成行列 G を再生成せずにコードワード

【0 0 8 4】

【数 2 4】

$$\bar{u} \cdot G = \bar{c}$$

【0 0 8 5】

【0 0 8 6】

【数 2 5】

$$\bar{c} = [c_1, \dots, c_N]$$

【0 0 8 7】

を生成してもよい。

【0 0 8 8】

図 2 A および 2 B を参照すると、符号化されたコードワード

【0 0 8 9】

【数 2 6】

$$\bar{c}$$

【0 0 9 0】

は、ビット - シンボルマッピング変調器 1 6 4 でシンボルに変調される (ステップ 2 2 6)。適切な変調技術は、限定されるわけではないが、BPSK、QPSK、16QAM、または 64QAM であってもよい。BPSK、QPSK、および 16QAM 変調は、802.11ad で規定されている。802.11ay では 64QAM 変調が採用されている。BPSK 変調では、バイナリビットは単にバイポーラ $\{-1, 1\}$ シンボルになるようにマッピングされる。QPSK、16QAM、および 64QAM 変調では、入力符号化ビットストリーム (ビット単位のコードワード

【0 0 9 1】

【数 2 7】

$$\bar{c}$$

【0 0 9 2】

) は、それぞれ 2、4、および 6 ビットのセットにグループ化される。各ビットのセットは、対応するコンスタレーション上のシンボルにマッピングされる。例えば、BPSK、

10

20

30

40

50

QPSK、16QAM、および64QAMの場合、シンボルは、それぞれ1ビット、2ビット、4ビット、および6ビットを表す。複数のシンボルは、変調コードワードとしてグループ化されてもよい。例えば、サイズ672の802.11ad符号の変調コードワードは、336個のシンボル(802.11adでのシングルキャリア(SC)QPSKブロッキングの場合)、168個のシンボル(802.11adでのSC16QAMブロッキングの場合)、112個のシンボル(802.11adでのSC64QAMブロッキングの場合)を含んでもよい。

【0093】

変調されたコードワードは、ブロッキングモジュール208において適切なサイズのデータブロック(BLK)にさらに組み立てられ得る(ステップ228)。実施形態では、組み立てられたデータブロックは、448個のシンボルを含み得る。

10

【0094】

図4Aは、組み立てられたデータブロック(BLKs)をパッケージ化するために使用されることが可能な例示的なシングルキャリア(SC)データユニットまたはフレーム構造を示す。IEEE802.11adで規定されている図示のフレームは、ビーム形成トレーニング用のショートトレーニングフィールド(STF)、チャネル推定(CE)フィールド、PHYヘッダ、SCデータブロック(BLK)、およびオプションの自動ゲイン制御(AGC)とTRN-R/Tサブフィールドが含まれている。図4Aに示されるように、フレームは複数のBLKを含み得る。

20

【0095】

図4Bは、802.11ad規格によるSCデータブロック(BLK)の例示的な構成を示している。図4Bでは、各BLKは448個のシンボルで構成されている。64ビットのガードインターバル(GI)は、各隣接する2つのBLK間に使用され、隣接するデータブロックを分離する。

802.11adにおけるコードワード長672のLDPC符号

【0096】

本開示で提示される高レートのロングLDPC符号の実施形態は、IEEE802.11adで規定されたLDPC符号に基づいており、したがって、以下で詳細に説明する実施形態の理解を容易にするために、IEEE802.11adLDPC符号の簡単な説明を提供する。LDPC符号化されたコードワード

30

【0097】

【数28】

$$\overline{c}$$

【0098】

はソースワード

【0099】

【数29】

$$\overline{u}$$

40

【0100】

と生成行列Gの操作によって生成され、かつ生成行列GはLDPCパリティ検査行列Hから導出されるため、LDPCパリティ検査行列Hはソースワード

【0101】

【数30】

$$\overline{u}$$

50

【 0 1 0 2 】

のコードワード

【 0 1 0 3 】

【数 3 1】

 \overline{c}

【 0 1 0 4 】

への符号化を達成する。LDPCパリティ検査行列Hの設計により、符号の機能が向上する場合がある。パリティ検査行列Hは、サイズ $Z \times Z$ の正方部分行列にさらに区分される。Zはリフティング係数である。部分行列は、 $Z \times Z$ 単位行列 P_0 の巡回置換、またはすべてゼロのエントリをもつヌル部分行列のいずれかである。

10

【 0 1 0 5 】

図5A～図5Dは、レートが $1/2$ 、 $5/8$ 、 $3/4$ 、および $13/16$ の802.11adで規定された4つのLDPC符号のパリティ検査行列Hを示している。802.11adでは、各LDPC符号は、672ビットの共通コードワード長を有する。符号レート K/N は、Kビットのソースワード

【 0 1 0 6 】

【数 3 2】

 \overline{u}

20

【 0 1 0 7 】

がNビットのコードワード

【 0 1 0 8 】

【数 3 3】

 \overline{c}

【 0 1 0 9 】

に符号化されることを示す。802.11ad規格に関して、コードワード長Nは672ビットである。したがって、 $1/2$ 、 $5/8$ 、 $3/4$ 、および $13/16$ の符号レートの場合、対応するソースワードのサイズKは、それぞれ336ビット、420ビット、504ビット、および546ビットである。

30

【 0 1 1 0 】

行列Hの各非空白セル要素内のインデックス値*i*は、行列 P_0 の列を右*i*列に周期的にシフトすることにより $Z \times Z$ 単位行列 P_0 から得られた巡回置換部分行列 P_i を示す。空白のエントリは、すべてゼロの $Z \times Z$ 行列を示す。

【 0 1 1 1 】

図5Eは、 $Z = 4$ である例示的な $Z \times Z$ 単位行列 P_0 から得られた巡回置換部分行列 P_1 および P_3 の例を示す。 P_1 は、 P_0 の列を右に1要素分シフトすることによって取得され、 P_3 は、 P_0 の列を右に3要素分シフトすることによって取得される。図5Eに見られるように、単位行列 P_0 は、行列全体に対角線上に配置されたZ個の「1」を含み、他のすべての値は「0」である。

40

【 0 1 1 2 】

図5Aにおいて、インデックス値*i* = 「0」を有する行列セル位置は、 42×42 の単位部分行列である部分行列 P_0 を表し、インデックス値*i* = 「40」を有する図5Aの左上のセル位置は、 P_0 の列を右に40要素分シフトして得られた部分行列を表す。同様に、図5B～図5Dの非ゼロ値*i*の部分行列 P_i も、それぞれの単位行列 P_0 から取得されることが可能である。

50

【0113】

図5Aは、Z = 42である、符号レート1/2のLDPCパリティ検査行列H = 336行 x 672列を示す。図5Bは、Z = 42である、符号レート5/8のLDPCパリティ検査行列H = 252行 x 672列を示す。図5Cは、Z = 42である、符号レート3/4のLDPCパリティ検査行列H = 168行 x 672列を示す。図5Dは、Z = 42である、符号レート13/16のLDPCパリティ検査行列H = 126行 x 672列を示す。図5A ~ 5Dでは、空白のエントリはすべてゼロのエントリを含むZ x Zの部分行列を表す。

【0114】

802.11ayに対するロングコードワード長1344の低レートLDPC符号の提案
図6A ~ 図6Dは、[参考文献1]で802.11ayに対して提案された、レートが13/16、3/4、5/8、および1/2の4つの低レートLDPC符号を示す。上記のように、符号レートK/Nは、KビットのソースワードがNビットのコードワードに符号化されることを示す。コードワード長N = 1344ビットの場合、13/16、3/4、5/8および1/2の符号レートは、それぞれ1092、1008、840および672ビットの対応するソースワード長を持つ。

10

【0115】

図6A ~ 6Dに示されているロングLDPC符号は、2段階リフティングプロセスにより生成される。図6Aの例では、リフティング行列602を基本行列604に適用することにより、1344のコードワード長を有するレート13/16(1344、1092)のLDPC符号606が生成される。基本行列604は、レート13/16長さ672である、IEEE802.11adで規定された区分されたLDPC行列である。3行16列の部分行列を有する、レート13/16の基本行列604は、「1」および「0」の発生している126行 x 672列の行列に適用されるZ = 42のリフティング係数に対応する。したがって、リフティング係数Z = 42による第1のリフティングは、レート13/16の基本行列604を提供し、次いで、リフティング行列602の適用により2回目のリフティングが行われ、レート13/16のLDPC符号606を生成する。

20

【0116】

図6Aに示されるように、リフティング行列602は、802.11adのレート13/16の行列604と同じ数の行および列(3 x 16)を有する。リフティング行列602の各セル要素には、3つの可能な値「1」、「0」、および「-1」のうちの1つが割り当てられる。基本行列604の部分行列が「-1」として示されるヌル(すなわち、すべてゼロのエントリ)である場合、リフティング行列604内の対応するエントリも「-1」として示される。例えば、リフティング行列604の行1、列16のエントリは、基本行列602の行1、列16の部分行列に対応する。リフティング行列604のエントリと基本行列602の部分行列の両方は「-1」の値を有する。

30

【0117】

1344のコードワード長を有する13/16LDPC符号606を生成するために、リフティング行列602は、672のコードワード長を有する13/16LDPC基本行列604に適用される。特に、基本行列604の値「V」を有する部分行列について、対応するリフティング行列602のエントリが値「1」を有する場合、基本行列604にリフト行列602を適用すると、次のように4つの部分行列が生成される。

40

【0118】

【表4】

-1	V
V	-1

【0119】

基本行列604の値「V」を有する部分行列について、対応するリフティング行列60

50

2のエントリが「0」の値を有する場合、リフト行列602を基本行列604に適用すると、次の4つの部分行列が生成される。

【0120】

【表5】

V	-1
-1	V

【0121】

図6Aでは値「29」を有する基本行列604の行1、列1の部分行列の例では、リフティング行列602の行1、列1の対応するエントリは値「1」を有するので、リフティング行列602のエントリを基本行列604の対応する部分行列に適用すると、以下のように4つの部分行列が生成される。

【0122】

【表6】

-1	29
29	-1

【0123】

同様に、値「4」を有する基本行列604の行3、列9の部分行列の例では、リフティング行列602の行3、列9の対応するエントリが値「0」を有するので、リフティング行列602のエントリを基本行列604の対応する部分行列に適用すると、以下のように4つの部分行列が生成される。

【0124】

【表7】

4	-1
-1	4

【0125】

基本行列604内の値が「-1」である部分行列の場合、リフティング行列602の対応するエントリも値「-1」を有する。リフティング行列602の「-1」の値を持つ1つのエントリを基本行列604の対応する部分行列に適用すると、4つのヌル部分行列が生成される。

【0126】

同様に、1344のコードワード長を有するレート13/16のLDPC符号606を得るための上述の同じ規則は、図6B～図6Dに示されるように、対応するリフティング行列602と共に使用してIEEE802.11adで規定された、コードワード長672、符号レート3/4、5/8、および1/2の基本行列604に適用されることができ、それぞれ1344のコードワード長を有する、対応レート3/4、5/8、および1/2のLDPC符号を生成する。

【0127】

高レートLDPC符号

IEEE802.11ad標準は、7/8（参考文献2）の高符号レートを有するLDPC符号を規定している。同様に、上記の通り、[参考文献1]は、1248のコードワード長を有するレート7/8のLDPC符号を提案している。レート7/8、長さ1248のLDPC符号[参考文献1]は、上記のように、802.11adで規定されたレート13/16長さ672の基本LDPC符号から導出される、図6Aに示す行列606で表される、レート13/16（1344, 1092）のLDPC符号から最初の96バリ

10

20

30

40

50

ディビットをパンクチャリングすることにより生成される。実装において、送信機はパンクチャリングされたビットを送信せず、受信機はパンクチャリングされたビットに対して1/0について等しい尤度を設定する。したがって、パンクチャリングによって生成される図6Aの提案レート7/8のLDPC符号は、ロング符号、低レートのLDPC符号に対して提案された1344のコードワード長ではなく1248のコードワード長になる。

【0128】

図4A、図4Bに関して上述したように、送信前にLDPCコードワードに対してビットからシンボルへのマッピングが実行され、その後、定義された数のシンボル（例えば、448個のシンボルまたは896個のシンボル）を有するブロック（BLK）にブロッキングされる。したがって、異なる符号レートに対して異なるコードワード長を使用すると、定義されたブロック長を有するデータフレーム構造が異なる符号レートをサポートすることを目的とする環境で非効率的なブロッキングをもたらす可能性がある。特に、変調されたコードワードをデータブロックに組み立てるブロッキングプロセスは、他のレートとは異なるコードワード長を使用するレート7/8のLDPC符号の符号化と復号を実施するために追加プロセスが必要になる場合がある。13/16レート符号をパンクチャリングすることにより得られる、レート7/8、長さ1248のLDPC符号の場合、パンクチャリングにより冗長性が増加し（符号化およびSCブロッキング中にゼロをパディングすること）、SCブロッキングの複雑さが増す。

【0129】

例えば、図7Aは、左側に、1344のコードワード長（ $N = 1344$ 、 $K = 1176$ ）を使用するレート7/8のLDPC符号に対するSC QPSKブロッキングの例を示し、右側に、1248のパンクチャリングされたコードワード長（ $N = 1248$ 、 $K = 1092$ ）を使用するレート7/8のLDPC符号のSC QPSKブロッキングの例を示す。図7Aの例は、ビットからシンボルへのマッピングにQPSK変調を使用している。（ $N = 1344$ 、 $K = 1176$ ）QPSKの場合、変調後の1344ビットコードワードは、672シンボルコードワードになる。それぞれ448個のシンボルを含む各3つのSCデータブロック（BLK1、BLK2、BLK3）は、2つのシンボルコードワードから構成される（各ブロックは1つまたは2つのコードワードから構成される）。比較すると、（ $N = 1248$ 、 $K = 1092$ ）QPSKの場合、変調後の1248ビットコードワードは、624シンボルコードワードになる。その結果、ブロッキングプロセスはより複雑になり、各39個のデータブロックは28個のコードワードから構成され、各データブロックは1つまたは2つのコードワードから構成される。

【0130】

図7Bは、（1248、1092）LDPC（右側）と比較した（1344、1176）LDPC（左側）によるSC 16QAMブロッキングの例を示す。（1344、1176）LDPCの場合、16QAMでは、変調後の1344ビットコードワードは、1つの336シンボルコードワードになる。各3つのSCデータブロックは、4つの336シンボルコードワードから構築され、各448シンボルデータブロックは、2つのシンボルコードワードから構築される。ただし、（1248、1092）LDPCの場合、符号化されたコードワードのそれぞれは1248ビットを含み、16QAM変調後に312シンボルコードワードになる。その結果、ブロッキングプロセスはより複雑になり、各39個のデータブロックは、56個のコードワードから構成される。

【0131】

同様に、図7Cは、（1248、1092）LDPC（右側）と比較した（1344、1176）LDPCによるSC 64QAMブロッキングの例を示している。（1344、1176）LDPCの場合、64QAMでは、変調後の1344ビットコードワードは、1つの224シンボルコードワードになる。各448シンボルデータブロックは、2つの224シンボルコードワードから構成される。ただし、（1248、1092）LDPCの場合、変調後の1つの1248ビットコードワードは、1つの208シンボルコードワードになる。その結果、ブロッキングプロセスはより複雑になり、各13個のデータブ

ロックは、28個のコードワードから構築され、各データブロックは3個または4個のコードワードから構築される。

【0132】

[参考文献2]は、 $N = 672$ のショートコードワード長に対する高レート $7/8$ のLDPC符号を提案している。図8を参照すると、[参考文献2]のレート $7/8$ 長さ 672 のLDPC行列 H_{n860} は、 $802.11ad$ 規定のレート $3/4$ 長さ 672 (672 、 504)のLDPC行列 H_{850} から行を加算することによって導出される。上記のように、 $802.11ad$ 規定のレート $3/4$ 長さ 672 のLDPC行列 H_{850} は、リフト係数 $Z = 42$ を使用して 168 行($N - K = 168$) \times 672 列($N = 672$)の元のバイナリ行列を区分することにより得られ、4行($R = (N - K / 42)$) \times 16 列($C = N / 42$)として表現でき、各部分行列 P_i が適用される巡回シフトを表すインデックス値 i によって配列要素で表される(または、「空白」または「null」ですべてゼロの部分行列を示す「-」) $3/4$ 長さ 672 のLDPC基本行列 H_{850} を提供する。ベース $3/4$ 長さ 672 のLDPC行列 H_{850} から選択された行は、加算されて $3/4$ 長さ 672 のLDPC行列 H_{n850} を提供する。特に、基本符号行列 H の第1行 R_1 および第3行 R_3 からの部分行列 850 は、加算されて新しいLDPC行列 H_{n850} の第1行内の対応する列エントリに対する部分行列を提供し、基本符号行列 H_{850} の第2行 R_2 および第4行 R_4 からの部分行列は、モジュロ2加算を使用して加算されて新しいLDPC行列 H_{850} の第2行内の対応する列エントリに対する部分行列を提供する。説明の目的で、図9は、モジュロ2加算を使用して、 $Z = 4$ の単純化されたケースに対する巡回置換行列の加算を示す。

【0133】

長さ $N = 1344$ を有する高レート $7/8$ のロングLDPC符号

次に、特に低レート符号、すなわち $N = 1344$ に対して規定されたものと一致するコードワード長を提供する高レートの長いLDPC符号を対象とする実施形態例を説明する。

【0134】

図10は、例示的な一実施形態による、コードワード長 $N = 1344$ を有するレート $7/8$ のLDPC行列 H_{11020} を生成する方法を示す。図10の例では、 $802.11ad$ 規定のレート $3/4$ 長さ 672 (672 、 504)のLDPC行列 H_{850} が基本行列として使用されるが、リフティング係数は $Z = 42$ から $Z = 84$ に増加されてレート $3/4$ 長さ 1344 のLDPC行列を中間行列 $H_{int1010}$ として生成する。特に、コードワードサイズ $672 \times 2 = 1344$ を有する $3/4$ レートのLDPC行列 $H_{int1010}$ を構築するために、基本行列 850 の構造と列位置シフトは同じままであるが、リフティング係数は $Z = 42$ から $Z = 84$ に増加される。例えば、 $802.11ad$ のコードワード長が 672 のバイナリ $3/4$ 基本行列 850 は、 168 行 \times 672 列、 $Z = 42$ を含む。図10に示すように、区分された $3/4$ 基本行列 840 は、4行 \times 16 列の部分行列を含み、各部分行列は $Z \times Z$ (42×42)のサイズを有する。リフティング係数 Z が 42 から 84 に増加されると、中間の区分された、長さ $3/4$ の 1344 LDPC行列 $H_{int1010}$ は、 336 行 \times 1344 列のバイナリ行列を表す4行 \times 16 列の部分行列を含む。

【0135】

例示的な実施形態において、中間レート $3/4$ 長さ 1344 のLDPC行列 H_{int} の選択された行は、加算されてコードワード長 $N = 1344$ を有するレート $7/8$ のLDPC行列 H_{11020} を生成する。特に、中間LDPC行列 $H_{int1010}$ の第1行 R_1 および第3行 R_3 からの部分行列は、モジュロ2加算を使用して加算されて新しいLDPC行列 H_{11020} の第1行内の対応する列エントリに対して部分行列を提供する。中間LDPC行列 $H_{int1010}$ の第2行 R_2 および第4行 R_4 からの部分行列は、モジュロ2加算を使用して加算されて新しいLDPC行列 H_{11020} の第2行内の対応する列エントリに対して部分行列を提供する。

10

20

30

40

50

【 0 1 3 6 】

図 1 1 は、例示的な実施形態による、コードワード長 $N = 1344$ を有するレート $7/8$ の LDPC 行列 H_{1130} を生成する方法のさらなる例示的な実施形態を示す。なお、図 1 1 の例では、直前の例で説明した拡張リフティング係数を使用する代わりに、 $802.11ad$ 規定のレート $3/4$ 長さ $672 (672, 504)$ の LDPC 行列 H_{850} が再び基本行列として使用される。リフティング行列 1110 は、中間行列 $H_{int1120}$ を生成するために使用される。リフティング行列 1110 は、最適化された誤り率性能をもたらす基準を使用した最適化検索により選択される。図示された実施形態では、リフティング行列 1110 は、その第 1 および第 3 行が相補的であり、かつその第 2 および第 4 行が相補的であるように選択される。

10

【 0 1 3 7 】

リフティング行列 1110 は、図 6 A ~ 6 D に関して上述したのと同じ方法で、 $802.11ad$ 規定のレート $3/4$ 長さ $672 (672, 504)$ の LDPC 行列 H_{850} に適用され、中間行列 $H_{int1120}$ を生成する。結果の中間行列 $H_{int1120}$ は、部分行列要素の 8×32 列を含み、各部分行列要素は、 $Z \times Z (Z = 42)$ 単位行列 P_0 に適用される巡回シフトを示すインデックス値 i 、またはすべて「0」の行列を示すヌル値で示される。したがって、区分された中間行列 $H_{int1120}$ は、 336×1344 列のバイナリ行列を表す。

【 0 1 3 8 】

図 1 1 に示されるように、中間行列 $H_{int1120}$ の周期的行は、コードワード長 $N = 1344$ を有するレート $7/8$ の LDPC 行列 H_{1130} を生成するために加算される。特に、中間行列 $H_{int1120}$ の第 1 行 R_1 および第 5 行 R_5 からの部分行列は、モジュロ 2 加算を使用して加算されて新しい LDPC 行列 H_{1130} の第 1 行内の対応する列エントリに対して部分行列を提供する。同様に、中間行列 $H_{int1120}$ の第 2 および第 6 行は、新しい LDPC 行列 H_{1130} の第 2 行に加算される。中間行列 $H_{int1120}$ の第 3 および第 7 行は加算されて新しい LDPC 行列 H_{1130} の第 3 行を提供する。中間行列 $H_{int1120}$ の第 4 および第 8 行は、加算されて新しい LDPC 行列 H_{1130} の第 4 行を提供する。図 1 1 に示すように、区分された LDPC 行列 H_{1130} は、部分行列要素の 4×32 列を含み、各部分行列要素は、バイナリ行列 H_{1168} が 336×1344 列のサイズを有するように $Z = 42$ の $Z \times Z$ 部分行列を表す。

20

30

【 0 1 3 9 】

図 1 1 の例は、行列 H_{1130} を生成するためにリフティングステップと加算ステップの組み合わせに依存することが理解されるであろう。

【 0 1 4 0 】

少なくともいくつかの例では、図 1 1 に示すリフティング行列 1110 の代わりに異なる最適化されたリフティング行列が使用されることが可能であり、この点に関して、図 1 2 は、リフティング行列 1110 の代わりにいくつかの例で使用し得るさらなる最適化されたリフティング行列 1210 の例を示す。

【 0 1 4 1 】

図 1 3 は、別の例示的な実施形態による、コードワード長 $N = 1344$ を有するレート $7/8$ の LDPC 行列 H_{1330} を生成する方法のさらなる例示的な実施形態を示す。図 1 3 の例では、 $802.11ad$ 規定のレート $3/4$ 長さ $672 (672, 504)$ の LDPC 行列 H_{850} が基本行列として再び使用され、特に、レート $7/8$ 長さ 672 の LDPC 行列 H_{n860} を中間行列として図 8 に関して上述した同じ方法で生成するために使用される。2 行 \times 16 列の最適化されたリフティング行列 1310 は、上記と同じリフティング行列技術を使用して、レート $7/8$ 長さ 672 の LDPC 行列 H_{n860} に適用されてレート $7/8$ 長さ 1344 の LDPC 行列 H_{1330} を取得する。図 1 3 に示すように、区分された LDPC 行列 H_{1330} は、8 行 \times 32 列の部分行列要素を含み、各部分行列要素は、バイナリ行列 H_{1320} が 336×1344 列のサイズを有するように $Z = 42$ の $Z \times Z$ 部分行列を表す。

40

50

【 0 1 4 2 】

例示的な実施形態では、最適化された誤り率性能を提供するリフティング行列の最適化検索を実行することにより最適化されたリフティング行列が選択される。最適化されたリフティング行列 1 3 1 0 の場合、いくつかの例示的な実施形態では、LDPC エンコーダでの符号化とビットシンボル変調器 2 0 6 での変調との間にランダムインターリーブが含まれる。

【 0 1 4 3 】

少なくともいくつかの例では、異なる最適化リフティング行列が図 1 3 に示す使用されることができ、この点に関して、図 1 4 は、いくつかの例でリフティング行列 1 3 1 0 の代わりに使用され得る、さらなる最適化リフティング行列 1 4 1 0 の例を示す。最適化されたリフティング行列 1 4 1 0 の場合、いくつかの例示的な実施例では、通常に行 - 列インターリーブが LDPC エンコーダでの符号化とビットシンボル変調器 2 0 6 での変調の間に含まれる。

10

【 0 1 4 4 】

少なくともいくつかの構成において、7 / 8 長さ 1 3 4 4 の LDPC 行列 H 1 の実施形態は、以下の特徴、すなわち、1 1 a d と共存する、I E E E 8 0 2 . 1 1 a y で提案されている異なる符号レートの他の LDPC コードから 1 3 4 4 のコードワード長を変更しないレート 7 / 8 の LDPC コードを提供する、符号化とシングルキャリアブロッキングの冗長性（ゼロをパディングする）を減少する、新しいレート 7 / 8 の LDPC 符号を最適化してバンクチャリングされたソリューションと同等以上の性能を実現する特徴のうち

20

【 0 1 4 5 】

デコーダと復号方法

LDPC 符号化信号は、S T A 1 0 2 または A P 1 0 4 の受信機で受信され得る。図 1 5 A の例に示されるように、受信機は、等化およびデブロッキングモジュール 1 5 0 2、復調器 1 8 0、LLR 計算機 1 5 0 6、および LDPC デコーダ 1 9 0 を含む。オプションとして、LLR 計算機 1 5 0 6 は、復調器 1 8 0 の構成要素とすることができる。図 1 5 B に示すように、受信した LDPC 符号化信号では、等化およびデブロッキングモジュール 1 5 0 2 はまず、受信信号 1 5 0 1 を等化して受信信号が送信されるチャンネルによって引き起こされるシンボル間干渉を低減し、次に等化信号をデブロックしてコードワードシンボルを復元する（ステップ 1 5 2 2）。復調器 1 8 0 は、例えば、B P S K、Q P S K、1 6 Q A M、または 6 4 Q A M によって、デブロックされたコードワードシンボルをビット単位のコードワードに復調する（ステップ 1 5 2 4）。LLR 計算機 1 8 0 は、デブロックされたコードワードシンボルのビット値の対数尤度比を生成するために使用し得る（ステップ 1 5 2 6）。対数尤度比は、LDPC デコーダ 1 9 0 の入力として使用されてもよい。LDPC デコーダ 1 9 0 は次に、ソースワードを符号化する際に使用される LDPC 行列 H_n を使用して、 $1 \times N$ 行ベクトル S を有する復調信号を復号してもよい（ステップ 1 5 2 8）。LDPC デコーダ 1 9 0 は、 $1 \times K$ ソースワード行ベクトル

30

【 0 1 4 6 】

【数 3 4】

40

$$\bar{u}$$

【 0 1 4 7 】

を回復するために $1 \times N$ 行ベクトル

【 0 1 4 8 】

【数 3 5】

$$\bar{c} = [c_1, \dots, c_n]$$

50

【 0 1 4 9 】

を生成する。有効なコードワード

【 0 1 5 0 】

【 数 3 6 】

$$\bar{c} = [c_1, \dots, c_n]$$

【 0 1 5 1 】

であるためには、

【 0 1 5 2 】

【 数 3 7 】

$$H\bar{c}^T = 0$$

【 0 1 5 3 】

である。LDPC符号化信号を復号するためにはさまざまなアルゴリズム、例えば、メッセージパッシングアルゴリズムが利用可能である。図16は、メッセージパッシングアルゴリズムを使用してLDPC符号化ソースワードを復号するLDPCデコーダの例である。他の復号アルゴリズムを使用してLDPC復号を実施してもよい。メッセージパッシングアルゴリズムが使用される場合、LDPCデコーダ190は、コントローラ1602、

チェックノードモジュール1604、および可変ノードモジュール1606を含み得る。

【 0 1 5 4 】

上述のように、送信信号のLDPC符号化情報は、ソースワードを符号化するために使用される、 K/N レートのLDPC符号 $H_n = (N - K) \times N$ のLDPC行列の情報など、送信されるフレームに含まれ得る。本出願の一実施形態では、LDPCデコーダ190では、リフティング係数 Z を用いて、 K/N レートのLDPC符号 $H_n = (N - K) \times N$ を使用してよい。符号化プロセスで説明したように、 H_n は複数の部分行列から構成され、各部分行列は $Z \times Z$ のサイズを有する。パリティ検査行列を生成する方法は、符号化プロセスで説明されている。

【 0 1 5 5 】

ビット単位のコードワードは、例えば、LLR値を持つメッセージパッシングアルゴリズム(MPA)を使用して、行列 H_1 で復号されてもよい。図17の例に示すように、MPAを使用したLDPC復号は、LDPCパリティ検査行列 H_1 のグラフィカル表現である、タナーグラフの構造を使用する反復復号アルゴリズムである。LDPCデコーダ190において、各チェックノード1702は、それがそのパリティ検査方程式における唯一の消去されたビットである場合、LLR値に基づいて消去されたビットの値を決定する。メッセージは、タナーグラフのエッジ1706に沿って渡される。アルゴリズムの各反復については、各変数ノード1704は、変数ノード1704が接続されている各検査ノード1702にメッセージ(「外部情報」)を送信する。各検査ノード1702は、メッセージ(「外部情報」)を、検査ノード1702が接続されている変数ノード1704に送信する。この文脈における「外部」とは、検査ノード1702または変数ノード1704がすでに所有している情報がそのノードに渡されないことを意味する。各コードワードビットに対する事後確率は、LLR計算機1506で受信された信号と、 H_1 で定義されたパリティ制約とに基づいて計算される、すなわち、有効なコードワード

【 0 1 5 6 】

【 数 3 8 】

$$\bar{c} = [c_1, \dots, c_n]$$

【 0 1 5 7 】

10

20

30

40

50

であるためには、

【 0 1 5 8 】

【 数 3 9 】

$$Hc^T = 0$$

【 0 1 5 9 】

である。

【 0 1 6 0 】

L D P C デコーダ 1 9 0 の積層アーキテクチャでは、Z 個の並列検査ノードプロセッサは、パリティ検査行列の Z 行の部分行列に関連するエッジのメッセージを順次処理する。例では、Z = 4 2 であり、エッジは 1 6 個である。巡回シフト構造は、並列プロセッサに単純なパレルシフトを供給可能にするデコーダアーキテクチャを簡素化する。層の処理が終了すると、パリティ検査プロセッサは再初期化され、次の層が処理される。

10

【 0 1 6 1 】

本開示は、開示された方法およびシステムの例を実施するための特定の例示的なアルゴリズムおよび計算を提供する。しかしながら、本開示は、特定のアルゴリズムまたは計算に縛られない。本開示は、特定の順序のステップを備える方法およびプロセスを説明しているが、本方法およびプロセスの 1 つまたは複数のステップは、適宜省略または変更されてもよい。1 つまたは複数のステップは、適宜、説明されている順序以外の順序で実行し得る。

20

【 0 1 6 2 】

前述の実施形態の説明を通して、本発明は、ハードウェアのみを使用して、またはソフトウェアおよび必要な汎用性のハードウェアプラットフォームを使用して、またはハードウェアとソフトウェアの組み合わせによって実装され得る。そのような理解に基づいて、本発明の技術的解決策は、ソフトウェア製品の形態で具現化され得る。ソフトウェア製品は、コンパクトディスク読み取り専用メモリ (C D - R O M)、U S B フラッシュドライブ、またはハードディスクである、不揮発性または非一時的な記憶媒体に格納してもよい。ソフトウェア製品は、コンピュータデバイス (パーソナルコンピュータ、サーバ、またはネットワークデバイス) が本発明の実施形態で提供される方法を実行できるようにする多数の命令を含む。

30

【 0 1 6 3 】

本発明およびその利点が詳細に説明されたが、本出願では、添付の特許請求の範囲によって規定される本発明から逸脱することなく、様々な変形、置換および変更が実施可能であることを理解されたい。

【 0 1 6 4 】

さらに、本出願の範囲は、本明細書に記載のプロセス、機械、製造、物質の組成、手段、方法、およびステップの特定の実施形態に限定されることを意図していない。当業者が本発明の開示から容易に理解するように、本明細書に記載の対応する実施形態と実質的に同じ機能を実行する、または実質的に同じ結果を達成する、現在するあるいは今後開発されるプロセス、機械、製造、組成物、手段、方法、またはステップは、本発明に従って利用され得る。したがって、添付の特許請求の範囲は、そのようなプロセス、機械、製造、物質の組成、手段、方法、またはステップをその範囲内に含むことを意図している。

40

【図1A】

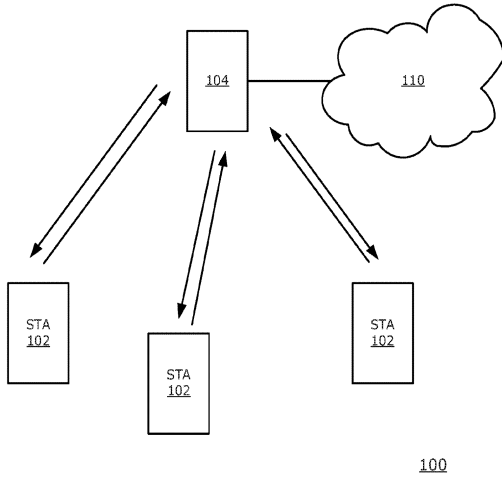


FIGURE 1A

【図1B】

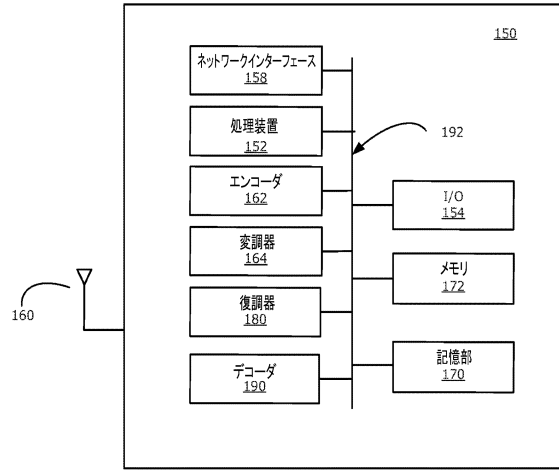


FIGURE 1B

【図2A】

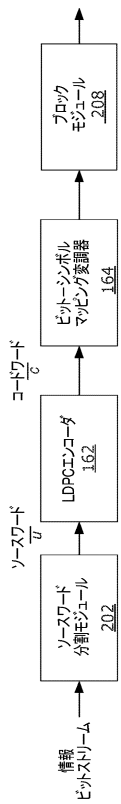


FIGURE 2A

【図2B】

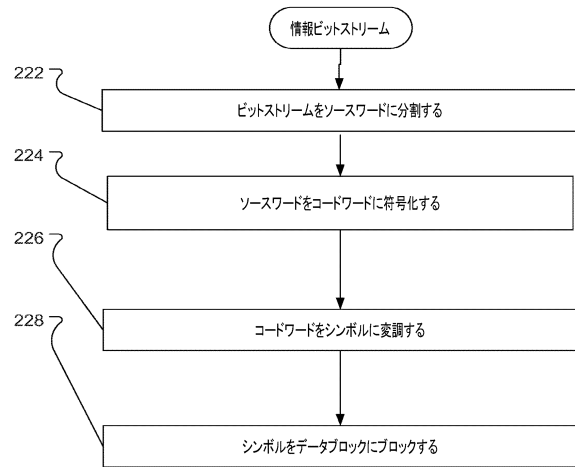


FIGURE 2B

【 6 A 】

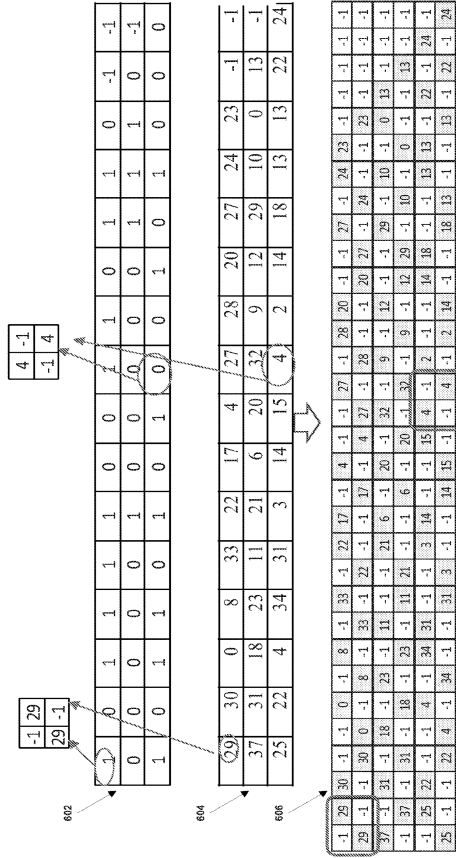


FIGURE 6A

【 6 B 】

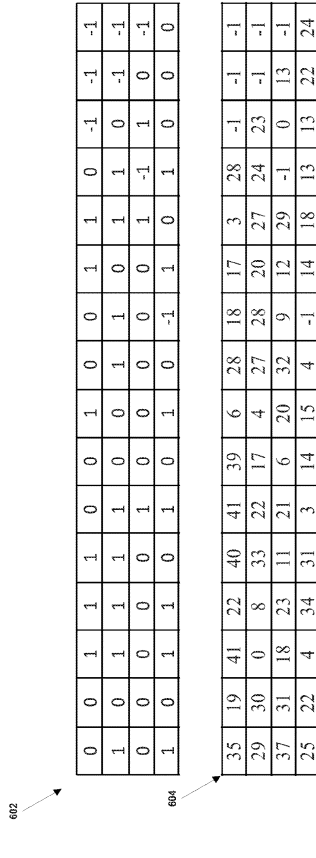


FIGURE 6B

【 6 C 】

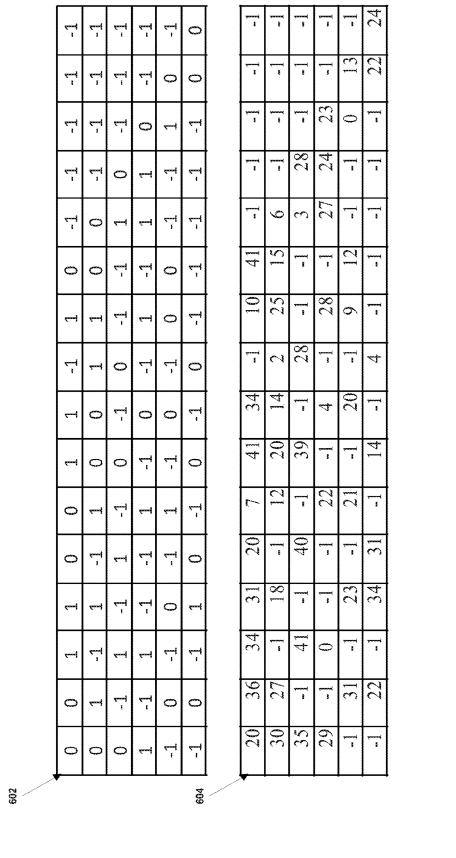


FIGURE 6C

【 6 D 】

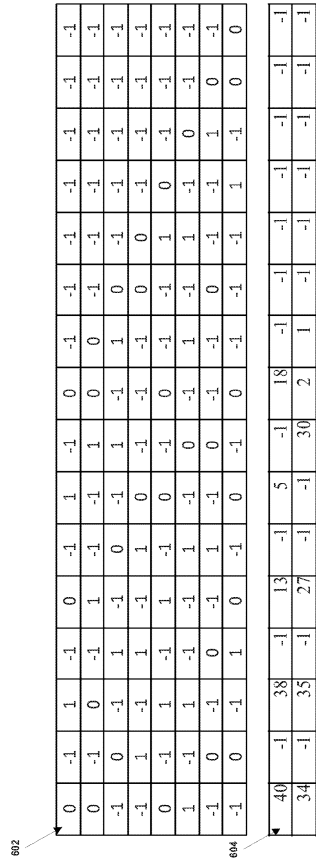


FIGURE 6D

【 図 1 3 】

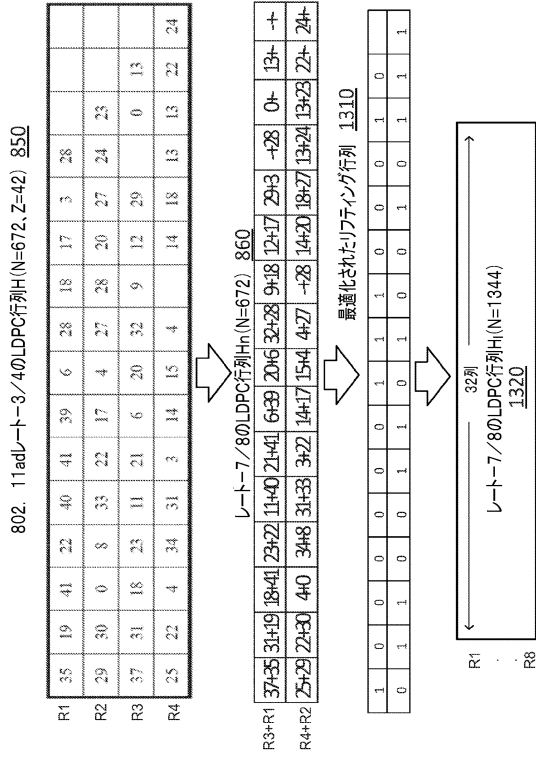


FIGURE 13

【 図 1 4 】

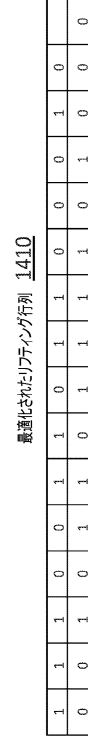


FIGURE 14

【 図 1 5 A 】

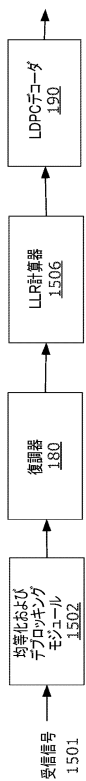


FIGURE 15A

【 図 1 5 B 】

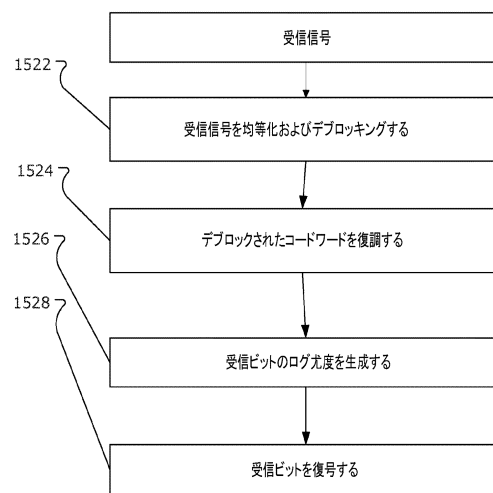


FIGURE 15B

【図 16】

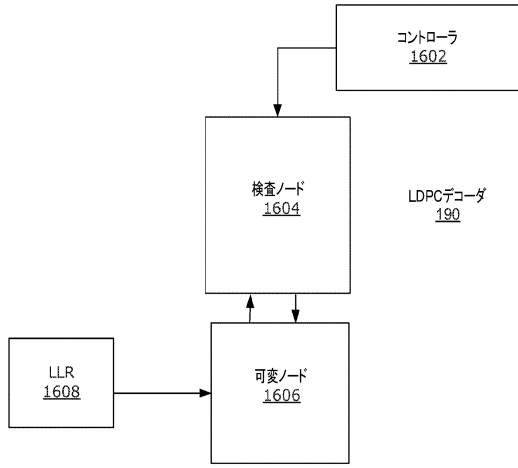


FIGURE 16

【図 17】

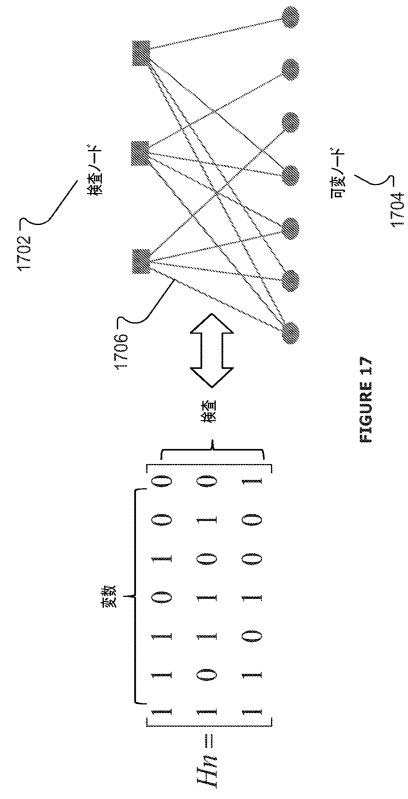


FIGURE 17

フロントページの続き

(74)代理人 100115635

弁理士 窪田 郁大

(72)発明者 グイド モントルシ

イタリア 10129 トリノ ドゥーカ デッリ アブルッツィ 24 ディパルティメント

ディ エレットロニカ コルソ ポリテクニコ ディ オリノ

(72)発明者 セルジオ ベネデット

イタリア 10129 トリノ ドゥーカ デッリ アブルッツィ 24 ディパルティメント

ディ エレットロニカ コルソ ポリテクニコ ディ オリノ

(72)発明者 ヤン シン

カナダ ケー2ケー 2アール1 オンタリオ カナタ ハルトン テラス 1384

(72)発明者 ミン ヤン

中華人民共和国 518129 広東省深 チェン 市龍崗区坂田 華為総部 ベン 公楼

審査官 大野 友輝

(56)参考文献 米国特許出願公開第2009/0259915 (US, A1)

特表2012-505603 (JP, A)

Yan Xin et al., rate-7/8-Ldpc-code-for-11ay, IEEE 802.11-16/1495r1, IEEE, Internet<URL :<https://mentor.ieee.org/802.11/dcn/16/11-16-1495-01-00ay-rate-7-8-Ldpc-code-for-11ay.pptx>>, 2016年Kaushik Josiam et al., Length 1344 LDPC codes for 11ay, IEEE 802.11-16/0676r1, IEEE, Internet<URL:<https://mentor.ieee.org/802.11/dcn/16/11-16-0676-01-00ay-length-1344-Ldpc-codes-for-11ay.pptx>>, 2016年Andres I. Vila Casado et al., Multiple-rate low-density parity-check codes with constant blocklength, IEEE Transactions on Communications, IEEE, 2009年 1月27日, Volume: 57, Issue: 1, pp. 75 - 83, URL, <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4768574>

(58)調査した分野(Int.Cl., DB名)

H03M 13/19