

(21)申請案號：099115842

(22)申請日：中華民國 99 (2010) 年 05 月 18 日

(51)Int. Cl. : H01L23/485 (2006.01)

H01L21/768 (2006.01)

(30)優先權：2009/06/16 日本

2009-143133

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本

(72)發明人：古澤健志 FURUSAWA, TAKESHI (JP)；鴨島隆夫 KAMOSHIMA, TAKAO (JP)；
竹若博基 TAKEWAKA, HIROKI (JP)

(74)代理人：陳長文

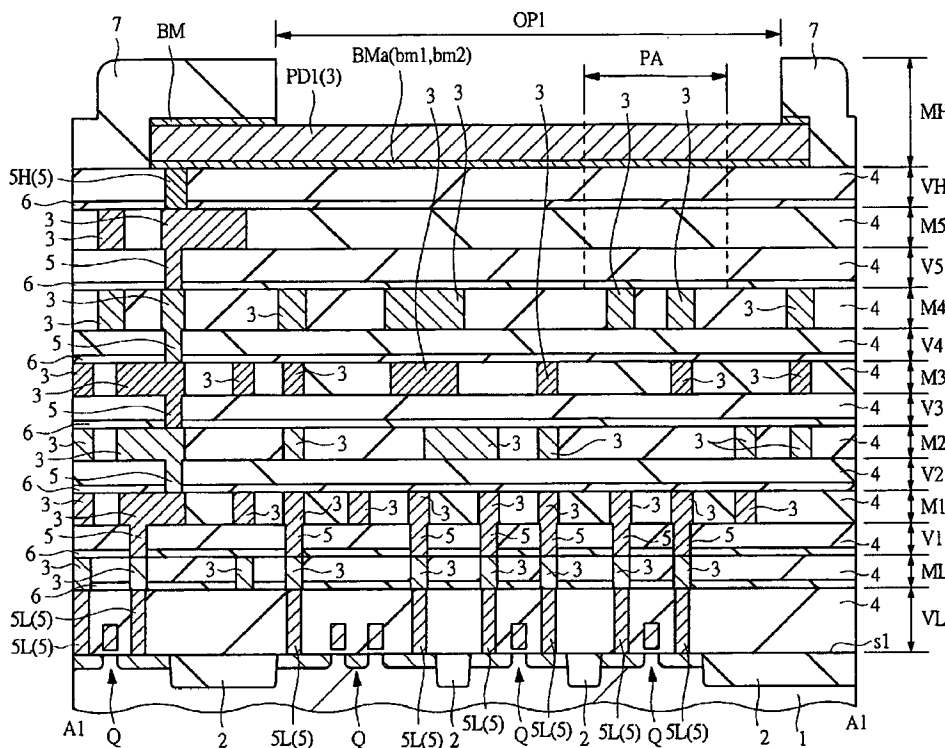
申請實體審查：無 申請專利範圍項數：19 項 圖式數：15 共 51 頁

(54)名稱

半導體裝置

(57)摘要

一種半導體裝置，其抑制或防止由於對半導體裝置之外部端子施加之外力而於外部端子下之絕緣膜產生龜裂之情形。形成於矽基板 1 之主面 s1 上之配線層中之最上層之配線層 MH 具有由包含鋁之導體圖案 3 所形成之焊墊 PD1，於焊墊 PD1 之下表面配置有包含自下層依序積層之第 1 障壁導體膜 bm1 及第 2 障壁導體膜 bm2 之障壁導體膜 BMa。於最上層之配線層 MH 之下一層之第 5 配線層 M5 中的與焊墊 PD1 之探針接觸區域 PA 於平面上重疊之區域中未配置導體圖案 3。又，第 1 障壁導體膜 bm1 為以鈦為主體之導體膜，第 2 障壁導體膜 bm2 為以氮化鈦為主體之導體膜，第 1 障壁導體膜 bm1 形成為較第 2 障壁導體膜 bm2 更厚。



1：矽基板(半導體基板)

2：分離部

3：導體圖案

4：層間絕緣膜

5：通道插塞(連接導體部)

5H：最上層通道插塞(最上層連接導體部)

5L：接觸插塞(連接導體部)

6：障壁絕緣膜

7：保護絕緣膜

BM：障壁導體膜

BMa：障壁導體膜

bm1：第 1 障壁導體
膜

bm2：第 2 障壁導體
膜

M1：第 1 配線層(配
線層)

M2：第 2 配線層(配
線層)

M3：第 3 配線層(配
線層)

M4：第 4 配線層(配
線層)

M5：第 5 配線層(配
線層)

MH：最上層之配線層
(配線層)

ML：最下層之配線層
(配線層)

OP1：開口部

PA：探針接觸區域

PD1：焊墊(外部端子)

Q：場效電晶體(半導
體元件)

s1：主面

V1：第 1 連接層(連接
層)

V2：第 2 連接層(連接
層)

V3：第 3 連接層(連接
層)

V4：第 4 連接層(連接
層)

V5：第 5 連接層(連接
層)

VH：最上層之連接層
(連接層)

VL：最下層之連接層
(連接層)

- 1：矽基板(半導體基板)
2：分離部
3：導體圖案
4：層間絕緣膜
5：通道插塞(連接導體部)
5H：最上層通道插塞(最上層連接導體部)
5L：接觸插塞(連接導體部)
6：障壁絕緣膜
7：保護絕緣膜
BM：障壁導體膜
BMa：障壁導體膜

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置，特別是關於一種抑制或防止由於對半導體裝置之外部端子施加之外力而於外部端子下之絕緣膜上產生龜裂的技術。

【先前技術】

於半導體裝置之製造步驟中存在探針檢查步驟，使探針(probe)碰觸形成於半導體晶圓上之半導體晶片之外部端子即焊接墊(以下，僅稱為焊墊)而檢查半導體裝置之電氣特性。此時，存在由於對焊墊施加之外力(衝擊)而於焊墊下之絕緣膜中產生龜裂，半導體裝置之可靠性下降之問題。

例如，於日本專利特開2007-123546號公報(專利文獻1)中揭示有包含100 nm以上之鈦(Ti)作為鋁(Al)焊墊與銅(Cu)配線之間之障壁金屬之半導體裝置。藉此，可防止銅滲出至鋁焊墊上。

又，例如於日本專利特開2003-179059號公報(專利文獻2)中揭示有於配線焊墊部包含連續地交替積層有2個雙層以上之氮化鉭(TaN)層與鉭(Ta)層之雙層、或者氮化鈦(TiN)與鈦層之雙層之障壁膜的半導體裝置。藉此，可提高配線焊墊部中之障壁膜之障壁性及強度，且可提高可靠性。

又，例如於日本專利特開2003-31575號公報(專利文獻3)中，揭示有作為銅焊墊上之鋁焊墊之結構而利用連接銅通道埋設連接通道開口部以使階差幾乎為零的技術。藉此，

可將用以形成鋁焊墊之鋁之膜厚減薄，而可實現製造之容易化且可防止銅焊墊之氧化。

[先前技術文獻]

[專利文獻]

[專利文獻1]

日本專利特開2007-123546號公報

[專利文獻2]

日本專利特開2003-179059號公報

[專利文獻3]

日本專利特開2003-31575號公報

【發明內容】

[發明所欲解決之問題]

然而，近年來，為削減半導體晶片之面積，而於焊墊之下方亦配置元件或配線。因此，於探針檢查時如何使焊墊下之絕緣層不產生龜裂成為重要課題。因此，於在焊墊之下方配置元件等之情形時，在焊墊之正下方以與配線層相同之材料形成應力緩和層、或者以彈性模數較 SiO_2 高且難以塑性變形之鎢(W)或高熔點金屬進行加強之必要性變高。

然而，根據本發明者等人之研究，發現若於焊墊之正下方以與配線層相同之金屬(鋁或銅)形成應力緩和層，則存在由於使探針碰觸焊墊時之衝擊，而應力緩和層塑性變形，因此於配線層中之絕緣膜產生龜裂且傳播至下層的問題。進而，發現即便使用鎢或高熔點金屬作為加強層，亦

存在以下問題。第一，於配線層(鋁或銅)接觸於鎢或高熔點金屬之正下方之結構中，由於該配線層之塑性變形，而使得鎢或高熔點金屬產生龜裂，且該龜裂傳播至下層。正下方之配線層之寬度越寬，塑性變形越大，當為與焊墊相同程度之大小(30~100 μm)時，龜裂特別顯著。第二，若存在有鎢之部分與無鎢之部分，則於其等之界面產生龜裂且傳播至下層。第三，若較厚地形成應力較高之鎢，則鎢由於該應力本身而發生剝離。

另一方面，通常於包括焊墊下之晶片內之整個區域中，在各配線層之配線圖案之密度較低之部分配置以配線材料所形成之虛設圖案，且將圖案佔有率調整為某種程度以上。其原因在於：若存在佔有率較低之區域，則於CMP (Chemical and Mechanical Polishing, 化學機械研磨)步驟中產生高低差，而於較其更上層產生微影法之聚焦偏差。

於在焊墊正下方未配置元件或配線之情形時，由於上述目的而考慮有於焊墊正下方亦設置虛設圖案。然而，根據本發明者等人之研究，發現若於焊墊正下方亦存在虛設圖案，則存在由於使探針碰觸焊墊時之衝擊，虛設圖案(配線材料)塑性變形，而於絕緣層中產生龜裂且傳播至下層的問題。

如上所述，若於配線層中之絕緣膜存在龜裂，則存在水分自其滲入，使器件或配線之可靠性降低之問題。進而，存在由於封裝後之熱應力，打線接合部位或凸塊受力，焊墊部以上述龜裂部分為起點發生剝離，而發生斷線之問

題。

上述龜裂或剝離之問題特別於使用機械強度較弱之低介電係數膜(Low-k膜)作為配線層之絕緣膜時變得顯著。

另一方面，作為抑制或防止上述龜裂之方法，存在降低於探針檢查步驟時之探針之針壓之方法，但若降低針壓，則探針與焊墊之接觸電阻變大，無法準確地測定半導體裝置之電氣特性，結果存在半導體裝置之可靠性下降之問題。

因此，本發明之目的之一在於提供一種可抑制或防止由於對半導體裝置之外部端子施加之外力而於外部端子下之絕緣膜產生龜裂的技術。

本發明之上述及其他目的與新穎之特徵根據本說明書之記述及隨附圖式可明瞭。

[解決問題之技術手段]

本案例中，揭示有複數個發明，簡單說明其中一實施例之概要，則如下所述。

本發明之半導體裝置包含覆蓋半導體基板之主面且交替重複地積層配置之配線層及連接層，上述各配線層包含導體圖案與使上述導體圖案間絕緣之層間絕緣膜，上述各連接層包含將不同之上述配線層之上述導體圖案彼此連接之連接導體部、與使上述連接導體部間絕緣之上述層間絕緣膜，上述配線層中之最上層之配線層包含由上述導體圖案所形成之外部端子、與覆蓋上述外部端子之保護絕緣膜，上述外部端子包含以鋁為主體之導體，上述保護絕緣膜包

含使上述外部端子之一部分露出之開口部，上述外部端子係於自上述保護絕緣膜之開口部露出之區域之一部分具有探針接觸區域，於上述配線層中之上述最上層之配線層之下一層之配線層中，在與上述探針接觸區域於平面上重疊之部分，未配置上述導體圖案，於上述外部端子與其正下方之上述層間絕緣膜之間配置有障壁導體膜，上述障壁導體膜係由以鈦為主體之第1障壁導體膜與以氮化鈦為主體之第2障壁導體膜之積層膜所構成，上述第1障壁導體膜配置於與上述層間絕緣膜接觸之側，上述第2障壁導體膜配置於與上述外部端子接觸之側，於上述障壁導體膜中，就縱向之膜厚而言，上述第1障壁導體膜較上述第2障壁導體膜更厚。

[發明之效果]

以藉由本案中所揭示之複數個發明中之上述一實施例所獲得之效果為代表進行簡單說明，則如下所述。

即，可抑制或防止由於對半導體裝置之外部端子施加之外力而於外部端子下之絕緣膜產生龜裂之情形。

【實施方式】

於以下實施形態中，為方便起見，必要時係分割為複數個部分或實施形態進行說明，但除特別明示之情形外，其等並非相互無關係者，而是其中一方為另一方之一部分或全部之變形例、詳細內容、補充說明等之關係。又，於以下實施形態中，當言及要素之數等(包括個數、數值、量、範圍等)時，除特別明示之情形及原理上明顯限定為

特定數之情形等以外，並不限定於該特定數，亦可為特定數以上或以下。進而，於以下實施形態中，關於其構成要素(亦包括要素步驟等)，除特別明示之情形及原理上認為顯然必需之情形等以外，當然不一定為必需者。同樣地，於以下實施形態中，當言及構成要素等之形狀、位置關係等時，除特別明示之情形及原理上明顯認為並非如此之情形等以外，包括實質上與該構成要素等之形狀等近似或類似者等。此情形對於上述數值及範圍亦相同。又，於用以說明本實施形態之全部圖中，對於具有相同功能者附上相同符號，而儘可能省略其重複之說明。以下，根據圖式詳細說明本發明之實施形態。

(實施形態1) 圖1表示本實施形態1之半導體裝置之主要部分平面圖，圖2係沿著圖1之A1-A1線而朝箭頭方向觀察之主要部分剖面圖。該等圖式表示本實施形態1之半導體裝置中之用以實施用於電氣特性檢查之探測及打線接合之焊墊(外部端子)PD1的周邊部。又，圖3表示將該焊墊PD1之周邊部放大之主要部分剖面圖，圖4表示將圖3之主要部分p100放大之主要部分剖面圖。使用該等圖1~圖4，詳細說明本實施形態1之半導體裝置所具有之結構。

本實施形態1之半導體裝置係於矽基板(半導體基板)1之主面s1形成有包含MIS(Metal Insulator Semiconductor，金屬絕緣體半導體)結構之場效電晶體(Field Effect Transistor：FET)Q等之半導體元件。各場效電晶體Q係藉由淺槽(Shallow Trench：ST)結構之分離部2而彼此絕緣。

進而，覆蓋上述包含場效電晶體Q之矽基板1之主面s1，且交替重複地積層而形成有配線層ML、M1、M2、M3、M4、M5、MH及連接層VL、V1、V2、V3、V4、V5、VH。換言之，於矽基板1之主面s1正上方配置最下層之連接層VL，於其上配置最下層之配線層ML，於該配線層ML上依序配置第1連接層V1、第1配線層M1、第2連接層V2、第2配線層M2、第3連接層V3、第3配線層M3、第4連接層V4、第4配線層M4、第5連接層V5、第5配線層M5，最後，依序配置最上層之連接層VH與最上層之配線層MH。

配線層ML、M1~M5、MH各自包含具有所需之配線形狀之導體圖案3、與用以使該等導體圖案3彼此之間絕緣之層間絕緣膜4。又，連接層VL、V1~V5、VH各自包含將不同之配線層ML、M1~M5、MH之導體圖案3彼此連接之通道插塞(連接導體部)5、與用以使該等通道插塞5彼此之間絕緣之層間絕緣膜4。例如，第3配線層M3之導體圖案3與第4配線層M4之導體圖案3係藉由第4連接層V4之通道插塞5而電性連接。再者，最下層之連接層VL擔負最下層之配線層ML之導體圖案3與場效電晶體Q之電性連接，將該最下層之連接層VL之連接導體部特別地稱為接觸插塞5L。

又，層間絕緣膜4包含以氧化矽或Low-k材料為主體之絕緣膜。所謂Low-k材料，係指比介電係數較氧化矽更低之材料，例如存在含碳氧化矽(SiOC)等。於使用Low-k材料作為層間絕緣膜4之情形時，亦更佳為對於最上層之連接層VH、第5配線層M5以及第5連接層V5之層間絕緣膜4，

使用機械強度較Low-k材料高之絕緣膜(例如氧化矽膜)，且將其他連接層及配線層之層間絕緣膜4設為Low-k材料。藉此，可防止由封裝之應力導致之Low-k材料之破壞。又，亦可於各配線層ML、M1~M5、MH與各連接層VL、V1~V5、VH之邊界部包含障壁絕緣膜6。障壁絕緣膜6例如包含以碳氮化矽為主體之絕緣膜。

此處，各配線層ML、M1~M5、MH中之最上層之配線層MH之導體圖案3成為用於連接來自外部之接線、或者接觸用以實施電氣特性檢查之探針PRB之焊墊PD1。於最上層之配線層MH中，焊墊PD1之一部分由保護絕緣膜7覆蓋。保護絕緣膜7例如係由氧化矽膜、堆積於其上之氮化矽膜、以及堆積於進而其上之聚醯亞胺樹脂膜之積層體所形成。此處，保護絕緣膜7包含使焊墊PD1之一部分露出之開口部OP1。於該開口部OP1中露出之部分之焊墊PD1之一部分，具有實施打線接合之線接觸區域WA及用以實施電性檢查之探針接觸區域PA。

此處，所謂探針接觸區域PA，係指於本實施形態1之半導體裝置之焊墊PD1上之如下所述的區域。即，作為使探針PRB接觸於焊墊PD1之痕跡，具有焊墊PD1本身之凹陷或凸起等探針痕之焊墊PD1上之部位。根據本發明者等人之驗證，探針痕具有10 μm 以上之寬度。探針痕之大小當然未超出焊墊PD1之露出部(保護絕緣膜7之開口部OP1)。

包含最上層之配線層MH之導體圖案3的焊墊PD1係包含以鋁為主體之導體。並且，於焊墊PD1與其正下方之最上

層之連接層 VH 之層間絕緣膜 4 之間配置有障壁導體膜 BMa。關於該焊墊 PD1 正下方之障壁導體膜 BMa 之構成，之後使用其他圖式加以詳細說明。又，於焊墊 PD1 之上表面之與保護絕緣膜 7 之界面，形成有障壁導體膜 BM。

於本實施形態 1 之半導體裝置中，除最上層之配線層 MH 所包含之焊墊 PD1 以外的其他配線層 ML、M1~M5 所包含之導體圖案 3 係包含以銅為主體之導體。

又，將最下層之配線層 ML 之導體圖案 3 與形成於矽基板 1 之主面 s1 之場效電晶體 Q 電性連接的最下層之連接層 VL 之接觸插塞 5L，係包含以高熔點金屬為主體之導體。作為此種高熔點金屬，例如存在鎢等。進而，於該最下層之連接層 VL 之接觸插塞 5L 之側面即與層間絕緣膜 4 之邊界部、及其底面即與場效電晶體 Q 之邊界部，一體配置有障壁導體膜。該障壁導體膜具有成為鎢之成長開端之功能、及提高配線與絕緣膜之密著性之功能。作為此種障壁導體膜，例如存在氮化鈦等。

又，將最上層之配線層 MH 之導體圖案 3 即焊墊 PD1 與其正下方之配線層即第 5 配線層 M5 之導體圖案 3 電性連接的、最上層之連接層 VH 之通道插塞 5 即最上層通道插塞 (最上層連接導體部) 5H 係具有與上述接觸插塞 5L 相同之構成。即，最上層之連接層 VH 之最上層通道插塞 5H 包含以例如鎢為主體之導體，且於其側面及底面具有包含例如氮化鈦之障壁導體膜 BMb。

於本實施形態 1 之半導體裝置中，除最下層之連接層 VL

所包含之接觸插塞5L及最上層之連接層VH所包含之最上層通道插塞5H以外的、其他連接層V1~V5所包含之通道插塞5係包含以銅為主體之導體。於該通道插塞5之側面及底面具有包含例如鈦或氮化鈦等之障壁導體膜BMc。此處，上述包含銅之導體圖案3或通道插塞5等係藉由於層間絕緣膜4中形成孔(通孔、配線孔、或者該兩者)且於其中嵌入銅等之所謂金屬鑲嵌(單金屬鑲嵌、雙金屬鑲嵌)法而形成。

於本實施形態1之半導體裝置中，於配線層ML、M1~M5、MH中之最上層之配線層MH之下一層之配線層(即第5配線層M5)中，在與探針接觸區域PA於平面上重疊之部分，未形成導體圖案3。換言之，於第5配線層M5之該區域僅形成有層間絕緣膜4。藉此，可獲得如下所述之效果。

若於探針接觸區域PA下之配線層中配置導體，則由於探測之壓力，配線層整體容易塑性變形，由於該應變而於層間絕緣膜4中易產生龜裂。於具有包含例如銅之導體圖案3之配線層之情形時，若上述龜裂到達至導體圖案為止，則會使銅氧化。藉此，發生導體圖案3之短路或斷線，成為引起特性不良之原因。

與此相對，於本實施形態1之半導體裝置中，如上所述，於最上層之配線層MH之焊墊PD1之下一層之第5配線層M5中，在探針接觸區域PA下未配置導體圖案3。藉此，可減少探測時之塑性變形，而可使龜裂難以發生。又，即便於產生龜裂之情形時，亦由於在探針接觸區域PA下之第

5配線層M5中未配置由銅所形成之導體圖案3，而可使由導體圖案3之氧化等導致之特性不良難以發生。

於本實施形態1之半導體裝置中，更佳為設為如下結構：於最上層之配線層MH之下一層之第5配線層M5之上下的連接層(即，最上層之連接層VH及第5連接層V5)中，在與探針接觸區域PA於平面上重疊之部分未配置通道插塞5。其原因在於，藉由不將包含銅之通道插塞5配置於接近焊墊PD1之連接層之探針接觸區域PA下，可與上述第5配線層M5之導體圖案3同樣地，減少探測時之塑性變形，而可使龜裂難以發生。綜上所述，於本實施形態1之半導體裝置中，更佳為於最上層之配線層MH之焊墊PD1正下方之最上層之連接層VH、第5配線層M5以及第5連接層V5中，在探針接觸區域PA下未配置包含銅之導體圖案3及通道插塞5。

如上所述，藉由不於焊墊PD1上之探針接觸區域PA下配置銅配線，而難以引起塑性變形，可使龜裂難以發生。根據本發明者等人之驗證，藉由設為於探針接觸區域PA下之縱向上之1 μm 以上未配置包含銅之導體圖案3及通道插塞5的結構，可獲得上述效果。換言之，更佳為如下結構：於最上層之配線層MH之下一層之第5配線層M5與其上下之最上層之連接層VH及第5連接層V5中，如上所述在探針接觸區域PA下不具有導體圖案3及通道插塞5，且縱向之合計膜厚為1 μm 以上。其原因在於，若於探針接觸區域PA下配置1 μm 以上之不存在銅之圖案之層間絕緣膜4，則即便較

其更下層之銅塑性變形，亦可抑制龜裂之發生。此處，所謂縱向，係指與矽基板1之主面s1垂直之方向，且係指各配線層ML、M1~M5、MH及各連接層VL、V1~V5、VH之膜厚方向。又，根據本發明者等人進一步之驗證，就加工精度等之觀點而言，理想的是上述最上層之連接層VH、第5配線層M5以及第5連接層V5之合計膜厚為3.5 μm 以下。綜上所述，為顯現上述效果，理想的是如下結構：於探針接觸區域PA下不具有導體圖案3及通道插塞5之最上層之連接層VH、第5配線層M5以及第5連接層V5之合計膜厚為1 μm 以上、3.5 μm 以下。

上述中，對於焊墊PD1中之探針接觸區域PA下之第5配線層M5等中未配置導體圖案3之結構進行了說明。於本實施形態1之半導體裝置中，更佳為進而於焊墊PD1自保護絕緣膜7露出之部分之下部，在第5配線層M5等中未配置導體圖案3的結構。即，更佳為於最上層之配線層MH之下一層之第5配線層M5中，在與保護絕緣膜7之開口部OP1於平面上重疊之部分未配置導體圖案3的結構。其原因在於，如上所述藉由不於接近焊墊PD1之第5配線層M5中配置包含銅之導體圖案3，可使塑性變形更加難以發生。結果，可抑制層間絕緣膜4中產生龜裂。就相同之理由而言，更佳為於第5配線層M5之上下之最上層之連接層VH及第5連接層V5之該區域中亦未配置通道插塞5的結構。

進而，於本實施形態1之半導體裝置中，配置於焊墊PD1之底部即與最上層之連接層VH之界面的障壁導體膜

BMa中具有如下所述之結構。即，配置於焊墊PD1之底部之障壁導體膜BMa係由包含以鈦為主體之導體之第1障壁導體膜bm1、與包含以氮化鈦為主體之導體之第2障壁導體膜bm2的積層膜所構成。特別是，第1障壁導體膜bm1配置於第2障壁導體膜bm2下。換言之，第1障壁導體膜bm1配置於與最上層之連接層VH之層間絕緣膜4接觸之側，第2障壁導體膜bm2配置於與焊墊PD1接觸之側。

進而，於本實施形態1之半導體裝置之焊墊PD1下之障壁導體膜BMa中，為如下結構：就縱向之膜厚而言，包含鈦之第1障壁導體膜bm1之膜厚t1較包含氮化鈦之第2障壁導體膜bm2之膜厚t2更厚。通常，作為包含鋁之焊墊之障壁導體膜，為防止於下層與接觸之金屬(此處為最上層通道插塞5H之鎢)之反應，而選擇以氮化鈦為主且較厚之障壁導體膜。並且，為確保氮化鈦與下層金屬之密著性或電性連接，而於其等之間形成較薄之鈦。

與此相對，於本實施形態1之半導體裝置中，將以鈦為主體形成為較厚並於其上形成氮化鈦之結構之障壁導體膜BMa配置於焊墊PD1下。關於其理由，之後加以詳細說明。

於本實施形態1之半導體裝置中，藉由將配置於焊墊PD1下之障壁導體膜BMa設為如上所述之結構，可產生如下效果。即，於藉由使探針PRB接觸於焊墊PD1之探針接觸區域PA而進行之電氣特性檢查時，於焊墊PD1下之層間絕緣膜4中可使龜裂難以發生。其理由如下所示。

根據本發明者等人之驗證，將鈦與氮化鈦進行比較，可知氮化鈦之晶粒較小且為柱狀結晶，相對於此鈦之晶粒較大且不為柱狀結晶(以下，稱為粒狀結晶)。更具體而言，可知作為第2障壁導體膜bm2之氮化鈦係如圖4所示，結晶柱沿著膜厚方向豎立而形成。因此，可知由於探測時之縱向之壓力，易透過晶界而產生龜裂。另一方面，可知作為第1障壁導體膜bm1之鈦為粒狀結晶，且沿著膜厚方向之晶界較少，難以因探測時之縱向之壓力而產生龜裂。就該觀點而言，作為障壁導體膜BMa，越厚地形成包含鈦之第1障壁導體膜bm1，越可提高探測時之耐龜裂性。然而，為抑制鈦(第1障壁導體膜bm1)與鋁(焊墊PD1)之反應，更佳為於其等之間配置氮化鈦(第2障壁導體膜bm2)。此時，根據上述理由，若氮化鈦之膜厚變厚，則探測時之耐龜裂性下降。

因此，於本實施形態1之半導體裝置中，藉由將實施探測之焊墊PD1之正下方之障壁導體膜BMa之主體設為包含晶粒較大且為粒狀結晶之鈦之第1障壁導體膜bm1，可使龜裂難以發生。換言之，於本實施形態1之半導體裝置中，藉由與包含柱狀結晶之氮化鈦之第2障壁導體膜bm2相比，以包含粒狀結晶之鈦之第1障壁導體膜bm1為主，而可使龜裂難以發生。再者，如上所述，於本實施形態1之半導體裝置中，為抑制鈦與鋁之反應，而於包含鈦之第1障壁導體膜bm1與包含鋁之焊墊PD1之間配置包含氮化鈦之第2障壁導體膜bm2。

*如上所述，於本實施形態1之半導體裝置中，設為如下結構：於焊墊PD1下之障壁導體膜BMa中，與包含易產生龜裂之柱狀結晶之氮化鈦之第2障壁導體膜bm2相比，以包含粒狀結晶之鈦之第1障壁導體膜bm1為主。藉此，即便藉由焊墊PD1之探測而施加應力，亦可實現於下層之層間絕緣膜4等中難以產生龜裂之結構。進而，於本實施形態1之半導體裝置中，如上所述，設為於探針接觸區域PA下之第5配線層M5等中未配置包含銅之導體圖案3之結構。藉此，成為難以由探測時之壓力引起塑性變形之結構，可使龜裂更難以發生。進而，根據該結構，假定產生龜裂，亦難以到達導體圖案3，可使配線之短路或斷線等難以發生。如上所述，藉由本實施形態1之半導體裝置，可提高耐探測性。

根據本發明者等人進一步之驗證，可知於本實施形態1之半導體裝置之障壁導體膜BMa中，藉由將包含晶粒較大且難以產生龜裂之鈦之第1障壁導體膜bm1之膜厚t1設為包含為柱狀結晶且易產生龜裂之氮化鈦之第2障壁導體膜bm2之膜厚t2的2倍以上，上述效果變得更加顯著。進而，可知藉由將包含鈦之第1障壁導體膜bm1之膜厚t1設為20 nm以上，上述效果變得更顯著。此時，為抑制包含鈦之第1導體膜bm1與包含鋁之焊墊PD1之反應，理想的是將包含氮化鈦之第2導體膜bm2設為5 nm以上。又，更佳為第1障壁導體膜bm1與第2障壁導體膜bm2之縱向之合計膜厚(即，障壁導體膜BMa之膜厚)為200 nm以下。其原因在

於，焊墊PD1之主體為低電阻之鋁，就密著性或反應抑制之觀點而言，較佳為導入之障壁導體膜BMa之電阻較鋁更高，且不會過厚。

又，上述說明中，就於矽基板1之主面s1形成有場效電晶體Q作為半導體元件進行了說明。於本實施形態1之半導體裝置中，特別是於位於與焊墊PD1在平面上重疊之位置處之矽基板1之主面s1亦形成有作為半導體元件之場效電晶體Q者更佳。其原因在於，藉由於焊墊PD1下之區域亦配置場效電晶體Q，可毫無浪費地使用矽基板1上之空間，而可提高集成度。

此處，於焊墊PD1之下部中之特別是探針接觸區域PA之下部，在探測時易產生龜裂，故而以儘量不於該區域之矽基板1上配置半導體元件為宜。然而，根據本實施形態1之半導體裝置，如上所述，於探針接觸區域PA下可使龜裂難以發生，因此即便於焊墊PD1下配置半導體元件，亦難以產生上述問題。因此，本實施形態1之半導體裝置適用於此種於焊墊PD1下之矽基板1上亦配置場效電晶體Q之結構且更有效。

又，於本實施形態1之半導體裝置中，更佳為如下結構：於包含焊墊PD1之最上層之配線層MH之下兩層之配線層(即第4配線層M4)上所配置的導體圖案3中，在與探針接觸區域PA於平面上重疊之區域，配置配線寬度為2 μm 以下之導體圖案3。換言之，第4配線層M4中之配置於探針接觸區域PA下之導體圖案3不含配線寬度大於2 μm 者，更佳

為以配線寬度為2 μm 以下者構成。以下說明其理由。

與第5配線層M5相比，第4配線層M4距離焊墊PD1之距離更遠，故較第5配線層M5更難塑性變形，但即便如此，若探針PRB之針壓較高，則存在發生塑性變形，而於層間絕緣膜4中產生龜裂之可能性。因此，如上所述，於第4配線層M4中，藉由將配置於焊墊PD1之探針接觸區域PA之正下方的導體圖案3之寬度限制為2 μm 以下，可進一步抑制該塑性變形，而可使探針PRB以更高之針壓接觸於焊墊PD1，可使探針檢查更穩定化。

又，本實施形態1之半導體裝置之焊墊PD1之平面形狀並不限於如上述圖1所示之形狀，亦可為如圖5及圖6之主要部分平面圖所示之形狀。

圖5中表示線接觸區域WA與探針接觸區域PA一部分重疊之焊墊PD1之主要部分平面圖。藉由設為此種結構，可縮小焊墊PD1所佔之平面面積，而可實現由半導體裝置之高積體化所產生之高性能化。對於此種半導體裝置，亦使用上述本實施形態1之半導體裝置之技術且同樣有效。

圖6中，表示為能夠視覺上判別線接觸區域WA與探針接觸區域PA，而於覆蓋焊墊PD1之保護絕緣膜7之平面形狀下具有成為兩區域之邊界的記號之突出部pt1之結構之焊墊PD1的主要部分平面圖。藉由設為此種結構，可使探針檢查時之實施探測之探針接觸區域PA與連接接線之線連接區域WA互不干涉地加以設計。例如，若使接線連接於由於探測而變粗糙之焊墊PD1面，則易引起密著性之下降或

連接不良等。因此，藉由設為此種探針接觸區域PA與線連接區域WA難以重疊之結構，可提高半導體裝置之特性。

(實施形態2) 使用圖7~圖9，對本實施形態2之半導體裝置加以說明。圖7表示本實施形態2之半導體裝置之主要部分平面圖。其表示本實施形態2之半導體裝置中用以實施電氣特性檢查之探測及打線接合之焊墊(外部端子)PD2之周邊部。圖8表示將該焊墊PD2之周邊部放大之主要部分剖面圖，圖9表示將圖8之主要部分p200放大之主要部分剖面圖。使用該等圖7~圖9，對本實施形態2之半導體裝置所具有之結構進行詳細說明。

本實施形態2之半導體裝置係除以下方面以外，具有與上述實施形態1之半導體裝置相同之結構及源自其等之效果。

於本實施形態2之半導體裝置中，用以將最上層之配線層MH之焊墊PD2與其下一層之第5配線層M5之導體圖案3電性連接的、最上層之連接層VH之通道插塞5即最上層通道插塞(最上層連接導體部)5H具有如下結構。即，於本實施形態2之半導體裝置中，最上層通道插塞5H係以與最上層之配線層MH之障壁導體膜BMa及焊墊PD2相同材料，嵌入連接孔CH(亦稱為接觸孔、通孔)而形成。此處，所謂連接孔CH，係指於該最上層之連接層VH之層間絕緣膜4中，自與焊墊PD2接觸之上表面貫通至與導體圖案3接觸之下表面之孔部。

於製造本實施形態2之半導體裝置之步驟中，嵌入包含

上述連接孔CH之最上層之連接層VH之上表面，而依序形成障壁導體膜B_{Ma}與焊墊PD2(導體圖案3)。其後，以微影法等加以圖案化，而形成包含所需形狀之導體圖案3之焊墊PD2。

例如，於藉由濺鍍法等形成作為焊墊PD2之鋁之情形時，為無間隙地嵌入連接孔CH之內部，必須較大地設計連接孔CH之直徑。例如，與如上述實施形態1之半導體裝置之最上層通道插塞5H般，使用藉由金屬鑲嵌法而形成之鎢之情形相比，於如本實施形態2之半導體裝置之最上層通道插塞5H般使用藉由濺鍍法而形成之鋁之情形時，連接孔CH之直徑更大。

另一方面，如本實施形態2之半導體裝置中，如上所述，可總括形成最上層之連接層VH之最上層通道插塞5H與最上層之配線層MH之焊墊PD2，因此可簡化製造步驟。製造步驟之簡化會使製造成本降低，並且結果使製造良率提高。

又，於設為如本實施形態2之結構之最上層通道插塞5H之情形時，焊墊PD2下部之障壁導體膜B_{Ma}亦一體配置於最上層之連接層VH之連接孔CH之壁面。即，為於連接孔CH之底部，障壁導體膜B_{Ma}與第5配線層M5之導體圖案3接觸之結構。此處，如上述實施形態1之半導體裝置中所說明般，障壁導體膜B_{Ma}係包含自下層起之包含鈦之第1障壁導體膜b_{m1}與包含氮化鈦之第2障壁導體膜b_{m2}的積層膜。因此，於該狀態下，包含鈦之第1障壁導體膜b_{m1}與包

含銅之導體圖案3接觸。然而，已知鈦與銅會發生反應，藉此接觸部之電阻會增大。

因此，本實施形態2之半導體裝置之障壁導體膜BMa係於第1障壁導體膜bm1之更下層具有包含以氮化鈦為主體之導體之第3障壁導體膜bm3。如上所述，本實施形態2之障壁導體膜BMa係自焊墊PD2下遍及最上層之連接層VH之連接孔CH內而一體形成。因此，藉由配置此種第3障壁導體膜bm3，於連接孔CH之底部，包含鈦之第1障壁導體膜bm1與包含銅之導體圖案3成為藉由包含氮化鈦之第3障壁導體膜bm3而間隔成互不接觸之結構。藉此，可抑制鈦與銅之反應。

此處，如於上述實施形態1之半導體裝置中使用上述圖1~上述圖4進行說明般，障壁導體膜BMa具有對於探針檢查時之壓力而難以產生龜裂之效果。於本實施形態2之半導體裝置中，亦於焊墊PD2下之障壁導體膜BMa具有包含柱狀結晶之氮化鈦之第3障壁導體膜bm3，且其膜厚小於包含鈦之第1障壁導體膜bm1之膜厚的情形時，可顯現相同之效果。

進而，更佳為於焊墊PD2之探針接觸區域PA下，第1障壁導體膜bm1之膜厚為第3障壁導體膜bm3之膜厚之2倍以上，且更佳為第3障壁導體膜bm3之膜厚為5 nm以上。其理由係與上述實施形態1中設定相對於第2障壁導體膜bm2之第1障壁導體膜bm1之膜厚條件的理由相同。又，其他膜厚條件亦與上述實施形態1相同，此處不進行重複說明。於

本實施形態2之半導體裝置中，第1障壁導體膜bm1、第2障壁導體膜bm2以及第3障壁導體膜bm3之合計膜厚為200 nm以下。此種膜厚條件可提高耐探測性，因此為可顯現效果之條件，且至少用於焊墊PD2之探針接觸區域PA下之障壁導體膜BMa即可。

如上所述，藉由設為本實施形態2之結構之半導體裝置，可抑制探測時之龜裂並提高製造良率。

(實施形態3) 使用圖10及圖11，對本實施形態3之半導體裝置加以說明。圖10係該半導體裝置之主要部分剖面圖，且對應於上述實施形態1之半導體裝置中之上述圖3。圖11表示將圖10之主要部分p300放大之主要部分剖面圖。本實施形態3之半導體裝置係除以下方面以外，具有與上述實施形態1或2之半導體裝置相同之結構及源自其等之效果。

於本實施形態3之半導體裝置中，於最上層之配線層MH之焊墊PD3與其正下方之最上層之連接層VH之層間絕緣膜4之間所配置的障壁導體膜BMa係由以鈦或氮化鈦為主體之導體所構成。

鈦或氮化鈦具有與如上所述之晶粒較大且耐探測性較高之鈦同等之耐探測性。此處，於上述實施形態1之半導體裝置中，積層用於提高耐探測性之鈦(第1障壁導體膜bm1)與用於抑制與焊墊PD1之反應之氮化鈦(第2障壁導體膜bm2)而構成障壁導體膜BMa。與此相對，本實施形態3之半導體裝置中之鈦或氮化鈦與包含鋁之焊墊PD3之反應性

較低，故而無需設置用於抑制反應之導體層。因此，可藉由更簡單之結構之障壁導體膜BMa而實現與上述實施形態1相同之提高耐探測性之效果。其可降低製造成本及提高良率。

進而，根據本發明者等人進一步之驗證，可知包含以氮化鉬為主體之導體之障壁導體膜BMa為非晶質(非晶)狀態，於非晶質狀態下並無晶界，因此更難以因應力而產生龜裂。可知該效果係藉由將氮化鉬之膜厚設為20 nm以上而變得更顯著。就上述理由而言，於本實施形態3之半導體裝置中，更佳為包含以鉬或氮化鉬為主體之導體膜之障壁導體膜BMa之膜厚為20 nm以上。再者，就與上述實施形態1中說明之理由相同之理由而言，更佳為障壁導體膜BMa之膜厚為200 nm以下。

(實施形態4) 使用圖12，對本實施形態4之半導體裝置加以說明。圖12為該半導體裝置之主要部分剖面圖，且對應於上述實施形態1之半導體裝置中之上述圖2。本實施形態4之半導體裝置係除以下方面以外，具有與上述實施形態1、2或3之半導體裝置相同之結構及源自其等之效果。

於本實施形態4之半導體裝置中，於各配線層ML、M1~M5、MH中之最上層之配線層MH之下一層之配線層(即第5配線層M5)與下兩層之配線層(即第4配線層M4)中，在與焊墊PD4之探針接觸區域PA於平面上重疊之部分，未形成導體圖案3。換言之，於第5配線層M5與第4配線層M4之該區域僅形成有層間絕緣膜4。藉此，可獲得如下效

果。

如上述實施形態1之半導體裝置中已說明般，藉由不於焊墊PD1之探針接觸區域PA下配置導體圖案3，而難以塑性變形，耐探測性提高。於上述實施形態1中，已說明不於焊墊PD1之下一層之第5配線層M5之該區域形成導體圖案3之結構為有效。就相同之觀點而言，於本實施形態4之半導體裝置中，於更下層之第4配線層M4之該區域亦未配置導體圖案3，而可使塑性變形更加難以發生。結果，藉由設為如本實施形態4之半導體裝置之結構，可進一步提高耐探測性。

(實施形態5) 使用圖13，對本實施形態5之半導體裝置加以說明。圖13為該半導體裝置之主要部分剖面圖，且對應於上述實施形態1之半導體裝置中之上述圖2。本實施形態5之半導體裝置係除以下方面以外，具有與上述實施形態1、2、3或4之半導體裝置相同之結構及源自其等之效果。

於本實施形態5之半導體裝置中，各配線層ML、M1~M5、MH所包含之導體圖案3係由以鋁為主體之導體所形成。與銅相比，鋁之機械強度較低。因此，對焊墊PD5等之探測時，由於其應力而易塑性變形。並且，於此種包含鋁作為導體圖案之半導體裝置中易產生龜裂。就該觀點而言，對於包含鋁作為導體圖案3之本實施形態5之半導體裝置，使用如上述實施形態1、2、3或4之半導體裝置之可提高耐探測性之結構且更有效。

(實施形態6) 使用圖14及圖15，對本實施形態6之半導

體裝置加以說明。圖14表示本實施形態6之半導體裝置之主要部分平面圖。其表示本實施形態6之半導體裝置中之用以實施電氣特性檢查之探測及打線接合之焊墊PD6之周邊部。圖15表示將該焊墊PD6之周邊部放大之主要部分剖面圖。使用該等圖14及圖15對本實施形態6之半導體裝置所具有之結構進行詳細說明。本實施形態6之半導體裝置係除以下方面以外，具有與上述實施形態1、2、3、4或5之半導體裝置相同之結構及源自其等之效果。

本實施形態6之半導體裝置具有如下結構作為最上層之配線層MH之焊墊PD6與其下一層之第5配線層M5之導體圖案3之導通機構。即，於本實施形態6之半導體裝置中，如上述實施形態2之半導體裝置般，嵌入形成於最上層之連接層VH中之連接孔CH，而一體形成與障壁導體膜BMa及焊墊PD6相同之材料。然而，就與上述實施形態2之半導體裝置不同之方面而言，於本實施形態6之半導體裝置中，在平面上觀察，連接孔CH位於使焊墊PD6露出之保護絕緣膜7之開口部OP1內，且寬度較上述實施形態2之連接孔CH更寬。並且，於第5配線層M5中接觸於該連接孔CH之底部而配置有導體圖案3。

然而，第5配線層M5之導體圖案3未配置於焊墊PD6之探針接觸區域PA下。該方面與上述實施形態1~5相同，對於如本實施形態6之結構之半導體裝置亦應用本案，且具有可提高耐探測性之結構。

以上，基於實施形態對由本發明者所完成之發明進行了

具體說明，但本發明當然並不限定於上述實施形態，於不脫離其主旨之範圍內可進行各種變更。

【圖式簡單說明】

圖1係本發明之實施形態1之半導體裝置之主要部分平面圖。

圖2係沿著圖1所示之主要部分平面圖之A1-A1線而朝箭頭方向觀察之主要部分剖面圖。

圖3係將圖2所示之主要部分剖面圖之一部分放大表示之主要部分剖面圖。

圖4係將圖3所示之主要部分剖面圖之一部分放大表示之主要部分剖面圖。

圖5係本發明之實施形態1之其他半導體裝置之主要部分平面圖。

圖6係本發明之實施形態1之進而其他半導體裝置之主要部分平面圖。

圖7係本發明之實施形態2之半導體裝置之主要部分平面圖。

圖8係本發明之實施形態2之半導體裝置之主要部分剖面圖。

圖9係將圖8所示之主要部分剖面圖之一部分放大表示之主要部分剖面圖。

圖10係本發明之實施形態3之半導體裝置之主要部分剖面圖。

圖11係將圖10所示之主要部分剖面圖之一部分放大表示

之主要部分剖面圖。

圖 12 係本發明之實施形態 4 之半導體裝置之主要部分剖面圖。

圖 13 係本發明之實施形態 5 之半導體裝置之主要部分剖面圖。

圖 14 係本發明之實施形態 6 之半導體裝置之主要部分平面圖。

圖 15 係沿著圖 14 所示之主要部分平面圖之 A1-A1 線而朝箭頭方向觀察之主要部分剖面圖。

【主要元件符號說明】

1	矽基板(半導體基板)
2	分離部
3	導體圖案
4	層間絕緣膜
5	通道插塞(連接導體部)
5H	最上層通道插塞(最上層連接導體部)
5L	接觸插塞(連接導體部)
6	障壁絕緣膜
7	保護絕緣膜
BM、BMa、 BMb、BMc	障壁導體膜
bm1	第 1 障壁導體膜
bm2	第 2 障壁導體膜
bm3	第 3 障壁導體膜

CH	連接孔
M1	第1配線層(配線層)
M2	第2配線層(配線層)
M3	第3配線層(配線層)
M4	第4配線層(配線層)
M5	第5配線層(配線層)
MH	最上層之配線層(配線層)
ML	最下層之配線層(配線層)
OP1	開口部
PA	探針接觸區域
PD1、PD2、 PD3、PD4、 PD5、PD6	焊墊(外部端子)
PRB	探針
Q	場效電晶體(半導體元件)
s1	主面
V1	第1連接層(連接層)
V2	第2連接層(連接層)
V3	第3連接層(連接層)
V4	第4連接層(連接層)
V5	第5連接層(連接層)
VH	最上層之連接層(連接層)
VL	最下層之連接層(連接層)
WA	線接觸區域

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：99115842

※ 申請日：99. 5. 18

※IPC 分類：H01L 23/485 (2006.01)

H01L 21/768 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置

二、中文發明摘要：

一種半導體裝置，其抑制或防止由於對半導體裝置之外部端子施加之外力而於外部端子下之絕緣膜產生龜裂之情形。形成於矽基板1之主面s1上之配線層中之最上層之配線層MH具有由包含鋁之導體圖案3所形成之焊墊PD1，於焊墊PD1之下表面配置有包含自下層依序積層之第1障壁導體膜bm1及第2障壁導體膜bm2之障壁導體膜BMa。於最上層之配線層MH之下一層之第5配線層M5中的與焊墊PD1之探針接觸區域PA於平面上重疊之區域中未配置導體圖案3。又，第1障壁導體膜bm1為以鈦為主體之導體膜，第2障壁導體膜bm2為以氮化鈦為主體之導體膜，第1障壁導體膜bm1形成為較第2障壁導體膜bm2更厚。

三、英文發明摘要：

七、申請專利範圍：

1. 一種半導體裝置，其特徵在於：其包含覆蓋半導體基板之主面且交替重複地積層配置之配線層及連接層，

上述各配線層包含導體圖案與使上述導體圖案間絕緣之層間絕緣膜，

上述各連接層包含將不同之上述配線層之上述導體圖案彼此連接之連接導體部、與使上述連接導體部間絕緣之上述層間絕緣膜，

上述配線層中之最上層之配線層包含由上述導體圖案所形成之外部端子與覆蓋上述外部端子之保護絕緣膜，

上述外部端子包含以鋁為主體之導體，

上述保護絕緣膜包含使上述外部端子之一部分露出之開口部，

上述外部端子係於自上述保護絕緣膜之開口部露出之區域之一部分具有探針接觸區域，

於上述配線層中之上述最上層之配線層之下一層之配線層中，在與上述探針接觸區域於平面上重疊之部分未配置上述導體圖案，

於上述外部端子與其正下方之上述層間絕緣膜之間配置有障壁導體膜，

上述障壁導體膜係由以鈦為主體之第1障壁導體膜與以氮化鈦為主體之第2障壁導體膜之積層膜所構成，

上述第1障壁導體膜配置於與上述層間絕緣膜接觸之側，上述第2障壁導體膜配置於與上述外部端子接觸之

側，

上述障壁導體膜中，就縱向之膜厚而言，上述第1障壁導體膜較上述第2障壁導體膜更厚。

2. 如請求項1之半導體裝置，其中上述第1障壁導體膜之縱向之膜厚為上述第2障壁導體膜之縱向之膜厚的2倍以上。
3. 如請求項2之半導體裝置，其中上述第1障壁導體膜之縱向之膜厚為20 nm以上，

上述第2障壁導體膜之縱向之膜厚為5 nm以上，

上述第1障壁導體膜與上述第2障壁導體膜之縱向之合計膜厚為200 nm以下。

4. 如請求項3之半導體裝置，其中於位於與上述外部端子在平面上重疊之位置處的上述半導體基板之主面形成有半導體元件。
5. 如請求項4之半導體裝置，其中於上述最上層之配線層之下一層之上述配線層之上下的上述連接層中，在與上述探針接觸區域於平面上重疊之部分未配置上述連接導體部。
6. 如請求項5之半導體裝置，其中於上述配線層中之上述最上層之配線層之下一層之配線層中，在與上述保護絕緣膜之上述開口部於平面上重疊之部分未配置上述導體圖案，

於上述最上層之配線層之下一層之上述配線層之上下的上述連接層中，在與上述保護絕緣膜之上述開口部於

平面上重疊之部分未配置上述連接導體部。

7. 如請求項6之半導體裝置，其中上述最上層之配線層之下一層之上述配線層與其上下之上述連接層的縱向之合計膜厚為1 μm 以上、3.5 μm 以下。
8. 如請求項7之半導體裝置，其中上述探針接觸區域係於自上述保護絕緣膜之上述開口部露出之範圍內之上述外部端子上具有寬度為10 μm 以上之探針痕。
9. 如請求項8之半導體裝置，其中將上述最上層之配線層之上述外部端子與其下一層之上述配線層之上述導體圖案連接的上述連接導體部即最上層連接導體部，係以與上述最上層之配線層之上述障壁導體膜及上述外部端子相同之材料一體嵌入連接孔而形成。
10. 如請求項9之半導體裝置，其中上述第1障壁導體膜為粒狀結晶，

上述第2障壁導體膜為柱狀結晶。

11. 如請求項10之半導體裝置，其中除上述最上層之配線層以外之上述配線層所包含之上述導體圖案包含以銅為主體之導體，

上述最上層連接導體部中之上述障壁導體膜係於與上述配線層之上述導體圖案接觸之部分進而包含以氮化鈦為主體之第3障壁導體膜，

上述配線層與上述第1障壁導體膜係藉由上述第3障壁導體膜而隔開為互不接觸，

上述第1障壁導體膜之縱向之膜厚為上述第3障壁導體

膜之縱向之膜厚的2倍以上，

上述第3障壁導體膜之縱向之膜厚為5 nm以上，

上述第1障壁導體膜、上述第2障壁導體膜以及上述第3障壁導體膜之合計膜厚為200 nm以下。

12. 如請求項10之半導體裝置，其中上述配線層所包含之上述導體圖案包含以鋁為主體之導體。

13. 一種半導體裝置，其特徵在於：其包含覆蓋半導體基板之主面且交替重複地積層配置之配線層及連接層，

上述各配線層包含導體圖案與使上述導體圖案間絕緣之層間絕緣膜，

上述各連接層包含將不同之上述配線層之上述導體圖案彼此連接之連接導體部、與使上述連接導體部間絕緣之上述層間絕緣膜，

上述配線層中之最上層之配線層包含由上述導體圖案所形成之外部端子、與覆蓋上述外部端子之保護絕緣膜，

上述外部端子包含以鋁為主體之導體，

上述保護絕緣膜包含使上述外部端子之一部分露出之開口部，

上述外部端子係於自上述保護絕緣膜之開口部露出之區域之一部分具有探針接觸區域，

於上述配線層中之上述最上層之配線層之下一層之配線層中，在與上述探針接觸區域於平面上重疊之部分未配置上述導體圖案，

於上述外部端子與其正下方之上述層間絕緣膜之間配置有障壁導體膜，

將上述最上層之配線層之上述外部端子與其下一層之上述配線層之上述導體圖案連接的上述連接導體部即最上層連接導體部，係以與上述最上層之配線層之上述障壁導體膜及上述外部端子相同之材料一體嵌入連接孔而形成，

除上述最上層之配線層以外之上述配線層所包含之上述導體圖案包含以銅為主體之導體，

上述障壁導體膜係由以鈦為主體之第1障壁導體膜與以氮化鈦為主體之第2障壁導體膜及第3障壁導體膜之積層膜所構成，

上述第1障壁導體膜係由上述第2障壁導體膜與第3障壁導體膜夾持而配置。

14. 如請求項13之半導體裝置，其中於上述障壁導體膜中，就縱向之膜厚而言，上述第1障壁導體膜較上述第2障壁導體膜及上述第3障壁導體膜更厚。

15. 如請求項14之半導體裝置，其中上述第1障壁導體膜之縱向之膜厚為20 nm以上，

上述第2障壁導體膜及上述第3障壁導體膜之縱向之膜厚分別為5 nm以上，

上述第1障壁導體膜、上述第2障壁導體膜以及上述第3障壁導體膜之合計膜厚為200 nm以下。

16. 一種半導體裝置，其特徵在於：其包含形成於半導體基

板之主面之半導體元件、與覆蓋上述半導體基板之主面且交替重複地積層配置之配線層及連接層，

上述各配線層包含導體圖案與使上述導體圖案間絕緣之層間絕緣膜，

上述各連接層包含將不同之上述配線層之上述導體圖案彼此連接之連接導體部、與使上述連接導體部間絕緣之上述層間絕緣膜，

上述配線層中之最上層之配線層包含由上述導體圖案所形成之外部端子與覆蓋上述外部端子之保護絕緣膜，

上述外部端子包含以鋁為主體之導體，

上述保護絕緣膜包含使上述外部端子之一部分露出之開口部，

上述外部端子係於自上述保護絕緣膜之開口部露出之區域之一部分具有探針接觸區域，

於上述配線層中之上述最上層之配線層之下一層之配線層中，在與上述探針接觸區域於平面上重疊之部分未配置上述導體圖案，

於上述外部端子與其正下方之上述層間絕緣膜之間配置有障壁導體膜，

上述障壁導體膜係由以鈹或氮化鈹為主體之導體所構成，

上述半導體元件係形成於位於與上述外部端子在平面上重疊之位置處之上述半導體基板之主面。

17. 如請求項16之半導體裝置，其中上述障壁導體膜係由以

氮化鉬為主體之導體所構成，

上述障壁導體膜之縱向之膜厚為20 nm以上、200 nm以下。

18. 如請求項17之半導體裝置，其中上述探針接觸區域係於自上述保護絕緣膜之上述開口部露出之範圍內之上述外部端子上具有寬度為10 μm 以上之探針痕。
19. 如請求項18之半導體裝置，其中上述障壁導體膜為非晶質。

八、圖式：

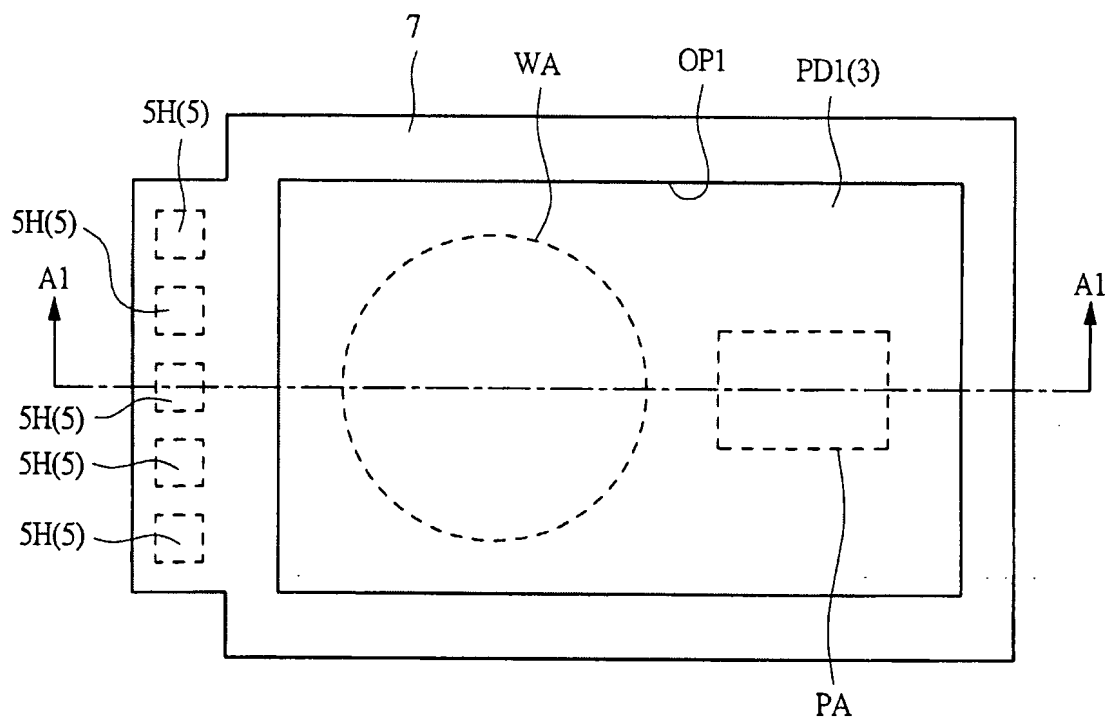


圖 1

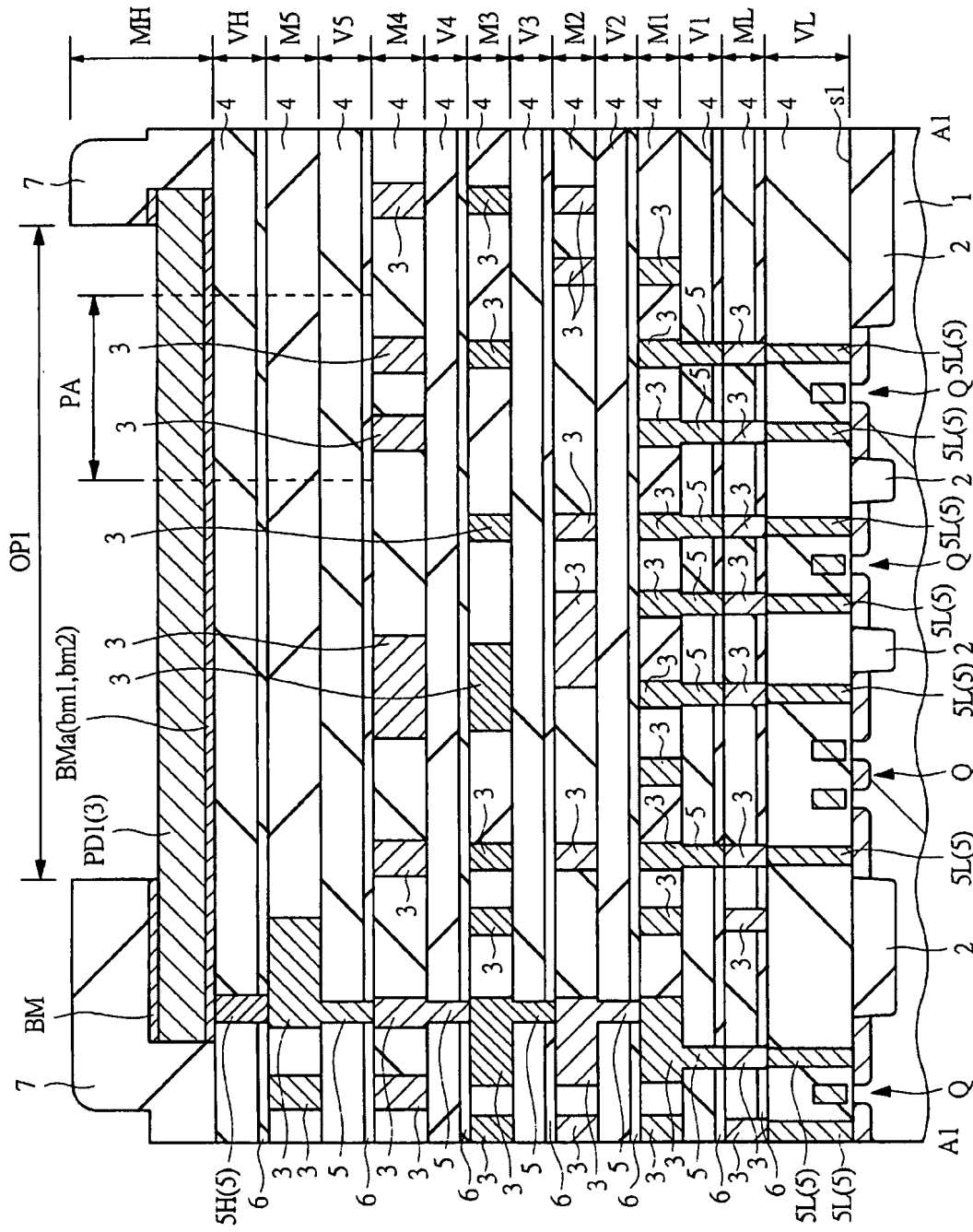


圖2

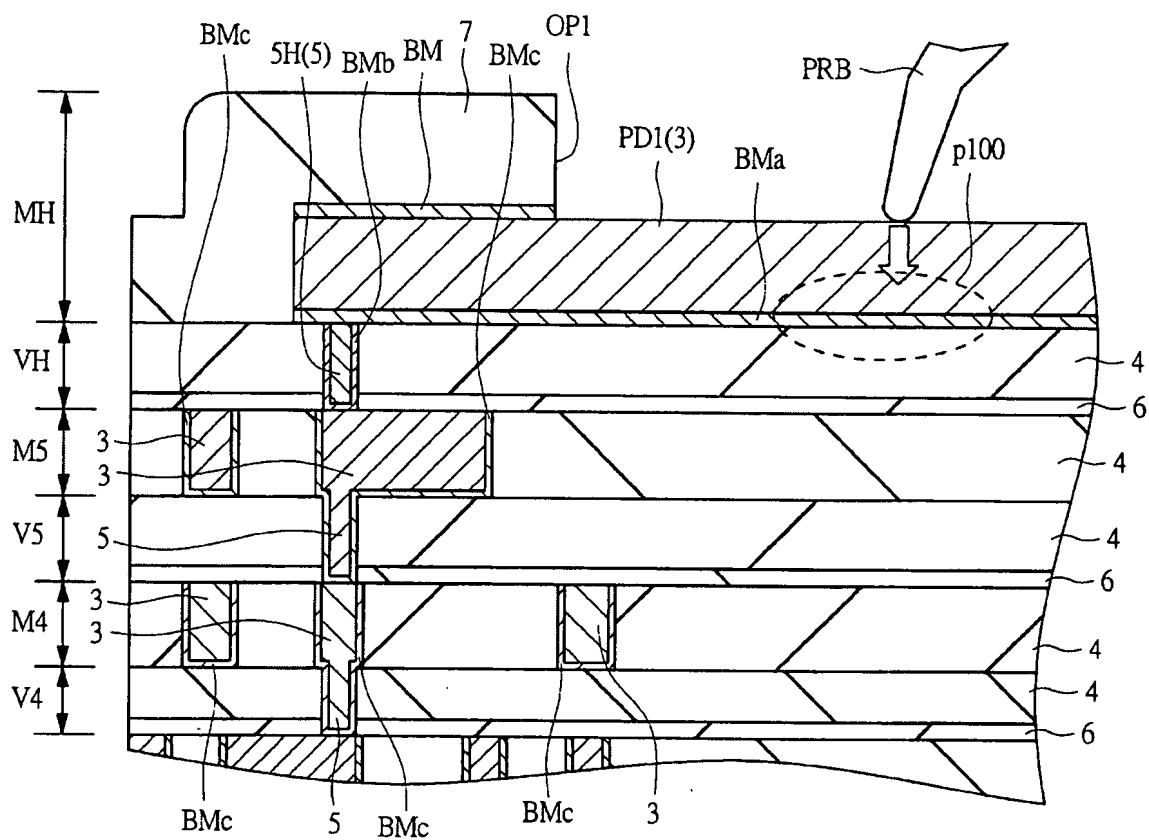


圖3

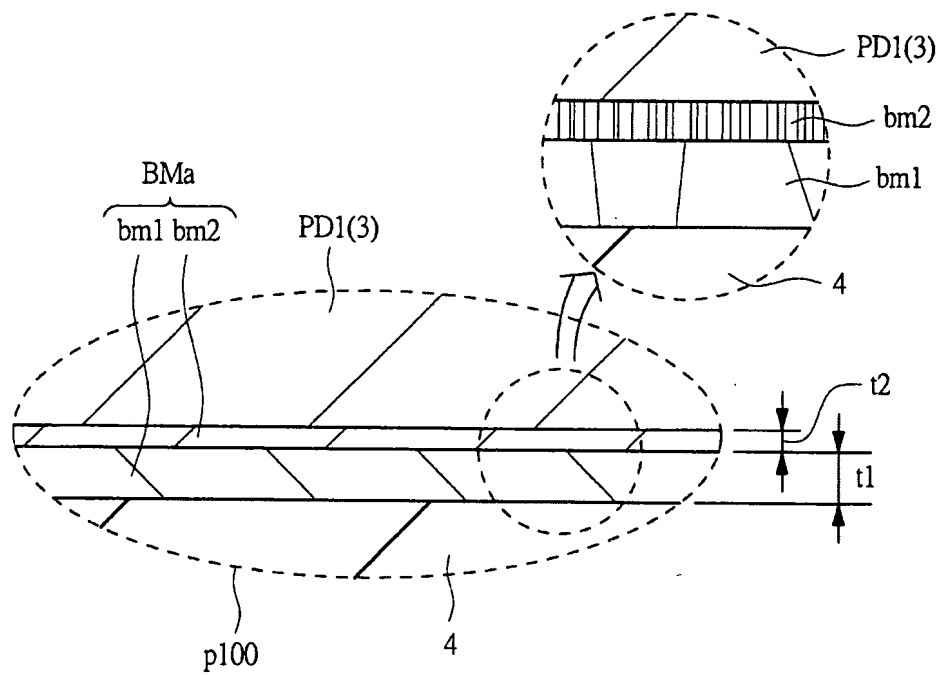


圖4

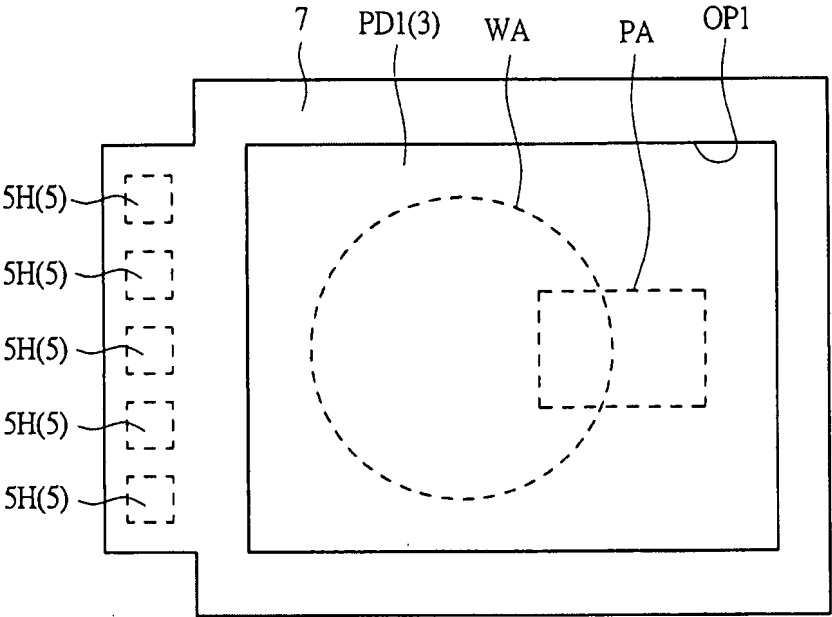


圖5

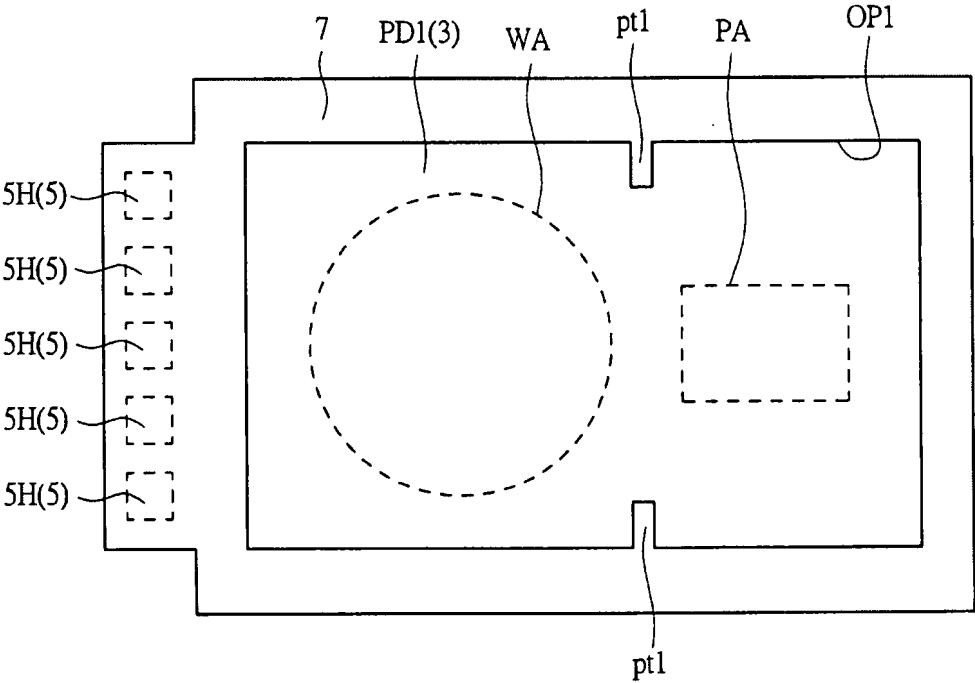


圖6

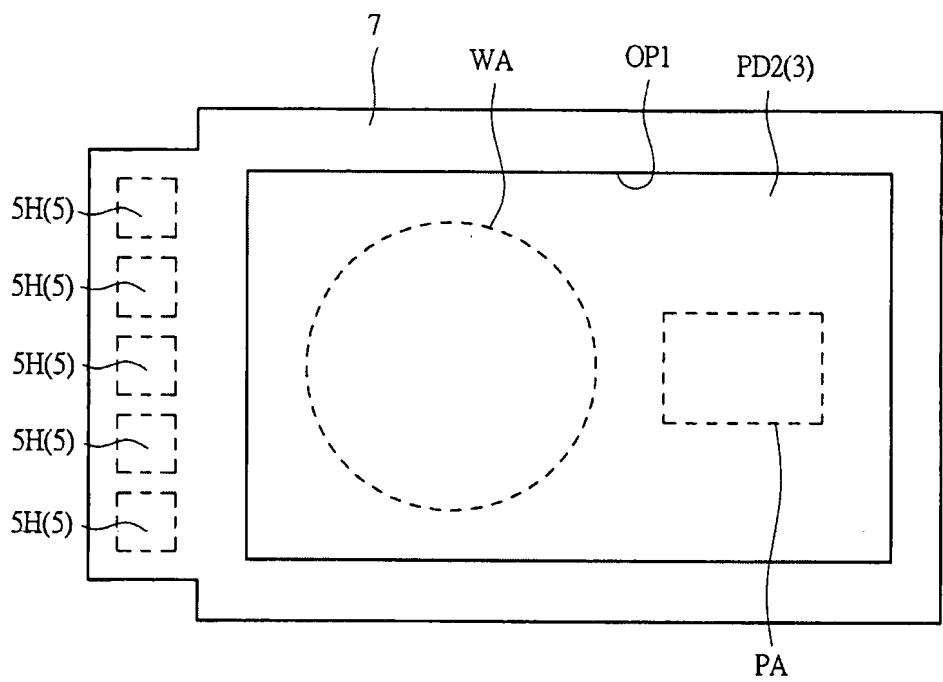


圖7

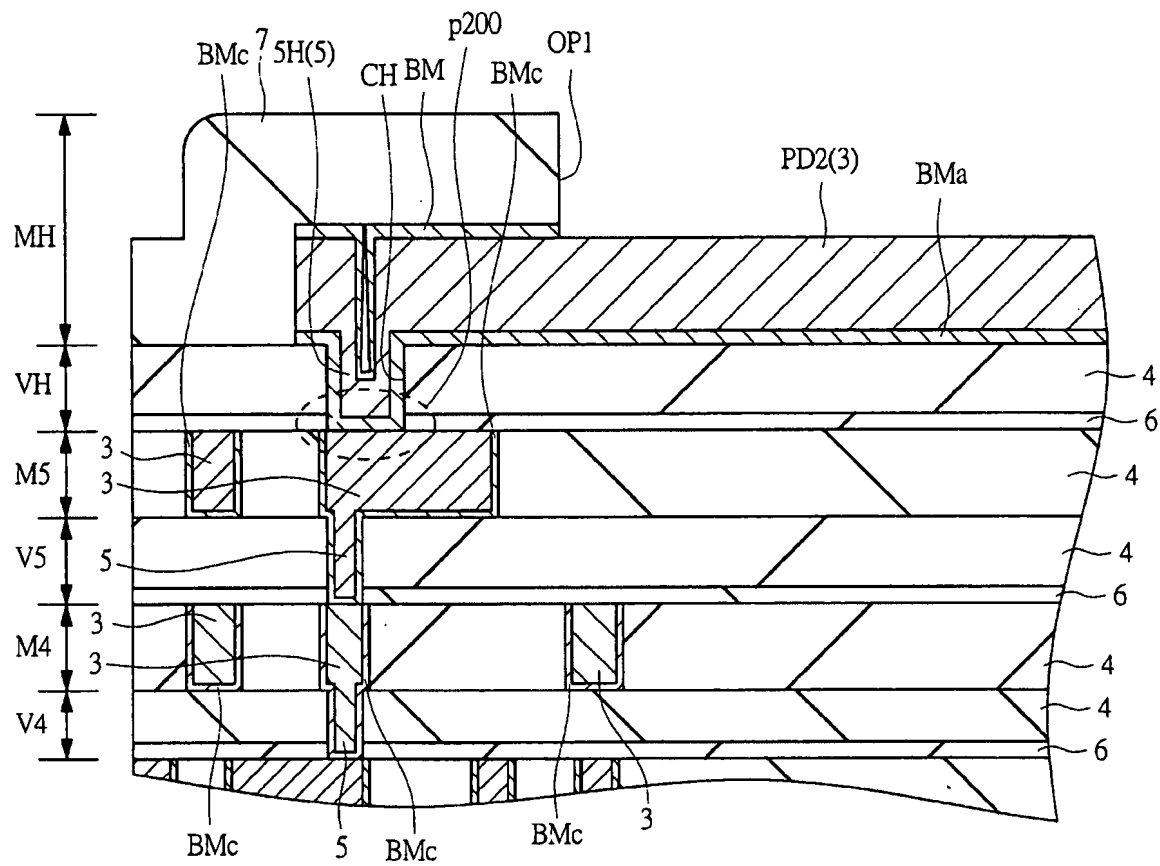


圖8

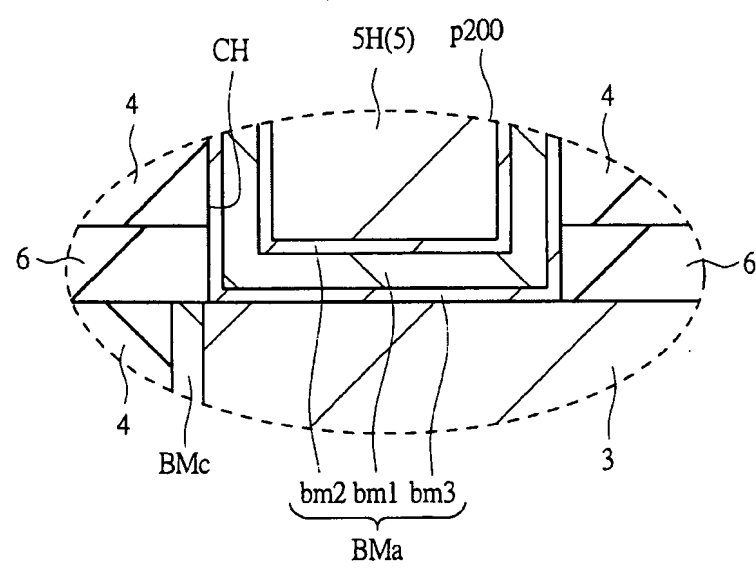


圖9

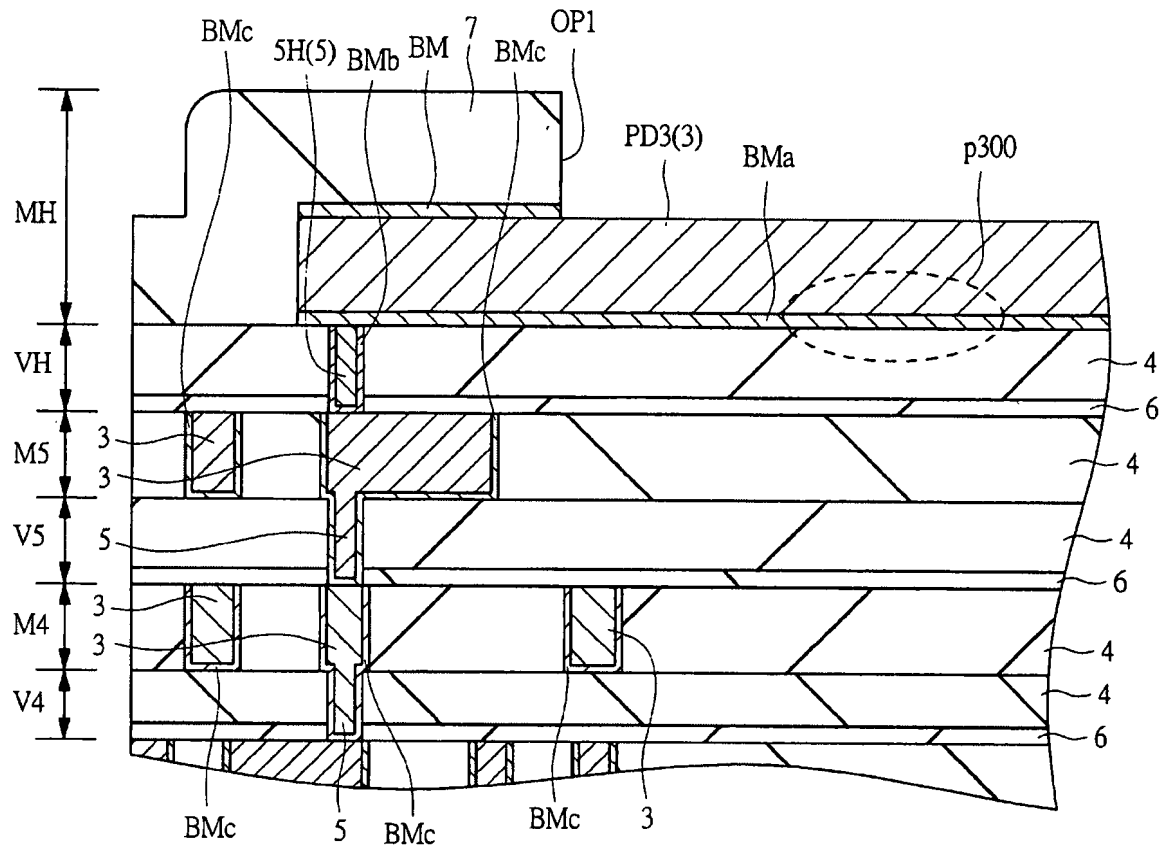


圖10

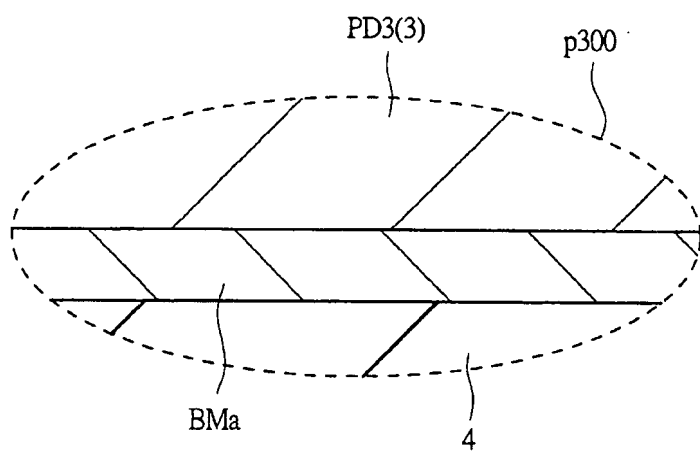


圖11

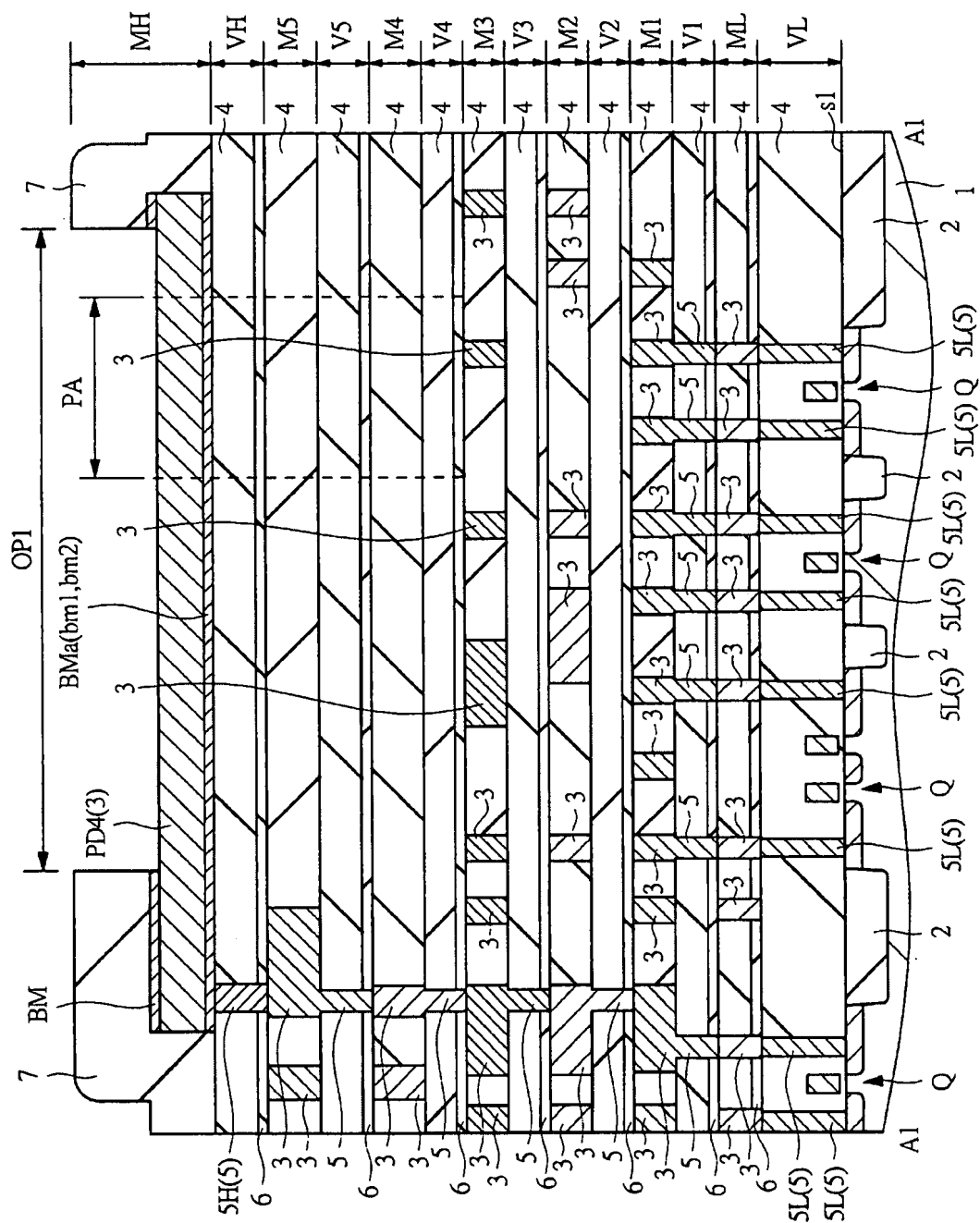


圖 12

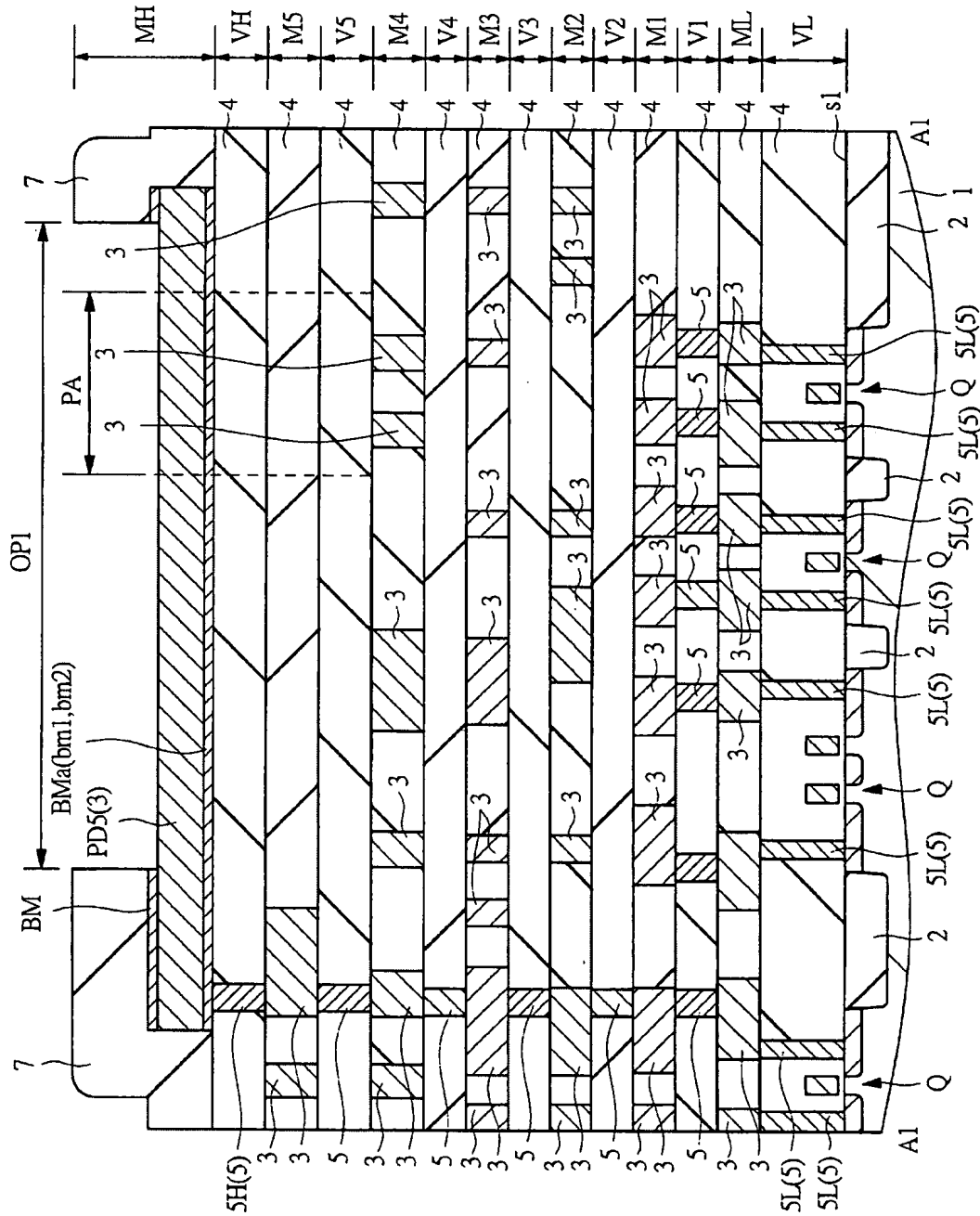


圖13

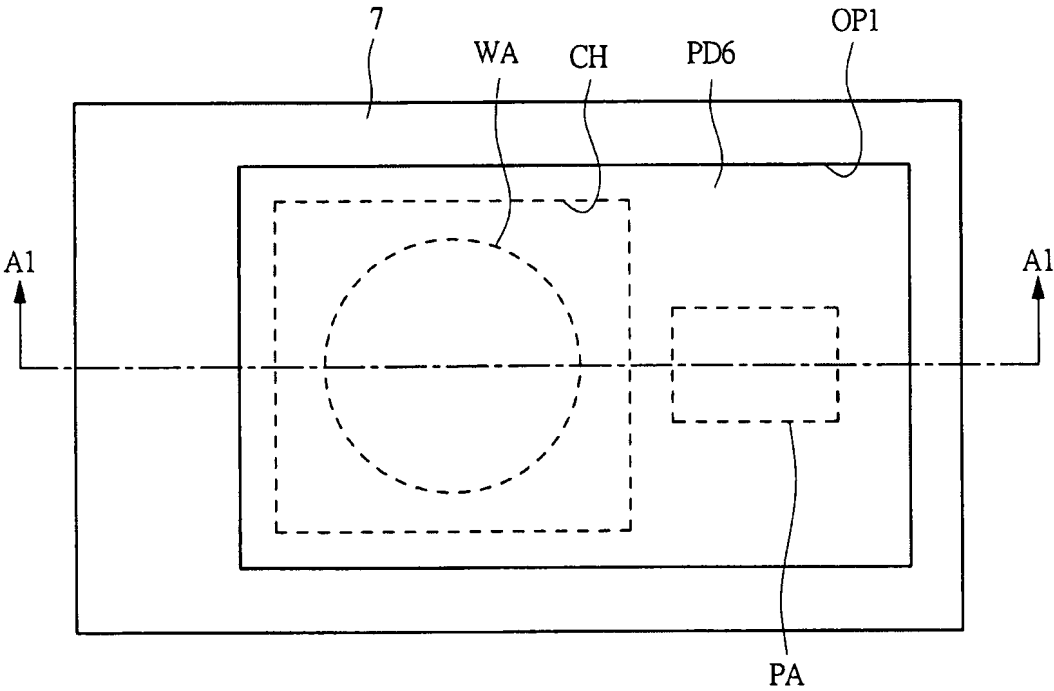
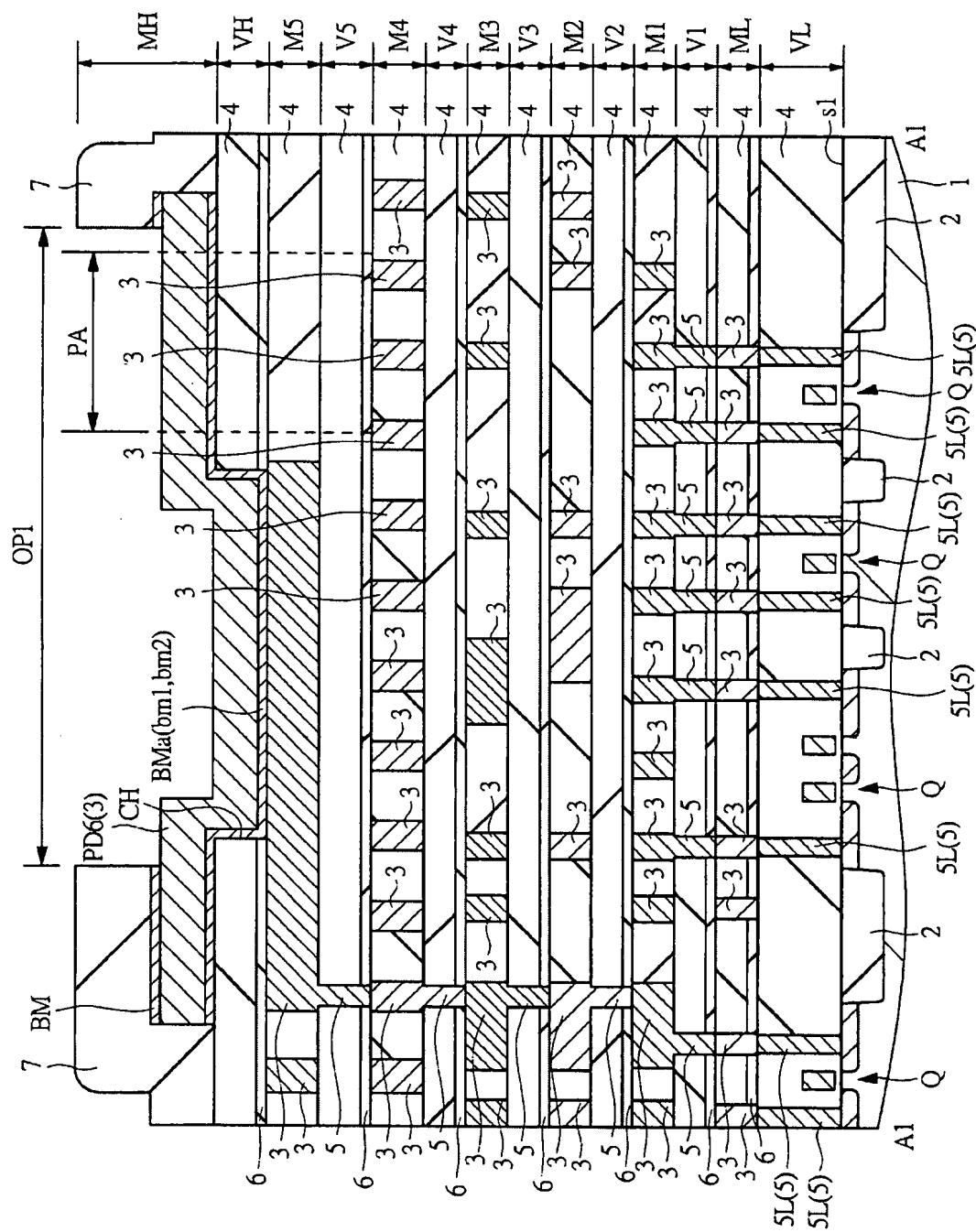


圖14



15

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

1	矽基板(半導體基板)
2	分離部
3	導體圖案
4	層間絕緣膜
5	通道插塞(連接導體部)
5H	最上層通道插塞(最上層連接導體部)
5L	接觸插塞(連接導體部)
6	障壁絕緣膜
7	保護絕緣膜
BM、BMa	障壁導體膜
bm1	第1障壁導體膜
bm2	第2障壁導體膜
M1	第1配線層(配線層)
M2	第2配線層(配線層)
M3	第3配線層(配線層)
M4	第4配線層(配線層)
M5	第5配線層(配線層)
MH	最上層之配線層(配線層)
ML	最下層之配線層(配線層)
OP1	開口部

PA	探針接觸區域
PD1	焊墊(外部端子)
Q	場效電晶體(半導體元件)
s1	主面
V1	第1連接層(連接層)
V2	第2連接層(連接層)
V3	第3連接層(連接層)
V4	第4連接層(連接層)
V5	第5連接層(連接層)
VH	最上層之連接層(連接層)
VL	最下層之連接層(連接層)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)