

公告本

310472

申請日期	85. 2. 27
案 號	85102216
類 別	H2/L >3/60 Int. Cl ⁶

(以上各欄由本局填註)

A4
C4

310472

發 明 專 利 說 明 書

一、發明 新型名稱	中 文	藉電容效應觸發之靜電放電保護電路
	英 文	
二、發明 創作人	姓 名	1. 吳昭能 2. 柯明道
	國 籍	中華民國
	住、居所	1. 高雄縣鳳山市南華路 30-4 號 2. 台南縣歸仁鄉西埔村大埔 11 號
三、申請人	姓 名 (名稱)	華邦電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區研新三路 4 號
	代 表 人 姓 名	焦佑鈞

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

本發明係有關於積體電路抗靜電放電破壞的技術，特別是有關於一種藉電容效應觸發之靜電放電保護電路。

靜電放電(Electrostatic Discharge，以下以ESD簡稱)幾乎存在於積體電路之量測、組裝、安裝及使用過程裡。其能造成積體電路的損壞，而間接影響電子系統的功能。然形成ESD應力的原因，最常見的是以三種模型來解釋：(1)人體模型(human body model，HBM)：這是以美軍軍事標準883號方法3015.6(MIL-STD-883，Method 3015.6)所界定之模型，係指人體所帶靜電碰觸積體電路的接腳時造成之ESD應力；(2)機器模型(machine model)：係指機器所帶靜電碰觸積體電路的接腳時所造成之ESD應力，現有工業標準EIAJ-IC-121 method 20界定之量測方法；(3)帶電荷元件模型(charged device model)：係指一原已帶有電荷的積體電路在隨後的過程中，接觸導電物質而接地，因此對積體電路形成一ESD脈衝路徑。

請參照第1和2圖，所示分別為輸入緩衝接合墊(input pad)及輸出緩衝接合墊(output pad)等處靜電放電保護電路的電路示意圖。如第1圖所示，輸入緩衝接合墊5處係利用一NMOS電晶體 M_1 來保護內部電路6(internal circuit)，NMOS電晶體 M_1 之閘極、源極、基體極均連接至 V_{SS} 電位，其汲極則連接至輸入緩衝接合墊5上。再者，如第2圖所示，輸出緩衝接合墊7處係利用一對NMOS電晶體 M_2 和PMOS電晶體 M_3 建構得之一輸出緩衝器(output buffer)保護內部電路6免於靜電放電破壞；其中，NMOS電晶體 M_2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

和 PMOS 電晶體 M_3 之間極均耦接至內部電路 6，其汲極均連接至輸出緩衝接合墊 7，另外，NMOS 電晶體 M_2 之源極和基體極均連接至 V_{SS} 電位，PMOS 電晶體 M_3 之源極和基體極均連接至 V_{DD} 電位。

然而，在次微米製程中，淡摻植汲極(LDD)結構及金屬矽化物(Silicide)擴散技術的應用，會降低 ESD 保護電路內 NMOS 電晶體抗 ESD 應力的效能。另外，對 ESD 應力具較強抗受性(immunity)之二極體或厚氧化物元件(Thick Oxide Device，如第 3 圖所示之元件 M_4)，均具有較 NMOS 電晶體崩潰電壓(breakdown voltage)高的觸發電壓，故僅適用於輸入緩衝接合墊 5 處，卻無法保護以 NMOS 電晶體為緩衝器(buffer)之輸出緩衝接合墊 7。再者，ESD 脈衝亦常會經由電源線(power rail) V_{DD} 或 V_{SS} 破壞內部電路，縱如 C. Duvvury 等人提出 "Internal Chip ESD Phenomena Beyond the Protection circuit," IEEE Transactions on Electron Devices, 35(12), 1988 之解決方案，亦不免因門鎖效應(latchup)造致積體電路效能降低的問題。因此，如何發展出一種靜電放電保護電路，不論設置於輸入緩衝接合墊、輸出緩衝接合墊、甚或電源線 V_{DD} 和 V_{SS} 間，而能有效釋放幾乎無所不在之 ESD 應力，是此業界者所企盼。

因此，本發明之主要目的，在於提供一種藉電容效應觸發之靜電放電保護電路，可同時設置於輸入緩衝接合墊、輸出緩衝接合墊、以及 V_{DD} 和 V_{SS} 電源線之間，得以有效地釋放突現之 ESD 應力。

五、發明說明(3)

而本發明之再一目的，在於提供一種靜電放電保護電路，當有ESD應力發生時，藉以產生均勻的放電電流，避免習知電路放電時熱量過份集中的缺點。

本發明之上述目的，可藉由提供一種藉電容效應觸發之靜電放電保護電路，包括：一N型半導體基底；一P型井區，形成於該基底內；至少一接觸區，形成於該P型井區內；一絕緣結構，覆於該P型井區以外之該基底上；一複晶矽層，形成於該絕緣結構上，耦接至該接觸區；一介電層，覆於該複晶矽層上；一接合墊，形成於該複晶矽層上於該介電層上，與該複晶矽層間建構得一電容器，當有靜電放電應力及於該接合墊時，則經該電容器耦合該應力及於該P型井區；一第一N型濃摻區以及至少一第二N型濃摻區，互為相隔設置於該P型井區內，該第一N型濃摻區連接至該接合墊，而該第二N型濃摻區連接至電路接地點，其中，該等N型濃摻區和該P型井區建構得一雙極性接面電晶體，藉以均勻釋放及於該接合墊上之該靜電放電應力；以及一電阻器，耦接於該接觸區和電路接地點之間，於該靜電放電應力發生時，提供予該電容器一RC時間延遲。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖示之簡單說明：

第1圖係顯示用以說明習知以一NMOS電晶體保護輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

入緩衝接合墊處的電路示意圖；

第 2 圖係顯示用以說明習知以一輸出緩衝器保護輸出緩衝接合墊處的電路示意圖；

第 3 圖係顯示用以說明習知以一厚氧化物元件保護輸入緩衝接合墊的電路示意圖；

第 4 圖係顯示用以說明，根據本發明一藉電容效應觸發之靜電放電保護電路設置於一輸入緩衝接合墊處的電路示意圖；

第 5 圖係顯示用以說明，根據本發明一藉電容效應觸發之靜電放電保護電路設置於一輸出緩衝接合墊處的電路示意圖；

第 6 圖係顯示用以說明，根據本發明一藉電容效應觸發之靜電放電保護電路設置於電源線 V_{DD} 和 V_{SS} 間的電路示意圖；

第 7 圖係顯示用以說明，根據本發明一較佳實施例製作於一半導體基底的剖面圖；以及

第 8 圖係顯示用以說明，根據本發明一藉電容效應觸發之靜電放電保護電路設置於全般晶片上的電路示意圖。實施例：

請參照第 4 圖，所示為根據本發明一藉電容效應觸發之靜電放電保護電路 10A，設置於一輸入緩衝接合墊 5 處的電路示意圖，此輸入緩衝接合墊 5 係耦接至一內部電路 6 上。此藉電容效應觸發之靜電放電保護電路 10A 包括：一厚氧化物元件 M_5 、一電容器 C、以及一電阻器 R。其中，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

厚氧化物元件 M_5 之汲極和源極，分別連接至輸入緩衝接合墊 5 和 V_{SS} 電位，而閘極亦連接至輸入緩衝接合墊 5，至於基體極則經由電阻器 R 及於 V_{SS} 電位；然電容器 C 之二端極分別連接至輸入緩衝接合墊 5 和厚氧化物元件 M_5 之基體極。再者，尚包括一二極體元件 D_1 ，以其陽陰極分別連接至 V_{SS} 電位和輸入緩衝接合墊 5 上。

請參照第 5 圖，所示為根據本發明之一藉電容效應觸發之靜電放電保護電路 10B，設置於一輸出緩衝接合墊 7 處的電路示意圖。此輸出緩衝接合墊 7 係經一輸出緩衝器再耦合至一內部電路 6 上。此輸出緩衝器由一 PMOS 電晶體 M_3 和一 NMOS 電晶體 M_2 組成，而 PMOS 電晶體 M_3 和 NMOS 電晶體 M_2 之汲極互為耦接後及於輸出緩衝接合墊 7，而 NMOS 電晶體 M_2 之源極和基體極互為耦接及於 V_{SS} 電位，而 PMOS 電晶體 M_3 之源極和基體極互為耦接及於 V_{DD} 電位。此藉電容效應觸發之靜電放電保護電路 10B 包括：一厚氧化物元件 M_5 、一電容器 C、以及一電阻器 R。其中，厚氧化物元件 M_5 之汲極和源極，分別連接至輸出緩衝接合墊 7 和 V_{SS} 電位，而閘極亦連接至輸出緩衝接合墊 7，至於基體極則經由電阻器 R 及於 V_{SS} 電位；然電容器 C 之二端極分別連接至輸出緩衝接合墊 7 和厚氧化物元件 M_5 之基體極。再者，尚包括一二極體元件 D_2 ，以其陽陰極分別連接至 V_{SS} 電位和輸出緩衝接合墊 7 上。

請參照第 6 圖，所示為根據本發明一藉電容效應觸發之靜電放電保護電路 10C，設置於電源線 V_{DD} 和 V_{SS} 間的

五、發明說明(6)

電路示意圖。此藉電容效應觸發之靜電放電保護電路 10C 包括：一厚氧化物元件 M_5 、一電容器 C 、以及一電阻器 R 。其中，厚氧化物元件 M_5 之汲極和源極，分別連接至 V_{DD} 和 V_{SS} 電位，而閘極亦連接至 V_{DD} 電位，至於基體極則經由電阻器 R 及於 V_{SS} 電位；然電容器 C 之二端極分別連接至 V_{DD} 電位和厚氧化物元件 M_5 之基體極。再者，尚包括一二極體元件 D_3 ，以其陽陰極分別連接至 V_{SS} 電位和 V_{DD} 電位上。

請參照第 7 圖，所示為第 4-6 圖之藉電容效應觸發之靜電放電保護電路 10A、10B 或 10C 製作於一半導體基底內的剖面圖。其係於一 N 型矽基底 11 內，形成有一 P 型井區 12。場氧化物 13 和 13A，是藉由局部氧化法(LOCOS)氧化矽基底 11 表面而得，做為絕緣結構；其中，場氧化物 13A 主要是覆於 P 型井區 12 以外的區域。一第一 N 型濃摻植區 14，形成於 P 型井區 12 內，做為厚氧化物元件 M_5 之汲極。至少一第二 N 型濃摻植區 15(本圖係以兩個為例)，與第一 N 型濃摻植區 14 間以場氧化物 13 互為相隔，形成於 P 型井區 12 內，做為厚氧化物元件 M_5 之源極。至少一接觸區 16(本圖以兩個為例)，係以 P 型雜質佈植入 P 型井區 12 內而得，其與相鄰之第二 N 型濃摻植區 15 間，亦以場氧化物 13 互為相隔，做為厚氧化物元件 M_5 之基體極。一複晶矽層 17，業經雜質濃摻植而得，形成於場氧化物 13A 上。一介電層 18，覆於整個基底表面，並經光學微影術及蝕刻程序呈複數接觸窗(contact windows)，用以分

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

別露出複晶矽層 17、接觸區 16、第一 N 型濃摻植區 14 和 第二 N 型濃摻植區 15。一接合墊 19，形成於複晶矽層 17 上方，其於複晶矽層 17 間建構一電容器 C。複數接觸金屬 20、21、22、23，形成於介電層 18 上，經由相對應之接觸窗，分別與複晶矽層 17、接觸區 16、第二 N 型濃摻植區 15、以及第一 N 型濃摻植區 14 相連接；其中，接觸金屬 23 跨越於第一 N 型濃摻植區 14 兩側之場氧化物 13，做為厚氧化物元件 M_5 之閘極。

根據第 4-6 圖之電路 10A、10B、10C，接合墊 19 經由接觸金屬 23，與第一 N 型濃摻植區 14 呈電性耦接。複晶矽層 17 則經由接觸金屬 20，與接觸區 16 經接觸金屬 21 呈電性耦接後，再經由一電阻器 R 及於 V_{SS} 電位；此電阻器譬如可以是一複晶矽薄膜電阻或是井區電阻。而第二 N 型濃摻植 15 則經由接觸金屬 22 及於 V_{SS} 電位。

如第 7 圖所示，當有 ESD 應力發生時，厚氧化層元件 M_5 係成雙載子接面電晶體的 modes 操作，其中，第一 N 型濃摻植區 14、P 型井區 12、第二 N 型濃摻植區 15，分別建構成一 npn 電晶體之集極、基極和射極。當有一對地為正之 ESD 電壓脈衝出現在接合墊 19 時，藉由電容器 C 將 ESD 電壓經複晶矽 17 和接觸區 16，耦合至 P 型井區 12，而使 P 型井區 12 與第二 N 型濃摻植區 15 呈正向順偏狀態 (forward bias)，致 npn 電晶體不需經過崩潰 (breakdown)，而直接進入驟回區 (snapback) 呈開啓狀態，大量的 ESD 電流沿著第一 N 型濃摻植區 14 和第二 N 型濃摻植區 15，將

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

接合墊 19 上之 ESD 應力均勻地釋放及於 V_{SS} 電位，如是，可經由第一 N 型濃摻植區 14 兩側均勻分散 ESD 電流，可避免熱量過份集中的缺點，而且此 ESD 保護電路的觸發電壓 (triggering voltage) 可以降至驟回電壓 (snapback voltage)。此開啓後的低電壓可保護內部電路之間極氧化層、輸出緩衝器之 NMOS 電晶體、亦或 V_{DD} 和 V_{SS} 電源線免於 ESD 破壞，是故，提供予適當的保護。此外，電容器 C 是由接合墊 19 及其下方之複晶矽層 17 組成，故不需額外增加佈局面積。

另外，P 型井區 12 以接觸區 16 經電阻器 R 接至 V_{SS} 電位，因此 ESD 應力耦合至井區 12 的電壓，將因電阻器 R 及電容器 C 產生時間延遲，而使井區 12 保持在耦合初時的電壓。以脈衝時間最長的人體模型 (HBM) 為例，其上昇時間 (T_r) 約為 10ns，所以只要將 R 和 C 的延遲時間常數設計成約 10ns，即可使 npn 電晶體在 ESD 應力發生期間內，維持於開啓狀態釋放 ESD 電流，因此，根據本發明之電路於驟回狀態 (約為 7V) 時，均保持在 P 型井區 12 和第二 N 型濃摻植區 15 間呈順向偏壓的情況。據此，電容器 C 之值約介於 0.2~2pF，而電阻器 R 之值則約介於 5~50K Ω 間，即可用以釋放 ESD 應力。再者，於常態操作下 (亦即 V_{DD} 電位約為 5V 時) 雙極性接面電晶體呈關斷狀態，而 P 型井區 12 之電位亦經電阻器 R 及至於地，而不致令井區 12 浮接 (floating) 產生漏電流。

然第 4 圖所示之二極體 D_1 ，可以一額外之 N^+ 摻植區/P

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

型井區之接面形成，當有對 V_{SS} 電位為負之 ESD 脈衝及於輸入緩衝接合墊 5 時，可經由正向偏壓之二極體 D_1 釋放此 ESD 應力，以保護內部電路 6 免於 ESD 破壞。由於二極體 D_1 之反向崩潰電壓約為 12V，然分流電晶體之觸發電壓約為 7V，因此縱然有對 V_{SS} 電位為正之 ESD 脈衝產生時，亦先開啓厚氧化物元件 M_5 ，而不會破壞二極體 D_1 。

而第 5 圖所示之二極體 D_2 ，可藉由輸出緩衝器之 NMOS 電晶體 M_2 汲極和基體極之 PN 接面而得，故不需額外製程去形成一 N^+/P 型井區接面，故其接線是以虛線表之。因已有額外之 ESD 保護電路 10B，故習知 NMOS 電晶體 M_2 為抗 ESD 應力增大閘極對汲極間距的設計亦可省卻，是故可減少輸出緩衝器所佔的佈局面積。

至於第 6 圖所示之二極體 D_3 ，則可利用 N 型基底 11 之防護環(Guard Ring)和另一 P 型井區之防護環間接面內建而得，不需若第 4 圖輸入緩衝接合墊 5 處增加另一 N^+/P 型井區的製程，故其接線以虛線表之。

請參照第 8 圖，所示為根據本發明之藉電容效應觸發之靜電放電保護電路設置於全般晶片上的電路示意圖。在每一輸入/輸出緩衝接合墊 5 或 7 上，具有四種不同之 ESD 應力模式，茲分述如下：

(a)PS 模式:當 V_{DD} 端浮接，而 ESD 應力相對於 V_{SS} 端具有正電壓極性時；

(b)NS 模式:當 V_{DD} 端浮接，而 ESD 應力相對於 V_{SS} 端具有負電壓極性時；

五、發明說明(10)

(c)PD 模式:當 V_{SS} 端浮接，而 ESD 應力相對於 V_{DD} 端具有正電壓極性時；以及

(d)ND 模式:當 V_{SS} 端浮接，而 ESD 應力相對於 V_{DD} 端具有負電壓極性時。

當在 PS 模式下發生 ESD 時，便由藉電容效應觸發之靜電放電保護電路 10A 和 10B 直接釋放 ESD 電流。當在 NS 模式下發生 ESD 時，則直接由二極體 D_1 或 D_2 釋放 ESD 電流。當在 PD 模式下發生 ESD 時，則 ESD 電壓先經藉電容效應觸發之靜電放電保護電路 10A 或 10B 及於 V_{SS} 電源線，再藉由 V_{DD} 和 V_{SS} 間之二極體 D_3 順向偏壓，釋放 ESD 電流及於 V_{DD} 電源線。當在 ND 模式下發生 ESD 時，則 ESD 電壓先經二極體 D_1 或 D_2 順向偏壓及於 V_{SS} 電源線，再藉電 V_{DD} 和 V_{SS} 間之藉電容效應觸發之靜電放電保護電路 10C 觸發釋放 ESD 電流。由於輸出緩衝器之上拉元件 PMOS 電晶體 M_3 ，是以電洞做為傳導載子，故不易有 ESD 電流經過。

綜上所述，本發明之藉電容效應觸發之靜電放電保護電路，可同時應用於輸入緩衝接合墊、輸出緩衝接合墊、以及 V_{DD} - V_{SS} 電源線之間，得以有效保護積體電路免於 ESD 破壞。同時，以相容於 CMOS 的製程結構，故可與內部電路同時製於晶片內供做保護之用。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

四、中文發明摘要(發明之名稱:藉電容效應觸發之靜電放電保護電路)

一種藉電容效應觸發之靜電放電保護電路，係耦接於一接合墊和 V_{SS} 之間，此接合墊譬如可以是輸入緩衝接合墊、輸出緩衝接合墊或 V_{DD} 電源線中之一者。根據本發明藉電容效應觸發之靜電放電保護電路，係設置於一 N 型半導體基底內，此基底內形成有一 P 型井區。一接觸區形成於該井區內。一電容器，耦接於接合墊和接觸區之間。一第一 N 型濃摻植區以及一第二 N 型濃摻植區，互為相隔設置於井區內，分別連接至接合墊和 V_{SS} 。其中，該等 N 型濃摻植區和 P 型井區建構得一雙極性接面電晶體；當有對 V_{SS} 為正之靜電放電應力發生時，藉由電容器耦合靜電放電電壓及於 P 型井區，經由 P 型井區/第二 N 型濃摻植區間呈順向偏壓，而促使雙極性接面電晶體，不需經由崩潰

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要 (發明之名稱:)

(breakdown)即產生驟回(snapback)現象，使靜電放電電流得以均勻地釋放及於 V_{SS} 。一電阻器，耦接於接觸區和 V_{SS} 之間，提供予電容器一 RC 時間延遲。再者，一二極體，設置於接合墊和 V_{SS} 之間，當有對 V_{SS} 為負之 ESD 應力發生時，呈順向偏壓釋放 ESD 電流。然此二極體可以是額外之 N^+ 摻植區/P型井區接面，亦或是內建的 PN 接面。

英文發明摘要 (發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1.一種藉電容效應觸發之靜電放電保護電路，包括：

一 N 型半導體基底；

一 P 型井區，形成於該基底內；

至少一接觸區，形成於該 P 型井區內；

一絕緣結構，覆於該 P 型井區以外之該基底上；

一複晶矽層，形成於該絕緣結構上，耦接至該接觸區；

一介電層，覆於該複晶矽層上；

一接合墊，形成於該複晶矽層上之該介電層上，與該複晶矽層間建構得一電容器，當有靜電放電應力及於該接合墊時，則經該電容器耦合一靜電放電電壓及於該 P 型井區；

一第一 N 型濃摻區以及至少一第二 N 型濃摻區，互為相隔設置於該 P 型井區內，該第一 N 型濃摻區耦接至該接合墊，而該第二 N 型濃摻區耦接至電路接地點，其中，該等 N 型濃摻區和該 P 型井區建構得一雙極性接面電晶體，藉以均勻釋放及於該接合墊上之該靜電放電應力；以及

一電阻器，耦接於該接觸區和電路接地點之間，於該靜電放電應力發生時，提供予該電容器一 RC 時間延遲。

2.如申請專利範圍第 1 項所述之該藉電容效應觸發之靜電放電保護電路，其中，該第一 N 型濃摻區和該第二 N 型濃摻區，係以場氧化物互為相隔。

3.如申請專利範圍第 2 項所述之該藉電容效應觸發之靜電放電保護電路，其中，該接合墊是一輸入接合墊。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

4.如申請專利範圍第3項所述之該藉電容效應觸發之靜電放電保護電路，尚包括一二極體，以其陽極和陰極極分別耦接至該電路接地點和該輸入接合墊上。

5.如申請專利範圍第2項所述之該藉電容效應觸發之靜電放電保護電路，其中，該接合墊是一輸出接合墊。

6.如申請專利範圍第5項所述之該藉電容效應觸發之靜電放電保護電路，其中，該輸出接合墊係連接至一輸出緩衝器，該輸出緩衝器包含有一NMOS電晶體，其汲極和源極分別連接至該輸出接合墊和該電路接地點，而其基體極則連接至該源極。

7.如申請專利範圍第6項所述之該藉電容效應觸發之靜電放電保護電路，其中，尚包括一二極體，係由該NMOS電晶體之該汲極和該基體極建構而得。

8.如申請專利範圍第2項所述之該藉電容效應觸發之靜電放電保護電路，其中，該接合墊是一電源線。

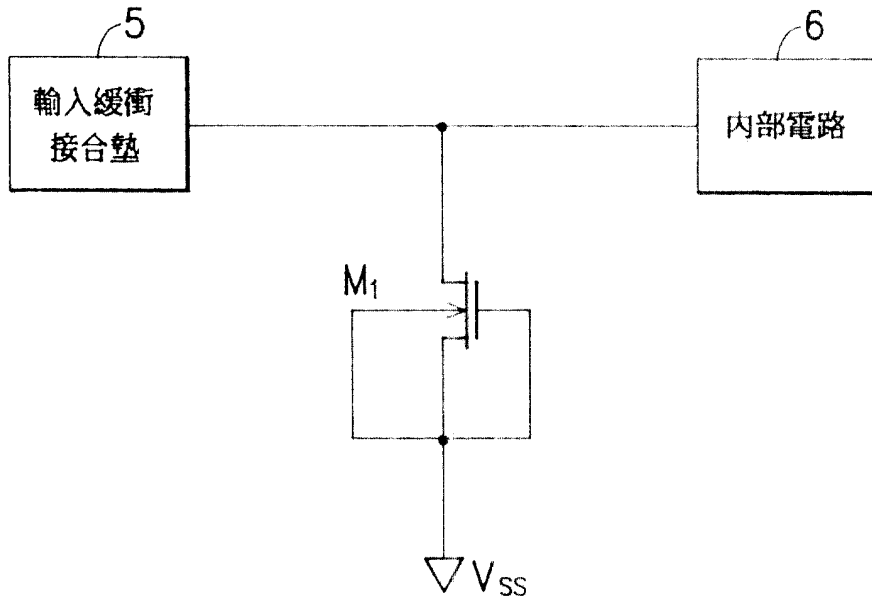
9.如申請專利範圍第8項所述之該藉電容效應觸發之靜電放電保護電路，尚包括一二極體，以其陽極和陰極分別耦接至電源接地點和該電源線上。

(請先閱讀背面之注意事項再填寫本頁)

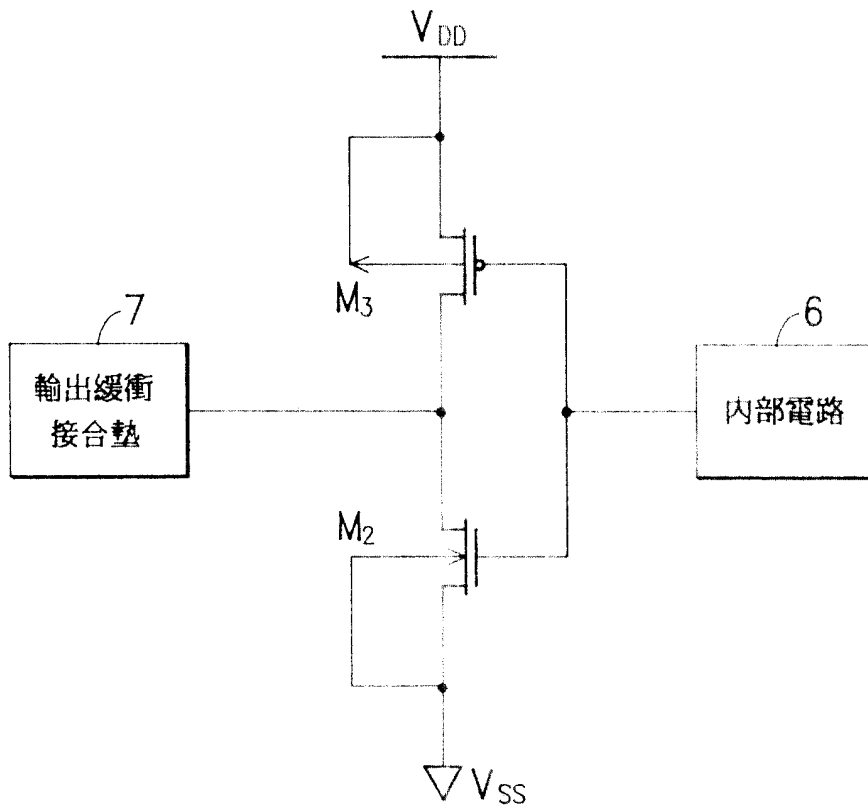
裝

訂

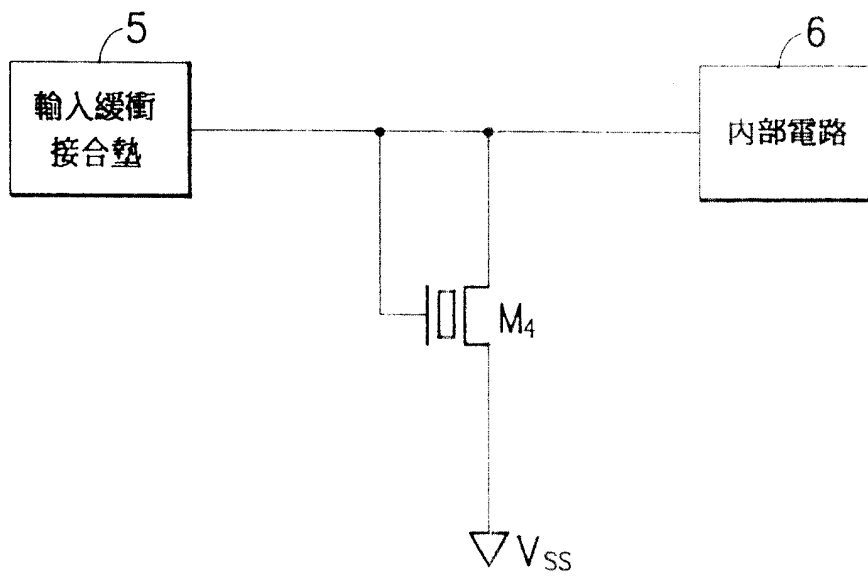
8510 8716



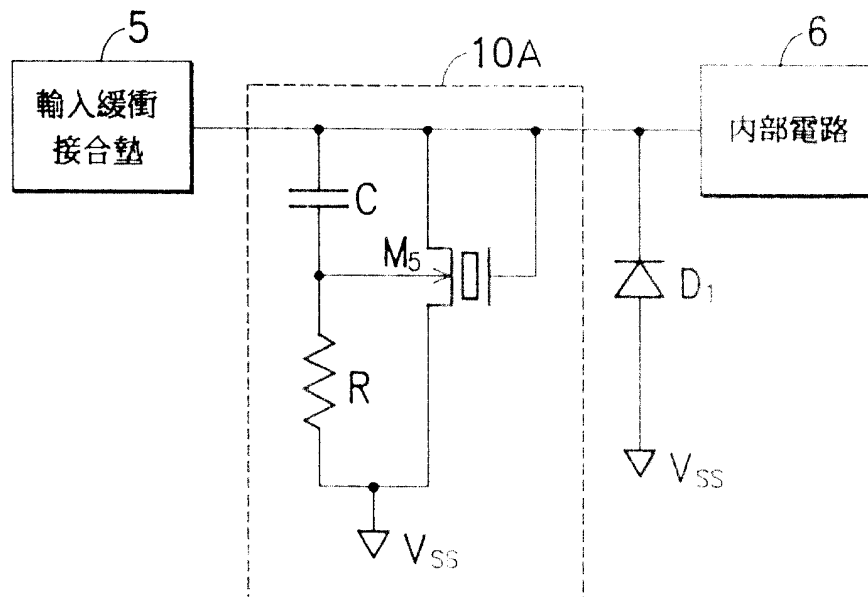
第 1 圖



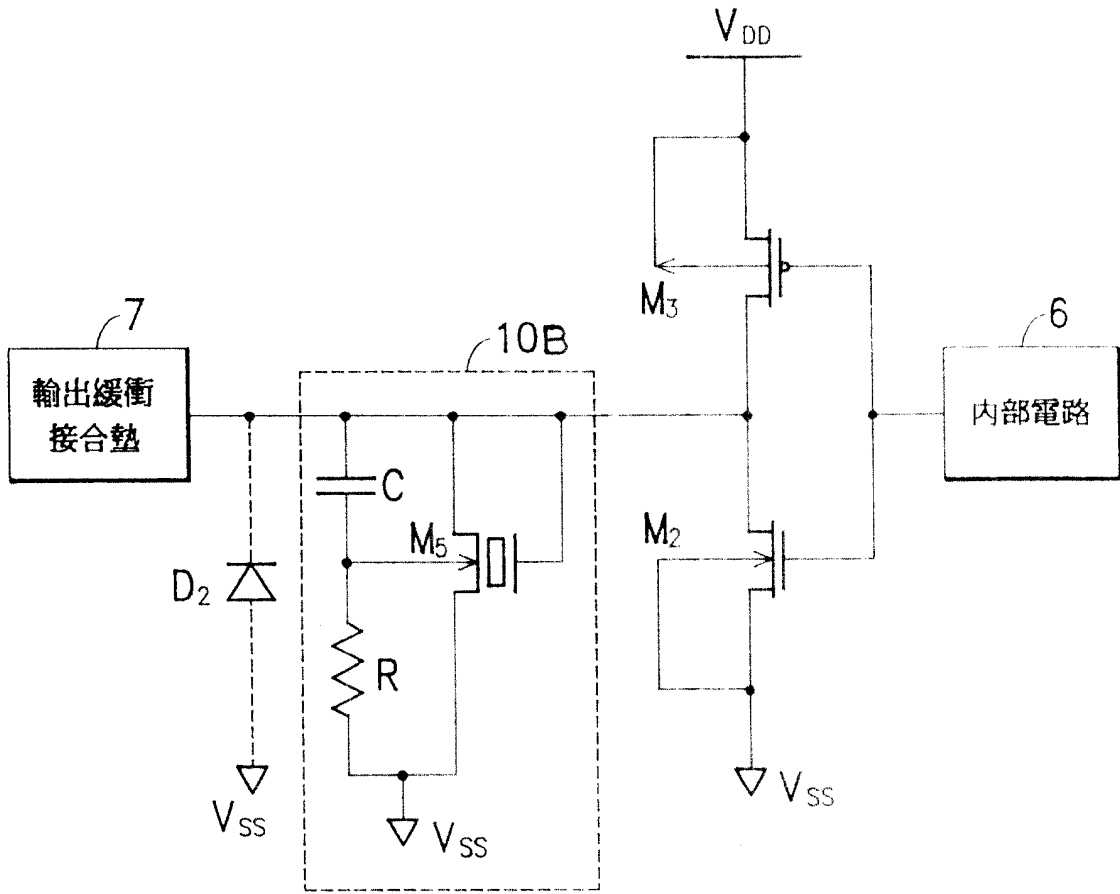
第 2 圖



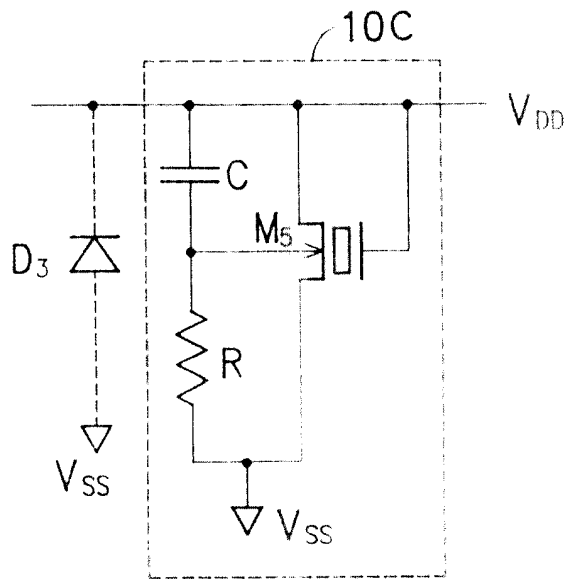
第 3 圖



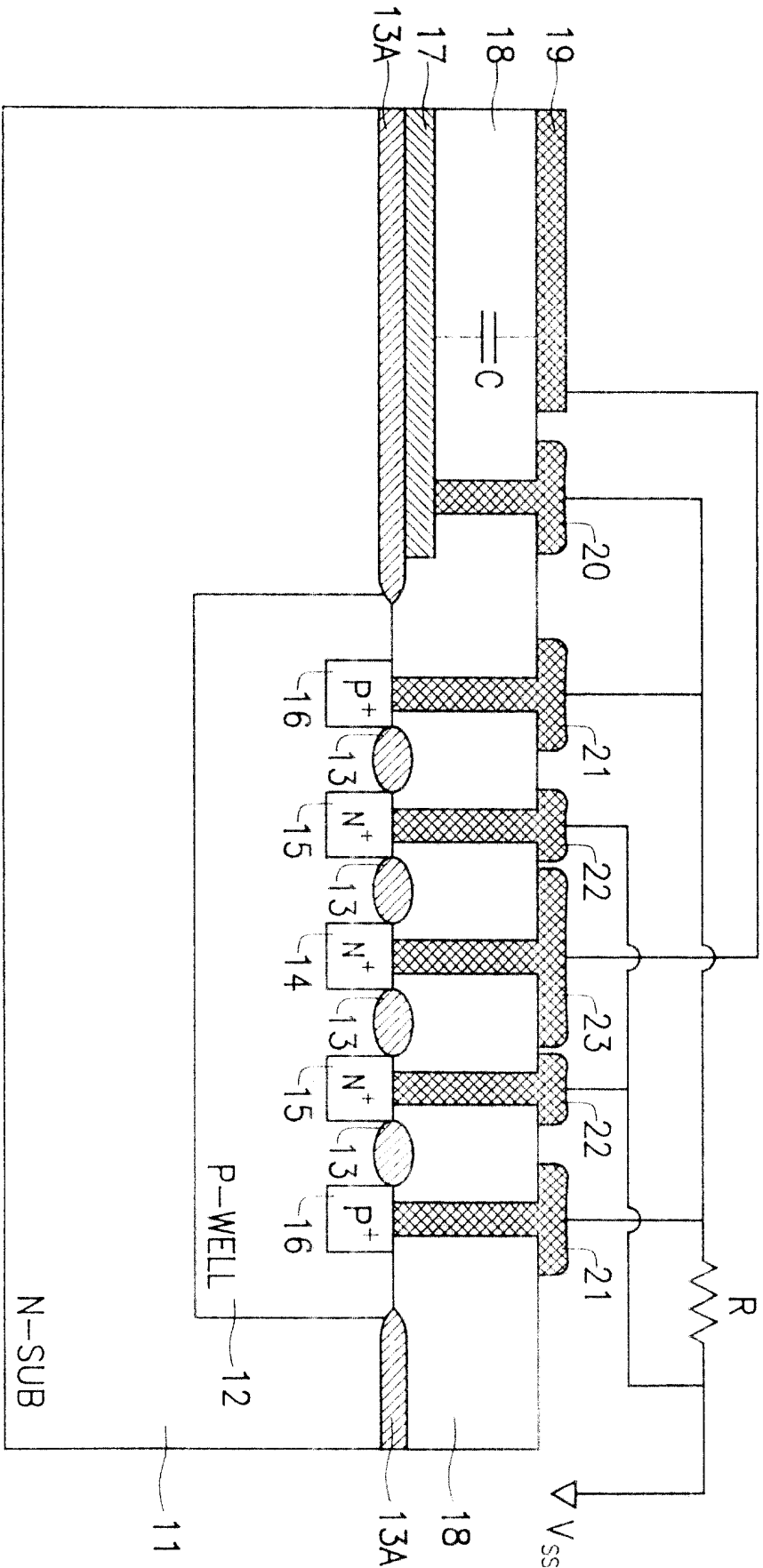
第 4 圖



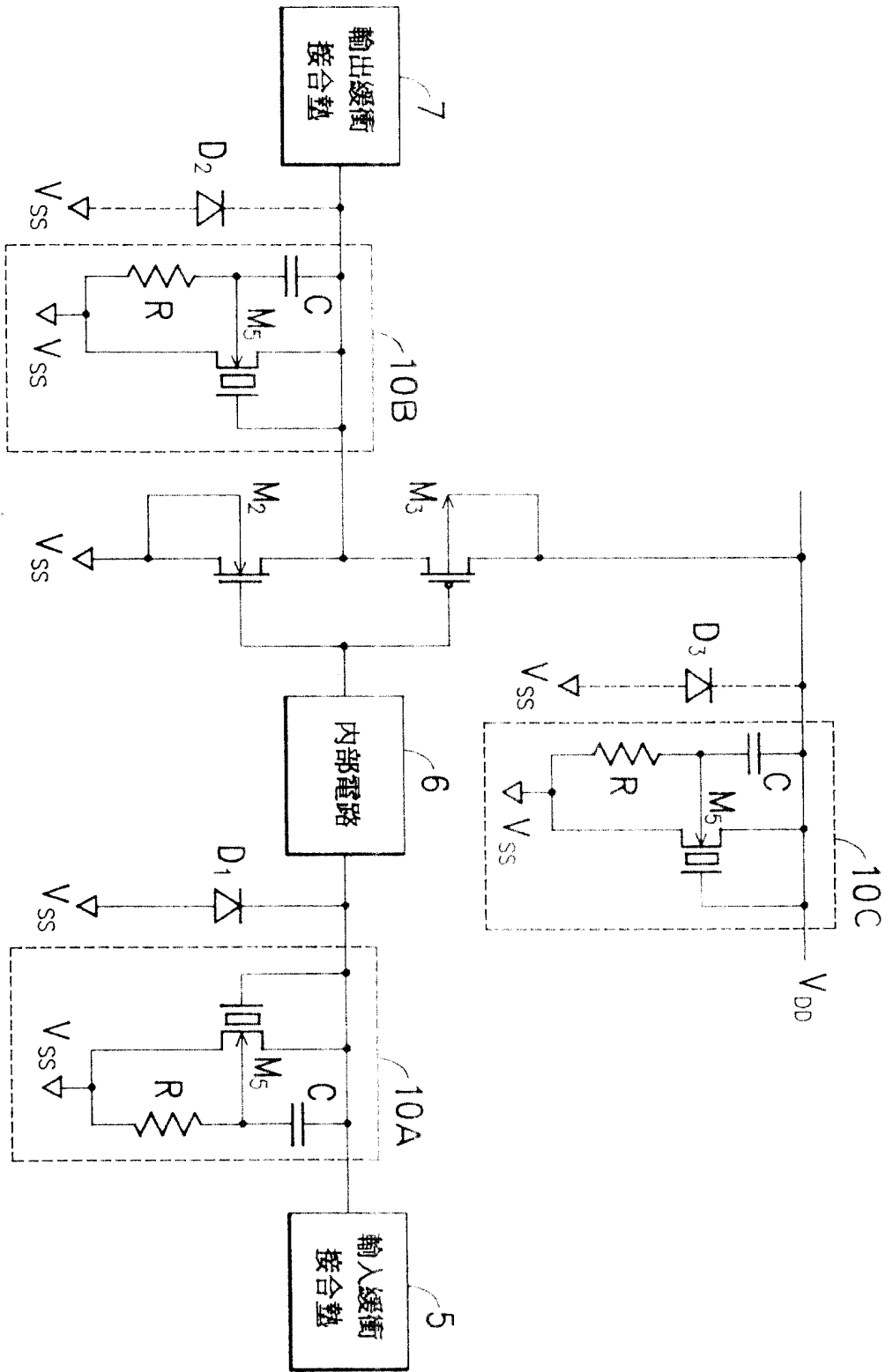
第 5 圖



第 6 圖



第 7 圖



第 8 圖