

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2011/155337 A1

PCT

(43) 国際公開日
2011年12月15日(15.12.2011)

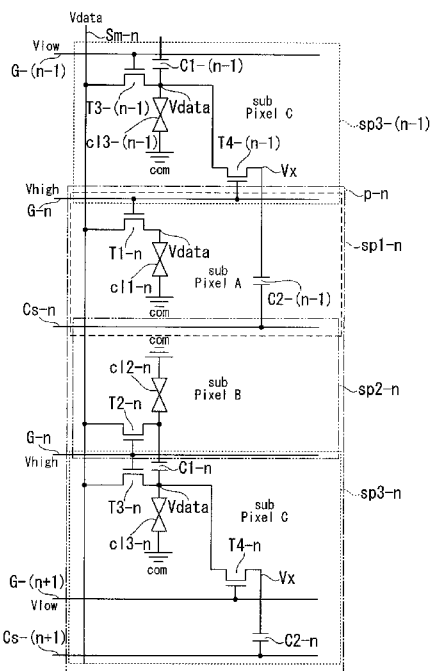
- (51) 国際特許分類:
G02F 1/1368 (2006.01) G02F 1/1343 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2011/062084
- (22) 国際出願日: 2011年5月26日(26.05.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-134276 2010年6月11日(11.06.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (Sharp Kabushiki Kaisha)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 鎌田 豪
(KAMADA Tsuyoshi) [JP/—]. 井出 哲也 (IDE Tet-
suya) [JP/—]. 大橋 誠二 (OHHASHI Seiji) [JP/—].
勝田 昇平 (KATSUTA Shohei) [JP/—].
- (74) 代理人: 船山 武, 外 (FUNAYAMA Takeshi et al.);
〒1006620 東京都千代田区丸の内一丁目9番2
号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

[続葉有]

(54) Title: LIQUID CRYSTAL DEVICE

(54) 発明の名称: 液晶装置

[図4]



(57) Abstract: The disclosed liquid crystal device is provided with: a plurality of pixels which are arranged in a matrix, and which are each formed from a plurality of sub pixels corresponding to a plurality of luminance regions; a first switching element wherein a drain electrode is connected to the pixel electrode of a first sub electrode from among the plurality of sub pixels; a second switching element wherein a drain electrode is connected to the pixel electrode of the first sub pixel; a plurality of scanning lines; and a control capacitance. A gate electrode of the first switching element and a gate electrode of the second switching element are each connected to different scanning lines; the second switching element has the control capacitance formed between a source electrode and common wiring; and the pixel electrode of the first sub electrode and the pixel electrode of a second sub electrode from among the plurality of sub electrodes, are joined by a joining capacitance.

(57) 要約: この液晶装置は、複数の輝度領域に対応した複数のサブ画素から各々が構成される複数の画素であって、マトリクス状に配置された複数の画素と、前記複数のサブ画素のうち第1のサブ画素の画素電極にドレイン電極が接続されている第1スイッチング素子と、前記第1のサブ画素の画素電極にドレイン電極が接続されている第2スイッチング素子と、複数の走査線と、制御容量とを備え、前記第1スイッチング素子のゲート電極と前記第2スイッチング素子のゲート電極とが各々異なる前記走査線に接続され、前記第2スイッチング素子は、ソース電極と共通配線との間に前記制御容量が形成され、前記第1のサブ画素の画素電極と前記複数のサブ画素のうち第2のサブ画素の画素電極とが結合容量で結合されている。

WO 2011/155337 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：液晶装置

技術分野

[0001] 本発明は、液晶装置に関する。

本願は、2010年6月11日に、日本に出願された特願2010-134276号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 液晶装置に用いられる液晶パネルにおいて、液晶分子配列としてTN (Twisted Nematic) モード、STN (Super Twisted Nematic) モード、IPS (In-Plane Switching) モード、VA (Vertical Alignment) モード、OCB (Optically Compensated Bend) モード等が用いられている。VAモードは、液晶容量にかかる電界がオフの場合にも液晶分子が基板に対して垂直に立つように配向させるモードである。

[0003] 図18は、正面から見た場合（視野角0度の場合）の γ 特性の視野角特性と斜め45度から見た場合（視野角45度の場合）の γ 特性の視野角特性の一例を示す図である。図18において、横軸は階調の値であり、縦軸は γ の値である。これらのモードを用いた液晶装置では、図18の実線で示すように正面から見た場合と比較して、図18の点線で示すよう斜め、例えば45度から液晶装置を見た場合の γ 特性が下がる。これは特に低～中間調において、正面よりも斜めからの輝度が増す現象であり、結果として画像全体が白っぽくなり、色が薄くなってしまう。

この視野角改善のため、1画素を複数の画素に分割するマルチ画素技術が導入されている。現在用いられているのは2分割のマルチ画素である。このため、視野角改善の効果が十分ではない。例えば、1画素を2分割した場合、電位差により片方のサブ画素が明るく表示され、他方のサブ画素が暗く表示される。このように2つのサブ画素間で輝度差を生じさせているため、液

晶装置を斜めから見たときの γ 特性は、階調が明るい場合の γ 特性と階調が暗い場合の γ 特性を平均したものとなるので、 γ 特性を改善できることが期待される。

[0004] 1画素を2つのサブ画素に分割した場合、上記した輝度が増す現象が二つのサブ画素により二つの階調域に分配される。よって、それぞれのサブ画素における上記現象が抑えられ、結果として斜め方向から見た場合の視野角が改善される。しかし、画素を2分割した場合では、二つ目のサブ画素の輝度が上昇する階調領域での斜めからの輝度変化が大きすぎるため、図19のように斜めから見た場合の γ 特性は、全階調において一様ではない。図19は、1画素を2つのサブ画素に分割し斜めから見た場合の階調特性の一例を示す図である。

[0005] このような1画素を2つのサブ画素に分割した場合よりさらに視野角特性の改善を行うため、1画素を3個以上のサブ画素にする手法が提案されている。図20は、従来技術における1画素を3つのサブ画素に分割して駆動する構成図である。図20のように、1画素は、3つのサブ画素の画素電極531～533を備えている。各サブ画素の画素電極531～533にはスイッチング素子501～503が接続されている。また、各スイッチング素子501～503の各ゲート電極は共通の走査線521に接続されている。各スイッチング素子501～503の各ドレイン電極はそれぞれ各サブ画素の画素電極531～533に接続されている。各スイッチング素子501～503の各ソース電極は共通のデータ線511に接続されている。画素電極531にはスイッチング素子504のドレイン電極が接続されている。スイッチング素子504のソース電極が結合電極541に接続されている。また、結合電極541と画素電極511の間には結合容量551が形成されている。

[0006] 図20の構成においては、スイッチング素子504経由でサブ画素Aの電荷を、結合容量541に移動させることでサブ画素Aの電位の大きさが小さくなる。一方、サブ画素Bの電位は、サブ画素Aからの電荷の移動によりデ

一タ線 5 1 1 の書き込み時の電位より大きくなる。また、サブ画素 C の電位については、電荷の移動がないためデータ線 5 1 1 の書き込み時の電位が保たれる。この結果、サブ画素 A ～サブ画素 C の間に電位差を生じさせる（例えば、特許文献 1 参照）。

先行技術文献

特許文献

[0007] 特許文献1：特開 2 0 0 5 － 6 2 8 8 2 号公報

発明の概要

発明が解決しようとする課題

[0008] しかしながら、特許文献 1 の従来技術では、サブ画素 B が 3 つのサブ画素の中で最も低い階調であるが、結合容量 5 4 1 の変動を受けると輝度のムラが生じるという問題点があった。また、結合容量 5 4 1 は、絶縁膜を介した電極の重なりで形成されるため、結合容量がプロセスにより変動しやすく輝度がムラになりやすい問題点があった。

[0009] 本発明の一態様は、輝度ムラを改善しつつ、視野角特性を改善する液晶装置を提供することを目的としている。

課題を解決するための手段

[0010] 上記目的を達成するため、本発明の一態様に係る液晶装置は、複数の輝度領域に対応した複数のサブ画素から各々が構成される複数の画素であって、マトリクス状に配置された複数の画素と、前記複数のサブ画素のうち第 1 のサブ画素の画素電極にドレイン電極が接続されている第 1 スイッチング素子と、前記第 1 のサブ画素の画素電極にドレイン電極が接続されている第 2 スイッチング素子と、複数の走査線と、制御容量とを備え、前記第 1 スイッチング素子のゲート電極と前記第 2 スイッチング素子のゲート電極とが各々異なる前記走査線に接続され、前記第 2 スイッチング素子は、ソース電極と共通配線との間に前記制御容量が形成され、前記第 1 のサブ画素の画素電極と前記複数のサブ画素のうち第 2 のサブ画素の画素電極とが結合容量で結合

されている。

[0011] また、本発明の一態様に係る液晶装置において、前記複数の走査線は、マトリクス之行方向に配置されており、表示信号を供給する複数の表示信号線と、第3スイッチング素子とを更に備え、前記第1スイッチング素子は、ゲート電極が n 本目（ n は1以上の自然数）の前記走査線に接続され且つソース電極が前記 m 本目（ m は1以上の自然数）の表示信号線に接続され、前記第2スイッチング素子は、ゲート電極が $n+1$ 本目以降の前記走査線に接続され且つソース電極とコモン配線との間に前記制御容量が形成され、前記第2のサブ画素の画素電極は、前記第3スイッチング素子のドレイン電極が接続され、前記第3スイッチング素子は、ゲート電極が前記 n 本目の走査線に接続され且つソース電極が前記 m 本目の表示信号線接続されているようにしてもよい。なお、第2スイッチング素子の動作は、第1スイッチング素子の動作の後で、有る程度の時間差があってもよく、例えば数ライン先であってもよい。

[0012] また、本発明の一態様に係る液晶装置において、制御部を更に備え、前記制御部は、前記 n 番目の走査線と前記 $n+1$ 番目の走査線とに前記第1スイッチング素子と前記第2スイッチング素子とを異なるタイミングでオン状態にする信号を供給するようにしてもよい。

[0013] また、本発明の一態様に係る液晶装置において、第4スイッチング素子を更に備え、前記第2のサブ画素の画素電極と前記複数のサブ画素のうち第3のサブ画素の画素電極とが結合容量で結合され、前記第3のサブ画素の画素電極は、前記第4スイッチング素子のドレイン電極に接続され、前記第4スイッチング素子は、ゲート電極が前記 n 本目の走査線に接続され且つソース電極が前記 m 本目の表示信号線接続されているようにしてもよい。

[0014] また、本発明の一態様に係る液晶装置において、前記複数のサブ画素の中で1個のサブ画素の画素電極は、他の前記複数のサブ画素の画素電極と電氣的に接続されていないようにしてもよい。

発明の効果

- [0015] 本発明の一態様によれば、1つの画素を3またはそれ以上のサブ画素に分割し、分割されたサブ画素に電位差を生じさせて階調表現を行った場合に、輝度ムラと視野角特性を安定して達成することができる。

図面の簡単な説明

- [0016] [図1]本発明の一態様に係る液晶装置の一例の構成図である。
- [図2]本発明の一態様に係る液晶装置の概略構成を示す斜視図である。
- [図3]第1実施形態に係る液晶容量のマトリックス構成を説明する図である。
- [図4]同実施形態に係る3つのサブ画素を備える液晶装置におけるn番目の画素選択時の動作を説明する図である。
- [図5]同実施形態に係る図4の等価回路を簡略化して表現した図である。
- [図6]同実施形態に係る3つのサブ画素を備える液晶装置におけるn番目の画素の動作に続くn+1番目の画素選択時の動作を説明する図である。
- [図7]同実施形態に係る3つのサブ画素を備える液晶装置におけるn番目の画素の動作に続くn+1番目の画素選択時の動作を説明する図である。
- [図8]同実施形態に係る3つのサブ画素を備える液晶装置のタイミングチャートである。
- [図9]第2実施形態に係る1画素を4つのサブ画素に分割した液晶装置の等価回路の一例である。
- [図10]同実施形態に係る図9の等価回路を簡略化して表現した図である。
- [図11]同実施形態に係る4つのサブ画素を備える液晶装置のタイミングチャートである。
- [図12]第3実施形態に係る1画素を4つのサブ画素に分割した液晶装置の等価回路の一例である。
- [図13]同実施形態に係る図12の等価回路を簡略化して表現した図である。
- [図14]第4実施形態に係る1画素を5つのサブ画素に分割した液晶装置の等価回路の一例である。
- [図15]同実施形態に係る図14の等価回路を簡略化して表現した図である。
- [図16]同実施形態に係る4つのサブ画素を備える液晶装置のタイミングチャ

ートである。

[図17] 1画素を複数のサブ画素に分割し斜めから見た場合の階調特性の一例を示す図である。

[図18] 従来技術に係る正面から見た場合（視野角0度の場合）の γ 特性の視野角特性と斜め45度から見た場合（視野角45度の場合）の γ 特性の視野角特性の一例を示す図である。

[図19] 従来技術に係る1画素を2つのサブ画素に分割し斜めから見た場合の階調特性の一例を示す図である。

[図20] 従来技術に係る1画素を3つのサブ画素に分割して駆動する構成図である。

発明を実施するための形態

[0017] 以下、図1～図17を用いて本発明の実施形態について詳細に説明する。なお、本発明は斯かる実施形態に限定されず、その技術思想の範囲内で種々の変更が可能である。

図1は、本発明の実施形態を適用した液晶装置の一例の構成図である。図1のように、液晶装置では、表示信号線（データバスライン）3をm本、走査線（ゲートバスライン）5をn本、画素を $n \times m$ 個（ $p(1, 1) \sim p(1, m)$, $p(2, 1) \sim p(2, m) \cdots p(n, 1) \sim p(n, m)$ ）を備えている。画素pは画素部31に含まれる。例えば、Full-HDの解像度の液晶装置の場合、データバスライン3は、 $m = 1920 \times 3$ （3はRGB分）= 5760本、ゲートバスライン5は、 $n = 1080$ 本である。なお、一例として、バックライトが配置された透過型の液晶装置の場合、制御部12により、各サブ画素の光透過率を制御することで輝度（階調表現）が制御される。または、反射型の液晶装置の場合、制御部12により、各サブ画素の光反射率を制御することで輝度（階調表現）が制御される。

[0018] 図2は、本実施形態における液晶装置の概略構成を示す斜視図である。図2のように、液晶装置は、バックライト11と、偏光板12と、第1ガラス基板13と、TFT（薄膜トランジスタ）アレイ14と、液晶15と、共通

電極（対向電極）１６と、カラーフィルタ１７と、第２ガラス基板１８と、偏光板１９とを備えている。

バックライト１１は、第１ガラス基板１３の下から光を照射する。偏光板１２は、第１ガラス基板１３に入出力される光を偏光によりコントロールする。第１ガラス基板１３の上には、スイッチング素子や画素電極等が形成されているＴＦＴアレイ１４が配置されている。ＴＦＴアレイ１４の画素電極と共通電極１６との間には、液晶１５が封入されている。カラーフィルタ１７は、共通電極１６の上に配置されている。カラーフィルタ１７は、ＲＧＢについてそれぞれのフィルターをかけて、制御された各画素に相当する液晶の光反射率または光透過率に基づく光をＲＧＢ各色として液晶装置上で表示する。第２ガラス基板１８は、カラーフィルタ１７の上に配置されている。第２ガラス基板１８の上には、偏光板１２とクロスニコル（直交ニコル）に配置された偏光板１９が配置されている。

[0019] [第１実施形態]

図３は、本実施形態における液晶容量のマトリックス構成を説明する図である。図３のように、複数の画素がマトリクス状に配置される。各画素は３つのサブ画素（「sub pix」と言うことがある。）を備える。例えば画素 $p(1, 1)$ は、サブ画素 $sp(1, 1, 1) \sim$ サブ画素 $sp(3, 1, 1)$ を備えている。

[0020] 図４は、本実施形態における３つのサブ画素を備える液晶装置における n 番目の画素選択時の等価回路図である。図５は、図４の等価回路を簡略化して表現した図である。また、図６と図７は、本実施形態における３つのサブ画素を備える液晶装置における n 番目の画素の動作に続く $n+1$ 番目の画素選択時の動作を説明する図である。なお、図４～図７は、１つの画素 $p-n$ の構成を表している。

[0021] 図４のように、本実施形態における液晶装置は、画素 $p-n$ は、３つのサブ画素 $sp1-n \sim sp3-n$ を備える。そして、サブ画素 $sp1-n \sim sp3-n$ は、列方向に隣接して配置されている。

各サブ画素は、液晶容量と、画素電極上のスイッチング素子と、画素電極に対向する共通電極の部分とにより構成されている。液晶容量は、1つの画素電極と対向する共通電極との間に挟まれた液晶材料により構成され、電気的等価回路としては電気容量として表現される。図4のように、サブ画素 $s p 1 - n$ は、液晶容量 $c l 1 - n$ とスイッチング素子 $T 1 - n$ とを備える。サブ画素 $s p 2 - n$ は、液晶容量 $c l 2 - n$ とスイッチング素子 $T 2 - n$ とを備える。サブ画素 $s p 3 - n$ は、液晶容量 $c l 3 - n$ とスイッチング素子 $T 3 - n$ とスイッチング素子 $T 4 - n$ と第2の制御容量 $C 2 - n$ を備え、さらに、サブ画素 $s p 2 - n$ の液晶容量 $c l 2 - n$ とサブ画素 $s p 3 - n$ の液晶容量 $c l 3 - n$ との間に第1の制御容量 $C 1 - n$ を備えている。なお、スイッチング素子は、例えば、TFT (thin film transistor; 薄膜トランジスタ) である。

[0022] 図5において、画素電極 $101 \sim 103$ は、各サブ画素 $s p 1 - n \sim s p 3 - n$ の各画素電極である。図5のように、サブ画素A ($s p 1 - n$) の画素電極 101 は、スイッチング素子 $T 1 - n$ のドレイン電極のみが接続されている。サブ画素B ($s p 2 - n$) の画素電極 102 は、スイッチング素子 $T 2 - n$ のドレイン電極と第1の制御容量 $C 1 - n$ の一方が接続されている。サブ画素C ($s p 3 - n$) の画素電極 103 は、スイッチング素子 $T 3 - n$ のドレイン電極と、第1の制御容量 $C 1 - n$ の他方の端子と、スイッチング素子 $T 4 - n$ のソース電極に接続されている。スイッチング素子 $T 4 - n$ のドレイン電極は、第2の制御容量 $C 2 - n$ の一方の端子に接続されている。すなわち、サブ画素A ($s p 1 - n$) の画素電極 101 は、サブ画素B ($s p 2 - n$) の画素電極 102 及びサブ画素C ($s p 3 - n$) の画素電極 103 と電氣的に接続されていない。

[0023] まず、サブ画素 $s p 1 - n$ の構成を説明する。スイッチング素子 $T 1 - n$ のゲート電極は、走査線 $G - n$ に接続される。スイッチング素子 $T 1 - n$ のソース電極は、表示信号線 $S m - n$ に接続される。スイッチング素子 $T 1 - n$ のドレイン電極は、画素電極 101 を介して容量成分を有する液晶容量 c

11-nの一方に接続される。液晶容量 c_{11-n} の他方の端子は、共通電極を介して接地（「com」と言うことがある。）されている。すなわち、液晶容量 c_{11-n} は、共通電極と画素電極101との間に挟持されている。

次に、サブ画素 sp_{2-n} （第2のサブ画素）の構成を説明する。スイッチング素子 T_{2-n} （第3スイッチング素子）のゲート電極は、走査線 G_n に接続される。スイッチング素子 T_{2-n} のソース電極は、表示信号線 S_{m-n} に接続される。スイッチング素子 T_{2-n} のドレイン電極は、画素電極102を介して容量成分を有する液晶容量 c_{12-n} の一方に接続され且つ第1の制御容量 C_{1-n} （結合容量）の一方の端子に接続される。液晶容量 c_{12-n} の他方の端子は、共通電極を介して接地されている。

次に、サブ画素 sp_{3-n} （第1のサブ画素）の構成を説明する。スイッチング素子 T_{3-n} （第1スイッチング素子）のゲート電極は、走査線 G_n に接続される。スイッチング素子 T_{3-n} のソース電極は、表示信号線 S_{m-n} に接続される。スイッチング素子 T_{3-n} のドレイン電極は、画素電極103を介して容量成分を有する液晶容量 c_{13-n} の一方に接続され且つ第1の制御容量 C_{1-n} の他方の端子に接続され且つスイッチング素子 T_{4-n} （第2スイッチング素子）のドレイン電極に接続されている。液晶容量 c_{13-n} の他方の端子は、共通電極を介して接地されている。

また、スイッチング素子 T_{4-n} のソース電極は、第2の制御容量 C_{2-n} の一方の端子に接続される。第2の制御容量 C_{2-n} の他方の端子は、コモン配線 $Cs-(n+1)$ に接続される。スイッチング素子 T_{4-n} のゲート電極は、走査線 $G-(n+1)$ に接続されている。なお、レイアウトの容易さからコモン配線 $Cs-(n+1)$ に接続しているが、固定された電位を持つ配線であれば良く、コモン配線 $Cs-n$ へ接続しても構わない。もちろん一般的な液晶表示装置のようにコモン配線は全て電氣的に接続された同電位であっても構わないし、独立していても構わない。

[0024] 次に、Lフレーム時の n 画素選択時の動作を、図4と図8を用いて説明す

る。図8は、本実施形態における3つのサブ画素を備える液晶装置のタイミングチャートである。

制御部12は、表示信号線 S_{m-n} の信号を V_{data} に制御し、各サブ画素 $sp1-n \sim sp3-n$ の各スイッチング素子 $T1-n \sim T3-n$ の各ソース電極に表示信号線 S_{m-n} から V_{data} を供給する。(図8、時刻 $t0a$)。

次に、制御部12は、走査線 $G-n$ を時刻 $t0a \sim t1a$ の期間(1画素分の書き換え期間)、Hレベル(高電位レベル。「*Vhigh*」と言うことがある。)に制御し、スイッチング素子 $T1-n \sim T3-n$ をオン状態にし、液晶容量 $cl1-n \sim cl3-n$ を構成する画素電極 $101 \sim 103$ に表示信号線 S_{m-n} から電位 V_{data} を供給する。このため、画素電極 $101 \sim 103$ には、図4のように、電位 V_{data} が発生する。なお、走査線 $G-n$ の出力がHになる期間は、液晶装置で用いる走査線の総数に応じて設定される。例えば、走査線 $G-n$ の出力がHになる期間は、Full-HD対応の液晶装置においては、 $1 / (60 \times 1080)$ (秒)に相当する。なお、ゼロ階調から最大階調を表示した場合の表示信号線 S_{m-n} の信号レンジは、 $+V_{data} \sim -V_{data}$ である。例えば、信号線 S_{m-n} の信号レンジは、正極性側の電位 $+5V \sim +1V$ 、負極性側の電位 $-5V \sim -1V$ である。この信号レベルは、用いる液晶容量の特性に合わせるようにしてもよい。

[0025] 時刻 $t0a \sim t1a$ の期間、制御部12は、走査線 $G-(n+1)$ をLレベル(低電位レベル。「*Vlow*」と言うことがある。)に制御し、スイッチング素子 $T4-n$ をオフ状態にする。このため、第2の制御容量 $C2-n$ には、直前のフレーム(L-1)でスイッチング素子 $T4-n$ がオン状態の時の電位 V_x が保持されている。

[0026] 次に、 $t1a \sim t2a$ の期間について、すなわち、Lフレーム時の $n+1$ 画素選択時の動作を、図6～図8を用いて説明する。

制御部12は、走査線 $G-n$ をLレベルに制御し、スイッチング素子 $T1$

$-n \sim T3-n$ をオフ状態にし、走査線 $G-(n+1)$ を H レベルに制御し、スイッチング素子 $T4-n$ をオン状態にする。サブ画素 $sp1-n$ の液晶容量 $cl1-n$ は、 $t0a \sim t1a$ の期間に書き込まれた電位 $Vdata$ を保持する。サブ画素 $sp3-n$ の液晶容量 $cl3-n$ に接続されているスイッチング素子 $T4-n$ がオン状態のため、液晶容量 $cl3-n$ に保持されている電荷が、スイッチング素子 $T4-n$ のソース電極に接続されている第 2 の制御容量 $C2-n$ に移動する。この結果、液晶容量 $cl3-n$ を構成する画素 103 の電位は、 $t1a \sim t2a$ の期間と第 2 の制御容量 $C2-n$ に基づき α だけ下がり、 $Vdata$ から $Vdata-\alpha$ に変化する。

[0027] サブ画素 $sp3-n$ の液晶容量 $cl3-n$ を構成する画素 103 の電位が下がった結果、図 7 と図 8 のように、サブ画素 $sp2-n$ の液晶容量 $cl2-n$ を構成する画素 102 は容量結合により電位が変動する。このため、液晶容量 $cl2-n$ を構成する画素 102 の電位は、 $t1a \sim t2a$ の期間と第 1 の制御容量 $C1-n$ に基づき β だけ下がり、 $Vdata$ から $Vdata-\beta$ に変化する。なお、例えば、 α の電位の方が β の電位より大きい関係になるように、液晶容量 $cl2-n$ 、液晶容量 $cl3-n$ 、第 1 の制御容量 $C1-n$ と第 2 の制御容量 $C2-n$ の容量を設定する。

時刻 $t2a$ 以降、制御部 12 は、スイッチング素子 $T1-n \sim$ スwitchング素子 $T4-n$ をオフ状態に制御し、各サブ画素 $sp1-n \sim sp3-n$ の各液晶容量 $cl1-n \sim cl3-n$ には、時刻 $t2a$ 時点の電圧が次のフレームまで保持される。

[0028] この結果、図 8 のように、 $t2a$ 以降、各サブ画素の液晶容量にかかる電圧は以下ようになる。サブ画素 $sp1-n$ の液晶容量 $cl1-n$ の電圧がサブ画素 $sp2-n$ の液晶容量 $cl2-n$ の電圧より大きい。サブ画素 $sp2-n$ の液晶容量 $cl2-n$ の電圧がサブ画素 $sp3-n$ の液晶容量 $cl3-n$ の電圧より大きい。

このため、各サブ画素の各液晶容量の電圧差に応じて、各サブ画素の各液晶容量の光透過率または光反射率が異なるため、3つの階調表現を実現する

ことができる。

なお、サブ画素 s_{p2-n} の液晶容量 c_{l2-n} とサブ画素 s_{p3-n} の液晶容量 c_{l3-n} の動作を図 6 と図 7 に分けて説明した。しかしながら、実際には、図 8 のように液晶容量 c_{l2-n} と液晶容量 c_{l3-n} の画素電極電位の変化は同時に発生している。

[0029] また、 $L+1$ フレーム時の動作は、図 8 において時刻 t_{0b} 以降であり、制御部 12 は、表示信号線 S_{m-n} に L フレーム時とは逆極性の電位、すなわち $-V_{data}$ を供給する。このため、各サブ画素 $s_{p1-n} \sim s_{p3-n}$ には、 L フレーム時とは逆の電位が発生する。また、 $L+1$ フレーム時においても、制御部 12 は、時刻 $t_{0b} \sim t_{1b}$ の期間、スイッチング素子 $T_{1-n} \sim T_{3-n}$ がオン状態に制御し、液晶容量 $c_{l1-n} \sim c_{l3-n}$ を構成する画素電極 $101 \sim 103$ に表示信号線 S_{m-n} から電位 $-V_{data}$ を供給する。次に、制御部 12 は、時刻 t_{1b} 以降、スイッチング素子 $T_{1-n} \sim T_{3-n}$ をオフ状態にし、時刻 $t_{1b} \sim t_{2b}$ の期間、スイッチング素子 T_{4-n} をオン状態にすることで、 L フレーム時と同様に各サブ画素間に電位差を生じさせ階調表現を実現する。

なお、1 フレームは、例えば、60 Hz 駆動の液晶装置であれば、 $1/60$ 秒である。

[0030] また、図 5 において、各サブ画素 $s_{p1-n} \sim s_{p3-n}$ の画素電極 $101 \sim 103$ の面積は、例えば、全て同じでもよい。あるいは、画素電極 101 の面積：画素電極 102 の面積：画素電極 103 の面積 $= 1 : 1.5 : 2$ でもよい。この理由は以下の通りである。走査線 $G-(n+1)$ に接続されているスイッチング素子 T_{4-n} をオン状態に制御することで、サブ画素 s_{p3-n} の液晶容量 c_{l3-n} を構成する画素電極 103 に書き込んだ電位を V_{data} から $V_{data}-\alpha$ に下げる。さらに、容量結合により液晶容量 c_{l2-n} を構成する画素電極 $102-n$ の電位を V_{data} から $V_{data}-\beta$ に下げている。従って、スイッチング素子 T_{4-n} が接続されている液晶容量 c_{l3-n} の画素電極が大きいほど液晶容量 c_{l2-n} の電圧を

下げることが容易である。また、視角特性上、高階調で機能する画素の面積が大きい方が望ましい。

[0031] 以上のように、制御部12は、各サブ画素の各液晶容量 $c_{l1-n} \sim c_{l3-n}$ を構成する画素電極101～103に電位を書き込んだ後、第2の制御容量 C_{2-n} に接続されたスイッチング素子 T_{4-n} を制御することで、液晶容量 c_{l3-n} の電圧を変動させ、さらに、液晶容量 c_{l2-n} と液晶容量 c_{l3-n} の間に接続された第1の制御容量 C_{1-n} を用いて液晶容量 c_{l2-n} の電圧を変動させる。これにより、1画素を3つのサブ画素に分割して3階調表現を行うため、2つのサブ画素の構成の液晶装置より視野角特性を改善できる。

[0032] また、サブ画素 sp_{1-n} の液晶容量 c_{l1-n} は、書き込み後に階調表現のために昇圧が行われなため、低階調でムラになりにくい効果がある。さらに、サブ画素 sp_{2-n} の液晶容量 c_{l2-n} とサブ画素 sp_{3-n} の液晶容量 c_{l3-n} との間の第1の制御容量 C_{1-n} は、単純な容量結合のため制御用のスイッチング素子等を形成する必要がないので、開口率が低下しない効果があり、電位が変動しにくいので輝度ムラを改善できる。

[0033] また、本実施形態では、全てのサブ画素 $sp_{1-n} \sim sp_{3-n}$ の液晶容量 $c_{l1-n} \sim c_{l3-n}$ が、各スイッチング素子 $T_{1-n} \sim T_{3-n}$ を介して表示信号線 S_{m-n} に接続される。従って、複数のサブ画素ごとに結合容量を接続して1つのスイッチング素子で制御する手法と比べて、各液晶容量 $c_{l1-n} \sim c_{l3-n}$ がフローティングされていないため、焼き付きが発生しない効果がある。

[0034] また、本実施形態によれば、サブ画素 sp_{2-n} もサブ画素 sp_{3-n} と同じように電位を変化させるためのスイッチング素子と制御容量を備える構成とする手法と比べて、サブ画素 sp_{2-n} の画素電極102とサブ画素 sp_{3-n} の画素電極103との間に第1の制御容量を形成するだけなので、構造を簡単にでき開口率の低下を抑える効果もある。

また、サブ画素 sp_{2-n} およびサブ画素 sp_{3-n} ごとに結合容量を形

成し、この各結合容量を1つ前の画素の走査線に接続された各々のスイッチング素子で制御して電位差を生じさせる手法と比較して、構造を簡単にできるため開口率の低下を抑える効果もある。

[0035] [第2実施形態]

第2の実施形態は、1画素を4つのサブ画素に分割した液晶装置に関する。第2の実施形態は、図9～図11を用いて説明する。図9は、本実施形態における1画素を4つのサブ画素に分割した液晶装置の等価回路の一例である。図10は、図9の等価回路を簡略化して表現した図である。図10において、画素電極201～204は、各サブ画素 $s_{p11-n} \sim s_{p14-n}$ の各画素電極である。

[0036] 図9と図10のように、サブ画素 s_{p11-n} のスイッチング素子 T_{11-n} のゲート電極は、走査線 $G-n$ に接続される。スイッチング素子 T_{11-n} のソース電極は、表示信号線 S_{m-n} に接続される。スイッチング素子 T_{11-n} のドレイン電極は、画素電極201を介して液晶容量 c_{l11-n} の一方に接続される。液晶容量 c_{l11-n} の他方の端子は、共通電極を介して接地されている。画素電極201は、画素電極202～204と電氣的に接続していない。

サブ画素 s_{p12-n} （第3のサブ画素）のスイッチング素子 T_{12-n} のゲート電極は、走査線 $G-n$ に接続されている。スイッチング素子 T_{12-n} のソース電極は、表示信号線 S_{m-n} に接続されている。スイッチング素子 T_{12-n} のドレイン電極は、画素電極202を介して液晶容量 c_{l12-n} の一方に接続され且つ第1の制御容量 C_{11-n} （結合容量）の一方の端子に接続されている。液晶容量 c_{l12-n} の他方の端子は、共通電極を介して接地されている。

サブ画素 s_{p13-n} （第2のサブ画素）のスイッチング素子 T_{13-n} （第3スイッチング素子）のゲート電極は、走査線 $G-n$ に接続されている。スイッチング素子 T_{13-n} のソース電極は、表示信号線 S_{m-n} に接続されている。スイッチング素子 T_{13-n} のドレイン電極は、画素電極20

3を介して液晶容量 c_{l13-n} の一方に接続され且つ第1の制御容量 C_{11-n} の他方の端子に接続され且つ第2の制御容量 C_{12-n} （結合容量）の一方の端子に接続されている。液晶容量 c_{l13-n} の他方の端子は、共通電極を介して接地されている。

サブ画素 sp_{14-n} （第1のサブ画素）のスイッチング素子 T_{14-n} （第1スイッチング素子）のゲート電極は、走査線 $G-n$ に接続されている。スイッチング素子 T_{14-n} のソース電極は、表示信号線 S_{m-n} に接続されている。スイッチング素子 T_{14-n} のドレイン電極は、画素電極204を介して液晶容量 c_{l14-n} の一方に接続され且つ第2の制御容量 C_{12-n} の他方の端子に接続され且つスイッチング素子 T_{15-n} （第2スイッチング素子）のドレイン電極に接続されている。液晶容量 c_{l14-n} の他方の端子は、共通電極を介して接地されている。

スイッチング素子 T_{15-n} のソース電極は、第3の制御容量 C_{13-n} の一方の端子に接続されている。第3の制御容量 C_{13-n} の他方の端子は、コモン配線 $C_s-(n+1)$ に接続されている。スイッチング素子 T_{15-n} のゲート電極は、走査線 $G-(n+1)$ に接続されている。

[0037] 次に、Lフレーム時の n 画素選択時の動作を、図11を用いて説明する。図11は、本実施形態における4つのサブ画素を備える液晶装置のタイミングチャートである。

制御部12は、表示信号線 S_{m-n} の信号を V_{data} に制御する（図11、時刻 t_{0a} ）。次に、制御部12は、走査線 $G-n$ を時刻 $t_{0a} \sim t_{1a}$ の期間（1画素分の書き換え期間）、Hレベル（ V_{high} ）に制御し、スイッチング素子 $T_{11-n} \sim T_{14-n}$ をオン状態にし、各サブ画素 $sp_{11-n} \sim sp_{14-n}$ を構成する画素電極201～204に表示信号線 S_{m-n} から電位 V_{data} を供給する。また、時刻 $t_{0a} \sim t_{1a}$ の期間、制御部12は、走査線 $G-(n+1)$ をLレベルに制御し、スイッチング素子 T_{15-n} をオフ状態にする。

[0038] 次に、 $t_{1a} \sim t_{2a}$ の期間について、すなわち、Lフレーム時の $n+1$

画素選択時の動作を、図9～図11を用いて説明する。

制御部12は、走査線G-nをLレベルに制御し、スイッチング素子T11-n～T14-nをオフ状態にし、走査線G-(n+1)をHレベルに制御し、スイッチング素子T15-nをオン状態にする。サブ画素sp11-nの液晶容量c111-nは、t0a～t1aの期間に書き込まれた電位の大きさVdataを保持する。サブ画素sp14-nの液晶容量c114-nに接続されているスイッチング素子T15-nがオン状態のため、液晶容量c114-nに保持されている電荷が、スイッチング素子T15-nのソース電極に接続されている第3の制御容量C13-nに移動する。この結果、液晶容量c114-nを構成する画素204の電位は、t1a～t2aの期間と第3の制御容量C13-nに基づき α だけ下がり、VdataからVdata- α に変化する。

[0039] そして、サブ画素sp14-nの液晶容量c114-nを構成する画素204の電位が下がった結果、図11のように、サブ画素sp13-nの液晶容量c113-nを構成する画素203は容量結合により電位が変動する。このため、液晶容量c113-nを構成する画素203の電位は、t1a～t2aの期間と第2の制御容量C12-nに基づき β だけ下がり、VdataからVdata- β に変化する。なお、例えば、 α の電位の方が β の電位より大きい関係になるように、各液晶容量と第2の制御容量C12-nと第3の制御容量C13-nの容量を設定する。

[0040] そして、サブ画素sp13-nの液晶容量c113-nを構成する画素203の電位が下がった結果、図11のように、サブ画素sp12-nの液晶容量c112-nを構成する画素202は容量結合により電位が変動する。このため、液晶容量c111-nを構成する画素201の電位は、t1a～t2aの期間と第2の制御容量C12-nに基づき γ だけ下がり、VdataからVdata- γ に変化する。なお、例えば、 β の電位の方が γ の電位より大きい関係になるように、各液晶容量と第1の制御容量C11-nと第2の制御容量C12-nの容量を設定する。

なお、 α 、 β 、 γ の各値は、液晶材料の特性や各電極の面積比、ドライバの出力電圧などによっても大きく異なるが、一例として、5V～7V程度で駆動している液晶の場合、概ねそれぞれの電位差が、0.25Vから1Vになるように設計する。

[0041] この結果、図11のように、時刻 t_{2a} 以降、各サブ画素の液晶容量にかかる電圧は、以下になる。サブ画素 sp_{11-n} の液晶容量 c_{l11-n} の電圧がサブ画素 sp_{12-n} の液晶容量 c_{l12-n} の電圧より大きい。サブ画素 sp_{12-n} の液晶容量 c_{l12-n} の電圧がサブ画素 sp_{13-n} の液晶容量 c_{l13-n} の電圧より大きい。サブ画素 sp_{13-n} の液晶容量 c_{l13-n} の電圧がサブ画素 sp_{14-n} の液晶容量 c_{l14-n} の電圧より大きい。

このため、各サブ画素の電圧差に応じて各サブ画素の各液晶容量の光透過率または光反射率が異なるため、4つの階調表現を実現することができる。

[0042] また、図10において、各サブ画素 $sp_{11-n} \sim sp_{14-n}$ の画素電極 $201 \sim 204$ の面積は、例えば、全て同じでもよい。あるいは、第1実施形態と同様に、画素電極 204 の面積を他の画素電極 $201 \sim 203$ より大きくするようにしてもよい。

[0043] 以上のように、制御部12は、各サブ画素の各液晶容量 $c_{l11-n} \sim c_{l14-n}$ を構成する画素電極 $201 \sim 204$ に電位を書き込んだ後、第3の制御容量 C_{13-n} に接続されたスイッチング素子 T_{15-n} を制御することで、液晶容量 c_{l14-n} の電圧を変動させ、さらに、液晶容量 c_{l14-n} と液晶容量 c_{l13-n} の間に接続された第2の制御容量 C_{12-n} を用いて電圧を変動させ、液晶容量 c_{l13-n} と液晶容量 c_{l12-n} の間に接続された第1の制御容量 C_{11-n} を用いて電圧を変動させる。これにより、1画素を4つのサブ画素に分割して4階調表現を行うため、視野角特性を改善できる。

[0044] また、第1実施形態と同様に、サブ画素 sp_{11-n} の液晶容量 c_{l11-n} は、書き込み後に階調表現のために昇圧が行われなため、低階調でム

ラになりにくい効果がある。さらに、サブ画素 s_{p12-n} の液晶容量 c_{l12-n} とサブ画素 s_{p13-n} の液晶容量 c_{l13-n} との間の第1の制御容量 C_{11-n} は、単純な容量結合のため制御用のスイッチング素子等を形成する必要がない。また、サブ画素 s_{p13-n} の液晶容量 c_{l13-n} とサブ画素 s_{p14-n} の液晶容量 c_{l14-n} との間の第2の制御容量 C_{12-n} は、単純な容量結合のため制御用のスイッチング素子等を形成する必要がない。従って、開口率が低下しない効果があり、電位が変動しにくいので輝度ムラを改善できる。

[0045] また、本実施形態では、第1実施形態と同様に、全てのサブ画素 $s_{p11-n} \sim s_{p14-n}$ の液晶容量 $c_{l11-n} \sim c_{l14-n}$ が、各スイッチング素子 $T_{11-n} \sim T_{14-n}$ を介して表示信号線 S_{m-n} に接続する構成としたので、各液晶容量 $c_{l11-n} \sim c_{l14-n}$ がフローティングされていないため焼き付きが発生しない効果がある。

[0046] [第3実施形態]

第3の実施形態は、1画素を4つのサブ画素に分割した液晶装置の他の実施形態である。第3の実施形態は、図11～図13を用いて説明する。図12は、本実施形態における1画素を4つのサブ画素に分割した液晶装置の等価回路である。図13は、図12の等価回路を簡略化して表現した図である。画素電極301～304は、各サブ画素 $s_{p21-n} \sim s_{p24-n}$ の各画素電極である。図12と図13のように、第2実施形態との違いは、サブ画素 $s_{p22-n} \sim$ サブ画素 s_{p24-n} の構成である。

[0047] 図12と図13のように、サブ画素 s_{p22-n} のスイッチング素子 T_{12-n} のゲート電極は、走査線 $G-n$ に接続されている。スイッチング素子 T_{12-n} のソース電極は、表示信号線 S_{m-n} に接続されている。スイッチング素子 T_{12-n} のドレイン電極は、画素電極302を介して液晶容量 c_{l12-n} の一方に接続され且つ第1の制御容量 C_{21-n} の一方の端子に接続されている。液晶容量 c_{l12-n} の他方の端子は、共通電極を介して接地されている。

サブ画素 $s p 2 4 - n$ (第1サブ画素) のスイッチング素子 $T 2 4 - n$ (第1スイッチング素子) のゲート電極は、走査線 $G - n$ に接続されている。スイッチング素子 $T 2 4 - n$ のソース電極は、表示信号線 $S m - n$ に接続されている。スイッチング素子 $T 2 4 - n$ のドレイン電極は、画素電極 $3 0 4$ を介して液晶容量 $c l 2 4 - n$ の一方に接続され且つ第1の制御容量 $C 2 1 - n$ の他方の端子に接続され且つ第2の制御容量 $C 2 2 - n$ (結合容量) の一方の端子に接続され且つスイッチング素子 $T 2 5 - n$ のドレイン電極に接続されている。液晶容量 $c l 2 4 - n$ の他方の端子は、共通電極を介して接地されている。スイッチング素子 $T 2 5 - n$ のソース電極は、第3の制御容量 $C 2 3 - n$ の一方の端子に接続されている。第3の制御容量 $C 2 3 - n$ の他方の端子は、コモン配線 $C s - (n + 1)$ に接続されている。スイッチング素子 $T 2 5 - n$ のゲート電極は、走査線 $G - (n + 1)$ に接続されている。

サブ画素 $s p 2 3 - n$ のスイッチング素子 $T 2 3 - n$ のゲート電極は、走査線 $G - n$ に接続されている。スイッチング素子 $T 2 3 - n$ のソース電極は、表示信号線 $S m - n$ に接続されている。スイッチング素子 $T 2 3 - n$ のドレイン電極は、画素電極 $3 0 3$ を介して液晶容量 $c l 2 3 - n$ の一方に接続され且つ第2の制御容量 $C 2 2 - n$ の他方の端子に接続されている。液晶容量 $c l 2 3 - n$ の他方の端子は、共通電極を介して接地されている。

[0048] このように、第3実施形態における構成では、第1のサブ画素に相当するサブ画素 $s p 2 4 - n$ の画素電極 $3 0 4$ とサブ画素 $s p 2 2 - n$ の画素電極 $2 0 2$ との間に第1の制御容量 $C 2 1 - n$ (結合容量) が形成されている。さらに、第1のサブ画素に相当するサブ画素 $s p 2 4 - n$ の画素電極 $3 0 4$ とサブ画素 $s p 2 3 - n$ の画素電極 $3 0 3$ との間に第2の制御容量 $C 2 2 - n$ (結合容量) が形成されている。このため、サブ画素 $s p 2 2 - n$ またはサブ画素 $s p 2 3 - n$ が第2のサブ画素に相当し、スイッチング素子 $T 1 2 - n$ またはスイッチング素子 $T 2 3 - n$ が第2スイッチング素子に相当する。

[0049] 次に、Lフレーム時の n 画素選択時の動作を、図11と図12を用いて説明する。制御部12は、表示信号線 S_{m-n} の信号を V_{data} に制御する（図11、時刻 t_{0a} ）。

次に、制御部12は、走査線 $G-n$ を時刻 $t_{0a} \sim t_{1a}$ の期間（1画素分の書き換え期間）、Hレベル（ V_{high} ）に制御し、スイッチング素子 $T_{11-n} \sim T_{12-n}$ 、 $T_{23-n} \sim T_{24-n}$ をオン状態にし、各サブ画素 $sp_{21-n} \sim sp_{24-n}$ に電位 V_{data} を書き込む。また、時刻 $t_{0a} \sim t_{1a}$ の期間、制御部12は、走査線 $G-(n+1)$ をLレベルに制御し、スイッチング素子 T_{25-n} をオフ状態にする。

[0050] 次に、 $t_{1a} \sim t_{2a}$ の期間について、すなわち、Lフレーム時の $n+1$ 画素選択時の動作を、図11と図12を用いて説明する。

制御部12は、走査線 $G-n$ をLレベルに制御し、スイッチング素子 $T_{11-n} \sim T_{12-n}$ 、 $T_{23-n} \sim T_{24-n}$ をオフ状態にし、走査線 $G-(n+1)$ をHレベルに制御し、スイッチング素子 T_{25-n} をオン状態にする。サブ画素 sp_{21-n} の液晶容量 c_{l11-n} は、 $t_{0a} \sim t_{1a}$ の期間に書き込まれた電位の大きさ V_{data} を保持する。サブ画素 sp_{24-n} の液晶容量 c_{l24-n} に接続されているスイッチング素子 T_{25-n} がオン状態のため、液晶容量 c_{l24-n} に保持されている電荷が、スイッチング素子 T_{25-n} のソース電極に接続されている第3の制御容量 C_{23-n} に移動する。

この結果、液晶容量 c_{l24-n} を構成する画素304の電位は、 $t_{1a} \sim t_{2a}$ の期間と第3の制御容量 C_{23-n} に基づき α だけ下がり、 V_{data} から $V_{data} - \alpha$ に変化する。

[0051] そして、サブ画素 sp_{24-n} の液晶容量 c_{l24-n} の電位が下がった結果、図12のように、サブ画素 sp_{23-n} の液晶容量 c_{l23-n} を構成する画素303は容量結合により電位が変動する。このため、液晶容量 c_{l23-n} を構成する画素303の電位は、 $t_{1a} \sim t_{2a}$ の期間と第2の制御容量 C_{22-n} に基づき β だけ下がり、 V_{data} から $V_{data} - \beta$

に変化する。なお、例えば、 α の電位の方が β の電位より大きい関係になるように、第2の制御容量 C_{22-n} と第3の制御容量 C_{23-n} の容量を設定する。

[0052] また、サブ画素 sp_{24-n} の液晶容量 c_{l24-n} の電位が下がった結果、図12のように、サブ画素 sp_{12-n} の液晶容量 c_{l12-n} を構成する画素302は容量結合により電位が変動する。このため、液晶容量 c_{l12-n} を構成する画素302の電位は、 $t_{1a} \sim t_{2a}$ の期間と第1の制御容量 C_{21-n} に基づき γ だけ下がり、 V_{data} から $V_{data} - \gamma$ に変化する。なお、例えば、 β の電位の方が γ の電位より大きい関係になるように、第1の制御容量 C_{21-n} と第2の制御容量 C_{22-n} の容量を設定する。

[0053] この結果、図12のように、時刻 t_{2a} 以降、各サブ画素の液晶容量にかかる電圧は以下の通りとなる。サブ画素 sp_{11-n} の液晶容量 c_{l11-n} の電圧がサブ画素 sp_{12-n} の液晶容量 c_{l12-n} の電圧より大きい。サブ画素 sp_{12-n} の液晶容量 c_{l12-n} の電圧がサブ画素 sp_{23-n} の液晶容量 c_{l23-n} の電位より大きい。サブ画素 sp_{23-n} の液晶容量 c_{l23-n} の電圧がサブ画素 sp_{24-n} の液晶容量 c_{l24-n} の電圧より大きい。

このため、各サブ画素の電位差に応じて各サブ画素の各液晶容量の光透過率または光反射率が異なるため、4つの階調表現を実現することができる。

[0054] また、図13において、各サブ画素 $sp_{21-n} \sim sp_{24-n}$ の画素電極301～304の面積は、例えば、全て同じでもよい。あるいは、第1実施形態と同様に、画素電極304の面積を他の画素電極301～303より大きくするようにしてもよい。

[0055] 以上のように、制御部12は、各サブ画素の各液晶容量 $c_{l11-n} \sim c_{l12-n}$ 、 $c_{l23-n} \sim c_{l24-n}$ を構成する画素電極301～304に電位を書き込んだ後、第3の制御容量 C_{23-n} に接続されたスイッチング素子 T_{25-n} を制御することで、液晶容量 c_{l24-n} の電圧を変動

させ、さらに、液晶容量 c_{124-n} と液晶容量 c_{23-n} の間に接続された第2の制御容量 C_{22-n} を用いて電圧を変動させ、液晶容量 c_{123-n} と液晶容量 c_{12-n} の間に接続された第1の制御容量 C_{21-n} を用いて電圧を変動させる。これにより、1画素を4つのサブ画素に分割して4階調表現を行うため、視野角特性を改善できる。

[0056] また、第2実施形態と同様に、サブ画素 sp_{11-n} の液晶容量 c_{111-n} は、書き込み後に階調表現のために昇圧が行われなため、低階調でムラになりにくい効果がある。さらに、サブ画素 sp_{12-n} の液晶容量 c_{112-n} とサブ画素 sp_{24-n} の液晶容量 c_{124-n} との間の第1の制御容量 C_{21-n} は、単純な容量結合のため制御用のスイッチング素子等を形成する必要がない。また、サブ画素 sp_{23-n} の液晶容量 c_{123-n} とサブ画素 sp_{24-n} の液晶容量 c_{124-n} との間の第2の制御容量 C_{22-n} は、単純な容量結合のため制御用のスイッチング素子等を形成する必要がない。従って、開口率が低下しない効果があり、電位が変動しにくいので輝度ムラを改善できる。

[0057] また、本実施形態では、第2実施形態と同様に、全てのサブ画素 $sp_{11-n} \sim sp_{12-n}$ 、 $sp_{23-n} \sim sp_{24-n}$ の液晶容量 $c_{111-n} \sim c_{112-n}$ 、 $c_{123-n} \sim c_{124-n}$ が、各スイッチング素子 $T_{11-n} \sim T_{12-n}$ 、 $T_{23-n} \sim T_{24-n}$ を介して表示信号線 S_{m-n} に接続する構成としたので、各液晶容量 $c_{111-n} \sim c_{112-n}$ 、 $c_{123-n} \sim c_{124-n}$ がフローティングされていないため焼き付きが発生しない効果がある。

[0058] [第4実施形態]

第4の実施形態は、1画素を5つのサブ画素に分割した液晶装置に関する。第4の実施形態は、図14～図16を用いて説明する。図14は、本実施形態における1画素を5つのサブ画素に分割した液晶装置の等価回路の一例である。図15は、図14の等価回路を簡略化して表現した図である。画素電極401～405は、各サブ画素 $sp_{41-n} \sim sp_{45-n}$ の各画素電

極である。

[0059] 図14と図15のように、サブ画素 $s p 4 1 - n$ のスイッチング素子 $T 4 1 - n$ のゲート電極は、走査線 $G - n$ に接続されている。スイッチング素子 $T 4 1 - n$ のソース電極は、表示信号線 $S m - n$ に接続されている。スイッチング素子 $T 4 1 - n$ のドレイン電極は、画素電極401を介して液晶容量 $c l 4 1 - n$ の一方に接続されている。液晶容量 $c l 4 1 - n$ の他方の端子は、共通電極を介して接地されている。画素電極401は、画素電極402～405と電氣的に接続していない。

サブ画素 $s p 4 2 - n$ のスイッチング素子 $T 4 2 - n$ のゲート電極は、走査線 $G - n$ に接続されている。スイッチング素子 $T 4 2 - n$ のソース電極は、表示信号線 $S m - n$ に接続されている。スイッチング素子 $T 4 2 - n$ のドレイン電極は、画素電極402を介して液晶容量 $c l 4 2 - n$ の一方に接続され且つ第1の制御容量 $C 4 1 - n$ の一方の端子に接続されている。液晶容量 $c l 4 2 - n$ の他方の端子は、共通電極を介して接地されている。

サブ画素 $s p 4 3 - n$ （第3のサブ画素）のスイッチング素子 $T 4 3 - n$ のゲート電極は、走査線 $G - n$ に接続されている。スイッチング素子 $T 4 3 - n$ のソース電極は、表示信号線 $S m - n$ に接続されている。スイッチング素子 $T 4 3 - n$ のドレイン電極は、画素電極403を介して液晶容量 $c l 4 3 - n$ の一方に接続され且つ第1の制御容量 $C 4 1 - n$ の他方の端子に接続され且つ第2の制御容量 $C 4 2 - n$ （結合容量）の一方の端子に接続されている。液晶容量 $c l 4 3 - n$ の他方の端子は、共通電極を介して接地されている。

サブ画素 $s p 4 4 - n$ （第1のサブ画素）のスイッチング素子 $T 4 4 - n$ （第3スイッチング素子）のゲート電極は、走査線 $G - n$ に接続されている。スイッチング素子 $T 4 4 - n$ のソース電極は、表示信号線 $S m - n$ に接続されている。スイッチング素子 $T 4 4 - n$ のドレイン電極は、画素電極404を介して液晶容量 $c l 4 4 - n$ の一方に接続され且つ第2の制御容量 $C 4 2 - n$ の他方の端子に接続され且つ第3の制御容量 $C 4 3 - n$ （結合容量）

の一方の端子に接続されている。液晶容量 $c144-n$ の他方の端子は、共通電極を介して接地されている。

サブ画素 $sp45-n$ （第1のサブ画素）のスイッチング素子 $T45-n$ （第1スイッチング素子）のゲート電極は、走査線 $G-n$ に接続されている。スイッチング素子 $T45-n$ のソース電極は、表示信号線 S_{m-n} に接続されている。スイッチング素子 $T45-n$ のドレイン電極は、画素電極 405 を介して液晶容量 $c145-n$ の一方に接続され且つ第3の制御容量 $C43-n$ の他方の端子に接続され且つスイッチング素子 $T46-n$ （第2スイッチング素子）のドレイン電極に接続されている。液晶容量 $c146-n$ の他方の端子は、共通電極を介して接地されている。

スイッチング素子 $T46-n$ のソース電極は、第4の制御容量 $C44-n$ の一方の端子に接続されている。第4の制御容量 $C44-n$ の他方の端子は、コモン配線 $Cs-(n+1)$ に接続されている。スイッチング素子 $T46-n$ のゲート電極は、走査線 $G-(n+1)$ に接続されている。

[0060] 次に、Lフレーム時の n 画素選択時の動作を、図14と図16を用いて説明する。図16は、本実施形態における5つのサブ画素を備える液晶装置のタイミングチャートである。

制御部12は、表示信号線 S_{m-n} の信号を $Vdata$ に制御する（図16、時刻 $t0a$ ）。次に、制御部12は、走査線 $G-n$ を時刻 $t0a \sim t1a$ の期間（1画素分の書き換え期間）、Hレベル（ $Vhigh$ ）に制御し、スイッチング素子 $T41-n \sim T45-n$ をオン状態にし、各サブ画素 $sp41-n \sim sp45-n$ を構成する画素電極 $401 \sim 405$ に表示信号線 S_{m-n} から電位 $Vdata$ を供給する。また、時刻 $t0a \sim t1a$ の期間、制御部12は、走査線 $G-(n+1)$ をLレベルに制御し、スイッチング素子 $T46-n$ をオフ状態にする。

[0061] 次に、 $t1a \sim t2a$ の期間について、すなわち、Lフレーム時の $n+1$ 画素選択時の動作を、図14～図16を用いて説明する。

制御部12は、走査線 $G-n$ をLレベルに制御し、スイッチング素子 $T4$

$1-n \sim T45-n$ をオフ状態にし、走査線 $G-(n+1)$ を Hレベルに制御し、スイッチング素子 $T46-n$ をオン状態にする。サブ画素 $sp41-n$ の液晶容量 $cl41-n$ は、 $t0a \sim t1a$ の期間に書き込まれた電位の大きさ $Vdata$ を保持する。サブ画素 $sp45-n$ の液晶容量 $cl45-n$ に接続されているスイッチング素子 $T46-n$ がオン状態のため、液晶容量 $cl45-n$ に保持されている電荷が、スイッチング素子 $T46-n$ のソース電極に接続されている第4の制御容量 $C44-n$ に移動する。この結果、液晶容量 $cl45-n$ を構成する画素405の電位は、 $t1a \sim t2a$ の期間と第4の制御容量 $C44-n$ に基づき α だけ下がり、 $Vdata$ から $Vdata - \alpha$ に変化する。

[0062] サブ画素 $sp45-n$ の液晶容量 $cl45-n$ を構成する画素405の電位が下がった結果、図14のように、サブ画素 $sp44-n$ の液晶容量 $cl44-n$ を構成する画素404は容量結合により電位が変動する。このため、液晶容量 $cl44-n$ を構成する画素404の電位は、 $t1a \sim t2a$ の期間と第3の制御容量 $C43-n$ に基づき β だけ下がり、 $Vdata$ から $Vdata - \beta$ に変化する。なお、例えば、 α の電位の方が β の電位より大きい関係になるように、第3の制御容量 $C43-n$ と第4の制御容量 $C44-n$ の容量を設定する。

[0063] そして、サブ画素 $sp44-n$ の液晶容量 $cl44-n$ を構成する画素404の電位が下がった結果、図14のように、サブ画素 $sp43-n$ の液晶容量 $cl43-n$ を構成する画素403は容量結合により電位が変動する。このため、液晶容量 $cl43-n$ を構成する画素403の電位は、 $t1a \sim t2a$ の期間と第2の制御容量 $C42-n$ に基づき γ だけ下がり、 $Vdata$ から $Vdata - \gamma$ に変化する。なお、例えば、 β の電位の方が γ の電位より大きい関係になるように、第2の制御容量 $C42-n$ と第3の制御容量 $C43-n$ の容量を設定する。

[0064] そして、サブ画素 $sp43-n$ の液晶容量 $cl43-n$ を構成する画素403の電位が下がった結果、図14のように、サブ画素 $sp42-n$ の液晶

容量 c_{l42-n} を構成する画素 402 は容量結合により電位が変動する。このため、液晶容量 c_{l42-n} を構成する画素 402 の電位は、 $t_{1a} \sim t_{2a}$ の期間と第 1 の制御容量 C_{41-n} に基づき γ だけ下がり、 V_{data} から $V_{data} - \delta$ に変化する。なお、例えば、 γ の電位の方が δ の電位より大きい関係になるように、第 1 の制御容量 C_{41-n} と第 2 の制御容量 C_{42-n} の容量を設定する。

[0065] この結果、図 14 のように、 $t_{1a} \sim t_{2a}$ の期間、各サブ画素の液晶容量にかかる電圧は、以下ようになる。サブ画素 sp_{41-n} の液晶容量 c_{l41-n} の電圧がサブ画素 sp_{42-n} の液晶容量 c_{l42-n} の電圧より大きい。サブ画素 sp_{42-n} の液晶容量 c_{l42-n} の電圧がサブ画素 sp_{43-n} の液晶容量 c_{l43-n} の電圧より大きい。サブ画素 sp_{43-n} の液晶容量 c_{l43-n} の電圧がサブ画素 sp_{44-n} の液晶容量 c_{l44-n} の電圧より大きい。サブ画素 sp_{44-n} の液晶容量 c_{l44-n} の電圧がサブ画素 sp_{45-n} の液晶容量 c_{l45-n} の電圧より大きい。

このため、各サブ画素の電位差に応じて各サブ画素の各液晶容量の光透過率または光反射率が異なるため、5つの階調表現を実現することができる。

[0066] また、図 15 において、各サブ画素 $sp_{42-n} \sim sp_{45-n}$ の画素電極 401 ~ 405 の面積は、例えば、全て同じでもよい。あるいは、第 1 実施形態と同様に、画素電極 405 の面積を他の画素電極 401 ~ 404 より大きくするようにしてもよい。

[0067] 以上のように、制御部 12 は、各サブ画素の各液晶容量 $c_{l41-n} \sim c_{l45-n}$ を構成する画素電極 401 ~ 405 に電位を書き込んだ後、第 4 の制御容量 C_{44-n} に接続されたスイッチング素子 T_{46-n} を制御することで、液晶容量 c_{l45-n} の電圧を変動させ、さらに、液晶容量 c_{l45-n} と液晶容量 c_{44-n} の間に接続された第 3 の制御容量 C_{43-n} を用いて電圧を変動させ、液晶容量 c_{l44-n} と液晶容量 c_{l43-n} の間に接続された第 2 の制御容量 C_{42-n} を用いて電圧を変動させ、液晶容量 c_{l43-n} と液晶容量 c_{l42-n} の間に接続された第 1 の制御容量 C_{41-n}

1-nを用いて電圧を変動させる。これにより、1画素を5つのサブ画素に分割して5階調表現を行うため、視視野角特性を改善できる。

[0068] また、第1実施形態と同様に、サブ画素 $sp41-n$ の液晶容量 $cl41-n$ は、書き込み後に階調表現のために昇圧が行われなかったため、低階調でムラになりにくい効果がある。さらに、サブ画素 $sp42-n$ の液晶容量 $cl42-n$ とサブ画素 $sp43-n$ の液晶容量 $cl43-n$ との間の第1の制御容量 $C41-n$ は、単純な容量結合のため制御用のスイッチング素子等を形成する必要がない。また、サブ画素 $sp43-n$ の液晶容量 $cl43-n$ とサブ画素 $sp44-n$ の液晶容量 $cl44-n$ との間の第2の制御容量 $C42-n$ は、単純な容量結合のため制御用のスイッチング素子等を形成する必要がない。また、サブ画素 $sp44-n$ の液晶容量 $cl44-n$ とサブ画素 $sp45-n$ の液晶容量 $cl45-n$ との間の第3の制御容量 $C43-n$ は、単純な容量結合のため制御用のスイッチング素子等を形成する必要がない。従って、開口率が低下しない効果があり、電位が変動しにくいので輝度ムラを改善できる。

[0069] また、本実施形態では、第1実施形態と同様に、全てのサブ画素 $sp41-n \sim sp45-n$ の液晶容量 $cl41-n \sim cl45-n$ が、各スイッチング素子 $T41-n \sim T45-n$ を介して表示信号線 $Sm-n$ に接続する構成としたので、各液晶容量 $cl41-n \sim cl45-n$ がフローティングされていないため焼き付きが発生しない効果がある。

[0070] また、本実施形態では、1画素を2つのサブ画素に分割する例から5つのサブ画素に分割する例を説明したが、6つのサブ画素以上に分割する場合にも同様の方法を用いることが可能である。例えば、6つのサブ画素に分割する場合、図14において、サブ画素 $sp45-n$ が6番目のサブ画素（sub pix F）に相当する。そして、4番目のサブ画素（sub pix D） $sp44-n$ と6番目のサブ画素（sub pix F）の間に4番目のサブ画素（sub pix D） $sp44-n$ と同じ構成の5番目のサブ画素（sub pix E）を形成する。そして、2番目のサブ画素と3

番目のサブ画素の各液晶容量の間に第 1 の制御容量を形成する。3 番目のサブ画素と 4 番目のサブ画素の各液晶容量の間に第 2 の制御容量を形成する。4 番目のサブ画素と 5 番目のサブ画素の各液晶容量の間に第 3 の制御容量を形成する。5 番目のサブ画素と 6 番目のサブ画素の各液晶容量の間に第 4 の制御容量を形成する。6 番目のサブ画素の液晶容量に接続されているスイッチング素子のソース電極に第 5 番目の制御容量を形成する。

[0071] 図 17 は、1 画素を複数のサブ画素に分割し、斜めから見た場合の階調特性の一例を示す図である。図 17 において、Local γ とは、階調に対する正規化した透過率について両対数を取り、さらに局所的な γ 値を表す指標であり、次式 (1) のように定義する。

[0072]
$$\text{Local } \gamma = (\log T_{GS2} - \log T_{GS1}) / (\log GS2 - \log GS1) \cdots (1)$$

[0073] 式 (1) において、 T_{GS1} は、階調 GS 1 に対応する正規化された透過率であり、 T_{GS2} は、階調 GS 2 に対応する正規化された透過率である。図 17 のように、1 画素を 2 のサブ画素に分割した場合、破線 L 1 のように γ 値が、例えば階調 150 あたりで急激に変化する。また、1 画素を 3 つのサブ画素に分割した場合、実線 L 2 のように、階調に対する γ 値の変動が減少する。さらに、1 画素を 3 つのサブ画素に分割した場合、点線 L 3 のように、階調に対する γ 値の変動がさらに減少する。すなわち、1 画素の分割数を増やすことで、ガンマ値がより平坦になり、斜めから見た場合に急激に輝度に変動する現象が抑えることができる。このため、本実施形態の方法を用いて、1 つの画素を 3 またはそれ以上のサブ画素に分割し、分割されたサブ画素に電位差を生じさせて階調表現を行うことで、斜めから見た場合に急激に輝度に変動する現象が抑えることができる。

[0074] なお、実施形態の図 1 の制御部 12 の機能を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録されたプログラムをコンピュータシステムに読み込ませ、実行することにより各部の処理を行ってもよい。なお、ここでいう「コンピュータシステム」とは

、OSや周辺機器等のハードウェアを含むものとする。

また、「コンピュータシステム」は、WWWシステムを利用している場合であれば、ホームページ提供環境（あるいは表示環境）も含むものとする。

また、「コンピュータ読み取り可能な記録媒体」とは、フレキシブルディスク、光磁気ディスク、ROM、CD-ROM等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置のことをいう。さらに「コンピュータ読み取り可能な記録媒体」とは、インターネット等のネットワークや電話回線等の通信回線を介してプログラムを送信する場合の通信線のように、短時間の間、動的にプログラムを保持するもの、その場合のサーバやクライアントとなるコンピュータシステム内部の揮発性メモリのように、一定時間プログラムを保持しているものも含むものとする。また上記プログラムは、前述した機能の一部を実現するためのものであっても良く、さらに前述した機能をコンピュータシステムにすでに記録されているプログラムとの組み合わせで実現できるものであっても良い。

産業上の利用可能性

[0075] 本発明によれば、1つの画素を3またはそれ以上のサブ画素に分割し、分割されたサブ画素に電位差を生じさせて階調表現を行った場合に、輝度ムラと視野角特性を安定して達成することができる。

符号の説明

[0076] 3-1～3-m、Sm-n・・・表示信号線
 5-1～5-n、G-(n-1)～G-(n+1)・・・走査線
 Cs-n～Cs-(n+1)・・・コモン配線
 C1-n～C2-n・・・制御容量
 cl1-n～cl3-n・・・液晶容量
 T1-n～T4-n・・・スイッチング素子
 12・・・制御部
 p(1, 1)～p(n, m)・・・画素部

$s p (1, 1, 1) \sim s p (3, 2, 5) \cdots$ サブ画素

請求の範囲

[請求項1]

複数の輝度領域に対応した複数のサブ画素から各々が構成される複数の画素であって、マトリクス状に配置された複数の画素と、

前記複数のサブ画素のうち第1のサブ画素の画素電極にドレイン電極が接続されている第1スイッチング素子と、

前記第1のサブ画素の画素電極にドレイン電極が接続されている第2スイッチング素子と、

複数の走査線と、

制御容量と、

を備え、

前記第1スイッチング素子のゲート電極と前記第2スイッチング素子のゲート電極とが各々異なる前記走査線に接続され、

前記第2スイッチング素子は、ソース電極とコモン配線との間に前記制御容量が形成され、

前記第1のサブ画素の画素電極と前記複数のサブ画素のうち第2のサブ画素の画素電極とが結合容量で結合されている液晶装置。

[請求項2]

前記複数の走査線は、マトリクスの行方向に配置されており、

表示信号を供給する複数の表示信号線と、

第3スイッチング素子と、

を更に備え、

前記第1スイッチング素子は、ゲート電極が n 本目（ n は1以上の自然数）の前記走査線に接続され且つソース電極が前記 m 本目（ m は1以上の自然数）の表示信号線に接続され、

前記第2スイッチング素子は、ゲート電極が $n+1$ 本目以降の前記走査線に接続され且つソース電極とコモン配線との間に前記制御容量が形成され、

前記第2のサブ画素の画素電極は、前記第3スイッチング素子のドレイン電極が接続され、

前記第 3 スイッチング素子は、ゲート電極が前記 n 本目の走査線に接続され且つソース電極が前記 m 本目の表示信号線接続されている請求項 1 に記載の液晶装置。

[請求項3]

制御部、

を更に備え、

前記制御部は、前記 n 番目の走査線と前記 $n + 1$ 番目の走査線とに、前記第 1 スイッチング素子と前記第 2 スイッチング素子とを異なるタイミングでオン状態にする信号を供給する請求項 2 に記載の液晶装置。

[請求項4]

第 4 スイッチング素子、

を更に備え、

前記第 2 のサブ画素の画素電極と前記複数のサブ画素のうち第 3 のサブ画素の画素電極とが結合容量で結合され、

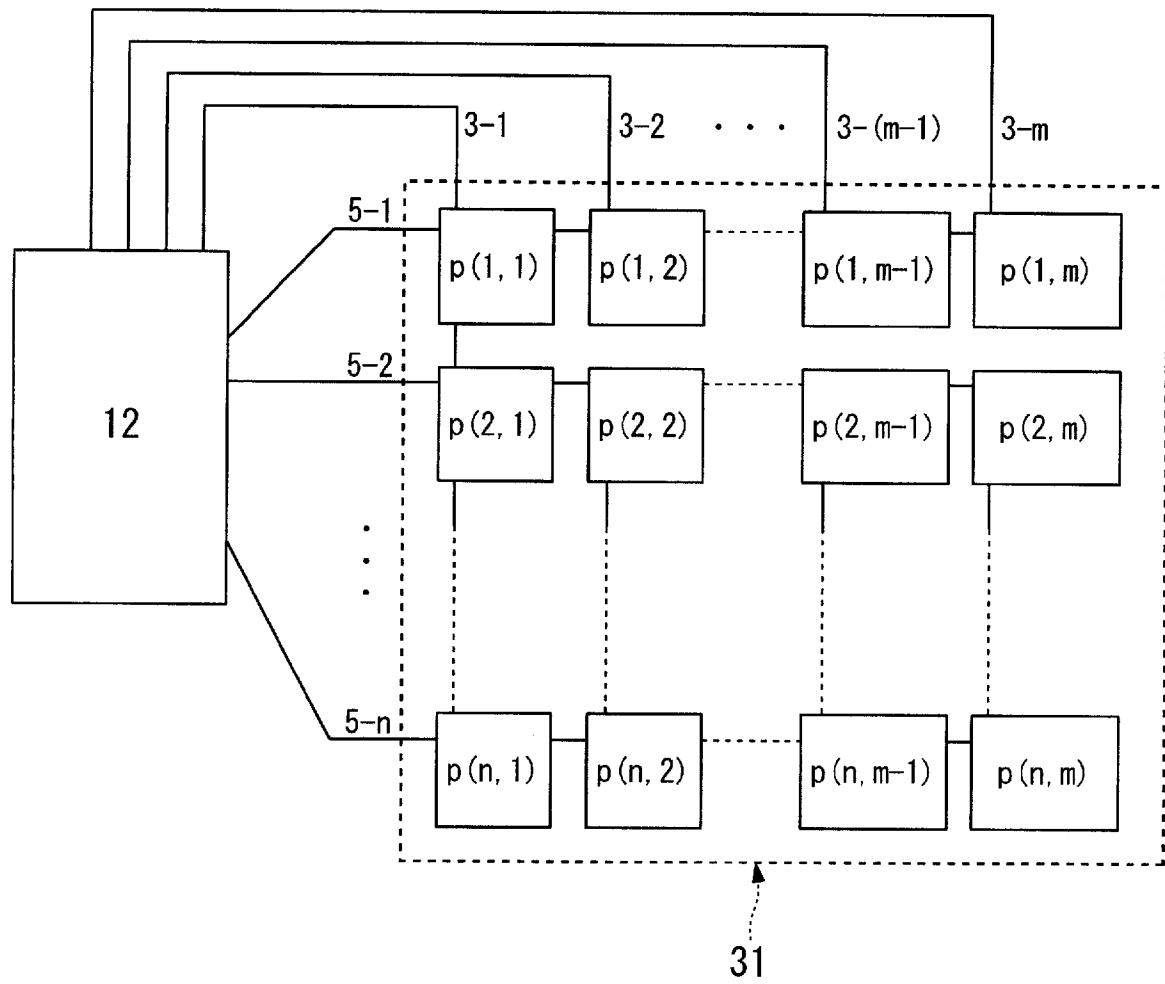
前記第 3 のサブ画素の画素電極は、前記第 4 スイッチング素子のドレイン電極に接続され、

前記第 4 スイッチング素子は、ゲート電極が前記 n 本目の走査線に接続され且つソース電極が前記 m 本目の表示信号線接続されている請求項 2 に記載の液晶装置。

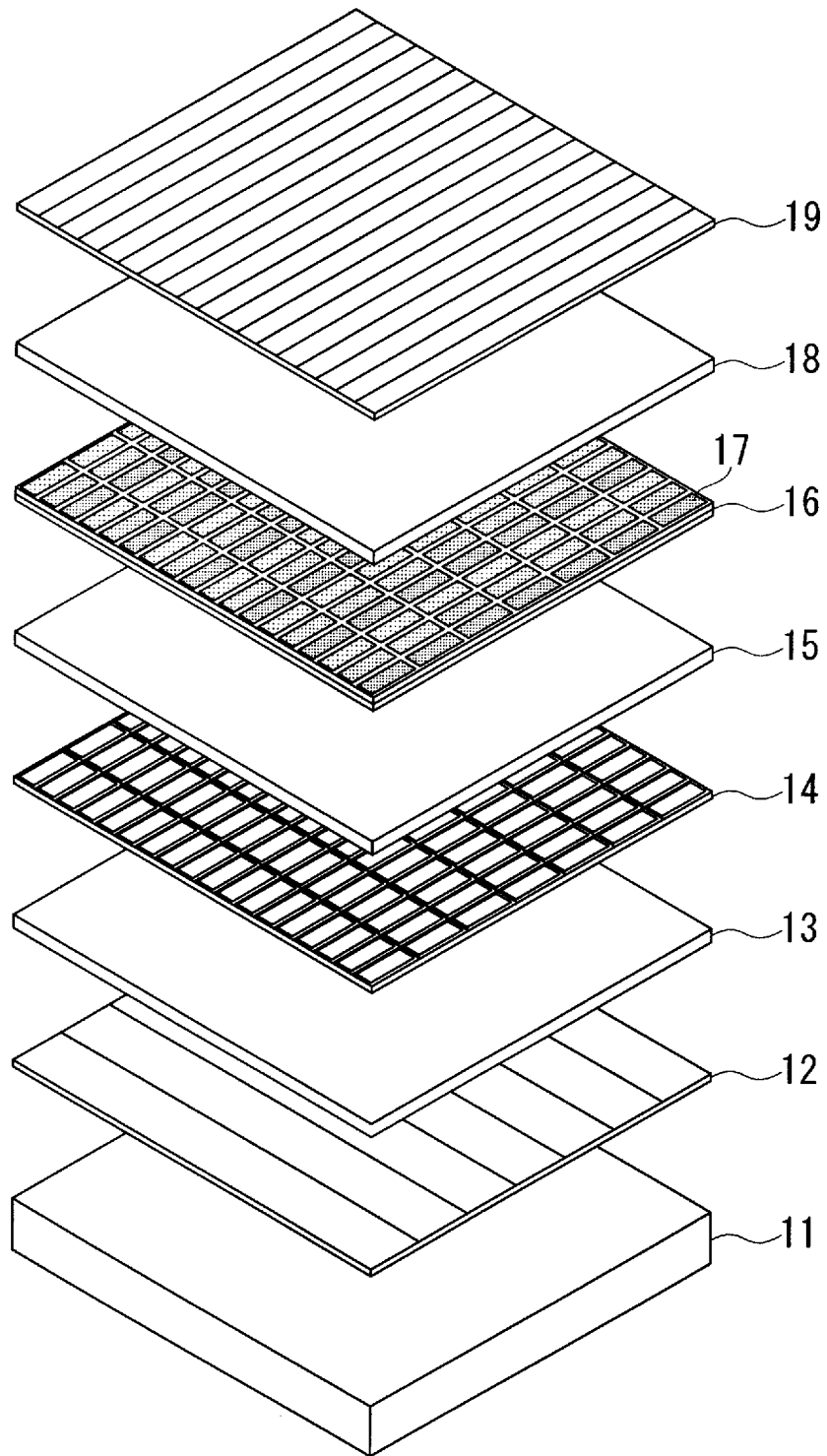
[請求項5]

前記複数のサブ画素の中で 1 個のサブ画素の画素電極は、他の前記複数のサブ画素の画素電極と電氣的に接続されていない請求項 1 に記載の液晶装置。

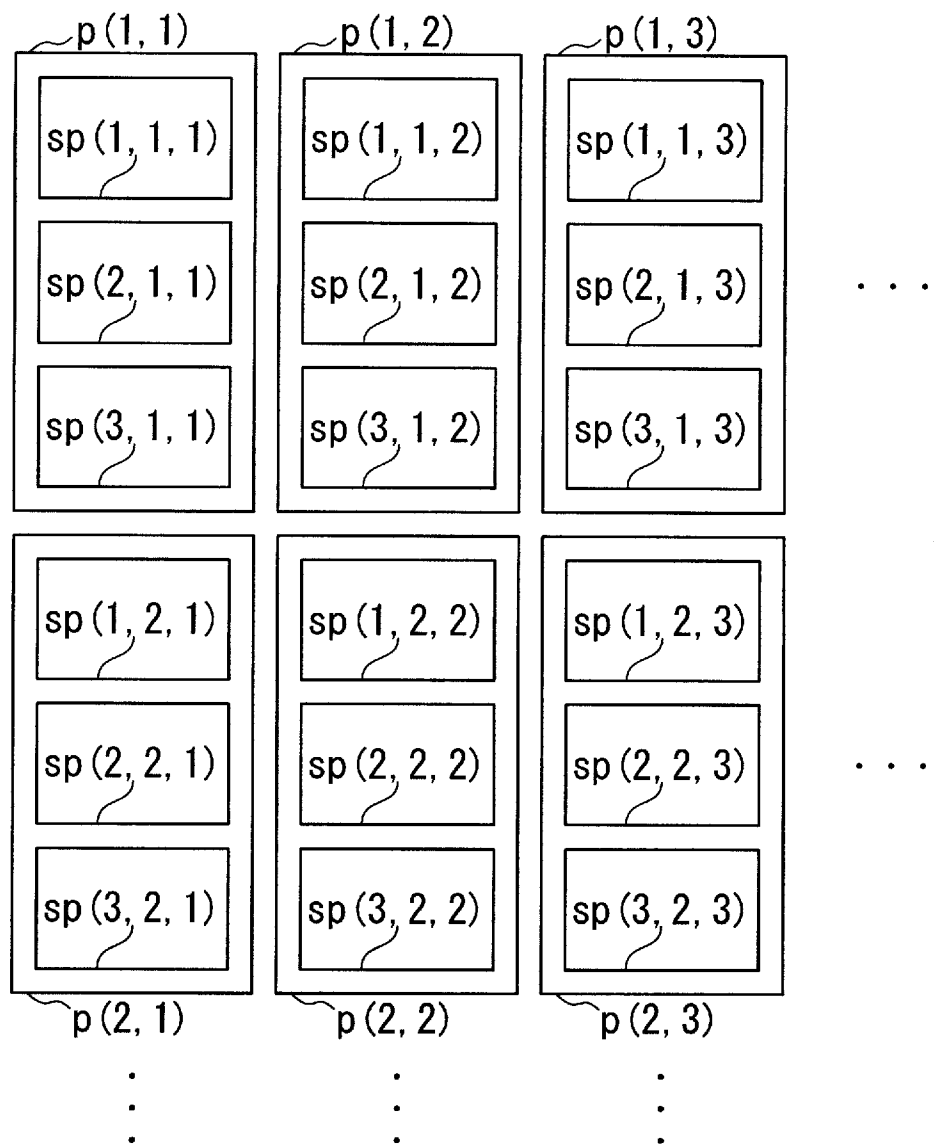
[図1]



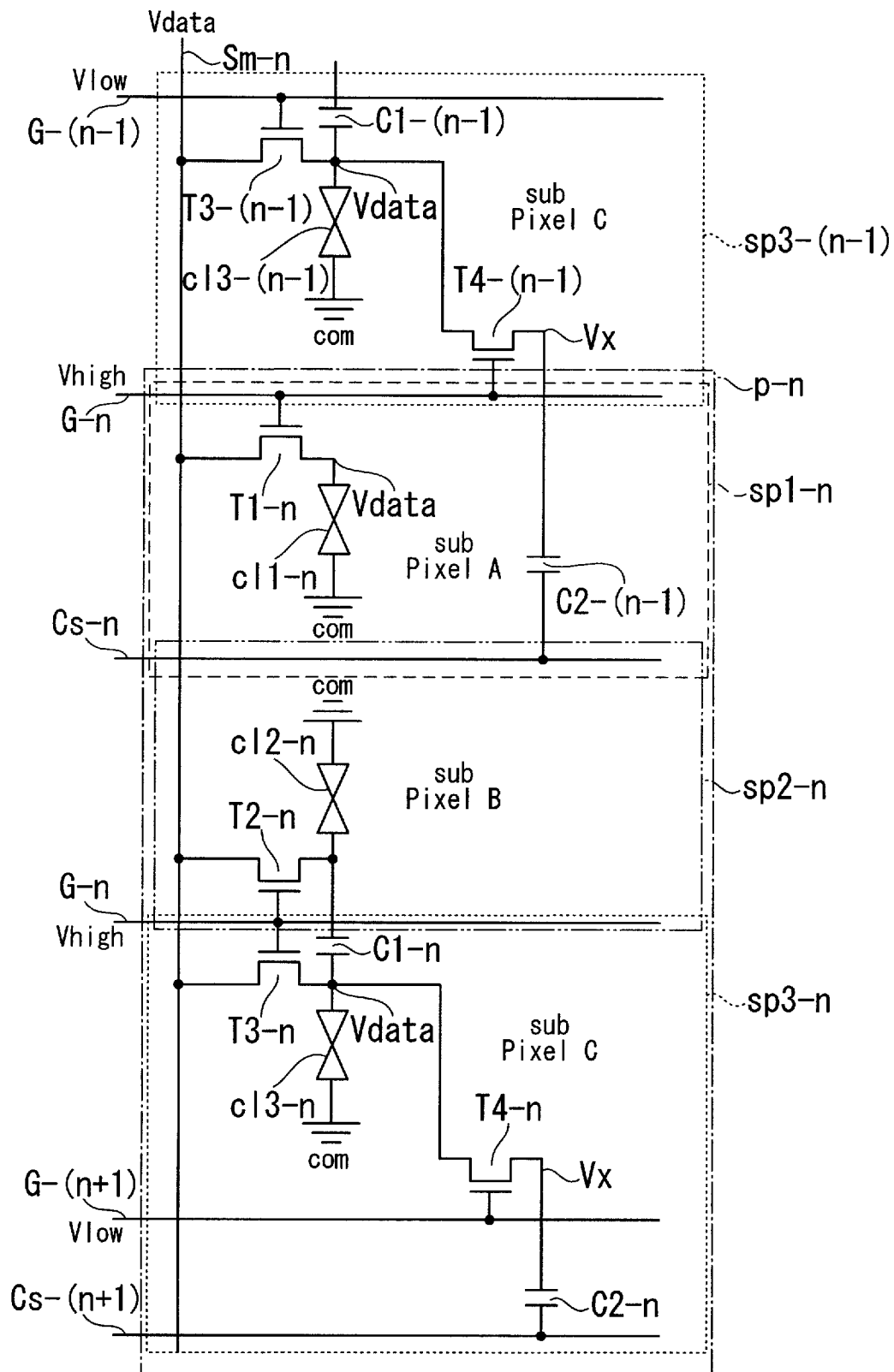
[図2]



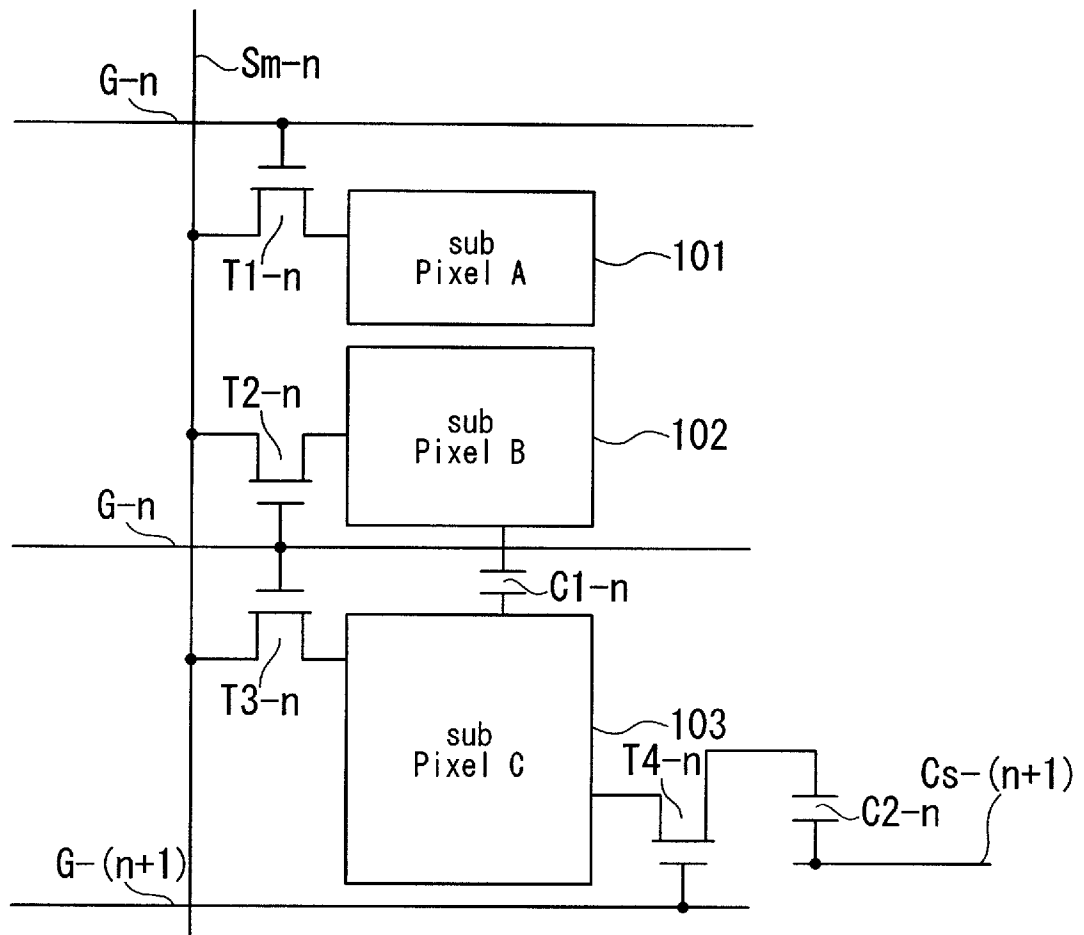
[図3]



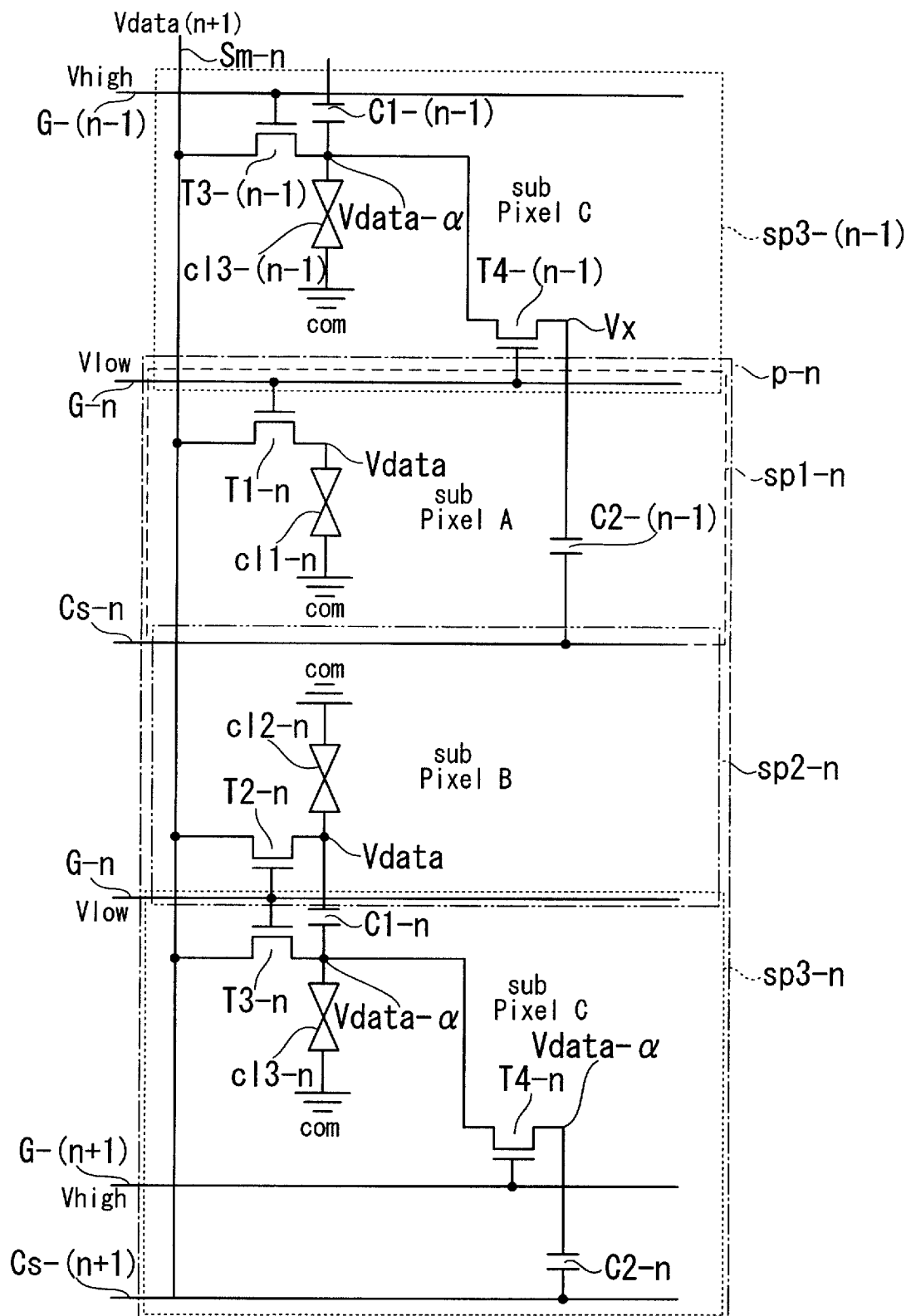
[図4]



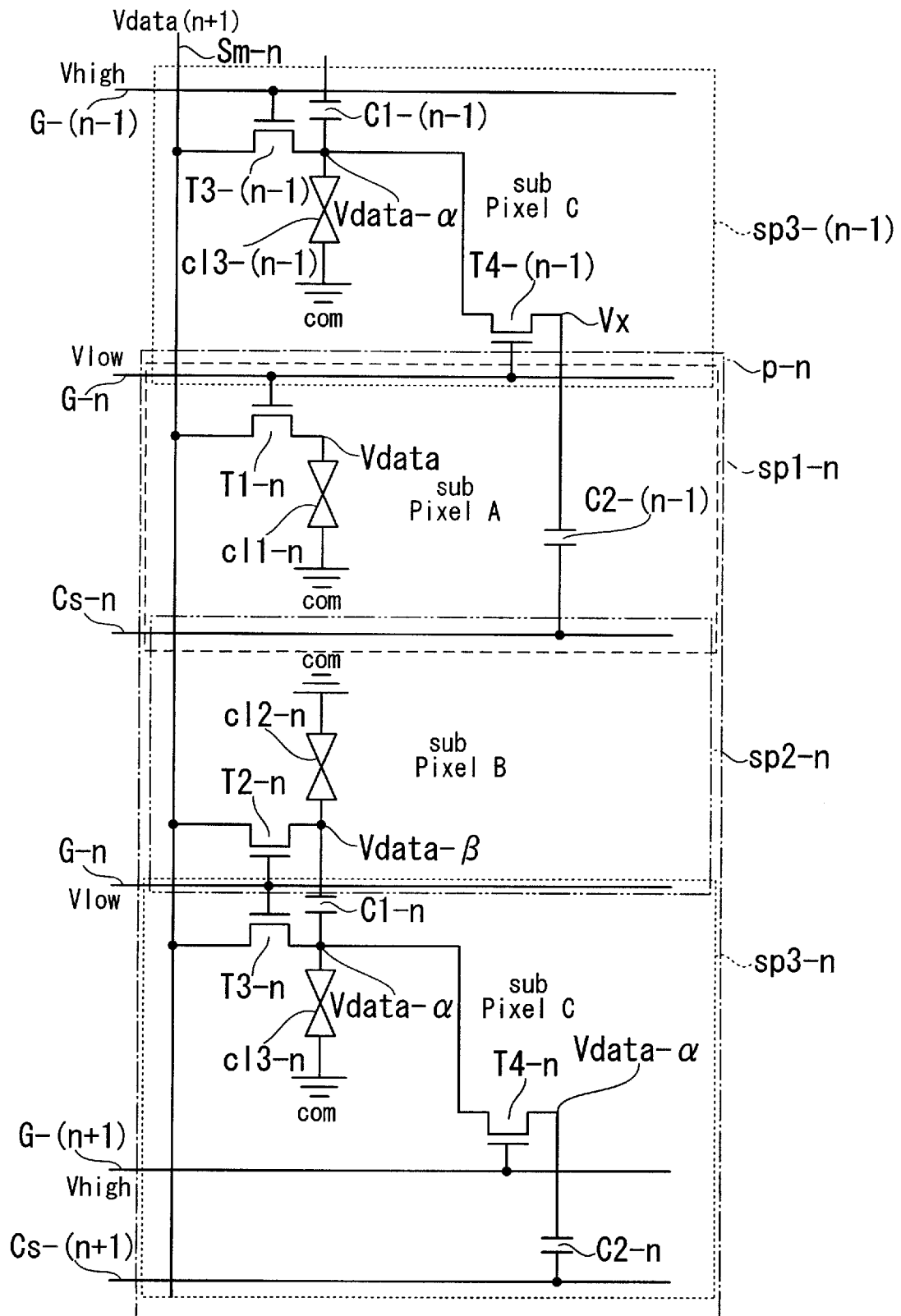
[図5]



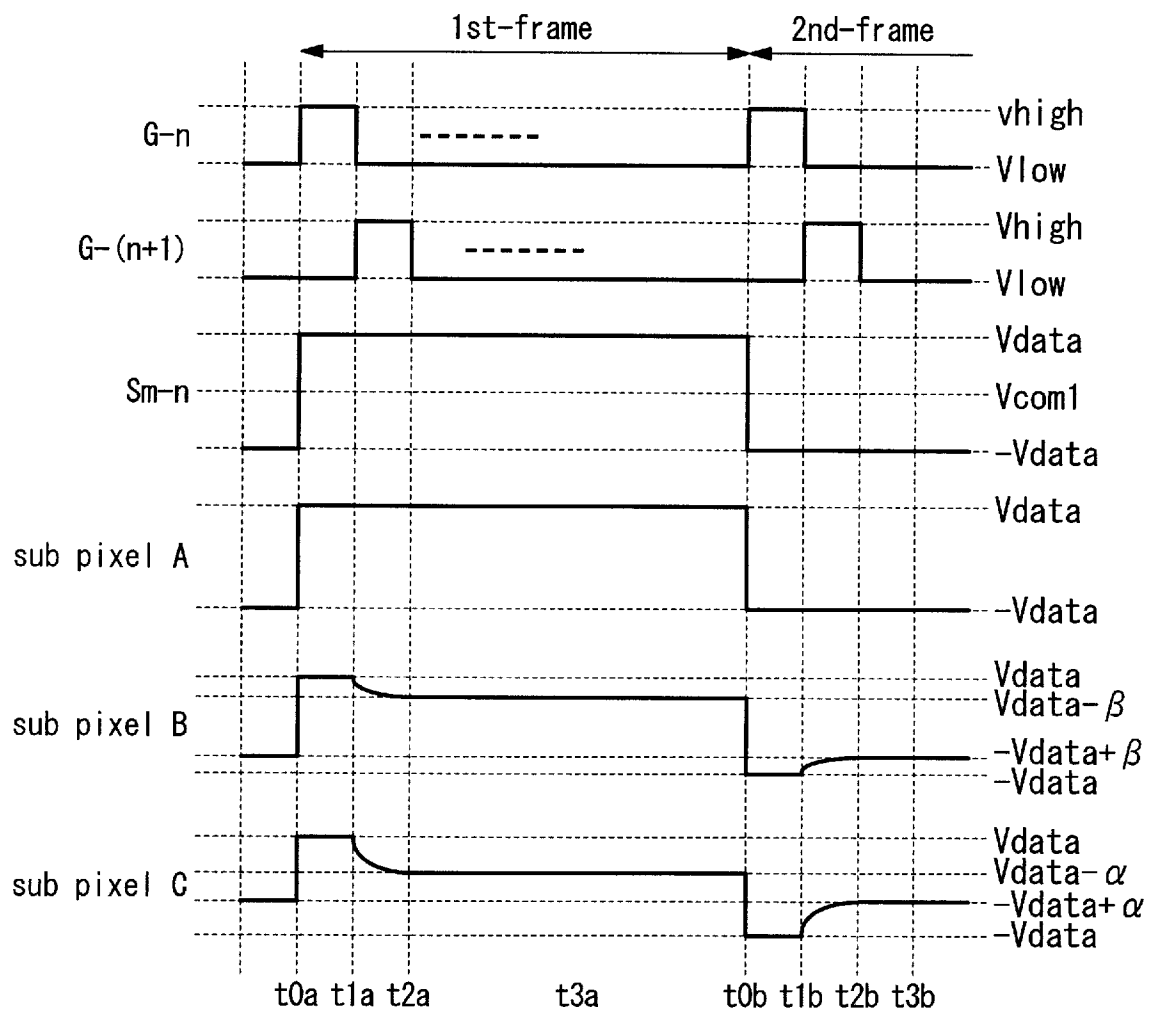
[図6]



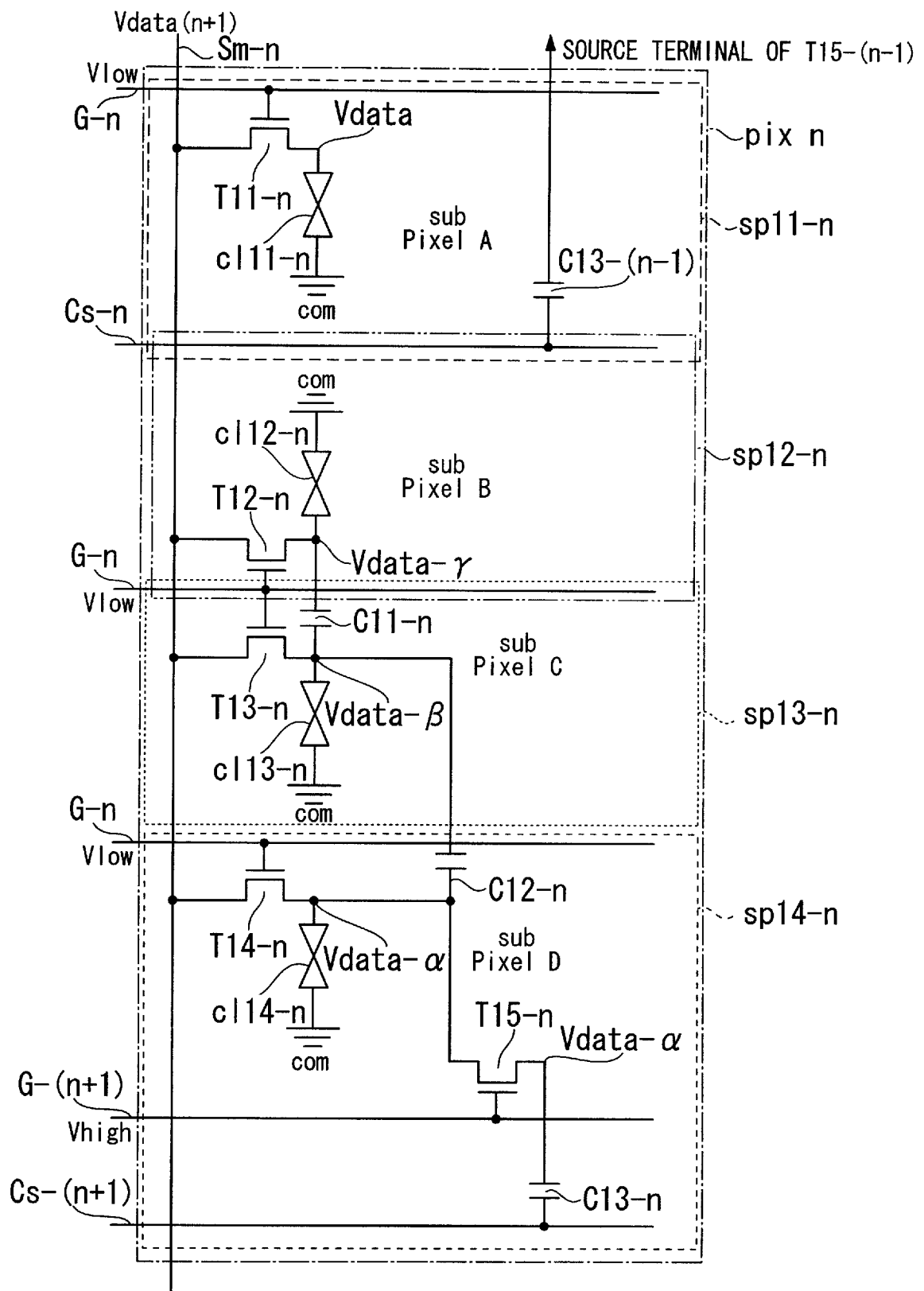
[図7]



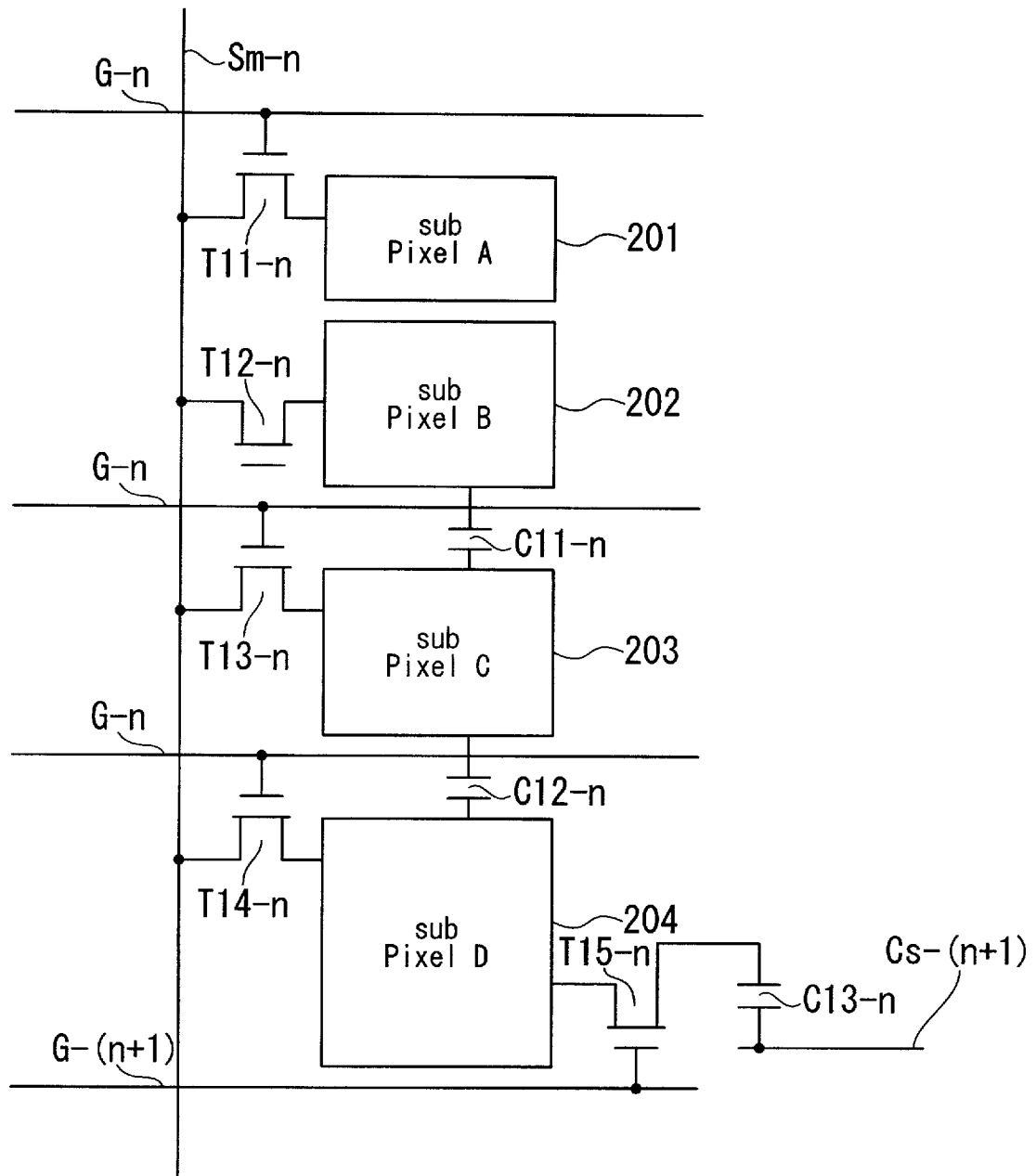
[図8]



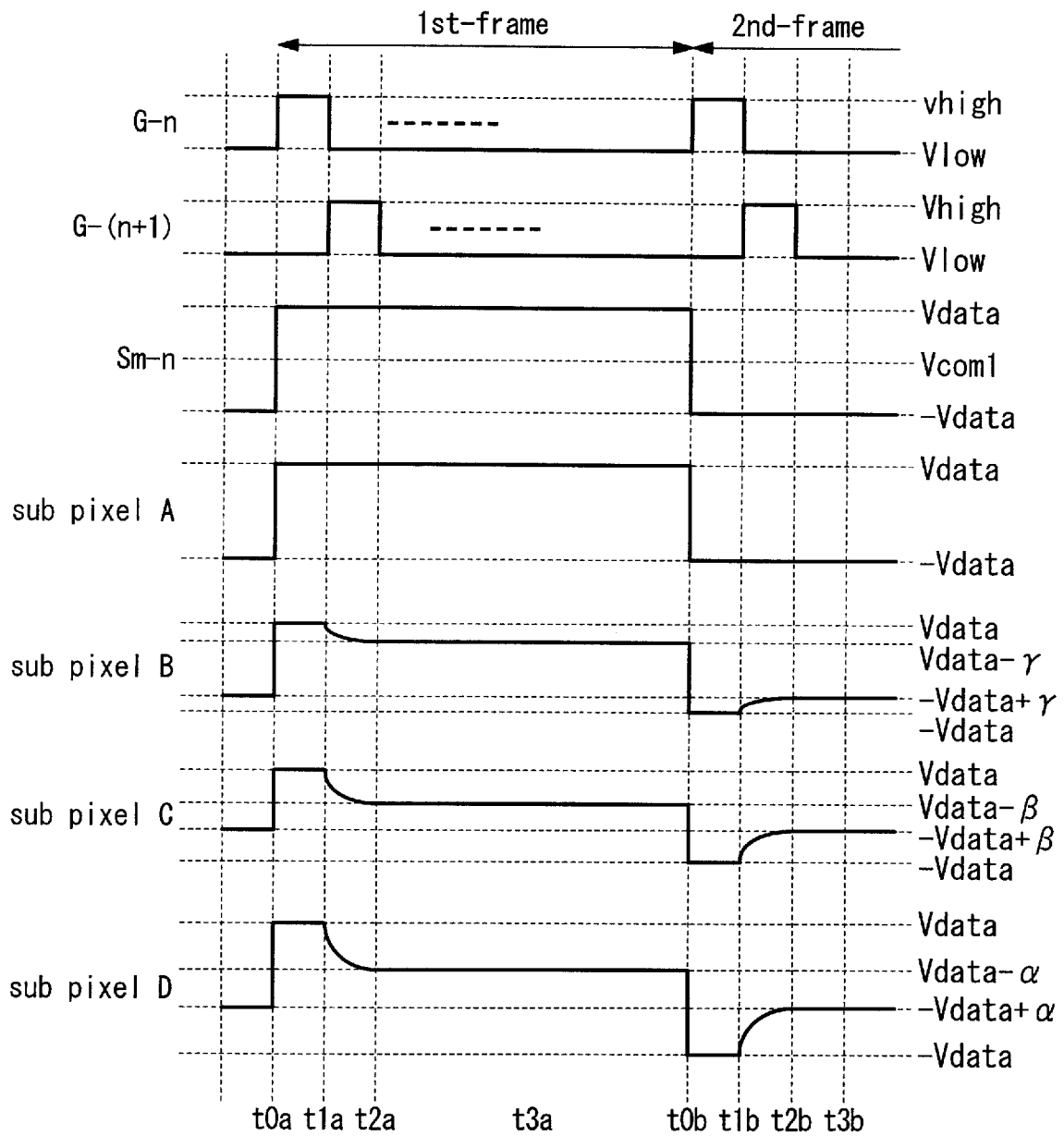
[図9]



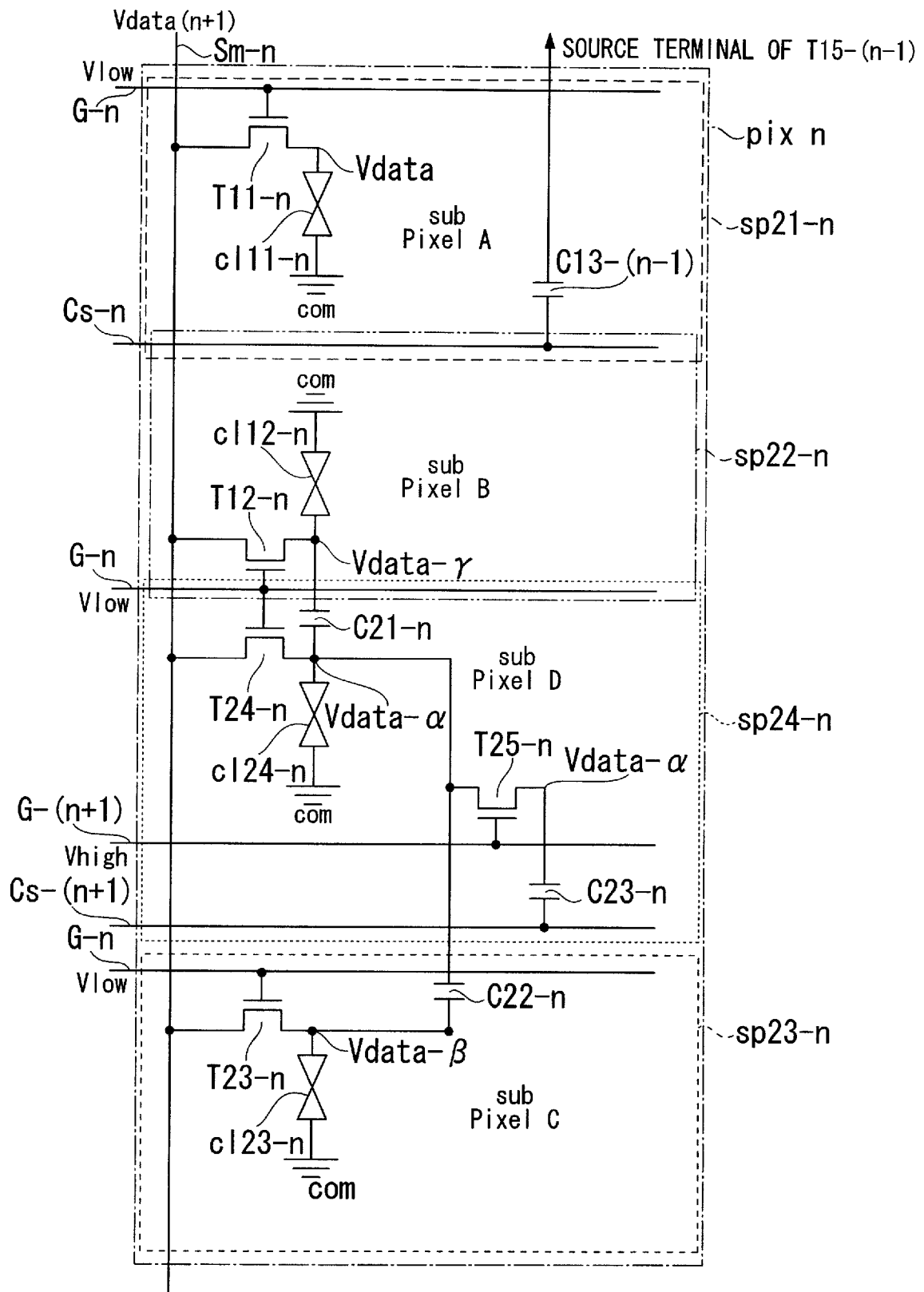
[図10]



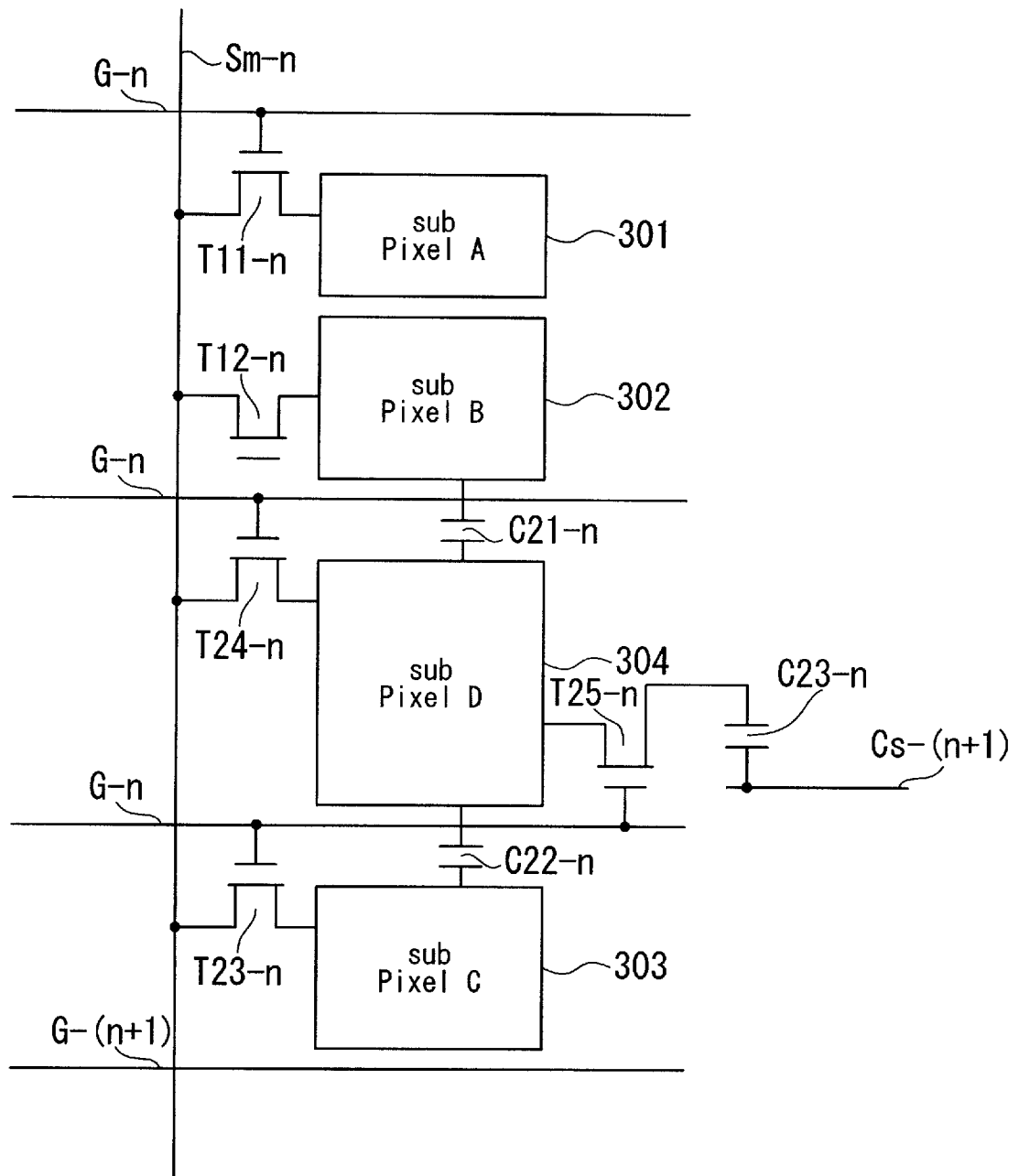
[図11]



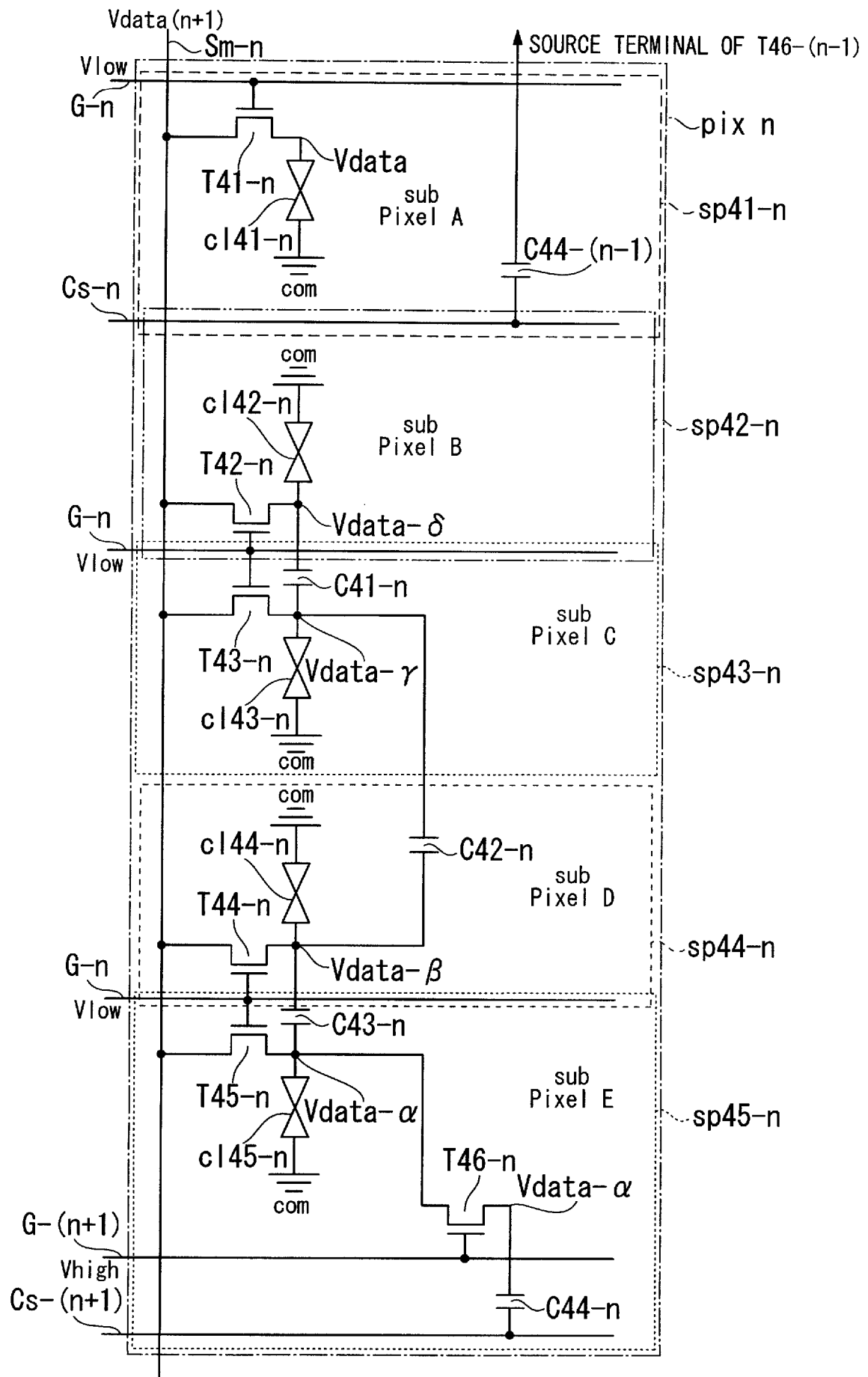
[図12]



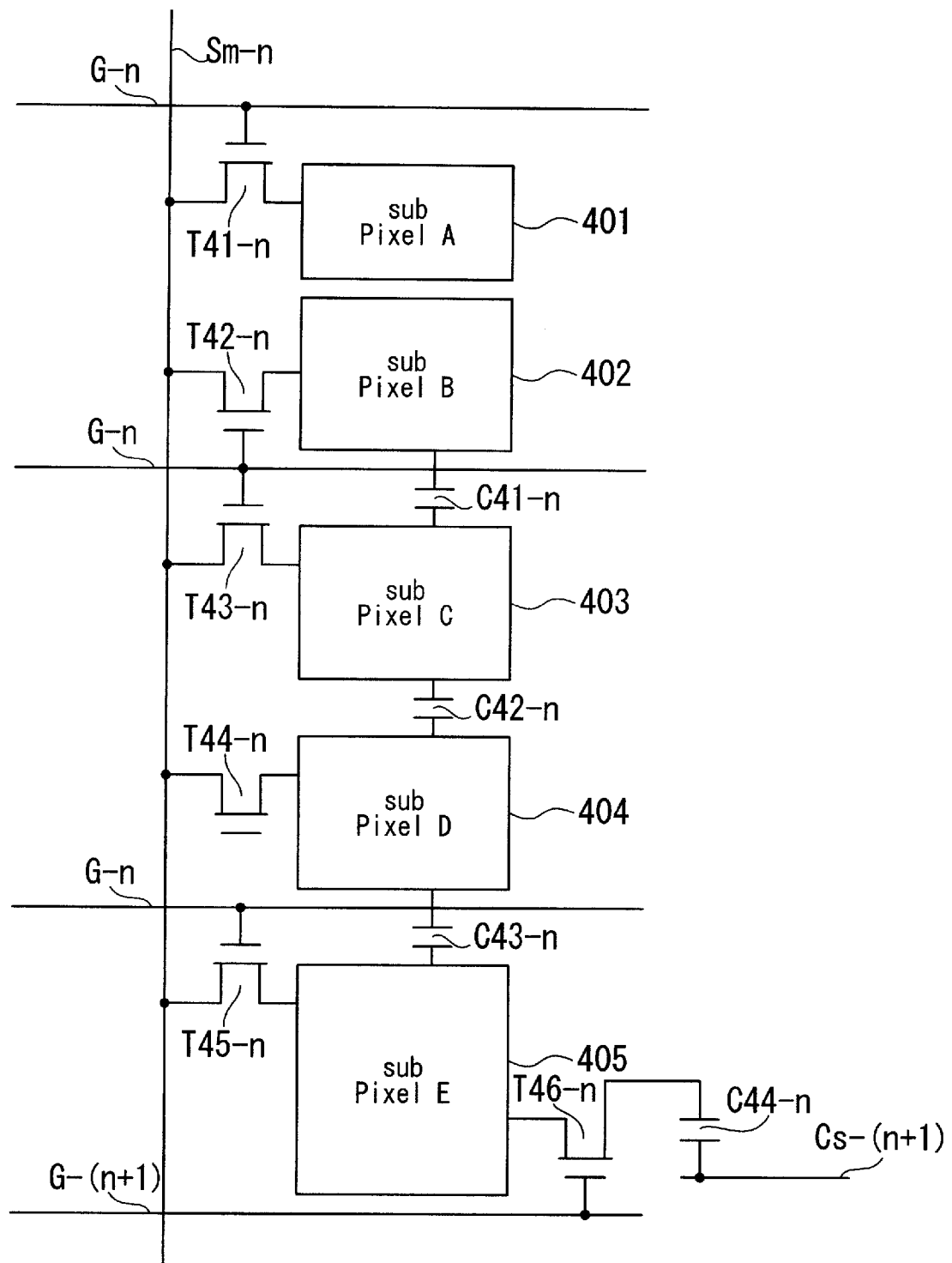
[図13]



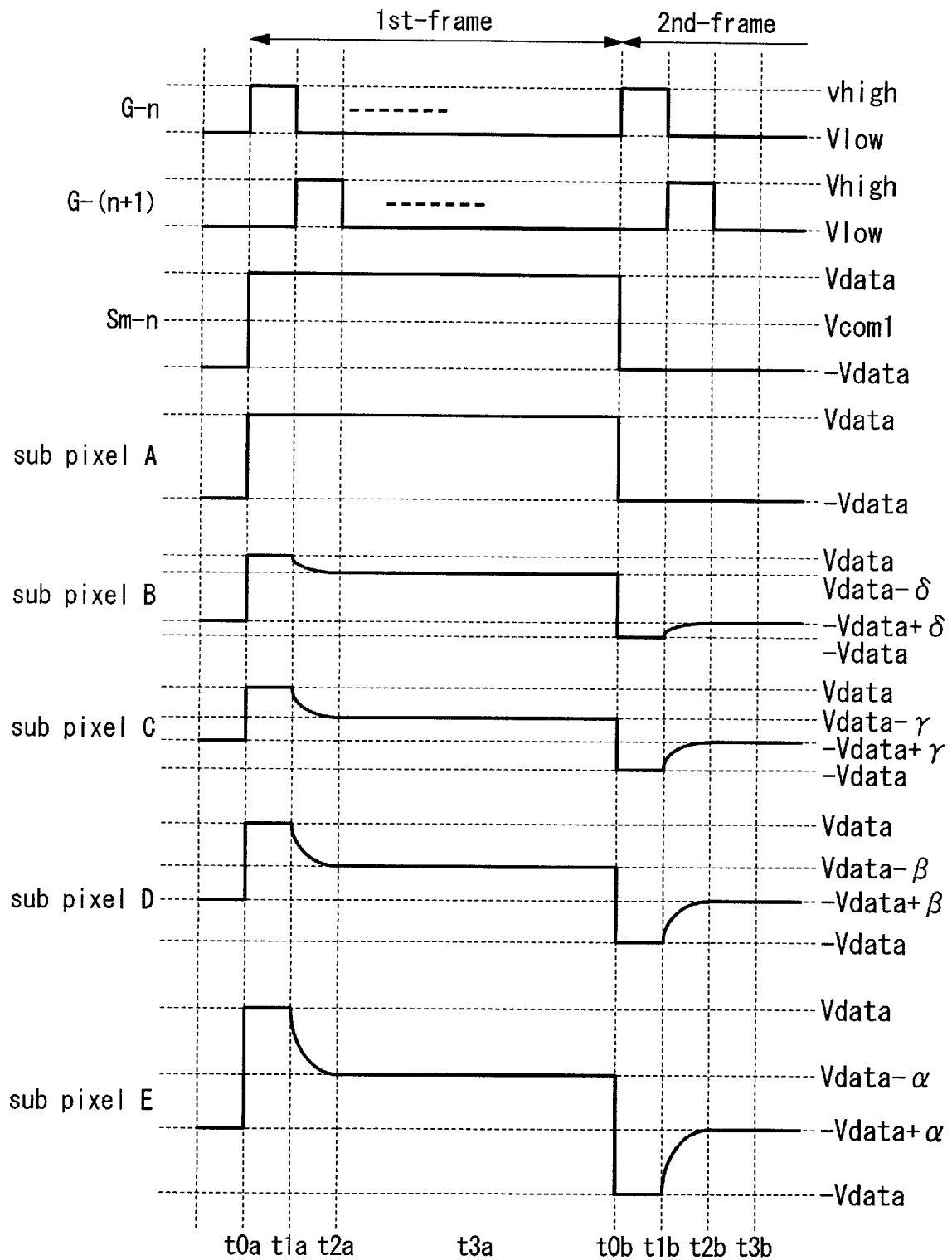
[図14]



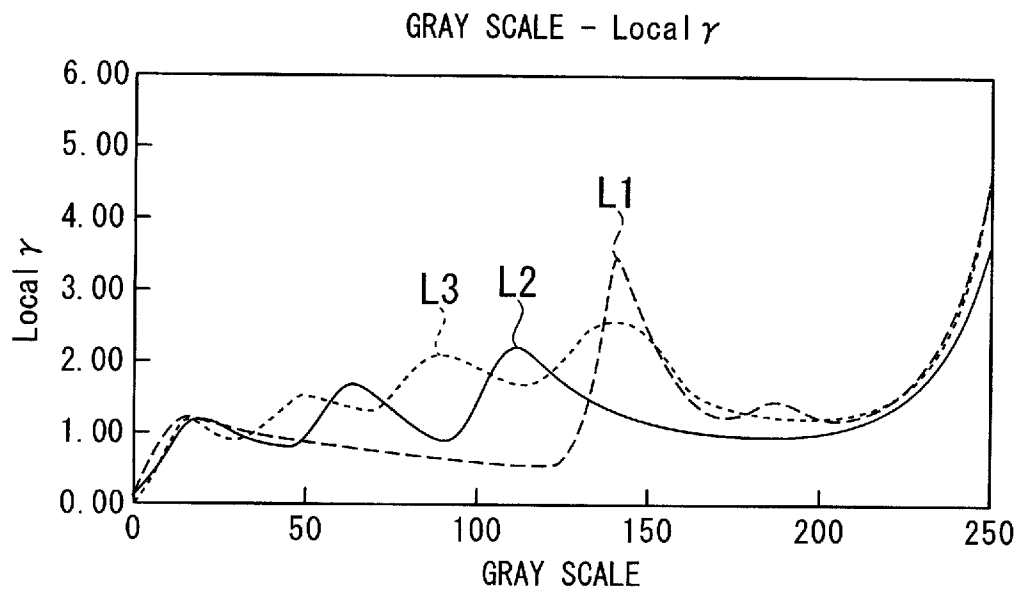
[図15]



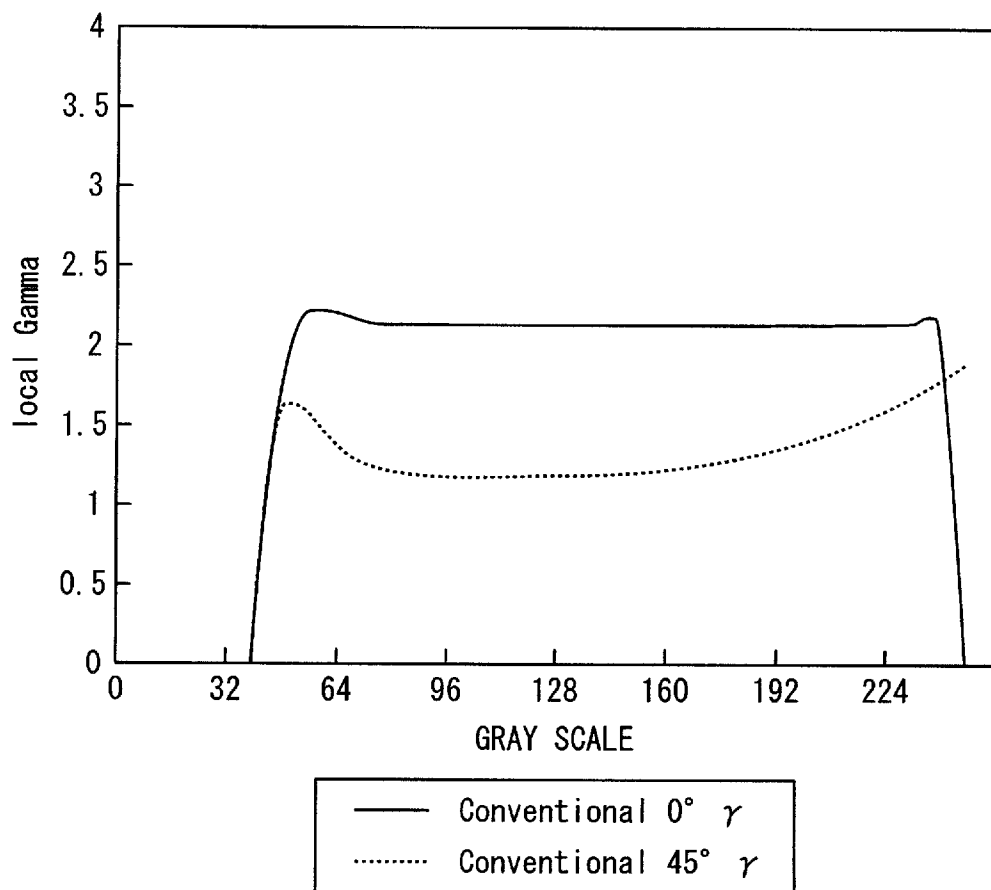
[図16]



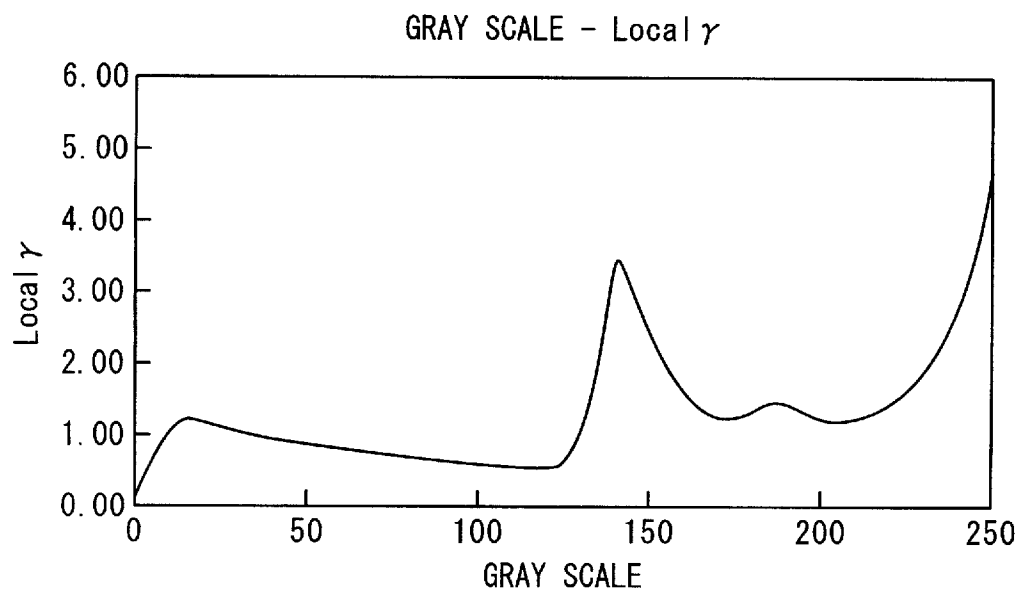
[図17]



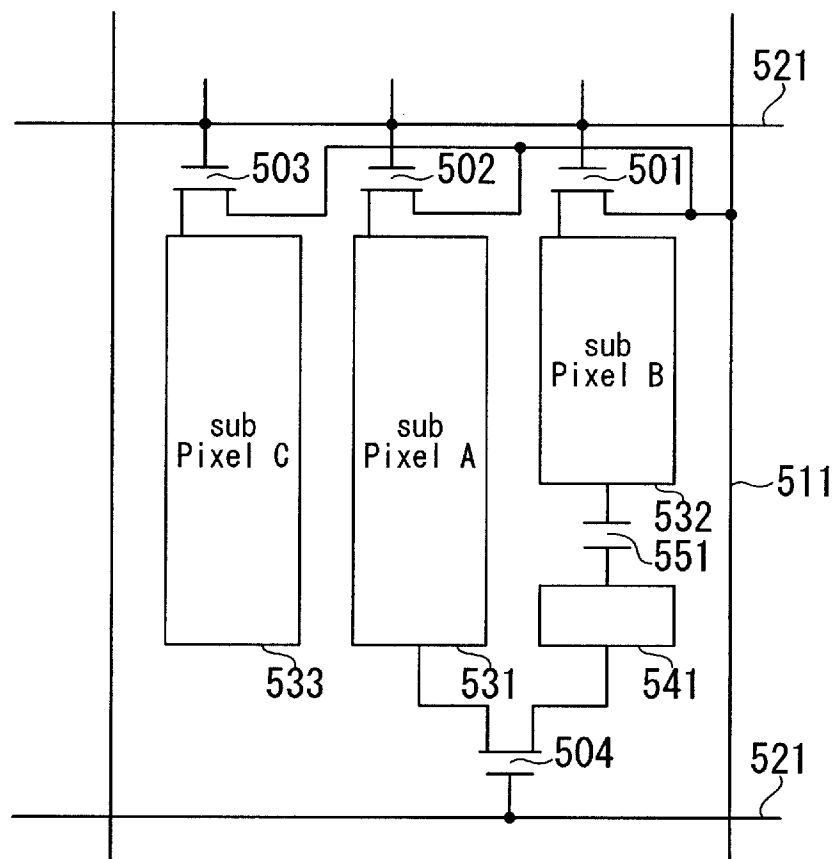
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/062084

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G02F1/1343(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G02F1/133, G02F1/1343

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-330634 A (Sharp Corp.), 07 December 2006 (07.12.2006), entire text; all drawings & US 2006/290827 A1	1-5
A	JP 2010-61034 A (Sony Corp.), 18 March 2010 (18.03.2010), entire text; all drawings & US 2010/60676 A1 & CN 101666933 A & KR 10-2010-29028 A	1-5
A	JP 2008-203849 A (Chi Mei Optoelectronics Corp.), 04 September 2008 (04.09.2008), entire text; all drawings & US 2008/198285 A1	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
06 July, 2011 (06.07.11)

Date of mailing of the international search report
19 July, 2011 (19.07.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G02F1/1368 (2006.01)i, G02F1/133 (2006.01)i, G02F1/1343 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G02F1/1368, G02F1/133, G02F1/1343

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-330634 A（シャープ株式会社）2006.12.07, 全文全図 & US 2006/290827 A1	1-5
A	JP 2010-61034 A（ソニー株式会社）2010.03.18, 全文全図 & US 2010/60676 A1 & CN 101666933 A & KR 10-2010-29028 A	1-5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 7 . 2 0 1 1

国際調査報告の発送日

1 9 . 0 7 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小濱 健太

2 L

4 0 0 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 9 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-203849 A (チー メイ オプトエレクトロニクス コーポレーション) 2008.09.04, 全文全図 & US 2008/198285 A1	1-5