

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年9月1日(01.09.2016)



(10) 国際公開番号

WO 2016/136852 A1

- (51) 国際特許分類:
H02M 3/157 (2006.01) H03K 7/08 (2006.01)
H02M 3/155 (2006.01)
- (21) 国際出願番号: PCT/JP2016/055543
- (22) 国際出願日: 2016年2月25日(25.02.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-038912 2015年2月27日(27.02.2015) JP
- (71) 出願人: 株式会社オートネットワーク技術研究所 (AUTONETWORKS TECHNOLOGIES, LTD.) [JP/JP]; 〒5108503 三重県四日市市西末広町1番14号 Mie (JP). 住友電装株式会社 (SUMITOMO WIRING SYSTEMS, LTD.) [JP/JP]; 〒5108503 三重県四日市市西末広町1番14号 Mie (JP). 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 Osaka (JP).
- (72) 発明者: 東 誠 (HIGASHI, Makoto); 〒5108503 三重県四日市市西末広町1番14号 株式会社オー

トネットワーク技術研究所内 Mie (JP). 高橋 成治 (TAKAHASHI, Seiji); 〒5108503 三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内 Mie (JP). 阿部 武徳 (ABE, Takenori); 〒5108503 三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内 Mie (JP).

(74) 代理人: 河野 英仁, 外 (KOHNO, Hideto et al.); 〒5400035 大阪府大阪市中央区釣鐘町二丁目4番3号 河野特許事務所 Osaka (JP).

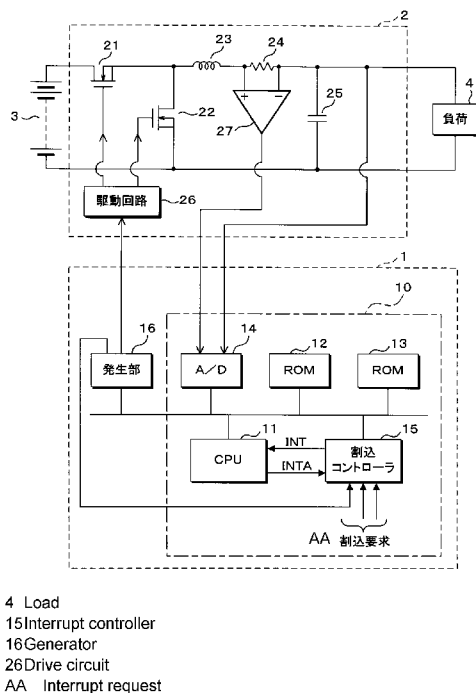
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SIGNAL GENERATION CIRCUIT, VOLTAGE CONVERTER, AND SIGNAL GENERATION METHOD

(54) 発明の名称: 信号発生回路、電圧変換装置及び信号発生方法

[図1]



(57) Abstract: Provided are: a signal generation circuit, a voltage converter, and a signal generation method in which the minimum unit of a value that is set in a generator for generating a signal having a cycle and an ON time that correspond to a set value can be made substantially less than the actual minimum unit. A CPU 11 determines, for each N cycles of a PWM signal generated by a generator 16, the setting value of an ON time in which the PWM signal having the ON time closest to the ON time corresponding to the product of a reference cycle and a target duty is generated in the generator 16, and sets the setting value in the generator 16. Furthermore, the CPU 11: multiplies by N the cycle obtained by dividing the ON time of the PWM signal generated by the generator 16 according to the determined setting value of the ON time by the target duty; specifies the settable value of the cycle in which the PWM signal having the cycle nearest to the N-fold cycle is generated; determines the setting value of the cycle for N cycles on the basis of the quotient Q and the remainder R obtained by dividing the specified settable value by N; and sets the setting value in the generator 16 for each cycle of the PWM signal.

(57) 要約: 設定された値に応じた周期及びオン時間を有する信号を発生する発生部に設定する値の最小単位を実際の最小単位よりも実質的に小さくすることが可能な信号発生回路、電圧変換装置及び信号発生方法を提供する。CPU 11は、発生部16が発生するPWM信号のN周期毎に、基準周期及び目標のデューティの積に相当するオン時間に最も近いオン時間を有するPWM信号を発生部16に発生させるオン時間の設定値を決定して発生部16に設定する。更に、CPU 11は、決定したオン時間の設定値に応じて発生部16が発生するPWM信号のオン時間を目標のデューティで除算して得た周期をN倍し、N倍した周期に最も近い周期を有するPWM信号を発生させる周期の設定可能値を特定し、特定した設定可能値をNで除算して得た商Q及び剰余Rに基づいてN周期分の周期の設定値を決定して、PWM信号の

可能値をNで除算して得た商Q及び剰余Rに基づいてN周期分の周期の設定値を決定して、PWM信号の周期毎に発生部16に設定する。



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 信号発生回路、電圧変換装置及び信号発生方法

技術分野

[0001] 本発明は、設定された値に応じた周期及びオン時間を有する信号を発生する発生部と、目標のデューティに応じて発生部に設定可能な周期及びオン時間夫々の設定可能値を設定する制御部とを備える信号発生回路、電圧変換装置及び信号発生方法に関する。

背景技術

[0002] 従来、スイッチング素子をPWM（Pulse Width Modulation）信号で駆動することによって電圧を変換する電圧変換装置が広く利用されている。このPWM制御方式の電圧変換装置では、例えば電圧の目標値に基づいて電圧指令値を算出し、算出した電圧指令値に応じた値をPWM信号の発生部に設定することによって、設定された値に応じたデューティを有するPWM信号を発生する。このように、スイッチング素子を駆動するPWM信号のデューティを電圧の目標値に応じて変化させることにより、電圧の目標値に応じた出力電圧が得られる。

[0003] ここで、PWM信号の発生部に設定可能な値（以下、設定可能値という）の最小単位（即ち最小の増分）が比較的大きい場合は、目標値の変化に対してPWM信号のデューティを滑らかに変化させることができなくなり、出力電圧が階段状に変化することとなる。また例えば、PWM制御による操作量としてPWM信号の発生部に設定すべき目標の値が算出される場合、目標の値の最小単位よりも設定可能値の最小単位の方が大きいときは、電圧の目標値の変化及び負荷変動に対してPWM信号のデューティを滑らかに変化させることができなくなり、出力電圧に誤差が生じる。

[0004] これに対し、特許文献1には、PWM信号のオン／オフ時間をPWM制御の周期毎に演算する際に、電圧指令値を被除数とする除算の剰余を切り捨てて演算することによってオン／オフ時間を算出し、算出結果に基づいてPW

Mパルスを出力するPWMインバータが開示されている。上記の演算で生じた剰余は、オン／オフ時間に反映されずに切り捨てられた電圧指令値に相当する。

- [0005] このPWMインバータでは、切り捨てた剰余を次の周期以降の演算における電圧指令値に順次加算することにより、前回の演算でオン／オフ時間に反映されなかった剰余が次の演算の際に新たなオン／オフ時間に反映され、その際の剰余が更に次の演算に反映されることが繰り返される。このため、PWM信号の発生部に対して設定されるオン／オフ時間の平均値を、本来設定されるべき目標のオン／オフ時間に近づけることができる。つまり、発生部に設定される値の最小単位を、平均的には実際の最小単位よりも小さくすることができる。

先行技術文献

特許文献

- [0006] 特許文献1：特開平3－98470号公報

発明の概要

発明が解決しようとする課題

- [0007] しかしながら、特許文献1に開示された技術では、PWM制御の周期毎に除算を含む演算を実行してPWM信号のオン／オフ時間を決定するため、周期毎に多大な処理負荷が発生する。このため、処理能力が低い安価なマイクロコンピュータでは、上記の演算処理をPWM制御の1周期内で完了させることができない虞があった。

- [0008] 本発明は斯かる事情に鑑みてなされたものであり、その目的とするところは、設定された値に応じた周期及びオン時間を有する信号を発生する発生部に設定する値の最小単位を実際の最小単位よりも実質的に小さくすることが可能な信号発生回路、電圧変換装置及び信号発生方法を提供することにある。

課題を解決するための手段

- [0009] 本発明の一態様に係る信号発生回路は、設定された値に応じた周期及びオン時間を有する信号を発生する発生部と、目標のデューティに応じて前記発生部に設定可能な周期及びオン時間夫々の設定可能値を設定する制御部とを備え、前記発生部は、外部の電圧変換回路に対してPWM信号を発生させ、前記電圧変換回路をPWM制御することにより電圧を変換させる信号発生回路において、前記制御部は、前記信号のN周期（Nは2以上の自然数）毎に、所定の周期及び前記目標のデューティの積に近いオン時間を有する信号を発生させるように、前記発生部に設定するオン時間の設定可能値を決定する第1決定部と、該第1決定部が決定したオン時間の設定可能値に応じて発生する信号のオン時間を前記目標のデューティで除して得られる周期のN周期分の総和を算出する第1算出部と、該第1算出部が算出した総和に近い周期を有する信号を発生させる周期の設定可能値を特定する特定部と、該特定部が特定した周期の設定可能値をNで除して商及び剰余を算出する第2算出部と、該第2算出部が算出した商及び剰余に基づいて、前記発生部に設定するN周期分の周期の設定可能値を決定する第2決定部とを有することを特徴とする。
- [0010] 本発明の一態様に係る信号発生回路は、前記第2決定部は、前記商を前記周期の設定可能値の基準値に特定し、前記剰余を前記周期の設定可能値の最小単位に分割してN周期分の基準値の一部に夫々加算することによりN周期分の設定可能値を決定するようにしてあることを特徴とする。
- [0011] 本発明の一態様に係る信号発生回路は、所定のデューティとN周期分の周期及びオン時間夫々の設定可能値とを対応付けて記憶する記憶部を備え、前記第1及び第2決定部は、前記所定のデューティに対応するN周期分の周期及びオン時間夫々の設定可能値を前記記憶部の記憶情報から決定するようにしてあることを特徴とする。
- [0012] 本発明の一態様に係る信号発生回路は、前記制御部は、前記第2決定部が決定したN周期分の周期及びオン時間夫々の設定可能値を前記記憶部から読み出して前記発生部に設定するようにしてあることを特徴とする。

[0013] 本発明の一態様に係る電圧変換装置は、上述の信号発生回路と、該信号発生回路が発生した信号のデューティに応じたスイッチングによって電圧を変換する電圧変換回路と、該電圧変換回路が変換した電圧を検出する検出部とを備える電圧変換装置であって、前記信号発生装置が備える制御部は、前記検出部が検出した電圧に基づいて前記目標のデューティを算出する第3算出部を有することを特徴とする。

[0014] 本発明の一態様に係る信号発生方法は、設定された値に応じた周期及びオン時間を有する信号を発生する発生部と、目標のデューティに応じて前記発生部に設定可能な周期及びオン時間夫々の設定可能値を設定する制御部とを備え、前記発生部は、外部の電圧変換回路に対してPWM信号を発生させ、前記電圧変換回路をPWM制御することにより電圧を変換させる信号発生回路で前記信号を発生させる方法において、前記信号のN周期（Nは2以上の自然数）毎に、所定の周期及び前記目標のデューティの積に近いオン時間を有する信号を発生させるように、前記発生部に設定するオン時間の設定可能値を決定し、決定したオン時間の設定可能値に応じて発生する信号のオン時間を前記目標のデューティで除して得られる周期のN周期分の総和を算出し、算出した総和に近い周期を有する信号を発生させる周期の設定可能値を特定し、特定した設定可能値をNで除して商及び剰余を算出し、算出した商及び剰余に基づいて、前記発生部に設定するN周期分の周期の設定可能値を決定することを特徴とする。

[0015] 本態様にあつては、制御部は、目標のデューティに応じて発生部に設定可能な周期及びオン時間夫々の設定可能値を決定して発生部に設定する。ここでの設定可能値は、発生部に設定可能な値の最小単位の整数倍の値である。具体的には、制御部は、発生部が発生する信号のN周期毎に、所定の周期及び目標のデューティの積に相当するオン時間に近いオン時間を有する信号を発生部に発生させるオン時間の設定可能値を決定し、決定したオン時間の設定可能値を発生部に設定する。これと並行して、制御部は、決定したオン時間の設定可能値に応じて発生部が発生する信号のオン時間を目標のデューテ

ィで除して得た周期をN倍し、N倍した周期に近い周期を有する信号を発生させる周期の設定可能値を特定し、特定した設定可能値をNで除算して得た商及び剰余に基づいてN周期分の周期の設定可能値を決定して、上記信号の周期毎に1つずつ発生部に設定する。

これにより、制御部が決定して発生部に設定するN周期分の周期の設定可能値について、発生部が発生する信号のN周期にわたる平均的なデューティが目標のデューティに近くなるように決定されるため、N周期分の周期の設定可能値全体についての平均的な値が、周期の設定可能値の最小単位（即ち最小の増分）よりもきめ細かく調整される。

[0016] 本態様にあつては、上述の除算結果の商を、N周期分の周期の設定可能値全体についての基準値に特定し、上述の除算結果の剰余を周期の設定可能値の最小単位（即ち最小の増分）に分割し、分割した最小単位の値をN周期分の基準値の一部に夫々加算してN周期分の周期の設定可能値を決定する。

これにより、上記剰余を最小単位に分割した値が、N周期分の周期の設定可能値に適当に配分されることとなり、N周期分の周期の設定可能値の一部が上記基準値に周期の設定可能値の最小単位の値を加えた値と決定され、上記設定可能値の一部を除く他の設定可能値が上記基準値と決定される。

[0017] 本態様にあつては、予め決定された周期及びオン時間夫々の設定可能値のN周期分の値と目標のデューティとが対応付けられて記憶部に記憶されている。制御部は、目標のデューティに応じて、発生部に設定する周期及びオン時間夫々の設定可能値のN周期分を記憶部の記憶情報から決定する。

これにより、目標のデューティに応じて決定すべきN周期分の周期及びオン時間夫々の設定可能値が、制御部による制御の実行時に容易に決定される。

[0018] 本態様にあつては、制御部は、記憶部から周期及びオン時間夫々の設定可能値をN周期毎に順次読み出して発生部に設定する。

これにより、記憶部の内容が、N周期にわたって順次発生部に設定される。

[0019] 本態様にあつては、上述の信号発生回路が発生した信号のデューティに応じたスイッチングによって電圧変換回路が電圧を変換し、変換された電圧に基づいて、信号発生回路の制御部が上述の目標のデューティを算出する。

これにより、信号を周期的に発生する発生部に設定する値の最小単位を実際の最小単位よりも実質的に小さくすることが可能な信号発生回路が電圧変換装置に適用されて、出力電圧の精度が向上する。

発明の効果

[0020] 上記によれば、制御部が決定して発生部に設定するN周期分の周期の設定可能値について、発生部が発生する信号のN周期分の平均的なデューティが目標のデューティに近くなるように決定されるため、N周期分の周期の設定可能値全体についての平均的な値が、周期の設定可能値の最小単位（即ち最小の増分）よりもきめ細かく調整される。

従つて、設定された値に応じた周期及びオン時間を有する信号を発生する発生部に設定する値の最小単位を実際の最小単位よりも実質的に小さくすることが可能となる。

図面の簡単な説明

[0021] [図1]本発明の実施の形態1に係る電圧変換装置の構成例を示すブロック図である。

[図2]本発明の実施の形態1に係る信号発生回路の一部の構成例を示すブロック図である。

[図3]発生部の動作を説明するためのタイミング図である。

[図4]N周期分の設定値によってPWM信号の平均的なデューティが定まる動作を説明するための説明図である。

[図5]本発明の実施の形態1に係る信号発生回路で周期割込処理を実行するCPUの処理手順を示すフローチャートである。

[図6]設定値決定のサブルーチンに係るCPUの処理手順を示すフローチャートである。

[図7]設定値決定のサブルーチンに係るCPUの他の処理手順の一部を示すフ

ローチャートである。

[図8]目標のデューティに応じて決定されたN周期分の周期及びオン時間夫々の設定値の一覧を示す図表である。

[図9]本発明の実施の形態1に係る信号発生回路でPWM割込処理を実行するCPUの処理手順を示すフローチャートである。

[図10]本発明の実施の形態2に係る信号発生回路で周期割込処理を実行するCPUの処理手順を示すフローチャートである。

[図11]本発明の実施の形態2に係る信号発生回路でPWM割込処理を実行するCPUの処理手順を示すフローチャートである。

発明を実施するための形態

[0022] 以下、本発明をその実施の形態を示す図面に基づいて詳述する。

(実施の形態1)

図1は、本発明の実施の形態1に係る電圧変換装置の構成例を示すブロック図であり、図2は、本発明の実施の形態1に係る信号発生回路の一部の構成例を示すブロック図である。図中1は信号発生回路であり、信号発生回路1は、周期及びオン時間が変化するPWM信号を発生して電圧変換回路2に与える。電圧変換回路2は、外部のバッテリー3の電圧を変換して外部の負荷4に供給する。ここでは電圧変換回路2がバッテリー3の電圧を降圧するが、バッテリー3の電圧を昇圧又は昇降圧するものであってもよい。

[0023] 信号発生回路1は、CPU (Central Processing Unit) 11を有するマイクロコンピュータである。CPU 11は、プログラム等の情報を記憶するROM (Read Only Memory) 12、一時的に発生した情報を記憶するRAM (Random Access Memory) 13、アナログの電圧をデジタル値に変換するA/D変換器 (検出部に相当) 14、複数の割込要求を処理する割込コントローラ15、及びPWM信号を発生する発生部16と互いにバス接続されている。信号発生回路1のうち、発生部16を除いたものが制御部10であるが、発生部16が制御部10に含まれていてもよい。

[0024] 割込コントローラ15は、複数の割込要求を受け付け可能に構成されてお

り、何れかの割込要求を受け付けた場合、CPU 11に対してインタラプトを要求する信号（所謂INT信号）を与え、CPU 11からアクノレッジ信号（所謂INTA信号）が与えられたときに、各割込要求に対応する割込ベクタをバスに送出する。バスに送出された割込ベクタがCPU 11に読み込まれた場合、CPU 11が各割込要求に対応する割込処理を実行するようになっている。

[0025] 電圧変換回路2は、ドレインがバッテリー3の正極端子に接続されたNチャネル型のMOSFET（Metal Oxide Semiconductor Field Effect Transistor：以下、単にFETという）21と、該FET 21のソース及びバッテリー3の負極端子夫々にドレイン及びソースが接続されたFET 22と、発生部16から与えられたPWM信号に基づいてFET 21及びFET 22夫々のゲートに駆動信号を与える駆動回路26とを備える。

[0026] FET 22のドレイン及びソース間には、インダクタ23及び抵抗器24の直列回路を介して負荷4が接続されている。負荷4には、コンデンサ25が並列に接続されている。抵抗器24及びコンデンサ25の接続点の電圧が、A/D変換器14に与えられる。抵抗器24の両端には電流検出器27が接続されており、電流検出器27の検出電圧がA/D変換器14に与えられる。

[0027] 図2に移って、ROM 12は、後述する目標のデューティに対応付けて予め決定された複数の設定値を記憶する設定値記憶テーブル（記憶部に相当）121を含む。但し、本実施の形態1では、設定値記憶テーブル121を用いない。

[0028] RAM 13は、複数の設定値の記憶及び読み出しを各別のタイミングで行うために二重化された設定値記憶領域131a及び131bを含む。設定値記憶領域131a（又は131b）に記憶された設定値は、割込コントローラ15が調停する後述の割込処理にて、順次発生部16に設定されるようになっている。

[0029] 発生部16は、後述する周期及びオン時間夫々の設定値が設定されるレジ

スタバッファ 161 及び 162 と、レジスタバッファ 161 及び 162 夫々の内容が周期的にロードされる周期レジスタ 163 及びデューティレジスタ 164 と、周期レジスタ 163 及びデューティレジスタ 164 夫々の内容に応じた周期及びオン時間を有する PWM 信号を生成する PWM 信号生成部 165 とを有する。PWM 信号生成部 165 は、周期レジスタ 163 及びデューティレジスタ 164 夫々に対してレジスタバッファ 161 及び 162 の内容をロードするためのロード信号を与える。

[0030] PWM 信号生成部 165 は、不図示の内部クロックと、周期レジスタ 163 及びデューティレジスタ 164 夫々の内容とに基づいて、内部クロックの周期の整数倍の周期及びオン時間を有する PWM 信号を生成する。PWM 信号生成部 165 が生成した PWM 信号は、駆動回路 26 に与えられると共に、割込要求の 1 つとして割込コントローラ 15 に与えられる。

[0031] 上述の構成において、信号発生回路 1 の CPU 11 は、例えば電圧ループ制御及び電流ループ制御を並列的に実行する電流モード制御方式によって負荷 4 に供給する電圧を制御する。電圧ループ制御では、CPU 11 は負荷 4 に供給された出力電圧を A/D 変換器 14 で変換したデジタル値を、目標の電圧値から減算した偏差に基づいて、後段の電流ループ制御で目標の電流値となる操作量を演算する。この電圧ループ制御では、電圧変換回路 2 が出力する電圧が制御量である。

[0032] 電流ループ制御では、CPU 11 は電流検出器 27 の検出電圧を A/D 変換器 14 で変換したデジタル値を、前段の電圧ループ制御からの目標の電流値から減算した偏差に基づいて、発生部 16 に対する操作量を演算する。CPU 11 は更に、演算した操作量（以下、目標のデューティという）に応じて発生部 16 に設定可能な周期及びオン時間夫々の設定可能値を決定する。ここでいう設定可能値とは、発生部 16 に設定されたときに出力の PWM 信号の変化に反映される最小単位（最小の増分）の整数倍の値をいう。以下、簡単のため、発生部 16 に設定すべく決定された設定可能値を設定値という。発生部 16 は、決定された周期及びオン時間夫々の設定値が設定されるこ

とにより、設定値に応じた周期及びデューティを有するPWM信号を発生する。この電流ループ制御では、電圧変換回路2が出力する電流が制御量である。

[0033] ここで、電圧変換装置の出力電圧及び出力電流が時間的に比較的穏やかに変動する場合、上記の電圧ループ制御及び電流ループ制御の制御周期をPWM周期のN倍（Nは2以上の自然数）の周期で行っても十分であると言える。そこで本実施の形態1では、PWM周期のN周期毎に発生部16に対するN周期分の周期及びオン時間夫々の設定値をまとめて決定して設定値記憶領域131a又は131bに記憶しておき、PWM周期で発生する割込処理にて周期及びオン時間夫々の設定値を発生部16に設定する。

[0034] 以下では、簡単のために $N=4$ とするが、これに限定されるものではなく、Nは2、3又は5以上であってもよい。また、N周期分の設定値は必ずしも周期毎に発生部16に設定する必要はなく、ある周期と次の周期とで周期及びオン時間夫々の設定値の少なくとも一方が変わるときにのみ設定するようにしてもよい。

[0035] 次に、PWM信号生成部165が周期レジスタ163及びデューティレジスタ164夫々の内容に応じた周期及びオン時間を有するPWM信号を生成する仕組みについて説明する。

図3は、発生部16の動作を説明するためのタイミング図である。図3に示す5つのタイミング図は、何れも同一の時間軸を横軸としてあり、縦軸には、図の上から、PWM信号の信号レベル、PWM信号に応じて実行される割込処理の実行状態、発生部16のレジスタバッファ161又は162の内容、レジスタバッファ161及び162夫々の内容を周期レジスタ163及びデューティレジスタ164にロードするためのロード信号のオン／オフ状態、並びに周期レジスタ163又はデューティレジスタ164の内容を示してある。

[0036] PWM信号は、時刻 t_{21} から t_{22} まで、時刻 t_{22} から t_{23} まで、時刻 t_{23} から t_{24} まで、及び時刻 t_{24} から t_{31} までの夫々が、N周

期（ $N = 4$ ）における第1周期、第2周期、第3周期、及び第4周期であり、時刻 t_{14} から t_{21} までが、1つ前の N 周期における第4周期である。PWM信号が立ち上がるタイミングは、各周期の開始時点と一致している。PWM信号の各周期における信号レベルがHからLに変化する時の立ち下がりが、割込コントローラ15に対する割込要求として受け付けられて割込処理が1回実行される。

[0037] 具体的には、時刻 t_{14} 、 t_{21} 、 t_{22} 、 t_{23} 及び t_{24} 夫々から、各周期におけるオン時間 T_{14} 、 T_{21} 、 T_{22} 、 T_{23} 及び T_{24} が経過した時に割込処理が実行される。各割込処理では、次のPWM周期のための周期及びオン時間夫々の設定値が、RAM13に含まれる設定値記憶領域131a又は131bから読み出されてレジスタバッファ161及び162に設定される。但し、後述するように N 周期の間でオン時間の設定値が1つ決定される場合は、 N 周期に1回だけオン時間の設定値がレジスタバッファ162に設定される。

[0038] 設定値記憶領域131a（又は131b）への周期及びオン時間夫々の設定値の記憶は、設定値記憶領域131b（又は131a）からの読み出しが行われている N 周期の間、且つ設定値記憶領域131a（又は131b）からの読み出しが開始される周期に先行する N 周期の間に行われる。例えば、時刻 t_{14} から連続する第4周期、第1周期、第2周期及び第3周期にて設定値記憶領域131a（又は131b）から読み出される設定値は、時刻 t_{14} に先行して連続する第4周期、第1周期、第2周期及び第3周期の間に算出されて設定値記憶領域131a（又は131b）に記憶される。この場合、時刻 t_{14} に先行して連続する第4周期、第1周期、第2周期及び第3周期の間における設定値の読み出しは、設定値記憶領域131b（又は131a）から行われる。

[0039] 設定値記憶領域131a（又は131b）に記憶された第1周期分、第2周期分、第3周期分及び第4周期分夫々の設定値は、各設定値が記憶された後に連続する第4周期、第1周期、第2周期及び第3周期における割込処理

により順次読み出されて、レジスタバッファ161, 162に設定される。

これにより、第4周期、第1周期、第2周期及び第3周期夫々における割込処理では、レジスタバッファ161, 162の内容が、第1周期分、第2周期分、第3周期分及び第4周期分の設定値に書き替えられる。

[0040] 一方、PWM信号の信号レベルがLからHに変化する時の立ち上がり、即ち時刻 t_{14} 、 t_{21} 、 t_{22} 、 t_{23} 、 t_{24} 及び t_{31} では、PWM信号生成部165から周期レジスタ163及びデューティレジスタ164夫々に対してレジスタバッファ161及び162の内容をロードするためのロード信号が与えられる。これにより、第1周期、第2周期、第3周期及び第4周期夫々の間、周期レジスタ163とデューティレジスタ164との内容は、第1周期分、第2周期分、第3周期分及び第4周期分の設定値に保持される。これらの設定値により、第1周期、第2周期、第3周期及び第4周期夫々におけるPWM信号の周期とオン時間とが定まる。

[0041] 次に、目標のデューティに応じた周期及びオン時間の設定値を発生部16に設定する具体例について説明する。

図4は、N周期分の設定値によってPWM信号の平均的なデューティが定まる動作を説明するための説明図である。図の横軸は時間を表し、縦軸はPWM信号の信号レベルを表す。図4では、2つの連続するN周期について、PWM周期の第1周期、第2周期、第3周期及び第4周期におけるPWM信号がオン／オフに変化する様子を示してある。各PWM周期におけるPWM信号は、前半がオンであり、後半がオフである。ここでも簡単のために $N=4$ とする

[0042] 本実施の形態1では、発生部16が発生するPWM信号の標準的な周期（以下、基準周期という）が $10\mu s$ であり、発生部16に設定可能な周期及びオン時間夫々の設定値の最小単位（即ち最小の増分）が1であって、この最小単位の1がPWM信号の周期及びオン時間夫々の $1\mu s$ に対応する。換言すれば、発生部16が発生するPWM信号の周期及びオン時間は、 $1\mu s$ 刻みで設定が可能である。その一方で、CPU11がPID演算によって算

出した目標のデューティの最小単位は0.1%であるものとする。

[0043] 図4に示すタイミングにおいて、先のN周期におけるPID演算の結果、目標のデューティが52.0%である場合を想定する。この目標のデューティに対して、例えばPWM信号の周期及びオン時間夫々の設定値を10及び5（又は6）に設定したときは、PWM信号のデューティが50.0%（又は60.0%）となる。また例えば、PWM信号の周期及びオン時間夫々の設定値を9（又は11）及び5に設定したときは、PWM信号のデューティが55.6%（又は45.5%）となる。このように、基準周期と周期の半分程度のオン時間とを有するPWM信号について、オン時間の設定値を1ずつ変更した場合は、PWM信号のデューティが概ね10%単位で変化し、周期の設定値を1ずつ変更した場合は、PWM信号のデューティが概ね5%単位で変化することとなり、目標のデューティである52.0%からのずれが無視できない。

[0044] そこで本実施の形態1では、PWM信号の周期が基準周期であることを想定して、目標のデューティに対応する目標のオン時間に近いオン時間が得られるオン時間の設定値を決定する。ここでは、目標のオン時間に最も近いオン時間が得られるオン時間の設定値を決定することが好ましい。そして、このオン時間の設定値によって得られるオン時間と目標のデューティとで定まる周期をN倍した周期に近い周期が得られる周期の設定可能値を、N個の設定値にできるだけ均等に割り振って次のN周期分の周期の設定値を決定する。ここでも、上記のN倍した周期に最も近い周期が得られる周期の設定値を決定することが好ましい。具体的には、基準周期を10 μ sとした場合、目標のデューティ（52.0%）に対応する目標のオン時間が5.20 μ sとなるから、オン時間の設定値が5と決定される。そして、このオン時間の設定値によって得られるオン時間（5 μ s）を目標のデューティ（0.520）で除算して得られる周期の4倍の周期（38.46 μ s）に最も近い周期が得られる周期の設定可能値（38）を、4個の設定値に割り振って、周期の設定値を例えば10, 9, 10, 9と決定する。

[0045] これにより、次のN周期のうち第1周期、第2周期、第3周期及び第4周期夫々におけるPWM信号の周期が $10\mu\text{s}$ 、 $9\mu\text{s}$ 、 $10\mu\text{s}$ 及び $9\mu\text{s}$ となり、オン時間が一律に $5\mu\text{s}$ となる。これは即ち、第1周期、第2周期、第3周期及び第4周期にわたる周期の加算値が $38\mu\text{s}$ となり、オン時間の加算値が $20\mu\text{s}$ となり、これらの加算値に基づくN周期分のデューティの平均値が52.63%になって、目標のデューティである52.0%からのずれが0.63%に収まることを示す。

[0046] 上述の周期の設定値を、例えば10, 10, 9, 9と決定してもよいし、9, 10, 9, 10と決定してもよい。つまり、N周期分の周期の設定値の中で、設定値10及び9の組み合わせを電圧変動を抑える等の目的に応じて任意に決定すればよい。このようにしてN周期分の周期の設定値を決定することにより、発生部16に対する各周期分の周期の設定値の加算値を1刻みで決定することが可能となり、これらの周期の設定値のN周期にわたる平均値を $1/N$ 刻み（ここでは0.25刻み）で決定することが可能となる。

[0047] 以下では、上述したN周期分の周期及びオン時間夫々の設定値を決定する信号発生回路1の動作を、それを示すフローチャートを用いて説明する。以下に示す処理は、ROM12に予め格納されている制御プログラムに従って、CPU11により実行される。

図5は、本発明の実施の形態1に係る信号発生回路1で周期割込処理を実行するCPU11の処理手順を示すフローチャートであり、図6は、設定値決定のサブルーチンに係るCPU11の処理手順を示すフローチャートである。

[0048] 図5における周期番号Jと、設定値記憶領域131a及び131bの何れが記憶用（又は読出用）であるかを示す情報と、図6における周期カウンタLとが、RAM13に記憶される。周期番号Jの初期値はNである。図6の処理で決定されたN周期分の周期及びオン時間夫々の設定値は、設定値記憶領域131a又は131b内の連続したアドレスに順次記憶される。図5に示す周期割込処理の契機となる周期割込は、N周期に含まれる各周期の開始

時点で発生する。例えば、発生部 16 が発生する PWM 信号の立ち上がりで周期割込が発生するようにすればよい。

[0049] 周期割込が発生して CPU 11 の制御が図 5 の処理に移った場合、CPU 11 は、周期番号 J が N（ここでは 4）であるか否かを判定し（S10）、N である場合（S10：YES）、J を 1 とし（S11）、設定値記憶領域 131a 及び 131b について、記憶用と読出用とを切り替える（S12）。例えば、ステップ S12 の処理前に設定値記憶領域 131b（又は 131a）が記憶用であった場合、ステップ S12 の処理にて設定値記憶領域 131a（又は 131b）が記憶用に切り替えられ、設定値記憶領域 131b（又は 131a）が読出用に切り替えられる。

[0050] ステップ S12 で記憶用に切り替えられた設定値記憶領域 131a（又は 131b）は、設定値決定のサブルーチンにて決定される N 周期分の周期及びオン時間夫々の設定値が記憶される領域となる。一方、読出用に切り替えられた設定値記憶領域 131b（又は 131a）は、後述する PWM 割込処理にて設定値が読み出される領域となる。

[0051] その後、CPU 11 は、負荷 4 に供給される出力電圧を A/D 変換器 14 で変換した出力電圧値を取り込み（S13）、取り込んだ電圧値と電圧の目標値とに基づいて電圧ループ制御に係る演算を実行し（S14）、操作量として電流の目標値を算出する。

[0052] 次いで、CPU 11 は、電流検出器 27 の検出電圧を A/D 変換器 14 で変換した出力電流値を取り込み（S15）、取り込んだ電流値と電流の目標値とに基づいて電流ループ制御に係る演算を実行し（S16）、操作量として目標のデューティを算出する（第 3 算出部に相当）。電流ループ制御を省略するために、ステップ S15 及び S16 を実行しないようにしてもよい。ステップ S15 及び S16 を実行しない場合は、ステップ S14 で算出される値が目標のデューティである。

[0053] その後、CPU 11 は、設定値決定に係るサブルーチンを呼び出して実行した（S17）後、割り込まれたルーチンにリターンする。一方、ステップ

S 1 0でJがNではない場合（S 1 0：NO）、CPU 1 1は、Jを1だけインクリメントした（S 1 8）後、割り込まれたルーチンにリターンする。つまり、周期割込がN回発生する都度、ステップS 1 1からS 1 7までの処理が1回実行されて、N周期分の周期及びオン時間夫々の設定値が決定される。

[0054] 図6に移って、周期割込処理から設定値決定に係るサブルーチンが呼び出された場合、CPU 1 1は、発生部16が発生するPWM信号の基準周期と、ステップS 1 4で算出した目標のデューティとの積に対応するオン時間に最も近いオン時間を有するPWM信号を発生部16に発生させるオン時間の設定値を決定する（S 2 0：第1決定部に相当）。図4に示す例では、目標のデューティが52.0%であるから、 $10\mu\text{s}$ の基準周期に対して目標のオン時間が $5.20\mu\text{s}$ となり、これに最も近い実際のオン時間である $5\mu\text{s}$ のオン時間を有するPWM信号を発生部16に発生させるオン時間の設定値が5と決定される。

[0055] その後、CPU 1 1は、決定したオン時間の設定値を設定値記憶領域131a又は131bに記憶する（S 2 1）。設定値記憶領域131a又は131bの何れが記憶用であるかは、図5に示すステップS 1 2における切替処理にて特定されている。

[0056] 次いで、CPU 1 1は、決定したオン時間の設定値に応じて発生するPWM信号のオン時間を目標のデューティで除算した結果に対応する周期にNを乗算してN周期分の総和を算出し（S 2 2：第1算出部に相当）、算出したN周期分の総和に最も近い周期を有するPWM信号を発生させる周期の設定可能値を特定する（S 2 3：特定部に相当）。図4に示す例では、発生するPWM信号のオン時間が $5\mu\text{s}$ であり、目標のデューティが52.0%であるから、上記のN周期分の総和が $(5 / 0.520) \times 4 = 38.46$ と算出され、最も近い設定可能値が38と特定される。

[0057] 次いで、CPU 1 1は、特定した設定可能値をNで除算して商Q及び剰余Rを算出する（S 2 4：第2算出部に相当）。図4に示す例では、設定可能

値の38が4で除算されて商Qが9と算出され、剰余Rが2と算出される。

[0058] 次いで、CPU11は、N周期分の周期の設定値を仮に全てQとして、設定値記憶領域131a又は131bに記憶する(S25)。ここでのQは、周期の設定可能値の基準値に相当する。設定値記憶領域131a又は131bの何れが記憶用であるかは、図5に示すステップS12における切替処理にて特定されている。その後、CPU11は、周期カウンタLを1に初期化する(S26)。

[0059] 次いで、CPU11は、ステップS24で算出した剰余R（後述するステップS29が実行された場合は、ステップS29の算出結果としてのR）が0であるか否かを判定し(S27)、0である場合(S27: YES)、呼び出されたルーチンにリターンする。Rが0であることは、除算結果の剰余Rを周期の設定可能値の最小単位に分割して基準値の一部に加算する処理が終了したこと、又は最小単位に分割すべき剰余Rが最初から0であることを意味する

[0060] Rが0ではない場合(S27: NO)、CPU11は、第L周期の周期の設定値を、商Qと周期の設定可能値の最小単位との加算値とし(S28)、既に設定値記憶領域131a又は131bに記憶してある周期の設定値(Q)に上書きする。図4に示す例では、周期の設定可能値の最小単位が1であるから、ステップS28における処理は、設定値記憶領域131a又は131bに記憶してある周期の設定値を1だけインクリメントする処理と置き換え可能である。

[0061] その後、CPU11は、Rから周期の設定可能値の最小単位を減算した値を新たにRとし(S29)、周期カウンタLを1だけインクリメントして(S30)ステップS27に処理を移す。上述のステップS27からS30までの処理（第2決定部に相当）を繰り返すことにより、ステップS24で算出された剰余Rが0ではない場合に、剰余Rが周期の設定可能値の最小単位に分割されて、1又は複数の周期の設定値の基準値に順次加算される。

[0062] 上述の図6に示す設定値決定のサブルーチンに係るフローチャートでは、

N個の周期の設定値が設定値記憶領域131a又は131bに昇順に並ぶように記憶されるが、Nの値が固定されている場合は、最も好ましい記憶順序で周期の設定値を記憶することができる。

図7は、設定値決定のサブルーチンに係るCPU11の他の処理手順の一部を示すフローチャートである。図7に示す処理は、図6に示すステップS25に後続する処理として実行される。

[0063] 図6に示すステップS25にて、N周期分の周期の設定値(Q)を設定値記憶領域131a又は131bに記憶した(S25)後、CPU11は、ステップS24で算出した剰余Rが0であるか否かを判定し(S31)、0である場合(S31: YES)、呼び出されたルーチンにリターンする。

[0064] Rが0ではない場合(S31: NO)、CPU11は、Rが1であるか否かを判定し(S32)、Rが1である場合(S32: YES)、第1周期の周期の設定値を、商Qと周期の設定可能値の最小単位との加算値として上書きし(S33)、呼び出されたルーチンにリターンする。ステップS33では、第2周期、第3周期又は第4周期の周期の設定値に上書きしてもよい。

[0065] Rが1ではない場合(S32: NO)、CPU11は、Rが2であるか否かを判定し(S34)、Rが2である場合(S34: YES)、第1周期の周期の設定値を、商Qと周期の設定可能値の最小単位との加算値として上書きし(S35)、更に、第3周期の周期の設定値を、商Qと周期の設定可能値の最小単位との加算値として上書きして(S36)、呼び出されたルーチンにリターンする。ステップS35及びS36夫々では、例えば第2周期及び第4周期の周期の設定値に上書きしてもよいし、第1周期及び第4周期の周期の設定値に上書きしてもよい。

[0066] Rが2ではない場合(S34: NO)、即ちRが3である場合、CPU11は、第1周期の周期の設定値を、商Qと周期の設定可能値の最小単位との加算値として上書きし(S37)、第2周期の周期の設定値を、商Qと周期の設定可能値の最小単位との加算値として上書きし(S38)、更に、第3周期の周期の設定値を、商Qと周期の設定可能値の最小単位との加算値とし

て上書きして（S 3 9）、呼び出されたルーチンにリターンする。ステップ S 3 7 から S 3 9 では、上書きしない周期の設定値が適当に選択されてもよい。

[0067] 次に、上述のようにして決定されたN周期分の周期及びオン時間の設定値の具体例について、複数の例を挙げて説明する。

図8は、目標のデューティに応じて決定されたN周期分の周期及びオン時間夫々の設定値の一覧を示す図表である。目標のデューティ（％）は、小数以下1桁又は2桁の数値で表されるものとする。なお、図8における同一行に示されるN周期分の周期の設定値については、設定値同士の組み合わせを任意に決定してもよい。

[0068] 例えば目標のデューティが34.79％から34.99％の範囲内にある場合、N周期分の周期の設定値は、9, 8, 9, 8と決定され、オン時間の設定値は3と決定される。この場合、N周期にわたるデューティの平均値は35.29％となる。目標のデューティが35.00％から35.16％の範囲内にある場合、N周期分の周期の設定値は、12, 11, 12, 11と決定され、オン時間の設定値は4と決定される。この場合、N周期にわたるデューティの平均値は34.78％となる。

[0069] 目標のデューティが43.84％から44.49％の範囲内にある場合、N周期分の周期の設定値は、9, 9, 9, 9と決定され、オン時間の設定値は4と決定される。この場合、N周期にわたるデューティの平均値は44.44％となる。目標のデューティが45.00％から45.97％の範囲内にある場合、N周期分の周期の設定値は、11, 11, 11, 11と決定され、オン時間の設定値は5と決定される。この場合、N周期にわたるデューティの平均値は45.45％となる。目標のデューティが45.98％から47.05％の範囲内にある場合、N周期分の周期の設定値は、11, 11, 11, 10と決定され、オン時間の設定値は5と決定される。この場合、N周期にわたるデューティの平均値は46.51％となる。

[0070] 目標のデューティが47.06％から48.19％の範囲内にある場合、

N周期分の周期の設定値は、11, 10, 11, 10と決定され、オン時間の設定値は5と決定される。この場合、N周期にわたるデューティの平均値は47.62%となる。目標のデューティが48.20%から49.38%の範囲内にある場合、N周期分の周期の設定値は、11, 10, 10, 10と決定され、オン時間の設定値は5と決定される。この場合、N周期にわたるデューティの平均値は48.78%となる。目標のデューティが49.39%から50.63%の範囲内にある場合、N周期分の周期の設定値は、10, 10, 10, 10と決定され、オン時間の設定値は5と決定される。この場合、N周期にわたるデューティの平均値は50.00%となる。

[0071] 目標のデューティが50.64%から51.94%の範囲内にある場合、N周期分の周期の設定値は、10, 10, 10, 9と決定され、オン時間の設定値は5と決定される。この場合、N周期にわたるデューティの平均値は51.28%となる。目標のデューティが51.95%から53.33%の範囲内にある場合、N周期分の周期の設定値は、10, 9, 10, 9と決定され、オン時間の設定値は5と決定される。この場合、N周期にわたるデューティの平均値は52.63%となる。目標のデューティが53.34%から54.79%の範囲内にある場合、N周期分の周期の設定値は、10, 9, 9, 9と決定され、オン時間の設定値は5と決定される。この場合、N周期にわたるデューティの平均値は54.05%となる。

[0072] 目標のデューティが54.80%から54.99%の範囲内にある場合、N周期分の周期の設定値は、9, 9, 9, 9と決定され、オン時間の設定値は5と決定される。この場合、N周期にわたるデューティの平均値は55.56%となる。目標のデューティが55.00%から55.17%の範囲内にある場合、N周期分の周期の設定値は、11, 11, 11, 11と決定され、オン時間の設定値は6と決定される。この場合、N周期にわたるデューティの平均値は54.55%となる。

[0073] 次に、設定値記憶領域131a又は131bに記憶されたN周期分の周期及びオン時間夫々の設定値の読み出しについて説明する。

図9は、本発明の実施の形態1に係る信号発生回路1でPWM割込処理を実行するCPU11の処理手順を示すフローチャートである。図9における周期番号Jは、図5に示す周期割込処理にて更新される番号であり、RAM13に記憶されている。図9に示すPWM割込処理の契機となるPWM割込は、図1に示す発生部16が発生するPWM信号の立ち下がりで発生する。

[0074] PWM割込が発生してCPU11の制御が図9の処理に移った場合、CPU11は、設定値記憶領域131a及び131bのうち、読出用の設定値記憶領域を特定する(S40)。その後、CPU11は、周期番号Jが1であるか否かを判定し(S41)、1である場合(S41: YES)、特定した設定値記憶領域131a(又は131b)におけるオン時間の設定値の読出アドレスを算出する(S42)。ここでの読出アドレスは、図6に示す設定値決定のサブルーチンのステップS21におけるオン時間の設定値の記憶アドレスと対応している。

[0075] 次いで、CPU11は、特定した設定値記憶領域131a(又は131b)からオン時間の設定値を読み出し(S43)、読み出した設定値を発生部16のレジスタバッファ162に設定する(S44)。ステップS44の処理を終えた場合、又は周期番号Jが1ではない場合(S41: NO)、CPU11は、特定した設定値記憶領域131a(又は131b)における周期の設定値の読出アドレスを周期番号Jに応じて算出する(S45)。ここでの読出アドレスは、図6に示す設定値決定のサブルーチンのステップS25及びS28における周期の設定値の記憶アドレスと対応している。

[0076] 次いで、CPU11は、特定した設定値記憶領域131a(又は131b)から第J周期分の周期の設定値を1つ読み出し(S46)、読み出した設定値を、発生部16のレジスタバッファ161に設定して(S47)、割り込まれたルーチンにリターンする。

[0077] 以上のように本実施の形態1によれば、制御部10の中核として機能するCPU11は、発生部16に発生させるPWM信号に係る目標のデューティに応じて、発生部16に設定可能な周期及びオン時間夫々の設定値を決定し

て設定する。具体的には、CPU 11は、発生部16が発生するPWM信号の $N (= 4)$ 周期毎に、基準周期及び目標のデューティの積に相当するオン時間に最も近いオン時間を有するPWM信号を発生部16に発生させるオン時間の設定値を決定し、決定したオン時間の設定値を発生部16に設定する。これと並行して、CPU 11は、決定したオン時間の設定値に応じて発生部16が発生するPWM信号のオン時間を目標のデューティで除算して得た周期を N 倍し、 N 倍した周期に最も近い周期を有するPWM信号を発生させる周期の設定可能値を特定し、特定した設定可能値を N で除算して得た商 Q 及び剰余 R に基づいて N 周期分の周期の設定値を決定して、PWM信号の周期毎に1つずつ発生部16に設定する。

これにより、CPU 11が決定して発生部16に設定する N 周期分の周期の設定値について、発生部16が発生するPWM信号の N 周期にわたる平均的なデューティが目標のデューティに近くなるように決定されるため、 N 周期分の周期の設定値全体についての平均的な値が、周期の設定値の最小単位（即ち最小の増分）よりもきめ細かく調整される。

従って、設定された値に応じた周期及びオン時間を有する信号を発生する発生部16に設定する値の最小単位を実際の最小単位よりも実質的に小さくすることが可能となる。

[0078] また、実施の形態1によれば、上述の除算結果の商 Q を、 N 周期分の周期の設定値全体についての基準値に特定し、上述の除算結果の剰余 R を周期の設定可能値の最小単位（即ち最小の増分）に分割し、分割した最小単位の値を N 周期分の基準値の一部に夫々加算して N 周期分の周期の設定値を決定する。

従って、上記剰余 R を最小単位に分割した値（ $= 1$ ）が、 N 周期分の周期の設定値に適当に配分されることとなり、 N 周期分の周期の設定値の一部を、上記基準値に周期の設定可能値の最小単位の値を加えた値と決定し、上記設定値の一部を除く他の周期の設定値を上記基準値と決定することが可能となる。

[0079] (実施の形態2)

実施の形態1は、決定されたN周期分の周期及びオン時間夫々の設定値が、RAM13に含まれる設定値記憶領域131a又は131bに一旦記憶された後、PWM周期で順次読み出される形態であるのに対し、実施の形態2は、N周期分の周期及びオン時間夫々の設定値が、ROM12に含まれる設定値記憶テーブル121に予め記憶された内容から決定されて、PWM周期で順次読み出される形態である。

[0080] 実施の形態2における電圧変換装置及び信号発生回路1夫々の構成は、実施の形態1における図1及び2に示すものと同様である。但し、本実施の形態2では、RAM13に含まれる設定値記憶領域131a及び131bは用いない。ROM12に含まれる設定値記憶テーブル121には、実施の形態1における図8に示す目標のデューティの各範囲に夫々対応付けられたN周期分の周期及びオン時間夫々の設定値が予め複数組記憶されている。設定値記憶テーブル121は、制御部10の外部の他のメモリに含まれていてもよい。設定値記憶テーブル121に複数組記憶されたN周期分の周期及びオン時間夫々の設定値の中から、N周期毎の割込処理にて1組のN周期分の周期及びオン時間夫々の設定値が決定される。

[0081] 実施の形態2における発生部16の動作を示すタイミングチャートは、実施の形態1における図3に示すものと同様である。実施の形態2に係る信号発生回路1でN周期分の周期及びオン時間夫々の設定値によってPWM信号の平均的なデューティが定まる動作は、実施の形態1における図4に示す説明図によって同様に説明される。

その他、実施の形態1に対応する箇所には同様の符号を付してその説明を省略する。

[0082] 設定値記憶テーブル121に記憶された内容から決定されたN周期分の周期及びオン時間夫々の設定値は、各設定値が決定された後に連続する第4周期、第1周期、第2周期及び第3周期における割込処理により順次読み出されて、レジスタバッファ161、162に設定される。

[0083] 以下では、N周期分の周期及びオン時間夫々の設定値を決定する信号発生回路1の動作を、それを示すフローチャートを用いて説明する。

図10は、本発明の実施の形態2に係る信号発生回路1で周期割込処理を実行するCPU11の処理手順を示すフローチャートであり、図11は、本発明の実施の形態2に係る信号発生回路1でPWM割込処理を実行するCPU11の処理手順を示すフローチャートである。これらの割込処理が発生する契機については、実施の形態1の場合と同様である。

[0084] なお、図10に示すステップS50からS58までの処理のうち、ステップS52及びS57を除く処理は、実施の形態1における図5に示すステップS10からS18までの処理と同様であるため、説明の一部を省略する。また、図11に示すステップS60からS67までの処理は、実施の形態1における図9に示すステップS40からS47までの処理と類似しているため、説明の一部を簡略化する。

[0085] 周期割込が発生してCPU11の制御が図10の処理に移った場合、CPU11は、周期番号JがN（ここでは4）であるか否かを判定し（S50）、Nである場合（S50：YES）、Jを1とし（S51）、設定値記憶テーブル121における読出対象の行を、前回の周期割込処理にて決定した行（後述するステップS57参照）に固定する（S52）。その後、CPU11は、出力電圧に基づく電圧ループ制御、及び出力電流に基づく電流ループ制御に係る演算を実行して（S53～S56）目標のデューティを算出する（第3算出部に相当）。

[0086] 次いで、CPU11は、設定値記憶テーブル121の内容、即ちテーブルに記憶された目標のデューティの各範囲と、上述の演算によって算出した目標のデューティとを照合して、読出対象の行を決定した（S57：第1及び第2決定部に相当）後、呼び出されたルーチンにリターンする。ここでの照合の結果、目標のデューティが含まれる範囲に対応して設定値記憶テーブル121に記憶されているN周期分の周期及びオン時間夫々の設定値が、決定された設定値となる。

[0087] 次に、PWM割込が発生してCPU11の制御が図11の処理に移った場合、CPU11は、設定値記憶テーブル121における読出対象の行を特定する(S60)。その後、CPU11は、周期番号Jが1であるか否かを判定し(S61)、1である場合(S61: YES)、特定した設定値記憶テーブル121におけるオン時間の設定値の読出アドレスを算出し(S62)、設定値記憶テーブル121について算出したアドレスからオン時間の設定値を読み出し(S63)、読み出した設定値をレジスタバッファ161に設定する(S64)。

[0088] ステップS64の処理を終えた場合、又は周期番号Jが1ではない場合(S61: NO)、CPU11は、特定した行における周期の設定値の読出アドレスを周期番号Jに応じて算出し(S65)、算出したアドレスから第J周期分の周期の設定値を読み出し(S66)、読み出した設定値をレジスタバッファ162に設定して(S67)、割り込まれたルーチンにリターンする。

[0089] 以上のように本実施の形態2によれば、予め決定された周期及びオン時間夫々の設定値のN周期分の値と目標のデューティとが対応付けられて設定値記憶テーブル121に記憶されている。CPU11は、目標のデューティに応じて、発生部16に設定する周期及びオン時間夫々の設定値のN周期分を設定値記憶テーブル121の記憶情報から決定する。

従って、目標のデューティに応じて決定すべきN周期分の周期及びオン時間夫々の設定値を、CPU11による制御の実行時に容易に決定することが可能となる。

[0090] また、実施の形態2によれば、CPU11は、設定値記憶テーブル121から周期及びオン時間夫々の設定値をPWM制御のN周期毎に順次読み出して発生部16に設定する。

従って、設定値記憶テーブル121の内容を、N周期にわたって順次発生部16に設定することが可能となる。

[0091] また、実施の形態1又は2によれば、上述の信号発生回路1が発生したP

WM信号のデューティに応じたスイッチングによって電圧変換回路2が電圧を変換し、変換された電圧に基づくPWM制御により、信号発生回路1のCPU11が上述の目標のデューティを算出する。

従って、PWM信号を周期的に発生する発生部16に設定する値の最小単位を実際の最小単位よりも実質的に小さくすることが可能な信号発生回路1を電圧変換装置に適用して、出力電圧の精度を向上させることが可能となる。

[0092] 今回開示された実施の形態は、全ての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上述した意味ではなく、請求の範囲によって示され、請求の範囲と均等の意味及び範囲内での全ての変更が含まれることが意図される。また、各実施の形態で記載されている技術的特徴は、お互いに組み合わせることが可能である。

符号の説明

- [0093] 1 信号発生回路
- 10 制御部
 - 11 CPU（第1決定部、第1算出部、特定部、第2算出部、第2決定部、第3算出部）
 - 12 ROM
 - 121 設定値記憶テーブル（記憶部）
 - 13 RAM
 - 131a、131b 設定値記憶領域
 - 14 A/D変換器（検出部）
 - 16 発生部
 - 161、162 レジスタバッファ
 - 165 PWM信号生成部
- 2 電圧変換回路
- 27 電流検出器
- 3 バッテリ

4 負荷

請求の範囲

[請求項1] 設定された値に応じた周期及びオン時間を有する信号を発生する発生部と、目標のデューティに応じて前記発生部に設定可能な周期及びオン時間夫々の設定可能値を設定する制御部とを備え、前記発生部は、外部の電圧変換回路に対してPWM信号を発生させ、前記電圧変換回路をPWM制御することにより電圧を変換させる信号発生回路において、

前記制御部は、

前記信号のN周期（Nは2以上の自然数）毎に、所定の周期及び前記目標のデューティの積に近いオン時間を有する信号を発生させるように、前記発生部に設定するオン時間の設定可能値を決定する第1決定部と、

該第1決定部が決定したオン時間の設定可能値に応じて発生する信号のオン時間を前記目標のデューティで除して得られる周期のN周期分の総和を算出する第1算出部と、

該第1算出部が算出した総和に近い周期を有する信号を発生させる周期の設定可能値を特定する特定部と、

該特定部が特定した周期の設定可能値をNで除して商及び剰余を算出する第2算出部と、

該第2算出部が算出した商及び剰余に基づいて、前記発生部に設定するN周期分の周期の設定可能値を決定する第2決定部と

を有する

ことを特徴とする信号発生回路。

[請求項2] 前記第2決定部は、前記商を前記周期の設定可能値の基準値に特定し、前記剰余を前記周期の設定可能値の最小単位に分割してN周期分の基準値の一部に夫々加算することによりN周期分の設定可能値を決定するようにしてあることを特徴とする請求項1に記載の信号発生回路。

[請求項3] 所定のデューティとN周期分の周期及びオン時間夫々の設定可能値とを対応付けて記憶する記憶部を備え、

前記第1及び第2決定部は、前記所定のデューティに対応するN周期分の周期及びオン時間夫々の設定可能値を前記記憶部の記憶情報から決定するようにしてある

ことを特徴とする請求項1又は2に記載の信号発生回路。

[請求項4] 前記制御部は、前記第2決定部が決定したN周期分の周期及びオン時間夫々の設定可能値を前記記憶部から読み出して前記発生部に設定するようにしてあることを特徴とする請求項3に記載の信号発生回路。

[請求項5] 請求項1から4の何れか1項に記載の信号発生回路と、該信号発生回路が発生した信号のデューティに応じたスイッチングによって電圧を変換する電圧変換回路と、該電圧変換回路が変換した電圧を検出する検出部とを備える電圧変換装置であって、

前記信号発生装置が備える制御部は、前記検出部が検出した電圧に基づいて前記目標のデューティを算出する第3算出部を有することを特徴とする電圧変換装置。

[請求項6] 設定された値に応じた周期及びオン時間を有する信号を発生する発生部と、目標のデューティに応じて前記発生部に設定可能な周期及びオン時間夫々の設定可能値を設定する制御部とを備え、前記発生部は、外部の電圧変換回路に対してPWM信号を発生させ、前記電圧変換回路をPWM制御することにより電圧を変換させる信号発生回路で前記信号を発生させる方法において、

前記信号のN周期（Nは2以上の自然数）毎に、所定の周期及び前記目標のデューティの積に近いオン時間を有する信号を発生させるように、前記発生部に設定するオン時間の設定可能値を決定し、

決定したオン時間の設定可能値に応じて発生する信号のオン時間を前記目標のデューティで除して得られる周期のN周期分の総和を算出

し、

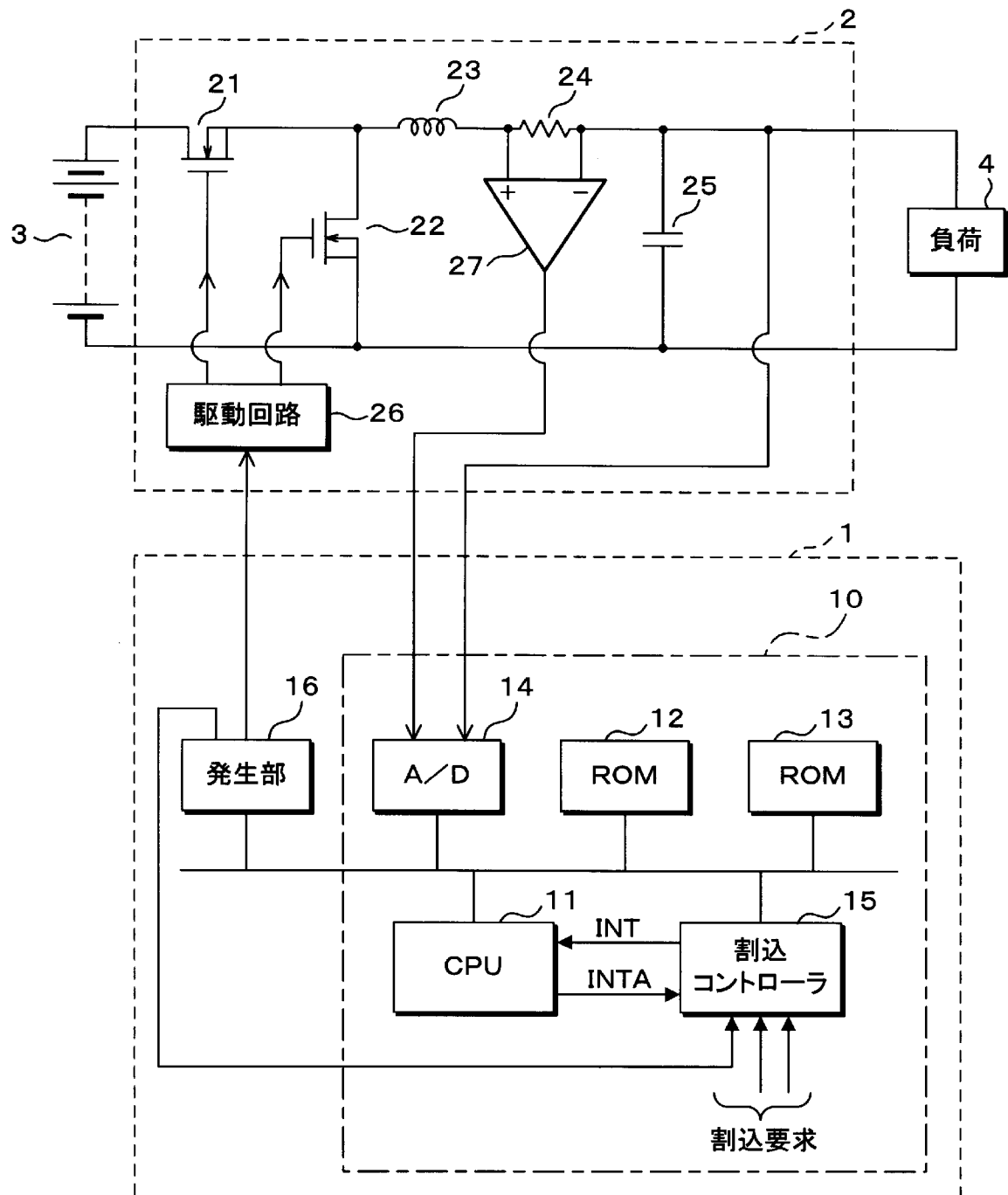
算出した総和に近い周期を有する信号を発生させる周期の設定可能値を特定し、

特定した設定可能値を N で除して商及び剰余を算出し、

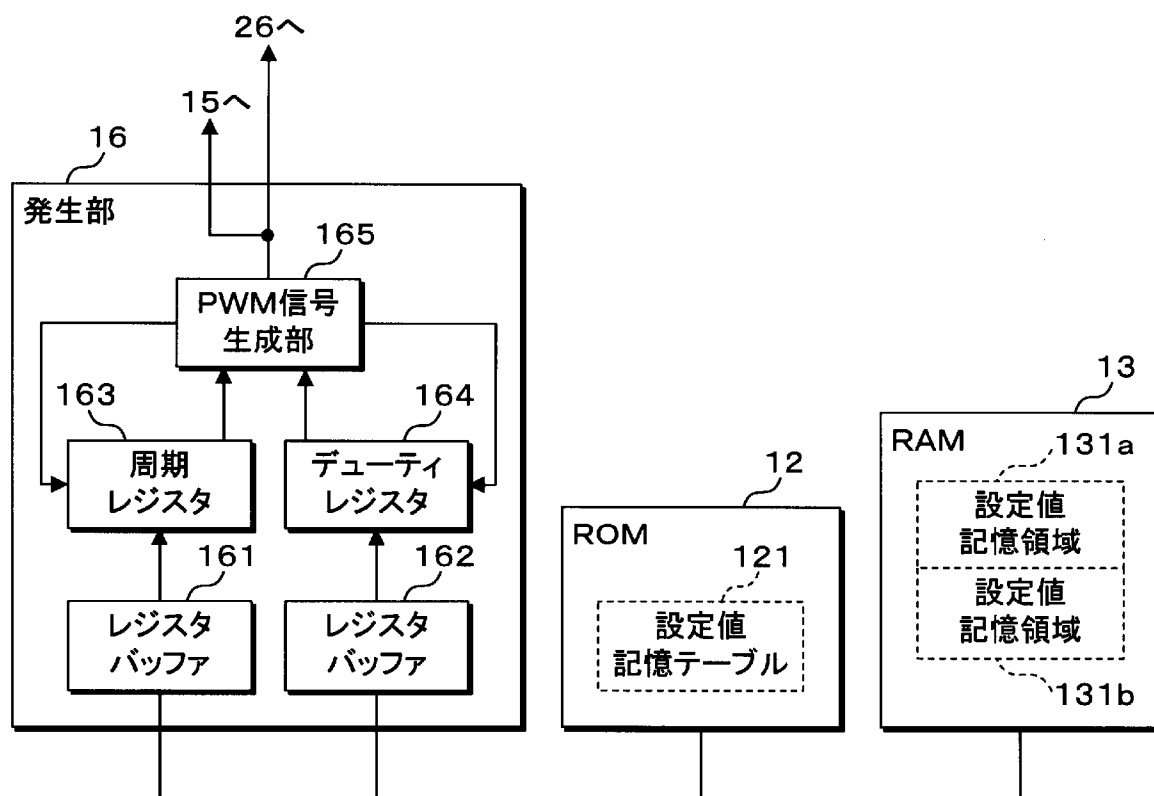
算出した商及び剰余に基づいて、前記発生部に設定する N 周期分の周期の設定可能値を決定する

ことを特徴とする信号発生方法。

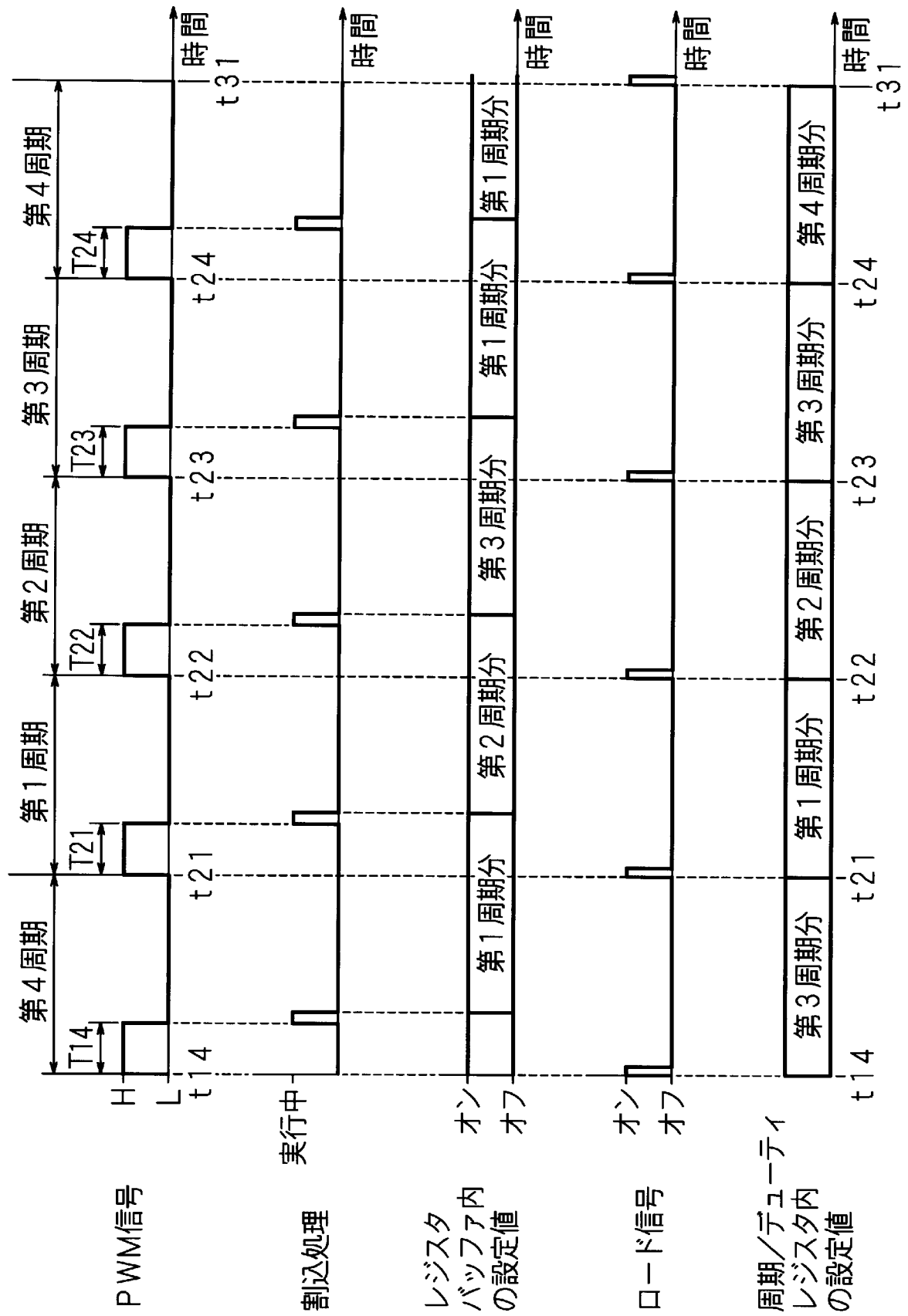
[図1]



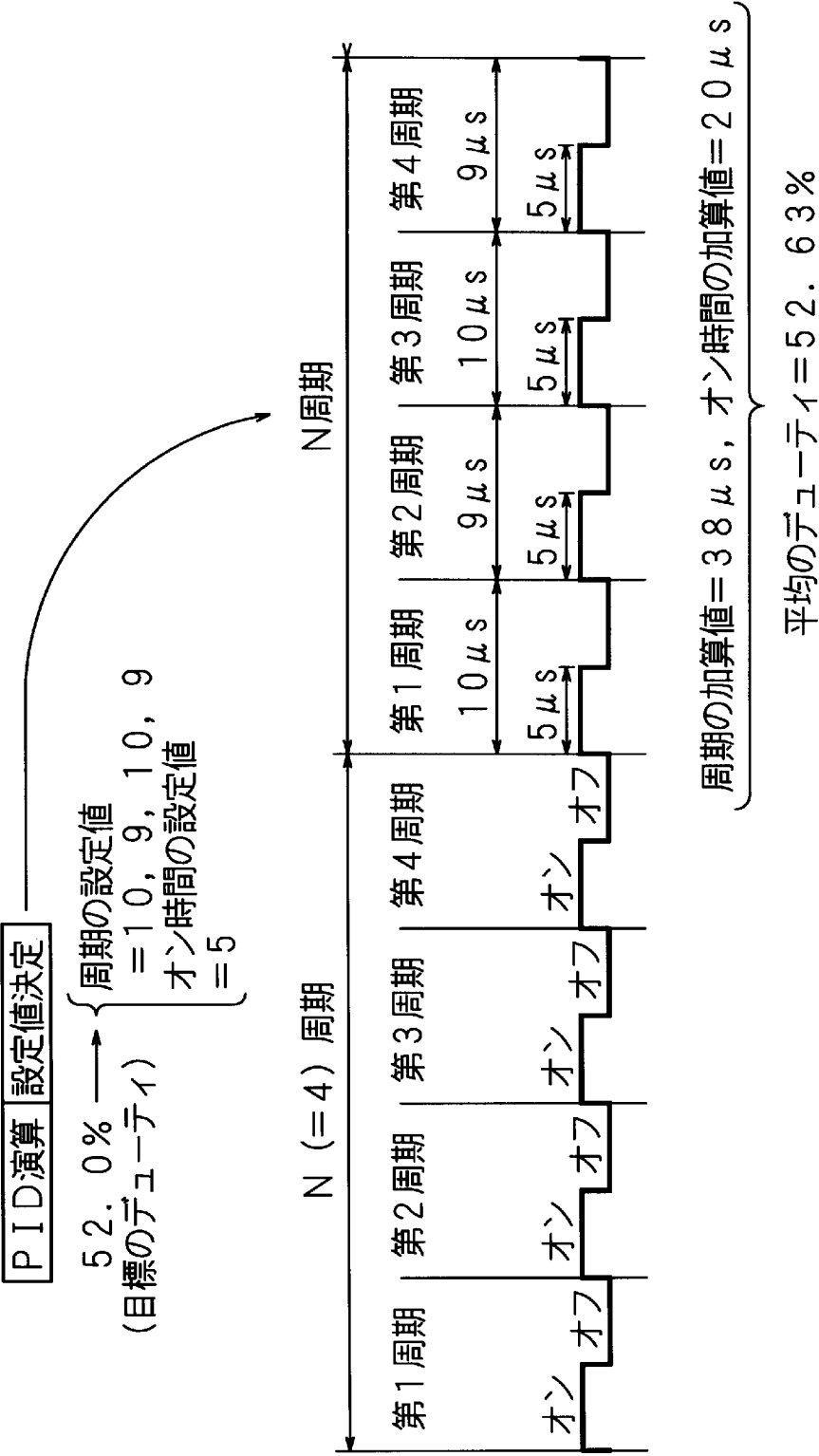
[図2]



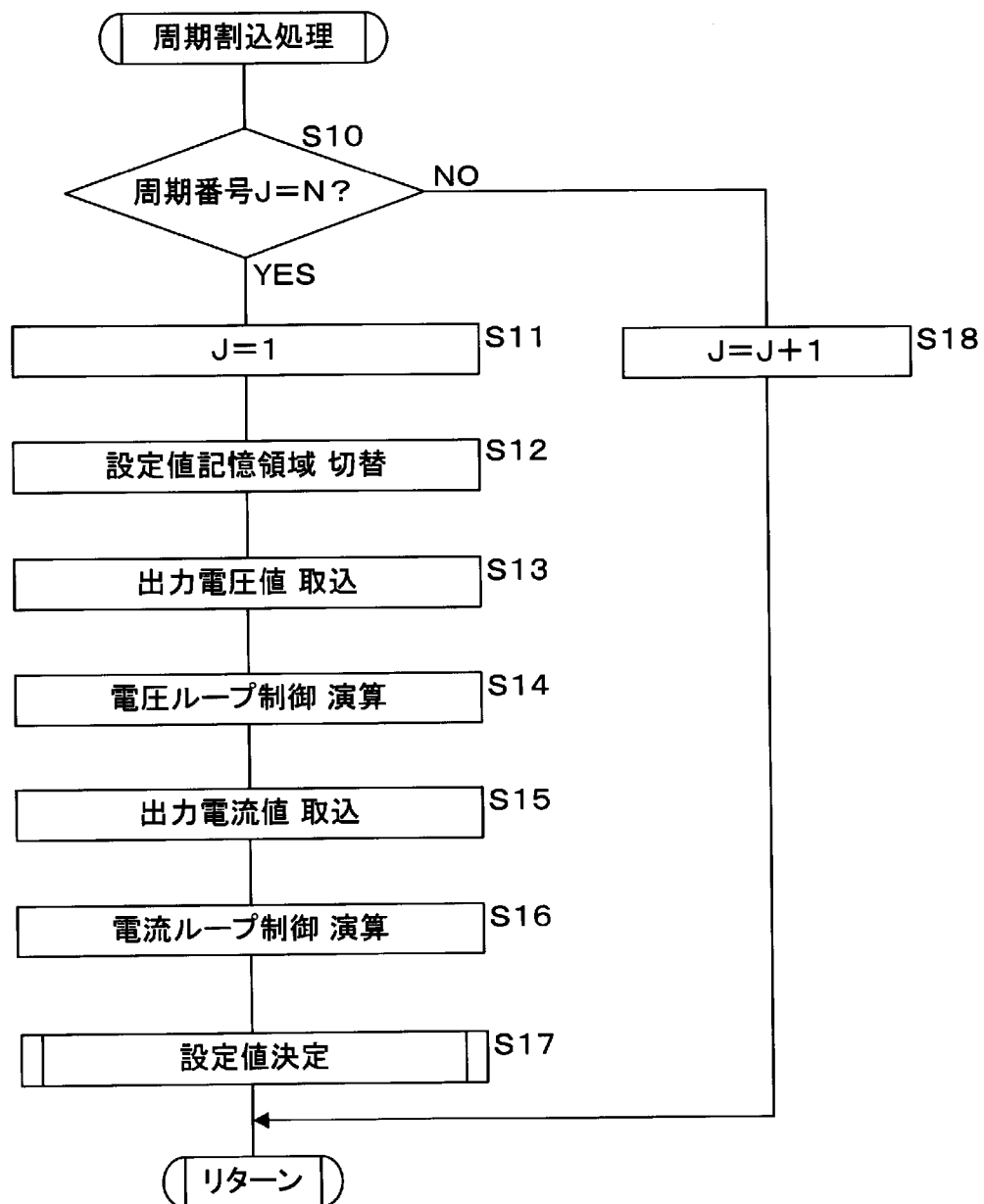
[図3]



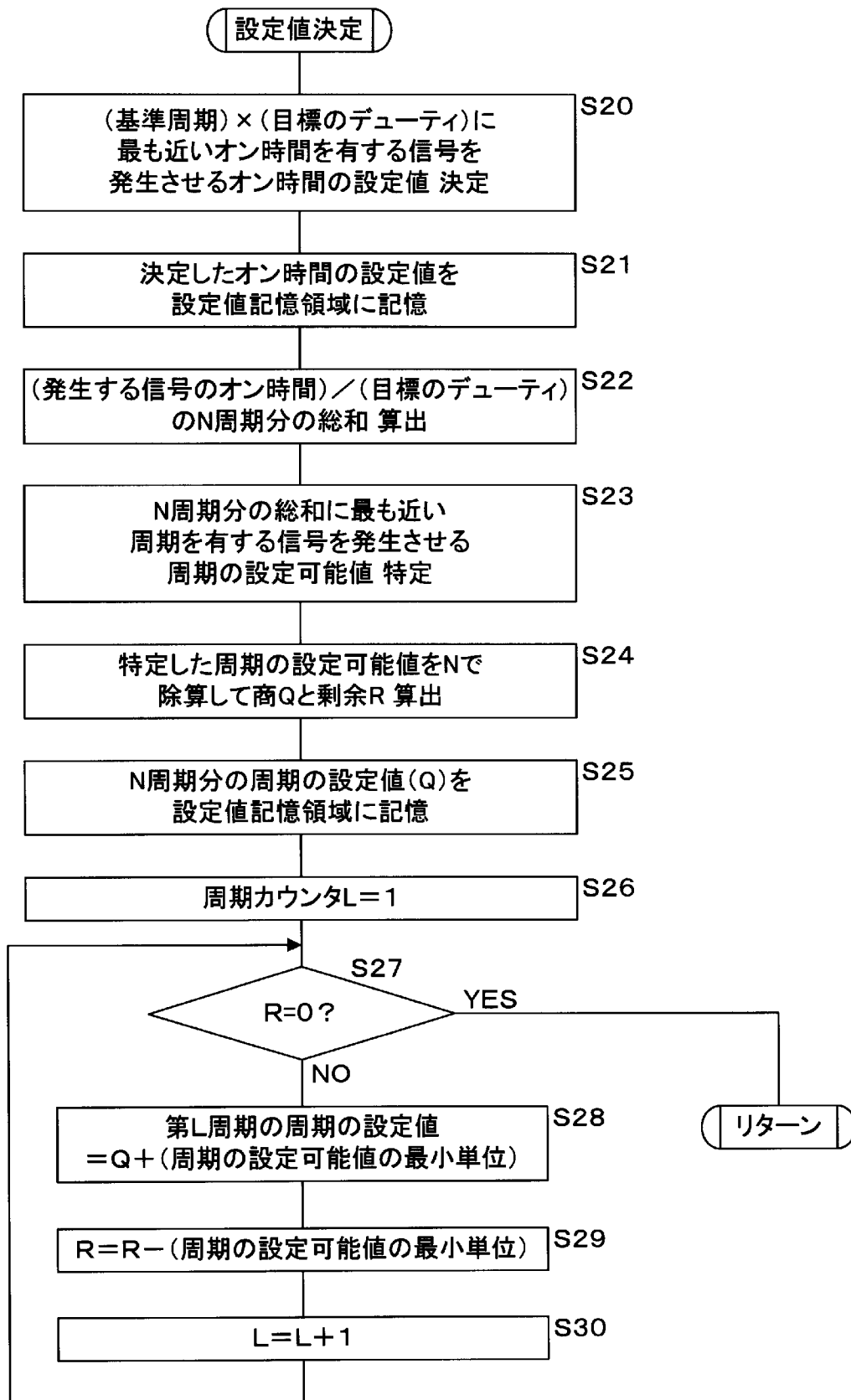
[図4]



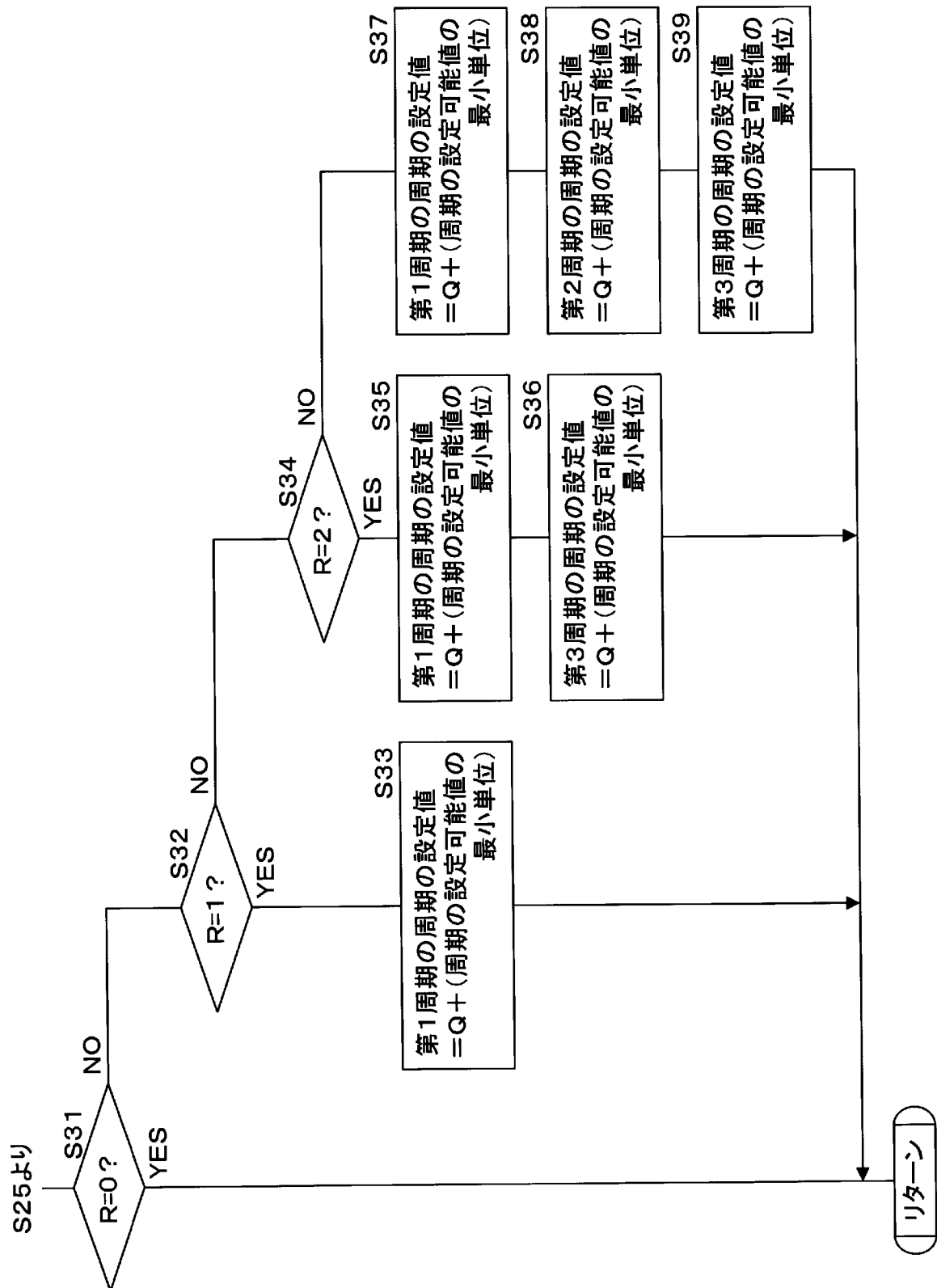
[図5]



[図6]



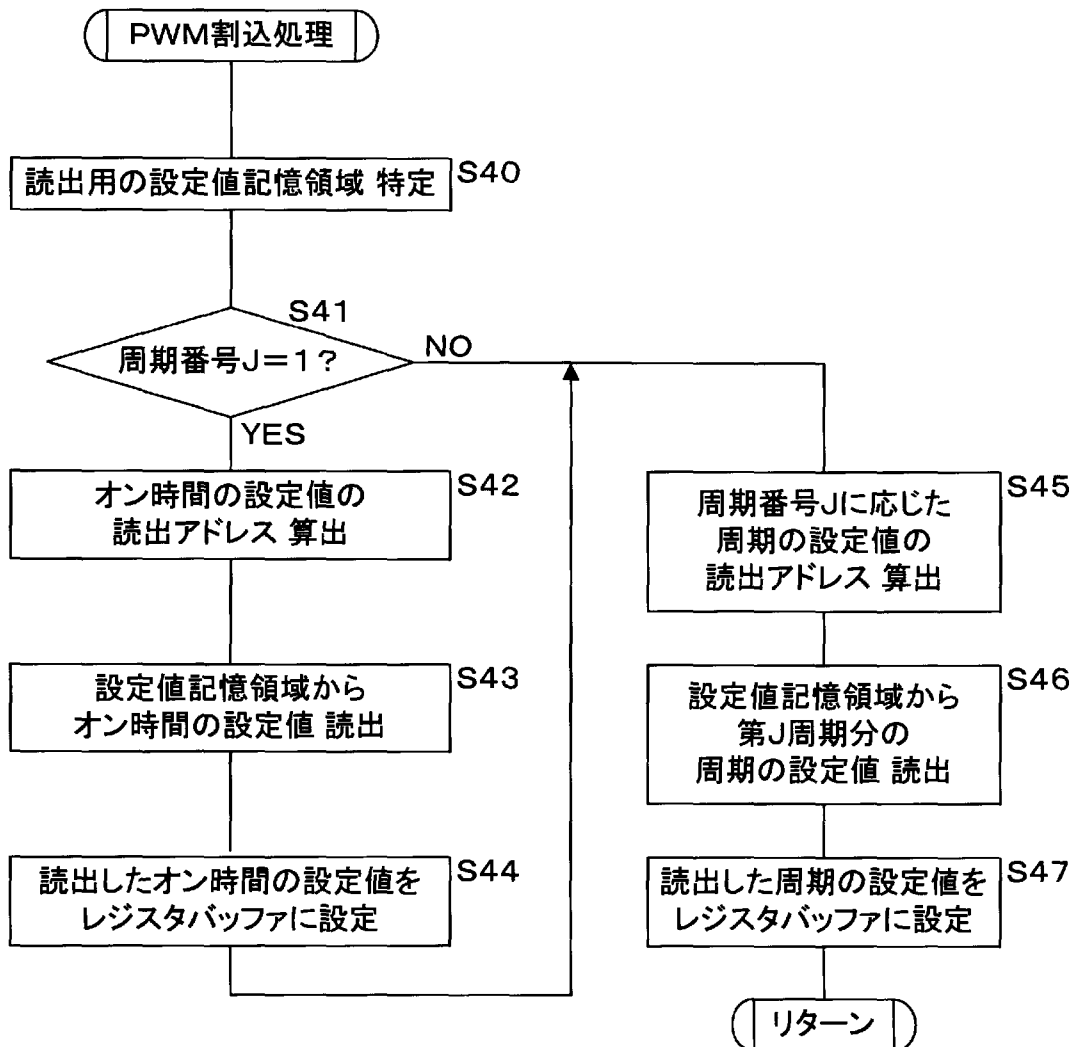
[図7]



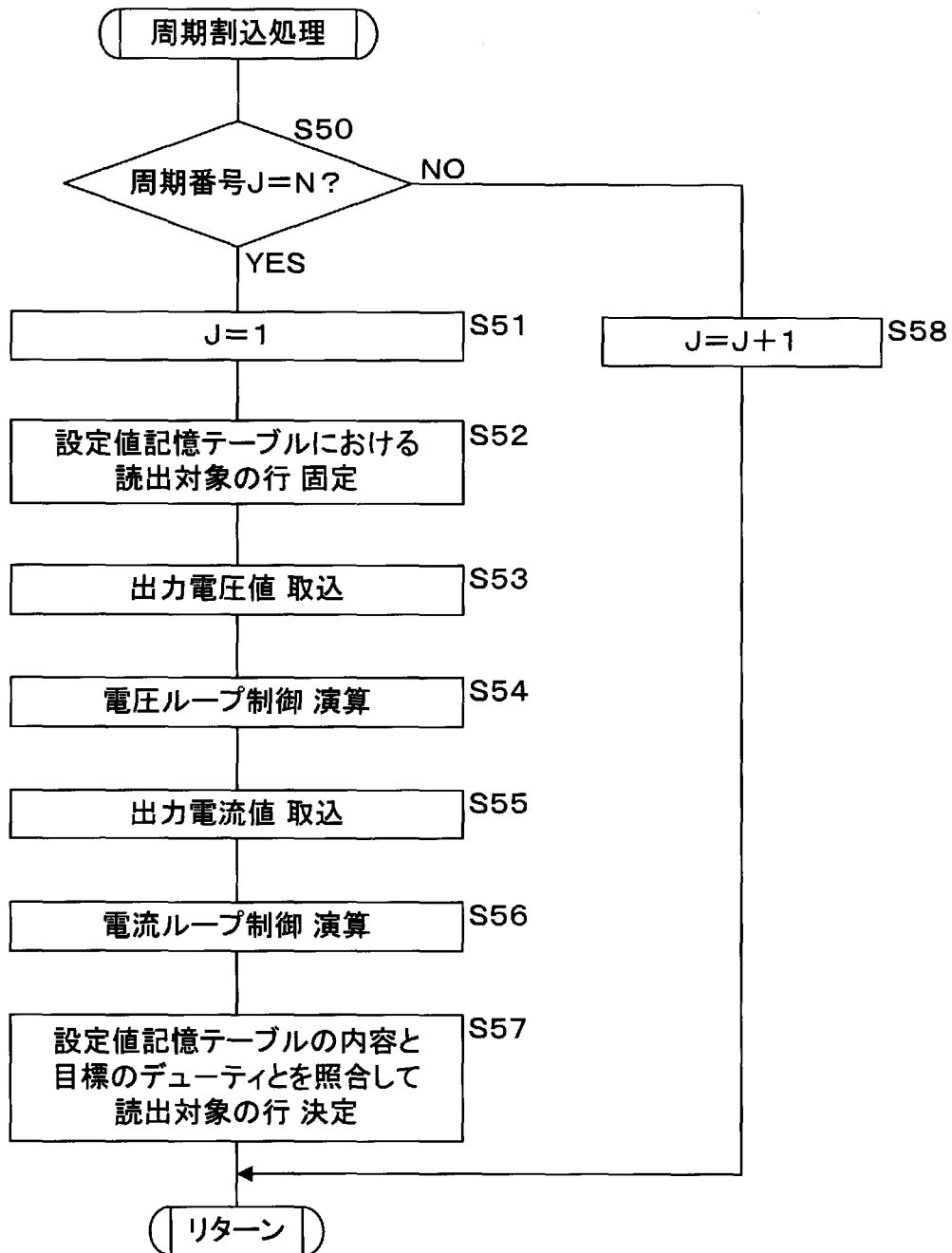
[図8]

目標の デューティ (%)	N個周期分の周期及びオン時間夫々の設定値					N周期に わたる デューティ の平均値 (%)
	周期の設定値				オン 時間の 設定値	
	第1周期	第2周期	第3周期	第4周期		
⋮	⋮	⋮	⋮	⋮	⋮	⋮
34. 79～34. 99	9	8	9	8	3	35. 29
35. 00～35. 16	12	11	12	11	4	34. 78
⋮	⋮	⋮	⋮	⋮	⋮	⋮
43. 84～44. 49	9	9	9	9	4	44. 44
45. 00～45. 97	11	11	11	11	5	45. 45
45. 98～47. 05	11	11	11	10	5	46. 51
47. 06～48. 19	11	10	11	10	5	47. 62
48. 20～49. 38	11	10	10	10	5	48. 78
49. 39～50. 63	10	10	10	10	5	50. 00
50. 64～51. 94	10	10	10	9	5	51. 28
51. 95～53. 33	10	9	10	9	5	52. 63
53. 34～54. 79	10	9	9	9	5	54. 05
54. 80～54. 99	9	9	9	9	5	55. 56
55. 00～55. 17	11	11	11	11	6	54. 55
⋮	⋮	⋮	⋮	⋮	⋮	⋮

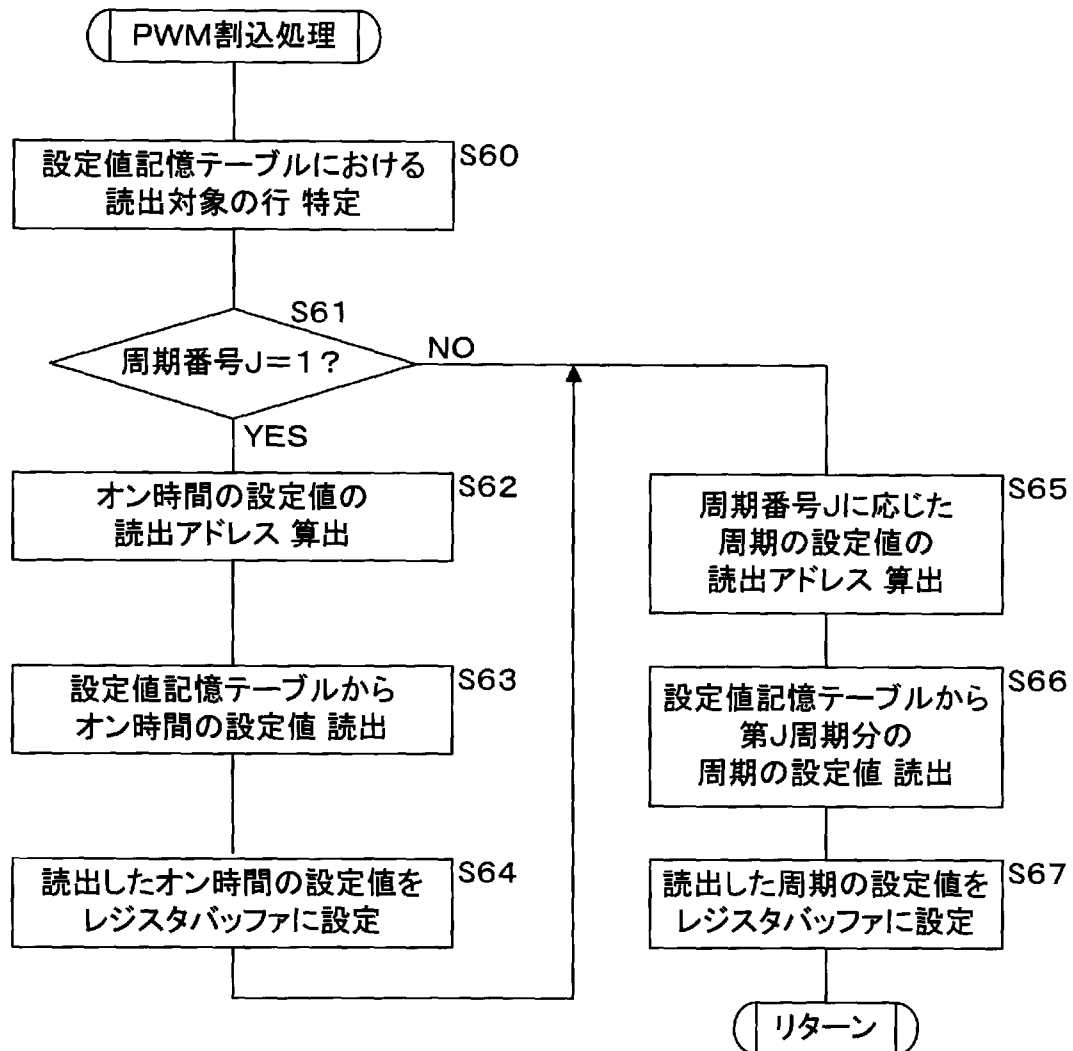
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/055543

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/157(2006.01)i, H02M3/155(2006.01)i, H03K7/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/00-11/00, H03K7/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-289754 A (Fujitsu Ltd.), 19 October 1999 (19.10.1999), paragraphs [0033] to [0039], [0123] to [0129]; fig. 3, 26 & US 6177786 B1 column 8, line 8 to column 9, line 7; column 20, line 29 to column 21, line 15; fig. 4, 27	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
09 May 2016 (09.05.16)

Date of mailing of the international search report
24 May 2016 (24.05.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/055543

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-133485 A (Matsushita Electric Industrial Co., Ltd.), 12 May 2000 (12.05.2000), paragraphs [0001], [0026] to [0036]; fig. 5 to 8 & US 6407480 B1 column 1, lines 4 to 7; column 19, line 23 to column 21, line 43; fig. 5 to 8 & WO 2000/024115 A1 & EP 1050954 A1 & CN 1287707 A	1-6
Y	JP 2002-325437 A (Ricoh Co., Ltd.), 08 November 2002 (08.11.2002), paragraphs [0037] to [0040]; fig. 8, 9 (Family: none)	3-4

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M3/157(2006.01)i, H02M3/155(2006.01)i, H03K7/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M1/00-11/00, H03K7/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 11-289754 A（富士通株式会社）1999.10.19, 段落 [0033] - [0039], [0123] - [0129], [図3], [図26] & US 6177786 B1, 第8欄第8行-第9欄第7行, 第20欄第29行-第21欄第15行, 図4, 図27	1-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

09.05.2016

国際調査報告の発送日

24.05.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

東 昌秋

5G

3139

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-133485 A (松下電器産業株式会社) 2000.05.12, 段落 [0001], [0026] - [0036], [図5] - [図8] & US 6407480 B1, 第1欄第4行-第7行, 第19欄第23行-第21欄第43行, 図5-8 & WO 2000/024115 A1 & EP 1050954 A1 & CN 1287707 A	1-6
Y	JP 2002-325437 A (株式会社リコー) 2002.11.08, 段落 [0037] - [0040], [図8], [図9] (ファミリーなし)	3-4