

發明專利說明書

200537672

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P4102718

※ 申請日期：P4.1.28 ※IPC 分類：H01L 23/48

一、發明名稱：(中文/英文)

岸面柵格陣列封裝裝置及其形成方法

LAND GRID ARRAY PACKAGED DEVICE AND METHOD OF
FORMING SAME**二、申請人：**(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,
U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 蕭喜銘

SHIU, HEI MING

2. 李錦輝

LEE, KAM FAI

3. 王浩宏

WONG, HO WANG

國 籍：(中文/英文)

1-3.均香港 HONG KONG

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004年03月24日；10/807,527

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種積體電路封裝，更具體言之係關於一種製造一岸面柵格陣列(LGA)封裝裝置之改良方法。

【先前技術】

積體電路(IC)晶粒係一形成於半導體晶圓(例如矽晶圓)上之小裝置。一引線框係通常包含一腳座之金屬框架，該腳座用以承載自晶圓上切割出之IC晶粒。該引線框亦具有提供外部電連接之引線指狀物。意即，該晶粒附著至該晶粒腳座，且接著該晶粒之錫墊係經由引線錫接或覆晶凸塊植球(flip chip bumping)連接至該等引線指狀物以提供外部電連接。以一保護材料密封該晶粒及引線錫接或覆晶凸塊以形成一封裝。根據該封裝類型，該等外部電連接可按原樣(as-is)使用，例如在薄型小尺寸封裝(Thin Small Outline Package, TSOP)中；或接受進一步的處理，例如藉由附著上用於球狀柵格陣列(BGA)的球形焊球。該等端點允許該晶粒與其他電路進行電連接，例如在印刷電路板上。然而，若需要如化學蝕刻及回蝕等步驟，則形成一引線框及封裝一裝置可較昂貴且耗時。

實際上，所有電子裝置皆使用封裝IC且總是需要更小而更強大之裝置，非常需要減小封裝尺寸。LGA封裝藉由消除作為球狀柵格陣列(BGA)封裝之一部分之焊球來降低其高度。取代了利用焊球將封裝裝置附著至印刷電路板(PCB)，LGA封裝經由一插口附著至PCB。最近，LGA封

裝利用應用至電路板之焊料來迴錫黏著 (reflow-mounted)。封裝高度降低但其可靠性並未減少使得LGA封裝風行於許多電子裝置，如蜂巢式電話、數位相機、個人數位助理(PDA)等。此外，LGA封裝能以更小的封裝達成更高的引腳計數(pin count)。與此同時，該自IC至封裝墊之電路縮短了。

因此，需要具有一種製造LGA封裝裝置之廉價方法。

【實施方式】

下文結合隨附圖式所做的詳細描述欲作為本發明之當前較佳實施例之描述，且不欲代表本發明可實施之唯一形式。應瞭解，藉由不同的實施例可達成相同或等效之功能，該等實施例欲包括在本發明之精神及範疇之內。

本發明提供一種封裝一積體電路晶粒之方法，其包含如下步驟：

提供一箔片；

在該箔片之一第一側上形成一焊料層；

使一積體電路晶粒之第一側附著至在該箔片上之焊料，其中該晶粒之第一側上包含一金屬層，且該晶粒之相對的第二側包含複數個錫墊；

利用複數個引線將該等錫墊電連接至該箔片上之焊料；

利用模塑化合物封裝該晶粒、該等電連接及該箔片之該第一側；且

將該箔片自該晶粒及該等複數個引線分隔開來，藉此形成一封裝積體電路。

在本發明之另一實施例中，利用上述方法藉由使多個晶粒附著至該箔片上之焊料且將該等多個晶粒電連接至該焊料，封裝所有該等晶粒，並接著使該等封裝晶粒各自分隔開且與該箔片分隔開，藉而大體上同時形成複數個封裝積體電路。

在本發明之又一實施例中，利用上述方法形成多晶片模組。

現參照圖1，顯示了根據本發明之一實施例形成之封裝半導體裝置10之放大橫截面圖。封裝裝置10包括一積體電路晶粒12，如自矽晶圓之一個切口，具有一帶有複數個鐳墊14之頂邊。該等鐳墊14具有連接至其之多個引線16。更特定言之，該等引線16之第一末端係連接至各鐳墊14而第二末端延伸至一形成球體18之共同平面(封裝底部)。如下文之更詳細描述中，球體18形成為引線鐳接過程之一部分。該晶粒12、該等電連接、該等引線16及該等球體18之至少一頂部部分以模塑化合物20加以覆蓋或封裝。該晶粒12之底部及該等球體18塗覆有允許晶粒12及球體18連接至一印刷電路板(未圖示)之一焊料薄層22。熟習此項技術者已知，引線16所連接之球體18係用於自晶粒12及基板或印刷電路板傳遞資料、能量及接地訊號及將資料、能量及接地訊號傳遞至晶粒12及基板或印刷電路板。晶粒12連接之焊料22可自晶粒12導熱(意即，熱管理)並強化板級(board level)焊接點強度。

積體電路晶粒12可以係任何類型之電路，如數位訊號處

理器、專用電路等。此等電路係熟習此項技術者所熟知的。引線16係封裝積體電路所共用之類型且為熟習此項技術者所熟知者。引線16係以導電材料製成，使得電訊號可藉此通過。導電材料可為金屬，如銅或金或其合金，且具有約50至100 μm 之直徑。由其他材料製成且具有不同直徑之引線亦合適。

現參考圖2A到2E及圖3，將描述一種形成封裝裝置10之方法。圖2A係顯示於箔片30之第一側上安置有一焊料層32之箔片30的放大橫截面圖。該箔片30包括一相對平坦之裸金屬(例如銅或鋁)片。此等箔片市面上有售且係熟習此項技術者所熟知者。焊料層32藉由欲該箔片30上絲網印刷一高溫焊錫膏層而形成於該箔片30上。該焊料層32具有約0.1 mm之厚度。焊料32較佳係迴錫溫度範圍在約250°C至約300°C下之高溫焊錫膏，如迴錫溫度為約310°C之97%/2%/1% Pb/Ag/Sn焊料。藉由使用諸如不銹鋼模板之模板，於箔片30之預定區域上形成該焊料層32。在圖3中，其係用於形成一封裝積體電路裝置之過程的流程圖，步驟50表示箔片30之提供，步驟52表示於箔片上形成焊料層32。

一個或多個積體電路晶粒12藉由焊料32附著至箔片30。更具體言之，積體電路晶粒12之第一側係安置於焊料層32上。若晶粒12係於焊料凝固前置於焊料32上，則標準挑選及安置設備可用於將晶粒12附著至箔片30。為便於使晶粒12附著至箔片30上之焊料32，該晶粒12之底側包含一金屬

層 34。該金屬層 34 可藉由背面研磨 (backlapping) 而施加至晶粒 12，其中晶圓之背面在壓力下利用一濕研磨劑碾碎。接著，諸如金之金屬係經由濺鍍而沉積於晶圓之背面。此種背面金屬化在此項技術中為人所熟知，因為其便於晶粒附著。晶粒 12 之頂部包含複數個鐳墊 14。

在圖 3 中，步驟 54 表示晶粒附著。接著，在步驟 56 中執行第一迴鐳處理，其中箔片 30 係通過一迴鐳烘箱。烘箱中之熱度熔融焊錫膏 32 且焊料緩慢流至晶粒 12 之側面上，形成焊腳 (fillet) 36，並將晶粒 12 固定至箔片 30。

現參照圖 3 及圖 2B，在第一迴鐳處理 56 之後，執行引線鐳接步驟 58，其中附著用於將該等鐳墊 14 連接至該箔片 30 之引線 16。引線 16 將鐳墊 14 電連接至箔片 30 上之焊料 32。熟習此項技術者應理解，焊料 32 已經形成於箔片 30 之預定位置中，如決定容納晶粒 12 之位置及界定用於封裝裝置 10 輸入及輸出之位置，其在此實例中係用於岸面柵格陣列 (參看圖 4)。該引線鐳接過程較佳係一球體鐳接過程。眾所周知，在球體鐳接過程中，引線係固持於一毛細管中且電火花 (EFO) 係用於在引線尖端形成一微小球體。在本發明中，引線 16 之受熱尖端係被壓入箔片 30 上之焊料 32 中。由於引線 16 之尖端係熱的、軟的，因此於箔片 32 上形成一壓扁球體 38。視晶粒 12 之電子需求而定，可使用各種線規引線。典型的引線尺寸係約 50 μm 至約 100 μm 。對 75 μm 線規引線而言，壓扁球體鐳接將具有約 0.25 mm 之直徑。此外，由於使用了一平面箔片，球體 38 具有大體上平坦之底

面。電路 I/O 之數量係用於決定引線 16 及球體 38 之數量。

在引線銲接過程 58 執行完後，封裝該等晶粒 12、該等電連接、該等引線 16 及該等球體 38 之一部分，較佳係利用塑料材料，正如熟習封裝積體電路之技術者所熟知。圖 2C 及圖 3，步驟 60 描述該封裝步驟，其中模塑化合物 20 係形成於晶粒 12、引線 16 及焊料層 32 及箔片 30 之頂上。較佳之模塑化合物 20 係用於半導體封裝之一般可得之環氧模塑化合物。圖 2C 顯示其上具有密封劑 20 之箔片 30。在此階段，密封劑 20 覆蓋箔片 30 之一整個側面。

在封裝步驟 60 之後，執行一第二迴銲處理 62 以自晶粒 12 及引線 16 分隔出箔片 30。圖 2D 顯示與封裝晶粒 12 及引線 16 分隔開之箔片 30 及焊料層 32 之一部分。第二迴銲處理 62 使金屬箔 30 上之焊料 32 變平滑且使環氧模塑化合物 20 及金屬箔 30 之間之介面變弱，此便於箔片 30 自模塑化合物 20 脫離。應注意，焊料 32 之一部分在箔片 30 自其分隔開之後仍附著在引線 16 及晶粒 12 上。

典型之封裝過程中係大體上同時封裝多個裝置，在箔片 32 脫離之後，該等封裝晶粒 12 及連接至各晶粒之引線 16 彼此分隔開來，使得在單切 (singulation) 步驟 64 中之多個封裝裝置 10。圖 2E 顯示在單切之後的 3 個獨立裝置 10。一已知的鋸單切 (saw singulation) 處理係較佳的。圖 4 係根據本發明之方法形成的封裝裝置 10 之放大底部透視圖。

在鋸單切處理 64 之前，可執行一可選電功能測試。由於該等封裝裝置之 I/O 端子在整個封裝過程中係分隔的，柵

格格式之電測試係可能的，因此無需額外的處理或成本即可改良測試器利用率及使平行測試成為可能。

封裝裝置10具有改良之高頻電效能，因為自IC 12至該板之訊號路徑被縮短。此外，系統可靠性藉由根據由系統板之偏轉引起之應力失效提高焊接點抗性而得以改良。改良之RF效能及機械應力失效抗性對於蜂巢式電話聽筒製造者而言係十分重要之問題。

本發明亦可用於形成多晶片模組(MCM)、系統化封裝(system in a package, SIP)及堆疊晶粒裝置。圖5顯示根據上述方法形成之具有兩個積體電路42及一被動裝置44之多晶片裝置40。電路42及被動裝置44以引線46連接。電路42及44及引線46以模塑化合物48加以封裝。如上所述，少量焊料剩餘在形成於引線46之末端且於電路42及44之下的壓扁球體上。

儘管在實施例中顯示該封裝裝置係一暴露晶粒型裝置，但是本發明可應用於具有散熱片之封裝裝置且該散熱片係暴露的。在此情況下，晶粒12附著至由金屬(如銅)形成之晶粒腳座之一側，且該晶粒腳座之另一側附著至該箔片。

本發明提供一種封裝一積體電路之簡易且廉價之方法。裝置成本低，因為既不需要基板亦不需要端子(外部引腳或球體)。由於無金屬引線框，該用於單切步驟之鋸條勿須切穿金屬，所以該鋸條將具有較長的壽命。同理，由於無需引線框，無需執行基板跡線佈線。該封裝過程無需任何化學回蝕，而化學回蝕處理可較昂貴。該封裝過程可使

用當前可得之裝備來執行。該封裝亦具有很低之構形，低至 0.4 mm。岸面柵格陣列提供高互連密度，例如 200+I/O 係可能的。

儘管已經說明且描述了本發明之較佳實施例，但應瞭解本發明並非僅僅侷限於該等實施例。熟習此項技術者將不難發現，在不偏離如申請專利範圍中描述之本發明之精神及範疇的情況下可對本發明作出諸多修改、改變、變化、替代及等效物。

【圖式簡單說明】

圖 1 係根據本發明之一實施例之封裝積體電路之放大橫截面圖；

圖 2A-2E 係例示說明根據本發明之一實施例之形成複數個封裝積體電路之過程的放大橫截面圖；

圖 3 係根據本發明之一實施例之一形成一封裝積體電路之過程的流程圖；

圖 4 係顯示根據本發明之一實施例之封裝積體電路之底側的放大透視圖；且

圖 5 係根據本發明之一實施例之多晶片模組之放大橫截面圖。

【主要元件符號說明】

10	封裝半導體裝置
12	積體電路晶粒
14	鐳墊
16	引線

18	球 體
20	模 塑 化 合 物
22	焊 料
30	箔 片
32	焊 料 層
34	金 屬 層
36	焊 腳
38	壓 扁 球 體
40	多 晶 片 裝 置
42	電 路
44	被 動 裝 置
46	引 線
48	模 塑 化 合 物

五、中文發明摘要：

本發明提供一種封裝一積體電路晶粒(12)之方法，其包含以下步驟：提供一箔片(30)且在該箔片之一第一側上形成一焊料層(32)。該積體電路晶粒之第一側係附著至該箔片上之焊料。該晶粒之第一側上具有一金屬層(34)，且該晶粒之第二相對側包含多個鐸墊(14)。該等鐸墊係利用引線(16)而電連接至該箔片上之焊料。利用一模塑化合物(20)來封裝該晶粒、該等電連接及該箔片之該第一側。使該箔片自該晶粒及該等引線分隔開，藉而形成一封裝積體電路(10)。

六、英文發明摘要：

ABSTRACT OF THE INVENTION

LAND GRID ARRAY PACKAGED DEVICE AND METHOD OF FORMING SAME

A method of packaging an integrated circuit die (12) includes the steps of providing a foil sheet (30) and forming a layer of solder (32) on a first side of the foil sheet. A first side of the integrated circuit die is attached to the solder on the foil sheet. The first side of the die has a layer of metal (34) on it and a second, opposing side of the die includes bonding pads (14). The bonding pads are electrically connected to the solder on the foil sheet with wires (16). The die, the electrical connections, and the first side of the foil sheet are encapsulated with a mold compound (20). The foil sheet is separated from the die and the wires, which forms a packaged integrated circuit (10).

原文說明書電子檔名:

P:\Foreign Spec\

-filing

存檔人:

十、申請專利範圍：

1. 一種封裝一積體電路晶粒之方法，其包括以下步驟：
提供一箔片；
在該箔片之一第一側上形成一焊料層；
使該積體電路晶粒之一第一側附著至該箔片上之該焊料，其中該晶粒之該第一側上包含一金屬層，且該晶粒之一第二相對側包含複數個鐳墊；
利用複數個引線將該等鐳墊電連接至該箔片上之該焊料；
利用一模塑化合物封裝該晶粒、該等電連接及該箔片之該第一側；且
將該箔片與該晶粒及該等複數個引線分隔開，藉此形成一封裝積體電路。
2. 如請求項1之封裝積體電路之方法，其中該箔片包括一裸金屬片。
3. 如請求項2之封裝積體電路之方法，其中該金屬片包括銅及鋁中之一者。
4. 如請求項1之封裝積體電路之方法，其中該焊料係經由一絲網印刷處理而形成於該箔片上。
5. 如請求項4之封裝積體電路之方法，其中該焊料層具有一約0.1 mm之厚度。
6. 如請求項1之封裝積體電路之方法，進一步包括在該晶粒附著步驟之後執行一第一迴鐳處理。
7. 如請求項6之封裝積體電路之方法，其中該第一迴鐳處

理熔融該焊料，藉此將該晶粒固定至該箔片。

8. 如請求項1之封裝積體電路之方法，其中該等複數個引線係經由一引線銲接過程而至該等銲墊及該焊料。
9. 如請求項1之封裝積體電路之方法，其中該引線銲接過程包括一球體銲接過程。
10. 如請求項9之封裝積體電路之方法，其中於該箔片上形成多個壓扁球體銲接，該等球體銲接具有一約0.25 mm之直徑。
11. 如請求項1之封裝積體電路之方法，其中該等引線具有一約50 μm 至約100 μm 之直徑。
12. 如請求項1之封裝積體電路之方法，其中該箔片係經由一第二迴銲處理而與該晶粒及該等引線分隔開。
13. 如請求項1之封裝積體電路之方法，其中該焊料之一部分在該箔片與其分隔之後仍附著至該等引線及該晶粒。
14. 如請求項1之封裝積體電路之方法，其中該一個以上晶粒附著至該箔片，且當該箔片與該晶粒及該等引線分隔開之後，該晶粒與連接至各晶粒之該等引線彼此分隔開來，使得可大體上同時形成多個封裝裝置。
15. 一種形成複數個積體電路封裝之方法，其包括以下步驟：

提供一金屬箔片；

經由一絲網印刷處理在該箔片之一第一側上形成一高溫焊料層；

使複數個積體電路晶粒之第一側附著至該箔片上之該

焊料，其中該等晶粒各自之該第一側上包含一金屬層，且該等晶粒各自之一第二相對側包含複數個鐸墊；

執行一第一迴鐸處理以將該等複數個積體電路晶粒固定至該金屬箔；

經由一引線鐸接過程，利用複數個引線將該等鐸墊電連接至該箔片，其中該等引線之第一末端係附著至該等鐸墊且該等引線之第二末端係附著至該箔片；

利用一模塑化合物封裝該等積體電路晶粒、該等電連接及該箔片之該第一側；

經由第二迴鐸過程將該箔片及該焊料層自該等積體電路晶粒、該等複數個引線之第二端子及該模塑化合物分隔開，其中僅該焊料之一部分係自該等晶粒及該等複數個引線之該等第二末端移除；及

將該等封裝積體電路晶粒及連接至其之該等引線與該等封裝積體電路晶粒之其它引線分隔開，藉此形成複數個封裝積體電路。

16. 如請求項15之封裝積體電路之方法，其中壓扁球體鐸接係形成於該箔片上，該等球體鐸接具有一約0.25 mm之直徑。

17. 如請求項15之複數個積體電路封裝之形成方法，其中該分隔步驟包括將該封裝晶粒自相鄰之封裝晶粒鋸單切出之步驟。

18. 一種形成一多晶片模組之方法，其包括以下步驟：
提供一金屬箔片；

經由一絲網印刷處理在該箔片之第一側上形成一高溫焊料層；

使至少兩個積體電路晶粒之第一側附著至該箔片上之該焊料，其中該等晶粒各自之該第一側上包含一金屬層，且該等晶粒各自之一第二相對側包含複數個鐸墊；

執行一第一迴鐸處理以將該等至少兩個積體電路晶粒固定至該金屬箔；

經由一第一引線鐸接過程，利用複數個第一引線將該等至少兩個晶粒各自之該等鐸墊之一第一部分電連接至該箔片，其中該等第一引線之第一末端係附著至該等鐸墊且該等第一引線之第二末端係附著至該箔片；

藉由一第二引線鐸接過程，利用複數個第二引線將該等晶粒之一第一個之該等鐸墊之一第二部分連接至該等晶粒之一第二個之該等鐸墊之一第二部分，而使該等至少兩個晶粒彼此電連接在一起；

利用一模塑化合物封裝該等至少兩個積體電路晶粒、該等電連接及該箔片之該第一側；且

經由一第二迴鐸處理，將該箔片及該焊料層自該等至少兩個積體電路晶粒、該等複數個第一引線之第二末端及該模塑化合物分隔開，其中僅該焊料層之一部分自該等至少兩個晶粒及該等複數個引線之該等第二末端移除。

19. 如請求項18之多晶片模組之形成方法，進一步包括以下步驟：

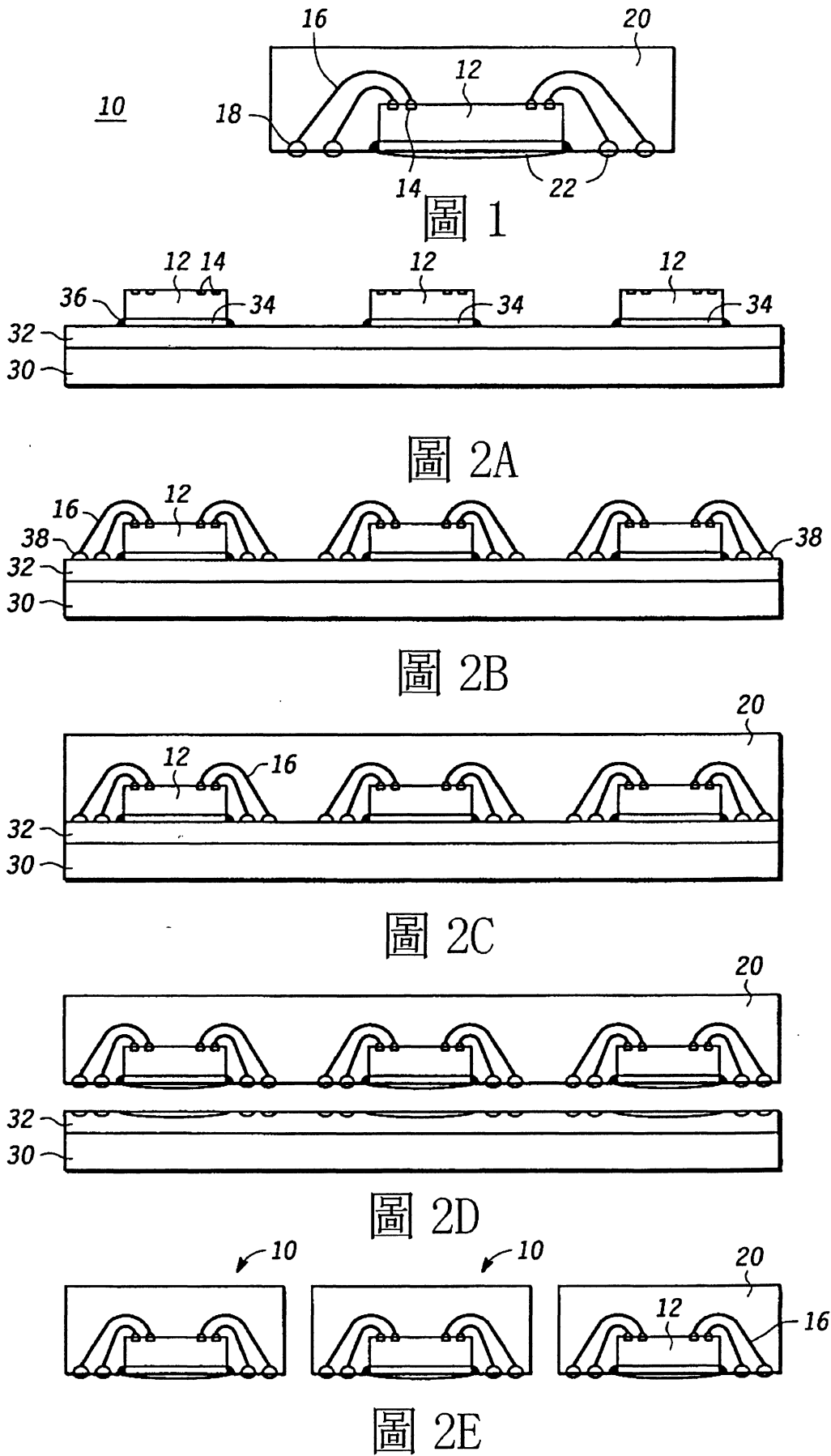
將該封裝晶粒自相鄰之封裝晶粒鋸單切開。

20. 如請求項18之多晶片模組之形成方法，進一步包括以下步驟：

將一被動裝置附著至該箔片上之該焊料；及

將該被動裝置電連接至該等至少兩個晶粒中之至少一者，且其中利用該模塑化合物來封裝該被動裝置。

十一、圖式：



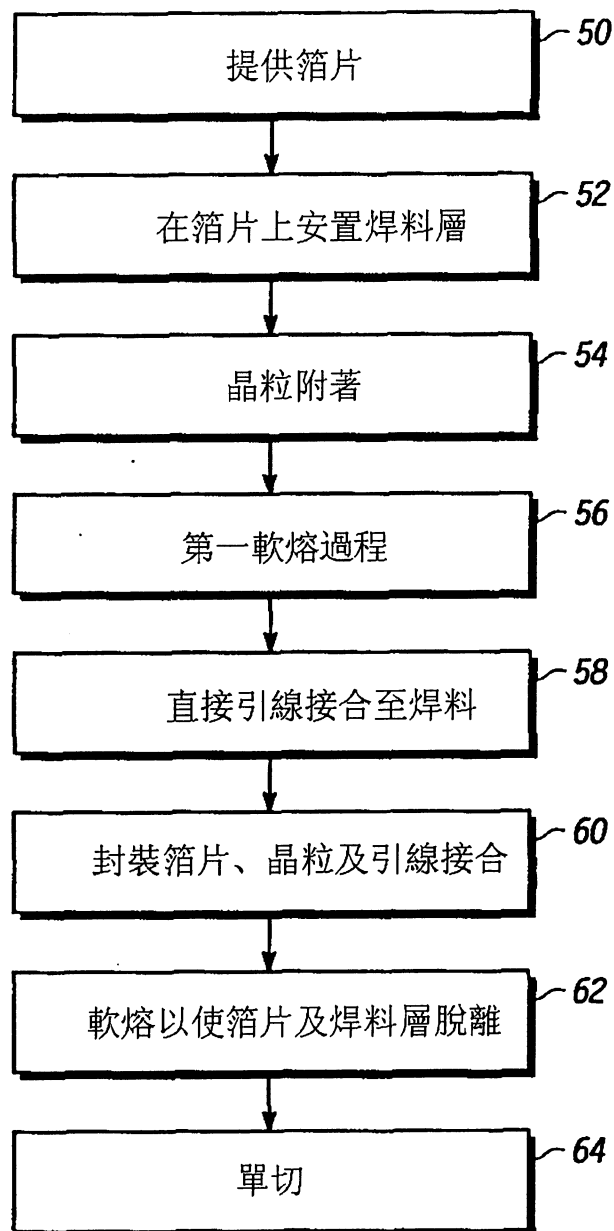


圖 3

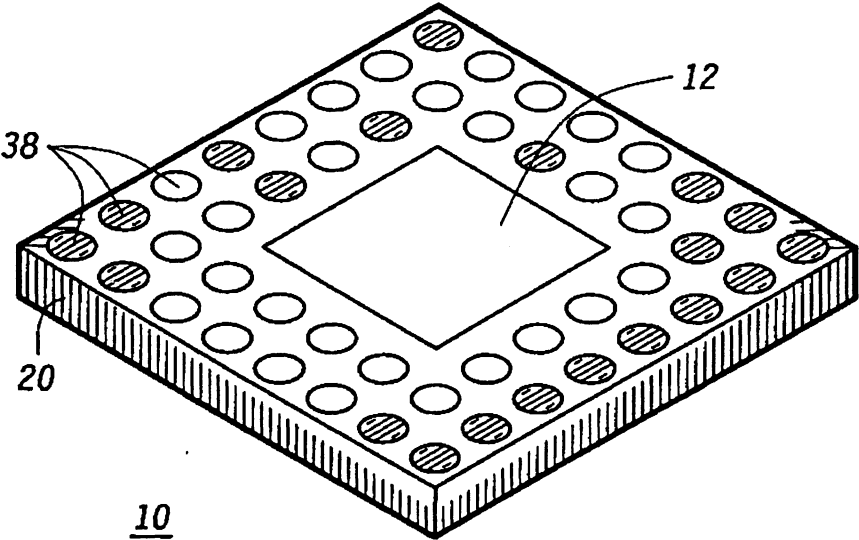


圖 4

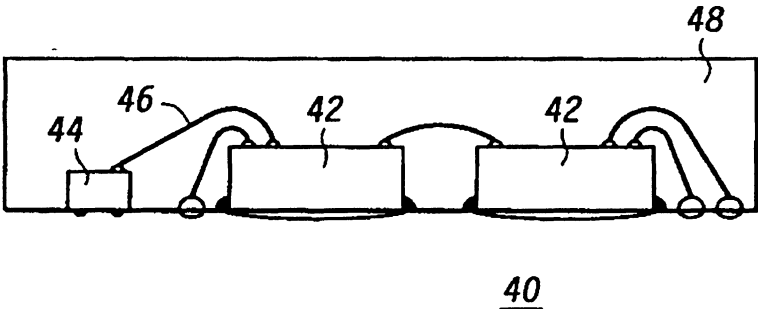


圖 5

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10	封裝半導體裝置
12	積體電路晶粒
14	鐳墊
16	引線
18	球體
20	模塑化合物
22	焊料

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)