



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년12월02일
(11) 등록번호 10-1681642
(24) 등록일자 2016년11월25일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01)
(21) 출원번호 10-2009-0102474
(22) 출원일자 2009년10월27일
심사청구일자 2014년09월16일
(65) 공개번호 10-2011-0045776
(43) 공개일자 2011년05월04일
(56) 선행기술조사문헌
W02009107271 A1*
KR1020060044418 A*
KR1020050018099 A*
JP2002202736 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
정미혜
경기도 수원시 장안구 천천로74번길 92, 대림진흥
아파트 824동 1402호 (정자동)
조세형
서울특별시 송파구 올림픽로 435, 101동 1001호
(신천동, 파크리오)
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 14 항

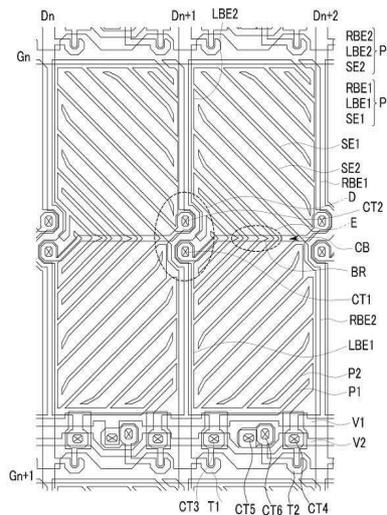
심사관 : 윤성주

(54) 발명의 명칭 액정 표시 장치 및 이의 제조 방법

(57) 요약

동일 층에 형성되어 상호간에 전계를 형성하는 제 1 화소 전극과 제 2 화소 전극을 포함하는 화소 구조를 가진 액정 표시 장치에서, 제 1 화소 전극과 데이터 배선 사이에 발생하는 기생용량과 제 2 화소 전극과 데이터 배선 사이에 발생하는 기생용량을 실질적으로 동일하게 함과 동시에 투과율 감소를 최소화하는 구성이 개시된다. 이를 위해, 본 발명에 따른 액정 표시 장치는 제 1 화소 전극이 두 개 이상의 부분으로 구분되고, 화소 전극을 형성하는 도전층과 다른 도전층으로 형성된 연결 다리를 통해 제 2 화소 전극의 형상에 영향을 끼치지 않은 상태에서 상기 두 개 이상의 부분이 전기적으로 연결된다. 동시에, 제 1 화소 전극은 인접한 제 1 데이터 배선의 하부 및 제 2 데이터 배선의 상부와 용량 결합되고 제 2 화소 전극은 상기 제 1 데이터 배선의 상부 및 상기 제 2 데이터 배선의 하부와 용량 결합된다.

대표도 - 도2



(72) 발명자

기동현

서울특별시 도봉구 해동로 50, 주공3단지아파트
309동 103호 (창동)

김동규

경기도 용인시 수지구 진산로66번길 27, 삼성7차아
파트 705동 903호 (풍덕천동)

백승수

서울특별시 관악구 승방6길 12, 302호 (남현동)

나혜석

경기도 수원시 영통구 영통로 232, 벽적골8단지아
파트 811동 606호 (영통동)

명세서

청구범위

청구항 1

투명한 제 1 절연 기관;

상기 제 1 절연 기관 위에 위치하며, 서로 교차하는 복수의 게이트 배선과 복수의 데이터 배선,

상기 제 1 절연 기관 위에 위치하며, 물리적으로 분리되어 있는 제 1 부분과 제 2 부분을 가지는 제 1 화소 전극,

상기 제 1 절연 기관 위에 위치하며, 상기 제 1 화소 전극과 전계를 형성하는 제 2 화소 전극 및

적어도 하나의 도전층으로 구성되며, 상기 제 1 화소 전극과 적어도 하나의 절연막을 사이에 두고 배치되어 있으며 상기 절연막이 가지는 콘택홀을 통해 상기 제1 부분과 상기 제2 부분 사이를 전기적으로 연결하는 연결다리를 포함하고,

상기 제2 화소 전극은 상기 절연막을 사이에 두고 상기 연결 다리와 적어도 한 곳 이상에서 교차하며 상기 연결 다리와 교차하는 부분 중 적어도 한 곳에서 상기 연결 다리의 연장 방향을 따라 돌출되는 돌출부를 포함하며,

상기 콘택홀은 제1 콘택홀과 제2 콘택홀을 가지고, 상기 연결다리는 상기 제 1 콘택홀을 통해 상기 제 1 부분과 접속하고 상기 제 2 콘택홀을 통해 상기 제 2 부분과 접속하며, 하나의 화소의 제 1 콘택홀과 그와 이웃한 화소의 제 2 콘택홀은 상기 데이터 배선의 연장 방향을 따라 배치되는 액정 표시 장치.

청구항 2

제 1 항에서,

상기 제 1 부분은 상기 제1 화소 전극과 인접한 제1 데이터 배선 및 제2 데이터 배선 중 상기 제1 데이터 배선과 용량 결합되고 상기 제 2 부분은 상기 제2 데이터 배선과 용량 결합되는 액정 표시 장치.

청구항 3

제 2 항에서,

상기 제2 화소 전극은 물리적으로 일체로 형성되며 상기 제1 데이터 배선 및 제2 데이터 배선 모두와 용량 결합되는 액정 표시 장치.

청구항 4

제 3 항에서,

상기 제 1 화소 전극과 상기 제 1 데이터 배선간에 형성되는 정전 용량 값과 상기 제 2 화소 전극과 상기 제 1 데이터 배선간에 형성되는 정전 용량 값이 실질적으로 동일하며,

상기 제1 화소 전극과 상기 제 2 데이터 배선간에 형성되는 정전 용량 값과 상기 제2 화소 전극과 상기 제 2 데이터 배선간에 형성되는 정전 용량 값이 실질적으로 동일한 액정 표시 장치.

청구항 5

삭제

청구항 6

제 1 항에서,

상기 데이터 배선은 하나의 화소의 제 1 콘택홀과 그와 이웃한 화소의 제 2 콘택홀을 휘돌아 내려가는 액정 표

시 장치.

청구항 7

제 1 항에서,
 상기 제 1 절연 기판과 마주보는 제 2 절연 기판,
 상기 제 1 절연 기판과 제 2 절연 기판 사이에 개재되는 포지티브 액정 및
 상기 제1 화소 전극 및 상기 제2 화소 전극 위에 위치하는 수직 배향막을 더 포함하는 액정 표시 장치.

청구항 8

제 1 항에서,
 화소 마다 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터를 더 포함하며,
 상기 제 1 박막 트랜지스터의 드레인 전극은 제 3 컨택홀을 통해 제 1 화소 전극과 접속되고, 상기 제 2 박막 트랜지스터의 드레인 전극은 제 4 컨택홀을 통해 제 2 화소 전극과 접속되는 액정 표시 장치.

청구항 9

제 8 항에서,
 제 1 기준 전압 배선 및 제 2 기준 전압 배선을 더 포함하며,
 상기 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터 중 어느 하나의 소스 전극은 화소 별로 상기 제 1 기준 전압 배선 또는 상기 제 2 기준 전압 배선과 제 5 컨택홀을 통해 교번으로 접속되고, 상기 제 5 컨택홀은 상기 제 3 컨택홀과 상기 제 4 컨택홀 사이에 위치하는 액정 표시 장치.

청구항 10

삭제

청구항 11

제 1 항에서,
 상기 돌출부는 상기 연결 다리의 너비보다 넓은 너비를 갖는 부분을 포함하는 액정 표시 장치.

청구항 12

제 1 항에서,
 상기 데이터 배선은 복수 번 굴절되어 있고, 상기 제1 화소 전극과 상기 제2 화소 전극은 굴절된 가지부를 가지며, 상기 제1 화소 전극과 상기 제2 화소 전극의 굴절된 가지부를 이루는 각 직선부는 상기 데이터 배선을 이루는 직선부 중 적어도 하나와 나란한 액정 표시 장치.

청구항 13

제 12 항에서,
 상기 제1 화소 전극 및 상기 제2 화소 전극의 상기 굴절된 가지부는 두 번 굴절되어 있는 액정 표시 장치.

청구항 14

제 13 항에서,

상기 연결 다리는 상기 제1 화소 전극 및 상기 제2 화소 전극의 상기 굴절된 가지부의 두 굴절부 사이와 교차하는 액정 표시 장치.

청구항 15

제 12 항에서,

상기 제1 화소 전극 및 상기 제2 화소 전극의 상기 굴절된 가지부는 한 번 굴절되어 있는 액정 표시 장치.

청구항 16

제 15 항에서,

상기 연결 다리는 상기 제1 화소 전극 및 상기 제2 화소 전극의 상기 굴절된 가지부의 굴절부와 교차하는 액정 표시 장치.

청구항 17

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 표시 장치 및 이의 제조 방법에 관한 것으로, 보다 상세하게는 데이터 배선과 화소 전극 사이의 기생 용량 비대칭에 따른 화질 불량을 개선한 고 투과율 액정 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 액정 표시 패널에 입사되는 입사광의 세기 대 최대 투과광의 세기로 정의되는 투과율은 최종 제품의 소비전력과 휘도에 결정적인 영향을 미치는 액정 표시 패널의 중요한 성능 인자 중 하나이다. 투과율은 여러 가지 변수에 의해 그 값이 달라질 수 있는데 그 중 대표적인 것으로 컬러 필터의 성능, 액정 모드의 종류, 박막 트랜지스터 기관의 개구율 등을 들 수 있다.

[0003] 기존의 액정 모드 대비 투과율을 향상시킨 것으로는 한국공개특허 10-2009-0024031에 따른 액정 모드를 들 수 있다. 상기 액정 모드는 수직 초기 배향, 횡전계, 고전압 구동이 결합된 구성으로, 최초에는 고속 응답 광시야 모드 관점으로 개발되었으나 최근 연구 결과에 따르면 응답 속도를 종래 기술 수준으로 설계할 경우 투과율이 종래 기술 대비 10% 이상 향상되는 것으로 확인되었다.

[0004] 그러나 상기 신규 액정 모드는 고전압 구동을 위해 1개의 픽셀마다 2개의 데이터 배선이 필요한 구조이어서 데이터 구동 드라이버 채널 수 증가로 인한 원가 상승 문제가 있을 뿐만 아니라 한국공개특허 10-2008-0025498에 따른 액정 표시 장치와 같이 고정세 고속구동을 위하여 두 개의 게이트 배선을 동시에 턴온하여 구동 마진을 확보하는 구조와 결합할 경우 필요한 데이터 배선의 수가 한 픽셀당 4개로 증가하게 되는 문제가 있어 고정세 고속구동에 대한 대응력이 떨어지는 문제가 있었다.

[0005] 이에 따라 한국출원특허 10-2008-0056321에 따른 액정 표시 장치는, 당해 출원명세서의 도 41, 42, 49, 50 및 이에 대한 상세한 설명 부분에서 확인할 수 있듯이, 공유 데이터 배선을 도입하여 픽셀 1개당 실질적인 데이터 배선 수를 1개로 줄임으로써 상기 신규 액정 모드의 문제점을 해결하고자 하였다. 그러나 이러한 구조는 마주 보는 한 쌍의 화소 전극이 각각 서로 다른 데이터 배선과 용량 결합되기 때문에 데이터 배선에 의한 킥백 전압(V_kb)이 서로 달라 화질 불량이 발생하는 문제가 있었다. 특히, 상기 출원 특허와 같이 고전압 이중 극성 구동을 적용하는 경우 인접한 데이터 배선 간의 전압차가 매우 커지게 되므로 상술한 킥백 전압(V_kb)에 의한 화질 저하 문제가 매우 심각해진다.

[0006] 이에 따라 한국출원특허 10-2009-0043720에 따른 액정 표시 장치는, 당해 출원명세서의 도 12~16 및 이에 대한 상세한 설명에서 확인할 수 있듯이, 한 쌍의 화소 전극이 인접한 두 개의 데이터 배선 모두에 동일하게 용량 결합되도록 구성함으로써 상술한 화질 불량 문제를 개선하였다.

발명의 내용

해결 하고자하는 과제

[0007] 그러나, 상기 한국출원특허 10-2009-0043720에서 개시한 구조의 경우 본 명세서의 도 1 에서 확인할 수 있듯이 제 1 화소 전극(P1)이 제 2 화소 전극(P2)을 자르며 지나가는 A 영역과 제 2 화소 전극(P2)이 제 1 화소 전극(P1)을 가로지르며 지나가는 B 영역에서 전기장의 방향이 편광관의 투과축과 45도를 이루지 않는 부분이 다수 발생하게 되어 텍스처가 발생하게 되고 이로 인해 투과율이 떨어지는 문제가 있었다. 또한, 상기 A, B 영역에서는 투과율 손실을 최소화하기 위하여 제 1 화소 전극(P1)과 제 2 화소 전극(P2) 간의 거리를 가깝게 할 수 밖에 없는데 이로 인하여 화소 전극 단락으로 인한 불량 발생 확률이 높아져 제품 수율이 떨어지는 요인이 되었다.

[0008] 한편, 이러한 구조의 경우 도 1의 C 에서 확인할 수 있듯이 제 1 화소 전극(P1)과 제 2 화소 전극(P2) 중 하나가 박막 트랜지스터의 드레인 전극과 겹쳐지는 구조가 필연적이어서 두 화소 전극 간에 킥백 전압의 편차가 심하게 발생하여 프레임 반전 구동시 플리커(flicker)가 인지되는 문제가 있었다.

[0009] 이에 따라 본 발명은 상술한 종래 기술의 문제점을 해결하고자 한다.

과제 해결수단

[0010] 화소 각각에 상호간에 전계를 형성하는 제 1 화소 전극과 제 2 화소 전극을 동일한 층에서 상호 절연되게 위치시키되, 제 1 화소 전극을 두 개 이상의 부분으로 구분한 후 화소 전극을 형성하는 도전층과 다른 도전층으로 형성된 연결 다리를 통하여 상기 두 개 이상의 부분을 전기적으로 연결한다.

[0011] 이때, 제 1 화소 전극은 인접한 제1 데이터 배선의 하부 및 인접한 제 2 데이터 배선의 상부와 용량 결합하게 하고 제 2 화소 전극은 상기 제 1 데이터 배선의 상부 및 상기 제 2 데이터 배선의 하부와 용량 결합하도록 하여, 제 1 화소 전극과 인접한 데이터 배선들 사이에 발생하는 기생 용량 값과 제 2 화소 전극과 인접한 데이터 배선들 사이에 발생하는 기생 용량 값이 항상 실질적으로 동일하게 함으로써 상술한 종래 기술의 문제를 해결한다.

발명의 실시를 위한 구체적인 내용

[0012] 이하, 도면 및 실시예를 통해 본 발명을 구체적으로 설명한다.

제 1 실시예

[0014] 먼저, 도 2 내지 도 6를 참조하여 본 발명의 제 1 실시예에 대하여 설명한다.

[0015] 도 2는 제 1 실시예에 따른 박막 트랜지스터 기관의 표시 영역에 위치한 인접한 두 개의 화소를 도시한 평면도이다

[0016] 도 2 에 도시된 바와 같이, 본 실시예의 박막 트랜지스터 기관은 데이터 배선(Dn, Dn+1, Dn+2)과 게이트 배선(Gn, Gn+1)에 의해 정의되는 화소 각각에 제 1 박막 트랜지스터(T1)와 제 2 박막 트랜지스터(T2)가 형성된다. 제 1 박막 트랜지스터(T1)의 소스 전극은 데이터 배선(Dn, Dn+1, Dn+2)에서 연장되어 형성되고 드레인 전극은 제 3 콘택홀(CT3)을 통해 제 1 화소 전극(P1)과 접속되며 게이트 전극은 게이트 배선(Gn, Gn+1)에서 연장되어 형성된다. 제 2 박막 트랜지스터(T2)의 소스 전극은 제 5 콘택홀(CT5) 및 제 6 콘택홀(CT6)을 통해 화소 별로 제 1 기준 전압 배선(V1) 또는 제 2 기준 전압 배선(V2)과 교번으로 접속되고 드레인 전극은 제 4 콘택홀(CT4)을 통해 제 2 화소 전극(P2)과 접속되며 게이트 전극은 게이트 배선(Gn, Gn+1)에서 연장되어 형성된다. 제 1 기준 전압 배선(V1)과 제 2 기준 전압 배선(V2)에는 서로 다른 전압이 인가되며 매 프레임(frame) 마다 제 1 기준 전압 배선(V1)과 제 2 기준 전압 배선(V2)에 인가되는 전압이 교번된다. 이때, 제 1 기준 전압 배선(V1)과 제

2 기준 전압 배선(V2)을 화소 전극(P1, P2)과 게이트 배선(Gn+1) 사이 영역에 위치시키고 제 5 콘택홀(CT5) 및 제 6 콘택홀(CT6)을 제 3 콘택홀(CT3)과 제 4 콘택홀(CT4) 사이에 위치시키는 것이 배선간 겹침을 최소화 하고 개구율을 극대화하는데 유리하다. 또한, 도시된 바와 같이 제 1 박막 트랜지스터(T1)의 게이트 전극과 제 2 박막 트랜지스터(T2)의 게이트 전극 사이에 일정한 공간이 확보되므로 제 2 기준 전압 배선(V2)을 이 확보된 공간 방향으로 구부러 화소 전극(P1, P2) 영역의 손실 없이 제 5 콘택홀(CT5) 및 제 6 콘택홀(CT6)을 형성할 수 있는 영역을 확보하는 것이 개구율 극대화를 위해 바람직하다. 한편, 제 5 콘택홀(CT5)과 제 6 콘택홀(CT6)은 제 2 박막 트랜지스터(T2)의 소스 전극을 제 1 기준 전압 배선(V1) 또는 제 2 기준 전압 배선(V2)과 직접 접촉시키지 않고 화소 전극(P1, P2)과 동일 층으로 형성되는 콘택 전극을 통해 전기적으로 연결시킨다. 이러한 구성은 공정을 단순화하기 위함이다.

[0017] 제 1 화소 전극(P1)과 제 2 화소 전극(P2)은 화소의 외곽을 따라 형성된 뼈대 전극(LBE1, RBE1, LBE2, RBE2)과 뼈대 전극에서 뺀어 나와 서로 닿지 않으면서 교대로 맞물리는 다수의 평행한 가시 전극(SE1, SE2)으로 구성되며, 가시 전극(SE1, SE2)의 연장 방향은 액정 표시 장치 완성품에서 편광판(미도시)의 투과축과 대략 45도 및 135도를 이루어 제 1 및 제 2 화소 전극(P1, P2)간에 형성되는 전계 방향의 평균적인 방위각을 기준으로 크게 두 개의 도메인을 형성함으로써 시야각 특성을 향상시킨다. 또한, 도시된 바와 같이 가시 전극(SE1, SE2) 사이의 간격을 다양하게 형성하여 가시 전극(SE1, SE2) 사이에 발생하는 전계의 세기를 다양하게 함으로써 액정 표시 장치의 시야각 특성을 더욱 향상시킬 수 있다.

[0018] 제 1 화소 전극(P1)의 좌측 뼈대 전극(LBE1)은 인접한 좌측 데이터 배선(Dn+1)의 하부와 용량결합하고 우측 뼈대 전극(RBE1)은 인접한 우측 데이터 배선(Dn+2)의 상부와 용량결합하며, 제 2 화소 전극(P2)의 좌측 뼈대 전극(LBE2)은 인접한 좌측 데이터 배선(Dn+1)의 상부와 용량결합하고 우측 뼈대 전극(RBE2)은 인접한 우측 데이터 배선(Dn+2)의 하부와 용량결합한다. 이때, 제 1 화소 전극(P1)과 제 2 화소 전극(P2)을 동일 층으로 형성한 상태에서, 제 1 화소 전극(P1)의 좌측 뼈대 전극(LBE1)이 인접한 좌측 데이터 배선(Dn+1)과 겹치는 면적을 제 2 화소 전극(P2)의 좌측 뼈대 전극(LBE2)이 인접한 좌측 데이터 배선(Dn+1)과 겹치는 면적과 실질적으로 동일하게 형성하고, 제 1 화소 전극(P2)의 우측 뼈대 전극(RBE1)이 인접한 우측 데이터 배선(Dn+2)과 겹치는 면적을 제 2 화소 전극(P2)의 우측 뼈대 전극(RBE2)이 인접한 우측 데이터 배선(Dn+2)과 겹치는 면적과 실질적으로 동일하게 형성하면 제 1 화소 전극(P1)과 인접한 좌측 데이터 배선(Dn+1) 사이에 형성되는 용량결합 값과 제 2 화소 전극(P2)과 인접한 좌측 데이터 배선(Dn+1) 사이에 형성되는 용량결합 값이 동일해지고 제 1 화소 전극(P1)과 인접한 우측 데이터 배선(Dn+2) 사이에 형성되는 용량결합 값과 제 2 화소 전극(P2)과 인접한 우측 데이터 배선(Dn+2) 사이에 형성되는 용량결합 값이 동일해지므로 인접한 데이터 배선(Dn+1, Dn+2) 각각에 인가되는 전압이 독립적으로 변할지라도 제 1 화소 전극(P1)과 제 2 화소 전극(P2) 사이에 걸리는 전압에 실질적인 변동이 없게 된다. 다만, 겹치는 면적이 완전히 동일할 경우, 엄밀하게는 제 1 콘택홀(CT1)과 제 2 콘택홀(CT2) 및 연결 다리(CB)로 인해 제 1 화소 전극(P1)의 기생 용량 값이 제 2 화소 전극(P2)에 비해 약간 더 커지게 되므로 이를 고려하여 겹치는 면적을 조절할 수도 있다.

[0019] 한편, 제 1 화소 전극(P1)의 좌측 뼈대 전극(LBE1)은 제 1 콘택홀(CT1)을 통해 연결 다리(CB)와 접속되며 우측 뼈대 전극(RBE1)은 제 2 콘택홀(CT2)을 통해 연결 다리(CB)와 접속됨으로써 좌측 뼈대 전극(LBE1)과 우측 뼈대 전극(RBE2)이 전기적으로 연결된다. 이때, 전계가 명확히 정의되지 않아 투과율이 상대적으로 떨어지는 상하도메인의 경계 영역에 연결 다리(CB)를 형성함으로써 투과율 손실을 최소화 할 수 있다. 이러한 구성을 통해 제 1 화소 전극(P1)과 제 2 화소 전극(P2)의 기생 용량 값을 동일하게 유지하면서 동시에 도 1의 종래 구조 대비 화소 전극의 형태 및 연결 구조를 단순화할 수 있게 되어 투과 영역에 발생하는 텍스처를 대폭 감소시킬 수 있다.

[0020] 도 3은 도 2의 E부분을 확대 도시한 평면도이다.

[0021] 도 3에 도시된 바와 같이, 제2 화소 전극(P2)의 가시 전극(SE2)은 연결 다리(CB)와 교차하는 부분에서 연결 다리(CB)의 연장 방향을 따라 돌출되는 돌출부(PP)를 포함한다. 돌출부(PP)의 외곽선은 돌출부(PP)를 중심으로 양쪽으로 뺀어 가시 전극(P2)의 두 부분과 만나 각각 135° 이상의 둔각을 이루며, 돌출부(PP)의 상당부분은 연결 다리(CB)의 너비보다 넓게 형성되어 제1 화소 전극(P1)의 가시 전극(SE1)과 횡전계를 형성한다.

[0022] 연결 다리(CB)는 제 1 화소 전극(P1)과 연결되어 제 1 화소 전극(P1)과 동일한 전위가 인가되므로, 상술한 돌출부가 없는 경우, 연결 다리(CB)와 제 1 화소 전극(P1)이 교차하여 예각을 이루는 부분에는 충분한 전계가 형성되지 않게 된다. 따라서, 일정한 계조 전압이 인가 되어도 이 부분의 액정이 초기 배향 상태(수직 배향)로 남게 되고 이는 텍스처로 시인된다. 따라서, 본 실시예에서와 같이 돌출부(PP)를 형성하여 돌출부(PP)와 제 1 화소

전극(P1) 사이에 전계를 형성하는 것이 바람직하다.

- [0023] 도 4는 제2 화소 전극(P2)의 가시 전극(SE2)에 돌출부(PP)를 형성한 경우와 형성하지 않은 경우의 텍스처 발생 정도를 비교할 수 있는 시뮬레이션 도면이다.
- [0024] 도 4를 참고하면, 돌출부(PP)가 형성된 G 부분에서는 검게 나타나는 텍스처 영역이 적으나 돌출부(PP)가 형성되어 있지 않은 F 부분에서는 넓은 영역에 걸쳐 텍스처가 발생한다.
- [0025] 도 5는 도 2의 D부분을 확대 도시한 평면도이다.
- [0026] 도 5에 도시된 바와 같이 한 화소의 제 2 콘택홀(CT2)은 인접한 화소의 제 1 콘택홀(CT1)과 위 아래로 배치되며, 데이터 배선(Dn+1)은 제 2 콘택홀(CT2)과 제 1 콘택홀(CT1)의 사이를 휘돌아 내려가되, 제 1 및 제 2 콘택홀(CT1, CT2)로 인해 화소 전극(P1, P2)이 돌출한 부분을 따라 휘돌아 내려가도록 하여 개구율 감소를 최소화한다. 또한, 도시된 바와 같이, 제 2 화소 전극(P2)은 제 1 및 제 2 콘택홀(CT1, CT2)을 휘돌아 내려가는 데이터 배선(Dn+1)의 가장자리와 겹쳐질 수 있게 그 폭과 경사 방향이 결정된다. 화소 전극 상부가 화소 전극 사이 영역보다 상대적으로 투과율이 떨어지므로 상술한 구성을 통해 콘택홀로 인한 개구율 손실을 최소화 할 수 있다. 만일 제 1 및 제 2 콘택홀(CT1, CT2)이 상하가 아닌 좌우로 배치되는 경우 콘택홀로 인해 투과 영역이 많이 손실되어 개구율 감소가 상대적으로 크게 되며, 데이터 배선(Dn+1)이 제 1 및 제 2 콘택홀(CT1, CT2)을 역 방향으로 휘돌아 지나갈 경우 역시 데이터 배선(Dn+1)으로 인해 투과 영역이 많이 손실되어 개구율 감소가 상대적으로 크게 된다.
- [0027] 도 6은 도 5의 I-J선을 따라 자른 단면을 도시한 단면도이다. 이하, 도 2 및 도 6을 참고하여 본 실시예에 따른 박막 트랜지스터 기관의 층 구조를 설명한다.
- [0028] 먼저, 투명 절연 기관(10) 위에 게이트 배선(Gn, Gn+1), 제 1 및 제 2 박막 트랜지스터(T1, T2)의 게이트 전극, 제 1 및 제 2 기준 전압 배선(V1, V2) 및 연결 다리(CB)를 포함하는 제 1 도전 패턴(20)이 형성된다. 제 1 도전 패턴(20)은 단층 구조 일 수 있고 다층 구조일 수도 있으며 기타 공지되었거나 향후 공지될 다양한 구조 및 재료가 사용될 수 있다. 제 1 도전 패턴(20) 위에는 제 1 절연막(30)이 전면적으로 형성된다. 제 1 절연막(30) 역시 단층 또는 다층일 수 있으며 공지되었거나 향후 공지될 다양한 구조 및 재료가 사용될 수 있다. 제 1 절연막(30) 위에는 제 1 및 제 2 박막 트랜지스터(T1, T2)의 채널을 포함하는 반도체 패턴(40)이 형성된다. 일반적으로 반도체 패턴(40)은 진성 반도체 패턴과 상대적으로 두께가 얇은 오믹 반도체 패턴의 이중 층으로 구성된다. 반도체 패턴(40)의 재료로는 아몰퍼스 실리콘이 일반적이며 기타 필요에 따라 폴리 실리콘, 산화물 반도체 등 반도체 성질을 갖는 모든 공지되었거나 향후 공지될 다양한 물질이 적용될 수 있다. 반도체 패턴(40) 위에는 데이터 배선(Dn, Dn+1, Dn+2), 제 1 및 제 2 박막 트랜지스터(T1, T2)의 드레인 전극 및 소스 전극을 포함하는 제 2 도전 패턴(50)이 형성된다. 제 2 도전 패턴(50) 역시 단층 또는 다층 구조일 수 있으며 기타 공지되었거나 향후 공지될 다양한 구조 및 재료가 사용될 수 있다. 한편, 도 6에 도시된 바와 같이, 공정의 선택에 따라 제 2 도전 패턴(50) 하부 전면에 걸쳐 반도체 패턴(40)이 형성될 수도 있다. 이러한 구조는 일반적으로 제 2 도전 층과 반도체 층을 연속하여 적층한 후, 하나의 마스크를 통해 일괄 식각하여 제 2 도전 패턴(50)과 반도체 패턴(40)을 동시에 형성하는 경우 발생한다. 다음, 제 2 도전 패턴(50) 위에 제 2 절연막(60)을 전면적으로 형성한다. 제 2 절연막(60) 역시 단층 또는 다층일 수 있으며 공지되었거나 향후 공지될 다양한 구조 및 재료가 사용될 수 있다. 제 2 절연막(60) 위에는 컬러필터 층(70)이 형성된다. 컬러 필터 층(70)은 일반적으로 화소에 따라 빨간색, 녹색, 파란색 필터가 반복적으로 배치되는 형태이며 필요에 따라 다른 여러 형태의 조합이 가능하다. 칼라 필터 층(70) 역시 공지되었거나 향후 공지될 다양한 구조 및 재료가 적용 될 수 있다. 도 5처럼 제 1 및 제 2 콘택홀(CT1, CT2)을 일렬로 배치할 경우 컬러 필터 패턴을 단순화할 수 있어 공정성이 향상된다. 컬러 필터 층(70) 위에는 제 3 절연막(80)이 형성된다. 제 3 절연막(80)으로는 SiNx, SiOx 등의 무기 절연막이 일반적이거나 기타 공지되었거나 향후 공지될 다양한 구조 및 재료가 적용될 수 있다. 제 3 절연막(80) 위에는 제 1 및 제 2 화소 전극(P1, P2) 및 제 1, 제 2, 제 3, 제 4, 제 5 및 제 6 콘택홀(CT1, CT2, CT3, CT4, CT5, CT6)의 접촉 전극을 포함하는 제 3 도전 패턴(90)이 형성된다. 제 3 도전 패턴(90)으로는 일반적으로 ITO, IZO 등의 투명 도전 물질이 사용되며 기타 공지되었거나 향후 공지될 다양한 구조 및 재료가 적용될 수 있다.
- [0029] 본 실시예에서는 화소 전극(P1, P2)과 데이터 배선(Dn, Dn+1, Dn+2) 사이에 컬러 필터 층(70)과 제 2 절연막(60)이 위치하기 때문에, 도 2에 도시된 것처럼, 화소 전극(P1, P2)을 데이터 배선(Dn, Dn+1, Dn+2)과 상당 부분 겹치게 배치할 수 있어 개구율을 극대화하는데 유리하다. 만일, 화소 전극(P1, P2)과 데이터 배선(Dn, Dn+1, Dn+2) 사이에 컬러 필터 층(70) 및 제 3 절연막(80)이 없고 제 2 절연막(60)만 형성되는 경우에는 상술

한 평면 레이아웃 구성을 통해 제 1 및 제 2 화소 전극(P1, P2) 간 기생 용량 차등 문제는 해결할 수 있을지라도 데이터 배선(Dn, Dn+1, Dn+2)의 전체 기생 용량 증가로 인해 다양한 문제가 발생하기 때문에 제 1 및 제 2 화소 전극(P1, P2)이 데이터 배선(Dn, Dn+1, Dn+2)과 충분히 겹쳐지도록 형성할 수가 없어 개구율을 극대화하는데 불리하다. 또한, 본 실시예처럼 박막 트랜지스터를 비롯한 배선 구조와 컬러 필터가 동일한 기판에 형성되는 경우 상하판간 정렬 오차로 인해 발생하는 불량 및 품질 저하 발생을 최소화할 수 있는 장점이 있다. 컬러 필터 층(70)은 액정 표시 장치의 상하 절연 기판 중 하나에 적어도 한 번은 형성해야 하는 필수적인 층이므로 공정이나 재료가 추가로 증가하는 것도 아니다.

[0030] 한편, 본 실시예에서는 연결 다리(CB)로 제 1 도전 패턴(20)을 이용하였으나 이에 한정되지 않으며 제 2 도전 패턴(50)을 포함한 다른 도전 패턴이 이용될 수도 있다. 다만, 제 2 도전 패턴(50)의 경우 화소 전극(P1, P2)과의 수직 거리가 제 1 도전 패턴(20)에 비해 상대적으로 가까워 화소 전극(P1, P2)간 전계에 상대적으로 더 큰 왜곡을 줄 수 있다.

[0031] 이상 상술한 층구조를 형성하기 위한 포토리소그래피 공정을 포함한 구체적인 공정 순서는 당업자에 의해 다양하게 선택될 수 있으며 이는 공지된 기술이므로 상세한 설명은 생략한다.

[0032] 도 7은 도 1의 종래 기술에 따른 박막 트랜지스터 기판을 사용한 액정 표시 장치의 투과율과 본 실시예에 따른 박막 트랜지스터 기판을 사용한 액정 표시 장치의 투과율을 비교할 수 있는 시뮬레이션 도면이다. 도면을 통해 확인할 수 있듯이 종래 기술에 따른 액정 표시 장치의 경우 H 영역과 D영역에서 심한 텍스처가 발생하는 반면 본 실시예는 그러한 영역이 없을 뿐만 아니라 K 영역만큼 화소 전극 영역이 넓어져 전반적으로 투과율이 향상된다. 한편, 본 실시예의 J 영역의 경우 연결 다리로 인해 개구율이 감소하나 이에 대응하는 종래 구조의 I 영역 역시 전계가 명확히 정의되지 않아 투과율이 떨어지는 영역이므로 이로 인한 투과율 감소는 크지 않다.

[0033] 제 2 실시예

[0034] 이하 도 8 및 도 9를 참고하여 본 발명의 제 2 실시예에 대하여 설명한다.

[0035] 도 8은 제 2 실시예에 따른 박막 트랜지스터 기판의 표시 영역에 위치한 하나의 화소를 도시한 평면도이고, 도 9는 도 8의 K-L를 따라 자른 단면을 도시한 단면도이다. 제 1 실시예의 구성 요소에 대응하는 구성요소는 동일한 부호로 표시하였다.

[0036] 본 실시예는 직사각형 형태의 화소 구조인 제 1 실시예와 달리 꺾임 구조의 화소가 적용된 경우이다. 또한, 제 1 실시예와 달리 화소 전극(P1, P2)과 데이터 배선(Dn, Dn+1) 사이에 컬러필터 대신 유기막(70')이 사용되었다. 꺾임 구조 화소의 경우 화소 전극(P1, P2) 사이의 전계 방향과 화소 경계선이 90도를 이루어 화소 경계 영역에서 발생하는 텍스처 발생이 최소화되는 장점이 있는 반면, 꺾임 구조로 인하여 데이터 배선(Dn, Dn+1)의 길이가 증가하여 데이터 배선(Dn, Dn+1)에 걸리는 부하가 증가하는 단점이 있다. 다만, 본 실시예와 같이 화소 전극(P1, P2)과 데이터 배선(Dn, Dn+1) 사이에 유기막(70') 등을 위치시켜 기생용량을 최소화하는 경우 데이터 배선(Dn, Dn+1)을 꺾지 않고 화소 전극(P1, P2) 밑을 직선으로 통과하게 구성할 수도 있다. 다만, 본 발명과 같이 제 1 및 제 2 화소 전극(P1, P2)과 인접한 좌우 데이터 배선(Dn, Dn+1) 간의 기생용량을 동일하게 맞추는 것을 목적으로 하는 경우에는 그러한 구성을 적용하기 어렵다.

[0037] 도 8에서 확인할 수 있듯이 본 실시예에 따른 화소 전극 (P1, P2)은 각각 상부 수평 전극(UHE1, UHE2) 및 하부 수평 전극(DHE1, DHE2)과 이로부터 연장된 수직 굴절 전극(VBE1, VBE2)으로 구성되며 수직 굴절 전극(VBE1, VBE2)은 화소의 형상을 따라 서로 일정 간격을 두고 평행하게 굴절된다. 도면에 명확히 도시하지는 않았으나 수직 굴절 전극(VBE1, VBE2) 사이의 간격은 제 1 실시예와 마찬가지로 다양하게 정해질 수 있다. 제 1 화소 전극(P1)은 화소 전극(P1, P2) 밑을 통과하는 연결 다리(CB)를 통해 좌우가 연결되고 제 2 화소 전극(P2)은 중앙에 위치한 수직 굴절 전극(VBE2)을 통해 상부 수평 전극(UHE2)과 하부 수평 전극(DHE2)을 연결함으로써 좌우가 연결된다. 제 1 화소 전극(P1)의 최 좌측 수직 굴절 전극(VBE1)은 인접한 좌측 데이터 배선(Dn)의 상부와 용량 결합하고 최 우측 수직 굴절 전극(VBE1)은 인접한 우측 데이터 배선(Dn+1)의 하부와 용량 결합하며, 제 2 화소 전극(P2)의 최 좌측 수직 굴절 전극(VBE2)은 인접한 좌측 데이터 배선(Dn)의 하부와 용량 결합하고 최 우측 수직 굴절 전극(VBE2)은 인접한 우측 데이터 배선(Dn+1)의 상부와 용량 결합한다. 이때, 제 1 화소 전극(P1)과 제 2 화소 전극(P2)을 동일 층으로 형성한 상태에서, 제 1 화소 전극(P1)의 최 좌측 수직 굴절 전극(VBE1)이 인접한 좌측 데이터 배선(Dn)과 겹치는 면적을 제 2 화소 전극(P2)의 최 좌측 수직 굴절 전극(VBE2)이 인접한 좌측 데이터 배선(Dn)과 겹치는 면적과 실질적으로 동일하게 형성하고, 제 1 화소 전극(P1)의 최 우측 수직 굴절

전극(VBE1)이 인접한 우측 데이터 배선(Dn+1)과 겹치는 면적을 제 2 화소 전극(P2)의 최 우측 뼈대 전극(VBE2)이 인접한 우측 데이터 배선(Dn+1)과 겹치는 면적과 실질적으로 동일하게 형성하면 제 1 실시예와 마찬가지로 인접한 데이터 배선(Dn+1, Dn+2) 각각에 인가되는 전압이 독립적으로 변할지라도 제 1 화소 전극(P1)과 제 2 화소 전극 사이에 걸리는 전압에 실질적인 변동이 없게 된다. 다만, 제 1 및 제 2 콘택홀(CT1, CT2)과 연결 다리(CB)에 의한 효과는 제 1 실시예에서 설명한 바와 같다.

[0038] 본 실시예의 경우 제 1 실시예와 같이 연결 다리(CB)와 제 2 화소 전극(P2)의 교차부에 돌출부를 형성하게 되면 돌출부와 제 2 화소 전극(P2) 사이에 형성되는 각이 모두 둔각이 되지 않고 예각도 포함하게 된다. 이로 인해 해당 영역에 텍스처가 형성되게 되므로 돌출부를 형성하는 실익이 없게 된다.

[0039] 한편, 연결 다리를 중앙에 위치시키지 않으면 제 1, 2 화소 전극의 기생 용량을 대칭으로 구성하기가 상당히 어려워지므로 중앙에 형성하는 것이 기본이다. 본 실시예는 화소가 짝수 번(두 번) 꺾이는 구조이어서 연결 다리(CB)가 전계 방향이 변하는 경계선에 위치하지 않으나 본 실시예와 달리 화소가 홀수 번 꺾이는 구조라면 연결 다리(CB)를 전계의 방향이 변하는 경계선 중 중앙에 위치한 경계선에 형성함으로써 투과율 감소를 최소화 할 수 있다.

[0040] 기타 본 실시예에 따른 박막 트랜지스터 기관의 각 구성 요소간 연결관계는 제 1 실시예와 다르지 않으므로 구체적인 설명은 생략한다.

[0041] 제 3 실시예

[0042] 이하 도 10 및 도 11을 참조하여 본 발명의 제 3 실시예에 대하여 설명한다.

[0043] 도 10은 제 3 실시예에 따른 박막 트랜지스터 기관의 표시 영역에 위치한 인접한 두 개의 화소를 도시한 평면도이며, 도 11은 도 10의 M-N을 따라 자른 단면을 도시한 단면도이다. 제 1 실시예의 구성 요소에 대응하는 구성 요소는 동일한 부호로 표시하였다.

[0044] 본 실시예는 제 3 절연막(80) 위에 광차단 패턴(100)이 형성되는 것을 제외하고는 제 1 실시예 그 구성이 동일하다. 도시된 것처럼 광차단 패턴(100)은 화소 전극(P1, P2)에 의해 전계가 명확히 정의되지 않는 영역 전체에 걸쳐 형성된다. 컬러 필터 층(70)과 광차단 패턴(100)을 모두 박막 트랜지스터 기관에 형성하는 경우 상, 하판 오정렬 문제를 완전히 해결할 수 있다.

[0045] 본 실시예에 따른 박막 트랜지스터 기관의 각 구성 요소간 연결관계는 제 1 실시예와 다르지 않으므로 구체적인 설명은 생략한다.

[0046] 제 4 실시예

[0047] 이하 도 12 및 도 13을 참조하여 본 발명의 제 4 실시예에 대하여 설명한다.

[0048] 도 12는 제 4 실시예에 따른 박막 트랜지스터 기관의 표시 영역에 위치한 하나의 화소를 도시한 평면도이며, 도 13은 도 12의 O-P를 따라 자른 단면을 도시한 단면도이다. 제 2 실시예의 구성 요소에 대응하는 구성요소는 동일한 부호로 표시하였다.

[0049] 본 실시예는 기본적으로 제 2 실시예와 동일하나 유기막(70') 위에 광차단 패턴(100)이 형성된다는 점에서 제 2 실시예와 다르다. 도시된 것처럼 광차단 패턴(100)은 화소 전극(P1, P2)에 의해 전계가 명확히 정의되지 않는 영역 전체에 걸쳐 형성된다. 본 실시예에 따른 박막 트랜지스터 기관의 각 구성 요소간 연결관계는 제 1 실시예와 다르지 않으므로 구체적인 설명은 생략한다.

[0050] 제 5 실시예

[0051] 이하 도 14 및 도 15를 참조하여 본 발명의 제 5 실시예에 대하여 설명한다.

[0052] 도 14는 제 5 실시예에 따른 박막 트랜지스터 기관의 표시 영역에 위치한 하나의 화소를 도시한 평면도이며, 도 15은 도 14의 Q-R을 따라 자른 단면을 도시한 단면도이다. 제 2 실시예의 구성 요소에 대응하는 구성요소는 동일한 부호로 표시하였다.

[0053] 본 실시예는 기본적으로 제 2 실시예와 유사하나 도 14에서 볼 수 있듯이 수직 굴절 전극(VBE1, VBE2)이 1회만 굴곡되며 연결 다리(CB)가 굴곡부에 위치하여 투과율 감소가 최소화된다. 제2 화소 전극(P2)의 수직 굴절 전극(VBE2)은 연결 다리(CB)와 교차하는 부분에서 연결 다리(CB)의 연장 방향을 따라 돌출되는 돌출부(PP)을 포함한다. 돌출부(PP)의 외곽선은 돌출부(PP)를 중심으로 양쪽으로 뺀 수직 굴절 전극(P2)의 외곽선과 만나 각각 135° 이상의 둔각을 이루며, 돌출부(PP)의 상당부분은 연결 다리(CB)의 너비보다 넓게 형성되어 제1 화소 전극(P1)의 수직 굴절 전극(VBE1)과 횡전계를 형성한다.

[0054] 또한, 도 15 에서 볼 수 있듯이, 본 실시예는 제 2 실시예 및 제 4 실시예와 달리 유기막(70')이 없다. 유기막(70')이 제거됨에 따라 도 14에서 확인할 수 있듯이 최 외곽 수직 굴절 전극(VBE1, VBE2)과 좌 우측 데이터 배선(Dn, Dn+1) 사이에 일정한 간격을 형성하여 기생 용량을 감소시킨다.

[0055] 기타, 각 구성 요소간 연결관계는 제 1 실시예와 다르지 않으므로 구체적인 설명은 생략한다..

[0056] 이상 상술한 본 발명에 따른 박막 트랜지스터 기판은 상술한 실시예에 한정되지 않으며 상술한 실시예 이외에 다른 여러 형태의 화소 구조와 적층 구조를 가진 박막 트랜지스터 기판에도 다양한 형태로 변형되어 적용될 수 있음은 물론이다. 또한, 상술한 실시예에서는 하나의 도전층을 통해 연결다리를 구성하였으나 두 개 이상의 도전 층을 통해 연결다리를 구성할 수도 있다.

도면의 간단한 설명

[0057] 도 1은 종래 기술에 따른 액정 표시 장치의 투과율을 확인할 수 있는 시뮬레이션 도면이다.

[0058] 도 2는 본 발명의 제 1 실시예에 따른 박막 트랜지스터 기판의 표시 영역에 위치한 인접한 두 개의 화소를 도시한 평면도이다

[0059] 도 3는 도 2의 E부분을 확대 도시한 평면도이다.

[0060] 도 4는 제2 화소 전극의 가시 전극에 돌출부를 형성한 경우와 형성하지 않은 경우의 텍스처 발생 정도를 비교할 수 있는 시뮬레이션 도면이다.

[0061] 도 5는 도 2의 D부분을 확대 도시한 평면도이다.

[0062] 도 6은 도 5의 I-J선을 따라 자른 단면을 도시한 단면도이다.

[0063] 도 7은 도 1의 종래 기술에 따른 박막 트랜지스터 기판을 사용한 액정 표시 장치의 투과율과 본 실시예에 따른 박막 트랜지스터 기판을 사용한 액정 표시 장치의 투과율을 비교할 수 있는 시뮬레이션 도면이다.

[0064] 도 8은 본 발명의 제 2 실시예에 따른 박막 트랜지스터 기판의 표시 영역에 위치한 하나의 화소를 도시한 평면도이다.

[0065] 도 9는 도 8의 K-L를 따라 자른 단면을 도시한 단면도이다.

[0066] 도 10은 본 발명의 제 3 실시예에 따른 박막 트랜지스터 기판의 표시 영역에 위치한 인접한 두 개의 화소를 도시한 평면도이다.

[0067] 도 11은 도 10의 M-N을 따라 자른 단면을 도시한 단면도이다.

[0068] 도 12는 본 발명의 제 4 실시예에 따른 박막 트랜지스터 기판의 표시 영역에 위치한 하나의 화소를 도시한 평면도이다.

[0069] 도 13은 도 12의 O-P를 따라 자른 단면을 도시한 단면도이다.

[0070] 도 14는 본 발명의 제 5 실시예에 따른 박막 트랜지스터 기판의 표시 영역에 위치한 하나의 화소를 도시한 평면도이다.

[0071] 도 15은 도 14의 Q-R을 따라 자른 단면을 도시한 단면도이다.

[0072] <도면 부호에 대한 설명>

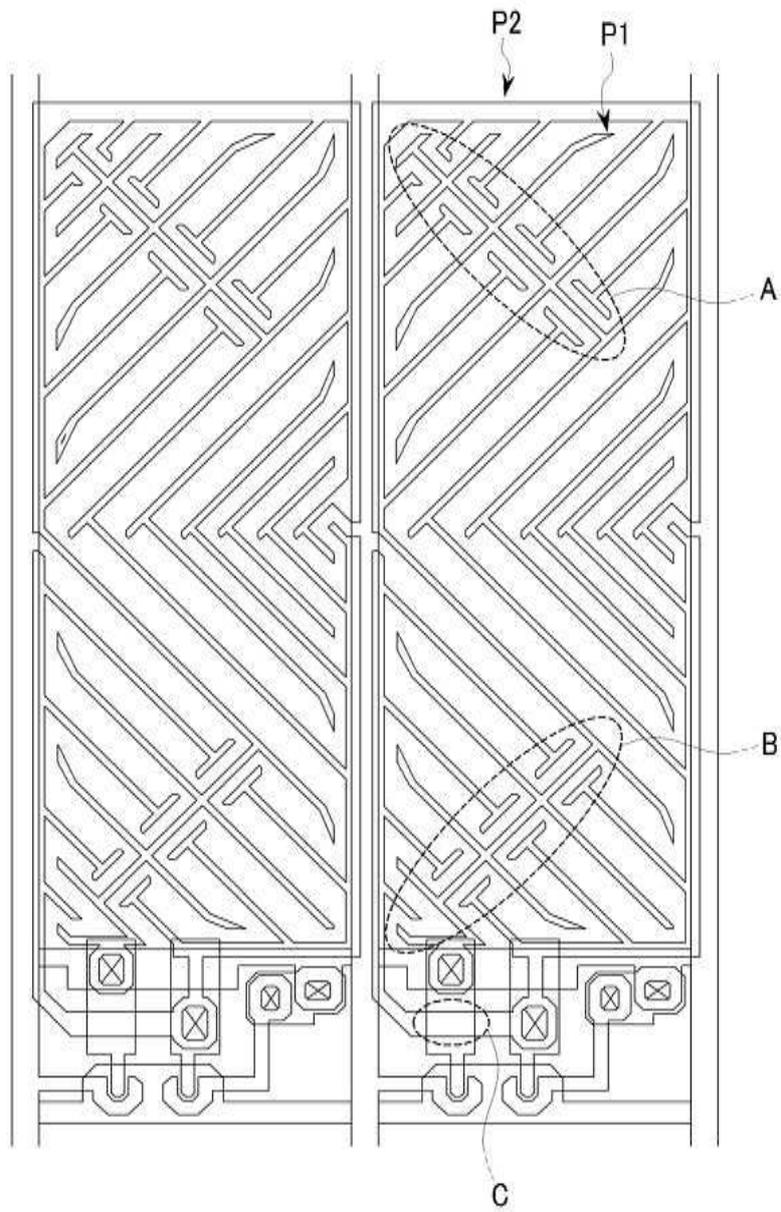
[0073] Gn, Gn+1 : 게이트 선

[0074] Dn+1, Dn+2 : 데이터 선

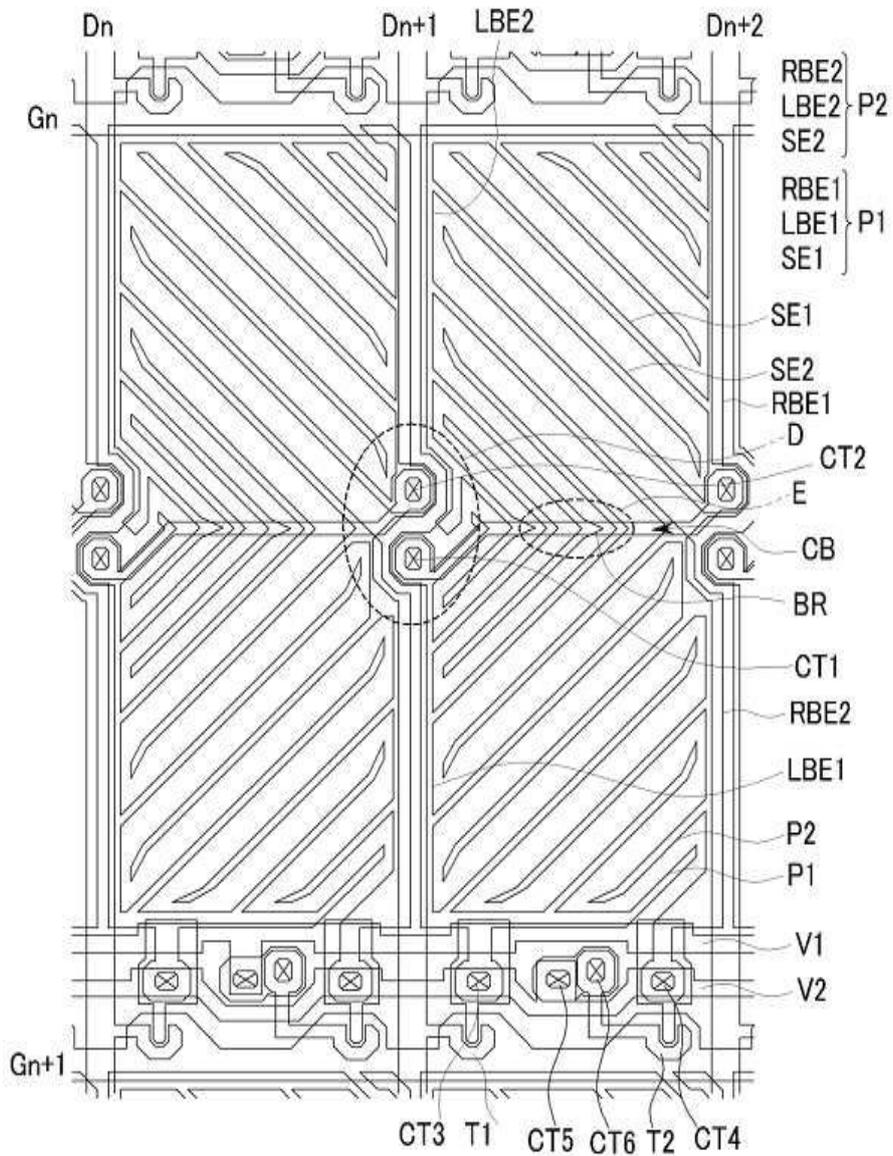
- [0075] T1, T2 : 제 1, 2 박막 트랜지스터
- [0076] CT1, CT2, CT3, CT4, CT5, CT6 : 제 1, 2, 3, 4, 5, 6 컨택홀
- [0077] V1, V2 : 제 1, 2 기준 전압 배선
- [0078] CB : 연결 다리
- [0079] LBE1, RBE1, LBE2, RBE2 : 뼈대 전극
- [0080] SE1, SE2 : 가시 전극
- [0081] PP : 돌출부
- [0082] UHE1, UHE2 : 상부 수평 전극
- [0083] DHE1, DHE2 : 하부 수평 전극
- [0084] VBE1, VBE2 : 수직 굴절 전극
- [0085] 10 : 투명 절연 기판
- [0086] 20 : 제 1 도전 패턴
- [0087] 30 : 제 1 절연막
- [0088] 40 : 반도체 패턴
- [0089] 50 : 제 2 도전 패턴
- [0090] 60 : 제 2 절연막
- [0091] 70 : 컬러필터 층
- [0092] 70' : 유기막
- [0093] 80 : 제 3 절연막
- [0094] 90 : 제 3 도전 패턴
- [0095] 100 : 광차단 패턴

도면

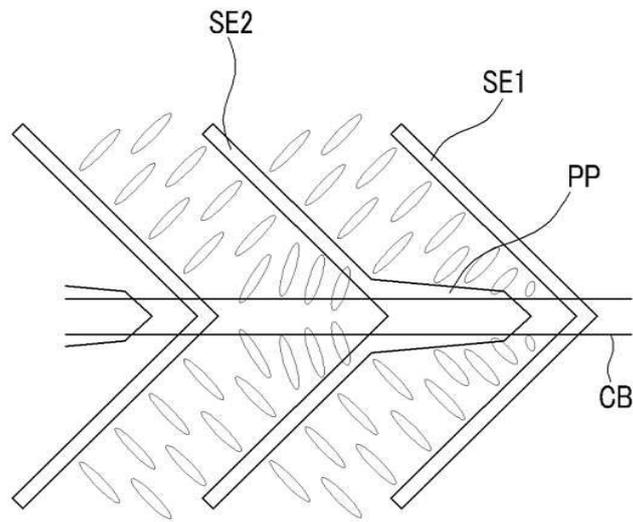
도면1



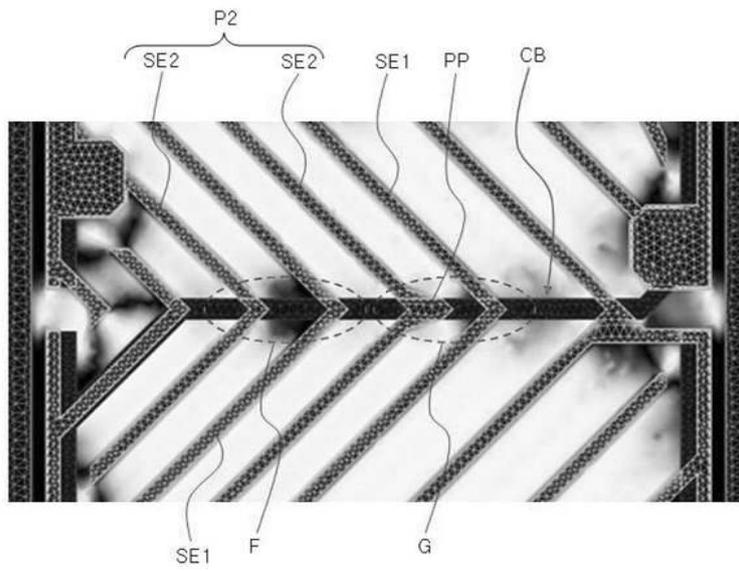
도면2



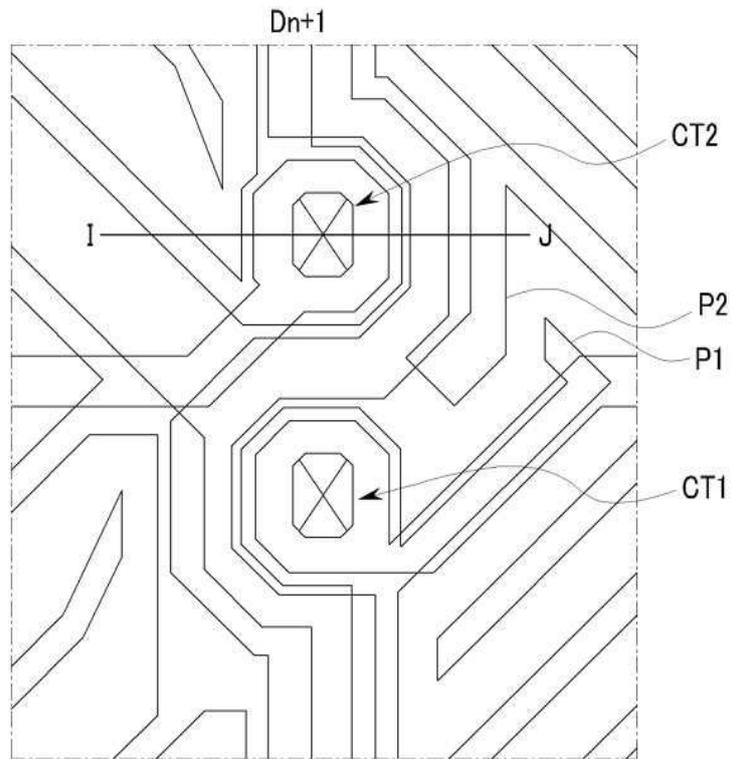
도면3



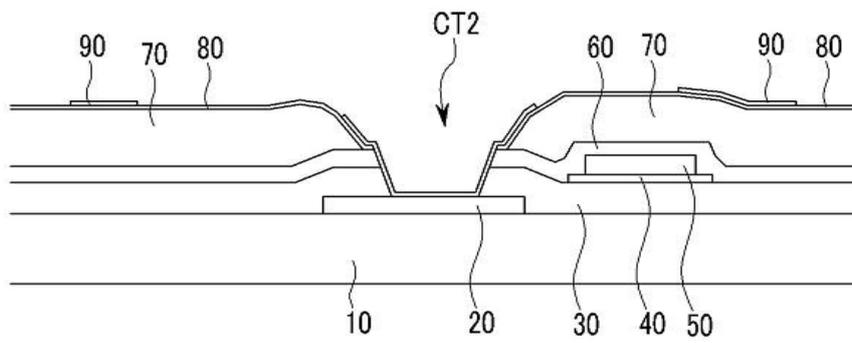
도면4



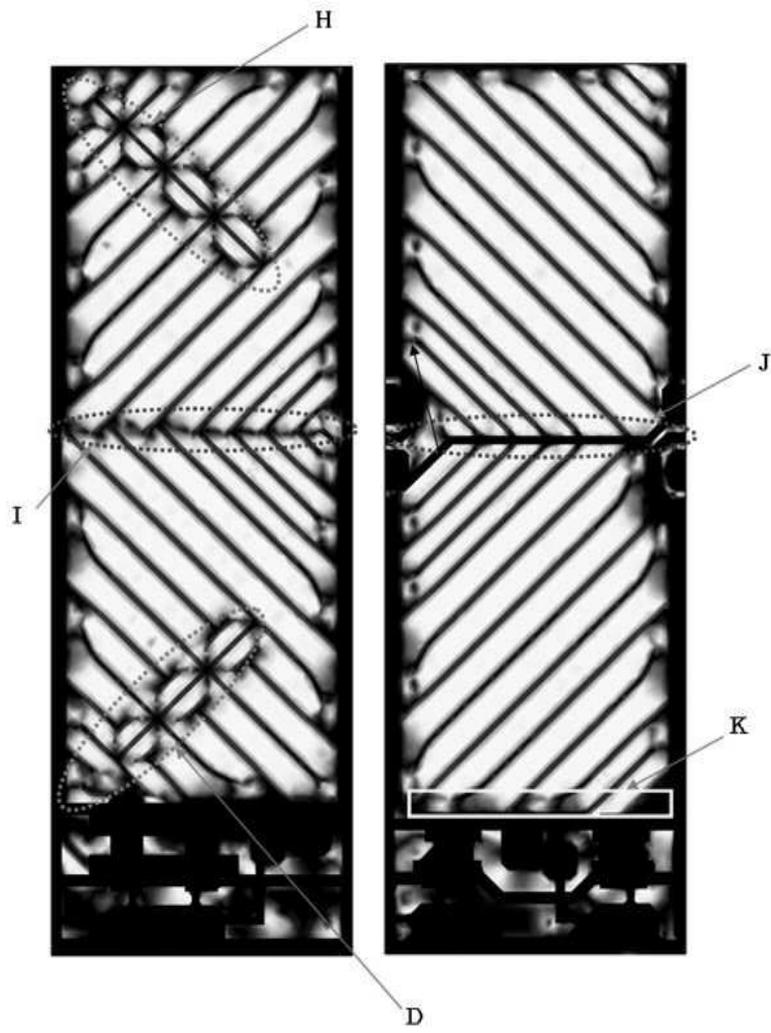
도면5



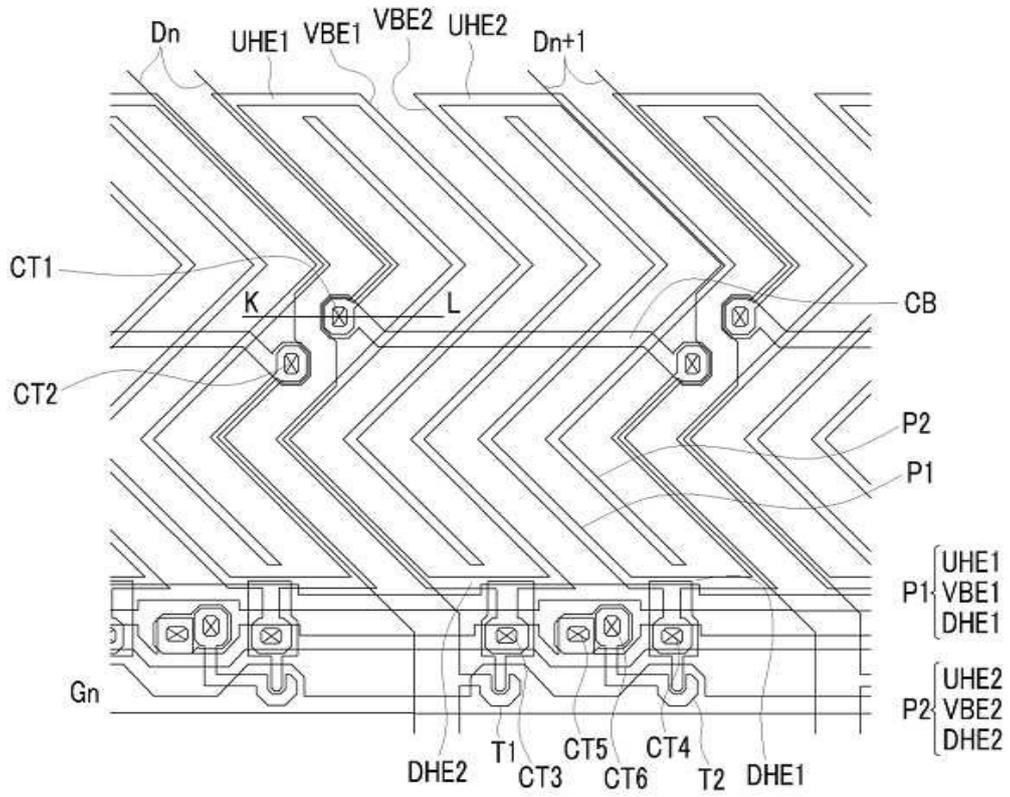
도면6



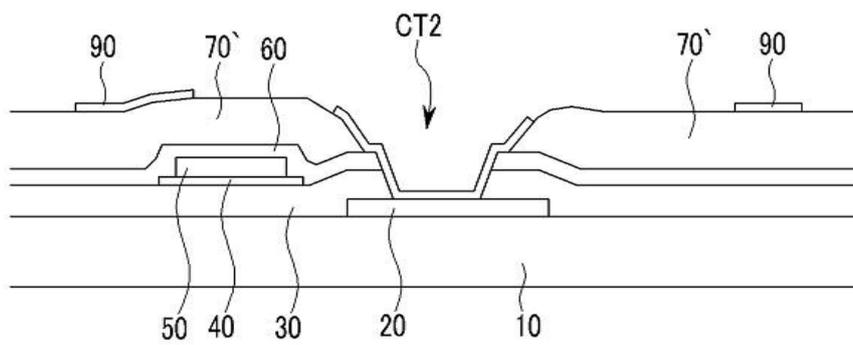
도면7



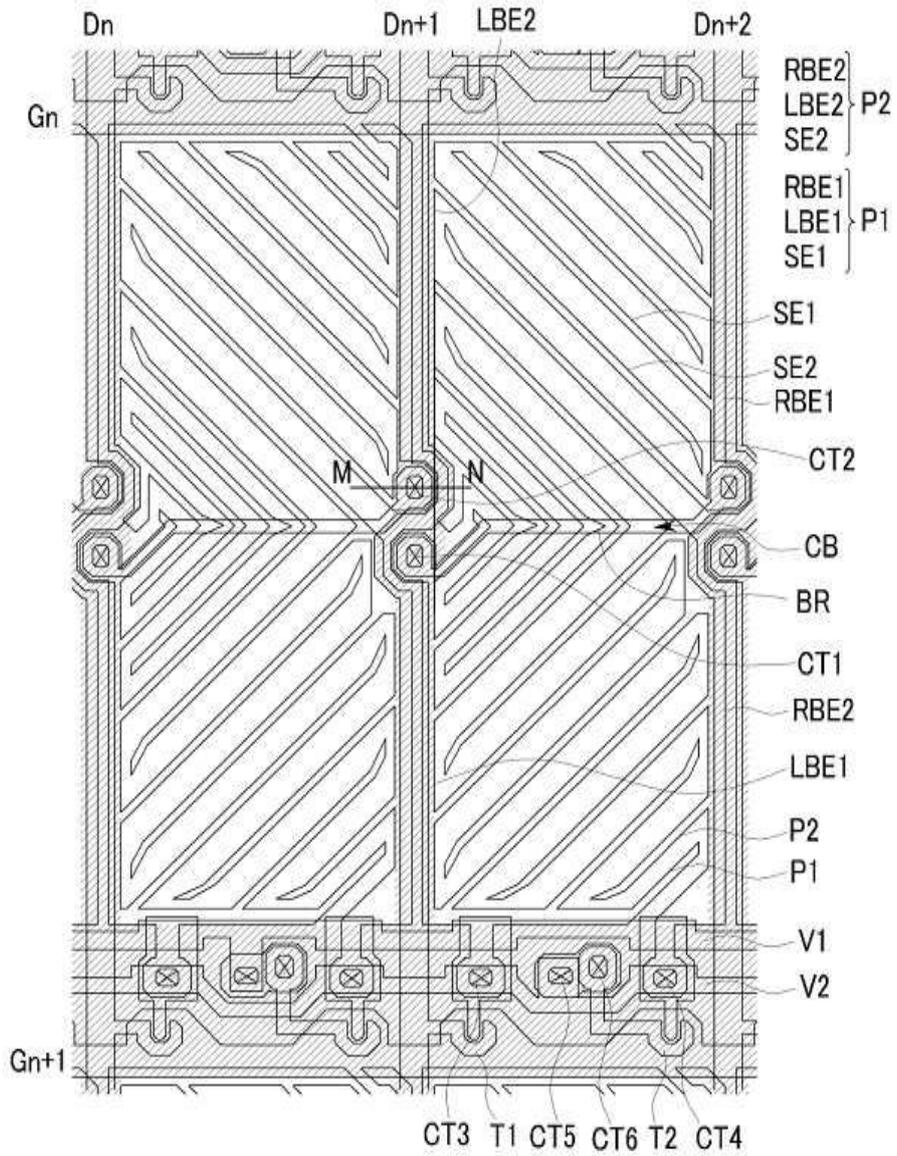
도면8



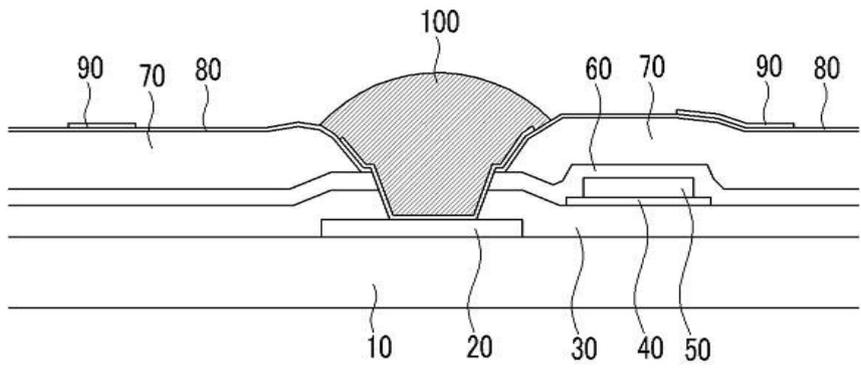
도면9



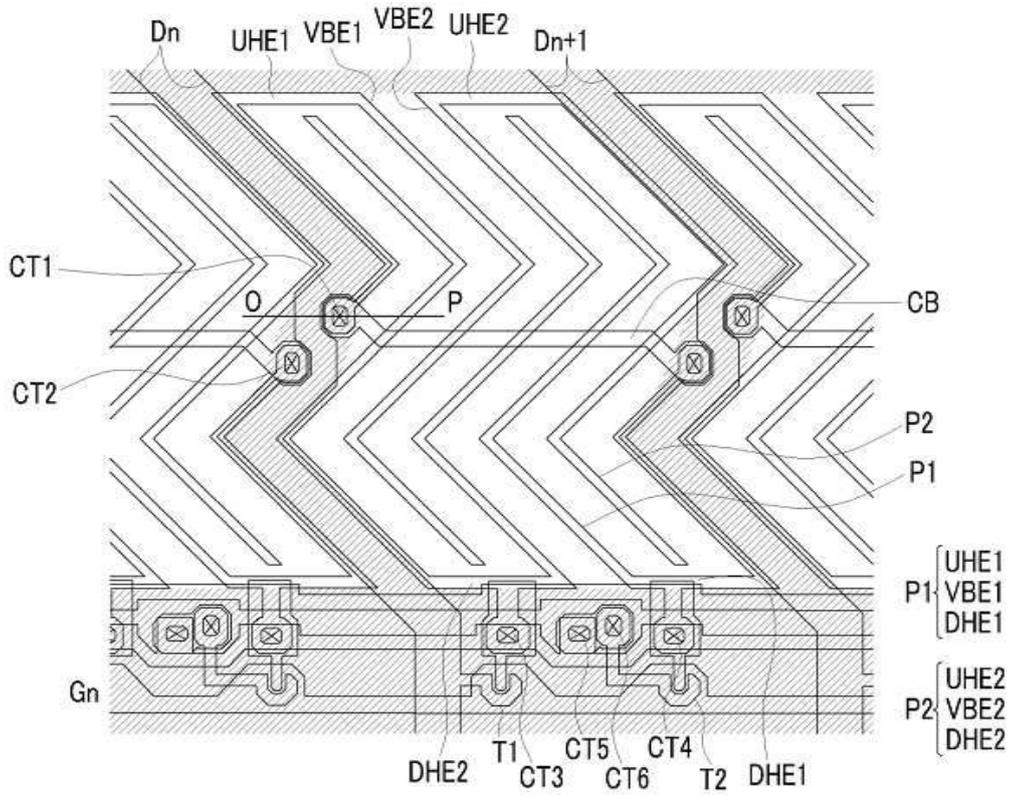
도면10



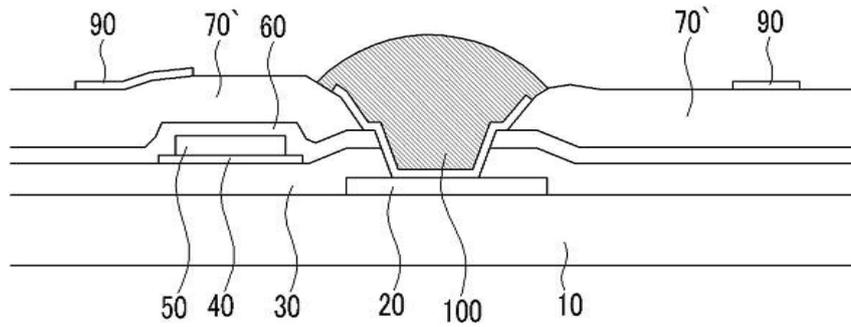
도면11



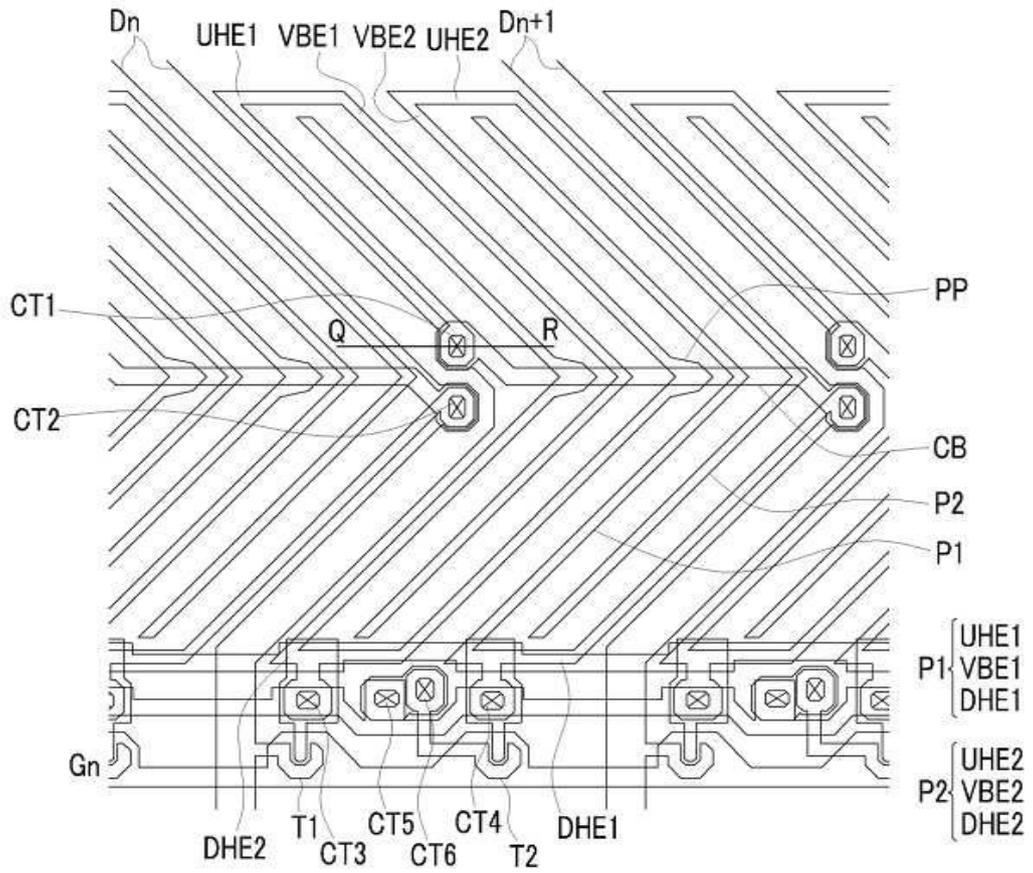
도면12



도면13



도면14



도면15

