

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0109325
H03K 19/00 (2006.01) (43) 공개일자 2006년10월19일

(21) 출원번호 10-2006-0033607

(22) 출원일자 2006년04월13일

(30) 우선권주장 JP-P-2005-00117753 2005년04월15일 일본(JP)

(71) 출원인 가부시끼가이샤 르네사스 테크놀로지
일본 100-6334 도쿄도 지요다구 마루노우찌 2-쵸메 4-1

(72) 발명자가와모토 다카시
일본 도쿄도 고꾸분지시 니시고이 가꾸보 3-8-1-히타치고이가꾸보
107
고꾸보 마사루
미국 94404 캘리포니아주 포스터 시티 코트 엘렌 이 34
오시마 다카시
미국 94706 캘리포니아주 알바니 탈봇 애비뉴 533

(74) 대리인 장수길
이중희
구영창

심사청구 : 없음

(54) 논리 레벨 변환 회로 및 그것을 이용한 위상 동기 회로

요약

본원 발명은, 임계치 변동 요인(프로세스, 온도, 전원 전압)이 있어도 후속의 논리 회로가 올바르게 동작하는 출력 신호를 생성하는 논리 레벨 변환 회로 및 그것을 이용한 위상 동기 회로를 제공하는 것을 목적으로 한다. 논리 레벨 변환 회로(5)에서는, 위상 동기 회로의 전압 제어 발진기의 출력 신호(8)가 임계치 가변 인버터(51)에 입력된다. 임계치 가변 인버터(51)의 출력 신호(19)의 직류 성분(10)이 저역 통과 필터(52)에 의해 취출된다. 직류 성분(10)은 콤퍼레이터(53)에 입력되고, 콤퍼레이터(53)에서, 비교 전압과 비교된다. 비교 결과에 기초하여 임계치 가변 인버터(51)에 임계치 설정 신호(11)를 출력한다. 임계치 설정 신호(11)에 의해 임계치 가변 인버터(51)의 임계치가 변경되고, 출력 신호(8)가 출력 신호(19)로 변환된다. 비교 결과가 소정의 상태로 되었으면, 임계치 설정 신호(11)의 값이 보유되고, 출력 신호(19)가 출력 신호(9)로서 출력된다.

대표도

도 2

색인어

임계치 가변 인버터, 출력 신호, 직류 성분, 콤퍼레이터, 임계치 설정 신호, 판정 회로

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 논리 레벨 변환 회로와 그것을 이용한 위상 동기 회로의 실시예 1을 설명하기 위한 블록도.

도 2는 도 1의 위상 동기 회로에서 이용되는 제1 논리 레벨 변환 회로의 예를 설명하기 위한 블록도.

도 3은 도 2의 제1 논리 레벨 변환 회로에서 이용되는 제1 판정 회로의 예를 설명하기 위한 블록도.

도 4는 도 3의 논리 레벨 변환 회로에서 이용되는 콤퍼레이터의 예를 설명하기 위한 블록도.

도 5는 도 4의 콤퍼레이터의 입출력 특성을 설명하기 위한 도면.

도 6은 도 2의 논리 레벨 변환 회로에서 이용되는 제1 임계치 가변 인버터의 예를 설명하기 위한 블록도.

도 7은 도 2의 논리 레벨 변환 회로의 동작의 예를 설명하기 위한 도면.

도 8은 도 2의 제1 논리 레벨 변환 회로에서 이용되는 제2 판정 회로의 예를 설명하기 위한 블록도.

도 9는 도 2의 제1 논리 레벨 변환 회로에서 이용되는 제3 판정 회로의 예를 설명하기 위한 블록도.

도 10은 도 2의 제1 논리 레벨 변환 회로에서 이용되는 제4 판정 회로의 예를 설명하기 위한 블록도.

도 11은 도 2의 제1 논리 레벨 변환 회로에서 이용되는 제5 판정 회로의 예를 설명하기 위한 블록도.

도 12는 도 2의 논리 레벨 변환 회로에서 이용되는 제2 임계치 가변 인버터의 예를 설명하기 위한 블록도.

도 13은 본 발명의 논리 레벨 변환 회로와 그것을 이용한 위상 동기 회로의 실시예 2를 설명하기 위한 블록도.

도 14는 도 13의 위상 동기 회로에서 이용되고 있는 VCO의 예를 설명하기 위한 블록도.

도 15는 도 14의 VCO에서 이용되고 있는 전류 제어 발진기의 예를 설명하기 위한 회로도.

도 16은 도 14의 VCO에서 이용되고 있는 차동 싱글 변환 회로의 예를 설명하기 위한 회로도.

도 17a는 도 16의 차동 싱글 변환 회로에 접속되는, 도 13의 위상 동기 회로에서 이용되는 논리 레벨 변환 회로의 예를 설명하기 위한 블록도.

도 17b는 도 16의 차동 싱글 변환 회로에 접속되는 논리 레벨 변환 회로의 다른 예를 설명하기 위한 블록도.

도 18은 도 17의 논리 레벨 변환 회로에서 이용되는 제1 판정 회로의 예를 설명하기 위한 블록도.

도 19는 도 17의 논리 레벨 변환 회로에서 이용되는 제2 판정 회로의 예를 설명하기 위한 블록도.

도 20은 도 17의 논리 레벨 변환 회로에서 이용되는 제3 판정 회로의 예를 설명하기 위한 블록도.

도 21은 도 17의 논리 레벨 변환 회로에서 이용되는 제4 판정 회로의 예를 설명하기 위한 블록도.

도 22는 본 발명의 인터페이스 장치에 의한 실시예 3을 설명하기 위한 블록도.

도 23은 도 22의 인터페이스 장치에 이용되는 위상 동기 회로의 임계치 설정의 동작을 설명하기 위한 플로우차트.

도 24는 본 발명의 기록 재생 장치에 의한 실시예 4를 설명하기 위한 블록도.

도 25는 도 24의 기록 재생 장치에 이용되는 위상 동기 회로의 임계치 설정의 동작을 설명하기 위한 플로우차트.

도 26은 본 발명의 무선 통신 단말 기기에 의한 실시예 5를 설명하기 위한 블록도.

도 27은 실시예 5에서 이용되는 위상 동기 회로의 예를 설명하기 위한 블록도.

도 28은 실시예 5에서 이용되는 위상 동기 회로의 예를 설명하기 위한 다른 블록도.

도 29는 도 26의 무선 통신 단말 기기에 이용되는 위상 동기 회로의 임계치 설정의 동작을 설명하기 위한 플로우차트.

도 30은 종래의 위상 동기 회로에 이용되는 전압 제어 발진기의 예를 설명하기 위한 블록도.

도 31은 도 25의 전압 제어 발진기에 이용되는 지연 회로의 예를 설명하기 위한 회로도.

도 32는 도 25의 전압 제어 발진기에 이용되고 있는 차동 싱글 변환 회로의 예를 설명하기 위한 회로도.

도 33은 종래의 위상 동기 회로의 예를 설명하기 위한 블록도.

도 34는 본 발명의 실시예 3에 이용되는 위상 동기 회로의 다른 예를 설명하기 위한 블록도.

<도면의 주요 부분에 대한 부호의 설명>

1 : 위상 비교기

2 : 차지 펌프

3 : 루프 필터

4, 24, 67A : 전압 제어 발진기(VCO)

5, 25 : 논리 레벨 변환 회로

6 : 분주기

43A, 67, 67C, 67D, 435 : 위상 동기 회로

50A, 51A~51C, 57, 506~509, 511~513 : 스위치

51 : 임계치 가변 인버터

52 : 저역 통과 필터

53 : 콤퍼레이터

55 : 카운터

56 : 판정 회로

58 : 테스트

58A : 패드

241 : 전압 전류 변환 회로

242 : 지연 회로

245, 246 : 차동 싱글 변환 회로

247 : 전류 제어 발진기

251 : 인버터

254 : DA 컨버터

432 : 인터페이스 장치

501~505 : 인버터

514~516 : 트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 주파수가 높아짐에 따라 진폭이 저하되고, 또한 직류 레벨이 변화하는 신호를 논리 레벨로 변환하는 논리 레벨 변환 회로와 그것을 이용한 위상 동기 회로에 관한 것으로, 특히 낮은 전원 전압으로 저주파수대부터 GHz대까지의 넓은 주파수 범위에서 동작하는 반도체 집적 회로 장치에 적용하기에 적합한 논리 레벨 변환 회로 및 그것을 이용한 위상 동기 회로에 관한 것이다.

자기 디스크 장치(이하 「HDD : Hard Disk Drive」라고 함), CD(Compact Disc)나 DVD(Digital Versatile Disc)를 대표로 하는 광 디스크 장치, 혹은 무선 통신 휴대 단말기 등에서는, 논리 회로를 동작시키기 위한 클럭 신호의 생성에 위상 동기 회로가 이용된다. 위상 동기 회로는, 주변의 회로와 함께 반도체 집적 회로 장치로서 구성되는 것이 일반적이다. 최근, 이들 정보 기기의 고속화는 현저하며, 위상 동기 회로의 동작 주파수는 GHz대에 미치고 있다.

반도체 집적 회로 장치로서 구성하는 데에 적합한 고속 동작의 위상 동기 회로의 예로서, 그 주요 구성 회로의 하나인 주파수 가변 발진 회로를, 전류에 의해 지연량이 변화하는 지연 회로를 복수 단 환형으로 접속하여 이루어지는 발진 회로를 이용하는 예가 예를 들면 특허 문헌1 및 특허 문헌2에 개시되어 있다.

또한, 디지털 신호 해석 장치에서, 주파수가 높아지면, 입력되는 디지털 신호가 진폭의 저하나, 직류 레벨의 변화, 즉 DC 오프셋을 수반하기 쉬워진다. 이러한 디지털 신호의 파형 정형을 행하여, 진폭 변화 및 DC 오프셋을 보정하는 보정 회로의 예가 특허 문헌3에 개시되어 있다.

발명이 이루고자 하는 기술적 과제

주파수 가변 발진 회로는 일반적으로 아날로그 회로로 구성되므로, 디지털 신호를 출력하는 위상 동기 회로는, 아날로그 디지털 혼재 신호 처리 LSI(Large Scale Integrated circuit)(이하, 「아날로그 디지털 혼재 LSI」라고 함)에 의해 집적화 되는 것이 보통이다. 이 때문에, 아날로그 디지털 혼재 LSI의 위상 동기 회로에서는, 주파수 가변 발진 회로인 전압 제어 발진기(이하, 「VCO」라고 함)에 아날로그의 VCO 출력 신호를 디지털 신호로 변환하는 논리 레벨 변환 회로가 접속된다.

특히, 최근, 아날로그 디지털 혼재 LSI의 저소비 전력화 및 고속화가 현저하여 VCO 출력 신호가 보다 고속으로 되어 있기 때문에, 논리 레벨 변환 회로의 저소비 전력화 및 광대역화가 필요로 되고 있다.

여기서, 특허 문헌1, 2에서 개시된 VCO의 예를 도 30에 도시한다. VCO(24)는, 제어 전압 v_c 를 전류로 변환하는 전압 전류 변환 회로(VIC)(241)와, 전압 전류 변환 회로(241)가 생성한 전류를 복제하기 위한 전압 v_{cont} 를 받아 복제되는 전류에 의해 지연량을 조절하는 전류 제어 발진기(ICO)(247)와, 전류 제어 발진기(247)의 아날로그의 차동 출력 신호를 디지털의 싱글 신호(단상 신호)로 변환하는 차동 싱글 변환 회로(DSC)(246)를 포함하여 구성된다. 차동 싱글 변환 회로(246)는, 논리 레벨 변환 회로로서도 기능한다. 또한, 전류 제어 발진기(247)에는, 구동 전류에 의해 지연량을 조정하는 지연 회로를 링 형상으로 접속하는 구성이 채용된다. 도 30에서, 전류 제어 발진기(247)는, 지연 회로(DL)(242a~242c)를 홀수 단(3단)에 접속하여 구성된다.

도 31에 지연 회로(242)의 구성예를 도시한다. 지연 회로(242)는, 트랜지스터 M1, M3에 의해 차동쌍의 한쪽을 구성하는 제1 증폭기와, 마찬가지로 트랜지스터 M2, M4에 의해 차동쌍의 다른쪽을 구성하는 제2 증폭기와, 트랜지스터 M6, M7에 의해 구성되며, 출력이 입력에 상호 접속되는 제3, 제4 증폭기와, 트랜지스터 M5에 의한 가변 전류원을 포함하여 구성된다. 제1 및 제2 증폭기는 차동형을 이루며, 그 차동형 증폭기에 차동 신호 vi_1, vi_2 가 입력되고, 차동 신호 vo_1, vo_2 가 출력된다.

지연 회로(242)는, 제1과 제3 증폭기에서 부하를 공유하고, 제2와 제4 증폭기에서 부하를 공유함으로써, 트랜지스터 수를 삭감하고, 지연 회로의 부하 용량을 저감하는 지연 회로이다. 또한, 지연 회로(242)는, 저전원 전압에 대응하기 위해서 가변 전류원을 트랜지스터 M5에 의해 편측에서만 구동하는 비대칭의 지연 회로이다. 이 때문에, 특히 고속 동작에서는 지연 회로(242)의 출력 신호가 접지측에 오프셋하게 된다. 이 접지측에 오프셋한 고속의 차동 신호 vo_1, vo_2 를 싱글로 변환하는 회로가 차동 싱글 변환 회로(246)이다.

도 32에 차동 싱글 변환 회로(246)의 회로예를 도시한다. 차동 싱글 변환 회로(246)는, 구동 트랜지스터 M2, M3과, 구동 트랜지스터 M2, M3에 구동 전류를 공급하는 트랜지스터 M1에 의한 전류원과, 구동 트랜지스터 M2, M3의 부하로 되는 각각 부하 트랜지스터 M4, M5를 포함하여 구성된다.

높은 주파수에서는, 전단의 지연 회로(242c)의 출력 신호가 접지측에 오프셋하여 출력되도록 되기 때문에, 차동 싱글 변환 회로(246)에 입력되는 차동 신호 vi_1, vi_2 는 접지측에 오프셋한 신호로 된다. 이 때, 차동 싱글 변환 회로(246)의 출력 신호인 f_{vco} 는 전원 전압측에 오프셋하여 출력된다. 이 때문에, 차동 싱글 변환 회로(246)의 출력 신호(f_{vco})(8)를 받는 후속의 논리 회로(도시 생략)는, 전원 전압측에 오프셋한 고속 신호를 처리해야만 한다.

한편, 최근, 프로세스의 미세화로부터, 임계치 변동 요인(프로세스, 온도, 전원 전압)에 의한 임계치의 변동이 커지고 있다. 이 때문에, 아날로그 디지털 혼재 LSI에서, 임계치 변동 요인이 원인으로 논리 회로의 임계치가 변동하여, 오프셋한 아날로그 신호를 올바르게 인식할 수 없는 현상이 발생할 수 있다. 임계치 변동은 프로세스가 미세화될수록 커지기 때문에, 고속 동작이 요구되는, 미세 프로세스로 구성된 아날로그 디지털 혼재 LSI에서는, 특히, 아날로그 신호와 디지털 신호의 전달 부분에서 오동작이 발생하기 쉬워진다.

다음으로, 아날로그 디지털 혼재 LSI에 탑재되는 위상 동기 회로의 예를 도 33에 도시한다. 위상 동기 회로는, 주파수 위상 비교기(PFD)(1)와, 차지 펌프(CP)(2)와, 루프 필터(LF)(3)와, VCO(4)와, VCO(4)의 출력 주파수를 분주하는 분주기(MMD)(6)를 포함하여 구성된다. VCO(4)의 출력 신호(f_{vco})(8)는 후속의 논리 회로(도시 생략)에 입력된다. 출력 신호(8)는, 논리 레벨(예를 들면, 전압이 0~ 전원 전압 V_{dd})의 디지털 신호와 동등한 신호이다.

위상 동기 회로에서, 분주기(6)가 VCO(4)의 출력 신호(8)를 분주한다. 이 분주에 의해 얻어진 비교 신호(f_{div})(32)는, 위상 비교기(1)에 귀환된다. 위상 비교기(1)는, 기준 신호(f_{ref})(31)와 비교 신호(32)의 위상차를 검출하고, 그 위상차에 대응한 펄스 폭의 전압 펄스를 차지 펌프(2)에 출력한다.

차지 펌프(2)는, 상기 전압 펄스에 대응하여, 전하의 방전, 충전, 또는 하이 임피던스 중 어느 하나의 상태로 되며, 차지 펌프(2)의 출력 전류를 루프 필터(3)에 출력한다. 이 차지 펌프(2)의 출력 전류는, 루프 필터(3)에 의해 평활화, 전압 변환되어, VCO(4)의 제어 전압으로 된다.

위상 동기 회로와 논리 회로를 탑재한 아날로그 디지털 혼재 LSI는, 임계치 변동 요인(프로세스, 온도, 전원 전압)에 의해 출력 신호(8)가 변동되고, 그것을 받은 논리 회로가 올바르게 동작할 수 없어, 오동작하는 결과를 초래하는 경우가 있다. 즉, 주파수가 높아지면, VCO(4)는 임계치 변동 요인에 의해 VCO(4)의 출력 신호(8)의 직류 레벨, 신호 진폭이 크게 변동되게 된다. 한편, 출력 신호(8)가 입력되는 논리 회로도, 임계치 변동 요인에 의해 임계치가 크게 변동된다. 이 때, 임의의

조건에서, 입력되는 출력 신호(8)의 직류 레벨이 논리 회로의 임계치를 하회할 수 없는 경우가 발생할 수 있다. 그와 같은 경우가 발생하면, 논리 회로가 오동작한다. 이와 같이, 프로세스의 미세화가 진행되면, 아날로그 디지털 혼재 LSI에서, 수율과 생산 효율의 저하를 피할 수 없게 되어, 아날로그 디지털 혼재 LSI의 저가격화가 저해된다.

따라서, 위상 동기 회로를 탑재한 아날로그 디지털 혼재 LSI가 구비되는 인터페이스 장치나, HDD/DVD 액세스의 기록 재생 장치에서는, 프로세스의 미세화가 진행되면, 제조 수율이 저감될 뿐만 아니라, 동작 불량을 일으킬 우려가 커져, 신뢰성이나 생산성의 저하를 피할 수 없게 된다. 또한, 위상 동기 회로를 탑재한 아날로그 디지털 혼재 LSI가 구비되는 무선 통신 단말 기기에서는, 통신 동작에 오동작을 야기할 우려가 커져, 신뢰성의 저하를 피할 수 없게 된다.

상기의 문제에 대하여, 종래, 차동 싱글 변환 회로의 이득 및 대역을 넓히는 대책이 행해져 왔지만, 광대역화하는 것에 수반하여 소비 전력이 증대되는 것을 피할 수 없다. 또한, 최근의 논리 회로의 고속화에 수반하여, 필요한 대역을 갖는 차동 싱글 변환 회로를 실장하는 것이 곤란해지고 있다. 또한, DVD 액세스 등의 기록 재생 장치에 이용하는 위상 동기 회로에서는, 저주파로부터 고주파까지 광범위한 주파수에 대응하는 것이 요구된다. 이 때문에, 저역을 차단하고, 고역을 통과시키는 특성을 갖는 특허 문헌3의 보정 회로는, 저주파를 통과시키기 위해서는 사용하는 용량 면적이 커지기 때문에, 대규모 집적 회로 상에 실장하는 것이 곤란해진다. 또한, 인터페이스 장치나 기록 재생 장치나 무선 통신 단말 기기는, 모두 사용 환경이 다방면에 걸치기 때문에, 신뢰성의 저하가 조장된다.

본 발명의 목적은, 임계치 변동 요인(프로세스, 온도, 전원 전압)이 있어도 후속의 논리 회로가 올바르게 동작하는 출력 신호를 생성하는 논리 레벨 변환 회로를 제공하는 데에 있고, 또는 그것을 이용한 위상 동기 회로를 제공하는 데에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 논리 레벨 변환 회로는, 제1 신호와 제2 신호를 입력하여, 상기 제2 신호에 의해 설정되는 임계치에 의해 상기 제1 신호를 제3 신호로 변환하는 임계치 가변 인버터와, 상기 제2 신호를 소정의 값으로 하고 나서, 소정의 상태를 기준으로 상기 제3 신호를 판정하고, 판정 결과를 이용하여 상기 제2 신호를 새롭게 생성하며, 또한, 상기 제3 신호를 제4 신호로서 출력하는 판정 회로를 구비하고 있고, 상기 판정 회로는, 상기 제3 신호가 상기 소정의 상태에 있을 때에 상기 제2 신호의 값을 보유하는 것을 특징으로 한다.

상기의 논리 레벨 변환 회로에 의해, 제1 신호의 직류 레벨과 상기 임계치 가변 인버터의 임계치가 거의 일치하도록 조정되고, 이에 의해 제1 신호의 진폭과 직류 레벨이 논리 레벨로 되도록 조정되기 때문에, 임계치 변동 요인(프로세스, 온도, 전원 전압)이 있어도 후속의 논리 회로가 올바르게 동작하는 제1 신호, 즉 출력 신호를 생성하는 것이 가능하게 된다.

상기 목적을 달성하기 위한 본 발명의 위상 동기 회로는, 입력되는 기준 신호와 참조 신호를 비교하여 위상차를 출력하는 위상 비교기와, 상기 위상차를 전류로 변환하는 차지 펌프와, 상기 차지 펌프가 출력하는 상기 전류의 저역 주파수 성분을 취출하고, 취출한 상기 전류의 저역 주파수 성분을 제어 전압으로 변환하여 출력하는 루프 필터와, 상기 제어 전압에 따라서 발진 주파수를 변화시키며, 발진 출력을 제1 신호로서 출력하는 전압 제어 발진기와, 상기 제1 신호를 분주하여 상기 참조 신호를 출력하는 분주기와, 상기 제1 신호를 입력하여 제4 신호를 출력하는 상기의 논리 레벨 변환 회로를 구비하고 있다.

상기의 위상 동기 회로의 출력단에 배치되는 논리 레벨 변환 회로로부터 후속의 논리 회로가 올바르게 동작하는 제1 신호가 출력되므로, 위상 동기 회로를 광대역의 신호를 취급하는 넓은 분야에 응용 가능하다. 그와 같은 분야로서, 예를 들면, CD 및 DVD를 대표로 하는 광 디스크 장치나 HDD와 컴퓨터를 접속하기 위한 인터페이스 장치, 혹은 HDD나 광 디스크 장치의 내부에서 이용되는 기록 재생 장치, 혹은 무선 통신 휴대 단말기 등이 있다.

이하, 본 발명에 따른 논리 레벨 변환 회로 및 그것을 이용한 위상 동기 회로, 및 동 위상 동기 회로를 이용한 인터페이스 장치, 기록 재생 회로 및 무선 통신 단말 기기를 도면에 도시한 몇개의 실시예를 참조하여 더 상세하게 설명한다. 또한, 설명에 이용하는 모든 도면에서, 동일한 부호는 동일물 또는 유사물을 표시하는 것으로 한다.

<실시예 1>

도 1 및 도 2에 본 발명의 실시예 1을 도시한다. 본 실시예는, 본 발명의 특징을 가장 잘 나타내고 있는 논리 레벨 변환 회로와 그것을 이용한 위상 동기 회로(PLL)이다.

도 1에 도시한 바와 같이, 본 실시예의 위상 동기 회로는, 주파수 위상 비교기(PFD)(1)와, 차지 펌프(CP)(2)와, 루프 필터(LF)(3)와, 전압 제어 발진기(이하 「VCO」라고 표기함)(4), VCO(4)의 출력 신호(fvco)(8)를 후속의 논리 회로(도시 생략)가 올바르게 인식 가능한 디지털의 출력 신호(out)(9)로 변환하는 논리 레벨 변환 회로(LCC)(5)와, 출력 신호(8)를 분주하는 분주기(MMD)(6)를 포함하여 구성된다.

VCO(4)에는, 예를 들면, 도 30에 도시한 VCO(24)가 채용된다. 도 30에서, VCO(24)는, 제어 전압 vc를 전류로 변환하는 전압 전류 변환 회로(VIC)(241)와, 전압 전류 변환 회로(241)가 생성한 전류를 복제하기 위한 전압 vcont를 받아 복제되는 전류에 의해 지연량을 조절하는 전류 제어 발진기(ICO)(247)와, 전류 제어 발진기(247)의 아날로그의 차동 출력 신호를 디지털의 싱글 신호(단상 신호)로 변환하는 차동 싱글 변환 회로(DSC)(246)를 포함하여 구성된다. 전류 제어 발진기(247)에는, 구동 전류에 의해 지연량을 조정하는 지연 회로(DL)(242a~242c)를 링 형상으로 접속하는 구성이 채용된다. 지연 회로(242)에는, 예를 들면, 도 31에 도시한 회로가 채용된다. 도 31의 지연 회로(242)는, 트랜지스터 M1, M3에 의해 차동쌍의 한쪽을 구성하는 제1 증폭기와, 마찬가지로 트랜지스터 M2, M4에 의해 차동쌍의 다른쪽을 구성하는 제2 증폭기와, 트랜지스터 M6, M7에 의해 구성되며, 출력이 입력에 상호 접속되는 제3, 제4 증폭기와, 트랜지스터 M5에 의한 가변 전류원을 포함하여 구성된다. 제1 및 제2 증폭기는 차동형을 이루고, 그 차동형 증폭기에 차동 신호 vi1, vi2가 입력되고, 차동 신호 vo1, vo2가 출력된다. 차동 신호 vo1, vo2를 싱글 신호로 변환하는 회로가 차동 싱글 변환 회로(246)이다. 차동 싱글 변환 회로(246)에는, 예를 들면, 도 32에 도시한 회로가 채용된다. 도 32의 차동 싱글 변환 회로(246)는, 구동 전류를 만드는 트랜지스터 M1에 의한 전류원과, 구동 트랜지스터 M2, M3과, 부하 트랜지스터 M4, M5를 포함하여 구성된다. 차동 싱글 변환 회로(246)는, 차동 신호 vo1, vo2를 차동 신호 vi1, vi2로서 입력하고, 싱글 신호인 출력 신호(8)를 출력한다.

도 1의 위상 동기 회로에서, 분주기(6)가 VCO(4)의 출력 신호(8)를 분주한다. 이 분주에 의해 얻어진 비교 신호(fdiv)(32)는, 위상 비교기(1)로 귀환된다. 위상 비교기(1)는, 기준 신호(fref)(31)와 비교 신호(32)의 위상차를 검출하고, 그 위상차에 대응한 펄스 폭의 전압 펄스를 차지 펌프(2)에 출력한다.

차지 펌프(2)는, 상기 전압 펄스에 대응하여, 전하의 방전, 충전, 또는 하이 임피던스 중 어느 하나의 상태로 되며, 차지 펌프 출력 전류를 루프 필터(3)에 출력한다. 이 차지 펌프 출력 전류는, 루프 필터(3)에 의해 평활화, 전압 변환되어, 전압 제어 발진기(4)의 제어 전압으로 된다.

다음으로, 도 2를 이용하여 논리 레벨 변환 회로(5)의 구성예와 동작을 설명한다. 논리 레벨 변환 회로(5)는, VCO(4)의 출력 신호(8)(제1 신호)와 임계치 설정 신호(co)(11)(제2 신호)를 입력하여 임계치 설정 신호(11)에 의해 설정된 임계치로 출력 신호(8)를 처리하여 신호(19)(제3 신호)를 출력하는 임계치 가변 인버터(51)와, 신호(19)를 입력받고, 입력받은 신호(19)를 판정하여 판정 결과에 기초하여, 위상 동기 회로의 출력 신호(out)(9)(제4 신호)와 임계치 설정 신호(11)를 출력하는 판정 회로(56)를 포함하여 구성된다.

도 3에, 도 2에 도시한 판정 회로(56)의 제1 구성예를 도시한다. 제1 판정 회로(56)는, 신호(19)를 출력 신호(9)로서 출력하고, 또한, 신호(19)를 입력하여 신호(19)의 직류 성분(lo)(10)을 출력하는 저역 통과 필터(LPF)(52)와, 직류 성분(10)을 입력받아, 비교 전압과 비교한 결과로부터 임계치 설정 신호(11)를 출력하는 콤퍼레이터(COMP)(53)를 포함하여 구성된다.

도 4에 콤퍼레이터(53)의 구성예를 도시한다. 콤퍼레이터(53)는, 비교 전압 Vr1과 직류 성분(10)을 입력받아 비교 신호를 출력하는 콤퍼레이터(531)와, 비교 전압 Vr2와 직류 성분(10)을 입력받아 비교 신호를 출력하는 콤퍼레이터(532)와, 콤퍼레이터(531)가 출력한 비교 신호와 콤퍼레이터(532)가 출력한 비교 신호를 입력받아 비교 결과를 생성하고, 비교 결과에 기초하여 임계치 설정 신호(11)를 출력하는 논리 회로(LOGIC)(533)를 포함하여 구성된다.

도 5에 콤퍼레이터(53)의 입출력 특성을 도시한다. 직류 성분(10)이 비교 전압 Vr1보다 작으면, 비교 결과는 -1로 된다. 이 때, 콤퍼레이터(53)는 임계치 가변 인버터(51)의 임계치를 1단계 높게 하도록 임계치 설정 신호(11)를 출력한다. 직류 성분(10)이 비교 전압 Vr1보다 크고 Vr2보다 작으면, 비교 결과는 0으로 된다. 이 때, 콤퍼레이터(53)는 임계치 가변 인버터(51)의 임계치를 보유하는 임계치 설정 신호(11)를 출력한다. 직류 성분(10)이 비교 전압 Vr2보다 클 때, 비교 결과는 1로 된다. 이 때, 콤퍼레이터(53)는 임계치 가변 인버터(51)의 임계치를 1단계 낮게 하도록 임계치 설정 신호(11)를 출력한다. 비교 결과가 0으로 될 때까지 이 동작을 행한다. 비교 결과가 0으로 되면, 콤퍼레이터(53)는 임계치 설정 신호(11)를 보유하는 동작을 행한다. 콤퍼레이터(53)의 구성은, 상기 동작을 실현하는 구성이면, 상기에 설명한 수단과 달라도 된다.

여기서, 신호(19)가 비교 결과가 0으로 되는 상태에 있을 때, 신호(19)는 소정의 상태에 있는 것으로 한다. 따라서, 판정 회로(56)는, 소정의 상태를 기준으로 신호(19)를 판정하고, 그 결과를 이용하여 임계치 설정 신호(11)를 생성하게 된다.

도 6에 도 2에 도시하는 출력 신호(8)와 임계치 설정 신호(11)를 입력하여 신호(19)를 출력하는 제1 임계치 가변 인버터(51)의 구성예를 도시하고, 그 동작을 설명한다. 제1 임계치 가변 인버터(51)는, 출력 신호(8)를 게이트로부터 입력받아 드레인으로부터 신호(19)를 출력하는 PMOS 트랜지스터(514, 515, 516)와, NMOS 트랜지스터(517, 518, 519)와, 임계치 설정 신호(11)에 의해 제어되는, 전원 전압과 PMOS 트랜지스터 사이에 삽입되어 있는 스위치(511, 512, 513)(제1 스위치)와, 마찬가지로 임계치 설정 신호(11)에 의해 제어되는, 접지와 NMOS 트랜지스터 사이에 삽입되어 있는 스위치(51A, 51B, 51C)(제2 스위치)를 포함하여 구성된다. 또한, 제1 임계치 가변 인버터(51)는, 임계치 설정 신호(11)에 의해 동작의 제어가 가능하면, 상기의 구성과 달라도 된다.

도 7에 본 실시예의 논리 레벨 변환 회로(5)의 동작 과정을 도시하고, 이것을 이용하여 논리 레벨 변환 회로(5)의 동작을 설명한다.

시각 t_0 에서 VCO(4)의 출력 신호(8)가 논리 레벨 변환 회로(5)에 입력된다. 초기 설정으로서 임계치 설정 신호(11)는 M이라고 하는 신호로 되어 있다. M인 임계치 설정 신호(11)에 의해, 임계치 가변 인버터(51)에서, 스위치(511과 51A)가 온으로 되고, 다른 모든 스위치는 오프로 된다. 온 상태의 트랜지스터(514, 517)에 의한 임계치는 V_{thc1} 이다. 여기서, 임계치 V_{thc1} 은, 출력 신호(8)보다도 전압이 높고, 출력 신호(8)와 교차하고 있지 않는 것으로 한다. 이 때, 논리 레벨 변환 회로(5)의 출력 신호(9)는 하이(High)로 고정된다. 이에 의해, 저역 통과 필터(52)가 출력하는 직류 성분(10)은 하이로 되어, 콤퍼레이터(53)의 내부 신호인 비교 결과는 1로 된다.

그 결과, 시각 t_1 에서 콤퍼레이터(53)로부터 임계치 가변 인버터(51)에 대하여, 임계치를 1단계 낮게 하는 M-1이라고 하는 임계치 설정 신호(11)가 출력된다. M-1인 임계치 설정 신호(11)를 수신한 임계치 가변 인버터(51)는, 시각 t_1 에서, 스위치(511, 51A) 외에 스위치(51B)를 새롭게 온으로 한다. 그 결과, 임계치는 V_{thc1} 로부터 V_{thc2} 로 변경된다.

이에 의해, 임계치 V_{thc2} 는 출력 신호(8)와 교차하는 것이 가능하게 되어, 논리 레벨 변환 회로(5)의 출력 신호(9)는 진폭이 V_{dd} 인 클럭 신호, 즉 논리 레벨의 클럭 신호로 된다. 이 때, 저역 통과 필터(52)가 출력하는 직류 성분(10)은 $1/2V_{dd}$ 로 되어, 콤퍼레이터(53)의 내부 신호인 비교 결과는 0으로 된다. 그 결과, 콤퍼레이터(53)는, 임계치 설정 신호(11)를 M-1로 보유하는 동작을 행하고, 논리 레벨 변환 회로(5)의 동작이 종료된다. 또한, 임계치가 변경되어도 출력 신호(8)와의 교차가 없으면, 다시 임계치의 변경이 행해진다. 임계치의 변경은 출력 신호(8)와의 교차가 발생할 때까지 계속된다.

여기서, 출력 신호(8)가 임계치 V_{thc1} 보다도 전압이 높고, 동작이 상기와는 반대로 되는 경우를 설명한다. 초기 설정으로서 임계치 설정 신호(11)는 M으로 된다. M인 임계치 설정 신호(11)에 의해, 임계치 가변 인버터(51)에서, 스위치(511과 51A)가 온으로 되고, 다른 모든 스위치는 오프로 된다. 온 상태의 트랜지스터(514, 517)에 의한 임계치는 V_{thc1} 이다. 여기서, 임계치 V_{thc1} 은, 출력 신호(8)보다도 전압이 낮고, 출력 신호(8)와 교차하고 있지 않다. 이 때문에, 논리 레벨 변환 회로(5)의 출력 신호(9)는 로우(Low)로 고정된다. 이에 의해, 저역 통과 필터(52)가 출력하는 직류 성분(10)은 로우로 되어, 콤퍼레이터(53)의 내부 신호인 비교 결과는 -1로 된다.

그 결과, 콤퍼레이터(53)로부터 임계치 가변 인버터(51)에 대하여, 임계치를 1단계 높게 하는 M+1이라고 하는 임계치 설정 신호(11)가 출력된다. M+1인 임계치 설정 신호(11)를 수신한 임계치 가변 인버터(51)는, 스위치(511, 51A) 외에 또한 스위치(512)를 새롭게 온으로 한다. 그 결과, 임계치는 V_{thc1} 로부터 V_{thc3} 으로 변경된다.

이에 의해, 임계치 V_{thc3} 은 출력 신호(8)와 교차하는 것이 가능하게 되어, 논리 레벨 변환 회로(5)의 출력 신호(9)는 진폭이 V_{dd} 인 클럭 신호, 즉 논리 레벨의 클럭 신호로 된다. 이 때, 저역 통과 필터(52)가 출력하는 직류 성분(10)은 $1/2V_{dd}$ 로 되어, 콤퍼레이터(53)의 내부 신호인 비교 결과는 0으로 된다. 그 결과, 콤퍼레이터(53)는, 임계치 설정 신호(11)를 M+1로 보유하는 동작을 행하고, 논리 레벨 변환 회로(5)의 동작이 종료된다. 또한, 상기와 마찬가지로, 임계치가 변경되어도 출력 신호(8)와의 교차가 없으면, 다시 임계치의 변경이 행해진다. 임계치의 변경은 출력 신호(8)와의 교차가 발생할 때까지 계속된다.

이상의 본 실시예의 논리 레벨 변환 회로(5)에 의해, 발진 주파수가 높아져, VCO(4)의 출력 신호(8)의 진폭이 저하됨과 동시에, 전압 레벨이 변화해도, 출력 신호(9)로서 항상 진폭이 V_{dd} 인 클럭 신호를 출력하는 것이 가능하게 된다.

또한, 판정 회로(56) 및 임계치 가변 인버터(51)는 각각 몇개의 변형이 가능하며, 이들을 이용함으로써, 몇개의 서로 다른 구성의 논리 레벨 변환 회로(5)를 실현할 수 있다.

판정 회로(56)의 제2 구성예를 도 8에 도시한다. 제2 판정 회로(56)는, 신호(19)를 입력받아 신호(19)의 직류 성분(10)을 출력하는 저역 통과 필터(52)와, 직류 성분(10)을 입력받아, 비교 전압과 비교한 결과로부터 임계치 설정 신호(11)와 동작 판정 신호(20)를 출력하는 콤퍼레이터(53)와, 신호(19)와 동작 판정 신호(20)를 입력받아, 동작 판정 신호(20)에 의해 제어되어 출력 신호(9)를 출력하는 스위치(SW)(57)를 포함하여 구성된다.

이하에, 도 8의 제2 판정 회로(56)를 이용한 논리 레벨 변환 회로(5)의 동작을 설명한다.

임의의 시각에 VCO(4)의 출력 신호(8)가 논리 레벨 변환 회로(5)에 입력된다. 초기 설정으로서 임계치 설정 신호(11)는 M이며, 이에 의해, 도 6의 임계치 가변 인버터(51)에서, 스위치(511과 51A)가 온으로 되고, 다른 모든 스위치는 오프로 된다. 온 상태의 트랜지스터(514, 517)에 의한 임계치는 V_{thc1} 이다. 또한, 초기 설정으로서, 동작 판정 신호(20)에 의해, 스위치(57)는 오프로 되도록 제어된다. 여기서, 임계치 V_{thc1} 은 출력 신호(8)보다도 전압이 높고, 출력 신호(8)와 교차하지 않은 것으로 한다. 이 때, 임계치 가변 인버터(51)의 출력 신호(19)는 하이로 고정된다. 이에 의해, 저역 통과 필터(52)가 출력하는 직류 성분(10)은 하이로 되어 콤퍼레이터(53)의 내부 신호인 비교 결과는 1로 된다.

그 결과, 콤퍼레이터(53)로부터 임계치 가변 인버터(51)에 대하여, 임계치를 1단계 낮게 하는 M-1이라고 하는 임계치 설정 신호(11)가 출력된다. M-1인 임계치 설정 신호(11)를 수신한 임계치 가변 인버터(51)는, 스위치(511, 51A) 외에 또한 스위치(51B)를 새롭게 온으로 하여 임계치를 V_{thc1} 로부터 V_{thc2} 로 변경한다.

이에 의해, 임계치 V_{thc2} 는 출력 신호(8)와 교차하는 것이 가능하게 되어, 임계치 가변 인버터(51)가 출력하는 신호(19)는 진폭이 Vdd로 된다. 이 때, 저역 통과 필터(52)가 출력하는 직류 성분(10)은 $1/2V_{dd}$ 로 되어, 콤퍼레이터(53)의 내부 신호인 비교 결과는 0으로 된다. 그 결과, 콤퍼레이터(53)는, 임계치 설정 신호(11)를 M-1로 보유하는 동작을 행한다. 또한, 콤퍼레이터(53)는, 스위치(57)를 온으로 하는 동작 판정 신호(20)를 출력한다. 온 상태로 된 스위치(57)는, 신호(19)를 출력 신호(9)로서 출력하고, 논리 레벨 변환 회로(5)의 동작이 종료된다.

여기서, 출력 신호(8)가 임계치 V_{thc1} 보다도 전압이 높고, 동작이 상기와는 반대로 되는 경우를 설명한다. 초기 설정으로서 임계치 설정 신호(11)는 M으로 된다. M인 임계치 설정 신호에 의해, 제1 임계치 가변 인버터(51)에서, 스위치(511과 51A)가 온으로 되고, 다른 모든 스위치는 오프로 된다. 온 상태의 트랜지스터(514, 517)에 의한 임계치는 V_{thc1} 이다. 또한, 초기 설정으로서, 동작 판정 신호(20)에 의해, 스위치(57)는 오프로 되도록 제어된다. 여기서, 임계치 V_{thc1} 은 출력 신호(8)보다도 전압이 낮고, 출력 신호(8)와 교차하고 있지 않다. 이 때문에, 임계치 가변 인버터(51)의 출력 신호(19)는 로우로 고정된다. 이에 의해, 저역 통과 필터(52)가 출력하는 직류 성분(10)은 로우로 되어 콤퍼레이터(53)의 내부 신호인 비교 결과는 -1로 된다.

그 결과, 콤퍼레이터(53)로부터 임계치 가변 인버터(51)에 대하여, 임계치를 1단계 높게 하는 M+1이라고 하는 임계치 설정 신호(11)가 출력된다. 이 임계치 설정 신호(11)를 수신한 임계치 가변 인버터(51)는, 스위치(511, 51A) 외에 또한 스위치(512)를 새롭게 온한다. 그 결과, 임계치는 V_{thc1} 로부터 V_{thc3} 으로 변경된다.

이에 의해, 임계치 V_{thc3} 은 출력 신호(8)와 교차하는 것이 가능하게 되어, 임계치 가변 인버터(51)가 출력하는 신호(19)는 진폭이 Vdd로 된다. 이 때, 저역 통과 필터(52)가 출력하는 직류 성분(10)은 $1/2V_{dd}$ 로 되어, 콤퍼레이터(53)의 내부 신호인 비교 결과는 0으로 된다. 그 결과, 콤퍼레이터(53)는, 임계치 설정 신호(11)를 M+1로 보유하는 동작을 행한다. 또한, 콤퍼레이터(53)는, 스위치(57)를 온으로 하는 동작 판정 신호(20)를 출력한다. 온 상태로 된 스위치(57)는, 신호(19)를 출력 신호(9)로서 출력하고, 논리 레벨 변환 회로(5)의 동작이 종료된다.

제2 판정 회로(56)에서는, 상기의 초기 동작에서 하이로 고정된 신호, 또는 로우로 고정된 신호가 출력 신호(9)로서 출력되지 않기 때문에, 출력 신호(9)를 입력하는 논리 회로의 파워 온 시퀀스의 제어가 용이해진다.

다음으로, 판정 회로(56)의 제3 구성예를 도 9에 도시한다. 도 9에 도시하는 제3 판정 회로(56)는, 신호(19)를 출력 신호(9)로서 출력하는 것 외에, 신호(19)를 입력받아 임의의 일정 기간 카운트하고, 카운트 결과에 기초하여 임계치 설정 신호(11)를 출력하는 카운터(CTR)(55)를 포함하여 구성된다. 카운터(55)는, 카운트 결과와 소정의 상태를 나타내는 목표 카운트 수를 비교하고, 적절한 카운트 결과가 얻어질 때까지 임계치 설정 신호(11)를 변경하여 출력한다.

이하에, 도 9의 제3 판정 회로(56)를 이용한 논리 레벨 변환 회로(5)의 동작을 설명한다.

VCO(4)의 출력 신호(8)가 임계치 가변 인버터(51)에 입력된다. 초기 설정으로서 임계치 설정 신호(11)는 M이며, 이에 의해, 도 6의 임계치 가변 인버터(51)에서, 스위치(511과 51A)가 온으로 되고, 다른 모든 스위치는 오프로 된다. 온 상태의 트랜지스터(514, 517)에 의한 임계치는 V_{thc1} 이다. 여기서, 임계치 V_{thc1} 은 출력 신호(8)보다도 전압이 높고, 출력 신호(8)와 교차하고 있지 않는 것으로 한다. 이 때, 임계치 가변 인버터(51)의 출력 신호(19)는 하이로 고정된다. 이러한 처리가 행해져 신호(19)가 카운터(55)에 입력된다. 출력 신호(19)는 하이로 고정되어 있기 때문에, 카운트 결과는 목표 카운트 수보다 적다.

카운터(55)는, 출력 신호(19)의 하이, 로우의 구별을 하지 않고 카운트를 행하기 때문에, 우선 초기 동작 설정으로서, 임계치 가변 인버터(51)의 임계치를 1단계 올리는 임계치 설정 신호(11)를 출력한다. 이 때, 임계치 설정 신호(11)는 M+1로 된다. M+1인 임계치 설정 신호(11)를 수신한 임계치 가변 인버터(51)는, 스위치(511, 51A) 외에 또한 스위치(512)를 새롭게 온으로 하여 임계치를 1단계 올리고, 재차 출력 신호(8)를 처리하여 신호(19)를 출력한다. 신호(19)는 카운터(55)에 입력된다. 카운터(55)는, 임의의 일정 기간 출력 신호(9)를 카운트하여, 카운트 결과와 목표 카운트 수를 비교한다. 비교한 결과, 재차 카운트 결과가 목표 카운트 수보다 적은 경우, 제1 임계치 가변 인버터(51)의 임계치를 1단계 더 올리는 임계치 설정 신호(11)를 출력한다. 이 때, 임계치 설정 신호(11)는 M+2로 된다.

만약, 임계치 가변 인버터(51)가 설정 가능한 최대의 임계치를 설정해도 적절한 카운트 결과가 얻어지지 않는 경우, 임계치 설정 신호(11)는 M-1로 설정된다. M-1인 임계치 설정 신호(11)를 수신한 임계치 가변 인버터(51)는, 스위치(511, 51A) 외에 또한 스위치(51B)를 새롭게 온으로 하고, 임계치를 1단계 내려 재차 출력 신호(8)를 처리하여 신호(19)를 출력한다. 신호(19)는 카운터(55)에 입력된다. 카운터(55)는, 임의의 일정 기간 출력 신호(9)를 카운트하여, 카운트 결과와 목표 카운트 수를 비교한다. 비교한 결과가, 재차 카운트 결과가 목표 카운트 수보다 적은 경우, 제1 임계치 가변 인버터(51)의 임계치를 1단계 더 내리는 임계치 설정 신호(11)를 출력한다. 이 때, 임계치 설정 신호(11)는 M-2로 된다.

이와 같이 하여 순차적으로 임계치 가변 인버터(51)의 임계치를 내려 가, 소정의 상태를 나타내는 적절한 카운트 결과가 얻어진 곳에서, 카운터(55)는 카운트 동작을 종료하고, 이 때의 임계치 설정 신호(11)를 보유한다. 또한, 물론, 임계치를 올려 가는 단계에서 적절한 카운트 결과가 얻어지면, 그 시점에서 카운터(55)는 카운트 동작을 종료하고, 이 때의 임계치 설정 신호(11)를 보유한다.

이상의 제3 판정 회로(56)는, 논리 회로만으로 구성되기 때문에, 미세 프로세스로 집적화한 경우에 실장 면적이 적어져, 소비 전류를 저감할 수 있다.

다음으로, 판정 회로(56)의 제4 구성예를 도 10에 도시한다. 도 10에 도시하는 제4 판정 회로(56)는, 신호(19)를 입력하여 임의의 일정 기간 카운트하고, 카운트 결과에 기초하여 임계치 설정 신호(11)와 동작 판정 신호(20)를 출력하는 카운터(55)와, 동작 판정 신호(20)에 의해 온 오프가 제어되며, 온일 때에 신호(19)를 출력 신호(9)로서 출력하는 스위치(57)를 포함하여 구성된다.

이하에 도 10의 제4 판정 회로(56)를 이용한 논리 레벨 변환 회로(5)의 동작을 설명한다.

VCO(4)의 출력 신호(8)가 임계치 가변 인버터(51)에 입력된다. 초기 설정으로서 임계치 설정 신호(11)는 M이며, 이에 의해, 도 6의 임계치 가변 인버터(51)에서, 스위치(511과 51A)가 온으로 되고, 다른 모든 스위치는 오프로 된다. 온 상태의 트랜지스터(514, 517)에 의한 임계치는 V_{thc1} 이다. 또한, 초기 설정으로서, 동작 판정 신호(20)에 의해, 스위치(57)는 오프로 되도록 제어된다. 여기서, 임계치 V_{thc1} 은 출력 신호(8)보다도 전압이 높고, 출력 신호(8)와 교차하고 있지 않는 것으로 한다. 이 때, 임계치 가변 인버터(51)의 출력 신호(19)는 하이로 고정된다. 이러한 처리가 행해져 신호(19)가 카운터(55)에 입력된다. 출력 신호(19)는 하이로 고정되어 있기 때문에, 카운트 결과는 목표 카운트 수보다 적다.

카운터(55)는, 출력 신호(19)의 하이, 로우의 구별을 하지 않고 카운트를 행하기 때문에, 우선 초기 동작 설정으로서, 임계치 가변 인버터(51)의 임계치를 1단계 올리는 임계치 설정 신호(11)를 출력한다. 이 때, 임계치 설정 신호(11)는 M+1로 된다. M+1인 임계치 설정 신호(11)를 수신한 임계치 가변 인버터(51)는, 스위치(511, 51A) 외에 또한 스위치(512)를 새롭게 온으로 하여 임계치를 1단계 올리고, 재차 출력 신호(8)를 처리하여 신호(19)를 출력한다. 신호(19)는 카운터(55)에 입력된다. 카운터(55)는, 임의의 일정 기간 출력 신호(9)를 카운트하여, 카운트 결과와 목표 카운트 수를 비교한다. 비교한 결과, 재차 카운트 결과가 목표 카운트 수보다 적은 경우, 제1 임계치 가변 인버터(51)의 임계치를 1단계 더 올리는 임계치 설정 신호(11)를 출력한다. 이 때, 임계치 설정 신호(11)는 M+2로 된다.

만약, 임계치 가변 인버터(51)가 설정 가능한 최대의 임계치를 설정해도 적절한 카운트 결과가 얻어지지 않는 경우, 임계치 설정 신호(11)는 M-1로 설정된다. M-1인 임계치 설정 신호(11)를 수신한 임계치 가변 인버터(51)는, 스위치(511, 51A) 외에 또한 스위치(51B)를 새롭게 온으로 하고, 임계치를 1단계 내려 재차 출력 신호(8)를 처리하여 신호(19)를 출력한다. 신호(19)는 카운터(55)에 입력된다. 카운터(55)는, 임의의 일정 기간 출력 신호(9)를 카운트하여, 카운트 결과와 목표 카운트 수를 비교한다. 비교한 결과가, 재차 카운트 결과가 목표 카운트 수보다 적은 경우, 제1 임계치 가변 인버터(51)의 임계치를 1단계 더 내리는 임계치 설정 신호(11)를 출력한다. 이 때, 임계치 설정 신호(11)는 M-2로 된다.

이와 같이 하여 순차적으로 임계치 가변 인버터(51)의 임계치를 낮추어 가서, 소정의 상태를 나타내는 적절한 카운트 결과가 얻어진 곳에서, 카운터(55)는 카운트 동작을 종료하고, 이 때의 임계치 설정 신호(11)를 보유한다. 또한, 물론, 임계치를 올려 가는 단계에서 적절한 카운트 결과가 얻어지면, 그 시점에서 카운터(55)는 카운트 동작을 종료하고, 이 때의 임계치 설정 신호(11)를 보유한다. 적절한 카운트 결과가 얻어짐으로써 카운터(55)가 카운트 동작을 종료한 시점에서, 카운터(55)는, 스위치(57)를 온으로 하는 동작 판정 신호(20)를 출력한다. 온 상태로 된 스위치(57)는, 신호(19)를 출력 신호(9)로서 출력하고, 논리 레벨 변환 회로(5)의 동작이 종료된다.

이상의 제4 판정 회로(56)에서는, 상기의 초기 동작에서 하이로 고정된 신호, 또는 로우로 고정된 신호가 출력 신호(9)로서 출력되지 않기 때문에, 출력 신호(9)를 입력하는 논리 회로의 파워 온 시퀀스의 제어가 용이해진다. 또한, 제4 판정 회로(56)는, 논리 회로만으로 구성되기 때문에, 미세 프로세스로 집적화한 경우에 실장 면적이 적어져, 소비 전류를 저감할 수 있다.

다음으로, 판정 회로(56)의 제5 구성예를 도 11에 도시한다. 도 11에 도시하는 제5 판정 회로(56)는, 신호(19)를 출력 신호(9)로서 출력하는 것 외에, 출력 신호(9)를 칩 밖에서 측정하고, 그 측정 결과에 기초하여 테스트터(58)에 설정 신호를 출력하는 칩 밖의 패드(58A)와, 해당 설정 신호를 입력받아 임계치 설정 신호(11)를 출력하는 테스트터(TST)(58)를 포함하여 구성된다.

이하에 제5 판정 회로(56)의 동작을 설명한다. 출력 신호(9)가 칩 밖에서 패드(58A)에 의해 측정된다. 측정 결과가 하이 고정 신호인 경우, 임계치 가변 인버터(51)의 임계치를 1단계 내리도록 패드(58A)로부터 테스트터(58)에 설정 신호가 출력된다. 설정 신호를 받은 테스트터(58)는, 임계치 가변 인버터(51)의 임계치를 1단계 내리는 임계치 설정 신호(11)를 설정한다. 임계치 설정 신호(11)가 설정되었다면, 재차 출력 신호(9)가 칩 외부에서 측정된다. 이와 같이 하여, 임계치 가변 인버터(51)의 임계치를 설정 가능한 범위 내에서 출력 신호(9)가 가장 듀티가 양호하고 적절한 신호로 되도록, 즉 소정의 상태로 되도록 임계치 설정 신호(11)가 설정된다. 여기서, 듀티란, 신호 1주기의 구간에 대한 신호의 하이 구간의 비율을 백분율로 나타낸 것이다.

계속해서, 출력 신호(8)와 임계치 설정 신호(11)를 입력하여 신호(19)를 출력하는 도 2에 도시하는 임계치 가변 인버터(51)의 제2 구성예를 도 12에 도시한다. 제2 임계치 가변 인버터(51)는, 신호(19)를 출력하는 인버터(501, 502, 503, 504, 505)와, 출력 신호(8)와 인버터(501, 502, 503, 504, 505) 사이에 개재하며, 임계치 설정 신호(11)에 의해 제어되는 스위치(506, 507, 508, 509, 50A)를 포함하여 구성된다.

제2 임계치 가변 인버터(51)는, 출력 신호(8)와 임계치 설정 신호(11)를 입력받아, 인버터(501, 502, 503, 504, 505)의 출력 신호를 각각 신호(19)로서 출력한다. 인버터(501, 502, 503, 504, 505)는, 각각 임계치가 서로 다르게 설정되어 있다.

이하에, 도 12에 도시하는 제2 임계치 가변 인버터(51)와 도 3에 도시한 제1 판정 회로(56)를 이용한 도 2에 도시하는 논리 레벨 변환 회로(5)의 동작을 설명한다.

시각 t0에서 출력 신호(8)가 논리 레벨 변환 회로(5)에 입력된다. 초기 설정으로서 임계치 설정 신호(11)는 M이며, 이에 의해, 제2 임계치 가변 인버터(51)에서, 스위치(508)가 온이고 다른 모든 스위치는 오프로 된다. 여기서, 스위치(508)에 접속되어 있는 인버터(503)의 임계치가 출력 신호(8)에 비하여 전압이 높고, 임계치는 출력 신호(8)와 교차하고 있지 않는 것으로 한다. 이 때, 신호(19)는 하이로 고정된다. 이에 의해, 저역 통과 필터(52)가 출력하는 직류 성분(10)은 하이로 되어 콤퍼레이터(53)의 내부 신호인 비교 결과는 1로 된다.

그 결과, 콤퍼레이터(53)로부터 제2 임계치 가변 인버터(51)에 대하여, 임계치를 1단계 낮게 하는 M-1이라고 하는 임계치 설정 신호(11)가 출력된다. M-1인 임계치 설정 신호(11)를 수신한 제2 임계치 가변 인버터(51)는, 스위치(508)를 오프로 하고 스위치(509)를 온으로 한다.

이에 의해, 스위치(509)에 접속되어 있는 인버터(504)의 임계치가 출력 신호(8)와 교차하는 것이 가능하게 되어, 논리 레벨 변환 회로(5)의 출력 신호(9)는, 진폭이 Vdd인 논리 레벨의 클럭 신호로 된다. 이 때, 저역 통과 필터(52)가 출력하는 직류 성분(10)은 $1/2V_{dd}$ 로 되어, 콤퍼레이터(53)의 내부 신호인 비교 결과는 0으로 된다. 그 결과, 콤퍼레이터(53)는 임계치 설정 신호(11)를 M-1로 보유하는 동작을 행하고, 논리 레벨 변환 회로(5)로서의 동작이 종료된다.

여기서, 출력 신호(8)가 인버터(503)의 임계치보다도 전압이 높고, 동작이 상기와는 반대로 되는 경우를 설명한다. 초기 설정으로서 임계치 설정 신호는 M으로 된다. M인 임계치 설정 신호에 의해, 제2 임계치 가변 인버터(51)에서, 스위치(508)가 온이고 다른 모든 스위치는 오프로 된다. 인버터(503)의 임계치는, 출력 신호(8)에 비하여 전압이 낮고, 출력 신호(8)와 교차하고 있지 않다. 이 때문에, 신호(19)는 로우로 고정된다. 이에 의해, 저역 통과 필터(52)가 출력하는 직류 성분(10)은 로우로 되어, 콤퍼레이터(53)의 내부 신호인 비교 결과는 -1로 된다.

그 결과, 콤퍼레이터(53)로부터 임계치 가변 인버터(51)에 대하여, 임계치를 1단계 높게 하는 M+1의 임계치 설정 신호(11)가 출력된다. M+1인 임계치 설정 신호(11)를 수신한 제2 임계치 가변 인버터(51)는, 스위치(508)를 오프로 하고 스위치(507)를 온으로 한다. 이에 의해, 스위치(507)에 접속되어 있는 인버터(502)의 임계치가 출력 신호(8)와 교차하는 것이 가능하게 되어, 논리 레벨 변환 회로(5)의 출력 신호(9)는 진폭이 Vdd인 논리 레벨의 클럭 신호로 된다. 이 때, 저역 통과 필터(52)가 출력하는 직류 성분(10)은 $1/2V_{dd}$ 로 되어, 콤퍼레이터(53)의 내부 신호인 비교 결과는 0으로 된다. 그 결과, 콤퍼레이터(53)는, 임계치 설정 신호(11)를 M+1로 보유하는 동작을 행하고, 논리 레벨 변환 회로(5)의 동작이 종료된다.

다음으로, 도 12에 도시하는 제2 임계치 가변 인버터(51)와 도 8에 도시하는 제2 판정 회로(56)를 이용한 도 2의 논리 레벨 변환 회로(5)의 동작을 설명한다.

임의의 시각에 출력 신호(8)가 논리 레벨 변환 회로(5)에 입력된다. 초기 설정으로서, 임계치 설정 신호(11)는 M이며, 또한, 동작 판정 신호(20)에 의해, 스위치(57)는 오프로 되도록 제어된다. 이 상태에서, 제2 임계치 가변 인버터(51)에서, 스위치(508)가 온으로 되고, 다른 모든 스위치는 오프로 된다. 여기서, 인버터(503)의 임계치는, 출력 신호(8)에 비하여 전압이 높고, 출력 신호(8)와 교차하고 있지 않는 것으로 한다. 이 때, 제2 임계치 가변 인버터(51)의 출력 신호(19)는 하이로 고정된다. 이에 의해, 저역 통과 필터(52)가 출력하는 직류 성분(10)은 하이로 되어 콤퍼레이터(53)의 내부 신호인 비교 결과는 1로 된다.

그 결과, 콤퍼레이터(53)로부터 제2 임계치 가변 인버터(51)에 대하여, 임계치를 1단계 낮게 하는 M-1의 임계치 설정 신호가 출력된다. M-1인 임계치 설정 신호(11)를 수신한 제2 임계치 가변 인버터(51)는, 스위치(508)를 오프로 하고 스위치(509)를 온으로 한다.

이에 의해, 스위치(509)에 접속되어 있는 인버터(504)에서, 그 임계치가 출력 신호(8)와 교차하는 것이 가능하게 되어, 논리 레벨 변환 회로(5)의 출력 신호(9)는 진폭이 Vdd인 논리 레벨의 클럭 신호로 된다. 이 때, 저역 통과 필터(52)가 출력하는 직류 성분(10)은 $1/2V_{dd}$ 로 되어, 콤퍼레이터(53)의 내부 신호인 비교 결과는 0으로 된다. 그 결과, 콤퍼레이터(53)는, 임계치 설정 신호(11)를 M-1로 보유하는 동작을 행한다. 또한, 콤퍼레이터(53)는, 스위치(57)를 온으로 하는 동작 판정 신호(20)를 출력한다. 온 상태로 된 스위치(57)는, 신호(19)를 출력 신호(9)로서 출력하고, 논리 레벨 변환 회로(5)로서의 동작이 종료된다.

여기서, 인버터(503)의 임계치가 출력 신호(8)에 비하여 전압이 낮고, 동작이 상기와는 반대로 되는 경우를 설명한다. 초기 설정으로서, 임계치 설정 신호(11)는 M이며, 또한, 동작 판정 신호(20)에 의해, 스위치(57)는 오프로 되도록 제어된다. 이 상태에서, 제2 임계치 가변 인버터(51)에서, 스위치(508)가 온으로 되고, 다른 모든 스위치는 오프로 된다. 여기서, 인버터(503)의 임계치가 출력 신호(8)에 비하여 전압이 낮고, 출력 신호(8)와 교차하고 있지 않다. 이 때문에, 신호(19)는 로우로 고정된다. 이에 의해, 저역 통과 필터(52)가 출력하는 직류 성분(10)은 로우로 되어, 콤퍼레이터(53)의 내부 신호인 비교 결과는 -1로 된다.

그 결과, 콤퍼레이터(53)로부터 제2 임계치 가변 인버터(51)에 대하여, 임계치를 1단계 높게 하는 M+1의 임계치 설정 신호(11)가 출력된다. 이 임계치 설정 신호(11)를 수신한 제2 임계치 가변 인버터(51)는, 스위치(508)를 오프로 하고 스위치(507)를 온으로 한다. 그 결과, 인버터(504)의 임계치가 출력 신호(8)와 교차하는 것이 가능하게 되어, 제2 임계치 가변 인버터(51)가 출력하는 신호(19)는 진폭이 Vdd로 된다. 이 때, 저역 통과 필터(52)가 출력하는 직류 성분(10)은 $1/2V_{dd}$ 로

되어, 콤퍼레이터(53)의 내부 신호인 비교 결과는 0으로 된다. 그 결과, 콤퍼레이터(53)는, 임계치 설정 신호(11)를 $M+1$ 로 보유하는 동작을 행한다. 또한, 콤퍼레이터(53)는, 스위치(57)를 온으로 하는 동작 판정 신호(20)를 출력한다. 온 상태로 된 스위치(57)는, 신호(19)를 출력 신호(9)로서 출력하고, 논리 레벨 변환 회로(5)의 동작이 종료된다.

또한, 이하에, 도 12에 도시하는 제2 임계치 가변 인버터(51)와 도 8에 도시하는 제2 판정 회로(56)를 이용한 도 2의 논리 레벨 변환 회로(5)의 제2 동작을 설명한다.

임의의 시각에 VCO(4)의 출력 신호(8)가 논리 레벨 변환 회로(5)에 입력된다. 초기 설정으로서, 스위치(506, 507, 508, 509, 50A)는 모두 온하고 있다. 또한, 초기 설정으로서, 동작 판정 신호(20)에 의해, 스위치(57)는 오프로 되도록 제어되어 있다. 이 때, 출력 신호(8)를 입력받은 인버터(501, 502, 503, 504, 505)는, 각각 신호(19)를 출력한다. 모든 출력 신호(19)가 입력된 저역 통과 필터(52)는, 각각의 출력 신호(19)의 직류 성분(10)을 출력한다. 콤퍼레이터(53)는, 각각의 직류 성분(10)을 비교 전압과 비교하여, 비교 결과가 0으로 되는 인버터만을 선택하고 다른 인버터는 동작시키지 않도록 제어하는 임계치 설정 신호(11)를 출력한다. 또한, 콤퍼레이터(53)는 스위치(57)를 온하는 동작 판정 신호(20)를 출력하고, 논리 레벨 변환 회로(5)의 동작이 종료된다.

다음으로, 도 12에 도시하는 제2 임계치 가변 인버터(51)와 도 9에 도시하는 제3 판정 회로(56)를 이용한 도 2의 논리 레벨 변환 회로(5)의 동작을 설명한다.

VCO(4)의 출력 신호(8)가 제2 임계치 가변 인버터(51)에 입력된다. 초기 설정으로서 임계치 설정 신호(11)는 M이며, 이에 의해, 제2 임계치 가변 인버터(51)에서, 스위치(508)가 온이고 다른 모든 스위치는 오프로 된다. 여기서, 스위치(508)에 접속되는 인버터(503)의 임계치는, 출력 신호(8)보다도 전압이 높고, 출력 신호(8)와 교차하고 있지 않는 것으로 한다. 이 때, 제2 임계치 가변 인버터(51)가 출력하는 신호(19)는 하이로 고정된다. 이러한 처리를 받은 신호(19)가 카운터(55)에 입력된다. 출력 신호(19)는 하이로 고정되어 있기 때문에, 카운트 결과는 목표 카운트 수보다도 적다.

카운터(55)는, 출력 신호(19)의 하이, 로우의 구별을 하지 않고 카운트를 행하기 때문에, 우선 초기 설정으로서, 제2 임계치 가변 인버터(51)의 임계치를 1단계 올리는 임계치 설정 신호(11)를 출력한다. 이 때, 임계치 설정 신호(11)는 $M+1$ 로 된다. $M+1$ 인 임계치 설정 신호(11)를 수신한 제2 임계치 가변 인버터(51)는, 스위치(508)를 오프로 하고 스위치(507)를 온으로 한다. 제2 임계치 가변 인버터(51)는, 이와 같이 재차 출력 신호(8)를 처리하여 신호(19)를 출력한다. 신호(19)는 카운터(55)에 입력된다. 카운터(55)는 신호(19)를 임의의 일정 기간 카운트하여, 카운트 결과와 목표 카운트 수를 비교한다. 비교한 결과, 재차 카운트 결과가 목표 카운트 수보다 적은 경우, 제1 임계치 가변 인버터(51)의 임계치를 1단계 더 올리는 설정을 하도록 임계치 설정 신호(11)를 출력한다. 이 때, 임계치 설정 신호(11)는 $M+2$ 로 된다. $M+2$ 인 임계치 설정 신호를 수신한 제2 임계치 가변 인버터(51)는, 스위치(507)를 오프로 하고 스위치(506)를 온으로 한다.

만약, 제2 임계치 가변 인버터(51)가 설정 가능한 최대의 임계치를 설정해도 적절한 카운트 결과가 얻어지지 않는 경우, 다음으로, 임계치 설정 신호(11)는 $M-1$ 로 설정된다. $M-1$ 인 임계치 설정 신호를 수신한 제2 임계치 가변 인버터(51)는, 스위치(506)를 오프로 하고 스위치(509)를 온으로 한다. 제2 임계치 가변 인버터(51)는, 이와 같이 재차 출력 신호(8)를 처리하여 신호(19)를 출력한다. 신호(19)는 카운터(55)에 입력된다. 카운터(55)는 신호(19)를 임의의 일정 기간 카운트하여, 카운트 결과와 목표 카운트 수를 비교한다. 비교한 결과가, 재차 카운트 결과가 목표 카운트 수보다 적은 경우, 제1 임계치 가변 인버터(51)의 임계치를 1단계 더 내리는 임계치 설정 신호(11)를 출력한다. 이 때, 임계치 설정 신호(11)는 $M-2$ 로 된다.

이와 같이 하여 순차적으로 임계치 가변 인버터(51)의 임계치를 내려 가, 적절한 카운트 결과가 얻어진 곳에서, 카운터(55)는 카운트 동작을 종료하고, 이 때의 임계치 설정 신호(11)를 보유한다. 또한, 임계치를 올려 가는 단계에서 적절한 카운트 결과가 얻어지면, 그 시점에서 카운터(55)는 카운트 동작을 종료하고, 이 때의 임계치 설정 신호(11)를 보유한다.

다음으로, 도 12에 도시하는 제2 임계치 가변 인버터(51)와 도 10에 도시하는 제4 판정 회로(56)를 이용한 도 2의 논리 레벨 변환 회로(5)의 동작을 설명한다.

VCO(4)의 출력 신호(8)가 제2 임계치 가변 인버터(51)에 입력된다. 초기 설정으로서 임계치 설정 신호(11)는 M이며, 이에 의해, 도 12의 제2 임계치 가변 인버터(51)에서, 스위치(508)가 온이고 다른 모든 스위치는 오프로 된다. 또한, 초기 설정으로서, 동작 판정 신호(20)에 의해, 스위치(57)는 오프로 되도록 제어된다. 여기서, 스위치(508)에 접속되어 있는 인버터(503)의 임계치는, 출력 신호(8)보다도 전압이 높고, 출력 신호(8)와 교차하고 있지 않는 것으로 한다. 이 때, 제2 임계치 가변 인버터(51)의 출력 신호(19)는 하이로 고정된다. 이러한 처리가 행해져 신호(19)가 카운터(55)에 입력된다. 출력 신호(19)는 하이로 고정되어 있기 때문에, 카운트 결과는 목표 카운트 수보다 적다.

카운터(55)는, 출력 신호(19)의 하이, 로우의 구별을 하지 않고 카운트를 행하기 때문에, 우선 초기 동작 설정으로서, 임계치 가변 인버터(51)의 임계치를 1단계 올리는 임계치 설정 신호(11)를 출력한다. 이 때, 임계치 설정 신호(11)는 M+1로 된다. M+1인 임계치 설정 신호(11)를 수신한 제2 임계치 가변 인버터(51)는, 스위치(508)를 오프로 하고 스위치(507)를 온으로 한다. 제2 임계치 가변 인버터(51)는, 이와 같이 하여 재차 출력 신호(8)를 처리하여 신호(19)를 출력한다. 신호(19)는 카운터(55)에 입력된다. 카운터(55)는 신호(19)를 임의의 일정 기간 카운트하여, 카운트 결과와 목표 카운트 수를 비교한다. 비교한 결과, 재차 카운트 결과가 목표 카운트 수보다 적은 경우, 제2 임계치 가변 인버터(51)의 임계치를 1단계 더 올리는 임계치 설정 신호(11)를 출력한다. 이 때, 임계치 설정 신호(11)는 M+2로 된다. M+2인 임계치 설정 신호(11)를 수신한 제2 임계치 가변 인버터(51)는, 스위치(507)를 오프로 하고 스위치(506)를 온으로 한다.

만약, 제2 임계치 가변 인버터(51)가 설정 가능한 최대의 임계치를 설정해도 적절한 카운트 결과가 얻어지지 않는 경우, 다음으로, 임계치 설정 신호(11)는 M-1로 설정된다. M-1인 임계치 설정 신호(11)를 수신한 제2 임계치 가변 인버터(51)는, 스위치(506)를 오프하고 스위치(509)를 온으로 한다. 이와 같이 하여, 제2 임계치 가변 인버터(51)는 재차 출력 신호(8)를 처리하여 신호(19)를 출력한다. 신호(19)는 카운터(55)에 입력된다. 카운터(55)는 신호(19)를 임의의 일정 기간 카운트하여, 카운트 결과와 목표 카운트 수를 비교한다. 비교한 결과, 재차 카운트 결과가 목표 카운트 수보다 적은 경우, 제2 임계치 가변 인버터(51)의 임계치를 1단계 더 내리는 임계치 설정 신호(11)를 출력하는 것으로 한다. 이 때, 임계치 설정 신호(11)는 M-2로 된다.

이와 같이 하여 순차적으로 임계치 가변 인버터(51)의 임계치를 내려 가, 적절한 카운트 결과가 얻어진 곳에서, 카운터(55)는 카운트 동작을 종료하고, 이 때의 임계치 설정 신호(11)를 보유한다. 또한, 적절한 카운트 결과가 얻어짐으로써 카운터(55)가 카운트 동작을 종료한 시점에서, 카운터(55)는, 스위치(57)가 온으로 되어 동작 판정 신호(20)를 출력한다. 온 상태로 된 스위치(57)는 신호(19)를 출력 신호(9)로서 출력하고, 논리 레벨 변환 회로(5)의 동작이 종료된다.

또한, 이하에, 도 12에 도시하는 제2 임계치 가변 인버터(51)와 도 10에 도시하는 제4 판정 회로(56)를 이용한 도 2의 논리 레벨 변환 회로(5)의 제2 동작을 설명한다.

임의의 시각에 출력 신호(8)가 논리 레벨 변환 회로(5)에 입력된다. 초기 설정으로서, 스위치(506, 507, 508, 509, 50A)는 모두 온으로 되어 있다. 또한, 초기 설정으로서, 동작 판정 신호(20)에 의해, 스위치(57)는 오프로 되도록 제어되어 있다. 이 상태에서, 출력 신호(8)를 입력받은 인버터(501, 502, 503, 504, 505)는, 각각 출력 신호(19)를 출력한다. 모든 출력 신호(19)를 입력한 카운터(55)는, 신호(19)를 임의의 일정 기간 카운트하여, 카운트 결과와 목표 카운트 수를 비교한다. 카운터(55)는, 비교한 결과가 최적인 인버터만을 선택하고, 다른 인버터는 동작시키지 않도록 제어하는 임계치 설정 신호(11)를 출력한다. 또한, 카운터(55)는, 스위치(57)를 온으로 하는 동작 판정 신호(20)를 출력하고, 논리 레벨 변환 회로(5)의 동작이 종료된다.

다음으로, 도 12에 도시하는 제2 임계치 가변 인버터(51)와 도 11에 도시하는 제5 판정 회로(56)를 이용한 도 2의 논리 레벨 변환 회로(5)의 동작을 설명한다.

제2 임계치 가변 인버터(51)에서, 초기 설정으로서 스위치(508)가 온으로 되어 있고 다른 스위치는 모두 오프로 되어 있다. 이 때, 출력 신호(9)가 칩 외부에서 패드(58A)에 의해 측정된다. 측정 결과가 하이 고정 신호인 경우, 제2 임계치 가변 인버터(51)의 임계치를 1단계 내리도록 칩 외부의 패드(58A)로부터 테스트(58)에 설정 신호가 출력된다. 설정 신호를 받은 테스트(58)는, 제2 임계치 가변 인버터(51)의 임계치를 1단계 내리는 임계치 설정 신호(11)를 설정한다. 임계치 설정 신호(11)가 설정되었다면, 재차 출력 신호(9)를 칩 외부에서 측정한다. 이와 같이 하여, 임계치 가변 인버터(51)의 임계치를 설정 가능한 범위 내에서 출력 신호(9)가 가장 듀티가 양호하고 적절한 신호로 되도록 임계치 설정 신호(11)가 설정된다.

상기의 논리 레벨 변환 회로의 각각은, 실장 면적을 소규모로 할 수 있고, 또한, 저주파로부터 고주파까지 광범위한 입력 주파수에 대하여 저소비 전류로 동작 가능하다. 이 때문에, 대규모 집적 회로에 실장하는 것이 가능하게 된다. 또한, 상기의 논리 레벨 변환 회로는 듀티 보정 동작도 행하기 때문에, 상기 논리 레벨 변환 회로를 구비한 위상 동기 회로는, 저주파로부터 고주파까지 광범위한 입력 주파수에 대하여 듀티 50%를 보유한 신호를 출력하는 것이 가능하다.

<실시예 2>

도 13에 본 발명의 실시예 2를 도시한다. 도 13에 도시한 바와 같이, 본 실시예의 위상 동기 회로는, 주파수 위상 비교기(1)와, 차지 펌프(2)와, 루프 필터(3)와, 직류 전압 조정 신호(idco)(15)를 받아 출력 신호(fvco)(8)의 직류 레벨을 조정하는 VCO(24), 직류 전압 조정 신호(15)를 출력하여 출력 신호(8)를 후속의 논리 회로(도시 생략)가 올바르게 인식 가능한 출력 신호(9)로 변환하는 논리 레벨 변환 회로(25)와, VCO(24)의 출력 주파수를 분주하는 분주기(6)를 포함하여 구성된다.

본 실시예의 위상 동기 회로는, 실시예 1의 위상 동기 회로와 동등한 동작을 행하기 때문에 그 설명을 생략한다.

도 14에 VCO(24)의 구성예를 도시한다. VCO(24)는 제어 전압 vc와 직류 전압 조정 신호(15)를 입력받아, 출력 신호(8)를 출력한다. VCO(24)는, 제어 전압 vc를 전류로 변환하는 전압 전류 변환 회로(241)와, 전압 전류 변환 회로(241)가 생성한 전류에 의해 지연량을 조절하는 전류 제어 발진기(247)와, 전류 제어 발진기(247)의 차동 출력 신호(16, 17)와 직류 전압 조정 신호(15)를 입력받아, 전류 제어 발진기(247)의 차동 출력 신호(16, 17)를 싱글 신호로 변환하는 차동 싱글 변환 회로(245)를 포함하여 구성된다. 차동 싱글 변환 회로(245)는, 직류 전압 조정 신호(15)로 직류 성분을 조정하여, 싱글 신호를 출력 신호(8)로서 출력한다.

도 15에 전류 제어 발진기(247)의 구성예를 도시한다. 전류 제어 발진기(247)는 구동 전류에 의해 지연량을 조절하는 지연 회로(242)를 링 형상으로 접속하여 이루어진다. 도 15에서는, 전류 제어 발진기(247)는, 지연 회로(242)를 홀수단(3단) 접속하여 구성된다.

도 16에 차동 싱글 변환 회로(245)의 구성예를 도시한다. 차동 싱글 변환 회로(245)는 바이어스 신호 vb에 의해 구동 전류를 생성하는 트랜지스터(2451)와, 차동 신호(vi1)(16), (vi2)(17)를 받는 트랜지스터(2452, 2453)와, 부하 트랜지스터(2454, 2455)로 이루어진다. A점에서, 출력 신호(8)는 직류 전압 조정 신호(15)에 의해 직류 레벨이 조정되어 논리 레벨 변환 회로(25)에 출력된다.

VCO(24), 전압 전류 변환 회로(241), 전류 제어 발진기(247), 및 차동 싱글 변환 회로(245)의 구성은, 제어 전압 vc를 입력받아 원하는 발진 주파수를 출력 신호(8)에 의해 얻을 수 있는 구성이면, 상기에 설명한 수단과 달라도 된다.

다음으로, 차동 싱글 변환 회로(245)와 논리 레벨 변환 회로(25)의 접속 구성예를 도 17a에 도시하고, 차동 싱글 변환 회로(245)와 논리 레벨 변환 회로(25)의 동작에 대하여 설명한다. 논리 레벨 변환 회로(25)는, 차동 싱글 변환 회로(245)의 출력 신호인 VCO(24)의 출력 신호(8)를 입력받아 신호(19)를 출력하는 인버터(251)와, 신호(19)를 입력받아 신호(19)를 판정하고, 판정 결과에 기초하여 출력 신호(9)와 직류 전압 조정 신호(15)를 출력하는 판정 회로(JC)(59)를 포함하여 구성된다. 직류 전압 조정 신호(15)는, 차동 싱글 변환 회로(245)의 A점에 인가된다.

또한, 차동 싱글 변환 회로(245)와 논리 레벨 변환 회로(25)는 입출력이 1 배선으로 접속되므로, A점이 논리 레벨 변환 회로(25)의 입력측에 있어도 지장은 없다. 그 경우, 직류 전압 조정 신호(15)는, 논리 레벨 변환 회로(25)의 내부의 A점에 공급되고, 인버터(251)에 공급되는 출력 신호(8)의 직류 레벨이 조정된다. 이것은, 도 17b에 도시한 바와 같이, 논리 레벨 변환 회로(25)의 내부의 A점에 가산기(252)를 배치하고, 가산기(252)에서 차동 싱글 변환 회로(245)의 출력 신호에 직류 전압 조정 신호(15)를 가산하는 것으로 해도 된다. 가산기(252)에서는, 전류를 가산하여 직류 레벨을 조정하는 것 외에, 직류 전압 조정 신호(15)를 전압의 신호로 하고, 전압을 가산하여 직류 레벨을 조정하는 것이 가능하다. 또한, 이하에서는, 도 17a를 이용하여 설명한다.

도 17a에 도시한 판정 회로(59)의 제1 구성예를 도 18에 도시한다. 제1 판정 회로(59)는, 신호(19)를 출력 신호(9)로서 출력함과 함께, 신호(19)를 입력받아 신호(19)의 직류 성분(10)을 출력하는 저역 통과 필터(52)와, 직류 성분(10)을 입력받아, 비교 전압과 비교한 결과로부터 임계치 설정 신호(11)를 출력하는 콤퍼레이터(53)와, 임계치 설정 신호(11)를 아날로그 변환하여 직류 전압 조정 신호(15)를 출력하는 DA(Digital to Analog) 컨버터(DAC)(254)를 포함하여 구성된다.

이하에, 도 18에 도시하는 제1 판정 회로(59)를 이용한 도 17a에 도시하는 차동 싱글 변환 회로(245)와 논리 레벨 변환 회로(25)의 동작을 설명한다.

초기 설정으로서, DA 컨버터(254)는 직류 전압 조정 신호(15)를 출력하지 않는다. 임의의 시각에 차동 싱글 변환 회로(245)는, 차동 신호(16, 17)를 입력받아 VCO(24)의 출력 신호(8)를 출력한다. 출력 신호(8)는 논리 레벨 변환 회로(25)에 입력된다. 인버터(251)의 임계치는 Vth이다. 여기서, 출력 신호(8)는, 인버터(251)의 임계치에 비하여 전압이 낮고, 인버터(251)의 임계치와 교차하고 있지 않는 것으로 한다. 이 때, 신호(19)는 하이로 고정된다. 이에 의해, 저역 통과 필터(52)가 출력하는 직류 성분(10)은 하이로 되어, 콤퍼레이터(53)의 내부 신호인 비교 결과는 1로 된다.

그 결과, 콤퍼레이터(53)는, 차동 싱글 변환 회로(245)에서 출력 신호(8)의 직류 성분을 1단계 올리는 $M+1$ 이라고 하는 임계치 설정 신호(11)를 출력한다. $M+1$ 인 임계치 설정 신호(11)를 수신한 DA 컨버터(254)는, 차동 싱글 변환 회로(245)에 대하여 출력 신호(8)의 직류 성분을 1단계 올리도록 전류치 I의 직류 전압 조정 신호(15)를 출력한다. 전류치 I의 직류 전압 조정 신호(15)를 입력한 차동 싱글 변환 회로(245)는, A점에서, 출력 신호(8)의 직류 성분을 전류치 I만큼 증가시킨다. 이 때, 출력 신호(8)의 교류 성분에 변화는 없다. 이렇게 해서 직류 성분이 증가된 출력 신호(8)는, 재차 인버터(251)에 입력된다.

출력 신호(8)가 인버터(251)의 임계치와 교차할 수 있도록 될 때까지 상기 동작이 반복된다. 출력 신호(8)가 인버터(251)의 임계치와 교차하도록 되면, 콤퍼레이터(53)는 그 상태(소정의 상태)를 보유하기 위해, 출력 신호(8)가 인버터(251)의 임계치와 교차하도록 설정된 임계치 설정 신호(11)를 그 상태 그대로 보유하고, 논리 레벨 변환 회로(25)의 동작이 종료된다.

여기서, 출력 신호(8)가 인버터(251)의 임계치에 비하여 전압이 높고, 동작이 상기와 반대로 되는 경우를 설명한다. 초기 설정으로서, DA 컨버터(254)는 직류 전압 조정 신호(15)를 출력하지 않는다. 임의의 시각에 차동 싱글 변환 회로(245)는, 차동 신호(16, 17)를 입력받아 출력 신호(8)를 출력한다. 출력 신호(8)는 논리 레벨 변환 회로(25)에 입력된다. 여기서, 인버터(251)의 임계치는 V_{thi} 이며, 출력 신호(8)가 인버터(251)의 임계치에 비하여 전압이 높기 때문에, 출력 신호(8)는 인버터(251)의 임계치와 교차하고 있지 않다. 이 때문에, 신호(19)는 로우로 고정된다. 이에 의해, 저역 통과 필터(52)가 출력하는 직류 성분(10)은 로우로 되어 콤퍼레이터(53)의 내부 신호인 비교 결과는 -1로 된다.

그 결과, 콤퍼레이터(53)는, 차동 싱글 변환 회로(245)에 대하여, 출력 신호(8)의 직류 성분을 1단계 내리도록 $M-1$ 이라고 하는 임계치 설정 신호(11)를 출력한다. $M-1$ 인 임계치 설정 신호(11)를 수신한 DA 컨버터(254)는, 차동 싱글 변환 회로(245)에 대하여 출력 신호(8)의 직류 성분을 1단계 내리도록 전류치 -I의 직류 전압 조정 신호(15)를 출력한다. 전류치 -I의 직류 전압 조정 신호가 입력된 차동 싱글 변환 회로(245)는, A점에서, 출력 신호(8)의 직류 성분을 전류치 -I만큼 증가시키는, 즉, 전류치 I만큼 감소시킨다. 이 때 출력 신호(8)의 교류 성분은 변화하지 않는다. 이렇게 해서 직류 성분이 감소된 출력 신호(8)는 재차 인버터(251)에 입력된다.

출력 신호(8)가 인버터(251)의 임계치와 교차할 수 있도록 될 때까지 상기 동작이 반복된다. 출력 신호(8)가 인버터(251)의 임계치와 교차하도록 되면, 콤퍼레이터(53)는 그 상태(소정의 상태)를 보유하기 위해서, 출력 신호(8)가 인버터(251)의 임계치와 교차하도록 설정된 임계치 설정 신호(11)를 그 상태 그대로 보유하고, 논리 레벨 변환 회로(25)의 동작이 종료된다.

다음으로, 도 17a에 기재된 판정 회로(59)의 제2 구성예를 도 19에 도시한다. 제2 판정 회로(59)는, 신호(19)를 입력받아 신호(19)의 직류 성분(10)을 출력하는 저역 통과 필터(52)와, 직류 성분(10)을 입력받아, 비교 전압과 비교한 결과로부터 임계치 설정 신호(11)와 동작 판정 신호(20)를 출력하는 콤퍼레이터(53)와, 동작 판정 신호(20)에 의해 온 오프가 제어되며, 온 상태일 때에 신호(19)를 출력 신호(9)로서 출력하는 스위치(57)와, 임계치 설정 신호(11)를 아날로그 변환하여 직류 전압 조정 신호(15)를 출력하는 DA 컨버터(254)를 포함하여 구성된다.

이하에, 도 19에 도시하는 제2 판정 회로(59)를 이용한 도 17a의 차동 싱글 변환 회로(245)와 논리 레벨 변환 회로(25)의 동작을 설명한다.

초기 설정으로서, DA 컨버터(254)는 직류 전압 조정 신호(15)를 출력하지 않는다. 또한, 초기 설정으로서, 동작 판정 신호(20)에 의해 제어되는 스위치(57)는 오프 상태로 되어 있다. 임의의 시각에 차동 싱글 변환 회로(245)는, 차동 신호(16, 17)를 입력받아 출력 신호(8)를 출력한다. 출력 신호(8)는 논리 레벨 변환 회로(25)에 입력된다. 여기서, 인버터(251)의 임계치는 V_{thi} 이지만, 출력 신호(8)는, 인버터(251)의 임계치에 비하여 전압이 낮고, 인버터(251)의 임계치와 교차하고 있지 않는 것으로 한다. 이 때, 신호(19)는 하이로 고정된다. 이에 의해, 저역 통과 필터(52)의 출력 신호(10)는 하이로 되어, 콤퍼레이터(53)의 내부 신호인 비교 결과는 1로 된다.

그 결과, 콤퍼레이터(53)는, 차동 싱글 변환 회로(245)에 대하여, 출력 신호(8)의 직류 성분을 1단계 올리도록 $M+1$ 이라는 임계치 설정 신호(11)를 출력한다. $M+1$ 인 임계치 설정 신호(11)를 수신한 DA 컨버터(254)는, 차동 싱글 변환 회로(245)에 대하여, 출력 신호(8)의 직류 성분을 1단계 올리도록 전류치 I의 직류 전압 조정 신호(15)를 출력한다. 전류치 I의 직류 전압 조정 신호(15)가 입력된 차동 싱글 변환 회로(245)는, A점에서, 출력 신호(8)의 직류 성분을 전류치 I만큼 증가시킨다. 이 때, 출력 신호(8)의 교류 성분에 변화는 없다. 이렇게 해서 직류 성분이 증가된 출력 신호(8)는 재차 인버터(251)에 입력된다.

출력 신호(8)가 인버터(251)의 임계치와 교차할 수 있도록 될 때까지 상기 동작이 반복된다. 출력 신호(8)가 인버터(251)의 임계치와 교차하도록 되면, 콤퍼레이터(53)는, 그 상태(소정의 상태)를 보유하기 위해서, 출력 신호(8)가 인버터(251)의 임계치와 교차하도록 설정된 임계치 설정 신호(11)를 그대로 보유하는 동작을 행한다. 또한, 콤퍼레이터(53)는, 내부 신호인 비교 결과가 0으로 되면, 스위치(57)를 온으로 하는 동작 판정 신호(20)를 출력한다. 온 상태로 된 스위치(57)는, 신호(19)를 출력 신호(9)로서 출력하고, 논리 레벨 변환 회로(25)의 동작이 종료된다.

여기서, 출력 신호(8)가 인버터(251)의 임계치에 비하여 전압이 높고, 동작이 상기와 반대로 되는 경우를 설명한다. 초기 설정으로서 DA 컨버터(254)는 직류 전압 조정 신호(15)를 출력하지 않는다. 또한, 스위치(57)는, 동작 판정 신호(20)에 의해 오프로 되도록 제어되어 있다. 임의의 시각에 차동 싱글 변환 회로(245)는, 차동 신호(16, 17)를 입력받아 출력 신호(8)를 출력한다. 출력 신호(8)는 논리 레벨 변환 회로(25)에 입력된다. 인버터(251)의 임계치는 V_{thi} 이다. 여기서, 출력 신호(8)는, 인버터(251)의 임계치에 비하여 전압이 높고, 인버터(251)의 임계치와 교차하고 있지 않는 것으로 한다. 이 때, 신호(19)는 로우로 고정된다. 이에 의해, 저역 통과 필터(52)의 출력 신호(10)는 로우로 되어, 콤퍼레이터(53)의 내부 신호인 비교 결과는 -1로 된다.

그 결과, 콤퍼레이터(53)는, 차동 싱글 변환 회로(245)에 대하여, 출력 신호(8)의 직류 성분을 1단계 내리도록 M-1이라고 하는 임계치 설정 신호(11)로서 M-1이라고 하는 신호를 출력한다. M-1인 임계치 설정 신호(11)를 수신한 DA 컨버터(254)는, 차동 싱글 변환 회로(245)에 대하여, 출력 신호(8)의 직류 성분을 1단계 내리는 전류치 -I의 직류 전압 조정 신호(15)를 출력한다. 직류 전압 조정 신호(15)로서 전류치 -I를 입력받은 차동 싱글 변환 회로(245)는, A점에서, 출력 신호(8)의 직류 성분을 전류치 -I만큼 증가시키는, 즉, 직류 성분을 전류치 I만큼 감소시킨다. 이 때, 출력 신호(8)의 교류 성분에 변화는 없다. 이렇게 해서 직류 성분이 감소된 출력 신호(8)가 재차 인버터(251)에 입력된다.

출력 신호(8)가 인버터(251)의 임계치와 교차할 수 있도록 될 때까지 상기 동작이 반복된다. 출력 신호(8)가 인버터(251)의 임계치와 교차하도록 되면, 콤퍼레이터(53)는, 그 상태(소정의 상태)를 보유하기 위해서, 출력 신호(8)가 인버터(251)의 임계치와 교차하도록 설정된 임계치 설정 신호(11)를 그 상태 그대로 보유하는 동작을 행한다. 또한, 콤퍼레이터(53)는, 내부 신호인 비교 결과가 0으로 되면, 스위치(57)를 온으로 하는 동작 판정 신호(20)를 출력한다. 온 상태로 된 스위치(57)는, 신호(19)를 출력 신호(9)로서 출력하고, 논리 레벨 변환 회로(25)의 동작이 종료된다.

다음으로, 도 17a에 기재된 판정 회로(59)의 제3 구성예를 도 20에 도시한다. 제3 판정 회로(59)는, 신호(19)를 출력 신호(9)로서 출력함과 함께, 신호(19)를 입력받아 신호(19)를 임의의 일정 기간 카운트하고, 카운트 결과에 기초하여 임계치 설정 신호(11)를 출력하는 카운터(55)와, 임계치 설정 신호(11)를 아날로그 변환하여 직류 전압 조정 신호(15)를 출력하는 DA 컨버터(254)를 포함하여 구성된다.

이하에, 도 20에 도시하는 제3 판정 회로(59)를 이용한 도 17a의 차동 싱글 변환 회로(245)와 논리 레벨 변환 회로(25)의 동작을 설명한다.

초기 설정으로서 DA 컨버터(254)는 직류 전압 조정 신호(15)를 출력하지 않는다. 임의의 시각에 차동 싱글 변환 회로(245)는 차동 신호(16, 17)를 입력받아 출력 신호(8)를 출력한다. 출력 신호(8)는 논리 레벨 변환 회로(25)에 입력된다. 인버터(251)의 임계치는 V_{thi} 이다. 여기서, 출력 신호(8)는, 인버터(251)의 임계치에 비하여 전압이 낮고, 인버터(251)의 임계치와 교차하고 있지 않는 것으로 한다. 이 때, 신호(19)는 하이로 고정된다. 신호(19)는 카운터(55)에 입력된다. 출력 신호(19)는 하이로 고정되어 있기 때문에, 카운트 결과는 목표 카운트 수보다 적다.

카운터(55)는, 출력 신호(19)의 하이, 로우의 구별을 하지 않고 카운트를 행하기 때문에, 우선 초기 동작 설정으로서, 출력 신호(8)의 직류 성분을 1단계 올리는 임계치 설정 신호(11)를 출력한다. 이 때, 임계치 설정 신호(11)는 M+1로 된다. M+1인 임계치 설정 신호(11)를 수신한 DA 컨버터(254)는 차동 싱글 변환 회로(245)에 대하여 출력 신호(8)의 직류 성분을 1단계 올리도록 전류치 I의 직류 전압 조정 신호(15)를 출력한다. 직류 전압 조정 신호(15)로서 전류치 I가 입력된 차동 싱글 변환 회로(245)는, A점에서, 출력 신호(8)의 직류 성분을 전류치 I만큼 증가시킨다. 이 때 출력 신호(8)의 교류 성분에 변화는 없다. 이렇게 해서 직류 성분이 증가된 출력 신호(8)는 재차 인버터(251)에 입력된다. 출력 신호(8)를 입력받은 인버터(251)는 신호(19)를 출력한다. 신호(19)는 카운터(55)에 입력된다. 카운터(55)는 임의의 일정 기간 출력 신호(9)를 카운트하여, 카운트 결과와 목표 카운트 수를 비교한다. 비교한 결과, 재차 카운트 결과가 목표 카운트 수보다 적은 경우, 차동 싱글 변환 회로(245)에 대하여, 출력 신호(8)의 직류 성분을 1단계 올리는 임계치 설정 신호(11)를 출력한다. 이 때, 임계치 설정 신호(11)는 M+2로 된다.

만약, DA 컨버터(254)가 설정 가능한 최대의 직류 전압 조정 신호(15)를 설정해도 적절한 카운트 결과가 얻어지지 않는 경우, 다음으로, 임계치 설정 신호(11)는 M-1로 설정된다. M-1인 임계치 설정 신호(11)를 수신한 DA 컨버터(254)는, 차동 싱글 변환 회로(245)에 대하여, 출력 신호(8)의 직류 성분을 1단계 내리도록 전류치 -I의 직류 전압 조정 신호(15)를 출력한다. 전류치 -I의 직류 전압 조정 신호(15)가 입력된 차동 싱글 변환 회로(245)는, A점에서, 출력 신호(8)의 직류 성분을 전류치 -I만큼 증가시키는, 즉, 직류 성분을 전류치 I만큼 감소시킨다. 이 때 출력 신호(8)의 교류 성분에 변화는 없다. 인버터(251)는 재차 출력 신호(8)를 입력받아 신호(19)를 출력한다. 신호(19)는 카운터(55)에 입력된다. 카운터(55)는 임의의 일정 기간 출력 신호(9)를 카운트하여, 카운트 결과와 목표 카운트 수를 비교한다. 비교한 결과, 재차 카운트 결과가 목표 카운트 수보다 적은 경우, 출력 신호(8)의 직류 성분을 1단계 더 내리는 설정을 하는 임계치 설정 신호(11)를 출력한다. 이 때, 임계치 설정 신호(11)는 M-2로 된다.

이와 같이 하여 출력 신호(8)의 직류 성분을 내려 가, 소정의 상태를 나타내는 적절한 카운트 결과가 얻어진 곳에서, 카운터(55)는 카운트 동작을 종료하고, 이 때의 임계치 설정 신호(11)를 보유한다. 또한, 물론, 임계치를 올려 가는 단계에서 적절한 카운트 결과가 얻어지면, 그 시점에서 카운터(55)는, 카운트 동작을 종료하고, 이 때의 임계치 설정 신호(11)를 보유한다. 이상에 의해, 논리 레벨 변환 회로(25)의 동작이 종료된다.

다음으로, 도 17a에 기재된 판정 회로(59)의 제4 구성예를 도 21에 도시한다. 제4 판정 회로(59)는, 신호(19)를 입력받아 신호(19)를 임의의 일정 기간 카운트하고, 카운트 결과에 기초하여 임계치 설정 신호(11)와 동작 판정 신호(20)를 출력하는 카운터(55)와, 동작 판정 신호(20)에 의해 온 오프가 제어되며, 온일 때에 신호(19)를 출력 신호(9)로서 출력하는 스위치(57)를 포함하여 구성된다.

이하에, 도 21에 도시하는 제4 판정 회로(59)를 이용한 도 17a의 차동 싱글 변환 회로(245)와 논리 레벨 변환 회로(25)의 동작을 설명한다.

초기 설정으로서 DA 컨버터(254)는 직류 전압 조정 신호(15)를 출력하지 않는다. 또한, 스위치(57)는 동작 판정 신호(20)에 의해 오프로 되도록 제어되어 있다. 임의의 시각에 차동 싱글 변환 회로(245)는 차동 신호(16, 17)를 입력받아 출력 신호(8)를 출력한다. 출력 신호(8)는 논리 레벨 변환 회로(25)에 입력된다. 인버터(251)의 임계치는 V_{thi} 이다. 여기서, 출력 신호(8)는, 인버터(251)의 임계치에 비하여 전압이 낮고, 인버터(251)의 임계치와 교차하고 있지 않는 것으로 한다. 이 때, 신호(19)는 하이로 고정된다. 신호(19)는 카운터(55)에 입력된다. 출력 신호(19)는 하이로 고정되어 있기 때문에, 카운트 결과는 목표 카운트 수보다 적다.

카운터(55)는, 출력 신호(19)의 하이, 로우의 구별을 하지 않고 카운트를 행하기 때문에, 우선 초기 동작 설정으로서, 출력 신호(8)의 직류 성분을 1단계 올리는 임계치 설정 신호(11)를 출력한다. 이 때, 임계치 설정 신호(11)는 M+1로 된다. M+1인 임계치 설정 신호(11)를 수신한 DA 컨버터(254)는, 차동 싱글 변환 회로(245)에 대하여, 출력 신호(8)의 직류 성분을 1단계 올리도록 전류치 I의 직류 전압 조정 신호를 출력한다. 직류 전압 조정 신호(15)로서 전류치 I가 입력된 차동 싱글 변환 회로(245)는, A점에서, 출력 신호(8)의 직류 성분을 전류치 I만큼 증가시킨다. 이 때 출력 신호의 교류 성분에 변화는 없다. 이렇게 해서 직류 성분이 증가된 출력 신호(8)는 재차 인버터(251)에 입력된다. 출력 신호(8)를 입력받은 인버터(251)는 신호(19)를 출력한다. 신호(19)는 카운터(55)에 입력된다. 카운터(55)는 임의의 일정 기간 출력 신호(9)를 카운트하여, 카운트 결과와 목표 카운트 수를 비교한다. 비교한 결과, 재차 카운트 결과가 목표 카운트 수보다 적은 경우, 차동 싱글 변환 회로(245)에 대하여, 출력 신호(8)의 직류 성분을 1단계 올리는 임계치 설정 신호(11)를 출력한다. 이 때, 임계치 설정 신호(11)는 M+2로 된다.

만약, DA 컨버터(254)가 설정 가능한 최대의 직류 전압 조정 신호(15)를 설정해도 적절한 카운트 결과가 얻어지지 않는 경우, 다음으로, 임계치 설정 신호(11)는 M-1로 설정된다. M-1인 임계치 설정 신호를 입력받은 DA 컨버터(254)는, 차동 싱글 변환 회로(245)에 대하여, 출력 신호(8)의 직류 성분을 1단계 내리는 전류치 -I의 직류 전압 조정 신호(15)를 출력한다. 직류 전압 조정 신호(15)로서 전류치 I가 입력된 차동 싱글 변환 회로(245)는, A점에서, 출력 신호(8)의 직류 성분을 전류치 -I만큼 증가시키는, 즉 전류치 I만큼 감소시킨다. 이 때 출력 신호(8)의 교류 성분에 변화는 없다. 인버터(251)는 재차 출력 신호(8)를 입력받아 신호(19)를 출력한다. 신호(19)는 카운터(55)에 입력된다. 카운터(55)는 임의의 일정 기간 출력 신호(9)를 카운트하여, 카운트 결과와 목표 카운트 수를 비교한다. 비교한 결과, 재차 카운트 결과가 목표 카운트 수보다 적은 경우, 출력 신호(8)의 직류 성분을 1단계 더 내리는 설정을 하는 임계치 설정 신호(11)를 출력한다. 이 때, 임계치 설정 신호(11)는 M-2로 된다.

이와 같이 하여 출력 신호(8)의 직류 성분을 내려 가, 소정의 상태를 나타내는 적절한 카운트 결과가 얻어진 곳에서, 카운터(55)는 카운트 동작을 종료하고, 이 때의 임계치 설정 신호(11)를 보유한다. 또한, 물론, 임계치를 올려 가는 단계에서 적

절한 카운트 결과가 얻어지면, 그 시점에서 카운터(55)는, 카운트 동작을 종료하고, 이 때의 임계치 설정 신호(11)를 보유한다. 또한, 카운터(55)는, 스위치(57)를 온으로 하는 동작 판정 신호(20)를 출력한다. 온 상태로 된 스위치(57)는, 신호(19)를 출력 신호(9)로서 출력하고, 논리 레벨 변환 회로(25)의 동작이 종료된다.

본 실시예에서는, 판정 회로(59)에 직류 출력의 DA 컨버터(254)가 필요로 되지만, 인버터(251)는, 임계치 고정으로 되기 때문에, 임계치 가변의 인버터(51)에 비하여 회로 구성이 간단해진다. 일반적으로, 회로 구성이 간단할수록 주파수 특성을 향상시킬 수 있게 되므로, 본 실시예에 의해, 주파수 범위 확대의 효과를 얻는 것이 기대된다.

<실시예 3>

도 22에 본 발명의 실시예 3을 도시한다. 본 실시예는 인터페이스 장치에 관한 것으로, 동 장치에서, 실시예 1, 2에 도시한 위상 동기 회로가 이용된다. 일반적으로, 광 디스크 장치나 하드디스크 장치 등의 기억 미디어를 퍼스널 컴퓨터 등의 컴퓨터에 접속하기 위한 인터페이스로서, 표준 규격의 ATA(Advanced Technology Attachment)가 있다. ATA를 사용함으로써, 각종 기억 미디어가 동일한 커맨드나 제어 소프트웨어를 기반으로 하여, 컴퓨터에 접속된다. 본 실시예에서는, 기억 미디어의 예로서 광 디스크 장치를 들 수 있고, 동일 장치가 호스트 컴퓨터와 시리얼 ATA(SATA)로 접속된다.

도 22에서, 광 디스크 장치는, 광 디스크(41)와, 광 디스크(41)에 광 빔을 조사하여 기입 데이터(45)를 입력하여 광 디스크(41)에 기입을 행하고, 한편, 광 디스크(41)로부터 데이터를 판독하여, 판독 데이터(46)를 출력하는 광 픽업(pick-up)(42)과, 입력 데이터(436)를 입력받아 적절한 처리를 행하여 광 픽업(42)에 기입 데이터(45)를 출력하고, 한편, 광 픽업(42)으로부터 판독 데이터(46)를 입력받아 적절한 처리를 행하여 출력 데이터(437)를 출력하는 신호 처리 장치(READ WRITE)(431)를 포함하고 있다. 또한, 광 디스크 장치는, 수신 데이터를 입력받아 규격을 따른 처리를 행하여 입력 데이터(436)로서 신호 처리 장치(431)에 신호를 출력하고, 한편, 신호 처리 장치(431)로부터 출력 데이터(437)를 입력받아 규격을 따른 처리를 행하여 송신 데이터로서 데이터를 출력하는 인터페이스 장치(SATA : 시리얼 ATA 인터페이스 장치)(432)를 포함하고 있다. 광 디스크 장치에 접속되는 호스트 컴퓨터(HOST)(44)는, 수신 데이터(47)를 인터페이스 장치(432)에 출력하고, 한편, 송신 데이터(48)를 인터페이스 장치(432)로부터 입력받는다.

신호 처리 장치(431) 및 시리얼 ATA 인터페이스 장치(432)는, 각각 반도체 집적 회로 장치에 의해 구성하는 것이 가능하며, 양 장치로 디지털 시그널 프로세서(DSP : Digital Signal Processor)(43)가 구성된다.

신호 처리 장치(431)에서, 기입 데이터(45), 판독 데이터(46), 입력 데이터(436), 출력 데이터(437)는 패러럴로 처리된다. 한편, 디지털 시그널 프로세서(43)와 호스트 컴퓨터(44)는 시리얼 전송에 의해, 수신 데이터(47), 송신 데이터(48)의 송수신이 행해진다. 이 때문에, 인터페이스 장치(432)에서, 호스트 컴퓨터(44)로부터의 시리얼의 수신 데이터(47)는 시리얼 패러럴 변환 장치(S/P)(433)에서 패러럴의 입력 데이터(436)로 변환된다.

한편, 신호 처리 장치(432)로부터의 패러럴의 출력 데이터(437)는, 패러럴 시리얼 변환 장치(P/S)(434)에서 시리얼의 송신 데이터(48)로 변환된 후, 호스트 컴퓨터(44)에 공급된다. 시리얼 ATA 인터페이스 장치(432)는, 이러한 호스트 컴퓨터(44)로부터의 수신 데이터(47)의 수신 및 호스트 컴퓨터(44)에의 송신 데이터(48)의 송신을 시리얼 ATA 규격에 기초하여 행한다.

패러럴 시리얼 변환 장치(434)에 공급하는 클럭 신호(438)를 생성하는 위상 동기 회로(PLL)(435)에 실시예 1, 2의 위상 동기 회로가 채용된다.

본 실시예에서의 임계치 설정의 동작의 설명에서는, 위상 동기 회로(435)로서, 대표적으로, 도 1에 도시하는 실시예 1의 위상 동기 회로로서, 도 2에 도시하는 논리 레벨 변환 회로(5)에서 도 3에 도시하는 제1 판정 회로(56)와 도 6에 도시하는 제1 임계치 가변 인버터(51)를 이용한 위상 동기 회로를 들 수 있다.

임계치 설정의 동작의 플로우차트를 도 23에 도시한다. 우선, 인터페이스 장치(432)의 전원을 투입한다(스텝 401). 전원을 투입하면, 위상 동기 회로(435)가 기동하여 주파수 로크 동작을 개시한다(스텝 402). 위상 동기 회로(435)의 VCO(4)가 안정적으로 되어 원하는 발진 주파수를 출력할 수 있도록 될 때까지, 임의의 일정 시간 동안, PLL 로크 동작을 대기한다(스텝 403). 일정 시간이 경과한 후에, 콤퍼레이터(53)가 동작하여(스텝 404), 비교 전압 Vr1, Vr2에 대하여 출력 신호(9)의 직류 성분(Io)(10)의 비교를 행한다. 비교 결과가 0이 아닐 때(스텝 405), 콤퍼레이터(53)는 임계치 가변 인버터(51)에 임계치 설정 신호(11)를 출력한다. 판정 결과가 1일 때, 콤퍼레이터(53)는 M-1을 출력하여 임계치 가변 인버터(51)의 임

계치를 1단계 낮게 하는 명령을 출력한다. 한편, 판정 결과가 -1일 때, 콤퍼레이터(53)는 M+1을 출력하여 임계치 가변 인버터(51)의 임계치를 1단계 높게 하는 명령을 출력한다. 콤퍼레이터(53)로부터 임계치 설정 신호(11)를 받은 임계치 가변 인버터(51)는 임계치를 변경한다(스텝 407).

임계치를 변경한 후에, VCO(4)가 안정적으로 되어 원하는 주파수를 출력할 수 있도록 될 때까지 재차 임의의 일정 시간을 대기한다(스텝 403). 그 동안, 콤퍼레이터(53)는 동작하지 않는다. 임의의 일정 시간이 경과했으면, 콤퍼레이터(53)가 기동하여(스텝 404), 재차 비교 전압 Vr1, Vr2에 대하여 출력 신호(9)의 직류 성분(10)의 비교를 행한다. 비교 결과가 0으로 되지 않는 경우(스텝 405), 상술한 동작을 비교 결과가 0으로 될 때까지 반복한다. 비교 결과가 0(소정의 상태)으로 되었을 때(스텝 405), 콤퍼레이터(53)는 현재의 임계치 설정 신호(11)의 값을 보유한다(스텝 409). 그리고, 패러럴 시리얼 변환 회로(433)를 기동하여 호스트 컴퓨터(44)와의 통신을 개시한다(스텝 410).

상술한 바와 같이, 위상 동기 회로(435)에서, 논리 레벨 변환 회로(5)는, VCO(4)의 출력 신호(8)를 논리 회로가 올바르게 인식 가능한 출력 신호(9)로 변환한다. 이에 의해, 호스트 컴퓨터(44)의 오동작이 회피된다. 따라서, 호스트 컴퓨터(44)와 광 디스크(41)의 데이터 통신이 정상적으로 행해져 반도체 집적 회로 장치로 구성된 신호 처리 장치(431) 및 인터페이스 장치(432)의 신뢰성이 높아진다. 이러한 효과는, VCO(24)의 출력 신호(8)를 논리 회로가 올바르게 인식 가능한 출력 신호(9)로 변환하는 도 17a, 17b에 도시한 논리 레벨 변환 회로(25)를 채용한 위상 동기 회로(435)의 경우에도 얻어지는 것은 물론이다.

상기에 도시한 동작 예는, 도 22에 도시하는 인터페이스 장치(432)에서 출력 데이터(437)를 입력받아 규격을 따르도록 패러럴-시리얼 변환 회로(434)가 송신 데이터(48)를 출력할 수 있도록 위상 동기 회로(435)를 동작할 수 있으면 상기와 달라도 된다.

또한, 도 22에 기재된 위상 동기 회로(435)로서, 실시예 1~2에서 설명한 위상 동기 회로 이외에도, 본 발명의 논리 레벨 변환 회로를 이용하는 것이 가능한, 예를 들면 도 34에 도시하는 바와 같은 분주기(6)로서 카운터(CNT)(18)와, 클럭 신호(clock)와 분주 입력 신호 divi를 입력받아 카운터(18)에의 분주 출력 신호 divo를 출력하는 변조 회로(MOD)(7)를 이용한 프랙셔널 위상 동기 회로를 이용해도 된다.

본 실시예에서는, 미디어측이 광 디스크 장치, 호스트측이 호스트 컴퓨터이지만, 본 발명은 그와 같은 조합에 한정되지 않는다. 예를 들면, 미디어측이 하드디스크 장치 등의 기억 미디어 일반, 호스트측이 네트워크 서버, DVD(Digital Versatile Disk) 레코더 등의 조합에 적용 가능하다.

<실시예 4>

도 24에 본 발명의 실시예 4를 도시한다. 본 실시예는 기록 재생 장치에 관한 것으로, 동 장치에 실시예 1, 2의 위상 동기 회로가 이용된다. 일반적으로, 광 디스크 장치나 하드디스크 장치 등의 기억 미디어를 퍼스널 컴퓨터 등의 컴퓨터에 접속하기 위한 인터페이스로서, 상술한 바와 같이 표준 규격의 ATA가 있다. ATA를 사용함으로써, 각종 기억 미디어가 동일한 커맨드나 제어 소프트웨어를 기반으로 하여, 컴퓨터에 접속된다. 본 실시예에서는, 기억 미디어의 예로서 광 디스크 장치를 들 수 있고, 동일 장치가 호스트 컴퓨터와 ATA로 접속된다.

도 24에서, 광 디스크 장치는, 광 디스크(41)와, 광 디스크(41)에 광 빔을 조사하여 데이터의 판독, 기입을 행하는 광 픽업(42)과, 광 픽업(42)에의 기입 데이터의 처리를 행하는 기입 장치(WRITE)(441) 및 판독 데이터의 처리를 행하는 판독 장치(READ)(443), 기입 장치(441) 및 판독 장치(443)의 데이터를 호스트 컴퓨터(44)에 입출력하기 위한 ATA 인터페이스 장치(432)를 포함하여 구성된다. 기입 장치(441), 판독 장치(443) 및 ATA 인터페이스 장치(432)는, 각각 반도체 집적 회로 장치에 의해 구성하는 것이 가능하다. 또한, 기입 장치(441), 판독 장치(443) 및 ATA 인터페이스 장치(432)를 포함하여 신호 처리 장치(43)가 구성된다. 또한, 광 픽업(42)과 신호 처리 장치(43)를 포함하여 본 실시예의 기록 재생 장치가 구성된다. 또한, ATA 인터페이스 장치(432)에는, 도 22에 도시한 인터페이스 장치(432)가 이용된다.

기입 장치(441)는, 논리 회로(LOGIC)(442)와 위상 동기 회로(PLL)(43A)를 포함하여 구성된다. 위상 동기 회로(43A)는, 미디어(41)에의 데이터 기입 신호(45)의 기입 배속을 결정하여, 논리 회로(442)의 동작 클럭(출력 신호(9))(43F)을 생성한다.

논리 회로(442)의 동작 클럭(43F)을 생성하는 위상 동기 회로(43A)에 실시예 1, 2에 의한 본 발명의 위상 동기 회로가 채용된다.

판독 장치(443)는, 클럭·데이터 복원 회로(CDR)와 그 출력 신호를 받아 동작하는 논리 회로(LOGIC)(43B)를 포함하여 구성된다.

본 실시예에서의 임계치 설정의 동작의 설명에서는, 위상 동기 회로(435)로서, 대표적으로, 도 1에 도시하는 실시예 1의 위상 동기 회로로서, 도 2에 도시하는 논리 레벨 변환 회로(5)에서 도 3에 도시하는 제1 판정 회로(56)와 도 6에 도시하는 제1 임계치 가변 인버터(51)를 이용한 위상 동기 회로를 들 수 있다.

임계치 설정의 동작의 플로우차트를 도 25에 도시한다. 우선, 기록 재생 장치의 전원을 투입한다(스텝 501). 전원을 투입하면, 위상 동기 회로(43A)가 기동하여 주파수 로크 동작을 개시한다(스텝 502). 위상 동기 회로(43A)의 VCO(4)가 안정적으로 되어 원하는 발진 주파수를 출력할 수 있도록 될 때까지, 임의의 일정 시간 동안, PLL 로크 동작을 대기한다(스텝 503). 일정 시간이 경과한 후에, 콤퍼레이터(53)가 동작하여(스텝 504), 비교 전압 Vr1, Vr2에 대하여 출력 신호(9)의 직류 성분(lo)(10)의 비교를 행한다. 비교 결과가 0이 아닐 때(스텝 505), 콤퍼레이터(53)는 임계치 가변 인버터(51)에 임계치 설정 신호(11)를 출력한다. 판정 결과가 1일 때, 콤퍼레이터(53)는 M-1을 출력하여 임계치 가변 인버터(51)의 임계치를 1단계 낮게 하는 명령을 출력한다. 한편, 판정 결과가 -1일 때, 콤퍼레이터(53)는 M+1을 출력하여 임계치 가변 인버터(51)의 임계치를 1단계 높게 하는 명령을 출력한다. 콤퍼레이터(53)로부터 임계치 설정 신호(11)를 받은 임계치 가변 인버터(51)는 임계치를 변경한다(스텝 507).

임계치를 변경한 후에, VCO(4)가 안정적으로 되어 원하는 주파수를 출력할 수 있도록 될 때까지 재차 임의의 일정 시간을 대기한다(스텝 503). 그 동안, 콤퍼레이터(53)는 동작하지 않는다. 임의의 일정 시간이 경과했으면, 콤퍼레이터(53)를 기동하고(스텝 504), 재차 비교 전압 Vr1, Vr2에 대하여 출력 신호(9)의 직류 성분(lo)의 비교를 행한다. 비교 결과가 0으로 되지 않는 경우(스텝 505), 상술한 동작을 비교 결과가 0으로 될 때까지 반복한다. 비교 결과가 0(소정의 상태)으로 되었을 때(스텝 505), 콤퍼레이터(53)는 현재의 임계치 설정 신호(11)의 값을 유지한다(스텝 509). 그리고, 논리 회로(442)를 기동하고, 인터페이스 장치(432)를 통하여 호스트 컴퓨터(44)와의 통신을 개시한다(스텝 510).

상술한 바와 같이, 위상 동기 회로(435)에서, 논리 레벨 변환 회로(5)는, VCO(4)의 출력 신호(8)를 논리 회로(442)가 올바르게 인식 가능한 출력 신호(9)(동작 클럭(43F))로 변환한다. 이에 의해, 미디어(41)에의 기입 동작에서 기입의 오동작이 회피되어, 반도체 집적 회로 장치로 구성된 기록 재생 장치의 신호 처리 장치(43)의 신뢰성이 높아진다. 이러한 효과는, VCO(24)의 출력 신호(8)를 논리 회로(442)가 올바르게 인식 가능한 출력 신호(9)로 변환하는 도 17a에 도시한 논리 레벨 변환 회로(25)를 채용한 위상 동기 회로(435)의 경우에도 얻어지는 것은 물론이다.

본 실시예에서는, 미디어측이 광 디스크 장치, 호스트측이 호스트 컴퓨터이지만, 본 발명은 그와 같은 조합에 한정되지 않는다. 예를 들면, 미디어측이 하드디스크 장치 등의 기억 미디어 일반, 호스트측이 네트워크 서버, DVD 레코더 등의 조합에 적용 가능하다.

<실시예 5>

도 26에 본 발명의 실시예 5를 도시한다. 본 실시예는 무선 통신 단말 기기에 관한 것으로, 동 장치에 실시예 1, 2의 논리 레벨 변환 회로가 이용된다. 본 실시예의 무선 통신 단말 기기는, 베이스 밴드 회로(BB)(63)와, 송신계(Tx)(62)와, 안테나 스위치(ANTSW)(64)와, 안테나(61)와, 수신 회로(Rx)(65)를 포함하여 구성된다. 송신계(62)는 또한, 변조기(MOD)(68)와, 실시예 1, 2의 논리 레벨 변환 회로를 이용한 위상 동기 회로(67)와, 전력 증폭기(PA)(66)를 포함하여 구성된다. 또한, 송신계(62)와, 안테나 스위치(64)와, 수신 회로(65)를 포함하여 송수신 회로(70)가 구성된다.

베이스 밴드 회로(63)는, 음성 신호나 데이터 신호에 기초하여 변조기(68)에 베이스 밴드 신호(6B)를 출력하고, 수신 회로(65)로부터 입력되는 베이스 밴드 신호(69)에 기초하여 음성 신호나 데이터 신호를 재생한다. 또한, 송수신 회로(70)의 각 부를 제어하기 위한 제어 신호(6A)를 출력한다.

변조기(68)에서, 베이스 밴드 신호(6B)에 기초하여 IF(Intermediate Frequency)대의 변조 신호 if가 생성된다. 변조기(68)가 출력하는 변조 신호 if는 위상 동기 회로(67)에 입력되어, 주파수 변환이 실시된다. 그 결과, 위상 동기 회로(67)로부터 송신 신호 rf가 출력된다. 송신 신호 rf는, 전력 증폭기(66)에 입력되어 전력 증폭되고, 안테나 스위치(64)를 통하여 안테나(61)로부터 송신된다. 안테나 스위치(64)에 의해, 송신 시에 안테나(61)와 전력 증폭기(66)가 접속되고, 수신 시에 안테나(61)와 수신 회로(65)가 접속된다. 안테나(61)에서 수신된 신호는, 수신 회로(65)에 입력되고, 복조가 행해져, 베이스 밴드 신호(69)로 되어 베이스 밴드 회로(63)에 출력된다.

도 27, 도 28에 위상 동기 회로(67)의 구성예를 도시한다. 위상 동기 회로(67)는, 변조기(68)가 출력하는 변조 신호 if와 로컬 신호 los를 입력하여 송신 신호 rf를 생성하는 오프셋 위상 동기 회로(67C)와, 참조 신호 fref를 입력하여 로컬 신호 los를 출력하는 RF(Radio Frequency) 위상 동기 회로(67D)로 구성된다. RF 위상 동기 회로(67D)에는, 논리 레벨 변환 회로에 실시예 1의 논리 레벨 변환 회로(5)를 이용한 제1 RF 위상 동기 회로(67D)(도 27)와, 실시예 2의 논리 레벨 변환 회로(25)를 이용한 제2 RF 위상 동기 회로(67D)(도 28)가 있다.

오프셋 위상 동기 회로(67C)는, 위상 비교기(671)와, 차지 펌프(672)와, 루프 필터(673)와, VCO(674)와, 믹서(MIX)(676)를 구비하여 이루어진다. 위상 비교기(671)에는, 기준 신호로서 변조 신호 if가 입력되고, 비교 신호로서 믹서(676)가 출력하는 비교 신호 fdiv가 입력된다.

도 27에서, 제1 RF 위상 동기 회로(67D)는, 위상 비교기(677)와, 차지 펌프(678)와, 루프 필터(679)와, VCO(67A)와, 논리 레벨 변환 회로(5)와, 분주기(DIV)(67B)를 구비하여 이루어진다.

이하에, 도 27을 이용하여 본 발명의 논리 레벨 변환 회로(5)를 구비한 제1 RF 위상 동기 회로(67D)의 동작을 설명한다. 제1 RF 위상 동기 회로(67D)의 구성은, VCO(67A)와 분주기(67B) 사이에 논리 레벨 변환 회로(5)가 개재되어 있는 것 외에는, 도 1에 도시한 위상 동기 회로와 마찬가지로이다.

분주기(67B)는, VCO(67A)가 출력하는 로컬 신호 los(도 1에서의 VCO(4)의 출력 신호(fvco)(8)에 상당함)를 분주한다. 이 분주에 의해 얻어진 비교 신호 fdiv는, 위상 비교기(677)에 귀환된다. 위상 비교기(677)는, 기준 신호 fref와 비교 신호 fdiv와의 위상차를 검출하고, 그 위상차에 대응한 펄스 폭의 전압 펄스를 차지 펌프(678)에 출력한다. 차지 펌프(678)는, 상기 전압 펄스에 대응하여, 전하의 방전, 충전, 또는 하이 임피던스 중 어느 하나의 상태로 되고, 차지 펌프 출력 전류를 루프 필터(679)에 출력한다. 이 차지 펌프 출력 전류는, 루프 필터(679)에 의해 평활화, 전압 변환되어, VCO(67A)의 제어 전압으로 된다.

VCO(67A)는 이 제어 전압에 따른 출력 신호 los를 출력하여, 오프셋 위상 동기 회로(67C)와 논리 레벨 변환 회로(5)에 공급한다. 논리 레벨 변환 회로(5)는 VCO(67A)의 출력 신호 los를 입력받아 분주기(67B)가 정상적으로 동작할 수 있는 신호(진폭이 Vdd, 직류 성분이 1/2Vdd)를 생성하여 출력한다.

본 실시예에서의 임계치 설정의 동작의 설명에서는, 제1 RF 위상 동기 회로(67D)에서, 대표적으로는, 도 3에 도시하는 제1 판정 회로(56)와 도 6에 도시하는 제1 임계치 가변 인버터(51)를 이용한 도 2에 도시하는 논리 레벨 변환 회로(5)를 들 수 있다.

임계치 설정의 동작의 플로우차트를 도 29에 도시한다. 우선, 무선 통신 단말 장치의 전원을 투입한다(스텝 601). 전원을 투입하면, 제1 RF 위상 동기 회로(67D)가 기동하여 주파수 로크 동작을 개시한다(스텝 602). VCO(67A)가 안정적으로 되어 원하는 발진 주파수를 출력할 수 있도록 될 때까지, 임의의 일정 시간 동안, PLL 로크 동작을 대기한다(스텝 603). 일정 시간이 경과한 후에, 콤퍼레이터(53)가 동작하여(스텝 604), 비교 전압 Vr1, Vr2에 대하여 출력 신호(9)의 직류 성분(lo)(10)의 비교를 행한다. 비교 결과가 0이 아닐 때(스텝 605), 콤퍼레이터(53)는 임계치 가변 인버터(51)에 임계치 설정 신호(11)를 출력한다. 판정 결과가 1일 때, 콤퍼레이터(53)는 M-1을 출력하여 임계치 가변 인버터(51)의 임계치를 1단계 낮게 하는 명령을 출력한다. 한편, 판정 결과가 -1일 때, 콤퍼레이터(53)는 M+1을 출력하여 임계치 가변 인버터(51)의 임계치를 1단계 높게 하는 명령을 출력한다. 콤퍼레이터(53)로부터 임계치 설정 신호(11)를 받은 임계치 가변 인버터(51)는 임계치를 변경한다(스텝 607).

임계치를 변경한 후에, VCO(67A)가 안정적으로 되어 원하는 주파수를 출력할 수 있도록 될 때까지 재차 임의의 일정 시간을 대기한다(스텝 603). 그 동안, 콤퍼레이터(53)는 동작하지 않는다. 임의의 일정 시간이 경과했으면, 콤퍼레이터(53)를 기동하여(스텝 604), 재차 비교 전압 Vr1, Vr2에 대하여 출력 신호(9)의 직류 성분(lo)(10)의 비교를 행한다. 비교 결과가 0으로 되지 않는 경우(스텝 605), 상술한 동작을 비교 결과가 0으로 될 때까지 반복한다. 비교 결과가 0으로 되었을 때(스텝 605), 콤퍼레이터(53)는 현재의 임계치 설정 신호(11)의 값을 보유한다(스텝 609). 그리고, 오프셋 위상 동기 회로(67C)를 기동하여 송신 신호 RF를 증폭기(66)에 송신한다(610).

다음으로, 도 28에 제2 RF 위상 동기 회로(67D)를 이용한 위상 동기 회로(67)를 도시한다. 제2 RF 위상 동기 회로(67D)는, 위상 비교기(677)와, 차지 펌프(678)와, 루프 필터(679)와, VCO(67C)와, 논리 레벨 변환 회로(25)와, 분주기(67B)를 구비하여 이루어진다.

이하에 논리 레벨 변환 회로(25)를 구비한 제2 RF 위상 동기 회로의 동작을 설명한다. 분주기(67B)는, VCO(67A)가 출력하는 로컬 신호 l_{os} (도 1에서의 VCO(4)의 출력 신호(f_{vco})(8)에 상당함)를 분주한다. 이 분주에 의해 얻어진 비교 신호 f_{div} 는, 위상 비교기(677)에 귀환된다. 위상 비교기(677)는, 기준 신호 f_{ref} 와 비교 신호 f_{div} 와의 위상차를 검출하고, 그 위상차에 대응한 펄스 폭의 전압 펄스를 차지 펌프(678)에 출력한다. 차지 펌프(678)는, 상기 전압 펄스에 대응하여, 전하의 방전, 충전, 또는 하이 임피던스 중 어느 하나의 상태로 되며, 차지 펌프 출력 전류를 루프 필터(679)에 출력한다. 이 차지 펌프 출력 전류는, 루프 필터(679)에 의해 평활화, 전압 변환되어, VCO(67A)의 제어 전압으로 된다. VCO(67A)는, 이 제어 전압에 따른 출력 신호 l_{os} 이며, 또한 직류 전압 조정 신호 $idco$ 에 의해 직류 성분이 조정된 출력 신호 l_{os} 를 출력한다. 출력 신호 l_{os} 는, 오프셋 위상 동기 회로(67C)와 논리 레벨 변환 회로(25)에 출력된다. 논리 레벨 변환 회로(25)는 VCO(67A)의 출력 신호 l_{os} 를 입력하여 분주기(67B)가 정상적으로 동작할 수 있도록 직류 전압 조정 신호 $idco$ 를 출력하고, 분주기(67B)에 적절한 신호(진폭이 V_{dd} , 직류 성분이 $1/2V_{dd}$)를 생성하여 출력한다.

본 실시예에서의 임계치 설정의 동작의 설명에서는, 제2 RF 위상 동기 회로(67D)에서, 대표적으로는, 도 18에 도시한 제1 판정 회로(59)와 도 17a에 도시한 인버터(251)를 이용한 도 17a에 도시한 논리 레벨 변환 회로(25), 및 도 16에 도시한 차동 싱글 변환 회로(245)를 들 수 있다. 그 경우의 임계치 설정의 동작의 플로우차트는 도 29와 동일하다.

상술한 바와 같이, 위상 동기 회로(67)에서, 논리 레벨 변환 회로(5, 25)는, VCO(67A)가 출력하는 로컬 신호 l_{os} 를 분주기(67B)가 올바르게 인식 가능한 출력 신호로 변환한다. 이에 의해, 안정된 주파수의 송신 신호 rf 를 얻을 수 있어, 신뢰성이 높은 무선 통신 단말 기기를 실현하는 것이 기대된다.

발명의 효과

본 발명에 따르면, 논리 레벨 변환 회로에 의해 출력 신호의 진폭과 직류 레벨이 논리 레벨로 되도록 조정되므로, 임계치 변동 요인(프로세스, 온도, 전원 전압)이 있어도 상기 출력 신호를 입력하는 후속의 논리 회로가 올바르게 동작하는 것이 가능하게 된다.

(57) 청구의 범위

청구항 1.

제1 신호와 제2 신호를 입력하여, 상기 제2 신호에 의해 설정되는 임계치에 의해 상기 제1 신호를 제3 신호로 변환하는 임계치 가변 인버터와,

상기 제2 신호를 소정의 값으로 하고 나서, 소정의 상태를 기준으로 상기 제3 신호를 판정하고, 판정 결과를 이용하여 상기 제2 신호를 새롭게 생성하며, 또한, 상기 제3 신호를 제4 신호로서 출력하는 판정 회로

를 포함하여 이루어지고,

상기 판정 회로는, 상기 제3 신호가 상기 소정의 상태에 있을 때에 상기 제2 신호의 값을 보유하는 것을 특징으로 하는 논리 레벨 변환 회로.

청구항 2.

제1항에 있어서,

상기 임계치 가변 인버터는,

게이트끼리를 접속하고, 또한 드레인끼리를 접속한 PMOS 트랜지스터와 NMOS 트랜지스터의 직렬 회로로서, 상기 PMOS 트랜지스터의 소스와 전원 전압 사이에 상기 제2 신호에 의해 제어되는 제1 스위치와, 상기 NMOS 트랜지스터의 소스와 접지 사이에 상기 제2 신호에 의해 제어되는 제2 스위치를 갖는 직렬 회로를 복수개 포함하고,

상기 복수개의 직렬 회로의 게이트끼리 접속하여 입력 단자로 하고, 상기 복수개의 직렬 회로의 드레인끼리를 접속하여 출력 단자로 함으로써 상기 복수개의 직렬 회로가 패러럴 접속되며,

상기 입력 단자에 상기 제1 신호가 입력되고, 상기 출력 단자로부터 상기 제3 신호가 출력되는 것을 특징으로 하는 논리 레벨 변환 회로.

청구항 3.

제1항에 있어서,

상기 임계치 가변 인버터는,

상기 제1 신호가 스위치를 통하여 입력되는, 임계치가 서로 다른 복수의 인버터를 포함하고,

상기 스위치는, 제2 신호에 의해 제어되며,

복수의 인버터의 각각은 상기 스위치가 온 상태일 때에 제3 신호를 출력하는 것을 특징으로 하는 논리 레벨 변환 회로.

청구항 4.

제1항에 있어서,

상기 판정 회로는,

상기 제3 신호의 직류 성분을 출력하는 저역 통과 필터와,

상기 직류 성분을 상기 소정의 상태에 대응하는 비교 전압과 비교하여 비교 결과를 생성하는 콤퍼레이터를 포함하고,

상기 콤퍼레이터는, 상기 비교 결과를 상기 소정 결과로서 이용하여 상기 제2 신호를 새롭게 출력하는 것을 특징으로 하는 논리 레벨 변환 회로.

청구항 5.

제1항에 있어서,

상기 판정 회로는,

상기 제3 신호를 소정의 기간 카운트하는 카운터를 포함하고,

상기 카운터는, 상기 소정의 상태에 대응하는 카운트 결과를 상기 판정 결과로서 이용하여 상기 제2 신호를 새롭게 생성하는 것을 특징으로 하는 논리 레벨 변환 회로.

청구항 6.

제1항에 있어서,

상기 판정 회로는,

상기 제3 신호를 칩 외부에서 소정의 상태를 기준으로 측정하여 설정 신호를 출력하는 패드와,

상기 설정 신호를 상기 판정 결과로서 이용하여 상기 제2 신호를 새롭게 생성하는 테스트를 포함하고 있는 것을 특징으로 하는 논리 레벨 변환 회로.

청구항 7.

제1항에 있어서,

상기 판정 회로는, 상기 제3 신호를 입력하여 제4 신호를 출력하는 스위치를 포함하고,

상기 스위치는, 상기 제3 신호가 상기 소정의 상태에 있을 때에 온 상태로 되는 것을 특징으로 하는 논리 레벨 변환 회로.

청구항 8.

제1 신호와 제2 신호를 입력하여, 상기 제1 신호를 제3 신호로 변환하는 인버터와,

상기 제1 신호에 상기 제2 신호가 가해짐으로써 상기 제1 신호의 직류 성분이 변화하고,

상기 제2 신호를 소정의 값으로 하고 나서, 소정의 상태를 기준으로 상기 제3 신호를 판정하고, 판정 결과를 이용하여 상기 제2 신호를 새롭게 생성하며, 또한, 상기 제3 신호를 제4 신호로서 출력하는 판정 회로

를 포함하여 이루어지고,

상기 판정 회로는, 상기 제3 신호가 상기 소정의 상태에 있을 때에 상기 제2 신호의 값을 보유하는 것을 특징으로 하는 논리 레벨 변환 회로.

청구항 9.

제8항에 있어서,

상기 판정 회로는,

상기 제3 신호의 직류 성분을 출력하는 저역 통과 필터와,

상기 직류 성분을 상기 소정의 상태에 대응하는 비교 전압과 비교하여 비교 결과를 생성하는 콤퍼레이터를 포함하고,

상기 콤퍼레이터는, 상기 비교 결과를 상기 소정 결과로서 이용하여, 디지털 아날로그 변환 회로를 통하여 상기 제2 신호를 새롭게 출력하는 것을 특징으로 하는 논리 레벨 변환 회로.

청구항 10.

제8항에 있어서,

상기 판정 회로는,

상기 제3 신호를 소정의 기간 카운트하는 카운터를 포함하고,

상기 카운터는, 상기 소정의 상태에 대응하는 카운트 결과를 상기 판정 결과로서 이용하여, 디지털 아날로그 변환 회로를 통하여 상기 제2 신호를 새롭게 생성하는 것을 특징으로 하는 논리 레벨 변환 회로.

청구항 11.

제8항에 있어서,

상기 판정 회로는,

상기 제3 신호를 칩 외부에서 소정의 상태를 기준으로 측정하여 설정 신호를 출력하는 패드와,

상기 설정 신호를 상기 판정 결과로서 이용하여, 디지털 아날로그 변환 회로를 통하여 상기 제2 신호를 새롭게 생성하는 테스트를 포함하고 있는 것을 특징으로 하는 논리 레벨 변환 회로.

청구항 12.

제8항에 있어서,

상기 판정 회로는, 상기 제3 신호를 입력하여 제4 신호를 출력하는 스위치를 포함하고,

상기 스위치는, 상기 제3 신호가 상기 소정의 상태에 있을 때에 온 상태로 되는 것을 특징으로 하는 논리 레벨 변환 회로.

청구항 13.

입력되는 기준 신호와 참조 신호를 비교하여 위상차를 출력하는 위상 비교기와,

상기 위상차를 전류로 변환하는 차지 펌프와,

상기 차지 펌프가 출력하는 상기 전류의 저역 주파수 성분을 취출하고, 취출한 상기 전류의 저역 주파수 성분을 제어 전압으로 변환하여 출력하는 루프 필터와,

상기 제어 전압에 따라서 발진 주파수를 변화시켜, 발진 출력을 제1 신호로서 출력하는 전압 제어 발진기와,

상기 제1 신호를 분주하여 상기 참조 신호를 출력하는 분주기와,

상기 제1 신호를 입력하여 제4 신호를 출력하는 논리 레벨 변환 회로

를 포함하여 이루어지고,

상기 논리 레벨 변환 회로는,

상기 제1 신호와 제2 신호를 입력하여, 상기 제2 신호에 의해 설정되는 임계치에 의해 상기 제1 신호를 제3 신호로 변환하는 임계치 가변 인버터와,

상기 제2 신호를 소정의 값으로 하고 나서, 소정의 상태를 기준으로 상기 제3 신호를 판정하고, 판정 결과를 이용하여 상기 제2 신호를 새롭게 생성하며, 또한, 상기 제3 신호를 상기 제4 신호로서 출력하는 판정 회로를 포함하여 이루어지고,

상기 판정 회로는, 상기 제3 신호가 상기 소정의 상태에 있을 때에 상기 제2 신호의 값을 보유하는 것을 특징으로 하는 위상 동기 회로.

청구항 14.

제13항에 있어서,

상기 전압 제어 발진기는,

상기 제어 전압을 입력하여 제어 전류를 출력하는 전압 전류 변환 회로와,

상기 제어 전류에 따라서 발진 주파수를 변화시켜, 발진 출력을 차동 발진 신호로서 출력하는 전류 제어 발진기와,

상기 차동 발진 신호를 단상의 상기 제1 신호로 변환하는 차동 싱글 변환 회로를 포함하여 이루어지는 것을 특징으로 하는 위상 동기 회로.

청구항 15.

제13항에 있어서,

상기 임계치 가변 인버터는,

게이트끼리를 접속하고, 또한 드레인끼리를 접속한 PMOS 트랜지스터와 NMOS 트랜지스터의 직렬 회로로서, 상기 PMOS 트랜지스터의 소스와 전원 전압 사이에 상기 제2 신호에 의해 제어되는 제1 스위치와, 상기 NMOS 트랜지스터의 소스와 접지 사이에 상기 제2 신호에 의해 제어되는 제2 스위치를 갖는 직렬 회로를 복수개 포함하고,

상기 복수개의 직렬 회로의 게이트끼리를 접속하여 입력 단자로 하고, 상기 복수개의 직렬 회로의 드레인끼리를 접속하여 출력 단자로 함으로써 상기 복수개의 직렬 회로가 패러럴 접속되고,

상기 입력 단자에 상기 제1 신호가 입력되고, 상기 출력 단자로부터 상기 제3 신호가 출력되는 것을 특징으로 하는 위상 동기 회로.

청구항 16.

제13항에 있어서,

상기 임계치 가변 인버터는,

상기 제1 신호가 스위치를 통하여 입력되는, 임계치가 서로 다른 복수의 인버터를 포함하고,

상기 스위치는, 제2 신호에 의해 제어되며,

복수의 인버터의 각각은 상기 스위치가 온 상태일 때에 제3 신호를 출력하는 것을 특징으로 하는 위상 동기 회로.

청구항 17.

제13항에 있어서,

상기 판정 회로는,

상기 제3 신호의 직류 성분을 출력하는 저역 통과 필터와,

상기 직류 성분을 상기 소정의 상태에 대응하는 비교 전압과 비교하여 비교 결과를 생성하는 콤퍼레이터를 포함하고,

상기 콤퍼레이터는, 상기 비교 결과를 상기 소정 결과로서 이용하여 상기 제2 신호를 새롭게 출력하는 것을 특징으로 하는 위상 동기 회로.

청구항 18.

제13항에 있어서,

상기 판정 회로는,

상기 제3 신호를 소정의 기간 카운트하는 카운터를 포함하고,

상기 카운터는, 상기 소정의 상태에 대응하는 카운트 결과를 상기 판정 결과로서 이용하여 상기 제2 신호를 새롭게 생성하는 것을 특징으로 하는 위상 동기 회로.

청구항 19.

제13항에 있어서,

상기 판정 회로는,

상기 제3 신호를 칩 외부에서 소정의 상태를 기준으로 측정하여 설정 신호를 출력하는 패드와,

상기 설정 신호를 상기 판정 결과로서 이용하여 상기 제2 신호를 새롭게 생성하는 테스트를 포함하고 있는 것을 특징으로 하는 위상 동기 회로.

청구항 20.

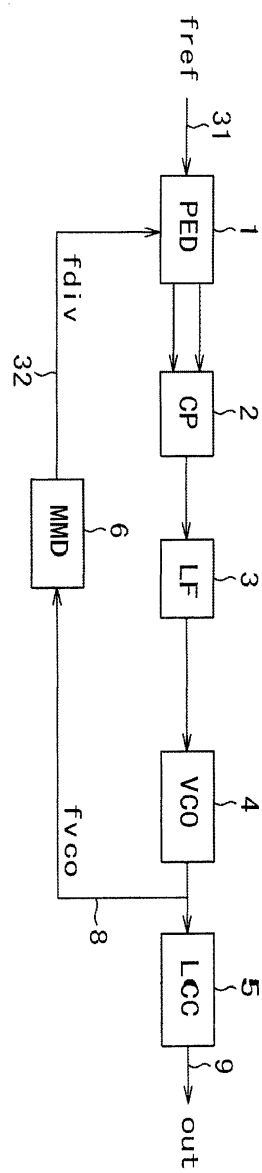
제13항에 있어서,

상기 판정 회로는, 상기 제3 신호를 입력하여 제4 신호를 출력하는 스위치를 포함하고,

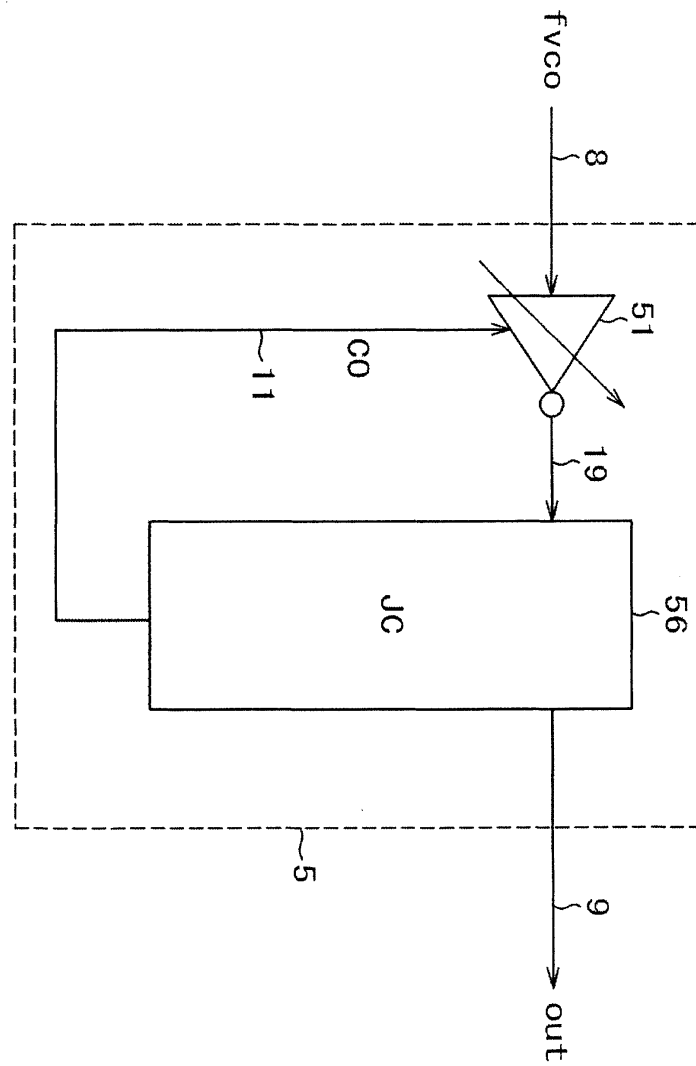
상기 스위치는, 상기 제3 신호가 상기 소정의 상태에 있을 때에 온 상태로 되는 것을 특징으로 하는 위상 동기 회로.

도면

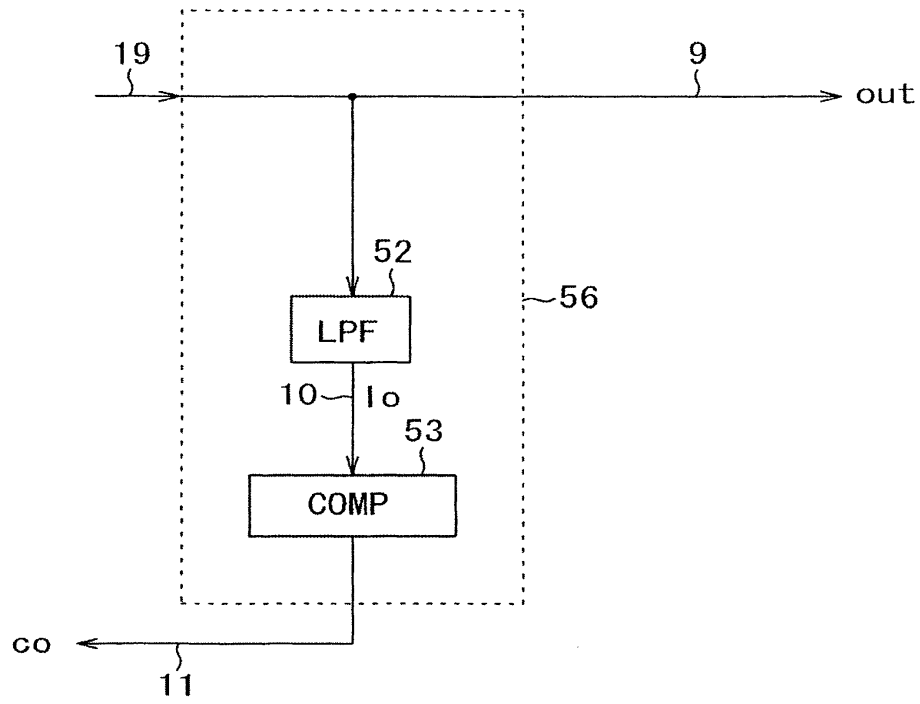
도면1



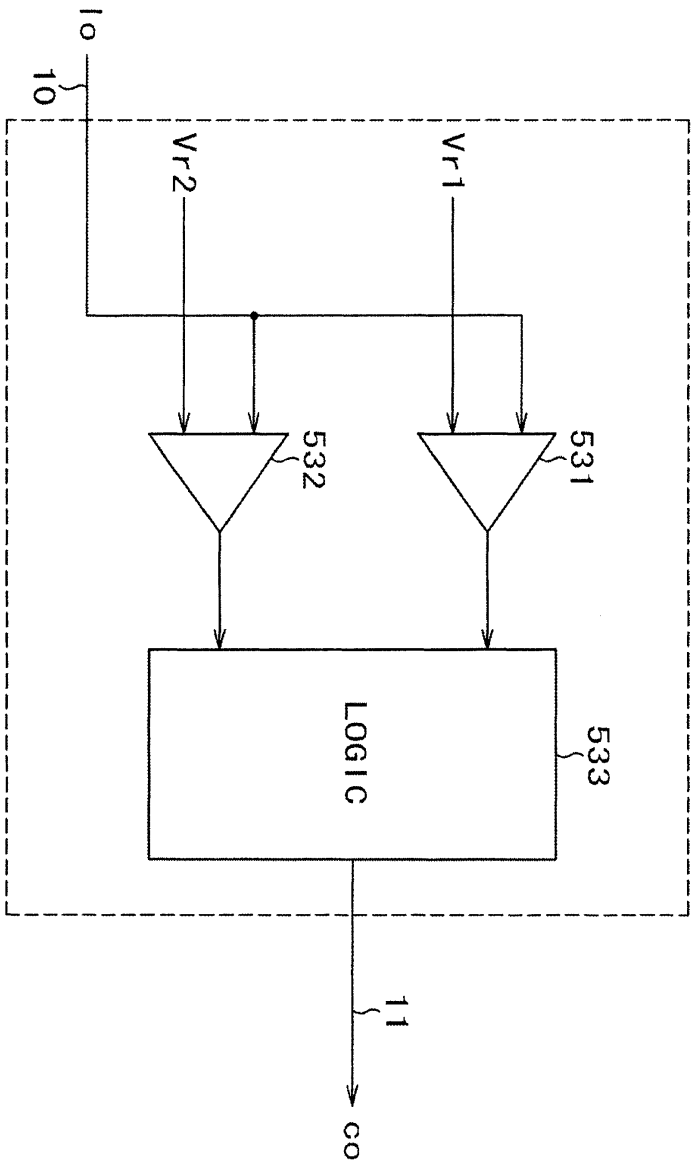
도면2



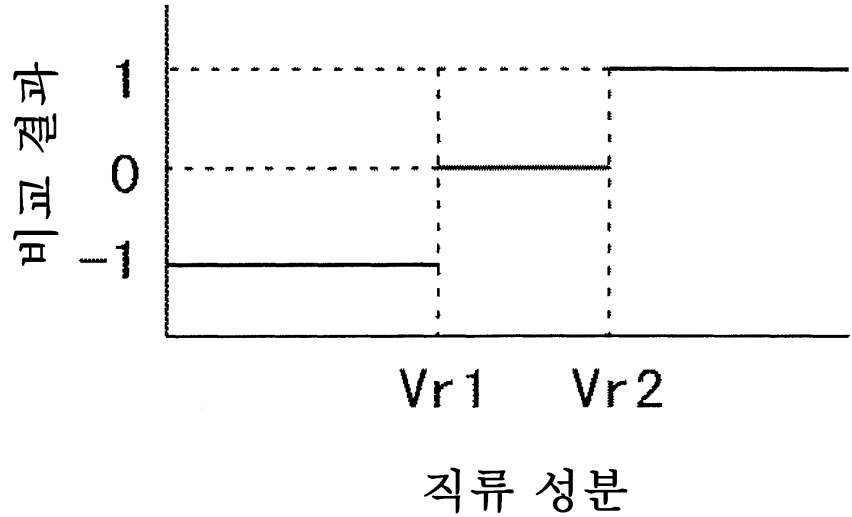
도면3



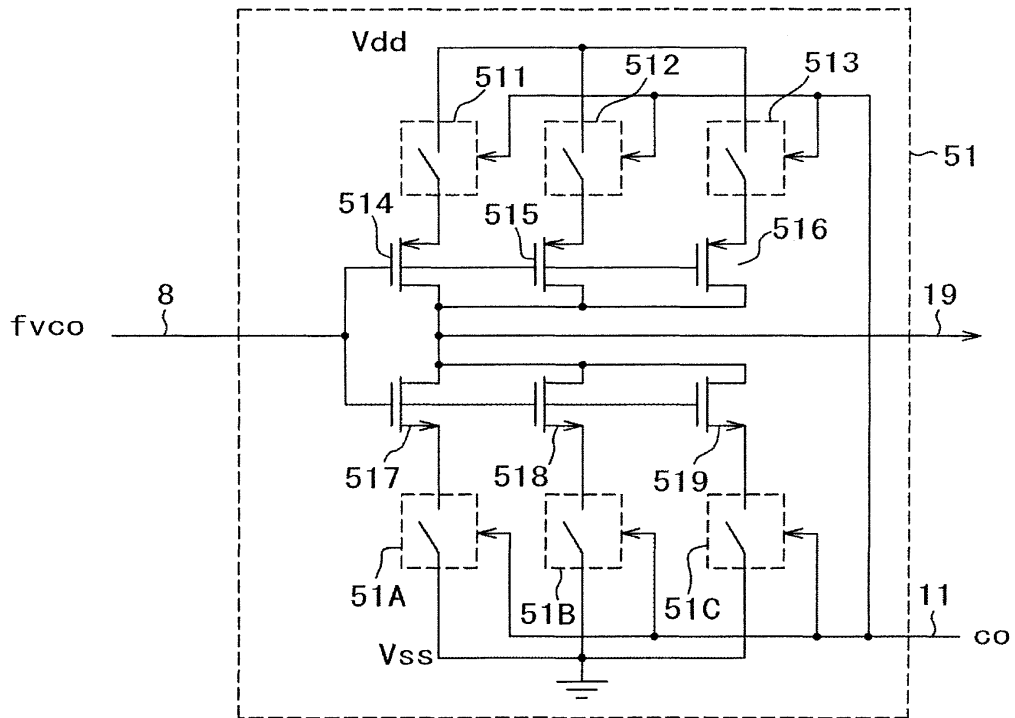
도면4



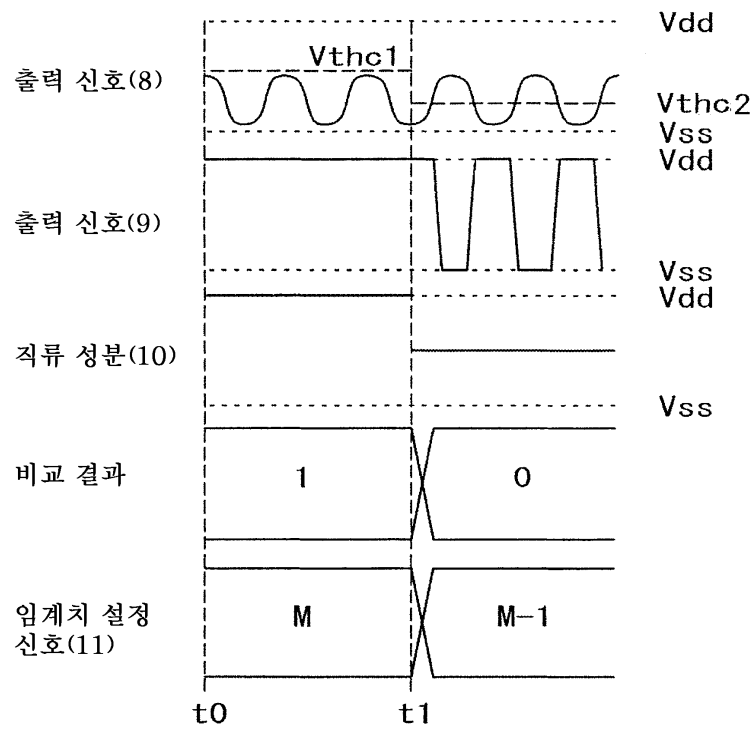
도면5



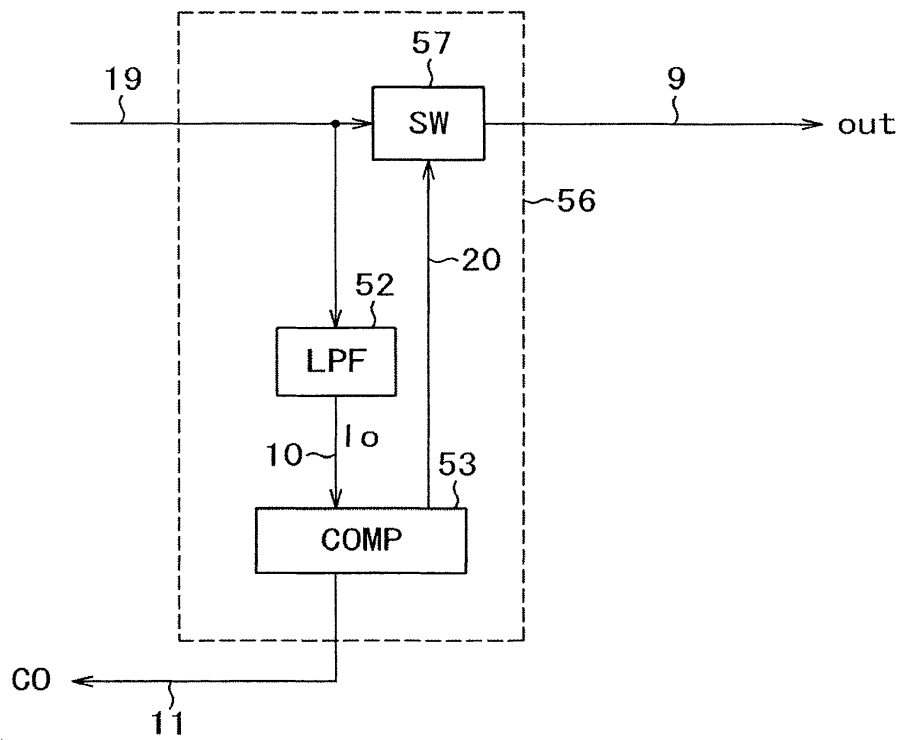
도면6



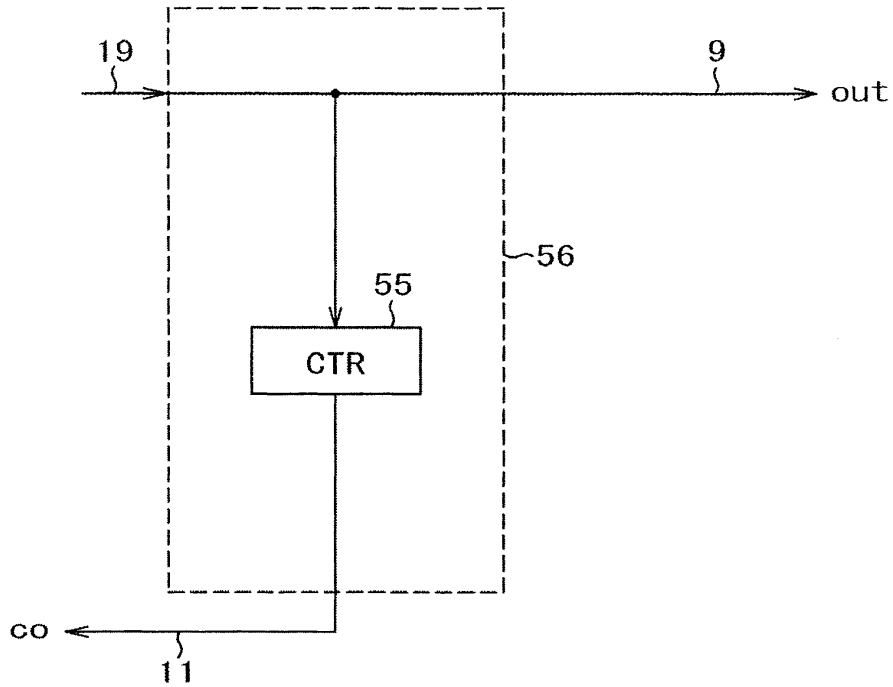
도면7



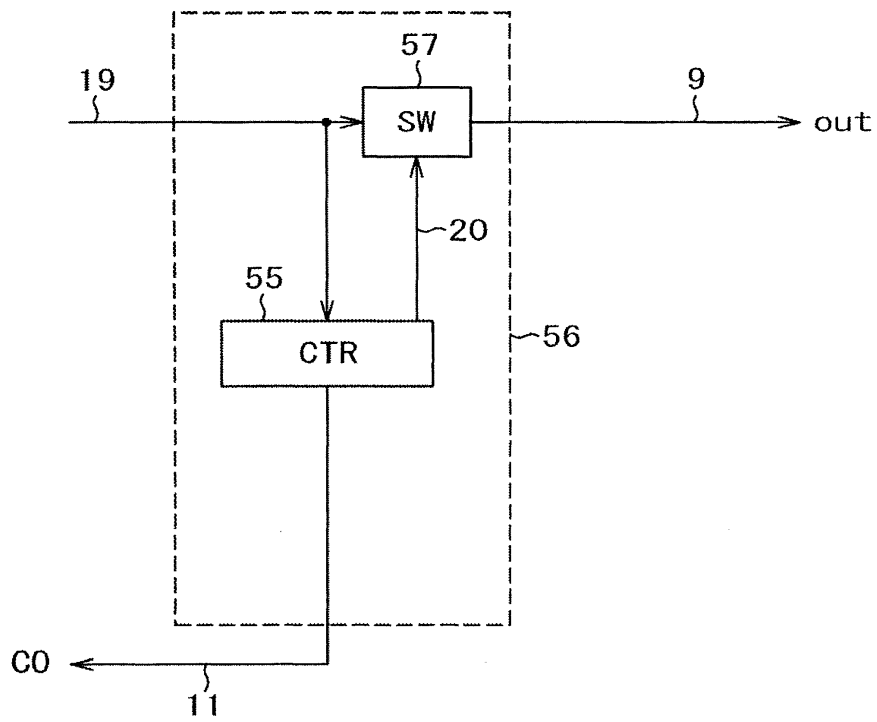
도면8



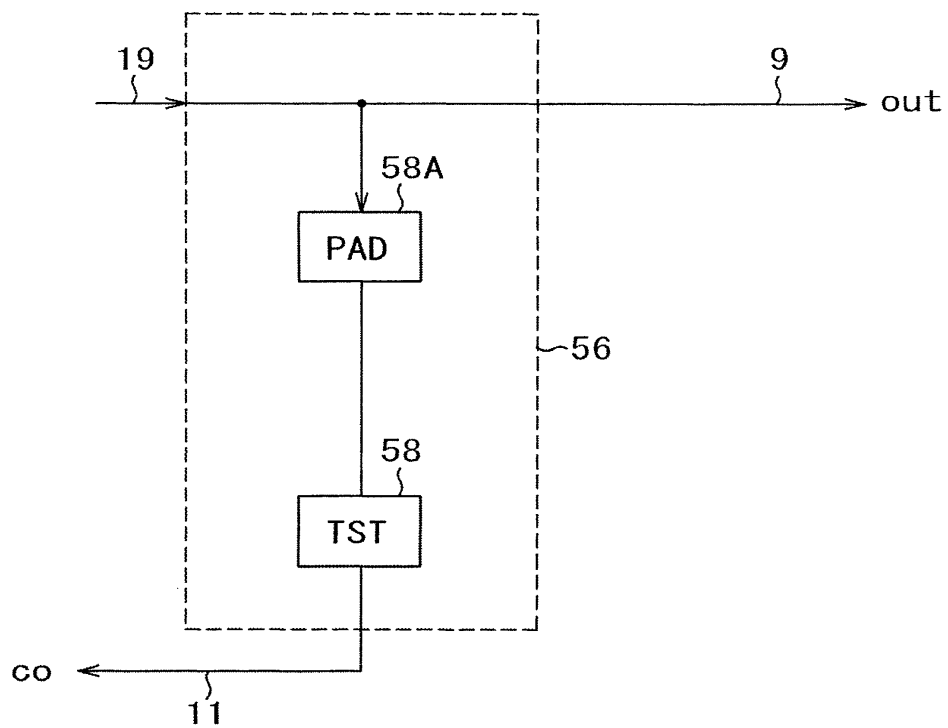
도면9



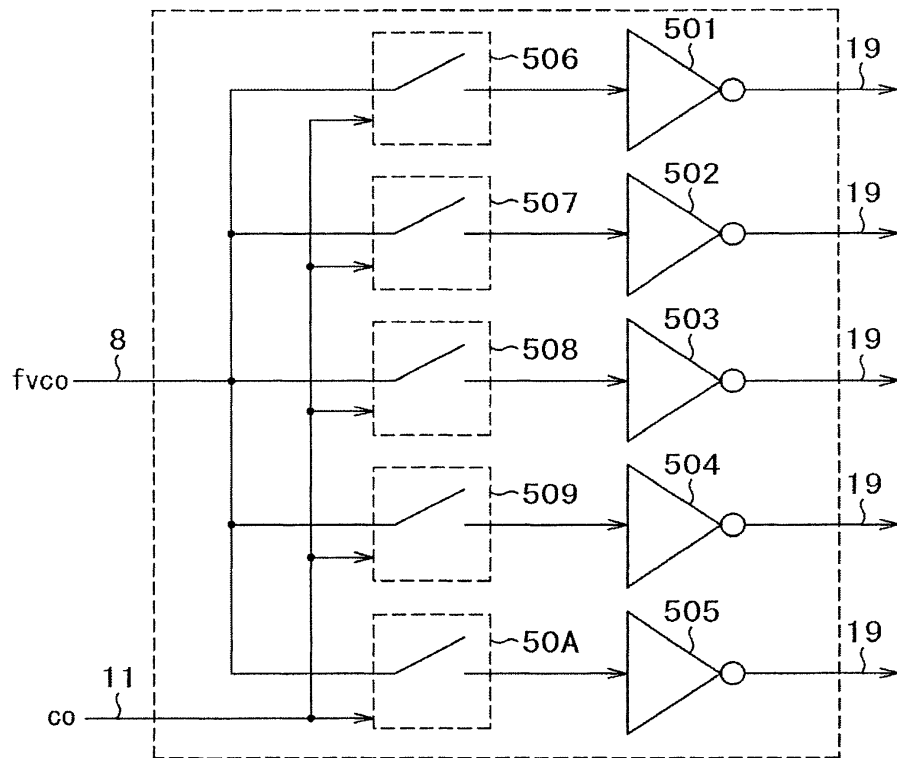
도면10



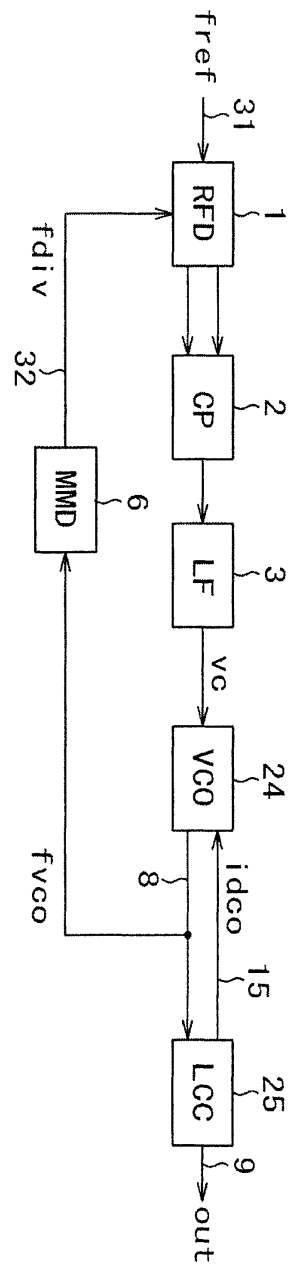
도면11



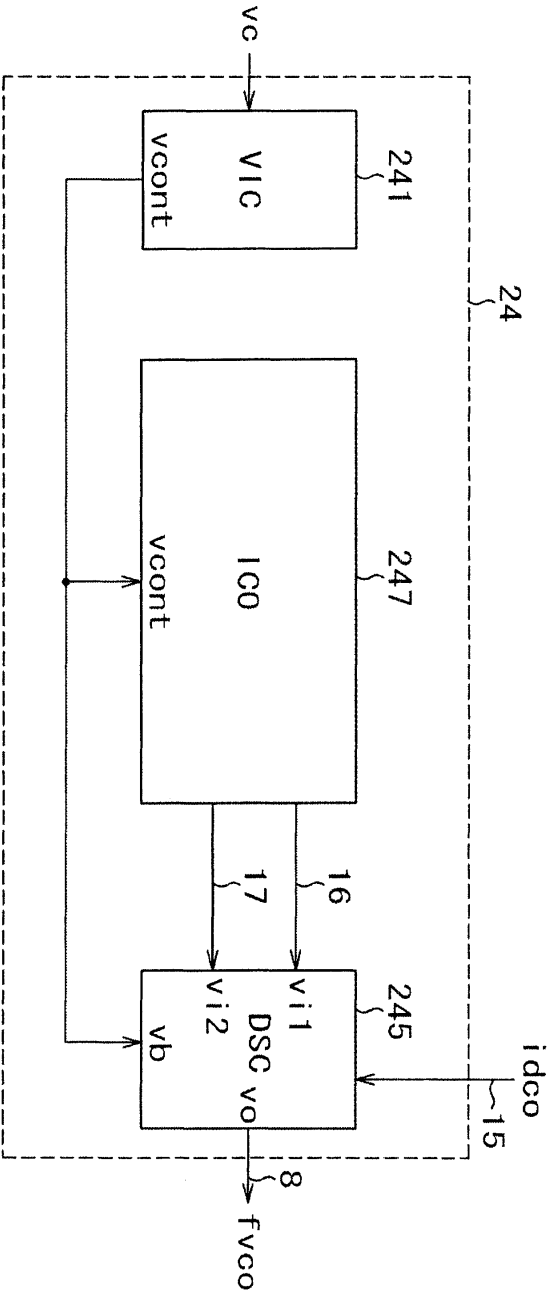
도면12



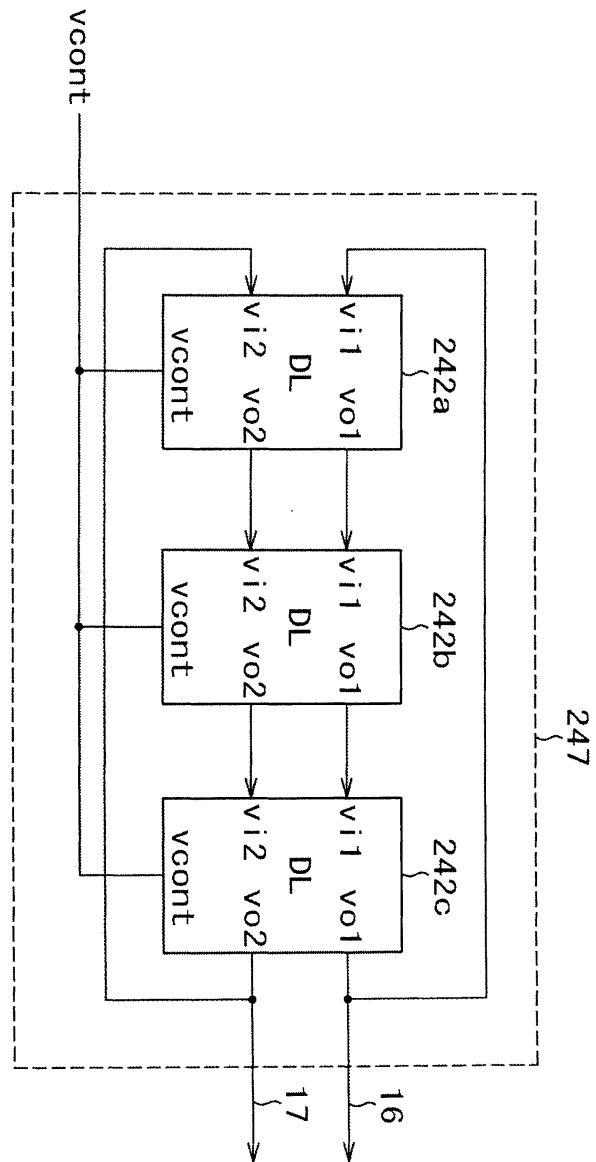
도면13



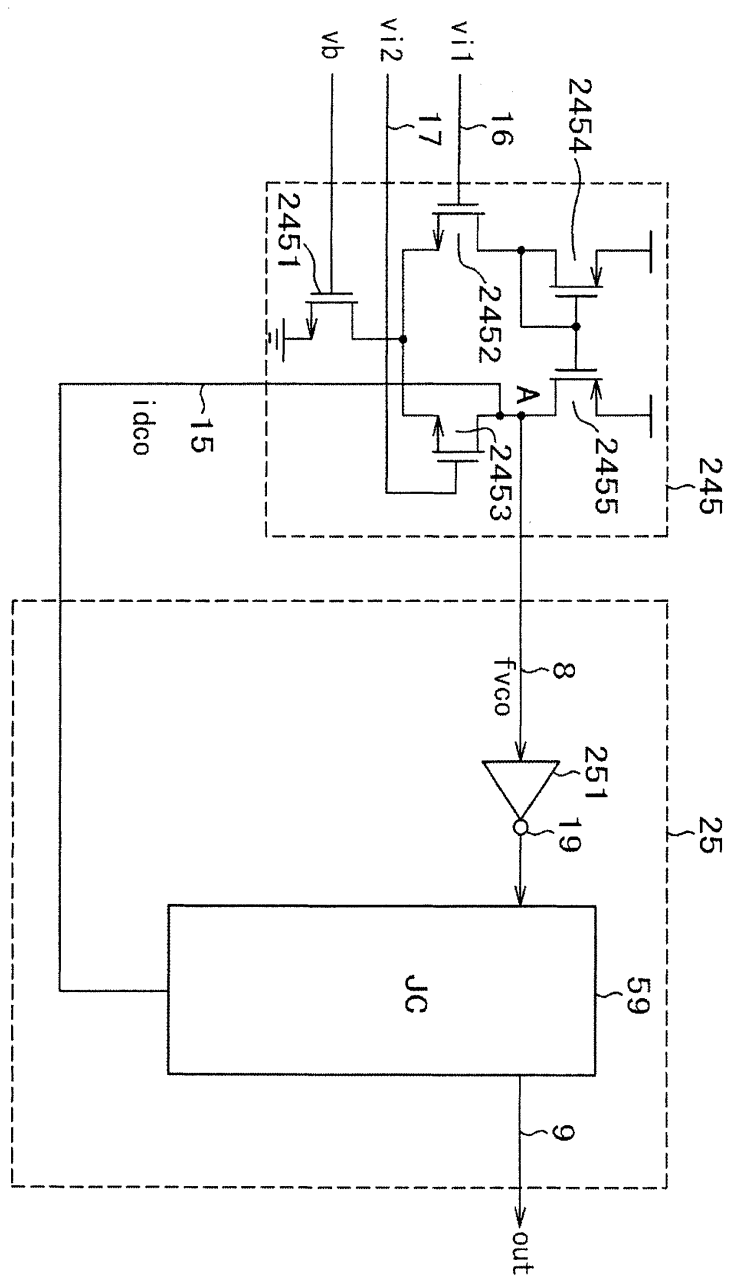
도면14



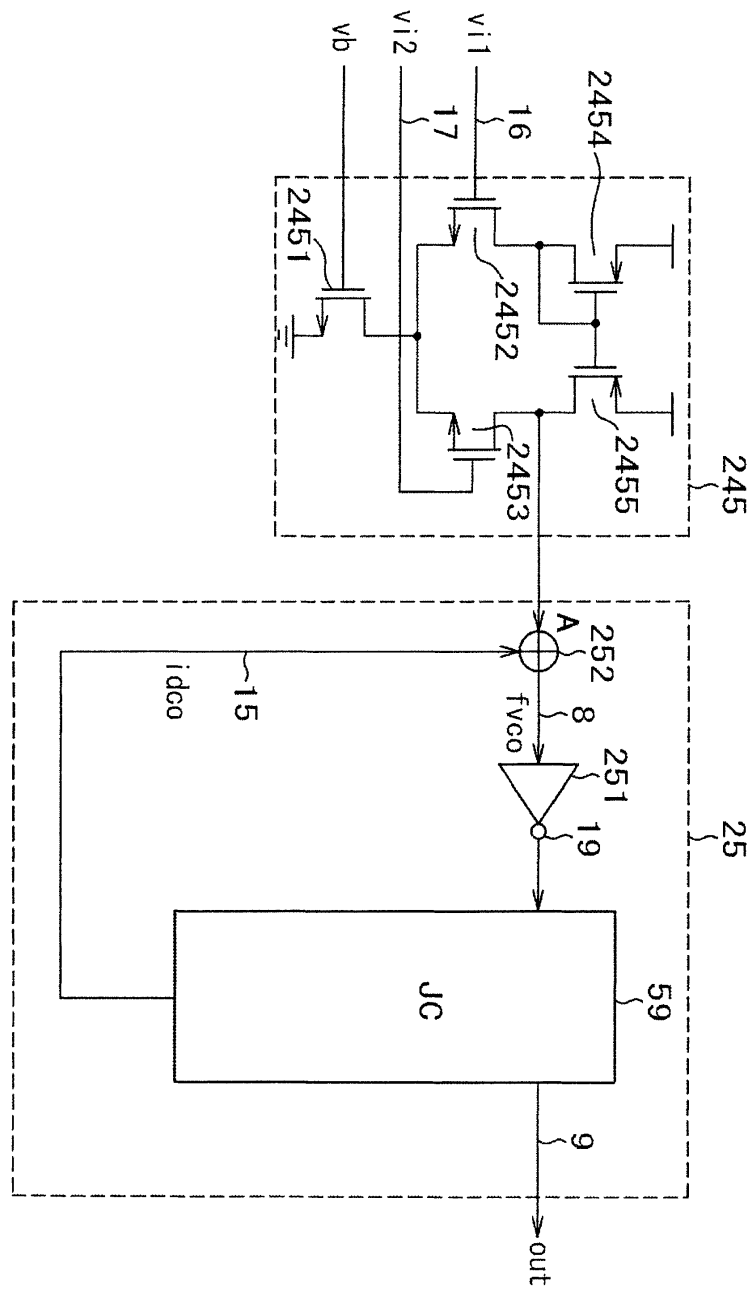
도면15



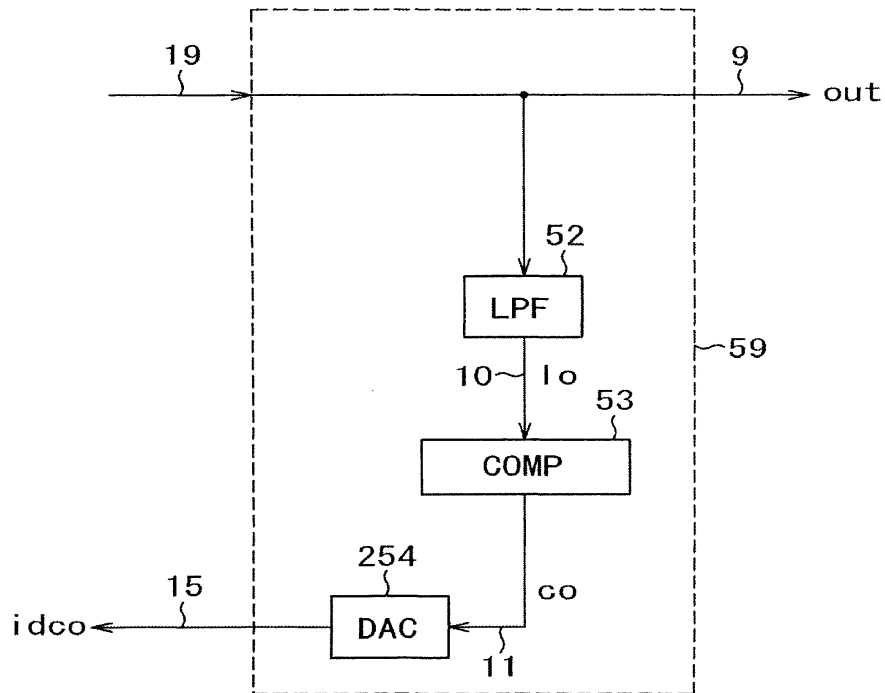
도면17a



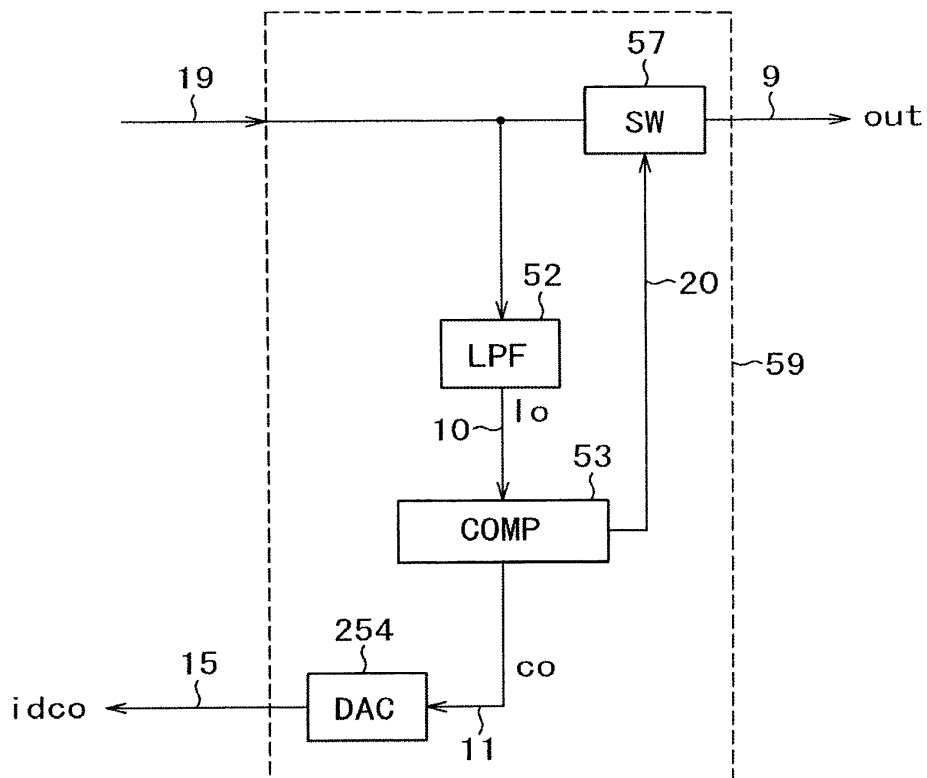
도면17b



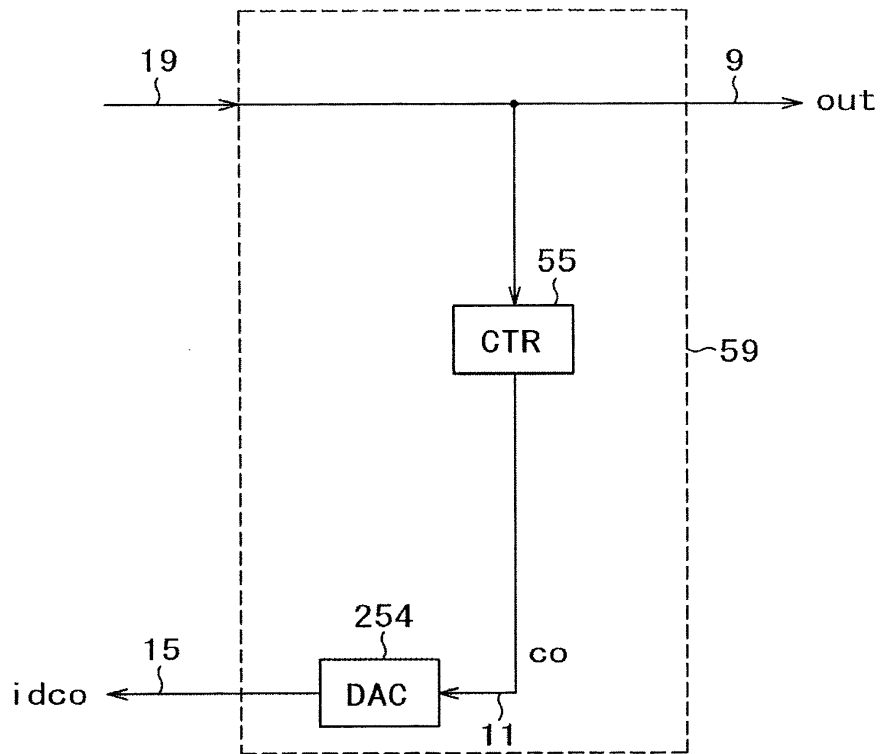
도면18



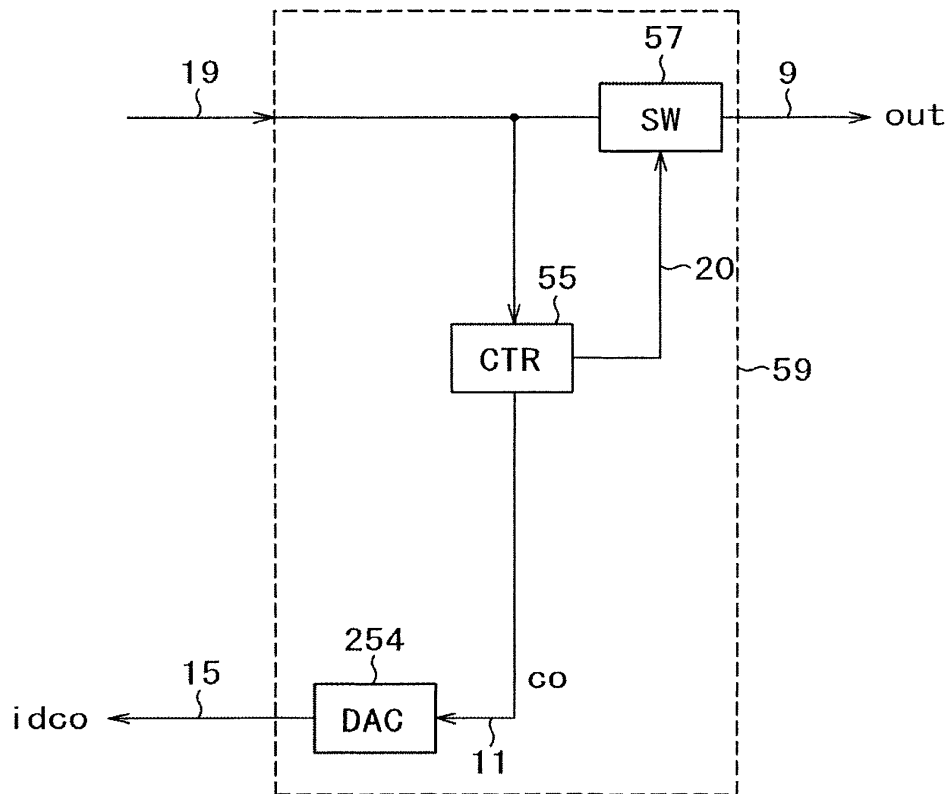
도면19



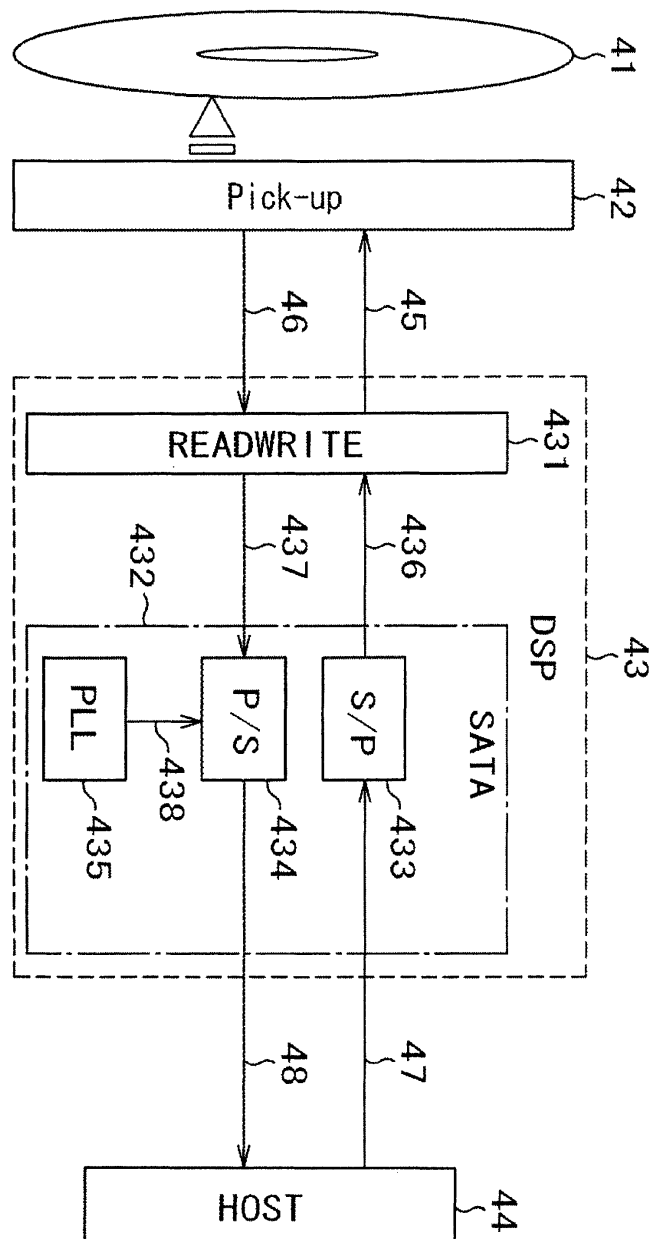
도면20



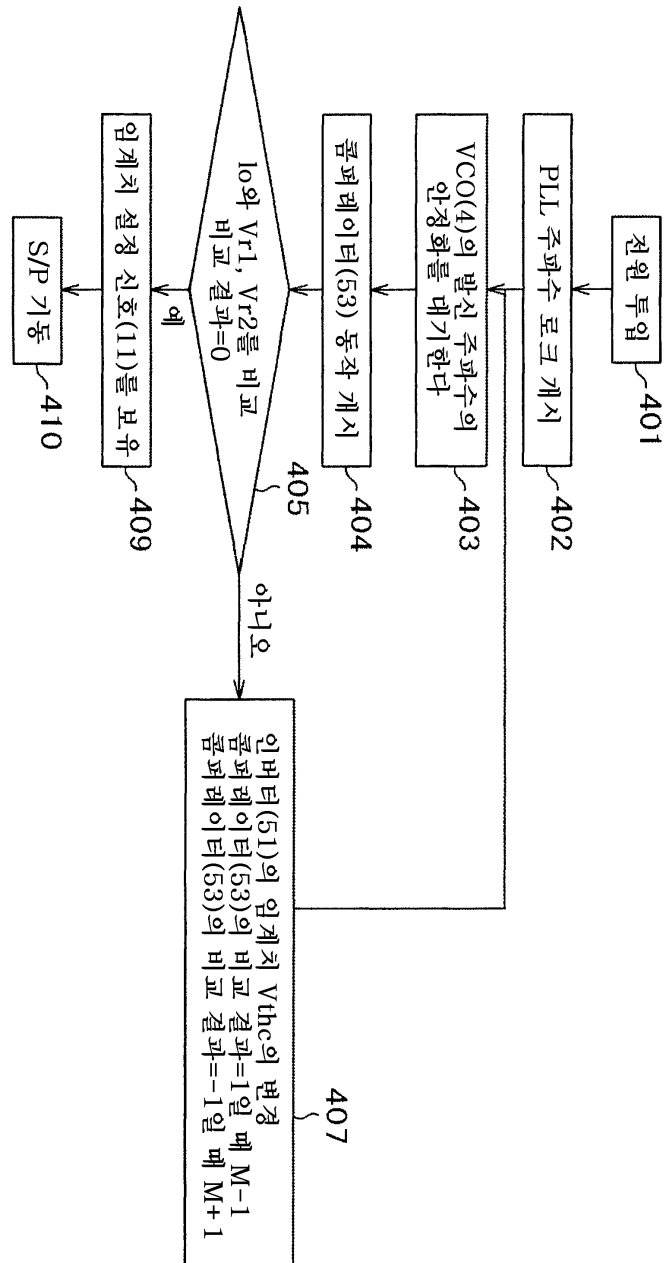
도면21



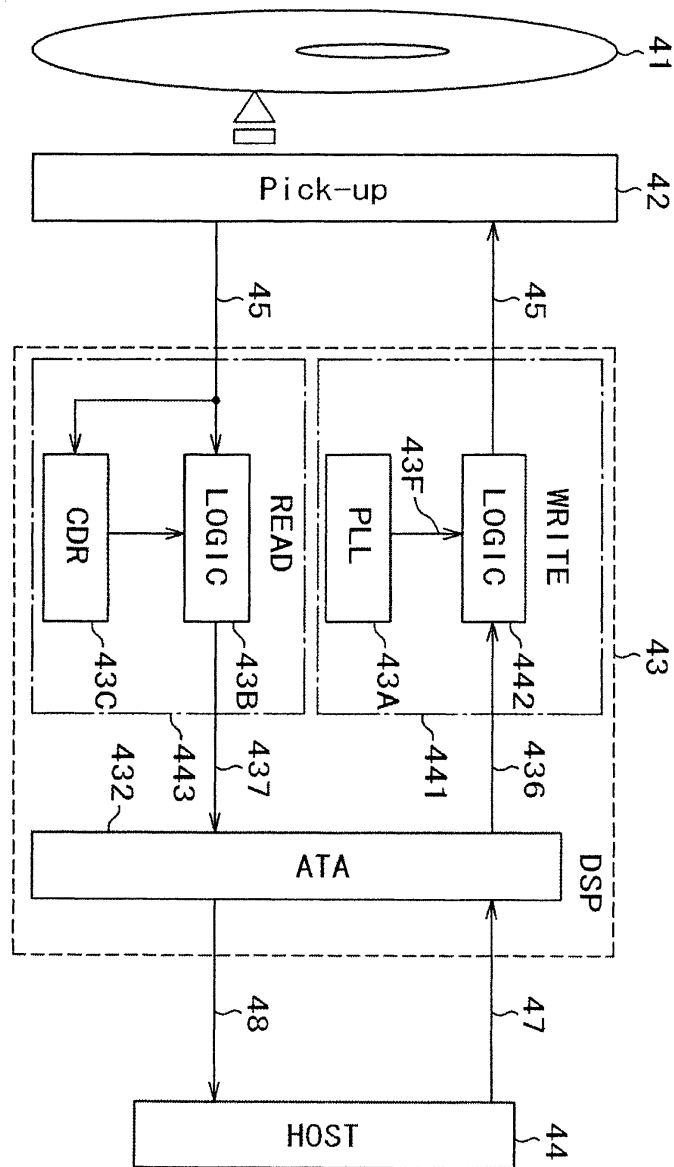
도면22



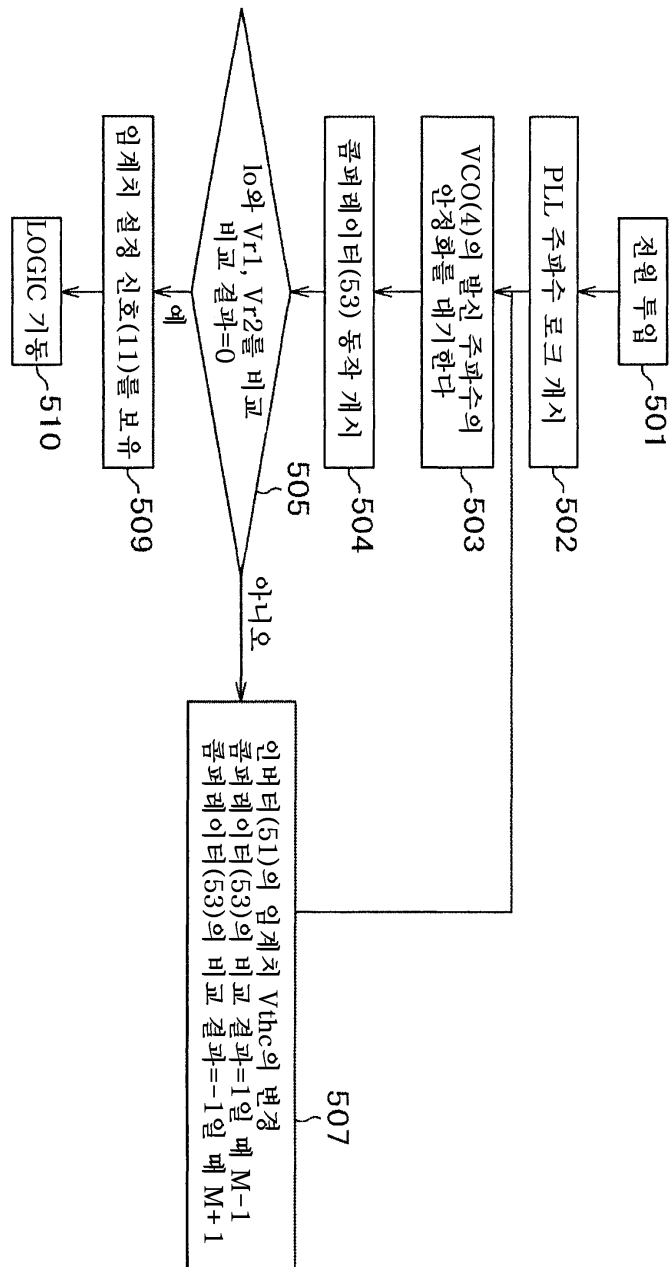
도면23



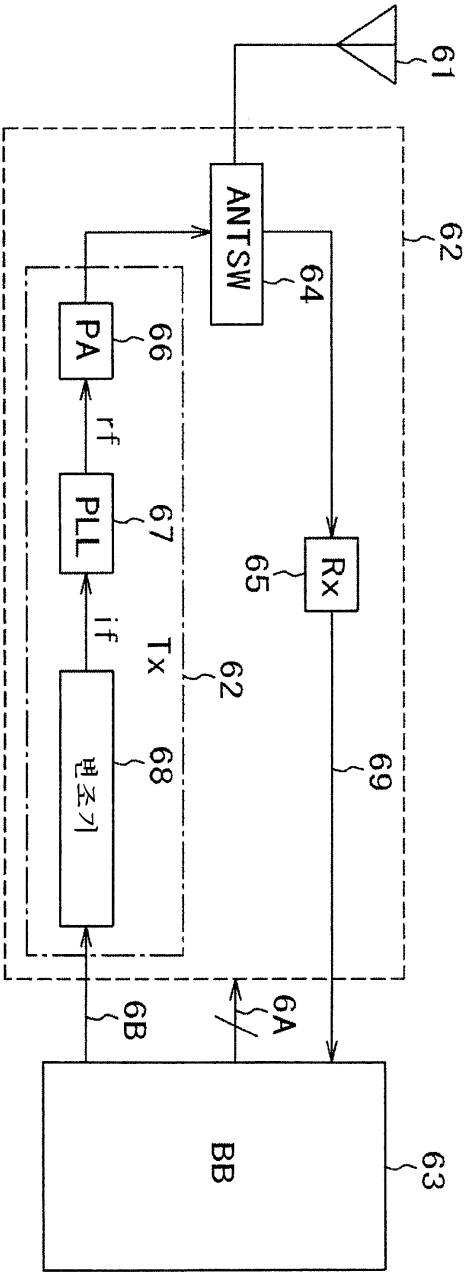
도면24



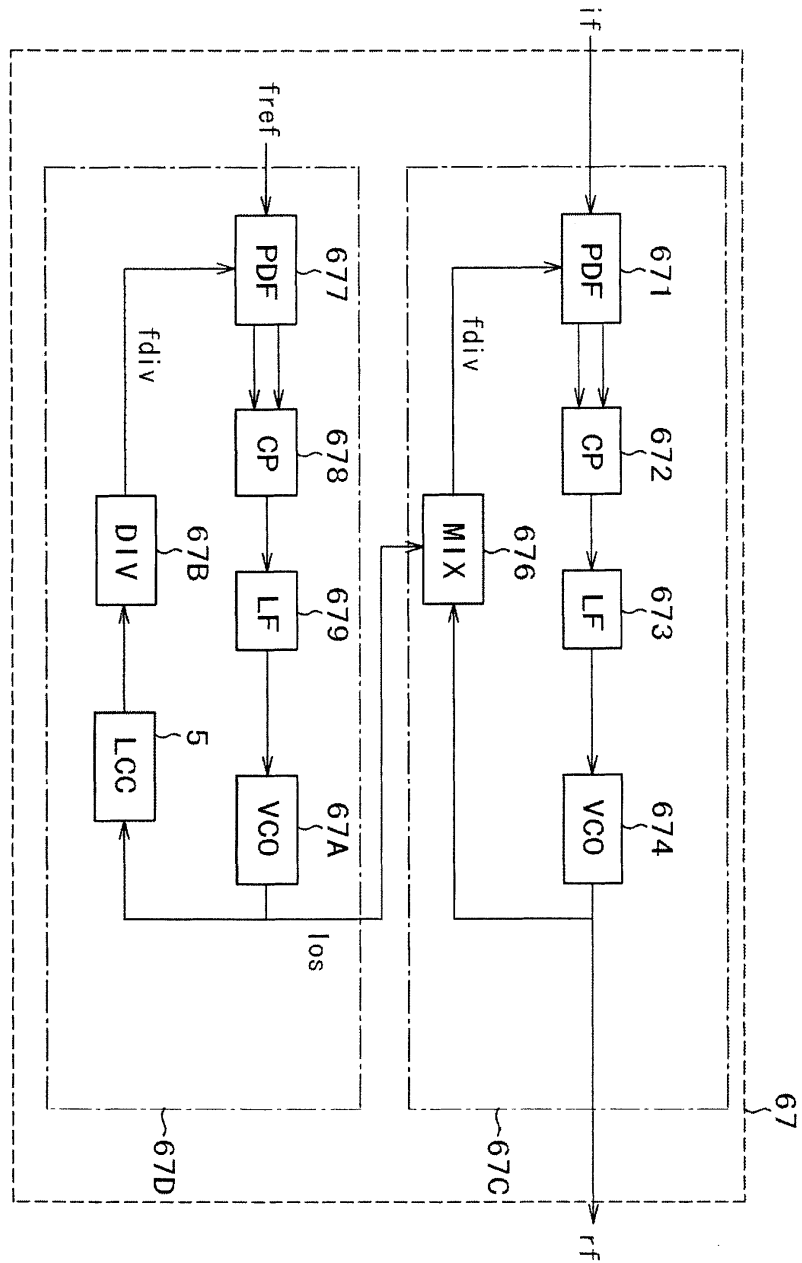
도면25



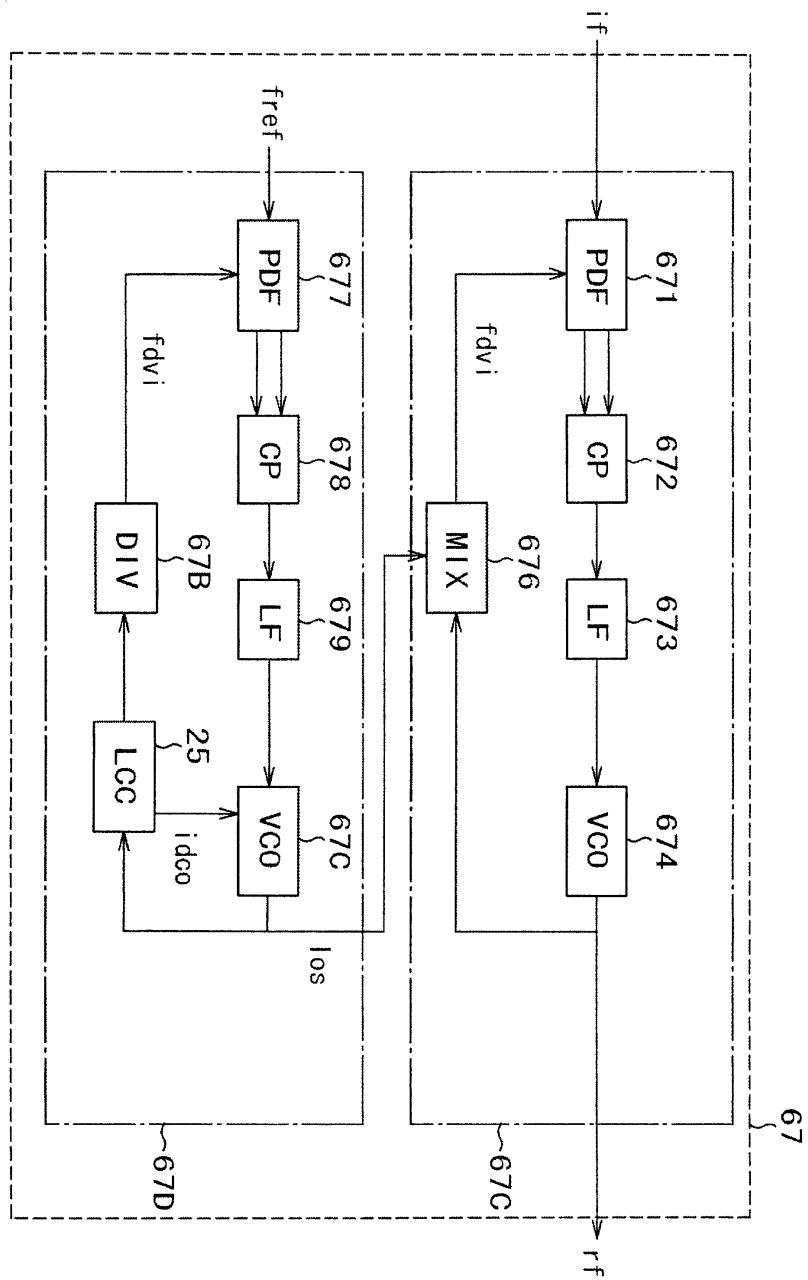
도면26



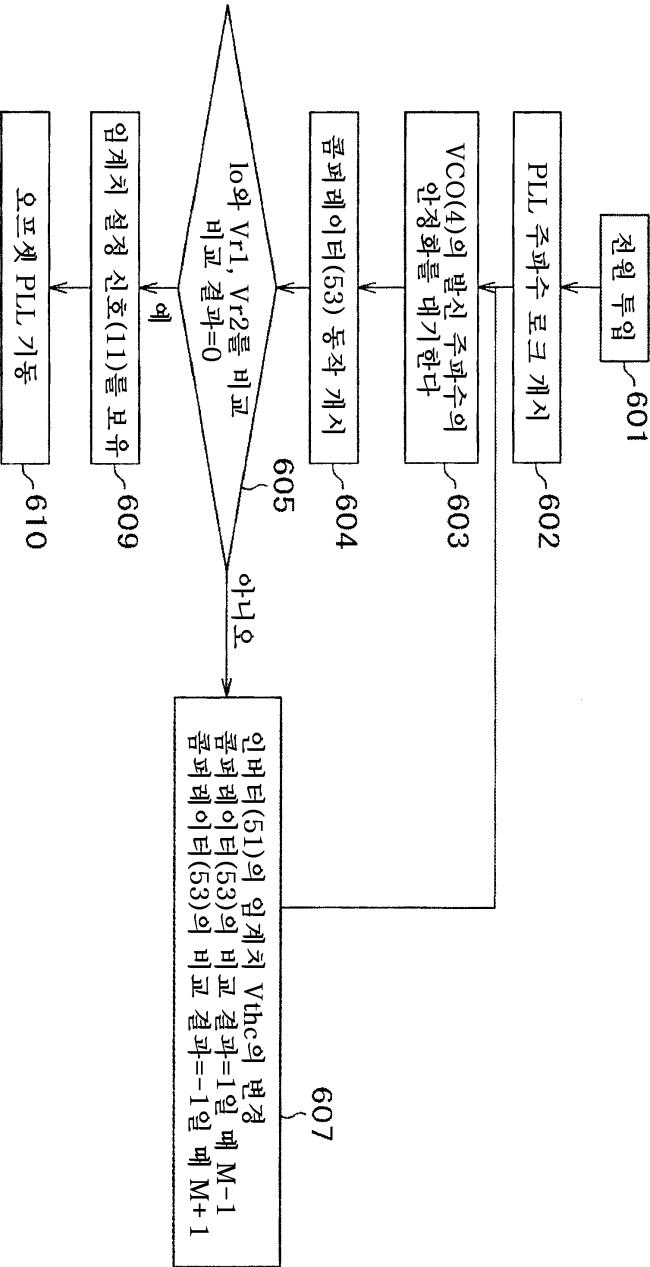
도면27



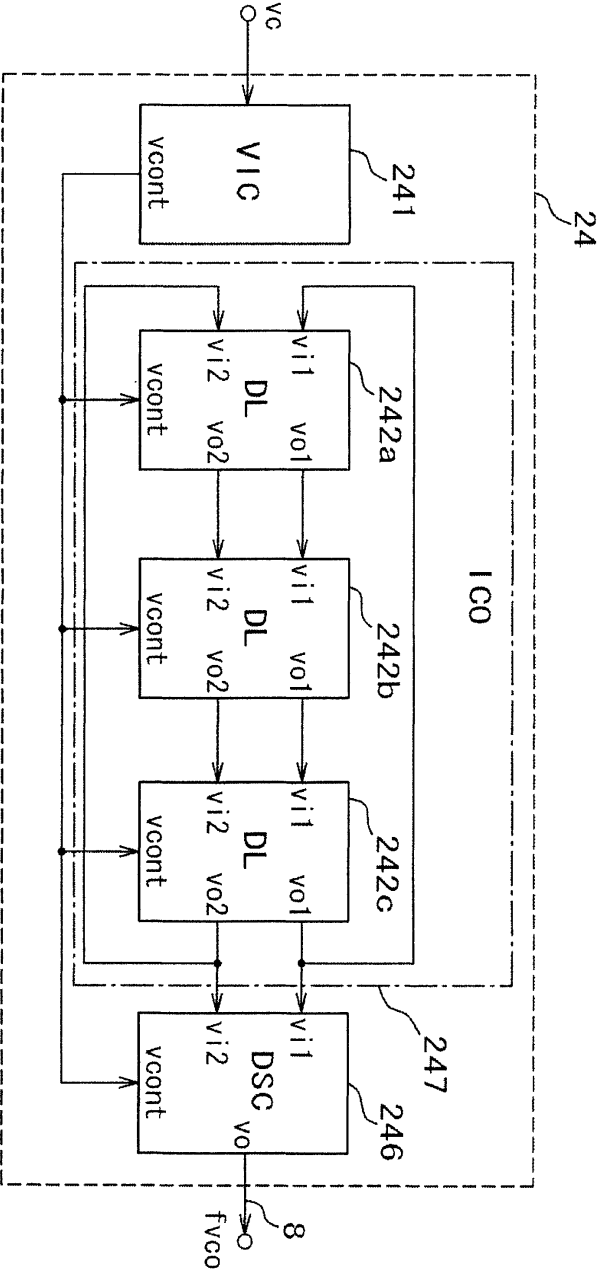
도면28



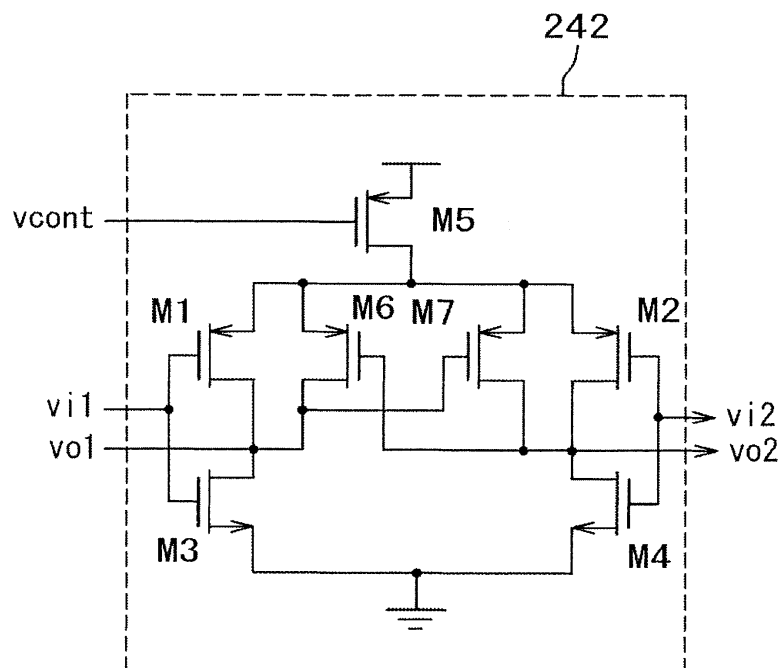
도면29



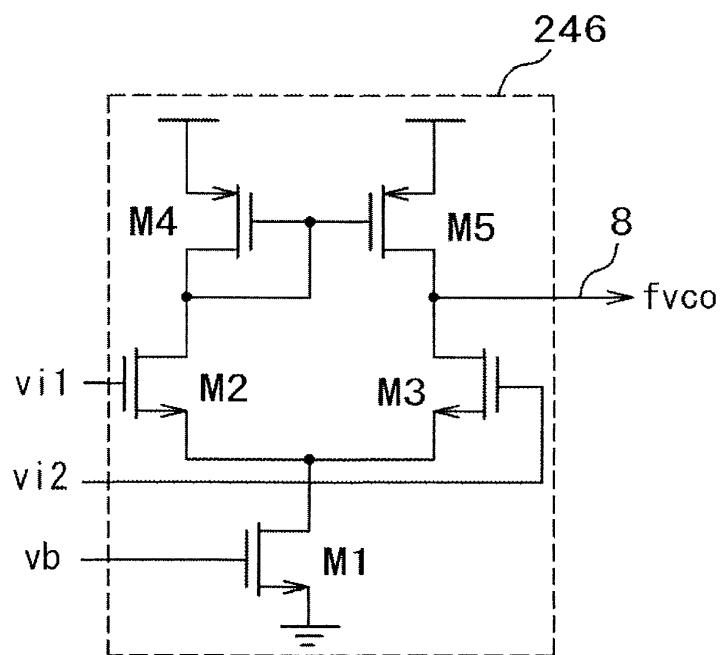
도면30



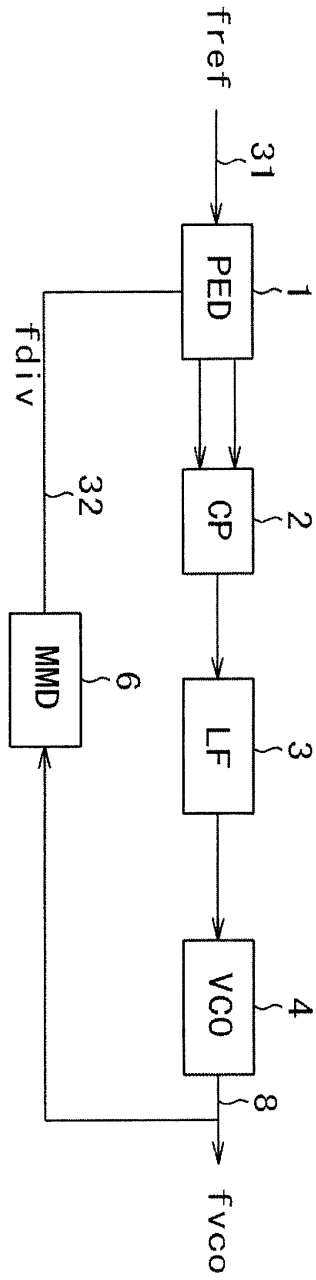
도면31



도면32



도면33



도면34

