



(12)发明专利申请

(10)申请公布号 CN 105931595 A

(43)申请公布日 2016.09.07

(21)申请号 201610550342.X

(22)申请日 2016.07.13

(71)申请人 京东方科技股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 合肥京东方光电科技有限公司

(72)发明人 王秀娟 邵贤杰 冯思林 刘波

(74)专利代理机构 北京银龙知识产权代理有限公司 11243

代理人 许静 刘伟

(51)Int.Cl.

G09G 3/20(2006.01)

G11C 19/28(2006.01)

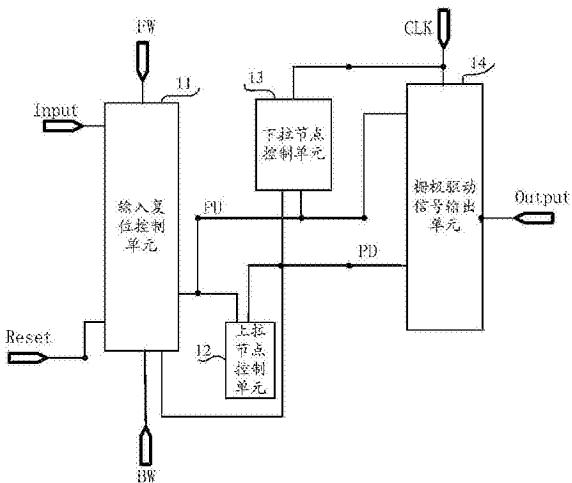
权利要求书3页 说明书12页 附图9页

(54)发明名称

移位寄存器单元、驱动方法、栅极驱动电路和显示装置

(57)摘要

本发明提供一种移位寄存器单元、驱动方法、栅极驱动电路和显示装置。所述移位寄存器单元包括：输入复位控制单元，用于在正向扫描时当由复位端输入的复位信号为第一电平时控制所述下拉节点的电位为第一电平；上拉节点控制单元；下拉节点控制单元，用于当上拉节点的电位为第一电平时控制下拉节点的电位为第二电平，当上拉节点的电位为第二电平时控制下拉节点的电位与由所述时钟信号输入端输入的时钟信号的电位相同；以及，栅极驱动信号输出单元。本发明可以在实现双向扫描栅极驱动的前提下有效实现窄边框。



1. 一种移位寄存器单元，其特征在于，包括：

输入复位控制单元，分别与输入端、复位端、第一扫描控制端、第二扫描控制端、上拉节点和下拉节点连接，用于在正向扫描时当由复位端输入的复位信号为第一电平时控制所述下拉节点的电位为第一电平；

上拉节点控制单元，分别与所述上拉节点和下拉节点连接；

下拉节点控制单元，分别与上拉节点、下拉节点和时钟信号输入端连接，用于当所述上拉节点的电位为第一电平时控制所述下拉节点的电位为第二电平，当所述上拉节点的电位为第二电平时控制所述下拉节点的电位与由所述时钟信号输入端输入的时钟信号的电位相同；以及，

栅极驱动信号输出单元，分别与所述上拉节点、所述下拉节点、所述时钟信号输入端和栅极驱动信号输出端连接。

2. 如权利要求1所述的移位寄存器单元，其特征在于，所述输入复位控制单元包括输入复位控制模块和下拉控制模块；

所述输入复位控制模块，分别与所述输入端、所述复位端和所述上拉节点连接，用于在输入阶段通过由所述输入端输入的输入信号控制所述上拉节点的电位为第一电平，并在输出阶段控制自举拉升所述上拉节点的电位，在复位阶段控制所述上拉节点的电位为第二电平；

所述下拉控制模块，与所述下拉节点连接，用于在正向扫描时在当由复位端输入的复位信号为第一电平时控制所述下拉节点的电位为第一电平。

3. 如权利要求2所述的移位寄存器单元，其特征在于，在正向扫描时，所述下拉控制模块包括：下拉控制晶体管，栅极与所述复位端连接，第一极与所述复位端连接，第二极与所述下拉节点连接；

在反向扫描时，所述下拉控制模块包括：下拉控制晶体管，栅极与所述输入端连接，第一极与所述输入端连接，第二极与所述下拉节点连接。

4. 如权利要求2所述的移位寄存器单元，其特征在于，当正向扫描时，所述输入复位控制模块包括：

输入晶体管，栅极与所述输入端连接，第一极与第一扫描控制端连接，第二极与所述上拉节点连接；

复位晶体管，栅极与所述复位端连接，第一极与所述上拉节点连接，第二极与所述第二扫描控制端连接；以及，

存储电容，连接于所述上拉节点和所述栅极驱动信号输出端之间；

所述第一扫描控制端接入第一电平，所述第二扫描控制端接入第二电平。

5. 如权利要求2所述的移位寄存器单元，其特征在于，在反向扫描时，所述输入复位控制模块包括：

复位晶体管，栅极与所述复位端连接，第一极与第一扫描控制端连接，第二极与所述上拉节点连接；以及，

输入晶体管，栅极与所述输入端连接，第一极与所述上拉节点连接，第二极与所述第二扫描控制端连接；以及，

存储电容，连接于所述上拉节点和所述栅极驱动信号输出端之间；

所述第一扫描控制端接入第二电平,所述第二扫描控制端接入第一电平。

6. 如权利要求1至5中任一权利要求所述的移位寄存器单元,其特征在于,所述下拉节点控制单元包括:第一下拉节点控制晶体管,栅极与所述时钟信号输入端连接,第一极与所述时钟信号输入端连接,第二极与所述下拉节点连接;以及,

第二下拉节点控制晶体管,栅极与所述上拉节点连接,第一极与所述下拉节点连接,第二极与第二电平输出端连接;

所述第一下拉节点控制晶体管的宽长比和所述第二下拉节点控制晶体管的宽长比之间的比例在预定比例范围内,以使得当所述上拉节点的电位为第一电平时所述下拉节点的电位为第二电平。

7. 如权利要求1至5中任一权利要求所述的移位寄存器单元,其特征在于,所述上拉节点控制单元用于当所述下拉节点的电位为第一电平时控制所述上拉节点的电位为第二电平。

8. 如权利要求1至5中任一权利要求所述的移位寄存器单元,其特征在于,所述栅极驱动信号输出单元用于当所述上拉节点的电位为第一电平时控制所述栅极驱动信号输出端输出时钟信号,当所述下拉节点的电位为第一电平时控制所述栅极驱动信号输出端输出第二电平;

所述时钟信号由所述时钟信号输入端输入。

9. 一种移位寄存器单元的驱动方法,应用于如权利要求1至8中任一权利要求所述的移位寄存器单元,其特征在于,所述驱动方法包括:在正向扫描时,

在每一显示周期的输入阶段,时钟信号为第二电平,由输入端接入的输入信号为第一电平,由复位端接入的复位信号为第二电平,输入复位控制单元控制所述上拉节点的电位为第一电平,下拉节点控制单元控制下拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出时钟信号;

在每一显示周期的输出阶段,时钟信号为第一电平,由输入端接入的输入信号为第二电平,由复位端接入的复位信号为第二电平,所述输入复位控制单元控制自举拉升所述上拉节点的电位,下拉节点控制单元控制下拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出时钟信号;

在每一显示周期的复位阶段,时钟信号为第二电平,由输入端接入的输入信号为第二电平,由复位端接入的复位信号为第一电平,输入复位控制单元控制下拉节点的电位为第一电平,上拉节点控制单元控制上拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出第二电平;

在每一显示周期的输出截止保持阶段,下拉节点控制单元控制所述下拉节点的电位与由所述时钟信号输入端输入的时钟信号的电位相同,当所述时钟信号为第一电平时上拉节点控制单元控制上拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出第二电平。

10. 一种移位寄存器单元的驱动方法,应用于如权利要求1至8中任一权利要求所述的移位寄存器单元,其特征在于,所述驱动方法包括:在反向扫描时,

在每一显示周期的输入阶段,时钟信号为第二电平,由输入端接入的输入信号为第一电平,由复位端接入的复位信号为第二电平,输入复位控制单元控制所述上拉节点的电位

为第一电平,下拉节点控制单元控制下拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出时钟信号;

在每一显示周期的输出阶段,时钟信号为第一电平,由输入端接入的输入信号为第二电平,由复位端接入的复位信号为第二电平,所述输入复位控制单元控制自举拉升所述上拉节点的电位,下拉节点控制单元控制下拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出时钟信号;

在每一显示周期的复位阶段,时钟信号为第二电平,由输入端接入的输入信号为第二电平,由复位端接入的复位信号为第一电平,输入复位控制单元控制上拉节点的电位为第二电平,下拉节点的电位维持为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出第二电平;

在每一显示周期的输出截止保持阶段,下拉节点控制单元控制所述下拉节点的电位与由所述时钟信号输入端输入的时钟信号的电位相同,当所述时钟信号为第一电平时上拉节点控制单元控制上拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出第二电平。

11. 一种栅极驱动电路,其特征在于,包括多级如权利要求1至8中任一权利要求所述的移位寄存器单元。

12. 如权利要求10所述的栅极驱动电路,其特征在于,当正向扫描时,除了第一级移位寄存器单元之外,每一级移位寄存器单元的输入端都与相邻上一级移位寄存器单元的栅极驱动信号输出端连接;除了最后一级移位寄存器单元之外,每一级移位寄存器单元的复位端都与相邻下一级移位寄存器单元的栅极驱动信号输出端连接;所述第一扫描控制端接入第一电平,所述第二扫描控制端接入第二电平;

当反向扫描时,除了最后一级移位寄存器单元之外,每一级移位寄存器单元的输入端都与相邻下一级移位寄存器单元的栅极驱动信号输出端连接;除了第一级移位寄存器单元之外,每一级移位寄存器单元的复位端都与相邻上一级移位寄存器单元的栅极驱动信号输出端连接;所述第一扫描控制端接入第二电平,所述第二扫描控制端接入第一电平。

13. 一种显示装置,其特征在于,包括如权利要求11或12所述的栅极驱动电路。

移位寄存器单元、驱动方法、栅极驱动电路和显示装置

技术领域

[0001] 本发明涉及显示技术领域，尤其涉及一种移位寄存器单元、驱动方法、栅极驱动电路和显示装置。

背景技术

[0002] 随着科技的进步和生产力的发展，包括双向扫描栅极驱动电路的显示装置对于窄边框的需求越来越迫切。然而在实现双向扫描栅极驱动功能的前提下，减少移位寄存器单元中的晶体管数量和信号线数目是两条最直接的路径。现有的应用于双向扫描栅极驱动电路中的移位寄存器单元采用的信号线和晶体管的数目比较多，不利于实现窄边框。

发明内容

[0003] 本发明的主要目的在于提供一种移位寄存器单元、驱动方法、栅极驱动电路和显示装置，以解决现有技术中在实现双向扫描栅极驱动的前提下不能有效实现窄边框的问题。

[0004] 为了达到上述目的，本发明提供了一种移位寄存器单元，包括：

[0005] 输入复位控制单元，分别与输入端、复位端、第一扫描控制端、第二扫描控制端、上拉节点和下拉节点连接，用于在正向扫描时当由复位端输入的复位信号为第一电平时控制所述下拉节点的电位为第一电平；

[0006] 上拉节点控制单元，分别与所述上拉节点和下拉节点连接；

[0007] 下拉节点控制单元，分别与上拉节点、下拉节点和时钟信号输入端连接，用于当所述上拉节点的电位为第一电平时控制所述下拉节点的电位为第二电平，当所述上拉节点的电位为第二电平时控制所述下拉节点的电位与由所述时钟信号输入端输入的时钟信号的电位相同；以及，

[0008] 栅极驱动信号输出单元，分别与所述上拉节点、所述下拉节点、所述时钟信号输入端和栅极驱动信号输出端连接。

[0009] 实施时，所述输入复位控制单元包括输入复位控制模块和下拉控制模块；

[0010] 所述输入复位控制模块，分别与所述输入端、所述复位端和所述上拉节点连接，用于在输入阶段通过由所述输入端输入的输入信号控制所述上拉节点的电位为第一电平，并在输出阶段控制自举拉升所述上拉节点的电位，在复位阶段控制所述上拉节点的电位为第二电平；

[0011] 所述下拉控制模块，与所述下拉节点连接，用于在正向扫描时在当由复位端输入的复位信号为第一电平时控制所述下拉节点的电位为第一电平。

[0012] 实施时，在正向扫描时，所述下拉控制模块包括：下拉控制晶体管，栅极与所述复位端连接，第一极与所述复位端连接，第二极与所述下拉节点连接；

[0013] 在反向扫描时，所述下拉控制模块包括：下拉控制晶体管，栅极与所述输入端连接，第一极与所述输入端连接，第二极与所述下拉节点连接。

- [0014] 实施时,当正向扫描时,所述输入复位控制模块包括:
- [0015] 输入晶体管,栅极与所述输入端连接,第一极与第一扫描控制端连接,第二极与所述上拉节点连接;
- [0016] 复位晶体管,栅极与所述复位端连接,第一极与所述上拉节点连接,第二极与所述第二扫描控制端连接;以及,
- [0017] 存储电容,连接于所述上拉节点和所述栅极驱动信号输出端之间;
- [0018] 所述第一扫描控制端接入第一电平,所述第二扫描控制端接入第二电平。
- [0019] 实施时,在反向扫描时,所述输入复位控制模块包括:
- [0020] 复位晶体管,栅极与所述复位端连接,第一极与第一扫描控制端连接,第二极与所述上拉节点连接;以及,
- [0021] 输入晶体管,栅极与所述输入端连接,第一极与所述上拉节点连接,第二极与所述第二扫描控制端连接;以及,
- [0022] 存储电容,连接于所述上拉节点和所述栅极驱动信号输出端之间;
- [0023] 所述第一扫描控制端接入第二电平,所述第二扫描控制端接入第一电平。
- [0024] 实施时,所述下拉节点控制单元包括:第一下拉节点控制晶体管,栅极与所述时钟信号输入端连接,第一极与所述时钟信号输入端连接,第二极与所述下拉节点连接;以及,
- [0025] 第二下拉节点控制晶体管,栅极与所述上拉节点连接,第一极与所述下拉节点连接,第二极与第二电平输出端连接;
- [0026] 所述第一下拉节点控制晶体管的宽长比和所述第二下拉节点控制晶体管的宽长比之间的比例在预定比例范围内,以使得当所述上拉节点的电位为第一电平时所述下拉节点的电位为第二电平。
- [0027] 实施时,所述上拉节点控制单元用于当所述下拉节点的电位为第一电平时控制所述上拉节点的电位为第二电平。
- [0028] 实施时,所述栅极驱动信号输出单元用于当所述上拉节点的电位为第一电平时控制所述栅极驱动信号输出端输出时钟信号,当所述下拉节点的电位为第一电平时控制所述栅极驱动信号输出端输出第二电平;
- [0029] 所述时钟信号由所述时钟信号输入端输入。
- [0030] 本发明还提供了一种移位寄存器单元的驱动方法,应用于上述的移位寄存器单元,所述驱动方法包括:在正向扫描时,
- [0031] 在每一显示周期的输入阶段,时钟信号为第二电平,由输入端接入的输入信号为第一电平,由复位端接入的复位信号为第二电平,输入复位控制单元控制所述上拉节点的电位为第一电平,下拉节点控制单元控制下拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出时钟信号;
- [0032] 在每一显示周期的输出阶段,时钟信号为第一电平,由输入端接入的输入信号为第二电平,由复位端接入的复位信号为第二电平,所述输入复位控制单元控制自举拉升所述上拉节点的电位,下拉节点控制单元控制下拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出时钟信号;
- [0033] 在每一显示周期的复位阶段,时钟信号为第二电平,由输入端接入的输入信号为第二电平,由复位端接入的复位信号为第一电平,输入复位控制单元控制下拉节点的电位

为第一电平,上拉节点控制单元控制上拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出第二电平;

[0034] 在每一显示周期的输出截止保持阶段,下拉节点控制单元控制所述下拉节点的电位与由所述时钟信号输入端输入的时钟信号的电位相同,当所述时钟信号为第一电平时上拉节点控制单元控制上拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出第二电平。

[0035] 本发明还提供了一种移位寄存器单元的驱动方法,应用于上述的移位寄存器单元,所述驱动方法包括:在反向扫描时,

[0036] 在每一显示周期的输入阶段,时钟信号为第二电平,由输入端接入的输入信号为第一电平,由复位端接入的复位信号为第二电平,输入复位控制单元控制所述上拉节点的电位为第一电平,下拉节点控制单元控制下拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出时钟信号;

[0037] 在每一显示周期的输出阶段,时钟信号为第一电平,由输入端接入的输入信号为第二电平,由复位端接入的复位信号为第二电平,所述输入复位控制单元控制自举拉升所述上拉节点的电位,下拉节点控制单元控制下拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出时钟信号;

[0038] 在每一显示周期的复位阶段,时钟信号为第二电平,由输入端接入的输入信号为第二电平,由复位端接入的复位信号为第一电平,输入复位控制单元控制上拉节点的电位为第二电平,下拉节点的电位维持为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出第二电平;

[0039] 在每一显示周期的输出截止保持阶段,下拉节点控制单元控制所述下拉节点的电位与由所述时钟信号输入端输入的时钟信号的电位相同,当所述时钟信号为第一电平时上拉节点控制单元控制上拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出第二电平。

[0040] 本发明还提供了一种栅极驱动电路,包括多级上述的移位寄存器单元。

[0041] 具体的,当正向扫描时,除了第一级移位寄存器单元之外,每一级移位寄存器单元的输入端都与相邻上一级移位寄存器单元的栅极驱动信号输出端连接;除了最后一级移位寄存器单元之外,每一级移位寄存器单元的复位端都与相邻下一级移位寄存器单元的栅极驱动信号输出端连接;所述第一扫描控制端接入第一电平,所述第二扫描控制端接入第二电平;

[0042] 当反向扫描时,除了最后一级移位寄存器单元之外,每一级移位寄存器单元的输入端都与相邻下一级移位寄存器单元的栅极驱动信号输出端连接;除了第一级移位寄存器单元之外,每一级移位寄存器单元的复位端都与相邻上一级移位寄存器单元的栅极驱动信号输出端连接;所述第一扫描控制端接入第二电平,所述第二扫描控制端接入第一电平。

[0043] 本发明还提供了一种显示装置,包括上述的栅极驱动电路。

[0044] 与现有技术相比,本发明所述的移位寄存器单元、驱动方法、栅极驱动电路和显示装置在能够实现双向扫描的同时减少了信号线和晶体管的个数,有利于实现窄边框双向扫描设计。

附图说明

- [0045] 图1是本发明实施例所述的移位寄存器单元的结构图；
- [0046] 图2是本发明另一实施例所述的移位寄存器单元的结构图；
- [0047] 图3是本发明又一实施例所述的移位寄存器单元的结构图；
- [0048] 图4是本发明再一实施例所述的移位寄存器单元的结构图；
- [0049] 图5是本发明另一实施例所述的移位寄存器单元的结构图；
- [0050] 图6是本发明又一实施例所述的移位寄存器单元的结构图；
- [0051] 图7是本发明再一实施例所述的移位寄存器单元的结构图；
- [0052] 图8是本发明又一实施例所述的移位寄存器单元的结构图；
- [0053] 图9是本发明再一实施例所述的移位寄存器单元的结构图；
- [0054] 图10是本发明所述的移位寄存器单元的第一具体实施例的电路图；
- [0055] 图11是本发明所述移位寄存器单元的第一具体实施例的时序图；
- [0056] 图12是本发明所述的移位寄存器单元的第二具体实施例的电路图；
- [0057] 图13是本发明所述移位寄存器单元的第二具体实施例的时序图；
- [0058] 图14是本发明实施例所述的栅极驱动电路的结构图；
- [0059] 图15是本发明另一实施例所述的栅极驱动电路的结构图。

具体实施方式

[0060] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0061] 本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本发明实施例中，为区分晶体管除栅极之外的两极，将其中第一极可以为源极或漏极，第二极可以为漏极或源极。此外，按照晶体管的特性区分可以将晶体管分为n型晶体管或p型晶体管。在本发明实施例提供的驱动电路中，所有晶体管均是以n型晶体管为例进行的说明，可以想到的是在采用p型晶体管实现时是本领域技术人员可在没有做出创造性劳动前提下轻易想到的，因此也是在本发明的实施例保护范围内的。

[0062] 如图1所示，本发明实施例所述的移位寄存器单元包括：

[0063] 输入复位控制单元11，分别与输入端Input、复位端Reset、第一扫描控制端FW、第二扫描控制端BW、上拉节点PU和下拉节点PD连接，用于在正向扫描时当由复位端输入的复位信号为第一电平时控制所述下拉节点PD的电位为第一电平；

[0064] 上拉节点控制单元12，分别与所述上拉节点PU和下拉节点PD连接；

[0065] 下拉节点控制单元13，分别与上拉节点PU、下拉节点PD和时钟信号输入端CLK连接，用于当所述上拉节点PU的电位为第一电平时控制所述下拉节点PD的电位为第二电平，当所述上拉节点PU的电位为第二电平时控制所述下拉节点PD的电位与由所述时钟信号输入端CLK输入的时钟信号的电位相同；以及，

[0066] 栅极驱动信号输出单元14，分别与所述上拉节点PU、所述下拉节点PD、所述时钟信

号输入端CLK和栅极驱动信号输出端Output连接。

[0067] 本发明实施例所述的移位寄存器单元通过采用输入复位控制单元1在正向扫描时在复位阶段(即当复位信号为第一电平时)控制所述下拉节点PD的电位为第一电平,通过下拉节点控制单元13复用时钟信号输入端CLK即可实现当所述上拉节点PU的电位为第二电平时控制所述下拉节点PD的电位与由所述时钟信号输入端CLK输入的时钟信号的电位相同,从而控制下拉节点的电位每间隔一个时钟周期即变为第一电平,从而在输出截止保持阶段实现对栅极驱动信号和上拉节点的电位的下拉,通过输入复位控制单元11的信号线连接关系以及接入电平的变化能够控制正向扫描或反相扫描,本发明实施例所述的移位寄存器单元在反向扫描时的具体工作过程将在后续详细介绍。

[0068] 与现有的双向扫描移位寄存器单元相比,本发明实施例所述的移位寄存器单元在能够实现双向扫描的同时减少了信号线和晶体管的个数,有利于实现窄边框双向扫描设计。

[0069] 具体的,如图2所示,所述输入复位控制单元11可以包括输入复位控制模块111和下拉控制模块112;

[0070] 所述输入复位控制模块111,分别与所述输入端Input、所述复位端Reset和所述上拉节点PU连接,用于在输入阶段通过由所述输入端Input输入的输入信号控制所述上拉节点PU的电位为第一电平,并在输出阶段控制自举拉升所述上拉节点PU的电位,在复位阶段控制所述上拉节点PU的电位为第二电平;

[0071] 所述下拉控制模块112,与所述下拉节点PD连接,用于在正向扫描时在当由复位端Reset输入的复位信号为第一电平时控制所述下拉节点PD的电位为第一电平。

[0072] 在图2所示的实施例中,在正向扫描时,所述下拉控制模块112与复位端Reset连接,在反向扫描时,所述下拉控制模块112与输入端Input连接,因此在图2中未示出下拉控制模块112与复位端Reset或输入端Input之间的连接关系。

[0073] 具体的,在正向扫描时,如图3所示,所述下拉控制模块112可以包括:下拉控制晶体管MDC,栅极与所述复位端Reset连接,第一极与所述复位端Reset连接,第二极与所述下拉节点PD连接。

[0074] 具体的,在反向扫描时,如图4所示,所述下拉控制模块112可以包括:下拉控制晶体管MDC,栅极与所述输入端Input连接,第一极与所述输入端Input连接,第二极与所述下拉节点PD连接。

[0075] 在图3和图4中,MDC为n型晶体管,在实际操作时MDC也可以为p型晶体管,对MDC的类型不作限定。

[0076] 在正向扫描时,当由Reset输入的复位信号为高电平时(即第一电平),MDC导通,从而将PD的电位上拉为高电平(第一电平)。

[0077] 在本发明如图3所示的移位寄存器单元的实施例中,下拉节点模块仅包括一个下拉控制晶体管MDC即可实现在正向扫描时在复位阶段对PD的电位的上拉操作,减少了晶体管的数目,有利于实现窄边框。

[0078] 具体的,如图5所示,所述下拉节点控制单元13可以包括:

[0079] 第一下拉节点控制晶体管MD1,栅极与所述时钟信号输入端CLK连接,第一极与所述时钟信号输入端CLK连接,第二极与所述下拉节点PD连接;以及,

[0080] 第二下拉节点控制晶体管MD2，栅极与所述上拉节点PU连接，第一极与所述下拉节点PD连接，第二极与第二电平输出端V2连接；

[0081] 所述第一下拉节点控制晶体管MD1的宽长比和所述第二下拉节点控制晶体管的宽长比MD2之间的比例在预定比例范围内，以使得当所述上拉节点PU的电位为第一电平时所述下拉节点PD的电位为第二电平。

[0082] 在图5中，MD1和MD2都为n型晶体管，此时第二电平可以为低电平，但是实际操作时，MD1和/或MD2也可以为被替换为p型晶体管，在此对MD1的类型和MD2的类型不作限定。

[0083] 本发明如图5所示的移位寄存器单元的实施例在工作时，当PU的电位为高电平(即第一电平)时，通过设计MD1的宽长比和MD2的宽长比的比例，以使得MD1和MD2控制PD的电位为低电平(即第二电平)，当PU的电位为低电平时，当由CLK输入的时钟信号为高电平(即第一电平)时，MD1导通，从而将PD的电位拉高为高电平(第一电平)，从而能够对栅极驱动信号和上拉节点的电位进行下拉。

[0084] 本发明如图5所示的移位寄存器单元复用时钟信号输入端CLK来控制在输出截止保持阶段每隔一个时钟周期将PD的电位上拉，以不断对栅极驱动信号和上拉节点的电位进行放噪。

[0085] 具体的，所述上拉节点控制单元用于当所述下拉节点的电位为第一电平时控制所述上拉节点的电位为第二电平。

[0086] 如图6所示，所述上拉节点控制单元12包括：

[0087] 上拉节点控制晶体管MU，栅极与所述下拉节点PD连接，第一极与所述上拉节点PU连接，第二极与第二电平输出端V2连接。

[0088] 在图6中，MU为n型晶体管，第二电平可以为低电平，在实际操作时MU也可以为p型晶体管，对MU的类型不作限定。

[0089] 本发明如图6所示的移位寄存器单元的实施例在工作时，当PD的电位为高电平(即第一电平)时，MU导通，从而PU的电位为低电平，通过设置上拉节点控制晶体管PU可以保证当PD的电位为高电平时控制下拉PU的电位。具体的，所述栅极驱动信号输出单元14用于当所述上拉节点PU的电位为第一电平时控制所述栅极驱动信号输出端Output输出时钟信号，当所述下拉节点PD的电位为第一电平时控制所述栅极驱动信号输出端Output输出第二电平；

[0090] 所述时钟信号由所述时钟信号输入端CLK输入。

[0091] 在实际操作时，如图7所示，所述栅极驱动信号输出单元14包括：

[0092] 第一输出晶体管M01，栅极与所述上拉节点PU连接，第一极与所述时钟信号输入端CLK连接，第二极与所述栅极驱动信号输出端Output连接；以及，

[0093] 第二输出晶体管M02，栅极与所述下拉节点PD连接，第一极与所述栅极驱动信号输出端Output连接，第二极与第二电平输出端V2连接。

[0094] 在图7中，M01和M02都为n型晶体管，此时第二电平可以为低电平，但是实际操作时，M01和/或M02也可以为被替换为p型晶体管，在此对M01的类型和M02的类型不作限定。

[0095] 本发明如图7所示的移位寄存器单元的具体实施例在工作时，当PU的电位为高电平(即第一电平)时，M01导通，Output输出由CLK输入的时钟信号，当PD的电位为高电平(即第一电平时)，M02导通，Output输出第二电平(即低电平)。

[0096] 在图5、图6、图7所示的实施例中,由于在正向扫描时,所述下拉控制模块112与复位端Reset连接,在反向扫描时,所述下拉控制模块112与输入端Input连接,因此在图5、图6、图7中未示出下拉控制模块112与复位端Reset或输入端Input之间的连接关系。在实际操作时,所述输入复位控制模块111用于在输入阶段通过由所述输入端Input输入的输入信号控制所述上拉节点PU的电位为第一电平,并在输出阶段控制自举拉升所述上拉节点PU的电位,在复位阶段控制所述上拉节点PU的电位为第二电平。

[0097] 具体的,如图8所示,当正向扫描时,所述输入复位控制模块111包括:

[0098] 输入晶体管MI,栅极与所述输入端Input连接,第一极与第一扫描控制端FW连接,第二极与所述上拉节点PU连接;

[0099] 复位晶体管MR,栅极与所述复位端Reset连接,第一极与所述上拉节点PU连接,第二极与所述第二扫描控制端BW连接;以及,

[0100] 存储电容(图8中未示出,将在下面的对应于具体实施例的附图中绘制),连接于所述上拉节点PU和所述栅极驱动信号输出端Output之间;

[0101] 所述第一扫描控制端FW接入第一电平,所述第二扫描控制端BW接入第二电平。

[0102] 在具体实施时,在如图8所示的移位寄存器单元的实施例在正向扫描时,Input与相邻上一级移位寄存器单元的栅极驱动信号输出端连接,Reset与相邻下一级移位寄存器单元的栅极驱动信号输出端连接,在输入阶段,由Input输入的输入信号为高电平(即第一电平),MI导通,由于FW接入第一电平(即高电平),则PU的电位在输入阶段被上拉为高电平,在复位阶段,由Reset输入的复位信号为高电平(即第一电平),MO导通,由于BW接入第二电平(即低电平),从而在复位阶段将PD的电位下拉为低电平。

[0103] 具体的,在反向扫描时,如图9所示,所述输入复位控制模块111包括:

[0104] 复位晶体管MR,栅极与所述复位端Reset连接,第一极与第一扫描控制端FW连接,第二极与所述上拉节点PU连接;

[0105] 输入晶体管MI,栅极与所述输入端Input连接,第一极与所述上拉节点PU连接,第二极与所述第二扫描控制端BW连接;以及,

[0106] 存储电容(图7中未示出,将在下面的对应于具体实施例的附图中绘制),连接于所述上拉节点PU和所述栅极驱动信号输出端Output之间;

[0107] 所述第一扫描控制端FW接入第二电平,所述第二扫描控制端BW接入第一电平。

[0108] 在具体实施时,在如图9所示的移位寄存器单元的实施例在反向扫描时,Input与相邻下一级移位寄存器单元的栅极驱动信号输出端连接,Reset与相邻上一级移位寄存器单元的栅极驱动信号输出端连接,在输入阶段,由Input输入的输入信号为高电平(即第一电平),MI导通,由于BW接入第一电平(即高电平),则PU的电位在输入阶段被上拉为高电平,在复位阶段,由Reset输入的复位信号为高电平(即第一电平),MO导通,由于FW接入第二电平(即低电平),从而在复位阶段将PD的电位下拉为低电平。

[0109] 在本发明所述的移位寄存器单元的实施例中,都是以晶体管为n型晶体管,第一电平为高电平,第二电平为低电平为例的,但是实际操作时,上述晶体管也可以为p型晶体管,第一电平也可以为低电平,第二电平也可以为高电平,并不对晶体管的类型以及第一电平和第二电平的取值作限定。

[0110] 下面通过两个具体实施例来说明本发明所述的移位寄存器单元。

- [0111] 如图10所示，本发明所述的移位寄存器单元的第一具体实施例包括输入复位控制单元、上拉节点控制单元、下拉节点控制单元和栅极驱动信号输出单元；
- [0112] 所述输入复位控制单元包括输入复位控制模块和下拉控制模块；
- [0113] 本发明所述的移位寄存器单元的第一具体实施例应用于正向扫描的栅极驱动电路；
- [0114] 所述下拉控制模块包括：下拉控制晶体管MDC，栅极与所述复位端Reset连接，漏极与所述复位端Reset连接，源极与所述下拉节点PD连接；
- [0115] 所述下拉节点控制单元包括：
- [0116] 第一下拉节点控制晶体管MD1，栅极与所述时钟信号输入端CLK连接，漏极与所述时钟信号输入端CLK连接，源极与所述下拉节点PD连接；以及，
- [0117] 第二下拉节点控制晶体管MD2，栅极与所述上拉节点PU连接，漏极与所述下拉节点PD连接，源极接入低电平VGL；
- [0118] 所述上拉节点控制单元包括：
- [0119] 上拉节点控制晶体管MU，栅极与所述下拉节点PD连接，漏极与所述上拉节点PU连接，第二极接入低电平VGL；
- [0120] 所述栅极驱动信号输出单元包括：
- [0121] 第一输出晶体管M01，栅极与所述上拉节点PU连接，漏极与所述时钟信号输入端CLK连接，源极与所述栅极驱动信号输出端Output连接；以及，
- [0122] 第二输出晶体管M02，栅极与所述下拉节点PD连接，漏极与所述栅极驱动信号输出端Output连接，源极接入低电平VGL；
- [0123] 所述输入复位控制模块包括：
- [0124] 输入晶体管MI，栅极与所述输入端Input连接，漏极与第一扫描控制端FW连接，源极与所述上拉节点PU连接；
- [0125] 复位晶体管MR，栅极与所述复位端Reset连接，漏极与所述上拉节点PU连接，源极与所述第二扫描控制端BW连接；以及，
- [0126] 存储电容C1，连接于所述上拉节点PU和所述栅极驱动信号输出端Output之间；
- [0127] Input与相邻上一级移位寄存器单元的栅极驱动信号输出端连接，Reset与相邻下一级移位寄存器单元的栅极驱动信号输出端连接；
- [0128] 在正向扫描时，接入第一扫描控制端FW的第一扫描控制信号为高电平信号，接入第二扫描控制端BW的第二扫描控制信号为低电平信号。
- [0129] 所述第一下拉节点控制晶体管MD1的宽长比和所述第二下拉节点控制晶体管的宽长比MD2之间的比例在预定比例范围内，以使得当所述上拉节点PU的电位为高电平时所述下拉节点PD的电位为低电平。
- [0130] 如图11所示，本发明如图10所示的移位寄存器单元的具体实施例在工作时，在正向扫描时，
- [0131] 在每一显示周期的输入阶段T1，由Input输入高电平信号，使得MI导通；此时由CLK输入的时钟信号为低电平，由输入端输入的高电平信号对C1电容进行充电，使得上拉节点PU的电位被拉高，同时M01和MD2打开，PD的电位为低电平，Output输出时钟信号，由于此时时钟信号为低电平，因此Output输出低电平；

[0132] 在每一显示周期的输出阶段T2,由Input输入的输入信号为低电平,MI关断,上拉节点PU的电位由于C1的自举效应而被自举拉升,M01保持开启状态,此时由CLK输入的时钟信号为高电平,因此Output输出高电平;并通过设计MD1的宽长比和MD2的宽长比的比例以使得此时PD的电位为低电平,从而M03和MU继续关断,保证栅极驱动信号的稳定性输出;

[0133] 在每一显示周期的复位阶段T3,由Reset输入的复位信号为高电平,由Reset输入的高电平信号导通MDC和MR,此时PD的电位为高电平,同时打开MU和M02,使其对上拉节点PU和栅极驱动信号输出端Output进行传输关断信号,关断M01,使得Output输出低电平VGL;

[0134] 在每一显示周期的输出截止保持阶段T4,在下一帧信号来之前,PD的电位与由CLK输入的时钟信号保持一致,当由CLK输入的时钟信号为高电平时,MU和M02导通,对PU及Output进行放噪,使得由时钟信号产生的耦合(Coupling)噪声电压得以消除,从而保证低压输出,保证栅极驱动信号输出的稳定性。

[0135] 如图12所述,本发明所述的移位寄存器单元的第二具体实施例包括输入复位控制单元、上拉节点控制单元、下拉节点控制单元和栅极驱动信号输出单元;所述输入复位控制单元包括输入复位控制模块和下拉控制模块;

[0136] 本发明所述的移位寄存器单元的第二具体实施例应用于反向扫描的栅极驱动电路;

[0137] 所述下拉控制模块包括:下拉控制晶体管MDC,栅极与所述输入端Input连接,漏极与所述复位端Input连接,源极与所述下拉节点PD连接;

[0138] 所述第二下拉节点控制单元包括:

[0139] 第一下拉节点控制晶体管MD1,栅极与所述时钟信号输入端CLK连接,漏极与所述时钟信号输入端CLK连接,源极与所述下拉节点PD连接;以及,

[0140] 第二下拉节点控制晶体管MD2,栅极与所述上拉节点PU连接,漏极与所述下拉节点PD连接,源极接入低电平VGL;

[0141] 所述上拉节点控制单元包括:

[0142] 上拉节点控制晶体管MU,栅极与所述下拉节点PD连接,漏极与所述上拉节点PU连接,第二极接入低电平VGL;

[0143] 所述栅极驱动信号输出单元包括:

[0144] 第一输出晶体管M01,栅极与所述上拉节点PU连接,漏极与所述时钟信号输入端CLK连接,源极与所述栅极驱动信号输出端Output连接;以及,

[0145] 第二输出晶体管M02,栅极与所述下拉节点PD连接,漏极与所述栅极驱动信号输出端Output连接,源极接入低电平VGL;

[0146] 所述输入复位控制单元包括:

[0147] 复位晶体管MR,栅极与所述复位端Reset连接,漏极与第一扫描控制端FW连接,源极与所述上拉节点PU连接;

[0148] 输入晶体管MI,栅极与所述输入端Input连接,漏极与所述上拉节点PU连接,源极与所述第二扫描控制端BW连接;以及,

[0149] 存储电容C1,连接于所述上拉节点PU和所述栅极驱动信号输出端Output之间;

[0150] Input与相邻下一级移位寄存器单元的栅极驱动信号输出端连接,Reset与相邻上一级移位寄存器单元的栅极驱动信号输出端连接;

[0151] 在反向扫描时,接入第一扫描控制端FW的第一扫描控制信号为低电平信号,接入第二扫描控制端BW的第二扫描控制信号为高电平信号。

[0152] 所述第一下拉节点控制晶体管MD1的宽长比和所述第二下拉节点控制晶体管的宽长比MD2之间的比例在预定比例范围内,以使得当所述上拉节点PU的电位为高电平时所述下拉节点PD的电位为低电平。

[0153] 如图13所示,本发明如图12所示的移位寄存器单元的第二具体实施例在工作时,在反向扫描时,

[0154] 在每一显示周期的输入阶段T1,由Input输入高电平信号,使得M1导通;此时由CLK输入的时钟信号为低电平,由输入端输入的高电平信号对C1电容进行充电,使得上拉节点PU的电位被拉高,同时M01和MD2打开,PD的电位为低电平,Output输出时钟信号,由于此时时钟信号为低电平,因此Output输出低电平,并由于此时PD的电位为低电平,因此M02和MU都关断,从而保证栅极驱动信号的稳定输出;

[0155] 在每一显示周期的输出阶段T2,由Input输入的输入信号为低电平,M1关断,上拉节点PU的电位由于C1的自举效应而被自举拉升,M01保持开启状态,此时由CLK输入的时钟信号为高电平,因此Output输出高电平;并通过设计MD1的宽长比和MD2的宽长比的比例以使得此时PD的电位为低电平,从而M03和MU继续关断,保证栅极驱动信号的稳定性输出;

[0156] 在每一显示周期的复位阶段T3,由Reset输入的复位信号为高电平,由Reset输入的高电平信号导通MR,此时PU的电位和PD的电位都为低电平,,M01关断,没有信号被传输至Output,则使得Output输出低电平VGL;

[0157] 在每一显示周期的输出截止保持阶段T4,在下一帧信号来之前,PD的电位与由CLK输入的时钟信号保持一致,当由CLK输入的时钟信号为高电平时,MU和M02导通,对PU及Output进行放噪,使得由时钟信号产生的耦合(Coupling)噪声电压得以消除,从而保证低压输出,保证栅极驱动信号输出的稳定性。

[0158] 本发明还提供了一种移位寄存器单元的驱动方法,应用于上述的移位寄存器单元,所述驱动方法包括:在正向扫描时,

[0159] 在每一显示周期的输入阶段,时钟信号为第二电平,由输入端接入的输入信号为第一电平,由复位端接入的复位信号为第二电平,输入复位控制单元控制所述上拉节点的电位为第一电平,第二下拉节点控制单元控制下拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出时钟信号;

[0160] 在每一显示周期的输出阶段,时钟信号为第一电平,由输入端接入的输入信号为第二电平,由复位端接入的复位信号为第二电平,所述输入复位控制单元控制自举拉升所述上拉节点的电位,第二下拉节点控制单元控制下拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出时钟信号;

[0161] 在每一显示周期的复位阶段,时钟信号为第二电平,由输入端接入的输入信号为第二电平,由复位端接入的复位信号为第一电平,第一下拉节点控制单元控制下拉节点的电位为第一电平,上拉节点控制单元控制上拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出第二电平;

[0162] 在每一显示周期的输出截止保持阶段,第二下拉节点控制单元控制所述下拉节点的电位与由所述时钟信号输入端输入的时钟信号的电位相同,当所述时钟信号为第一电平

时上拉节点控制单元控制上拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出第二电平。

[0163] 本发明实施例所述的移位寄存器单元的驱动方法,应用于上述的移位寄存器单元,所述驱动方法包括:在反向扫描时,

[0164] 在每一显示周期的输入阶段,时钟信号为第二电平,由输入端接入的输入信号为第一电平,由复位端接入的复位信号为第二电平,输入复位控制单元控制所述上拉节点的电位为第一电平,下拉节点控制单元控制下拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出时钟信号;

[0165] 在每一显示周期的输出阶段,时钟信号为第一电平,由输入端接入的输入信号为第二电平,由复位端接入的复位信号为第二电平,所述输入复位控制单元控制自举拉升所述上拉节点的电位,下拉节点控制单元控制下拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出时钟信号;

[0166] 在每一显示周期的复位阶段,时钟信号为第二电平,由输入端接入的输入信号为第二电平,由复位端接入的复位信号为第一电平,输入复位控制单元控制上拉节点的电位为第二电平,下拉节点的电位维持为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出第二电平;

[0167] 在每一显示周期的输出截止保持阶段,下拉节点控制单元控制所述下拉节点的电位与由所述时钟信号输入端输入的时钟信号的电位相同,当所述时钟信号为第一电平时上拉节点控制单元控制上拉节点的电位为第二电平,栅极驱动信号输出单元控制栅极驱动信号输出端输出第二电平。

[0168] 本发明实施例所述的栅极驱动电路包括多级上述的移位寄存器单元。

[0169] 具体的,当正向扫描时,除了第一级移位寄存器单元之外,每一级移位寄存器单元的输入端都与相邻上一级移位寄存器单元的栅极驱动信号输出端连接;除了最后一级移位寄存器单元之外,每一级移位寄存器单元的复位端都与相邻下一级移位寄存器单元的栅极驱动信号输出端连接;所述第一扫描控制端接入第一电平,所述第二扫描控制端接入第二电平;

[0170] 当反向扫描时,除了最后一级移位寄存器单元之外,每一级移位寄存器单元的输入端都与相邻下一级移位寄存器单元的栅极驱动信号输出端连接;除了第一级移位寄存器单元之外,每一级移位寄存器单元的复位端都与相邻上一级移位寄存器单元的栅极驱动信号输出端连接;所述第一扫描控制端接入第二电平,所述第二扫描控制端接入第一电平。

[0171] 本发明实施例所述的显示装置包括上述的栅极驱动电路。

[0172] 如图14所示,本发明实施例所述的栅极驱动电路包括多级上述的移位寄存器单元;

[0173] 当正向扫描时,除了第一级移位寄存器单元S1之外,每一级移位寄存器单元的输入端Input都与相邻上一级移位寄存器单元的栅极驱动信号输出端Output连接;

[0174] 除了最后一级移位寄存器单元(图14中未示出)之外,每一级移位寄存器单元的复位端Reset都与相邻下一级移位寄存器单元的栅极驱动信号输出端Output连接;

[0175] 第一级移位寄存器单元S1的输入端Input接入起始信号STV;

[0176] 并每一级移位寄存器单元都与时钟信号输入端CLK和低电平输出端VGL连接。

[0177] 在图14中,标示为S2、S3、S4、S5的分别为第二级移位寄存器单元、第三级移位寄存器单元、第四级移位寄存器单元、第五级移位寄存器单元。

[0178] 如图15所示,本发明实施例所述的栅极驱动电路包括多级上述的移位寄存器单元;

[0179] 当反向扫描时,除了最后一级移位寄存器单元(图15中未示出)之外,每一级移位寄存器单元的输入端Input都与相邻下一级移位寄存器单元的栅极驱动信号输出端Output连接;

[0180] 除了第一级移位寄存器单元S1之外,每一级移位寄存器单元的复位端Reset都与相邻上一级移位寄存器单元的栅极驱动信号输出端Output连接;

[0181] 并每一级移位寄存器单元都与时钟信号输入端CLK和低电平输出端VGL连接。

[0182] 在图15中,标示为S2、S3、S4、S5的分别为第二级移位寄存器单元、第三级移位寄存器单元、第四级移位寄存器单元、第五级移位寄存器单元。

[0183] 由图14和图15可知,本发明实施例所述的栅极驱动电路采用的信号线个数少,有利于实现窄边框双向扫描设计。

[0184] 以上所述是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明所述原理的前提下,还可以作出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

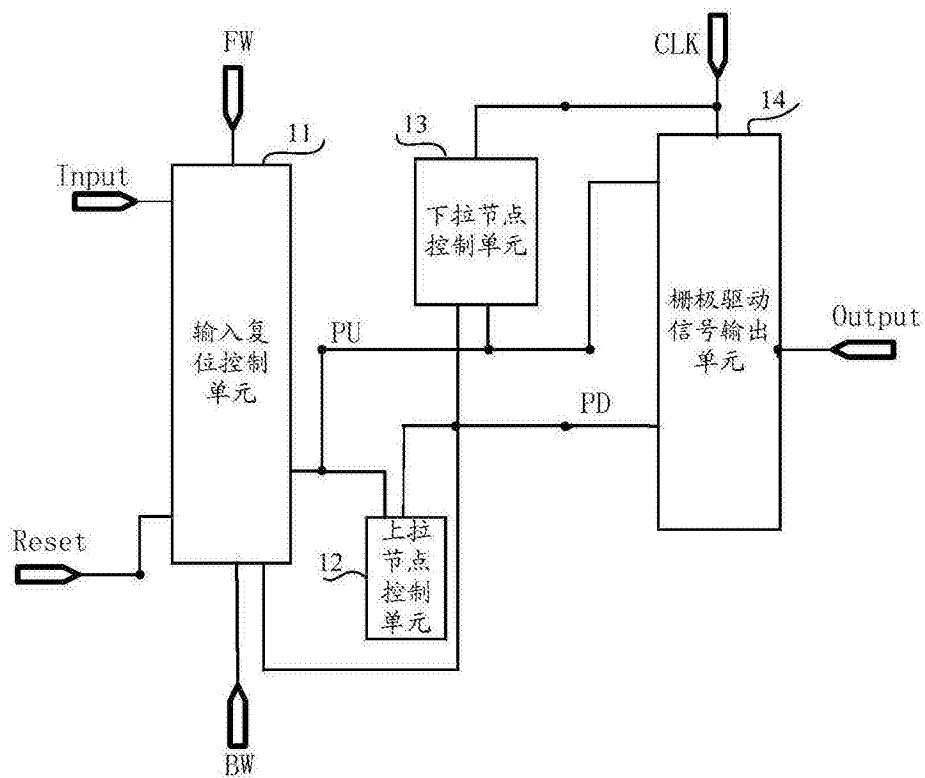


图1

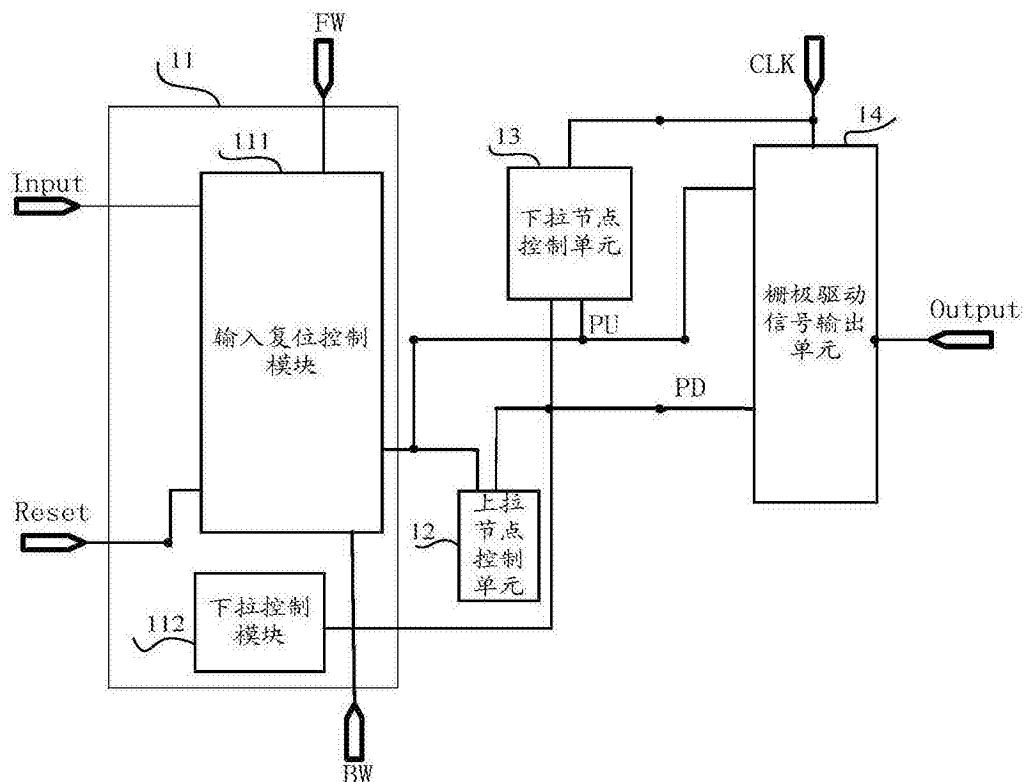


图2

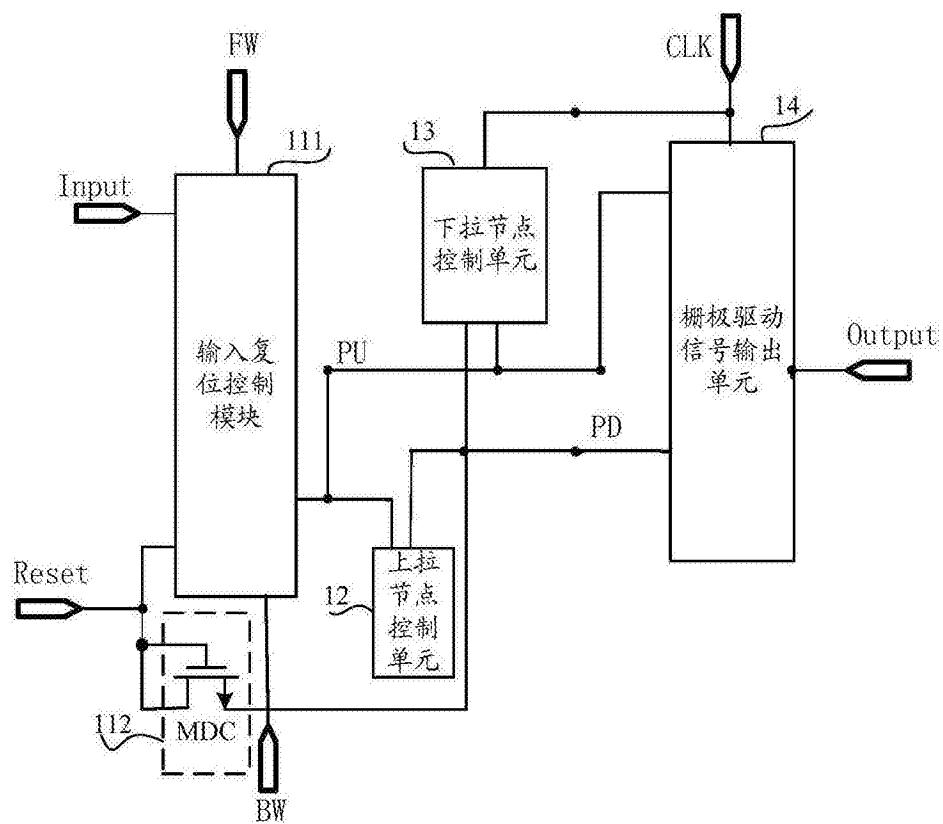


图3

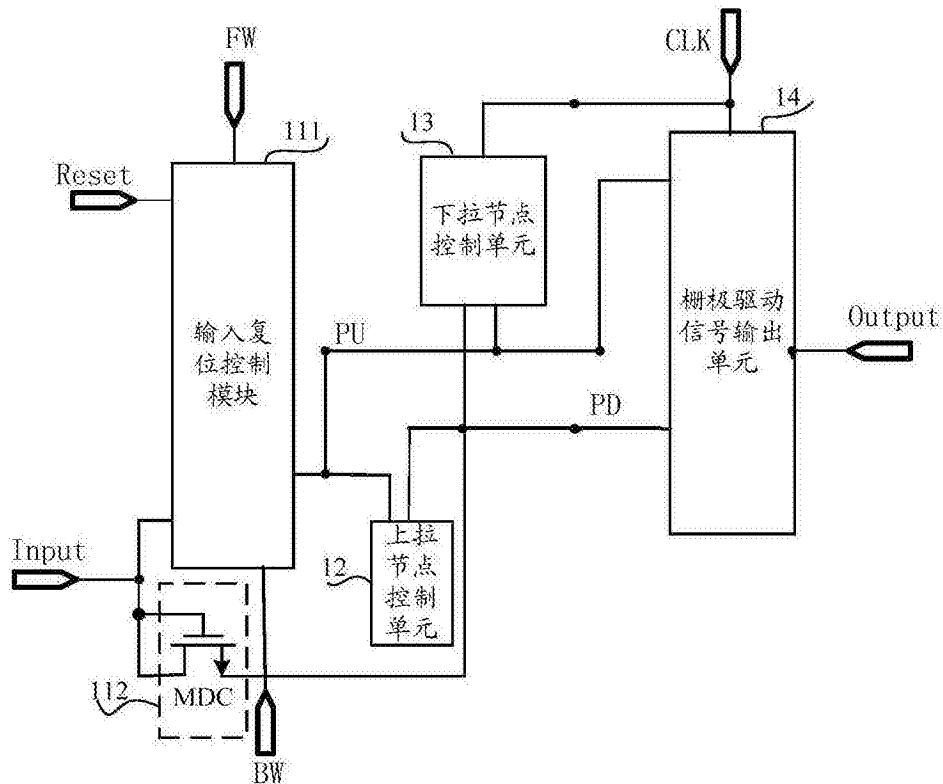


图4

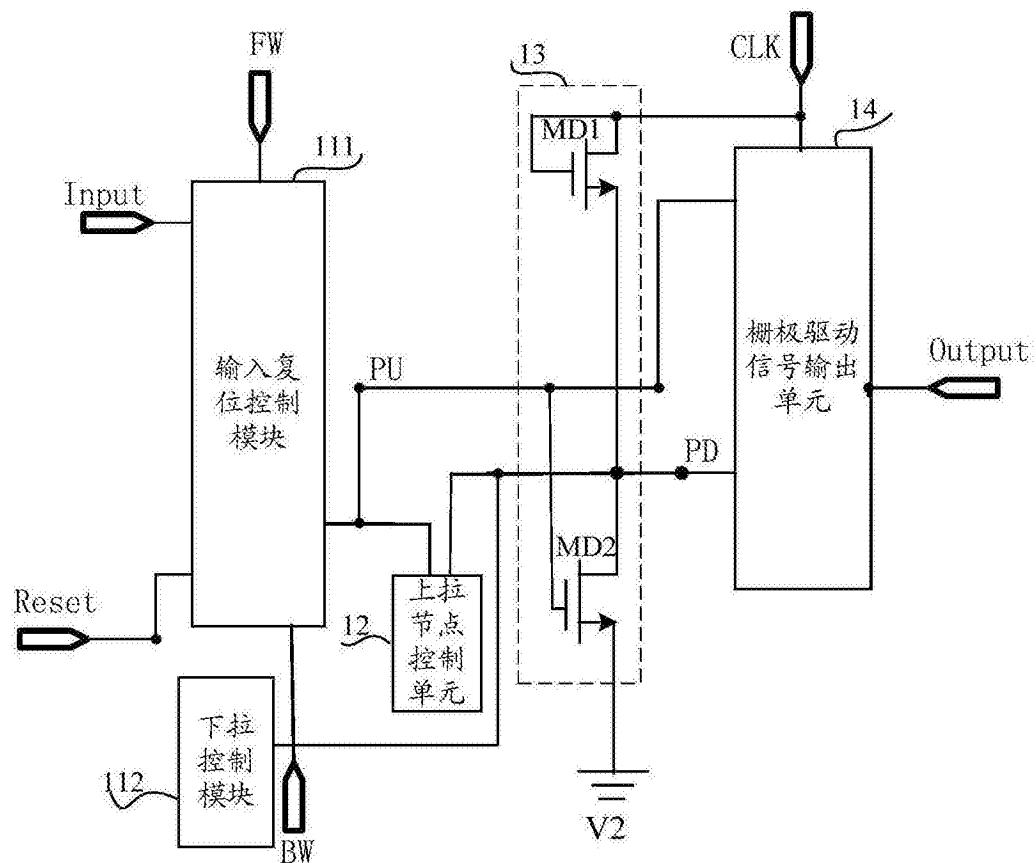


图5

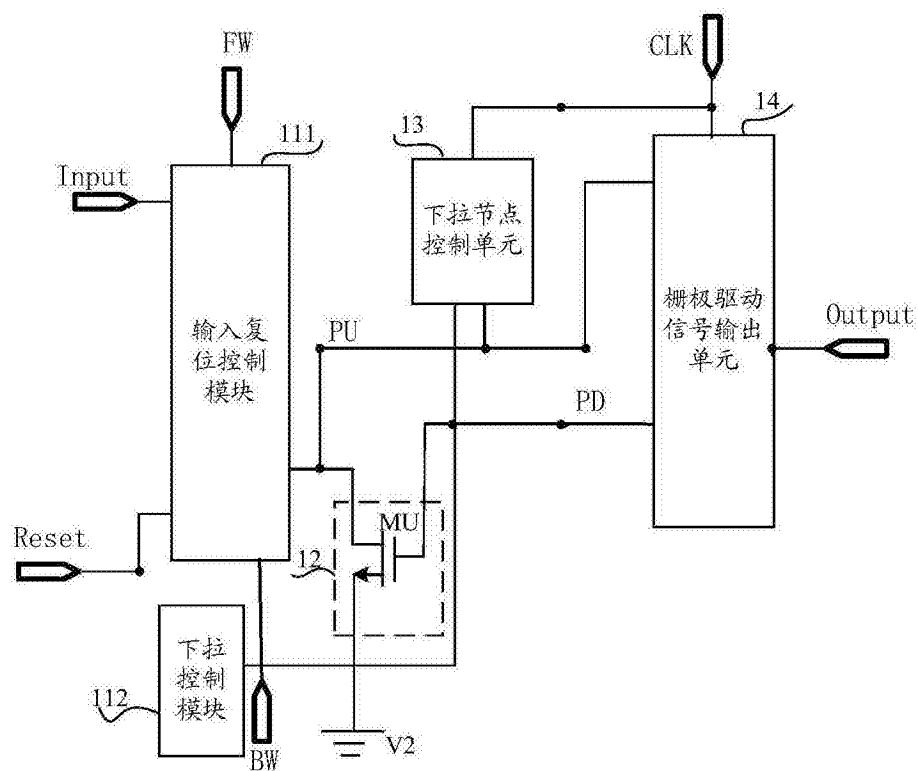


图6

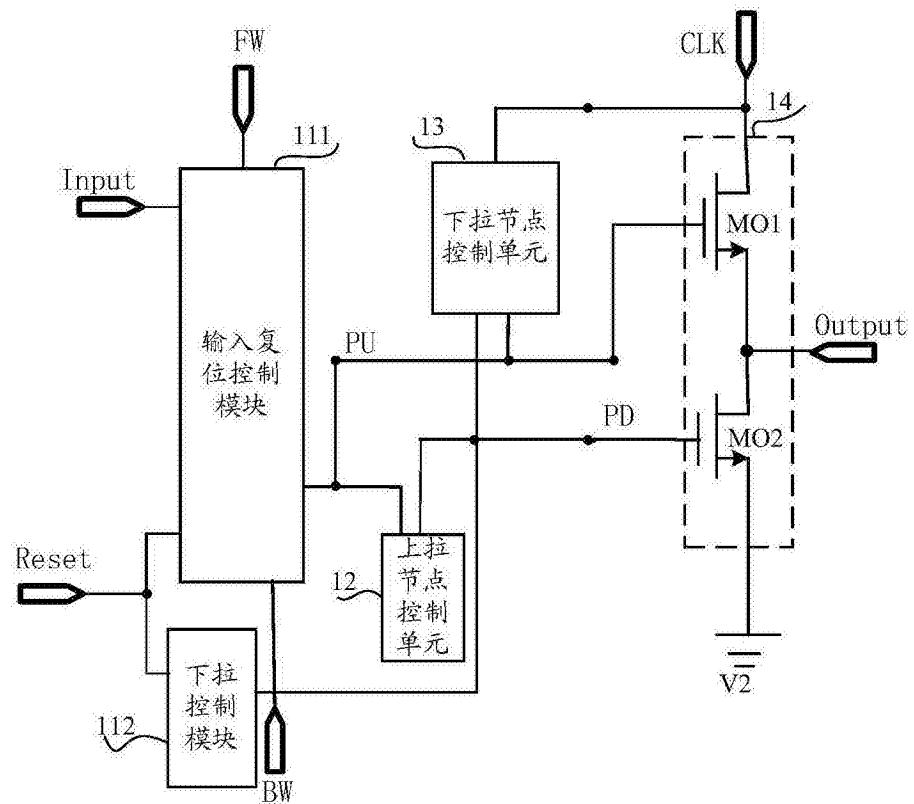


图7

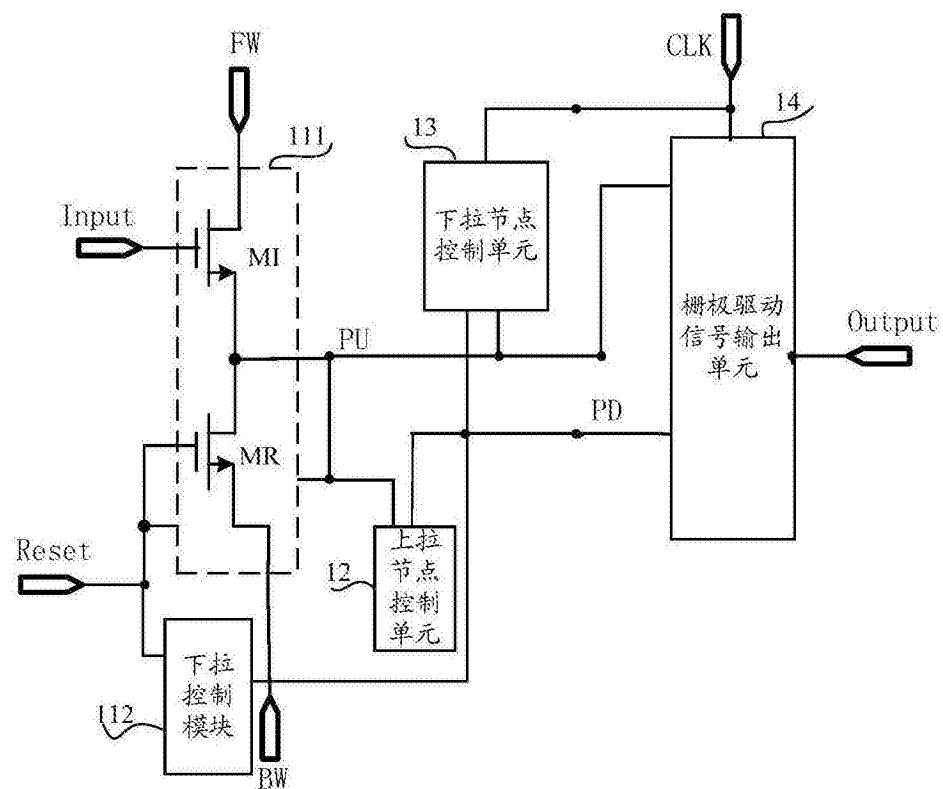


图8

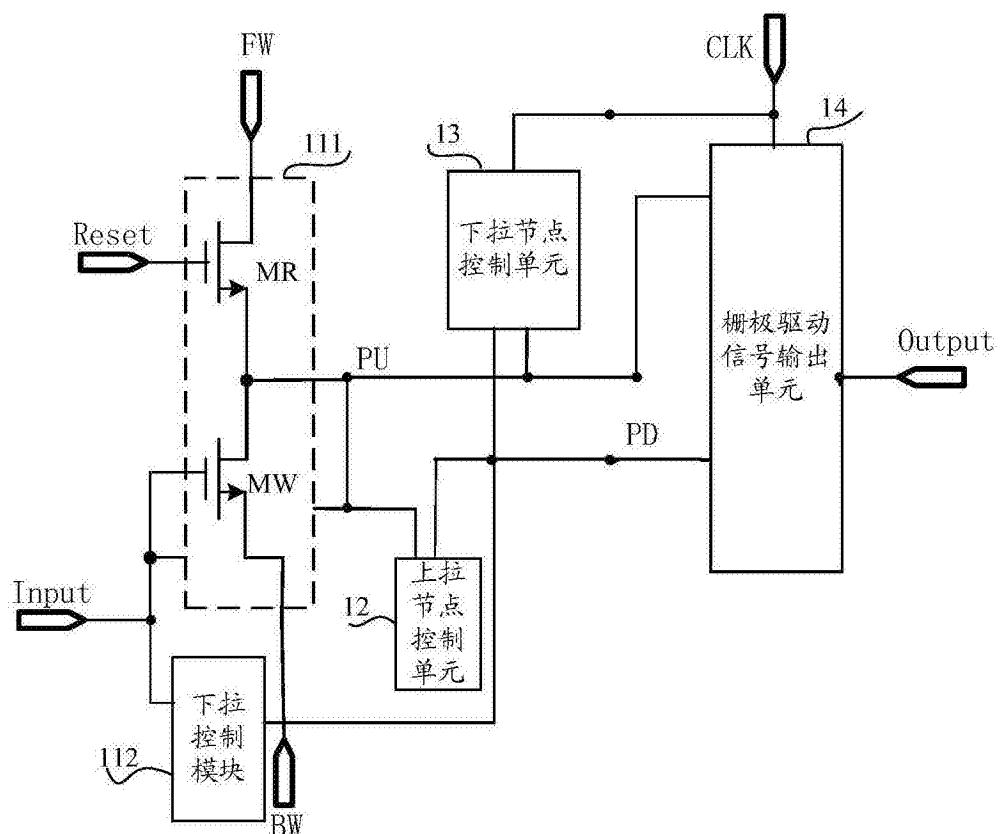


图9

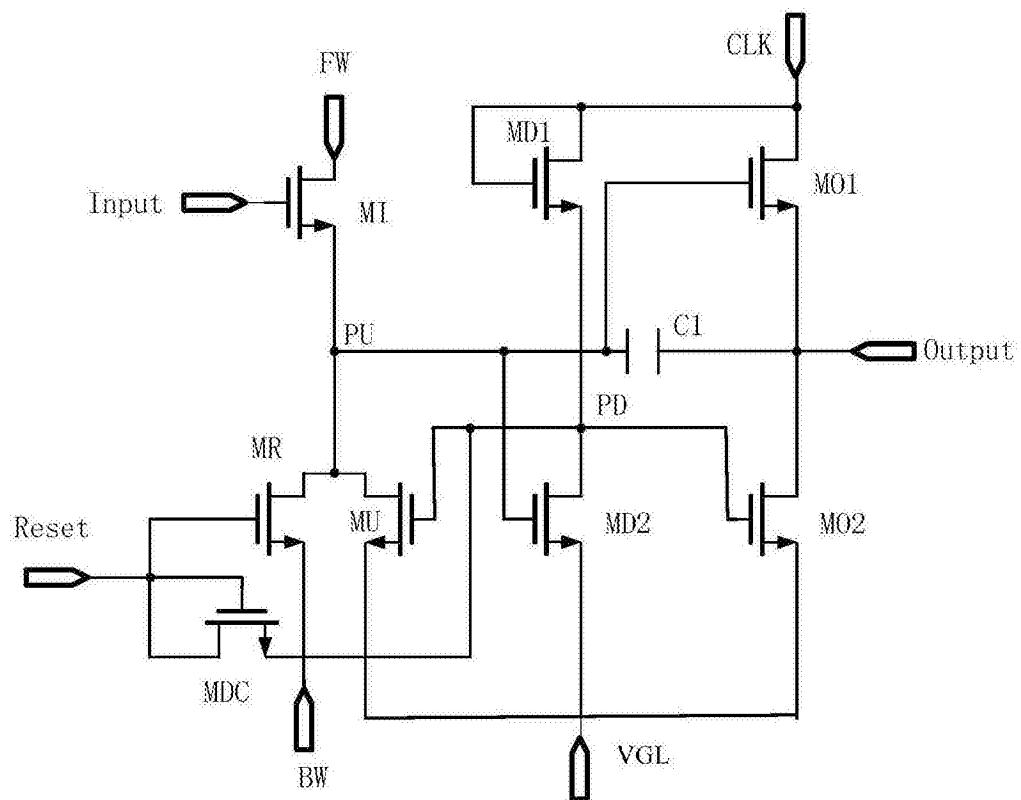


图10

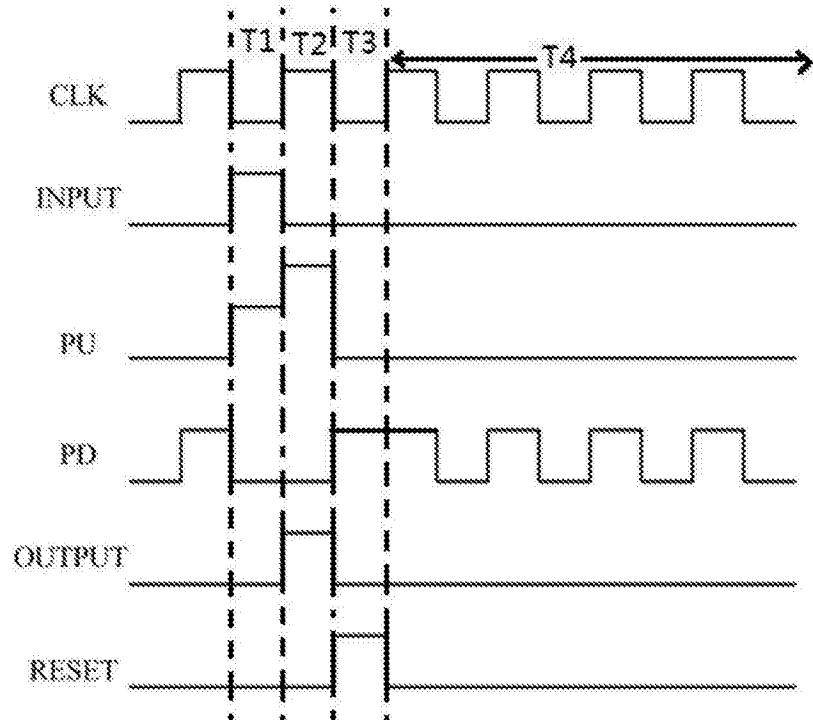


图11

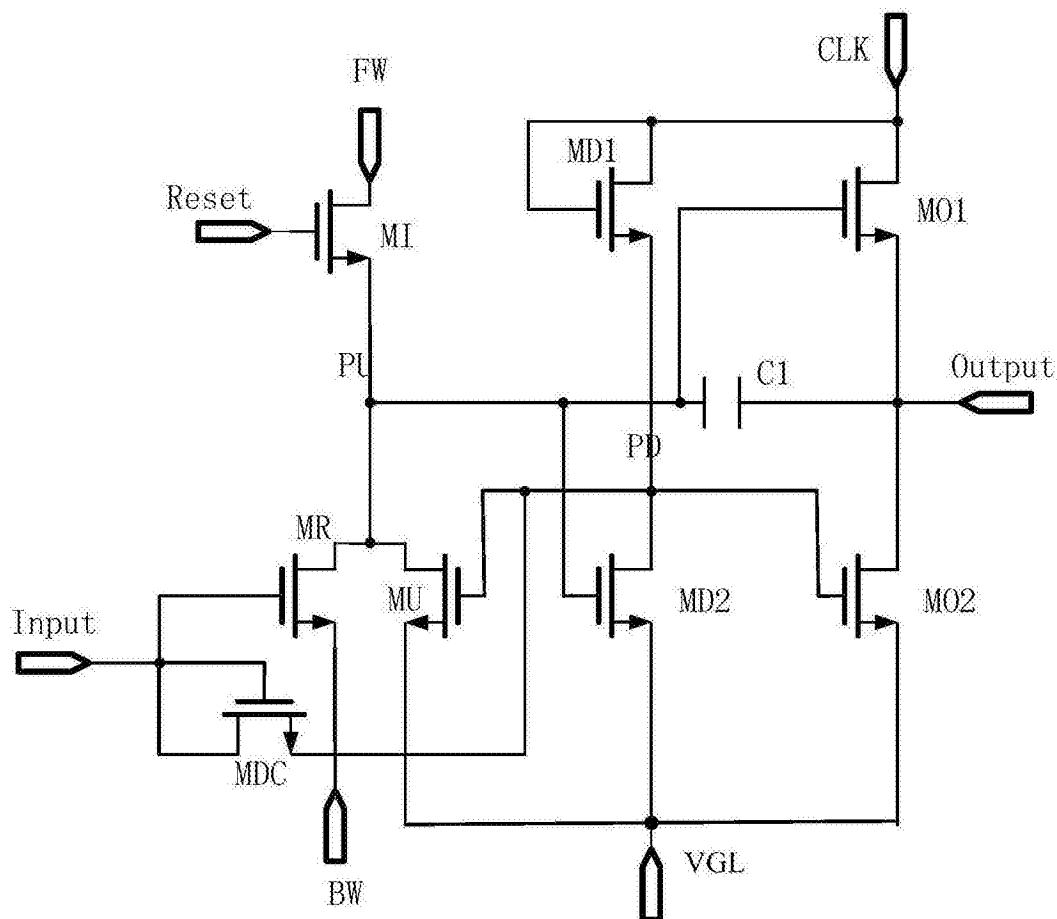


图12

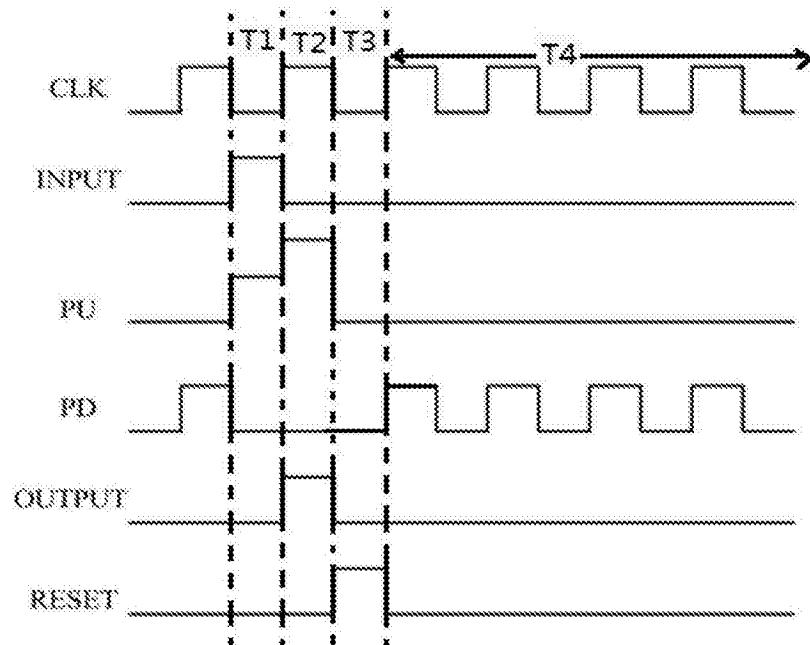


图13

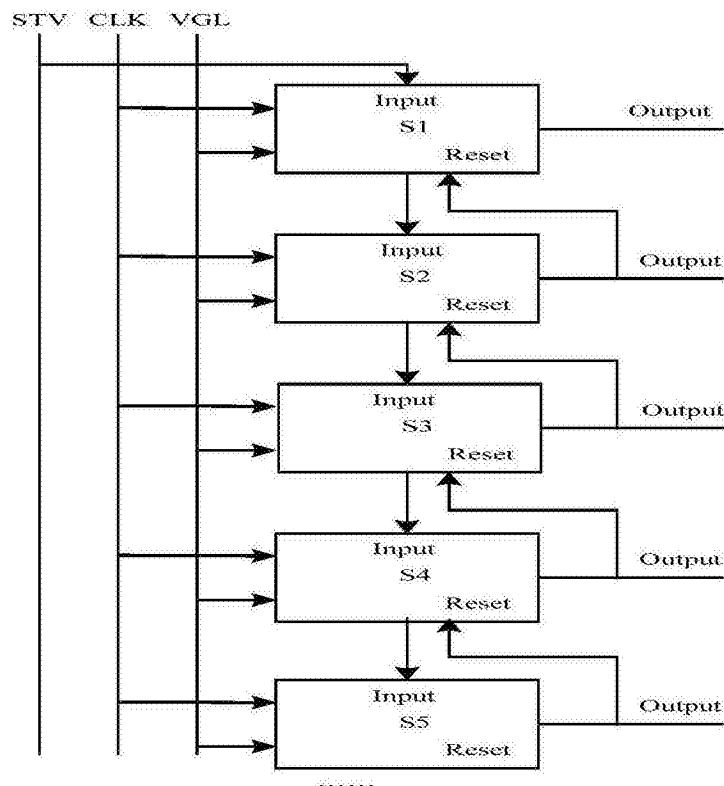


图14

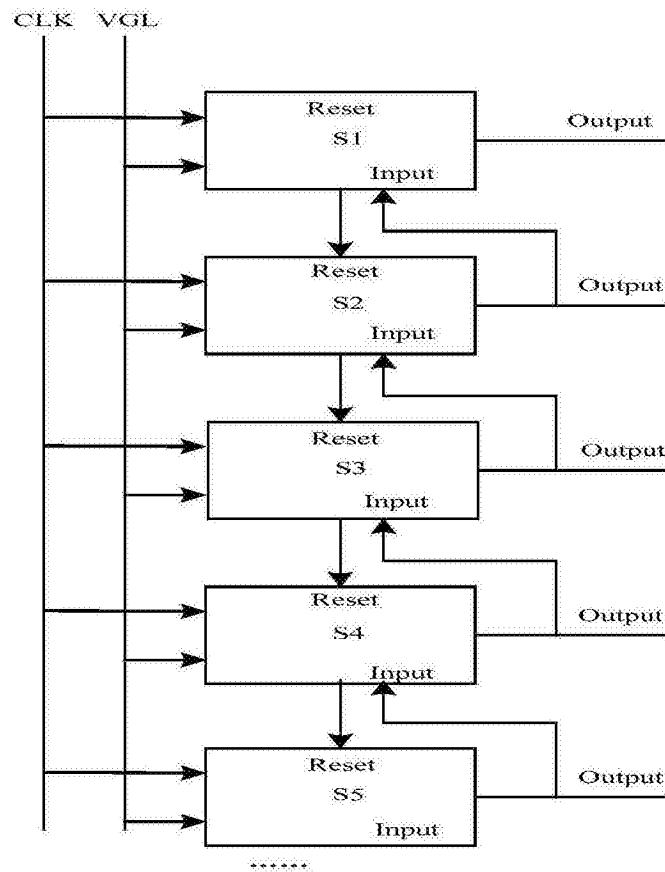


图15