

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 02823246.1

H01L 29/76 (2006.01)
H01L 29/94 (2006.01)
H01L 31/062 (2006.01)
H01L 31/113 (2006.01)
H01L 31/119 (2006.01)
H01L 29/74 (2006.01)

[45] 授权公告日 2009 年 4 月 1 日

[11] 授权公告号 CN 100474616C

[51] Int. Cl. (续)

H01L 21/336 (2006.01)
H01L 21/3205 (2006.01)
H01L 21/8238 (2006.01)
H01L 21/4763 (2006.01)
H01L 21/20 (2006.01)

[22] 申请日 2002.11.20 [21] 申请号 02823246.1

[30] 优先权

[32] 2001.11.21 [33] US [31] 09/999,116

[86] 国际申请 PCT/US2002/037265 2002.11.20

[87] 国际公布 WO2003/046997 英 2003.6.5

[85] 进入国家阶段日期 2004.5.21

[73] 专利权人 通用半导体公司

地址 美国纽约

[72] 发明人 石甫渊 苏根政 约翰·E·阿马托

崔炎曼

[56] 参考文献

US6084268A 2000.7.4

US5442214A 1995.8.15

CN1305231A 2001.7.25

审查员 夏杰

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 樊卫民 钟强

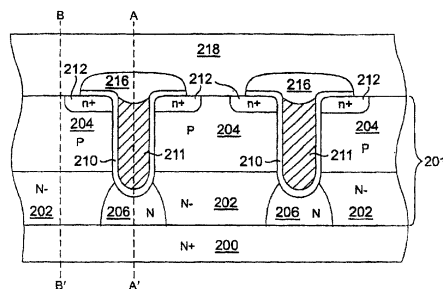
权利要求书 5 页 说明书 9 页 附图 4 页

[54] 发明名称

具有增加的导通电阻的沟槽 MOSFET 器件

[57] 摘要

一种沟槽 MOSFET 器件，包括：第一导电类型的衬底(200)；第一导电类型的外延层；其中该外延层具有比衬底更低的多数载流子浓度；延伸到外延区中的沟槽；沟槽内的绝缘导电区(211)；在沟槽底部和衬底之间的外延层内形成的第一导电类型的掺杂区(206)，其中该掺杂区具有比衬底低和比外延层高的多数载流子浓度；在外延层的上部内且邻近沟槽形成的第二导电类型的体区(204)；其中体区从外延层的上表面延伸的深度比沟槽小；体区内的源区(212)。



1. 一种沟槽 MOSFET 器件，包括：

第一导电类型的衬底；

在所述衬底上的所述第一导电类型的外延层，所述外延层具有比所述衬底更低的多数载流子浓度；

从所述外延层的上表面延伸到所述外延层中的沟槽；

内衬至少部分所述沟槽的绝缘层；

在邻近所述绝缘层的所述沟槽内的导电区；

在所述沟槽底部和所述衬底之间的所述外延层内形成的所述第一导电类型的掺杂区，所述掺杂区具有低于所述衬底和高于所述外延层的多数载流子浓度，所述掺杂区在所述沟槽底部延伸，且比所述沟槽底部宽，所述掺杂区延伸的距离是从所述沟槽底部到所述衬底距离的100%；

在所述外延层的上部内且邻近所述沟槽形成的第二导电类型的体区，所述体区从所述外延层的所述上表面延伸的深度小于所述沟槽延伸的深度；和

在所述体区的上部内且邻近所述沟槽形成的所述第一导电类型的源区。

2. 如权利要求 1 所述的沟槽 MOSFET 器件，其中，所述第一导电类型是 n-型导电，所述第二导电类型 p-型导电性。

3. 如权利要求 2 所述的沟槽 MOSFET 器件，其中，所述掺杂区用磷掺杂。

4. 如权利要求 2 所述的沟槽 MOSFET 器件，其中，所述衬底是 N+衬底，所述外延层是 N-外延层，所述掺杂区是 N 区，所述体区是 P 区，以及所述源区是 N+区。

5. 如权利要求 1 所述的沟槽 MOSFET 器件, 其中, 所述沟槽 MOSFET 器件是硅器件。

6. 如权利要求 1 所述的沟槽 MOSFET 器件, 其中, 所述绝缘层是氧化硅层。

7. 如权利要求 5 所述的沟槽 MOSFET 器件, 其中, 所述导电区是掺杂的多晶硅区。

8. 如权利要求 1 所述的沟槽 MOSFET 器件, 其中, 沟槽底部和衬底之间的掺杂区的厚度范围从 1 至 6 微米。

9. 如权利要求 2 所述的沟槽 MOSFET 器件, 其中, 所述掺杂区具有 1×10^{18} 至 $5 \times 10^{19} \text{cm}^{-3}$ 的净 n-型载流子浓度范围。

10. 如权利要求 1 所述的沟槽 MOSFET 器件, 其中, 所述沟槽限定正方形和六角形的 MOSFET 单元之一。

11. 一种沟槽 MOSFET 器件, 包括:

n-型导电的硅衬底;

在所述衬底上的 n-型导电的硅外延层, 所述外延层具有比所述衬底更低的多数载流子浓度;

从所述外延层的上表面延伸到所述外延层中的沟槽;

内衬至少部分所述沟槽的氧化硅绝缘层;

在邻近所述氧化硅层的所述沟槽内的掺杂多晶硅区;

在所述沟槽的底部和所述衬底之间设置的 n-型导电的掺杂区, 所述掺杂区具有低于所述衬底和高于所述外延层的多数载流子浓度, 所述掺杂区在所述沟槽底部延伸, 且比所述沟槽底部宽, 所述掺杂区延伸的距离是从所述沟槽底部到所述衬底距离的 100%;

在所述外延层的上部内且邻近所述沟槽形成的 p-型导电的体区，所述体区从所述外延层的所述上表面延伸的深度小于所述沟槽延伸的深度；和

在所述体区的上部内且邻近所述沟槽形成的 n-型导电的源区。

12. 如权利要求 11 所述的沟槽 MOSFET 器件，其中，所述掺杂区用磷掺杂。

13. 如权利要求 11 所述的沟槽 MOSFET 器件，其中，沟槽底部和衬底之间的掺杂区的厚度范围从 1 至 6 微米。

14. 如权利要求 11 所述的沟槽 MOSFET 器件，其中，所述掺杂区具有 1×10^{18} 至 $5 \times 10^{19} \text{cm}^{-3}$ 的净 n-型载流子浓度范围。

15. 一种形成沟槽 MOSFET 器件的方法，包括：

设置第一导电类型的衬底；

在所述衬底上淀积所述第一导电类型的外延层，所述外延层具有比所述衬底更低的多数载流子浓度；

在所述外延层的上部内形成第二导电类型的体区；

刻蚀从所述外延层的上表面延伸到所述外延层的沟槽，所述沟槽具有侧部和底部并且从所述外延层的所述上表面延伸的深度大于所述体区延伸的深度；

在所述沟槽底部和所述衬底之间形成所述第一导电类型的掺杂区，所述掺杂区具有低于所述衬底和高于所述外延层的多数载流子浓度；

其中，所述掺杂区被扩散并延伸到从所述沟槽底部到所述衬底距离的 100%，并且

其中，所述的刻蚀所述沟槽和形成所述掺杂区的步骤包括：（a）直接在所述外延层上形成沟槽掩模；（b）通过所述沟槽掩模刻蚀所述

沟槽； (c) 通过所述沟槽掩模注入所述第一导电类型的掺杂剂； 以及
(d) 在升高的温度扩散所述第一导电类型的所述掺杂剂；
形成内衬至少部分所述沟槽的绝缘层；
在邻近所述绝缘层的所述沟槽内形成导电区； 和
在所述的刻蚀所述沟槽和形成所述掺杂区的步骤之后， 在所述体区的上部内且邻近所述沟槽形成所述第一导电类型的源区。

16. 如权利要求 15 所述的方法， 其中， 所述第一导电类型是 n-型导电， 所述第二导电类型 p-型导电。

17. 如权利要求 16 所述的方法， 其中， 所述掺杂剂是磷。

18. 如权利要求 15 所述的方法， 其中， 所述沟槽 MOSFET 器件是硅器件。

19. 如权利要求 15 所述的方法， 还包括：
邻近所述半导体衬底形成金属漏极接触，
邻近所述源区的上表面形成金属源极接触， 和
邻近远离所述源区的所述导电区的上表面形成金属栅极接触。

20. 一种形成沟槽 MOSFET 器件的方法， 包括：
设置第一导电类型的衬底；
在所述衬底上淀积所述第一导电类型的外延层， 所述外延层具有比所述衬底更低的多数载流子浓度；
在所述外延层的上部内形成第二导电类型的体区；
刻蚀从所述外延层的上表面延伸到所述外延层的具有侧部和底部的沟槽， 所述沟槽从所述外延层的所述上表面延伸的深度大于所述体区延伸的深度；

在所述沟槽底部和所述衬底之间形成所述第一导电类型的掺杂区，所述掺杂区具有低于所述衬底和高于所述外延层的多数载流子浓度；

其中，所述的刻蚀所述沟槽和形成所述掺杂区的步骤包括：（a）在所述外延层上形成沟槽掩模；（b）通过所述沟槽掩模刻蚀所述沟槽；（c）通过所述沟槽掩模注入所述第一导电类型的掺杂剂；以及（d）在升高的温度扩散所述第一导电类型的所述掺杂剂；

形成内衬至少部分所述沟槽的绝缘层；

在邻近所述绝缘层的所述沟槽内形成导电区；和

在所述的刻蚀所述沟槽和形成所述掺杂区的步骤之后，在所述体区的上部内且邻近所述沟槽形成所述第一导电类型的源区，

其中，通过沿所述沟槽壁生长牺牲氧化物的步骤来提供所述的升高的温度。

具有增加的导通电阻的沟槽 MOSFET 器件

技术领域

本发明涉及沟槽 MOSFET 器件，更具体涉及具有增加的导通电阻的沟槽 MOSFET 器件。

背景技术

沟槽 MOSFET（金属-氧化物-半导体场-效应晶体管）是一种晶体管，其中垂直地形成沟道以及在源区和漏区之间延伸的沟槽中形成栅极。内衬薄绝缘层（如氧化层）以及填充导体（如多晶硅（即，多晶的硅））的沟槽允许更小地压缩电流，且由此提供更低的具体导通电阻值。例如，美国专利 5,072,266、5,541,425 以及 5,866,931 中公开了沟槽 MOSFET 晶体管的实例，在此通过引用将其结合进来。

作为具体例子，图 1 图示了美国专利 5,072,266 中公开的半个六角形沟槽 MOSFET 结构 21。该结构包括 n+衬底 23，其上生长预定深度 d_{epi} 的轻掺杂 n 外延层 25。在外延层 25 中设置 p 体区 27（p，p+）。在所示的设计图中，p 体区 27 基本上是平坦的（除中心区外），且一般位于外延层的顶面下面，与外延层的顶面相距 d_{min} 。覆盖大部分 p 体区 27 的另一层 28（n+）用作器件的源极。在外延层中设置了一系列六角形沟槽 29，朝顶部开口且具有预定深度 d_{tr} 。沟槽 29 一般内衬氧化物并填充导电的多晶硅，形成 MOSFET 器件的栅极。沟槽 29 限定的单元区 31 在水平剖面也是六角形。在单元区 31 内，p 体区 27 向上延伸到外延层的顶面且在单元区 31 的顶面的水平截面中形成露出的图形 33。在图示的具体设计图中，p 体区 27 的 p+中心部在外延层的表面下延伸至深度 d_{max} ，该深度 d_{max} 大于晶体管单元的沟槽深度 d_{tr} ，以致击穿电压远离沟槽表面进入半导体材料的主体中。

一般的 MOSFET 器件包括在单个芯片（即，半导体晶片的一部分）内平行制造的许多单个 MOSFET 单元。因此，图 1 中示出的芯片包含许多六角形单元 31（图示这些单元的五个部分）。通常使用除六角形结构以外的单元结构，包括正方形结构。在图 1 示出的设计图中，衬底区 23 担当所有单个 MOSFET 单元 31 的公共漏极接触。尽管未图示，MOSFET 单元 31 的所有源极一般通过金属源极接触短接在一起，金属源极接触布置在 n+源区 28 的顶上。绝缘区，如硼磷硅玻璃（未示出），一般被放置在沟槽 29 中的多晶硅和金属源极接触之间，以防止栅极区与源区短路。因此，为了制造栅极接触，沟槽 29 内的多晶硅一般延伸到 MOSFET 单元 31 外的终止区，在终止区在多晶硅上设置金属栅极接触。由于多晶硅栅极区通过沟槽彼此互连，因此该布置为器件的所有栅极区设置单个栅极接触。由于该设计，尽管芯片包含单个晶体管单元 31 的矩阵，但是这些单元 31 相当于单个大的晶体管。

沟槽 MOSFET 器件仍然要求不断地降低的导通电阻。减小导通电阻的一种方法将减小外延层的厚度。结果，位于体区和衬底之间的外延层区（参见图 1 中的标记 25）的厚度减小。由于该区具有较高的电阻率，因此器件的导通电阻减小。但是，作为公知技术，当外延层变得更薄时，增加击穿的风险，特别在更易受击穿影响的终止区。

发明内容

根据本发明的一个实施例，提供一种沟槽 MOSFET 器件。该器件包括：(a) 第一导电类型的衬底（优选 n-型导电硅衬底）；(b) 衬底上的第一导电类型的外延层，其中该外延层具有比衬底更低的多数载流子浓度；(c) 从外延区的上表面延伸到外延区中的沟槽；(d) 内衬至少部分沟槽的绝缘层（优选氧化层）；(e) 在邻近绝缘层的沟槽内的导电区（优选，掺杂的多晶硅区）；(f) 在沟槽底部和衬底之间的外延层内形成的第一导电类型的掺杂区；其中该掺杂区具有比衬底低以及比外延层高的多数载流子浓度；(g) 在外延层的上部内且邻近沟槽形成的第二导电类型（优选 p 型导电）的体区，其中体区从外延层

的上表面延伸的深度比沟槽的深度小；以及（h）在体区的上部内且邻近沟槽形成的第一导电类型的源区。

在沟槽的底部和衬底之间存在的掺杂区（基于它形成的优选模式有时称为“沟槽底部注入区”）用来减小器件导通电阻。优选该区延伸的距离超过从所述沟槽底部到所述衬底的距离的 50%，更优选是从所述沟槽底部到所述衬底距离的 100%。

根据本发明的另一实施例，提供一种形成沟槽 MOSFET 的方法。该方法包括：（a）提供第一导电类型的衬底；（b）在衬底上淀积第一导电类型的外延层，其中该外延层具有比衬底更低的多数载流子浓度；（c）在外延层的上部内形成第二导电类型的体区；（d）刻蚀从外延层的上表面延伸到外延区的沟槽，以致沟槽从外延层的上表面延伸的深度大于体区的深度；（e）在沟槽底部和衬底之间形成第一导电类型的掺杂区，以致掺杂区具有低于衬底和高于外延层的多数载流子浓度；（f）形成内衬至少部分沟槽的绝缘层；（g）在邻近绝缘层的沟槽内形成导电区；（h）在体区的上部内且邻近沟槽形成第一导电类型的源区。

优选通过一种方法形成掺杂区，该方法包括将第一导电类型的掺杂剂注入外延区，且在高温下扩散第一导电类型的掺杂剂。更优选，通过一种方法形成与沟槽连接的掺杂区，该方法包括：（a）在外延层上形成沟槽掩模；（b）通过沟槽掩模刻蚀沟槽；（c）通过沟槽掩模注入第一导电类型的掺杂剂；以及（c）在高温下扩散掺杂剂。更加优选，在沿沟槽壁生长牺牲氧化物的同时进行扩散步骤。

沟槽底部注入区先前已用来解决由器件引起的问题，该器件具有延伸至比沟槽更大深度的体区（如图 1 的深体区）。更具体地，美国专利 5,929,481 涉及具有深体区的沟槽 MOSFET 器件，该体区延伸深度比沟槽大。设置这些深体区以避免沟槽拐角电击穿，但是，在沟槽

底部产生寄生 JFET 的问题。为了减小该寄生 JFET，在沟槽的底部设置掺杂的沟槽底部注入区，该区延伸到周围的漂移区中。与周围漂移区相比沟槽底部注入区具有相同的掺杂类型，但是更高度地掺杂。但是，与美国专利 5,929,481 相反，本发明的沟槽 MOSFET 器件不设置这种深体区。本发明的器件的沟槽延伸至比体区更大的深度。

本发明的一个优点是提供一种具有增加的导通电阻的沟槽 MOSFET 单元。

本发明的另一个优点是提供具有增加的导通电阻的沟槽 MOSFET 单元，而不显著的增加设计和工艺复杂性。

本发明的另一个优点是可以提供一种沟槽 MOSFET 单元，该单元在沟槽底部和衬底之间的外延层中具有减小的阻抗。以此方式，减小导通电阻而不减薄外延层且不危及终止区内的击穿特性。

所属领域的普通技术人员在阅读下面的详细描述和权利要求书后，将立即明白本发明的这些及其他实施方案和优点。

附图说明

图 1 是现有技术中的沟槽 MOSFET 器件的示意性剖面图。

图 2 是根据本发明的实施例的沟槽 MOSFET 器件的示意性剖面图。

图 3 示出了由图 2 的线 A-A' (曲线 a) 和 B-B' (曲线 b) 限定的截面的上部的浓度与距离 (以任意单位和刻度) 的大致曲线图。

图 4A 至 4D 图示了根据本发明的实施例制造图 2 的沟槽 MOSFET 器件的方法的示意性剖面图。

具体实施方式

在下文中参考附图更完全地描述本发明，其中示出本发明的优选

实施例。但是，本发明可以以不同的方式体现，不应该认为局限于在此阐述的实施例。

本发明涉及新的沟槽 MOSFET 结构，其中在沟槽底部和衬底之间设置较高的多数载流子浓度区（基于它形成的优选模式有时称为“沟槽底部注入区”）。与这种沟槽 MOSFET 结构有关的一个优点是增加导通电阻。

图 2A 图示了根据本发明的实施例的沟槽 MOSFET。在所示的沟槽 MOSFET 中，在 N+衬底 200 上设置外延层 201。

在该具体实例中的 N+衬底 200 是硅衬底，具有例如 10 至 25 密耳的厚度范围，以及具有例如 1×10^{19} 至 $1 \times 10^{20} \text{cm}^{-3}$ 的净掺杂浓度范围。

在外延层 201 的下部发现 N-区 202。在该实例中，该区具有例如 2 至 5 微米的厚度范围和具有例如 4×10^{15} 至 $8 \times 10^{16} \text{cm}^{-3}$ 的净掺杂浓度范围。

在外延层 201 的上部发现 P-体区 204。在所示的实例中，这些 P-体区 204 具有例如 1 至 2 微米的厚度范围，以及具有例如 1×10^{17} 至 $1 \times 10^{18} \text{cm}^{-3}$ 的净掺杂浓度范围。

在外延层 201 内形成的沟槽内衬有绝缘体 210，并用导体 211 填充，绝缘体 210 诸如是氧化物，导体 211 如掺杂的多晶硅，提供器件的栅电极功能。沟槽一般具有约 1.5 至约 2.5 微米的深度。氧化硅（一般是二氧化硅）用作绝缘体 210 的话，它可以是例如 500 至 700 埃的厚度。多晶硅用作导体 211 的话，它可以具有例如 1 至 $15 \Omega/\text{sq}$ 的电阻率。沟槽之间的区域基于它们的形状常常称为“台面”或“沟槽台面”。在平面图中这些区域通常是正方形或六角形。

根据本发明，在沟槽底部和 N+衬底之间设置 N 区 206（在此也指“沟槽底部注入区”）。N 区 206 具有例如 1×10^{18} 至 $5 \times 10^{19} \text{cm}^{-3}$ 的净掺杂浓度范围。这些区域 206 优选延伸从沟槽底部至 N+衬底 200 的整个距离，如图所示，但如果希望，也可以部分地桥接该距离。一般，这些区域具有 1 至 6 微米的深度范围。

图 2 的沟槽 MOSFET 器件也包含 N+源区 212，在图示的实施例中 N+源区 212 从外延层表面延伸 0.3 至 0.5 微米的深度，以及具有例如从 5×10^{19} 至 $5 \times 10^{20} \text{cm}^{-3}$ 的净掺杂浓度范围。

通过金属源极接触 218 电接触 N+源区 212。绝缘区，如 BPSG（硼磷硅玻璃）区 216，防止与栅电极有关的掺杂多晶硅区 211 通过源极接触 218 短路到 N+源区 212。分开的金属栅接触（未示出）一般连接到位于沟槽 MOSFET 单元的区域外面的多晶硅 211 的栅极延伸（runner）部分。一般也邻近 N+衬底 200 设置金属漏接触（未示出）。

图 3 所示的曲线是沿图 2 的线 A-A'部分发现的大致掺杂分布图，该曲线在沟槽底部开始且延伸到衬底 200。曲线 a 的左侧部分对应于 N 区 206，而右侧部分对应于 N+衬底 200。为了比较，图 3 所示的曲线 b 是沿图 2 中的线 B-B'的平行部分发现的大致掺杂分布图。曲线 b 的左侧部分对应于 N-外延区 202，而右侧部分对应于 N+衬底 200。

尽管不希望被理论约束，但认为在 p-体区 204 和栅极的多晶硅区 211 之间产生电位差时，在邻近栅氧化层 210 的 p-体区内电容性地感应电荷，导致在 p-体区 204 内形成沟道。当在源区 212 和 N+衬底 200（对应于漏区）之间提供另一个电位差时，电流从源区 212 通过邻近栅氧化层 210 的 p-体区 204 中形成的沟道流到 N+衬底 200，沟槽 MOSFET 被认为处于电源接通状态。进一步认为图 2 的器件具有增加的导通电阻，因为当晶体管处于接通电源状态时，在沟槽的基体处形

成的 N 区 206 提供降低电流从源区 212 流到漏区 (N+衬底 200) 的阻抗的通路。

现在根据本发明的一个实施例, 结合图 4A 至图 4C 描述用于制造图 2 所示的沟槽 MOSFET 的方法。

现在转向图 4A, 在 N+掺杂的衬底 200 上最初生长 N 掺杂的外延层 201。N+掺杂衬底 200 可以例如从 10 至 25 密耳, 以及具有例如 1×10^{19} 至 $1 \times 10^{20} \text{cm}^{-3}$ 的净掺杂浓度范围。外延层 201 例如可以具有 4×10^{15} 至 $8 \times 10^{16} \text{cm}^{-3}$ 的净 n-型掺杂浓度, 以及可以具有 3 至 10 微米的厚度。

然后视情况而定使用掩模, 通过注入和扩散, 在外延层 201 中形成 P 型区 204。例如, 外延层 201 可以注入硼, 接着在高温下扩散以制造 P 型区 204, P 型区 204 可以是 1 至 2 微米的厚度以及具有例如 1×10^{17} 至 $1 \times 10^{18} \text{cm}^{-3}$ 的净 p-型掺杂浓度范围。在该步骤之后, 外延层 201 的 N-部分 202 可以剩下 2 至 5 微米厚度。N-部分 202 具有上述的外延层 201 的 n-型掺杂浓度。

然后在提供构图的沟槽掩模(未示出)之后, 淀积掩模氧化层 203, 例如通过化学气相淀积, 以及通过反应离子刻蚀法刻蚀。图 4A 中示出了所得的结构。

然后通过构图掩模氧化层 203 中的孔, 一般通过反应离子刻蚀法刻蚀沟槽。在该实例中的沟槽深度约为 1.5 至 2.5 微米。由于该沟槽-形成步骤而建立不连续的 P-体区 204。

此时, 使用沟槽掩模作为注入掩模将 n-型掺杂剂(优选磷)注入该结构中。在该实例中, 在 80 至 100keV 时注入 5×10^{15} 至 $1 \times 10^{17} \text{cm}^{-3}$ 剂量的磷。图 4B 中示出了所得的结构。沟槽底部下面的虚线说明在

结构内存在磷。

根据优选实施例，尽管此时通过简单地加热结构注入的 n-型掺杂剂（例如磷）可以扩散到结构中，但是在形成牺牲氧化层的同时进行掺杂剂扩散。具体，一般通过 900 至 1150°C 时进行 20 至 60 分钟干氧化，此时在沟槽内生长牺牲氧化层。结果，除形成牺牲氧化区 205 之外，该升温步骤推动注入的 n-型掺杂剂到外延层的 N-型区 202 中，形成 N 区 206。图 4C 中图示了所得的结构。

随后，完成沟槽 MOSFET，以形成图 2 中示出的结构。例如，优选通过湿刻蚀从沟槽除去图 4C 中看到的牺牲氧化区 205。然后例如通过 900 至 1100°C 时进行 20 至 60 分钟干氧化，在沟槽底部上生长氧化层，氧化层优选是 500 至 700 埃的厚度。这些氧化层部分最终形成用于完成器件的栅氧化区 210。

然后用多晶硅层覆盖结构的表面并填充沟槽，优选使用 CVD。多晶硅一般掺杂 N-型，以减小它的电阻率。例如可以在用氯化磷的 CVD 过程中或通过用砷或磷注入进行 N-型掺杂。然后例如通过反应离子刻蚀法刻蚀多晶硅层。由于涉及刻蚀均匀性，沟槽部分内的多晶硅层通常被略微过刻蚀，因此形成的多晶硅栅极区 211 一般具有在外延层 204 的相邻表面下 0.1 至 0.2 微米的顶面。

然后设置构图的掩模层以及经由注入和扩散工序通过掩模层在外延层的上部形成 n+源区 212，n+源区 212 优选从外延层表面延伸 0.3 至 0.5 微米的深度以及具有例如从 5×10^{19} 至 $5 \times 10^{20} \text{cm}^{-3}$ 的净掺杂浓度范围。优选通过注入氧化物进行注入以避免在源区的形成过程中的注入-沟道效应、注入损坏以及重金属污染。

然后例如通过 PECVD 在整个结构上形成 BPSG（硼磷硅玻璃）层。在设置具有构图的光刻胶层的结构之后，一般通过反应离子刻蚀

法刻蚀该结构,以除去结构的所选部分上的 BPSG 和氧化层,形成 BPSG 区 216。然后除去构图的光刻胶层,淀积金属接触层,形成源极接触 218。一般也设置栅极和漏极接触(未示出)。所得的结构与图 2 的相同。

尽管在此具体地图示和描述了各种实施例,应当理解,在不脱离本发明的精神和想要的范围条件下对本发明的改进和改变都被上述教导所覆盖,且落在所附权利要求的范围内。作为一个具体例子,本发明的方法可以用来形成各个半导体区的导电性与在此描述的那些相反的结构。

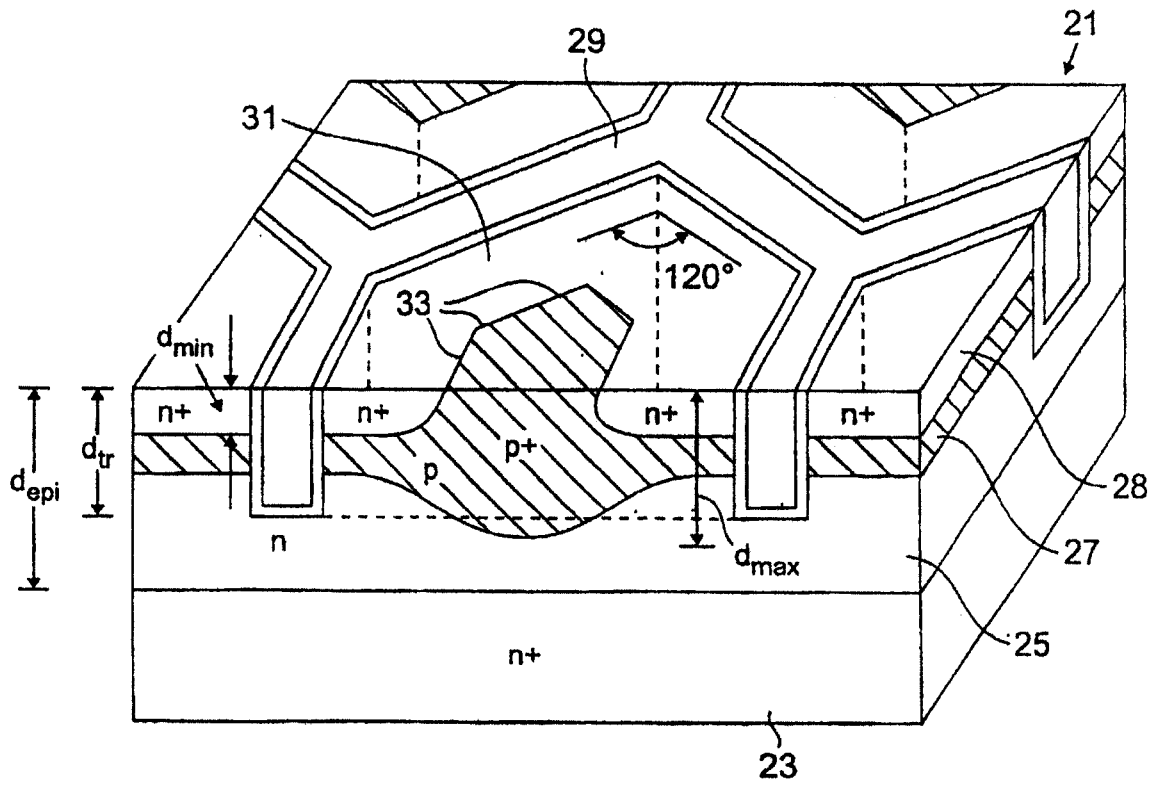


图1
现有技术

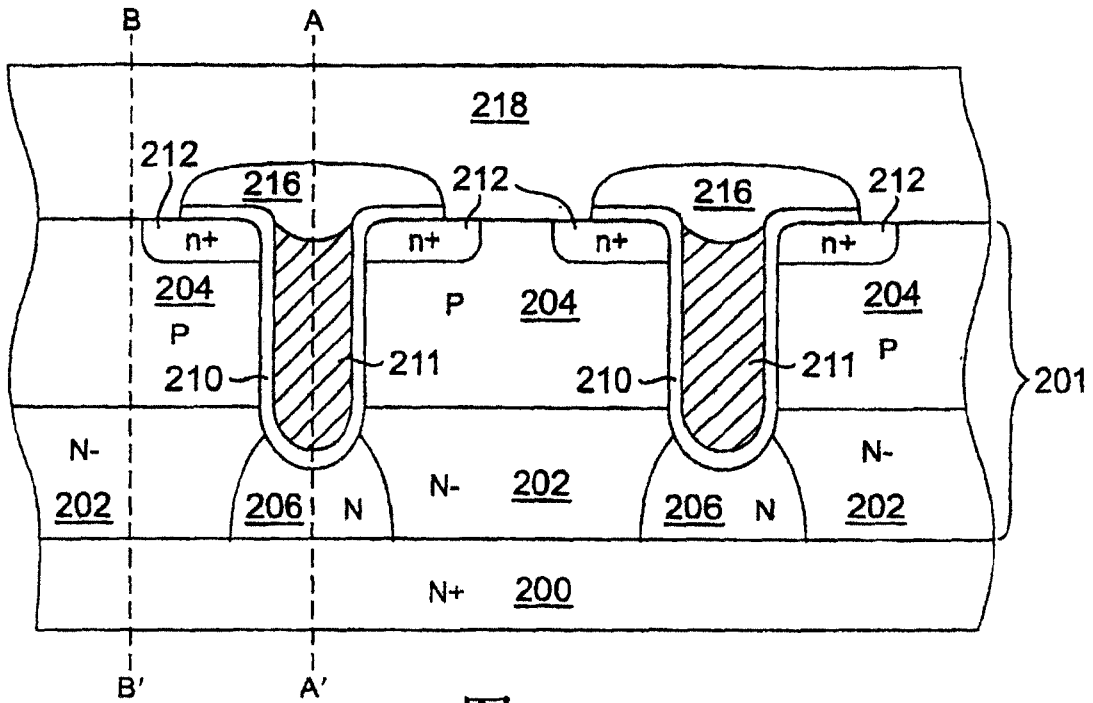


图2

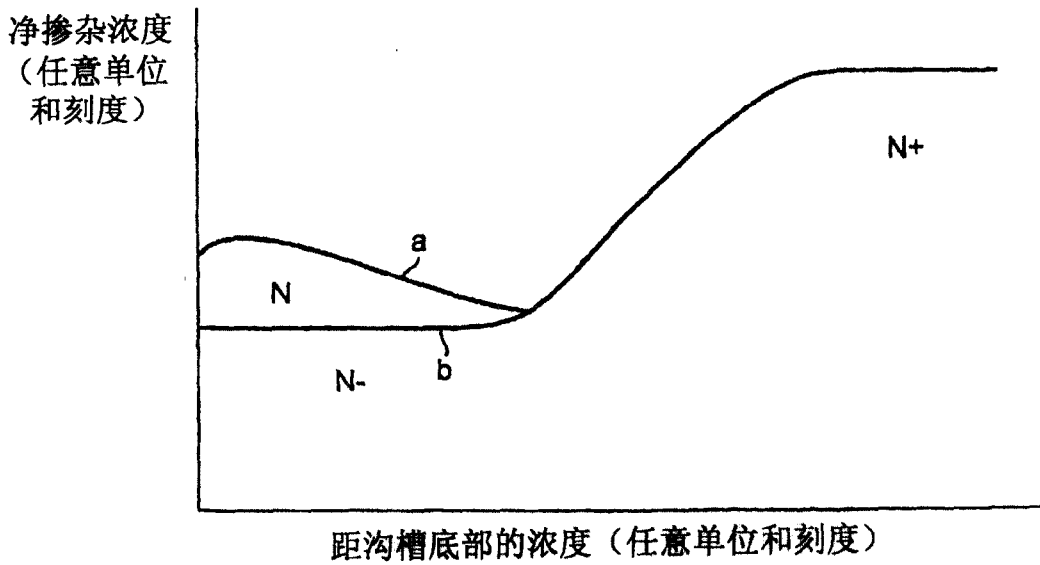


图3

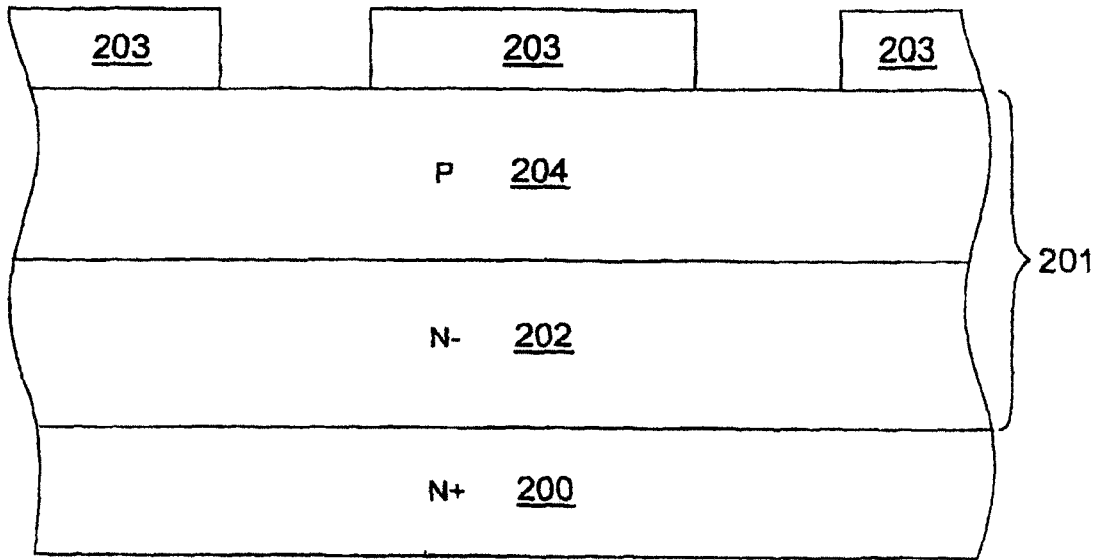


图4A

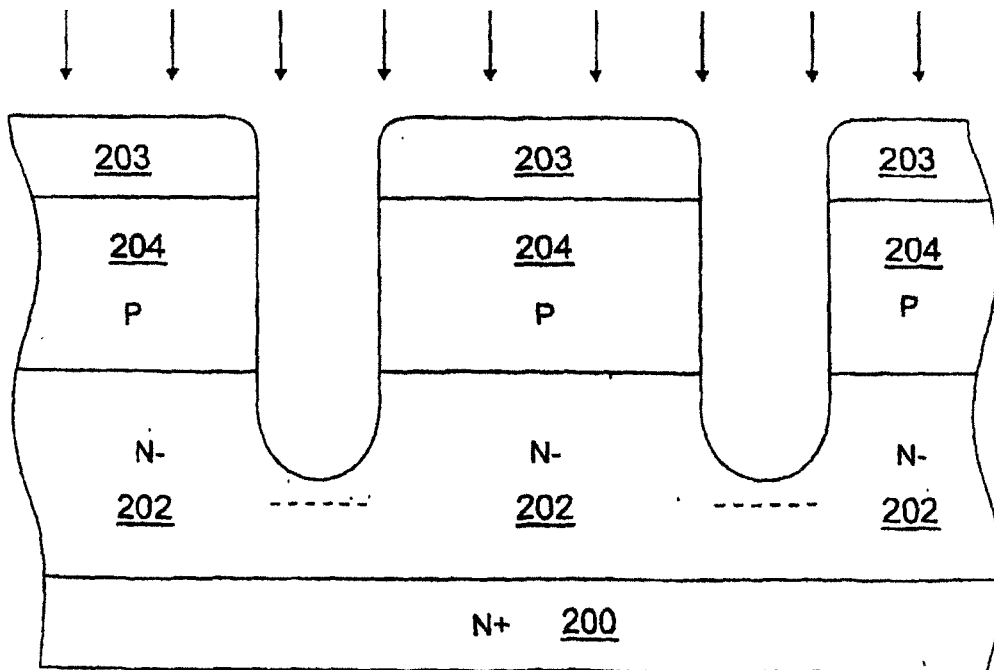


图4B

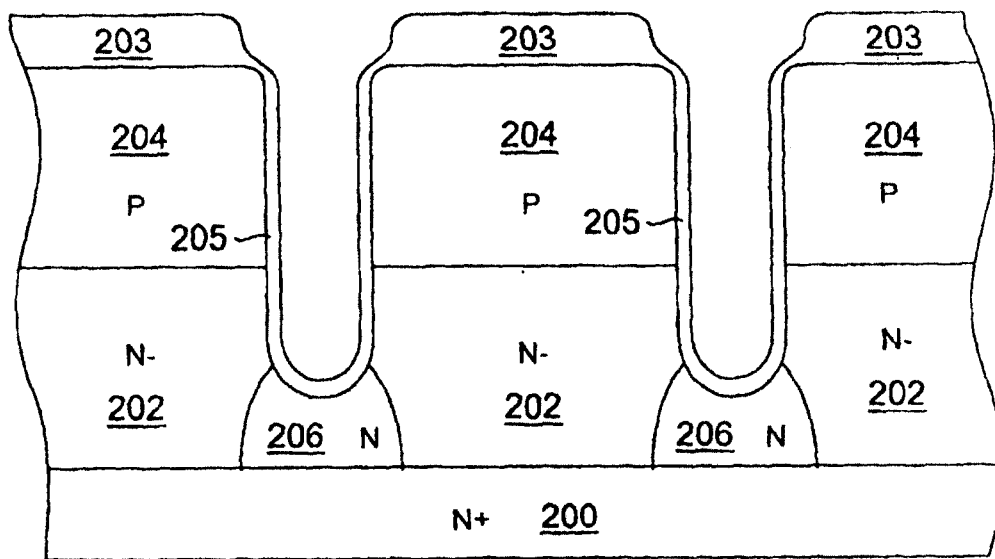


图4C