

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2018年7月5日(05.07.2018)

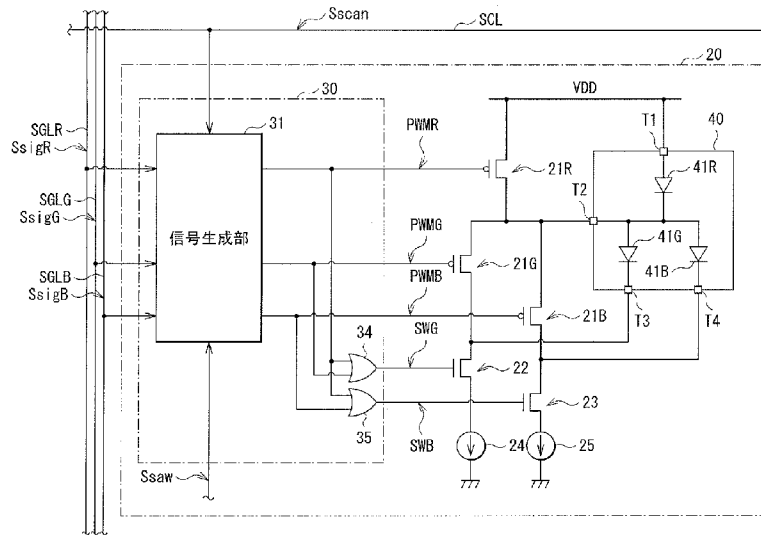


(10) 国際公開番号  
**WO 2018/123280 A1**

- (51) 国際特許分類:  
*G09G 3/32* (2016.01)      *H01L 33/00* (2010.01)  
*G09G 3/20* (2006.01)      *H05B 37/02* (2006.01)  
*G09G 3/3233* (2016.01)
- (71) 出願人: ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2017/040229
- (72) 発明者: 地橋 優 (CHIBASHI, Masaru); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 菊地 健(KIKUCHI, Ken); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).
- (22) 国際出願日: 2017年11月8日(08.11.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2016-253603 2016年12月27日(27.12.2016) JP
- (74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).

(54) Title: LIGHT SOURCE DEVICE, LIGHT EMITTING DEVICE, AND DISPLAY DEVICE

(54) 発明の名称: 光源装置、発光装置、および表示装置



31 Signal generation unit

(57) Abstract: A light source device according to the present disclosure comprises: a first terminal, a second terminal, a third terminal, and a fourth terminal; a first light-emitting element which emits first basic color light, is disposed along a first path from the first terminal to the second terminal, and has a first electrode of a first type as well as a second electrode of a second type which is connected to the second terminal; a second light-emitting element which emits second basic color light, is disposed along a second path from the second terminal to the third terminal, and has a first electrode



WO 2018/123280 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

---

of the first type which is connected to the second terminal as well as a second electrode of the second type; and a third light-emitting element which emits third basic color light, is disposed along a third path from the second terminal to the fourth terminal, and has a first electrode of the first type which is connected to the second terminal as well as a second electrode of the second type.

(57) 要約 : 本開示の光源装置は、第1の端子、第2の端子、第3の端子、および第4の端子と、第1の端子から第2の端子への第1の経路の経路上に配置され、第1の型の第1の電極と、第2の端子に接続された第2の型の第2の電極とを有し、第1の基本色光を発する第1の発光素子と、第2の端子から第3の端子への第2の経路の経路上に配置され、第2の端子に接続された第1の型の第1の電極と、第2の型の第2の電極とを有し、第2の基本色光を発する第2の発光素子と、第2の端子から第4の端子への第3の経路の経路上に配置され、第2の端子に接続された第1の型の第1の電極と、第2の型の第2の電極とを有し、第3の基本色光を発する第3の発光素子とを備える。

## 明 細 書

**発明の名称**：光源装置、発光装置、および表示装置

### 技術分野

[0001] 本開示は、複数の色の光を発する光源装置、そのような光源装置を有する発光装置および表示装置に関する。

### 背景技術

[0002] 発光装置では、しばしば、発光素子として発光ダイオードが用いられる。例えば、特許文献1には、複数の発光ダイオードを直列に接続した発光ダイオード点灯回路が開示されている。また、例えば、特許文献2には、互いに異なる色の光を発光可能な複数の発光ダイオードを用いた表示器が開示されている。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：特開昭62-275293号公報

特許文献2：特開平7-152337号公報

### 発明の概要

[0004] ところで、電子機器は、一般にコンパクトであることが望まれており、発光装置においても、コンパクトであることが期待される。

[0005] コンパクトな構成を実現できる光源装置、発光装置、および表示装置を提供することが望ましい。

[0006] 本開示の一実施の形態における光源装置は、第1の端子、第2の端子、第3の端子、および第4の端子と、第1の発光素子と、第2の発光素子と、第3の発光素子とを備えている。第1の発光素子は、第1の端子から第2の端子への第1の経路の経路上に配置され、第1の型の第1の電極と、第2の端子に接続された第2の型の第2の電極とを有し、第1の基本色光を発するものである。第2の発光素子は、第2の端子から第3の端子への第2の経路の経路上に配置され、第2の端子に接続された第1の型の第1の電極と、第2

の型の第2の電極とを有し、第2の基本色光を発するものである。第3の発光素子は、第2の端子から第4の端子への第3の経路の経路上に配置され、第2の端子に接続された第1の型の第1の電極と、第2の型の第2の電極とを有し、第3の基本色光を発するものである。

[0007] 本開示の一実施の形態における発光装置は、第1の発光素子と、第2の発光素子と、第3の発光素子と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第1の電流源と、第2の電流源と、発光制御部とを備えている。第1の発光素子は、第1の端子から第2の端子への第1の経路の経路上に配置され、第1の型の第1の電極と、第2の端子に接続された第2の型の第2の電極とを有し、第1の基本色光を発するものである。第2の発光素子は、第2の端子から第3の端子への第2の経路の経路上に配置され、第2の端子に接続された第1の型の第1の電極と、第2の型の第2の電極とを有し、第2の基本色光を発するものである。第3の発光素子は、第2の端子から第4の端子への第3の経路の経路上に配置され、第2の端子に接続された第1の型の第1の電極と、第2の型の第2の電極とを有し、第3の基本色光を発するものである。第1のスイッチは、オン状態になることにより、第1の端子と第2の端子とを接続するものである。第2のスイッチは、オン状態になることにより、第2の端子と第3の端子とを接続するものである。第3のスイッチは、オン状態になることにより、第2の端子と第4の端子とを接続するものである。第1の電流源は、第3の端子に接続されるものである。第2の電流源は、第4の端子に接続されるものである。発光制御部は、第1のスイッチ、第2のスイッチ、および第3のスイッチの動作を制御するものである。

[0008] 本開示の一実施の形態における表示装置は、複数の発光装置を備えたものである。各発光装置は、第1の発光素子と、第2の発光素子と、第3の発光素子と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第1の電流源と、第2の電流源と、発光制御部とを有している。第1の発光素子は、第1の端子から第2の端子への第1の経路の経路上に配置され、第1の型

の第1の電極と、第2の端子に接続された第2の型の第2の電極とを有し、第1の基本色光を発するものである。第2の発光素子は、第2の端子から第3の端子への第2の経路の経路上に配置され、第2の端子に接続された第1の型の第1の電極と、第2の型の第2の電極とを有し、第2の基本色光を発するものである。第3の発光素子は、第2の端子から第4の端子への第3の経路の経路上に配置され、第2の端子に接続された第1の型の第1の電極と、第2の型の第2の電極とを有し、第3の基本色光を発するものである。第1のスイッチは、オン状態になることにより、第1の端子と第2の端子とを接続するものである。第2のスイッチは、オン状態になることにより、第2の端子と第3の端子とを接続するものである。第3のスイッチは、オン状態になることにより、第2の端子と第4の端子とを接続するものである。第1の電流源は、第3の端子に接続されるものである。第2の電流源は、第4の端子に接続されるものである。発光制御部は、第1のスイッチ、第2のスイッチ、および第3のスイッチの動作を制御するものである。

[0009] 本開示の一実施の形態における光源装置、発光装置、および表示装置では、第1の基本色光を発する第1の発光素子が、第1の端子から第2の端子への第1の経路の経路上に配置され、第2の基本色光を発する第2の発光素子が、第2の端子から第3の端子への第2の経路の経路上に配置され、第3の基本色光を発する第3の発光素子が、第2の端子から第4の端子への第3の経路の経路上に配置される。第1の発光素子の第2の電極は、第2の型の電極であり、第2の発光素子の第1の電極は、第1の型の電極であり、第3の発光素子の第1の電極は、第1の型の電極である。第1の発光素子の第2の電極、第2の発光素子の第1の電極、および第3の発光素子の第1の電極は、第2の端子に接続される。

[0010] 本開示の一実施の形態における光源装置、発光装置、および表示装置によれば、第1の経路の経路上に配置された第1の発光素子の第2の電極、第2の経路の経路上に配置された第2の発光素子の第1の電極、および第3の経路の経路上に配置された第3の発光素子の第1の電極を、第2の端子に接続

するようにしたので、コンパクトな構成を実現できる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果があってもよい。

### 図面の簡単な説明

- [0011] [図1]本開示の実施の形態に係る表示装置の一構成例を表すブロック図である。
- [図2]図1に示した画素の一構成例を表す回路図である。
- [図3]図2に示した信号生成部の一構成例を表すブロック図である。
- [図4]図3に示した信号生成部の一動作例を表すタイミング波形図である。
- [図5]図2に示した画素の一動作例を表す表である。
- [図6A]図2に示した画素の一動作例を表す説明図である。
- [図6B]図2に示した画素の他の動作例を表す説明図である。
- [図6C]図2に示した画素の他の動作例を表す説明図である。
- [図6D]図2に示した画素の他の動作例を表す説明図である。
- [図6E]図2に示した画素の他の動作例を表す説明図である。
- [図6F]図2に示した画素の他の動作例を表す説明図である。
- [図7]図2に示した画素の一動作例を表すタイミング波形図である。
- [図8]比較例に係る画素の一構成例を表す回路図である。
- [図9]他の比較例に係る画素の一構成例を表す回路図である。
- [図10]他の比較例に係る画素の一構成例を表す回路図である。
- [図11]変形例に係る光源部の一構成例を表す回路図である。
- [図12]他の変形例に係る光源部の一構成例を表す回路図である。
- [図13]他の変形例に係る光源部の一構成例を表す回路図である。
- [図14]他の変形例に係る光源部の一構成例を表す回路図である。
- [図15]他の変形例に係る表示装置の一構成例を表すブロック図である。
- [図16]図15に示した画素の一構成例を表す回路図である。
- [図17]他の変形例に係る画素の一構成例を表す回路図である。
- [図18]図17に示した信号生成部の一構成例を表すブロック図である。

[図19]図 1 8 に示した信号生成部の一動作例を表すタイミング波形図である。

[図20]図 1 7 に示した画素の一動作例を表すタイミング波形図である。

### 発明を実施するための形態

[0012] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。

[0013] <実施の形態>

[構成例]

図 1 は、一実施の形態に係る表示装置（表示装置 1）の一構成例を表すものである。表示装置 1 は、発光素子を表示素子として用いた、いわゆる自発光型の表示装置である。なお、本開示の実施の形態に係る光源装置および発光装置は、本実施の形態により具現化されるので、併せて説明する。表示装置 1 は、画像信号処理部 1 1 と、タイミング制御部 1 2 と、走査線駆動部 1 3 と、信号線駆動部 1 4 と、制御信号生成部 1 5 と、表示部 1 6 とを備えている。

[0014] 画像信号処理部 1 1 は、外部から供給される画像信号 Spic に対して所定の信号処理を行い、画像信号 Spic2 を生成するものである。この所定の信号処理としては、例えば、ガンマ補正などが挙げられる。

[0015] タイミング制御部 1 2 は、外部から供給される同期信号 Ssync に基づいて、走査線駆動部 1 3、信号線駆動部 1 4、および制御信号生成部 1 5 に対してそれぞれ制御信号を供給し、これらがお互いに同期して動作するように制御するものである。

[0016] 走査線駆動部 1 3 は、タイミング制御部 1 2 から供給された制御信号に従って、表示部 1 6 の複数の走査線 SCL（後述）に対して走査信号 Sscan を順次印加することにより、行単位で画素 2 0（後述）を順次選択するものである。

[0017] 信号線駆動部 1 4 は、画像信号処理部 1 1 から供給された画像信号 Spic2 およびタイミング制御部 1 2 から供給された制御信号に従って、画素電圧 VsigR を含む複数の信号 SsigR、画素電圧 VsigG を含む複数の信号 SsigG、およ

び画素電圧  $V_{sigB}$  を含む複数の信号  $S_{sigB}$  を生成するものである。そして、信号線駆動部 14 は、複数の信号  $S_{sigR}$  を表示部 16 の複数の信号線  $S_{GLR}$  (後述) にそれぞれ印加し、複数の信号  $S_{sigG}$  を複数の信号線  $S_{GLG}$  (後述) にそれぞれ印加し、複数の信号  $S_{sigB}$  を複数の信号線  $S_{GLB}$  (後述) にそれぞれ印加することにより、走査線駆動部 13 が選択した画素 20 に対して画素電圧  $V_{sigR}$ ,  $V_{sigG}$ ,  $V_{sigB}$  を供給するようになっている。

[0018] 制御信号生成部 15 は、いわゆるのこぎり波形を有する制御信号  $S_{saw}$  を生成し、その制御信号  $S_{saw}$  を表示部 16 の各画素 20 (後述) に供給するものである。

[0019] 表示部 16 は、信号  $S_{sigR}$ ,  $S_{sigG}$ ,  $S_{sigB}$ 、走査信号  $S_{scan}$ 、および制御信号  $S_{saw}$  に基づいて画像を表示するものである。表示部 16 は、マトリクス状に配置された複数の画素 20 を有している。また、表示部 16 は、行方向 (図 1 における横方向) に延伸する複数の走査線  $S_{CL}$  と、列方向 (図 1 における縦方向) に延伸する複数の信号線  $S_{GLR}$  と、列方向に延伸する複数の信号線  $S_{GLG}$  と、列方向に延伸する複数の信号線  $S_{GLB}$  とを有している。走査線  $S_{CL}$  の一端は、走査線駆動部 13 に接続され、走査線駆動部 13 により走査信号  $S_{scan}$  が印加される。信号線  $S_{GLR}$ ,  $S_{GLG}$ ,  $S_{GLB}$  の一端は信号線駆動部 14 に接続されている。そして、信号線  $S_{GLR}$  は、信号線駆動部 14 により画素電圧  $V_{sigR}$  を含む信号  $S_{sigR}$  が印加され、信号線  $S_{GLG}$  は、信号線駆動部 14 により画素電圧  $V_{sigG}$  を含む信号  $S_{sigG}$  が印加され、信号線  $S_{GLB}$  は、信号線駆動部 14 により画素電圧  $V_{sigB}$  を含む信号  $S_{sigB}$  が印加される。各画素 20 は、走査線  $S_{CL}$  および 3 本の信号線  $S_{GLR}$ ,  $S_{GLG}$ ,  $S_{GLB}$  に接続されている。

[0020] 図 2 は、画素 20 の一構成例を表すものである。画素 20 は、発光制御部 30 と、トランジスタ 21R, 21G, 21B, 22, 23 と、電流源 24, 25 と、光源部 40 とを有している。発光制御部 30、トランジスタ 21R, 21G, 21B, 22, 23、および電流源 24, 25 は、例えば 1 つのチップ (画素チップ) で構成されるようになっている。なお、これに限定

されるものではなく、例えば、複数（例えば4つ）の画素20に係る発光制御部30、トランジスタ21R, 21G, 21B, 22, 23、および電流源24, 25を、1つのチップで構成してもよい。また、光源部40は、1つのチップ（光源チップ）で構成されるようになっている。

[0021] 発光制御部30は、信号SsigR, SsigG, SsigB、走査信号Sscan、および制御信号Ssawに基づいて、信号PWMR, PWMG, PWMBと、信号SWG, SWBとを生成するものである。発光制御部30は、信号生成部31と、論理和回路34, 35とを有している。

[0022] 信号生成部31は、信号SsigR（画素電圧VsigR）, SsigG（画素電圧VsigG）, SsigB（画素電圧VsigB）、走査信号Sscan、および制御信号Ssawに基づいて、信号PWMR, PWMG, PWMBを生成するものである。信号PWMRは、画素電圧VsigRに応じたパルス幅PWを有する信号であり、信号PWMGは、画素電圧VsigGに応じたパルス幅PWを有する信号であり、信号PWMBは、画素電圧VsigBに応じたパルス幅PWを有する信号である。

[0023] 図3は、信号生成部31の一構成例を表すものである。信号生成部31は、サンプルホールド回路32R, 32G, 32Bと、コンパレータ33R, 33G, 33Bとを有している。

[0024] サンプルホールド回路32Rは、走査信号Sscanに基づいて、信号SsigRに含まれる画素電圧VsigRをサンプリングし、サンプリングした画素電圧VsigRを維持するとともに、その画素電圧VsigRを出力するものである。サンプルホールド回路32Gは、走査信号Sscanに基づいて、信号SsigGに含まれる画素電圧VsigGをサンプリングし、サンプリングした画素電圧VsigGを維持するとともに、その画素電圧VsigGを出力するものである。サンプルホールド回路32Bは、走査信号Sscanに基づいて、信号SsigBに含まれる画素電圧VsigBをサンプリングし、サンプリングした画素電圧VsigBを維持するとともに、その画素電圧VsigBを出力するものである。

[0025] コンパレータ33Rは画素電圧VsigRと制御信号Ssawの電圧とを比較し、

その比較結果を信号PWMRとして出力するものである。コンパレータ33Rの正入力端子には画素電圧VsigRが供給され、負入力端子には制御信号Ssawが供給されるようになっている。コンパレータ33Gは画素電圧VsigGと制御信号Ssawの電圧とを比較し、その比較結果を信号PWMGとして出力するものである。コンパレータ33Gの正入力端子には画素電圧VsigGが供給され、負入力端子には制御信号Ssawが供給されるようになっている。コンパレータ33Bは画素電圧VsigBと制御信号Ssawの電圧とを比較し、その比較結果を信号PWMBとして出力するものである。コンパレータ33Bの正入力端子には画素電圧VsigBが供給され、負入力端子には制御信号Ssawが供給されるようになっている。

[0026] 図4は、信号生成部31の一動作例を表すものである。この図4は、信号SsigR、走査信号Sscan、および制御信号Ssawに基づいて信号PWMRを生成する動作を示している。なお、信号SsigG、走査信号Sscan、および制御信号Ssawに基づいて信号PWMGを生成する動作についても同様であり、信号SsigB、走査信号Sscan、および制御信号Ssawに基づいて信号PWMBを生成する動作についても同様である。

[0027] サンプルホールド回路32Rは、信号SsigRに含まれる画素電圧VsigRをサンプリングし、サンプリングした画素電圧VsigRを維持する。そして、コンパレータ33Rは画素電圧VsigRと制御信号Ssawの電圧とを比較する。画素電圧VsigRが制御信号Ssawの電圧よりも高い期間P1では、信号PWMRは高レベルになり、画素電圧VsigRが制御信号Ssawの電圧よりも低い期間P2では、信号PWMRは低レベルになる。信号PWMRは高レベルになる期間P1の長さ（パルス幅PW）は、画素電圧VsigRに応じたものになる。すなわち、画素電圧VsigRが低いほど、信号PWMRのパルス幅PWは狭くなり、画素電圧VsigRが高いほど、信号PWMRのパルス幅PWは広くなる。

[0028] このようにして、信号生成部31は、信号SsigR、走査信号Sscan、および制御信号Ssawに基づいて、画素電圧VsigRに応じたパルス幅PWを有する信号PWMRを生成する。同様に、信号生成部31は、信号SsigG、走査信

号 S scan、および制御信号 S sawに基づいて、画素電圧 V sigG に応じたパルス幅 PW を有する信号 PWMG を生成し、信号 S sigB、走査信号 S scan、および制御信号 S sawに基づいて、画素電圧 V sigB に応じたパルス幅 PW を有する信号 PWMB を生成するようになっている。

[0029] 論理和回路 34 (図 2) は、信号 PWMR と信号 PWMG との論理和 (OR) を求め、その結果を信号 SWG として出力するものである。論理和回路 35 は、信号 PWMR と信号 PWMB との論理和 (OR) を求め、その結果を信号 SWB として出力するものである。

[0030] トランジスタ 21R, 21G, 21B は、P 型の MOS (Metal Oxide Semiconductor) トランジスタである。トランジスタ 21R のゲートには信号 PWMR が供給され、ソースには電源電圧 VDD が供給され、ドレインはトランジスタ 21G, 21B のソースおよび光源部 40 の端子 T2 に接続される。トランジスタ 21G のゲートには信号 PWMG が供給され、ソースは、トランジスタ 21R のドレイン、トランジスタ 21B のソース、および光源部 40 の端子 T2 に接続され、ドレインはトランジスタ 22 のドレインおよび光源部 40 の端子 T3 に接続される。トランジスタ 21B のゲートには信号 PWMB が供給され、ソースは、トランジスタ 21R のドレイン、トランジスタ 21G のソース、および光源部 40 の端子 T2 に接続され、ドレインはトランジスタ 23 のドレインおよび光源部 40 の端子 T4 に接続される。

[0031] トランジスタ 22, 23 は、N 型の MOS トランジスタである。トランジスタ 22 のゲートには信号 SWG が供給され、ドレインはトランジスタ 21G のドレインおよび光源部 40 の端子 T3 に接続され、ソースは電流源 24 の一端に接続される。トランジスタ 23 のゲートには信号 SWB が供給され、ドレインはトランジスタ 21B のドレインおよび光源部 40 の端子 T4 に接続され、ソースは電流源 25 の一端に接続される。

[0032] 電流源 24 は、一端から他端に所定の電流 I G を流す、いわゆる定電流源である。電流源 24 の一端はトランジスタ 22 のソースに接続され、他端は接地される。電流源 25 は、一端から他端に所定の電流 I B を流す、いわ

る定電流源である。電流源25の一端はトランジスタ23のソースに接続され、他端は接地される。

[0033] 光源部40は、赤色(R)、緑色(G)、青色(B)の光を発するものである。光源部40は、4つの端子T1~T4を有している。端子T1には電源電圧VDDが供給され、端子T2はトランジスタ21Rのドレインおよびトランジスタ21G、21Bのソースに接続され、端子T3はトランジスタ21G、22のドレインに接続され、端子T4はトランジスタ21B、23のドレインに接続される。

[0034] 光源部40は、3つの発光素子41(発光素子41R、41G、41B)を有している。発光素子41Rは、赤色(R)の光を発するものであり、発光素子41Gは、緑色(G)の光を発するものであり、発光素子41Bは、青色(B)の光を発するものである。発光素子41R、41G、41Bは、例えば、発光ダイオードを用いて構成することができる。なお、これに限定されるものではなく、例えば、有機EL(Electro Luminescence)素子を用いて構成してもよい。

[0035] 発光素子41Rのアノードは端子T1に接続され、カソードは発光素子41G、41Bのアノードおよび端子T2に接続される。発光素子41Gのアノードは、発光素子41Rのカソード、発光素子41Bのアノード、および端子T2に接続され、カソードは端子T3に接続される。発光素子41Bのアノードは、発光素子41Rのカソード、発光素子41Gのアノード、および端子T2に接続され、カソードは端子T4に接続される。

[0036] この例では、発光素子41Rは、発光効率が、発光素子41G、41Bの発光効率よりも低いものである。言い換えれば、発光素子41Rが所定の輝度で発光するために必要な駆動電流は、発光素子41G、41Bが所定の輝度で発光するために必要な駆動電流よりも多い。光源部40では、3つの発光素子41R、41G、41Bのうちの、発光効率が低い発光素子41(この例では発光素子41R)を、端子T1から端子T2への経路上に配置している。

[0037] 発光素子41Rおよびトランジスタ21Rは並列接続される。具体的には、発光素子41Rのアノードは、トランジスタ21Rのソースに接続され、発光素子41Rのカソードは、トランジスタ21Rのドレインに接続される。これにより、例えば、トランジスタ21Rがオフ状態になると、発光素子41Rに電流I<sub>G</sub>、I<sub>B</sub>の合成電流が流れて、発光素子41Rは発光する。また、トランジスタ21Rがオン状態になると、トランジスタ21Rに電流I<sub>G</sub>、I<sub>B</sub>の合成電流が流れて、発光素子41Rは消光するようになっている。

[0038] 同様に、発光素子41Gおよびトランジスタ21Gは並列接続される。具体的には、発光素子41Gのアノードは、トランジスタ21Gのソースに接続され、発光素子41Gのカソードは、トランジスタ21Gのドレインに接続される。これにより、例えば、トランジスタ21Gがオフ状態になると、発光素子41Gに電流I<sub>G</sub>が流れて発光素子41Gは発光する。また、トランジスタ21Gがオン状態になると、トランジスタ21Gに電流I<sub>G</sub>が流れて、発光素子41Gは消光するようになっている。

[0039] また、発光素子41Bおよびトランジスタ21Bは並列接続される。具体的には、発光素子41Bのアノードは、トランジスタ21Bのソースに接続され、発光素子41Bのカソードは、トランジスタ21Bのドレインに接続される。これにより、例えば、トランジスタ21Bがオフ状態になると、発光素子41Bに電流I<sub>B</sub>が流れて発光素子41Bは発光する。また、トランジスタ21Bがオン状態になると、トランジスタ21Bに電流I<sub>B</sub>が流れて、発光素子41Bは消光するようになっている。

[0040] この構成により、画素20では、パルス幅変調により、発光素子41R、41G、41Bが個別に駆動される。具体的には、発光制御部30は、画素電圧V<sub>sigR</sub>に応じたパルス幅PWを有する信号PW<sub>M</sub>R、画素電圧V<sub>sigG</sub>に応じたパルス幅PWを有する信号PW<sub>M</sub>G、および画素電圧V<sub>sigB</sub>に応じたパルス幅PWを有する信号PW<sub>M</sub>Bを生成する。そして、発光素子41Rが、信号PW<sub>M</sub>Rに応じて発光し、発光素子41Gが、信号PW<sub>M</sub>Gに応じて

発光し、発光素子41Bが、信号PWMBに応じて発光するようになっている。

[0041] ここで、発光素子41Rは、本開示における「第1の発光素子」の一具体例に対応する。発光素子41Gは、本開示における「第2の発光素子」の一具体例に対応する。発光素子41Bは、本開示における「第3の発光素子」の一具体例に対応する。端子T1は、本開示における「第1の端子」の一具体例に対応する。端子T2は、本開示における「第2の端子」の一具体例に対応する。端子T3は、本開示における「第3の端子」の一具体例に対応する。端子T4は、本開示における「第4の端子」の一具体例に対応する。トランジスタ21Rは、本開示における「第1のスイッチ」の一具体例に対応する。トランジスタ21Gは、本開示における「第2のスイッチ」の一具体例に対応する。トランジスタ21Bは、本開示における「第3のスイッチ」の一具体例に対応する。トランジスタ22は、本開示における「第4のスイッチ」の一具体例に対応する。トランジスタ23は、本開示における「第5のスイッチ」の一具体例に対応する。電流源24は、本開示における「第1の電流源」の一具体例に対応する。電流源25は、本開示における「第2の電流源」の一具体例に対応する。信号線駆動部14は、本開示における「駆動部」の一具体例に対応する。

[0042] [動作および作用]

続いて、本実施の形態の表示装置1の動作および作用について説明する。

[0043] (全体動作概要)

まず、図1, 2を参照して、表示装置1の全体動作概要を説明する。画像信号処理部11は、外部から供給される画像信号Spicに対して所定の信号処理を行い、画像信号Spic2を生成する。タイミング制御部12は、外部から供給される同期信号Syncに基づいて、走査線駆動部13、信号線駆動部14、および制御信号生成部15に対してそれぞれ制御信号を供給し、これらがお互いに同期して動作するように制御する。走査線駆動部13は、タイミング制御部12から供給された制御信号に従って、表示部16の複数の走査

線 SCL に対して走査信号 Sscan を順次印加することにより、行単位で画素 20 を順次選択する。信号線駆動部 14 は、画像信号処理部 11 から供給された画像信号 Spic2 およびタイミング制御部 12 から供給された制御信号に従って、各画素 20 の発光輝度を示す画素電圧 Vsig (画素電圧 VsigR, VsigG, VsigB) を含む複数の信号 Ssig を生成する。そして、信号線駆動部 14 は、この複数の信号 Ssig を、表示部 16 の複数の信号線 SGL にそれぞれ印加する。これにより、信号線駆動部 14 は、走査線駆動部 13 が選択した画素 20 に対して画素電圧 Vsig を供給する。制御信号生成部 15 は、いわゆるのこぎり波形を有する制御信号 Ssaw を生成し、その制御信号 Ssaw を表示部 16 に供給する。表示部 16 は、信号 Ssig、走査信号 Sscan、および制御信号 Ssaw に基づいて画像を表示する。

[0044] (詳細動作)

各画素 20 では、信号生成部 31 は、信号 SsigR, SsigG, SsigB、走査信号 Sscan、および制御信号 Ssaw に基づいて、信号 PWMR, PWMG, PWMB を生成する。トランジスタ 21R は、信号 PWMR に基づいてオンオフし、トランジスタ 21G は、信号 PWMG に基づいてオンオフし、トランジスタ 21B は、信号 PWMB に基づいてオンオフする。また、論理和回路 34, 35 は、信号 PWMR, PWMG, PWMB に基づいて信号 SWG, SWB を生成する。トランジスタ 22 は、信号 SWG に基づいてオンオフし、トランジスタ 23 は、信号 SWB に基づいてオンオフする。そして、光源部 40 の発光素子 41R, 41G, 41B は、トランジスタ 21R, 21G, 21B, 22, 23 のオンオフに基づいて、それぞれ発光または消光する。

[0045] 図 5 は、信号 PWMR, PWMG, PWMB に基づくトランジスタ 21R, 21G, 21B および発光素子 41R, 41G, 41B の動作を表すものである。この図 5 において、“H” は信号が高レベルであることを示し、“L” は信号が低レベルであることを示す。また、“OFF” はトランジスタがオフ状態であることを示し、“ON” はトランジスタがオン状態であることを示す。

を示す。また、“発光”は発光素子が発光していることを示し、“消光”は発光素子が消光していることを示す。図6A～6Fは、画素20における動作状態を模式的に表すものである。

[0046] 図5に示したように、信号PWMR, PWMG, PWMBが“HHH”である場合には、信号SWG, SWBは“HH”になる。これにより、トランジスタ22, 23はオン状態になり、トランジスタ21R, 21G, 21Bはオフ状態になる。この場合には、図6Aに示したように、発光素子41R、発光素子41G、トランジスタ22、電流源24の順に電流IGが流れるとともに、発光素子41R、発光素子41B、トランジスタ23、電流源25の順に電流IBが流れる。これにより、発光素子41Rには、電流IGおよび電流IBの合計電流が流れ、発光素子41Gには電流IGが流れ、発光素子41Bには電流IBが流れる。その結果、発光素子41R, 41G, 41Bがそれぞれ発光する。

[0047] 信号PWMR, PWMG, PWMBが“HHL”である場合には、信号SWG, SWBは“HH”になる。これにより、トランジスタ21B, 22, 23はオン状態になり、トランジスタ21R, 21Gはオフ状態になる。この場合には、図6Bに示したように、発光素子41R、発光素子41G、トランジスタ22、電流源24の順に電流IGが流れるとともに、発光素子41R、トランジスタ21B、トランジスタ23、電流源25の順に電流IBが流れる。これにより、発光素子41Rには、電流IGおよび電流IBの合計電流が流れ、発光素子41Gには電流IGが流れ、発光素子41Bには電流は流れない。その結果、発光素子41R, 41Gがそれぞれ発光し、発光素子41Bが消光する。

[0048] 信号PWMR, PWMG, PWMBが“HLH”である場合には、信号SWG, SWBは“HH”になる。これにより、トランジスタ21G, 21B, 22, 23はオン状態になり、トランジスタ21Rはオフ状態になる。この場合には、発光素子41Rには、電流IGおよび電流IBの合計電流が流れ、発光素子41Bには電流IBが流れ、発光素子41Gには電流は流れな

い。その結果、発光素子41R, 41Bがそれぞれ発光し、発光素子41Gが消光する。

[0049] 信号PWMR, PWMG, PWMBが“HLL”である場合には、信号SWG, SWBは“HH”になる。これにより、トランジスタ21G, 22, 23はオン状態になり、トランジスタ21R, 21Bはオフ状態になる。この場合には、図6Cに示したように、発光素子41R、トランジスタ21G、トランジスタ22、電流源24の順に電流IGが流れるとともに、発光素子41R、トランジスタ21B、トランジスタ23、電流源25の順に電流IBが流れる。これにより、発光素子41Rには電流IGおよび電流IBの合計電流が流れ、発光素子41G, 41Bには電流は流れない。その結果、発光素子41Rが発光し、発光素子41G, 41Bがそれぞれ消光する。

[0050] 信号PWMR, PWMG, PWMBが“LHH”である場合には、信号SWG, SWBは“HH”になる。これにより、トランジスタ21R, 22, 23はオン状態になり、トランジスタ21G, 21Bはオフ状態になる。この場合には、図6Dに示したように、トランジスタ21R、発光素子41G、トランジスタ22、電流源24の順に電流IGが流れるとともに、トランジスタ21R、発光素子41B、トランジスタ23、電流源25の順に電流IBが流れる。これにより、発光素子41Gには電流IGが流れ、発光素子41Bには電流IBが流れ、発光素子41Rには電流は流れない。その結果、発光素子41G, 41Bがそれぞれ発光し、発光素子41Rが消光する。

[0051] 信号PWMR, PWMG, PWMBが“LHL”である場合には、信号SWG, SWBは“HL”になる。これにより、トランジスタ21R, 21B, 22はオン状態になり、トランジスタ21G, 23はオフ状態になる。この場合には、図6Eに示したように、トランジスタ21R、発光素子41G、トランジスタ22、電流源24の順に電流IGが流れる。これにより、発光素子41Gには電流IGが流れ、発光素子41R, 41Bには電流は流れない。その結果、発光素子41Gが発光し、発光素子41R, 41Bがそれぞれ消光する。

- [0052] 信号PWMR, PWMG, PWMBが“L L H”である場合には、信号SWG, SWBは“L H”になる。これにより、トランジスタ21R, 21G, 23はオン状態になり、トランジスタ21B, 22はオフ状態になる。この場合には、発光素子41Bには電流IBが流れ、発光素子41R, 41Gには電流は流れない。その結果、発光素子41Bが発光し、発光素子41R, 41Gがそれぞれ消光する。
- [0053] 信号PWMR, PWMG, PWMBが“L L L”である場合には、信号SWG, SWBは“L L”になる。これにより、トランジスタ21R, 21G, 21Bはオン状態になり、トランジスタ22, 23はオフ状態になる。この場合には、図6Fに示したように、電流は流れないので、発光素子41R, 41G, 41Bがそれぞれ消光する。
- [0054] このように、画素20では、信号PWMRが“H”である場合には、トランジスタ21Rがオフ状態になるため、発光素子41Rに電流IG, IBの合成電流が流れ、発光素子41Rが発光する。また、信号PWMGが“H”である場合には、トランジスタ21Gがオフ状態になるため、発光素子41Gに電流IGが流れ、発光素子41Gが発光する。信号PWMBが“H”である場合には、トランジスタ21Bがオフ状態になるため、発光素子41Bに電流IBが流れ、発光素子41Bが発光する。
- [0055] また、画素20では、信号PWMR, PWMGがともに“L”である場合には、トランジスタ22をオフ状態にした。すなわち、この場合には、トランジスタ21R, 21Gがともにオン状態になり、発光素子41R, 41Gがともに消光する。よって、このように、発光素子41R, 41Gがともに消光する場合には、トランジスタ22をオフ状態にすることにより、電流IGが流れないようにすることができ、その結果、消費電力を低減することができる。
- [0056] 同様に、画素20では、信号PWMR, PWMBがともに“L”である場合には、トランジスタ23をオフ状態にした。すなわち、この場合には、トランジスタ21R, 21Bがともにオン状態になり、発光素子41R, 41

Bがともに消光する。よって、このように、発光素子41R, 41Bがともに消光する場合には、トランジスタ23をオフ状態にすることにより、電流IBが流れないようにすることができ、その結果、消費電力を低減することができる。

- [0057] このようにして、発光素子41R, 41G, 41Bは、信号PWMR, PWMG, PWMBに基づいて、個別に駆動される。
- [0058] 画素20では、パルス幅変調により、発光素子41R, 41G, 41Bが個別に駆動される。具体的には、発光制御部30は、画素電圧VsigRに応じたパルス幅PWを有する信号PWMR、画素電圧VsigGに応じたパルス幅PWを有する信号PWMG、および画素電圧VsigBに応じたパルス幅PWを有する信号PWMBを生成する。そして、発光素子41R, 41G, 41Bは、これらの信号PWMR, PWMG, PWMBに基づいて、パルス幅変調により個別に駆動される。
- [0059] 図7は、画素20の一動作例を表すものであり、(A)は信号PWMRの波形を示し、(B)は信号PWMGの波形を示し、(C)は信号PWMBの波形を示し、(D)は信号SWGの波形を示し、(E)は信号SWBの波形を示し、(F)は発光素子41Rの動作を示し、(G)は発光素子41Gの動作を示し、(H)は発光素子41Bの動作を示す。図7(F)~(H)において、白色は発光素子が発光していることを示し、黒色は発光素子が消光していることを示す。
- [0060] この例では、タイミングt1において、発光制御部30の信号生成部31は、信号PWMRを低レベルから高レベルに遷移させ、信号PWMGを低レベルから高レベルに遷移させ、信号PWMBを低レベルから高レベルに遷移させる(図7(A)~(C))。また、発光制御部30の論理和回路34は、信号PWMR, PWMGの遷移に応じて、信号SWGを低レベルから高レベルに遷移させ、論理和回路35は、信号PWMR, PWMBの遷移に応じて、信号SWBを低レベルから高レベルに遷移させる(図7(D), (E))。これにより、タイミングt1~t2の間では、発光素子41R, 41

G, 41Bがそれぞれ発光する(図7(F)~(H))。

[0061] 次に、タイミングt<sub>2</sub>において、信号生成部31は、信号PWMBを高レベルから低レベルに遷移させる(図7(C))。これにより、タイミングt<sub>2</sub>~t<sub>3</sub>の間では、発光素子41R, 41Gがそれぞれ発光し、発光素子41Bが消光する(図7(F)~(H))。

[0062] 次に、タイミングt<sub>3</sub>において、信号生成部31は、信号PWMRを高レベルから低レベルに遷移させる(図7(A))。また、論理和回路35は、この信号PWMRの遷移に応じて、信号SWBを高レベルから低レベルに遷移させる(図7(E))。これにより、タイミングt<sub>3</sub>~t<sub>4</sub>の間では、発光素子41Gが発光し、発光素子41R, 41Bがそれぞれ消光する(図7(F)~(H))。

[0063] 次に、タイミングt<sub>4</sub>において、信号生成部31は、信号PWMGを高レベルから低レベルに遷移させる(図7(B))。また、論理和回路34は、この信号PWMGの遷移に応じて、信号SWGを高レベルから低レベルに遷移させる(図7(D))。これにより、タイミングt<sub>4</sub>~t<sub>5</sub>の間では、発光素子41R, 41G, 41Bがそれぞれ消光する(図7(F)~(H))。

[0064] このようにして、発光素子41R, 41G, 41Bは、信号PWMR, PWMG, PWMBに基づいて、パルス幅変調により個別に駆動される。

[0065] 表示装置1では、図2に示したように、光源部40において、4つの端子T<sub>1</sub>~T<sub>4</sub>を設け、端子T<sub>1</sub>から端子T<sub>2</sub>への経路上に発光素子41Rを設け、端子T<sub>2</sub>から端子T<sub>3</sub>への経路上に発光素子41Gを設け、端子T<sub>2</sub>から端子T<sub>4</sub>への経路上に発光素子41Bを設けた。このように、表示装置1では、光源部40の端子の数を4つにしたので、以下に比較例と対比して説明するように、光源チップ(光源部40)と画素チップとの間の配線をシンプルにすることができ、その結果、画素20をコンパクトにすることができる。これにより、例えば、表示装置1の解像度を高くすることができ、画質を高めることができる。また、光源チップ(光源部40)と画素チップとの

間の配線の寄生容量を小さくすることができるので、発光素子41R, 41G, 41Bを速い動作速度で駆動することができるため、表示装置1の画質を高めることができる。

[0066] また、表示装置1では、トランジスタ22を設け、発光素子41R, 41Gがともに発光しない場合には、トランジスタ22をオフするようにしたので、消費電力を低減することができる。同様に、表示装置1では、トランジスタ23を設け、発光素子41R, 41Bがともに発光しない場合には、トランジスタ23をオフするようにしたので、消費電力を低減することができる。

[0067] また、表示装置1では、光源部40において、端子T1から端子T2への経路上に、発光素子41R, 41G, 41Bのうちの発光効率が低い発光素子41（この例では発光素子41R）を配置したので、表示装置1の画質を高めることができる。すなわち、端子T1から端子T2への経路には、2つの電流源24, 25により生成された電流の合計電流が流れるため、発光素子41を端子T1から端子T2への経路上に配置した場合には、その発光素子41を他の経路上に配置した場合に比べて高い輝度で発光する。よって、発光素子41を端子T1から端子T2への経路上に配置した場合の、この発光素子41の発光期間の長さは、この発光素子41を他の経路上に配置した場合の発光期間の長さに比べて短くなる。特に、端子T1から端子T2への経路上に、発光効率が低い発光素子41を配置した場合には、この発光素子41の発光期間の長さはさらに短くなってしまふ。例えば、発光期間の長さが極端に短い場合には、その発光素子41は適切に発光できないおそれがあり、この場合には表示装置1の画質が低下してしまうおそれがある。一方、表示装置1では、端子T1から端子T2への経路上に、発光素子41R, 41G, 41Bのうちの発光効率が低い発光素子41（この例では発光素子41R）を配置したので、端子T1から端子T2への経路上に配置された発光素子41の発光期間の長さを確保することができるため、表示装置1の画質を高めることができる。

[0068] (比較例)

次に、いくつかの比較例と対比して、本実施の形態の作用を説明する。

[0069] 図8は、第1の比較例に係る表示装置5の画素50の一構成例を表すものである。画素50は、発光制御部51と、トランジスタ52R, 52G, 52B, 53~55と、電流源56~58と、光源部59とを有している。

[0070] 発光制御部51は、信号SsigR, SsigG, SsigB、走査信号Sscan、および制御信号Ssawに基づいて、信号PWMR, PWMG, PWMBと、信号SWR, SWG, SWBとを生成するものである。

[0071] トランジスタ52R, 52G, 52Bは、P型のMOSトランジスタである。トランジスタ52Rのゲートには信号PWMRが供給され、ソースには電源電圧VDDが供給され、ドレインはトランジスタ53のドレインおよび光源部59の端子T14に接続される。トランジスタ52Gのゲートには信号PWMGが供給され、ソースには電源電圧VDDが供給され、ドレインはトランジスタ54のドレインおよび光源部59の端子T15に接続される。トランジスタ52Bのゲートには信号PWMBが供給され、ソースには電源電圧VDDが供給され、ドレインはトランジスタ55のドレインおよび光源部59の端子T16に接続される。

[0072] トランジスタ53~55は、N型のMOSトランジスタである。トランジスタ53のゲートには信号SWRが供給され、ドレインはトランジスタ52Rのドレインおよび光源部59の端子T14に接続され、ソースは電流源56の一端に接続される。トランジスタ54のゲートには信号SWGが供給され、ドレインはトランジスタ52Gのドレインおよび光源部59の端子T15に接続され、ソースは電流源57の一端に接続される。トランジスタ55のゲートには信号SWBが供給され、ドレインはトランジスタ52Bのドレインおよび光源部59の端子T16に接続され、ソースは電流源58の一端に接続される。

[0073] 電流源56は、一端から他端に所定の電流IRを流す、いわゆる定電流源であり、一端はトランジスタ53のソースに接続され、他端は接地される。

電流源 57 は、一端から他端に所定の電流  $I_G$  を流す、いわゆる定電流源であり、一端はトランジスタ 54 のソースに接続され、他端は接地される。電流源 58 は、一端から他端に所定の電流  $I_B$  を流す、いわゆる定電流源であり、一端はトランジスタ 55 のソースに接続され、他端は接地される。

[0074] 光源部 59 は、6つの端子 T11~T16 を有している。端子 T11~T13 には電源電圧 VDD が供給され、端子 T14 はトランジスタ 52R, 53 のドレインに接続され、端子 T15 はトランジスタ 52G, 54 のドレインに接続され、端子 T16 はトランジスタ 52B, 55 のドレインに接続される。光源部 59 は、3つの発光素子 59R, 59G, 59B を有している。発光素子 59R のアノードは端子 T11 に接続され、カソードは端子 T14 に接続される。発光素子 59G のアノードは端子 T12 に接続され、カソードは端子 T15 に接続される。発光素子 59B のアノードは端子 T13 に接続され、カソードは端子 T16 に接続される。光源部 59 は、1つのチップ（光源チップ）で構成される。

[0075] この比較例に係る表示装置 5 では、3つの発光素子 59R, 59G, 59B に対応して、3つの電流源 56, 57, 58 を設けたので、消費電力が大きくなるおそれがある。また、光源部 59 は、6つの端子 T11~T16 を有するので、光源チップと画素チップとの間の配線が複雑になるおそれがある。

[0076] 一方、実施の形態に係る表示装置 1 では、2つの電流源 24, 25 で済むため、消費電力を抑えることができる。また、表示装置 1 では、光源部 40 の端子の数を 4 つにしたので、光源チップと画素チップとの間の配線をシンプルにすることができ、画素 20 をコンパクトにすることができる。その結果、表示装置 1 では、上述したように、例えば画質を高めることができる。

[0077] 図 9 は、第 2 の比較例に係る表示装置 6 の画素 60 の一構成例を表すものである。この画素 60 は、画素 2 つ分の機能を有するものである。画素 60 は、発光制御部 61 と、トランジスタ 62R, 62G, 62B と、光源部 69 とを有している。

[0078] 発光制御部61は、信号SsigR、SsigG、SsigB、走査信号Sscan、および制御信号Ssawに基づいて、信号PWMR1、PWMG1、PWMB1と、信号PWMR2、PWMG2、PWMB2と、信号SWR、SWG、SWBとを生成するものである。具体的には、発光制御部61は、走査信号Sscanに基づいて、信号SsigRに含まれる画素電圧VsigR1、信号SsigGに含まれる画素電圧VsigG1、および信号SsigBに含まれる画素電圧VsigB1をサンプリングし、画素電圧VsigR1、VsigG1、VsigB1および制御信号Ssawに基づいて、画素電圧VsigR1に応じたパルス幅PWを有する信号PWMR1、画素電圧VsigG1に応じたパルス幅PWを有する信号PWMG1、および画素電圧VsigB1に応じたパルス幅PWを有する信号PWMB1を生成する。また、発光制御部61は、走査信号Sscanに基づいて、信号SsigRに含まれる画素電圧VsigR2、信号SsigGに含まれる画素電圧VsigG2、および信号SsigBに含まれる画素電圧VsigB2をサンプリングし、画素電圧VsigR2、VsigG2、VsigB2および制御信号Ssawに基づいて、画素電圧VsigR2に応じたパルス幅PWを有する信号PWMR2、画素電圧VsigG2に応じたパルス幅PWを有する信号PWMG2、および画素電圧VsigB2に応じたパルス幅PWを有する信号PWMB2を生成するようになっている。

[0079] トランジスタ52Rのゲートには信号PWMR1が供給され、ドレインは、トランジスタ62Rのソース、光源部59の端子T14、および光源部69の端子T21に接続される。トランジスタ52Gのゲートには信号PWMG1が供給され、ドレインは、トランジスタ62Gのソース、光源部59の端子T15、および光源部69の端子T22に接続される。トランジスタ52Bのゲートには信号PWMB1が供給され、ドレインは、トランジスタ62Bのソース、光源部59の端子T16、および光源部69の端子T23に接続される。

[0080] トランジスタ62R、62G、62Bは、P型のMOSトランジスタである。トランジスタ62Rのゲートには信号PWMR2が供給され、ソースは、トランジスタ52Rのドレイン、光源部59の端子T14、および光源部

69の端子T21に接続され、ドレインはトランジスタ53のドレインおよび光源部69の端子T24に接続される。トランジスタ62Gのゲートには信号PWMG2が供給され、ソースは、トランジスタ52Gのドレイン、光源部59の端子T15、および光源部69の端子T22に接続され、ドレインはトランジスタ54のドレインおよび光源部69の端子T25に接続される。トランジスタ62Bのゲートには信号PWMB2が供給され、ソースは、トランジスタ52Bのドレイン、光源部59の端子T16、および光源部69の端子T23に接続され、ドレインはトランジスタ55のドレインおよび光源部69の端子T26に接続される。

[0081] トランジスタ53のドレインはトランジスタ62Rのドレインおよび光源部69の端子T24に接続される。トランジスタ54のドレインはトランジスタ62Gのドレインおよび光源部69の端子T25に接続される。トランジスタ55のドレインはトランジスタ62Bのドレインおよび光源部69の端子T26に接続される。

[0082] 光源部59の端子T14は、トランジスタ52Rのドレイン、トランジスタ62Rのソース、および光源部69の端子T21に接続され、端子T15は、トランジスタ52Gのドレイン、トランジスタ62Gのソース、および光源部69の端子T22に接続され、端子T16は、トランジスタ52Bのドレイン、トランジスタ62Bのソース、および光源部69の端子T23に接続される。

[0083] 光源部69は、6つの端子T21～T26を有している。端子T21は、トランジスタ52Rのドレイン、トランジスタ62Rのソース、および光源部59の端子T14に接続され、端子T22は、トランジスタ52Gのドレイン、トランジスタ62Gのソース、および光源部59の端子T15に接続され、端子T23は、トランジスタ52Bのドレイン、トランジスタ62Bのソース、および光源部59の端子T16に接続される。また、端子T24はトランジスタ62R、53のドレインに接続され、端子T25はトランジスタ62G、54のドレインに接続され、端子T26はトランジスタ62B

、55のドレインに接続される。光源部69は、3つの発光素子69R、69G、69Bを有している。発光素子69Rのアノードは端子T21に接続され、カソードは端子T24に接続される。発光素子69Gのアノードは端子T22に接続され、カソードは端子T25に接続される。発光素子69Bのアノードは端子T23に接続され、カソードは端子T26に接続される。光源部69は、1つのチップ（光源チップ）で構成される。

[0084] この比較例に係る表示装置6では、光源部59、69が、それぞれ6つの端子を有するので、2つの光源チップの間の配線や、各光源チップと画素チップとの間の配線が複雑になるおそれがある。また、例えば、第1の画素に対応する光源部59の端子T11から端子T14への経路において、いわゆるオープン故障が生じた場合には、第2の画素に対応する光源部69の発光素子69Rを発光させることができなくなるおそれがある。

[0085] 一方、実施の形態に係る表示装置1では、光源部40の端子の数を4つにしたので、光源チップと画素チップとの間の配線をシンプルにすることができ、画素20をコンパクトにすることができる。その結果、表示装置1では、上述したように、例えば画質を高めることができる。また、表示装置1では、画素ごとに独立した構成であるため、ある画素において例えばオープン故障が生じて、他の画素に影響をおよぼすおそれを低減することができる。

[0086] 図10は、第3の比較例に係る表示装置7の画素70の一構成例を表すものである。この画素70は、発光制御部71と、トランジスタ72R、72G、72B、73～75と、電流源76～78と、光源部79とを有している。

[0087] 発光制御部71は、信号SsigR、SsigG、SsigB、走査信号Sscan、および制御信号Ssawに基づいて、信号PWMR、PWVG、PWVBと、信号SWR1、SWG1、SWB1とを生成するものである。

[0088] トランジスタ72R、72G、72Bは、P型のMOSトランジスタである。トランジスタ72Rのゲートには信号PWMRが供給され、ソースには

電源電圧VDDが供給され、ドレインは、トランジスタ72Gのソース、トランジスタ73のドレイン、および光源部79の端子T32に接続される。トランジスタ72Gのゲートには信号PWVGが供給され、ソースはトランジスタ72R、73のドレインおよび光源部79の端子T32に接続され、ドレインは、トランジスタ72Bのソース、トランジスタ74のドレイン、および光源部79の端子T33に接続される。トランジスタ72Bのゲートには信号PWVBが供給され、ソースはトランジスタ72G、74のドレインおよび光源部79の端子T33に接続され、ドレインはトランジスタ75のドレインおよび光源部79の端子T34に接続される。

[0089] トランジスタ73～75は、N型のMOSトランジスタである。トランジスタ73のゲートには信号SWR1が供給され、ドレインは、トランジスタ72Rのドレイン、トランジスタ72Gのソース、および光源部79の端子T32に接続され、ソースは電流源77の一端に接続される。トランジスタ74のゲートには信号SWG1が供給され、ドレインは、トランジスタ72Gのドレイン、トランジスタ72Bのソース、および光源部79の端子T33に接続され、ソースは電流源77の一端に接続される。トランジスタ75のゲートには信号SWB1が供給され、ドレインはトランジスタ72Bのドレインおよび光源部79の端子T34に接続され、ソースは電流源78の一端に接続される。

[0090] 電流源78は、一端から他端に所定の電流IBを流す、いわゆる定電流源である。電流源78の一端はトランジスタ75のソースに接続され、他端は接地される。電流源77は、一端から他端に所定の電流IGB(=IG-IB)を流す、いわゆる定電流源である。電流源77の一端はトランジスタ74のソースに接続され、他端は接地される。電流源76は、一端から他端に所定の電流IRG(=IR-IG)を流す、いわゆる定電流源である。電流源76の一端はトランジスタ73のソースに接続され、他端は接地される。

[0091] 光源部79は、4つの端子T31～T34を有している。端子T31には電源電圧VDDが供給され、端子T32はトランジスタ72R、73のドレ

インおよびトランジスタ72Gのソースに接続され、端子T33はトランジスタ72G、74のドレインおよびトランジスタ72Bのソースに接続され、端子T34はトランジスタ72B、75のドレインに接続される。光源部79は、3つの発光素子79R、79G、79Bを有している。発光素子79Rのアノードは端子T31に接続され、カソードは発光素子79Gのアノードおよび端子T32に接続される。発光素子79Gのアノードは発光素子79Rのカソードおよび端子T32に接続され、カソードは発光素子79Bのアノードおよび端子T33に接続される。発光素子79Bのアノードは発光素子79Gのカソードおよび端子T33に接続され、カソードは端子T34に接続される。光源部79は、1つのチップ（光源チップ）で構成される。

[0092] この比較例に係る表示装置7では、3つの発光素子79R、79G、79Bを直列に接続したので、電源電圧VDDを高くせざるを得ない場合が有り得る。その結果、消費電力が増大するおそれがある。また、表示装置7では、例えば、電流源77が生成する電流 $I_{GB}$  ( $= I_G - I_B$ )は、発光素子79Bの発光に寄与せず、同様に、電流源76が生成する電流 $I_{RG}$  ( $= I_R - I_G$ )に寄与しないため、電流が無駄になってしまう。

[0093] 一方、実施の形態に係る表示装置1では、図2に示したように、端子T1から端子T2への経路上に発光素子41Rを設け、端子T2から端子T3への経路上に発光素子41Gを設け、端子T2から端子T4への経路上に発光素子41Bを設けるようにした。これにより、表示装置1では、2つの発光素子41が直列に接続されるので、電源電圧VDDを抑えることができる。その結果、表示装置1では、消費電力を抑えることができる。また、表示装置1では、例えば、電流源24が生成する電流 $I_G$ は、発光素子41R、41Gの発光に寄与し、同様に、電流源25が生成する電流 $I_B$ は、発光素子41R、41Bの発光に寄与するため、電流を効率良く利用することができる。

[0094] [効果]

以上のように本実施の形態では、光源部の端子の数を4つにしたので、光源チップと画素チップとの間の配線をシンプルにすることができ、その結果、画素をコンパクトにすることができる。これにより、例えば、表示装置の画質を高めることができる。

[0095] [変形例1]

上記実施の形態では、端子T1から端子T2への経路上に1つの発光素子41Rを設け、端子T2から端子T3への経路上に1つの発光素子41Gを設け、端子T2から端子T4への経路上に1つの発光素子41Bを設けたが、これに限定されるものではない。これに代えて、例えば図11に示す光源部40Aのように、端子T1から端子T2への経路上に、複数（この例では3つ）の発光素子を設け、端子T2から端子T3への経路上に複数（この例では3つ）の発光素子を設け、端子T2から端子T4への経路上に複数（この例では3つ）の発光素子を設けてもよい。この例では、端子T1から端子T2への経路上に、直列に接続された3つの発光素子41R, 42R, 43Rを配置し、端子T2から端子T3への経路上に、直列に接続された3つの発光素子41G, 42G, 43Gを配置し、端子T2から端子T4への経路上に、直列に接続された3つの発光素子41B, 42B, 43Bを配置している。

[0096] この光源部40Aでは、3つの経路上に同じ数の発光素子を設けたが、これに限定されるものではない。これに代えて、例えば図12に示す光源部40Bのように、各経路における発光素子の数が、互いに等しくなくてもよい。この例では、端子T1から端子T2への経路上に、直列に接続された2つの発光素子41R, 42Rを配置し、端子T2から端子T3への経路上に、直列に接続された3つの発光素子41G, 42G, 43Gを配置し、端子T2から端子T4への経路上に、直列に接続された3つの発光素子41B, 42B, 43Bを配置している。

[0097] また、光源部40A, 40Bでは、各経路において複数の発光素子を直列に接続したが、これに限定されるものではない。これに代えて、例えば、図

13に示す光源部40Cのように、端子T1から端子T2への経路上に、並列に接続された複数（この例では2つ）の発光素子を設け、端子T2から端子T3への経路上に、並列に接続された複数（この例では2つ）の発光素子を設け、端子T2から端子T4への経路上に、並列に接続された複数（この例では2つ）の発光素子を設けてもよい。この例では、端子T1から端子T2への経路上において、並列に接続された2つの発光素子41R、42Rを配置し、端子T2から端子T3への経路上において、並列に接続された2つの発光素子41G、42Gを配置し、端子T2から端子T4への経路上において、並列に接続された2つの発光素子41B、42Bを配置している。

[0098] この場合でも、例えば、図14に示す光源部40Dのように、各経路における発光素子の数が、互いに等しくなくてもよい。この例では、端子T1から端子T2への経路上に、並列に接続された2つの発光素子41R、42Rを配置し、端子T2から端子T3への経路上に1つの発光素子41Gを配置し、端子T2から端子T4への経路上に1つの発光素子41Bを配置している。

[0099] [変形例2]

上記実施の形態では、光源部40に、赤色（R）の光を発する発光素子41Rと、緑色（G）の光を発する発光素子41Gと、青色（B）の光を発する発光素子41Bとを設けたが、これに限定されるものではない。これに加えて、さらに、例えば、黄色や、白色の色を発する発光素子を設けてもよい。以下に、黄色（Y）の発光素子41Yを設けた表示装置1Eについて、詳細に説明する。

[0100] 図15は、表示装置1Eの一構成例を表すものである。表示装置1Eは、画像信号処理部11Eと、信号線駆動部14Eと、表示部16Eとを備えている。

[0101] 画像信号処理部11Eは、外部から供給される画像信号Spicに対して所定の信号処理を行い、画像信号Spic3を生成するものである。画像信号処理部11Eは、3色（赤色、緑色、青色）の輝度情報を4色（赤色、緑色、青色

、黄色)の輝度情報に変換する機能を有している。

[0102] 信号線駆動部14Eは、画像信号処理部11Eから供給された画像信号 $S_{pic3}$ およびタイミング制御部12から供給された制御信号に従って、画素電圧 $V_{sigR}$ を含む複数の信号 $S_{sigR}$ 、画素電圧 $V_{sigG}$ を含む複数の信号 $S_{sigG}$ 、画素電圧 $V_{sigB}$ を含む複数の信号 $S_{sigB}$ 、および画素電圧 $V_{sigY}$ を含む複数の信号 $S_{sigY}$ を生成するものである。そして、信号線駆動部14Eは、複数の信号 $S_{sigR}$ を表示部16Eの複数の信号線 $S_{GLR}$ にそれぞれ印加し、複数の信号 $S_{sigG}$ を複数の信号線 $S_{GLG}$ にそれぞれ印加し、複数の信号 $S_{sigB}$ を複数の信号線 $S_{GLB}$ にそれぞれ印加し、複数の信号 $S_{sigY}$ を複数の信号線 $S_{GLY}$ (後述)にそれぞれ印加することにより、走査線駆動部13が選択した画素80に対して画素電圧 $V_{sigR}$ 、 $V_{sigG}$ 、 $V_{sigB}$ 、 $V_{sigY}$ を供給するようになっている。

[0103] 表示部16Eは、信号 $S_{sigR}$ 、 $S_{sigG}$ 、 $S_{sigB}$ 、 $S_{sigY}$ 、走査信号 $S_{scan}$ 、および制御信号 $S_{saw}$ に基づいて画像を表示するものである。表示部16Eは、マトリックス状に配置された複数の画素80を有している。また、表示部16Eは、行方向(図1における横方向)に延伸する複数の走査線 $S_{CL}$ と、列方向(図1における縦方向)に延伸する複数の信号線 $S_{GLR}$ と、列方向に延伸する複数の信号線 $S_{GLG}$ と、列方向に延伸する複数の信号線 $S_{GLB}$ と、列方向に延伸する複数の信号線 $S_{GLY}$ とを有している。信号線 $S_{GLR}$ 、 $S_{GLG}$ 、 $S_{GLB}$ 、 $S_{GLY}$ の一端は信号線駆動部14Eに接続されている。そして、信号線 $S_{GLR}$ は、信号線駆動部14Eにより画素電圧 $V_{sigR}$ を含む信号 $S_{sigR}$ が印加され、信号線 $S_{GLG}$ は、信号線駆動部14Eにより画素電圧 $V_{sigG}$ を含む信号 $S_{sigG}$ が印加され、信号線 $S_{GLB}$ は、信号線駆動部14Eにより画素電圧 $V_{sigB}$ を含む信号 $S_{sigB}$ が印加され、信号線 $S_{GLY}$ は、信号線駆動部14Eにより画素電圧 $V_{sigY}$ を含む信号 $S_{sigY}$ が印加される。各画素80は、走査線 $S_{CL}$ および4本の信号線 $S_{GLR}$ 、 $S_{GLG}$ 、 $S_{GLB}$ 、 $S_{GLY}$ に接続されている。

[0104] 図16は、画素80の一構成例を表すものである。画素80は、発光制御

部30Eと、トランジスタ21Y、84と、電流源86と、光源部40Eとを有している。光源部40Eは、1つのチップ（光源チップ）で構成されるようになっている。

[0105] 発光制御部30Eは、信号SsigR, SsigG, SsigB, SsigY、走査信号Sscan、および制御信号Ssawに基づいて、信号PWMR, PWMG, PWMB, PWMYと、信号SWG, SWB, SWYとを生成するものである。発光制御部30Eは、信号生成部31Eと、論理和回路36とを有している。

[0106] 信号生成部31Eは、信号SsigR（画素電圧VsigR）、SsigG（画素電圧VsigG）、SsigB（画素電圧VsigB）、SsigY（画素電圧VsigY）、走査信号Sscan、および制御信号Ssawに基づいて、信号PWMR, PWMG, PWMB, PWMYを生成するものである。信号PWMYは、画素電圧VsigYに応じたパルス幅PWを有する信号である。

[0107] 論理和回路36は、信号PWMRと信号PWMYとの論理和（OR）を求め、その結果を信号SWYとして出力するものである。

[0108] トランジスタ21Yは、P型のMOSトランジスタである。トランジスタ21Yのゲートには信号PWMYが供給され、ソースは、トランジスタ21Rのドレイン、トランジスタ21G, 21Bのソース、および光源部40Eの端子T2に接続され、ドレインはトランジスタ84のドレインおよび光源部40Eの端子T5に接続される。

[0109] トランジスタ84は、N型のMOSトランジスタである。トランジスタ84のゲートには信号SWYが供給され、ドレインはトランジスタ21Yのドレインおよび光源部40Eの端子T5に接続され、ソースは電流源86の一端に接続される。

[0110] 電流源86は、一端から他端に所定の電流I<sub>Y</sub>を流す、いわゆる定電流源である。電流源86の一端はトランジスタ84のソースに接続され、他端は接地される。

[0111] 光源部40Eは、赤色（R）、緑色（G）、青色（B）、黄色（Y）の光を発するものである。光源部40Eは、5つの端子T1～T5を有している

。端子T5はトランジスタ21Y, 84のドレインに接続される。光源部40Eは、4つの発光素子41（発光素子41R, 41G, 41B, 41Y）を有している。発光素子41Yは、黄色（Y）の光を発するものである。発光素子41Yは、例えば、青色（B）の光を発する発光素子と、この青色の光を黄色（Y）の光に変換する蛍光体とを用いて構成することができる。発光素子41Yのアノードは、発光素子41Rのカソード、発光素子41G, 41Bのアノード、および端子T2に接続され、カソードは端子T5に接続される。

[0112] [変形例3]

上記実施の形態では、図2に示したように、発光素子41Rのアノードを端子T1に接続するとともに、カソードを端子T2に接続し、発光素子41Gのアノードを端子T2に接続するとともに、カソードを端子T3に接続し、発光素子41Bのアノードを端子T2に接続するとともに、カソードを端子T4に接続したが、これに限定されるものではない。以下に、本変形例に係る表示装置1Fについて詳細に説明する。

[0113] 図17は、表示装置1Fの画素120の一構成例を表すものである。画素120は、発光制御部130と、電流源124, 125と、トランジスタ121R, 121G, 121B, 122, 123と、光源部140とを有している。光源部140は、1つのチップ（光源チップ）で構成されるようになっている。

[0114] 発光制御部130は、信号SsigR, SsigG, SsigB、走査信号Sscan、および制御信号Ssawに基づいて、信号PWMR, PWMG, PWMBと、信号SWG, SWBとを生成するものである。発光制御部130は、信号生成部131と、論理積回路134, 135とを有している。

[0115] 信号生成部131は、信号SsigR（画素電圧VsigR）, SsigG（画素電圧VsigG）, SsigB（画素電圧VsigB）、走査信号Sscan、および制御信号Ssawに基づいて、信号PWMR, PWMG, PWMBを生成するものである。

[0116] 図18は、信号生成部131の一構成例を表すものである。信号生成部1

31は、コンパレータ33R、33G、33Bを有している。コンパレータ33Rの正入力端子には制御信号 $S_{saw}$ が供給され、負入力端子には画素電圧 $V_{sigR}$ が供給されるようになっている。コンパレータ33Gの正入力端子には制御信号 $S_{saw}$ が供給され、負入力端子には画素電圧 $V_{sigG}$ が供給されるようになっている。コンパレータ33Bの正入力端子には制御信号 $S_{saw}$ が供給され、負入力端子には画素電圧 $V_{sigB}$ が供給されるようになっている。

[0117] 図19は、信号生成部131の一動作例を表すものである。コンパレータ33Rは画素電圧 $V_{sigR}$ と制御信号 $S_{saw}$ の電圧とを比較する。画素電圧 $V_{sigR}$ が制御信号 $S_{saw}$ の電圧よりも高い期間P11では、信号PWMRは低レベルになり、画素電圧 $V_{sigR}$ が制御信号 $S_{saw}$ の電圧よりも低い期間P12では、信号PWMRは高レベルになる。信号PWMRは低レベルになる期間P11の長さ（パルス幅PW）は、画素電圧 $V_{sigR}$ に応じたものになる。すなわち、画素電圧 $V_{sigR}$ が低いほど、信号PWMRのパルス幅PWは狭くなり、画素電圧 $V_{sigR}$ が高いほど、信号PWMRのパルス幅PWは広くなる。

[0118] 論理積回路134（図17）は、信号PWMRと信号PWMGとの論理積（AND）を求め、その結果を信号SWGとして出力するものである。論理積回路135は、信号PWMRと信号PWMBとの論理積（AND）を求め、その結果を信号SWBとして出力するものである。

[0119] 電流源124は、一端から他端に所定の電流 $I_G$ を流す、いわゆる定電流源である。電流源124の一端には電源電圧VDDが供給され、他端はトランジスタ122のソースに接続される。電流源125は、一端から他端に所定の電流 $I_B$ を流す、いわゆる定電流源である。電流源125の一端には電源電圧VDDが供給され、他端はトランジスタ123のソースに接続される。

[0120] トランジスタ122、123は、P型のMOSトランジスタである。トランジスタ122のゲートには信号SWGが供給され、ソースは電流源124の他端に接続され、ドレインはトランジスタ121Gのドレインおよび光源部140の端子T3に接続される。トランジスタ123のゲートには信号S

WBが供給され、ソースは電流源125の他端に接続され、ドレインはトランジスタ121Bのドレインおよび光源部140の端子T4に接続される。

[0121] トランジスタ121R, 121G, 121Bは、N型のMOSトランジスタである。トランジスタ121Gのゲートには信号PWMGが供給され、ドレインはトランジスタ122のドレインおよび光源部140の端子T3に接続され、ソースは、トランジスタ121Bのソース、トランジスタ121Rのドレイン、および光源部140の端子T2に接続される。トランジスタ121Bのゲートには信号PWMBが供給され、ドレインはトランジスタ123のドレインおよび光源部140の端子T4に接続され、ソースは、トランジスタ121Gのソース、トランジスタ121Rのドレイン、および光源部140の端子T2に接続される。トランジスタ121Rのゲートには信号PWMRが供給され、ドレインはトランジスタ121G, 121Bのソースおよび光源部140の端子T2に接続され、ソースは接地される。

[0122] 光源部140の端子T3はトランジスタ122, 121Gのドレインに接続され、端子T4はトランジスタ123, 121Bのドレインに接続され、端子T2はトランジスタ121G, 121Bのソースおよびトランジスタ121Rのドレインに接続され、端子T1は接地される。発光素子41Gのアノードは端子T3に接続され、カソードは、発光素子41Bのカソード、発光素子41Rのアノード、および端子T2に接続される。発光素子41Bのアノードは端子T4に接続され、カソードは、発光素子41Gのカソード、発光素子41Rのアノード、および端子T2に接続される。発光素子41Rのアノードは発光素子41G, 41Bのカソードおよび端子T2に接続され、カソードは端子T1に接続される。この例では、発光素子41Rは、発光効率が、発光素子41G, 41Bの発光効率よりも低いものである。

[0123] 図20は、画素120の一動作例を表すものである。この例では、タイミングt11において、発光制御部130の信号生成部131は、信号PWMRを高レベルから低レベルに遷移させ、信号PWMGを高レベルから低レベルに遷移させ、信号PWMBを高レベルから低レベルに遷移させる（図20

(A) ~ (C) )。また、発光制御部 130 の論理積回路 134 は、信号 PWM R, PWM G の遷移に応じて、信号 SWG を高レベルから低レベルに遷移させ、論理積回路 135 は、信号 PWM R, PWM B の遷移に応じて、信号 SWB を高レベルから低レベルに遷移させる (図 20 (D), (E) )。これにより、タイミング  $t_{11} \sim t_{12}$  の期間では、発光素子 41 R, 41 G, 41 B がそれぞれ発光する (図 20 (G) ~ (H) )。

[0124] 次に、タイミング  $t_{12}$  において、信号生成部 131 は、信号 PWM B を低レベルから高レベルに遷移させる (図 20 (C) )。これにより、タイミング  $t_{12} \sim t_{13}$  の期間では、発光素子 41 R, 41 G がそれぞれ発光し、発光素子 41 B が消光する (図 20 (G) ~ (H) )。

[0125] 次に、タイミング  $t_{13}$  において、信号生成部 131 は、信号 PWM R を低レベルから高レベルに遷移させる (図 20 (A) )。また、論理積回路 135 は、この信号 PWM R の遷移に応じて、信号 SWB を低レベルから高レベルに遷移させる (図 20 (E) )。これにより、タイミング  $t_{13} \sim t_{14}$  の期間では、発光素子 41 G が発光し、発光素子 41 R, 41 B がそれぞれ消光する (図 20 (G) ~ (H) )。

[0126] 次に、タイミング  $t_{14}$  において、信号生成部 131 は、信号 PWM G を低レベルから高レベルに遷移させる (図 20 (B) )。また、論理積回路 134 は、この信号 PWM G の遷移に応じて、信号 SWG を低レベルから高レベルに遷移させる (図 20 (D) )。これにより、タイミング  $t_{14} \sim t_{15}$  の期間では、発光素子 41 R, 41 G, 41 B がそれぞれ消光する (図 20 (G) ~ (H) )。

[0127] [その他の変形例]

また、これらの変形例のうちの 2 以上を組み合わせてもよい。

[0128] 以上、実施の形態およびいくつかの変形例を挙げて本技術を説明したが、本技術はこれらの実施の形態等には限定されず、種々の変形が可能である。

[0129] 例えば、上記の実施の形態等では、端子 T1 から端子 T2 への経路上に赤色の光を発する発光素子 41 R を設け、端子 T2 から端子 T3 への経路上に

緑色の光を発する発光素子41Gを設け、端子T2から端子T4への経路上に青色の光を発する発光素子41Bを設けたが、これに限定されるものではなく、3つの発光素子41R, 41G, 41Bを、3つの経路上に任意に配置することができる。具体的には、例えば、端子T1から端子T2への経路上に緑色の光を発する発光素子41Gを設け、端子T2から端子T3への経路上に青色の光を発する発光素子41Bを設け、端子T2から端子T4への経路上に赤色の光を発する発光素子41Rを設けてもよい。また、例えば、端子T1から端子T2への経路上に青色の光を発する発光素子41Bを設け、端子T2から端子T3への経路上に赤色の光を発する発光素子41Rを設け、端子T2から端子T4への経路上に緑色の光を発する発光素子41Gを設けてもよい。

[0130] また、例えば、上記の実施の形態等では、発光素子41R, 41G, 41Bのうちの発光効率が低い発光素子41を、端子T1から端子T2への経路上に配置したが、これに限定されるものではない。これに代えて、発光素子41R, 41G, 41Bのうちの発光効率が最も低い発光素子41以外の発光素子41を、端子T1から端子T2への経路上に配置してもよい。

[0131] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0132] なお、本技術は以下のような構成とすることができる。

[0133] (1) 第1の端子、第2の端子、第3の端子、および第4の端子と、

前記第1の端子から前記第2の端子への第1の経路の経路上に配置され、第1の型の第1の電極と、前記第2の端子に接続された第2の型の第2の電極とを有し、第1の基本色光を発する第1の発光素子と、

前記第2の端子から前記第3の端子への第2の経路の経路上に配置され、前記第2の端子に接続された前記第1の型の第1の電極と、前記第2の型の第2の電極とを有し、第2の基本色光を発する第2の発光素子と、

前記第2の端子から前記第4の端子への第3の経路の経路上に配置され、前記第2の端子に接続された前記第1の型の第1の電極と、前記第2の型の

第2の電極とを有し、第3の基本色光を発する第3の発光素子とを備えた光源装置。

(2) 前記第1の発光素子の発光効率は、前記第2の発光素子の発光効率および前記第3の発光素子の発光効率よりも低い前記(1)に記載の光源装置。

(3) 第5の端子と、前記第2の端子から前記第5の端子への第4の経路の経路上に配置され、前記第2の端子に接続された前記第1の型の第1の電極と、前記第2の型の第2の電極とを有し、非基本色光を発する第4の発光素子とをさらに備えた前記(1)または(2)に記載の光源装置。

(4) 前記第1の発光素子の前記第1の電極は、前記第1の端子に接続された前記(1)から(3)のいずれかに記載の光源装置。

(5) 前記第1の経路の経路上に配置され、前記第1の型の第1の電極と、前記第1の発光素子の前記第1の電極に接続された前記第2の型の第2の電極とを有し、前記第1の基本色光を発する第5の発光素子をさらに備えた前記(1)から(3)のいずれかに記載の光源装置。

(6) 前記第1の基本色光を発する第5の発光素子をさらに備え、前記第1の経路は、前記第1の端子から前記第2の端子への第1のサブ経路と、前記第1の端子から前記第2の端子への第2のサブ経路とを含み、前記第1の発光素子は、前記第1のサブ経路の経路上に配置され、前記第5の発光素子は、前記第2のサブ経路の経路上に配置され、前記第1の型の第1の電極と、前記第2の端子に接続された前記第2の型の第2の電極とを有する前記(1)から(4)のいずれかに記載の光源装置。

(7) 前記第2の発光素子の前記第2の電極は、前記第3の端子に接続され、

前記第3の発光素子の前記第2の電極は、前記第4の端子に接続された前記(1)から(6)のいずれかに記載の光源装置。

(8) 前記第2の経路の経路上に配置され、前記第2の発光素子の前記第2の電極に接続された前記第1の型の第1の電極と、前記第2の型の第2の電極とを有し、前記第2の基本色光を発する第6の発光素子と、

前記第3の経路の経路上に配置され、前記第3の発光素子の前記第2の電極に接続された前記第1の型の第1の電極と、前記第2の型の第2の電極とを有し、前記第3の基本色光を発する第7の発光素子と

をさらに備えた

前記(1)から(6)のいずれかに記載の光源装置。

(9) 前記第1の発光素子の前記第1の電極、前記第2の発光素子の前記第1の電極、および前記第3の発光素子の前記第1の電極は、アノード電極であり、

前記第1の発光素子の前記第2の電極、前記第2の発光素子の前記第2の電極、および前記第3の発光素子の前記第2の電極は、カソード電極である

前記(1)から(8)のいずれかに記載の光源装置。

(10) 前記第1の発光素子の前記第1の電極、前記第2の発光素子の前記第1の電極、および前記第3の発光素子の前記第1の電極は、カソード電極であり、

前記第1の発光素子の前記第2の電極、前記第2の発光素子の前記第2の電極、および前記第3の発光素子の前記第2の電極は、アノード電極である

前記(1)から(8)のいずれかに記載の光源装置。

(11) 第1の端子から第2の端子への第1の経路の経路上に配置され、第1の型の第1の電極と、前記第2の端子に接続された第2の型の第2の電極とを有し、第1の基本色光を発する第1の発光素子と、

前記第2の端子から第3の端子への第2の経路の経路上に配置され、前記第2の端子に接続された前記第1の型の第1の電極と、前記第2の型の第2の電極とを有し、第2の基本色光を発する第2の発光素子と、

前記第2の端子から第4の端子への第3の経路の経路上に配置され、前記第2の端子に接続された前記第1の型の第1の電極と、前記第2の型の第2の電極とを有し、第3の基本色光を発する第3の発光素子と、

オン状態になることにより、前記第1の端子と前記第2の端子とを接続する第1のスイッチと、

オン状態になることにより、前記第2の端子と前記第3の端子とを接続する第2のスイッチと、

オン状態になることにより、前記第2の端子と前記第4の端子とを接続する第3のスイッチと、

前記第3の端子に接続される第1の電流源と、

前記第4の端子に接続される第2の電流源と、

前記第1のスイッチ、前記第2のスイッチ、および前記第3のスイッチの動作を制御する発光制御部と

を備えた発光装置。

(12) 前記発光制御部は、前記第1のスイッチ、前記第2のスイッチ、および前記第3のスイッチをオン状態にする期間の長さをそれぞれ制御する

前記(11)に記載の発光装置。

(13) オン状態になることにより前記第3の端子と前記第1の電流源とを接続する第4のスイッチと、

オン状態になることにより前記第4の端子と前記第2の電流源とを接続する第5のスイッチと

を備え、

前記発光制御部は、前記第4のスイッチおよび前記第5のスイッチの動作をも制御する

前記(11)または(12)に記載の発光装置。

(14) 前記発光制御部は、

前記第1のスイッチおよび前記第2のスイッチがともにオン状態であるときに、前記第4のスイッチをオフ状態にし、

前記第1のスイッチおよび前記第3のスイッチがともにオン状態であるときに、前記第5のスイッチをオフ状態にする

前記(13)に記載の発光装置。

(15) 複数の発光装置を備え、

各発光装置は、

第1の端子から第2の端子への第1の経路の経路上に配置され、第1の型の第1の電極と、前記第2の端子に接続された第2の型の第2の電極とを有し、第1の基本色光を発する第1の発光素子と、

前記第2の端子から第3の端子への第2の経路の経路上に配置され、前記第2の端子に接続された前記第1の型の第1の電極と、前記第2の型の第2の電極とを有し、第2の基本色光を発する第2の発光素子と、

前記第2の端子から第4の端子への第3の経路の経路上に配置され、前記第2の端子に接続された前記第1の型の第1の電極と、前記第2の型の第2の電極とを有し、第3の基本色光を発する第3の発光素子と、

オン状態になることにより、前記第1の端子と前記第2の端子とを接続する第1のスイッチと、

オン状態になることにより、前記第2の端子と前記第3の端子とを接続する第2のスイッチと、

オン状態になることにより、前記第2の端子と前記第4の端子とを接続する第3のスイッチと

前記第3の端子に接続される第1の電流源と、

前記第4の端子に接続される第2の電流源と、

前記第1のスイッチ、前記第2のスイッチ、および前記第3のスイッチの動作を制御する発光制御部と

を有する

表示装置。

(16) 各発光装置に第1の画素信号、第2の画素信号、および第3の画素信号を供給する駆動部をさらに備え、

前記発光制御部は、

前記第 1 の画素信号に基づいて、前記第 1 のスイッチをオン状態にする期間の長さを制御し、

前記第 2 の画素信号に基づいて、前記第 2 のスイッチをオン状態にする期間の長さを制御し、

前記第 3 の画素信号に基づいて、前記第 3 のスイッチをオン状態にする期間の長さを制御する

前記（15）に記載の表示装置。

[0134] 本出願は、日本国特許庁において 2016 年 12 月 27 日に提出された日本特許出願番号 2016-253603 号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0135] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

## 請求の範囲

- [請求項1] 第1の端子、第2の端子、第3の端子、および第4の端子と、  
前記第1の端子から前記第2の端子への第1の経路の経路上に配置され、第1の型の第1の電極と、前記第2の端子に接続された第2の型の第2の電極とを有し、第1の基本色光を発する第1の発光素子と、  
、  
前記第2の端子から前記第3の端子への第2の経路の経路上に配置され、前記第2の端子に接続された前記第1の型の第1の電極と、前記第2の型の第2の電極とを有し、第2の基本色光を発する第2の発光素子と、  
前記第2の端子から前記第4の端子への第3の経路の経路上に配置され、前記第2の端子に接続された前記第1の型の第1の電極と、前記第2の型の第2の電極とを有し、第3の基本色光を発する第3の発光素子と  
を備えた光源装置。
- [請求項2] 前記第1の発光素子の発光効率は、前記第2の発光素子の発光効率および前記第3の発光素子の発光効率よりも低い  
請求項1に記載の光源装置。
- [請求項3] 第5の端子と、  
前記第2の端子から前記第5の端子への第4の経路の経路上に配置され、前記第2の端子に接続された前記第1の型の第1の電極と、前記第2の型の第2の電極とを有し、非基本色光を発する第4の発光素子と  
をさらに備えた  
請求項1に記載の光源装置。
- [請求項4] 前記第1の発光素子の前記第1の電極は、前記第1の端子に接続された  
請求項1に記載の光源装置。

[請求項5] 前記第1の経路の経路上に配置され、前記第1の型の第1の電極と、前記第1の発光素子の前記第1の電極に接続された前記第2の型の第2の電極とを有し、前記第1の基本色光を発する第5の発光素子をさらに備えた

請求項1に記載の光源装置。

[請求項6] 前記第1の基本色光を発する第5の発光素子をさらに備え、  
前記第1の経路は、前記第1の端子から前記第2の端子への第1のサブ経路と、前記第1の端子から前記第2の端子への第2のサブ経路とを含み、

前記第1の発光素子は、前記第1のサブ経路の経路上に配置され、  
前記第5の発光素子は、前記第2のサブ経路の経路上に配置され、  
前記第1の型の第1の電極と、前記第2の端子に接続された前記第2の型の第2の電極とを有する

請求項1に記載の光源装置。

[請求項7] 前記第2の発光素子の前記第2の電極は、前記第3の端子に接続され、

前記第3の発光素子の前記第2の電極は、前記第4の端子に接続された

請求項1に記載の光源装置。

[請求項8] 前記第2の経路の経路上に配置され、前記第2の発光素子の前記第2の電極に接続された前記第1の型の第1の電極と、前記第2の型の第2の電極とを有し、前記第2の基本色光を発する第6の発光素子と、

前記第3の経路の経路上に配置され、前記第3の発光素子の前記第2の電極に接続された前記第1の型の第1の電極と、前記第2の型の第2の電極とを有し、前記第3の基本色光を発する第7の発光素子とをさらに備えた

請求項1に記載の光源装置。

[請求項9] 前記第1の発光素子の前記第1の電極、前記第2の発光素子の前記第1の電極、および前記第3の発光素子の前記第1の電極は、アノード電極であり、

前記第1の発光素子の前記第2の電極、前記第2の発光素子の前記第2の電極、および前記第3の発光素子の前記第2の電極は、カソード電極である

請求項1に記載の光源装置。

[請求項10] 前記第1の発光素子の前記第1の電極、前記第2の発光素子の前記第1の電極、および前記第3の発光素子の前記第1の電極は、カソード電極であり、

前記第1の発光素子の前記第2の電極、前記第2の発光素子の前記第2の電極、および前記第3の発光素子の前記第2の電極は、アノード電極である

請求項1に記載の光源装置。

[請求項11] 第1の端子から第2の端子への第1の経路の経路上に配置され、第1の型の第1の電極と、前記第2の端子に接続された第2の型の第2の電極とを有し、第1の基本色光を発する第1の発光素子と、

前記第2の端子から第3の端子への第2の経路の経路上に配置され、前記第2の端子に接続された前記第1の型の第1の電極と、前記第2の型の第2の電極とを有し、第2の基本色光を発する第2の発光素子と、

前記第2の端子から第4の端子への第3の経路の経路上に配置され、前記第2の端子に接続された前記第1の型の第1の電極と、前記第2の型の第2の電極とを有し、第3の基本色光を発する第3の発光素子と、

オン状態になることにより、前記第1の端子と前記第2の端子とを接続する第1のスイッチと、

オン状態になることにより、前記第2の端子と前記第3の端子とを

接続する第2のスイッチと、

オン状態になることにより、前記第2の端子と前記第4の端子とを接続する第3のスイッチと、

前記第3の端子に接続される第1の電流源と、

前記第4の端子に接続される第2の電流源と、

前記第1のスイッチ、前記第2のスイッチ、および前記第3のスイッチの動作を制御する発光制御部と

を備えた発光装置。

[請求項12] 前記発光制御部は、前記第1のスイッチ、前記第2のスイッチ、および前記第3のスイッチをオン状態にする期間の長さをそれぞれ制御する

請求項11に記載の発光装置。

[請求項13] オン状態になることにより前記第3の端子と前記第1の電流源とを接続する第4のスイッチと、

オン状態になることにより前記第4の端子と前記第2の電流源とを接続する第5のスイッチと

を備え、

前記発光制御部は、前記第4のスイッチおよび前記第5のスイッチの動作をも制御する

請求項11に記載の発光装置。

[請求項14] 前記発光制御部は、

前記第1のスイッチおよび前記第2のスイッチがともにオン状態であるときに、前記第4のスイッチをオフ状態にし、

前記第1のスイッチおよび前記第3のスイッチがともにオン状態であるときに、前記第5のスイッチをオフ状態にする

請求項13に記載の発光装置。

[請求項15] 複数の発光装置を備え、

各発光装置は、

第1の端子から第2の端子への第1の経路の経路上に配置され、第1の型の第1の電極と、前記第2の端子に接続された第2の型の第2の電極とを有し、第1の基本色光を発する第1の発光素子と、

前記第2の端子から第3の端子への第2の経路の経路上に配置され、前記第2の端子に接続された前記第1の型の第1の電極と、前記第2の型の第2の電極とを有し、第2の基本色光を発する第2の発光素子と、

前記第2の端子から第4の端子への第3の経路の経路上に配置され、前記第2の端子に接続された前記第1の型の第1の電極と、前記第2の型の第2の電極とを有し、第3の基本色光を発する第3の発光素子と、

オン状態になることにより、前記第1の端子と前記第2の端子とを接続する第1のスイッチと、

オン状態になることにより、前記第2の端子と前記第3の端子とを接続する第2のスイッチと、

オン状態になることにより、前記第2の端子と前記第4の端子とを接続する第3のスイッチと

前記第3の端子に接続される第1の電流源と、

前記第4の端子に接続される第2の電流源と、

前記第1のスイッチ、前記第2のスイッチ、および前記第3のスイッチの動作を制御する発光制御部と

を有する

表示装置。

[請求項16]

各発光装置に第1の画素信号、第2の画素信号、および第3の画素信号を供給する駆動部をさらに備え、

前記発光制御部は、

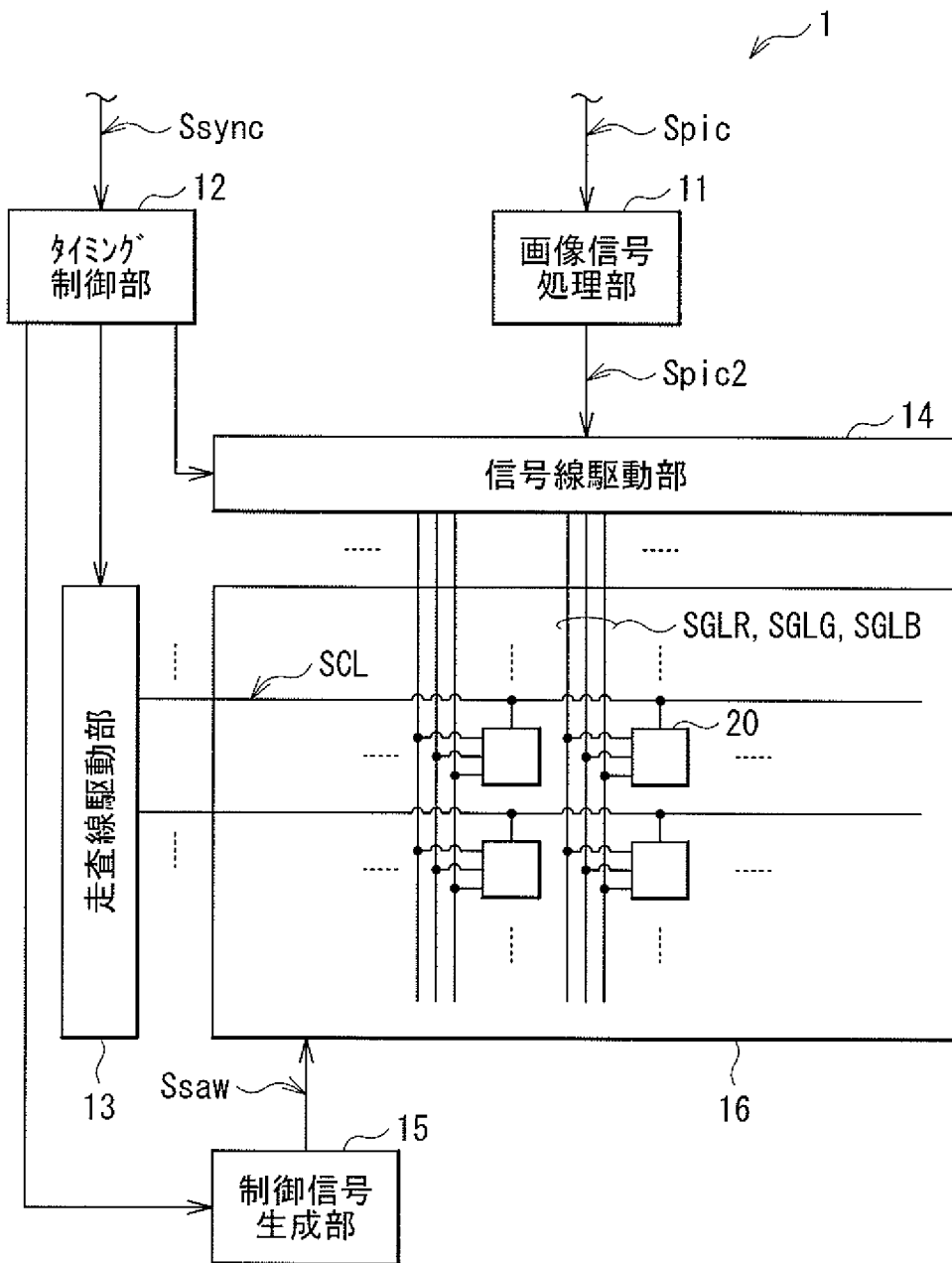
前記第1の画素信号に基づいて、前記第1のスイッチをオン状態にする期間の長さを制御し、

前記第 2 の画素信号に基づいて、前記第 2 のスイッチをオン状態にする期間の長さを制御し、

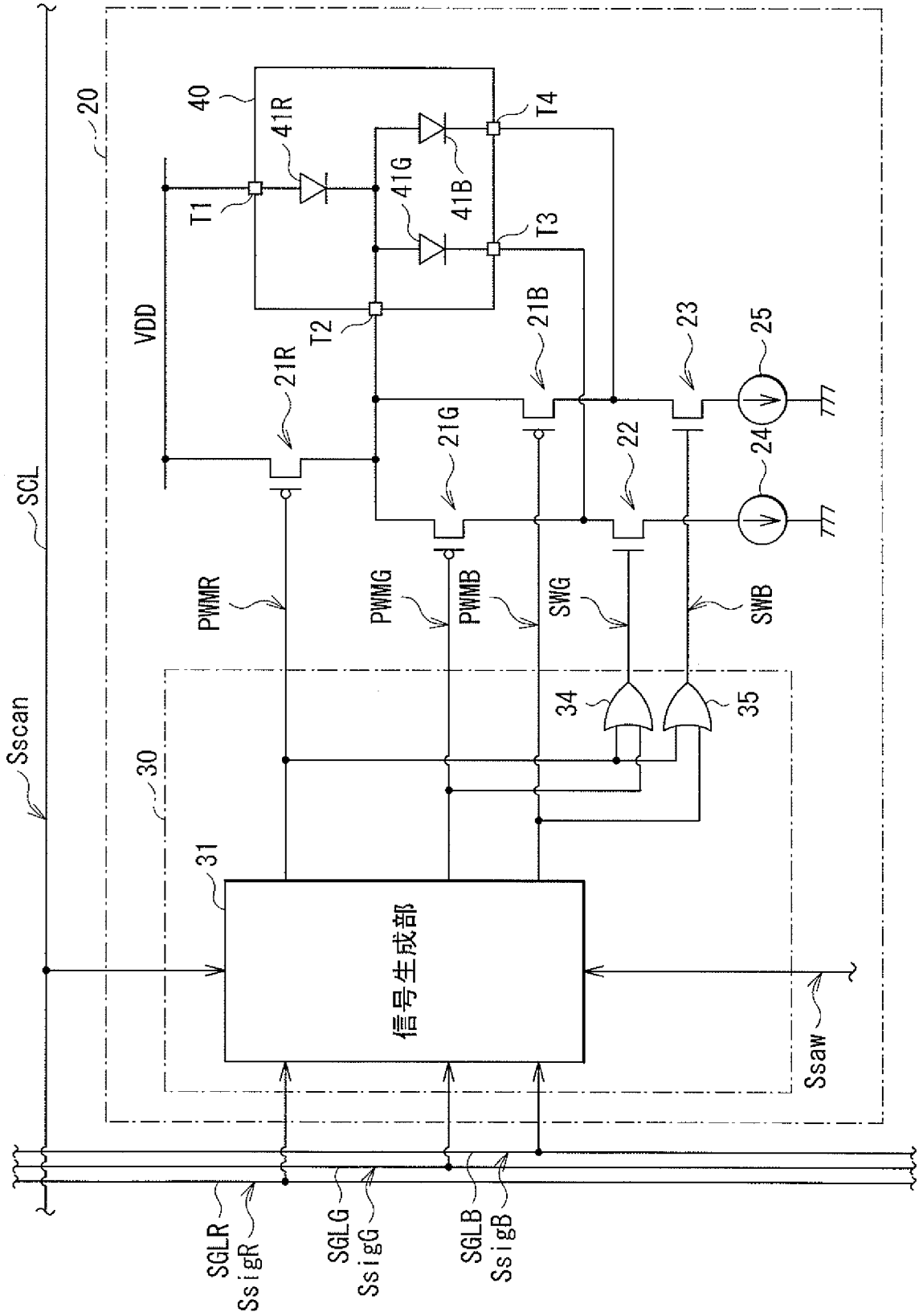
前記第 3 の画素信号に基づいて、前記第 3 のスイッチをオン状態にする期間の長さを制御する

請求項 1 5 に記載の表示装置。

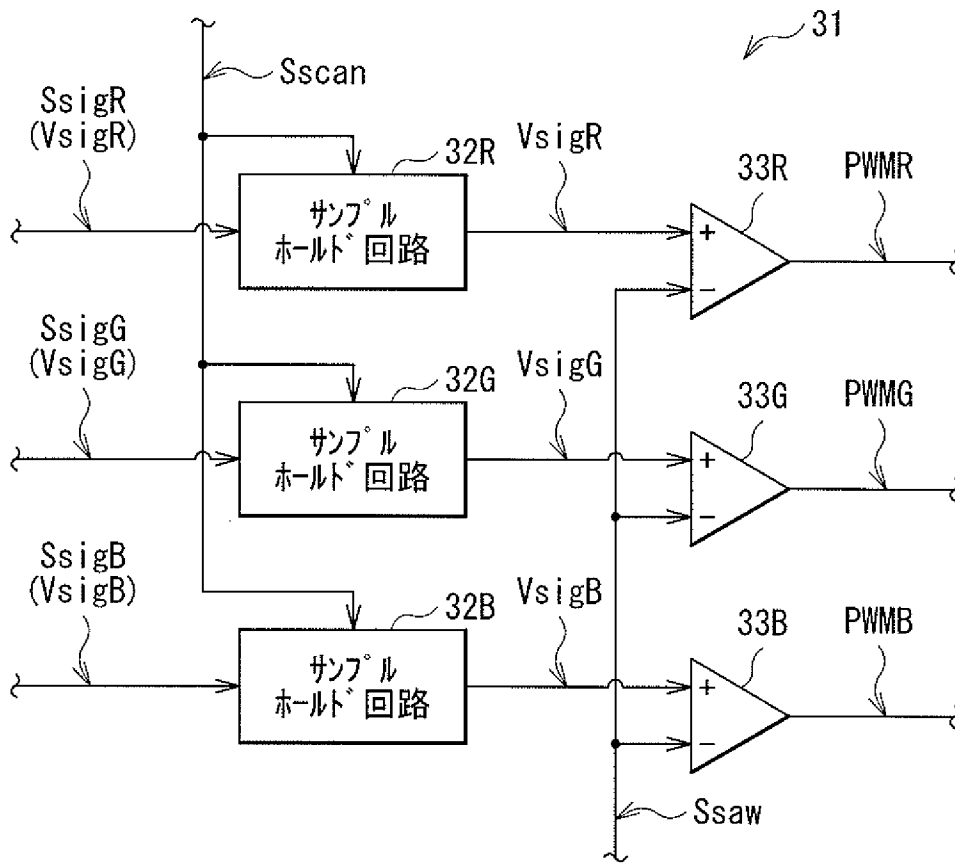
[図1]



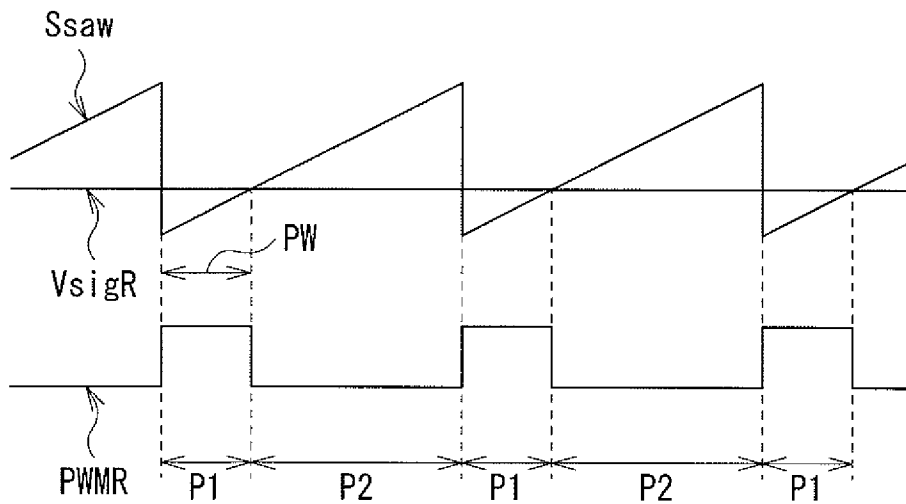
[図2]



[図3]



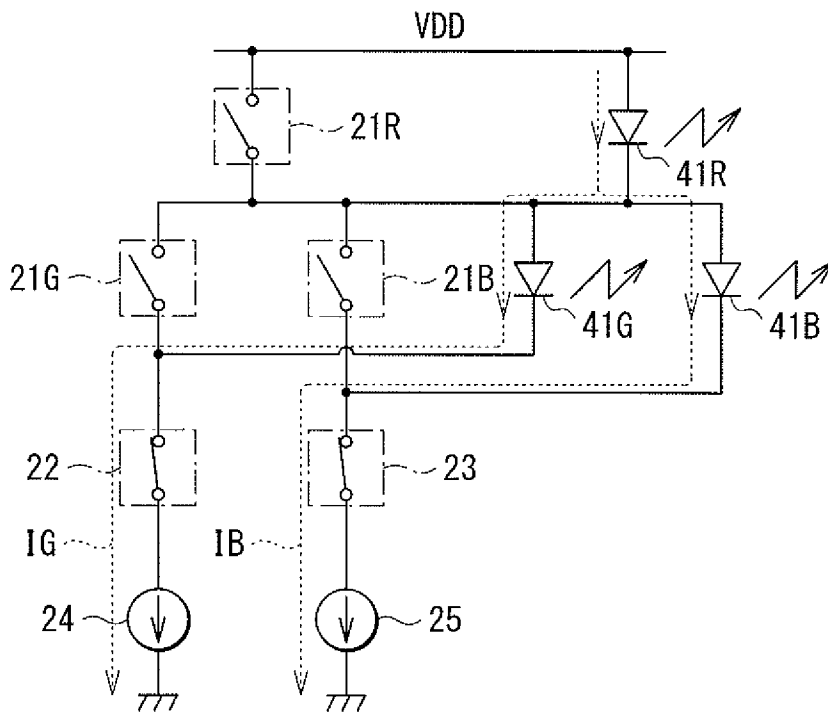
[図4]



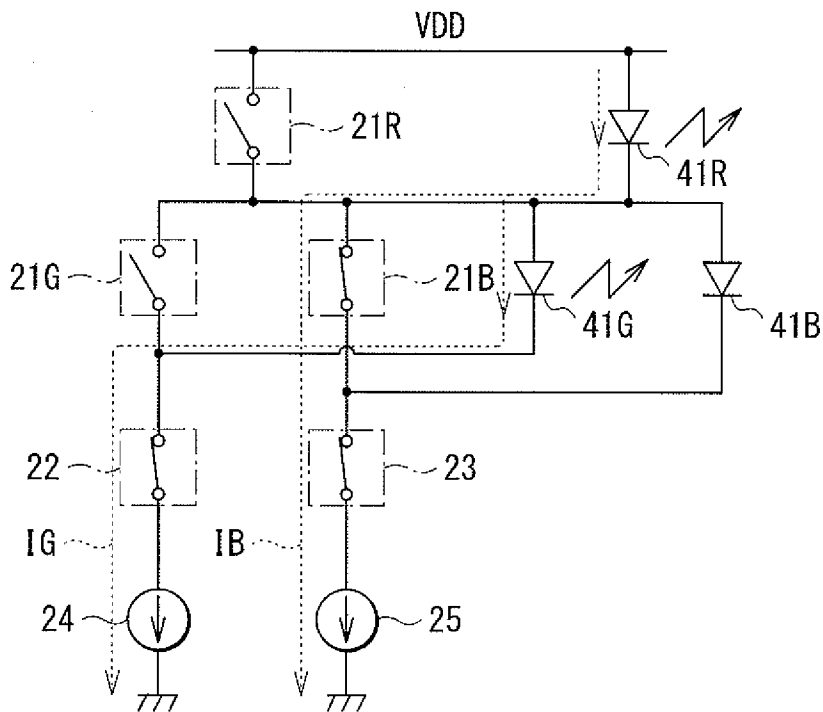
[図5]

信号 PWMR	信号 PWMG	信号 PWMB	信号 SWG	信号 SWB	トランジスタ 21R	トランジスタ 21G	トランジスタ 21B	トランジスタ 22	トランジスタ 23	発光 素子 41R	発光 素子 41G	発光 素子 41B
H	H	H	H	H	OFF	OFF	OFF	ON	ON	発光	発光	発光
H	H	L	H	H	OFF	OFF	ON	ON	ON	発光	発光	消光
H	L	H	H	H	OFF	ON	OFF	ON	ON	発光	消光	発光
H	L	L	H	H	OFF	ON	ON	ON	ON	発光	消光	消光
L	H	H	H	H	ON	OFF	OFF	ON	ON	消光	発光	発光
L	H	L	H	L	ON	OFF	ON	ON	OFF	消光	発光	消光
L	L	H	L	H	ON	ON	OFF	OFF	ON	消光	消光	発光
L	L	L	L	L	ON	ON	ON	OFF	OFF	消光	消光	消光

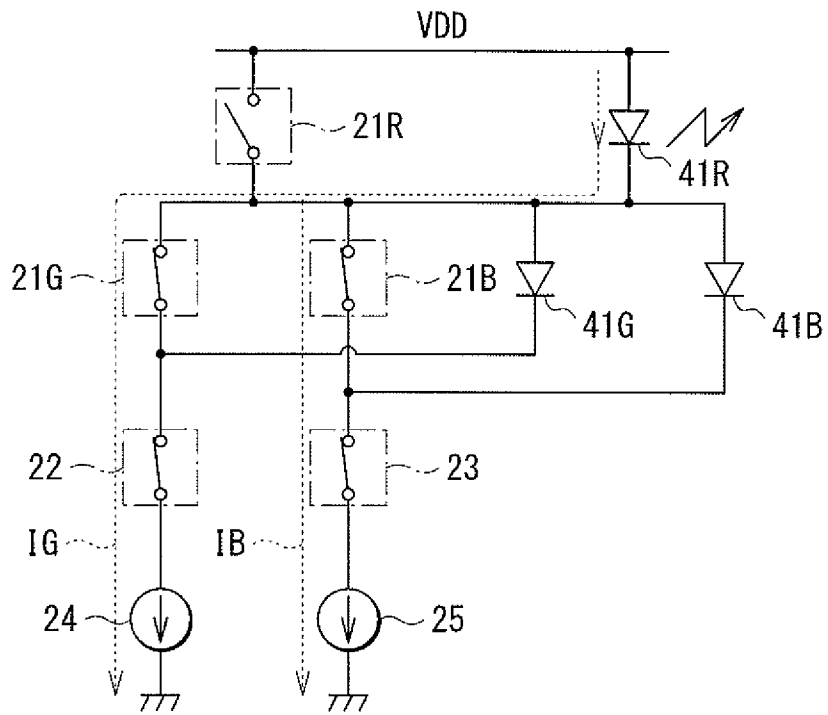
[図6A]



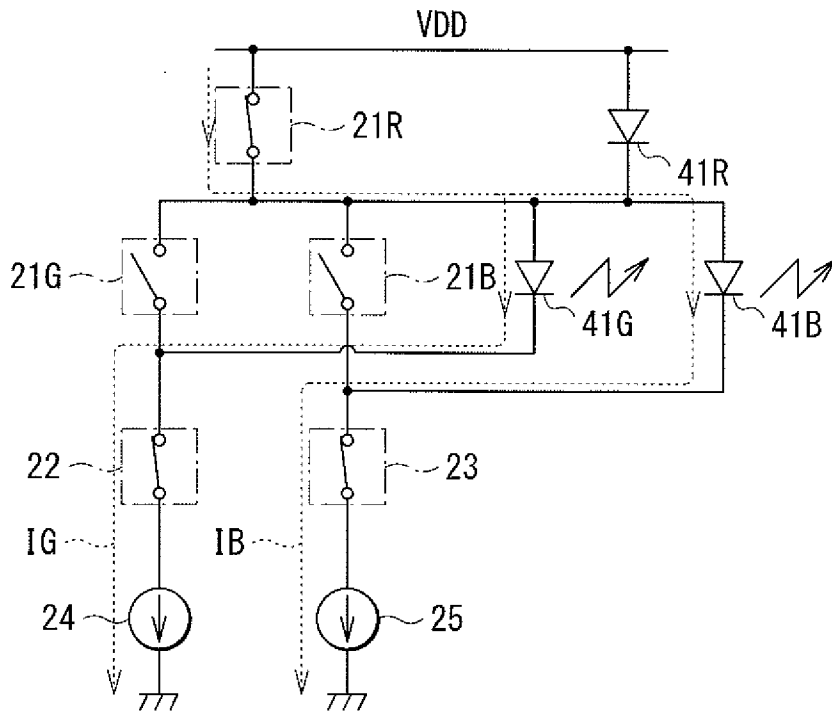
[図6B]



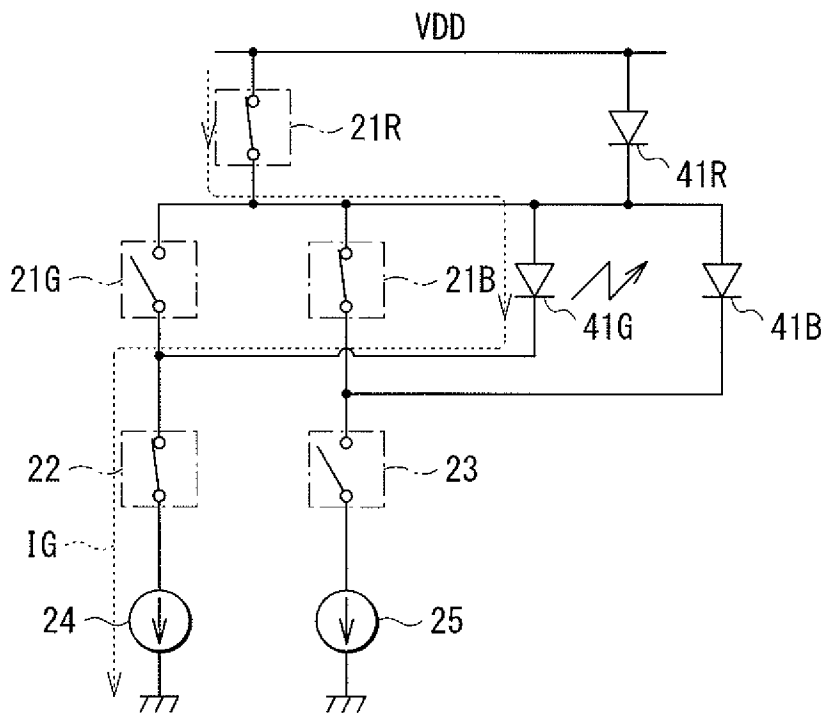
[図6C]



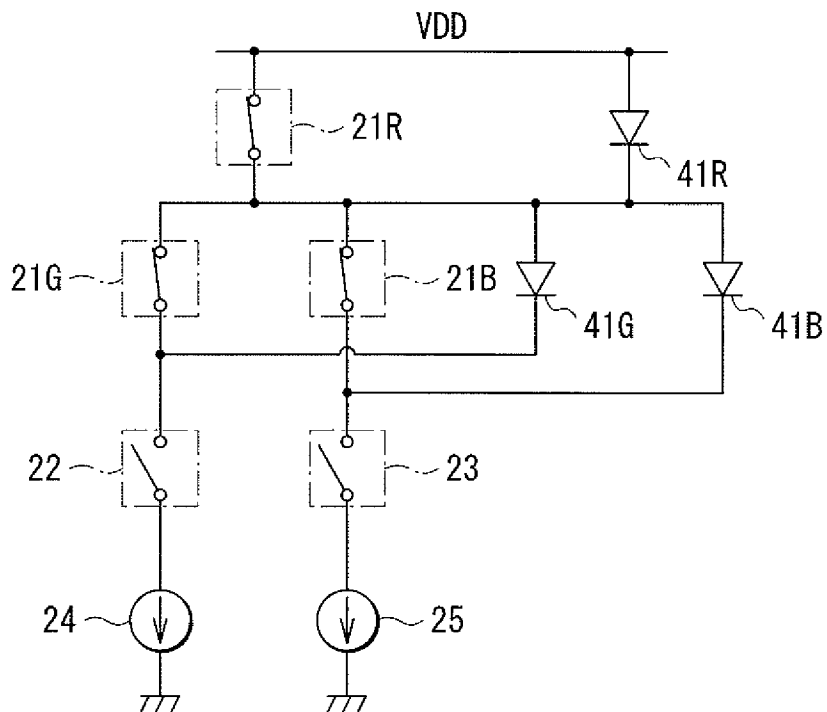
[図6D]



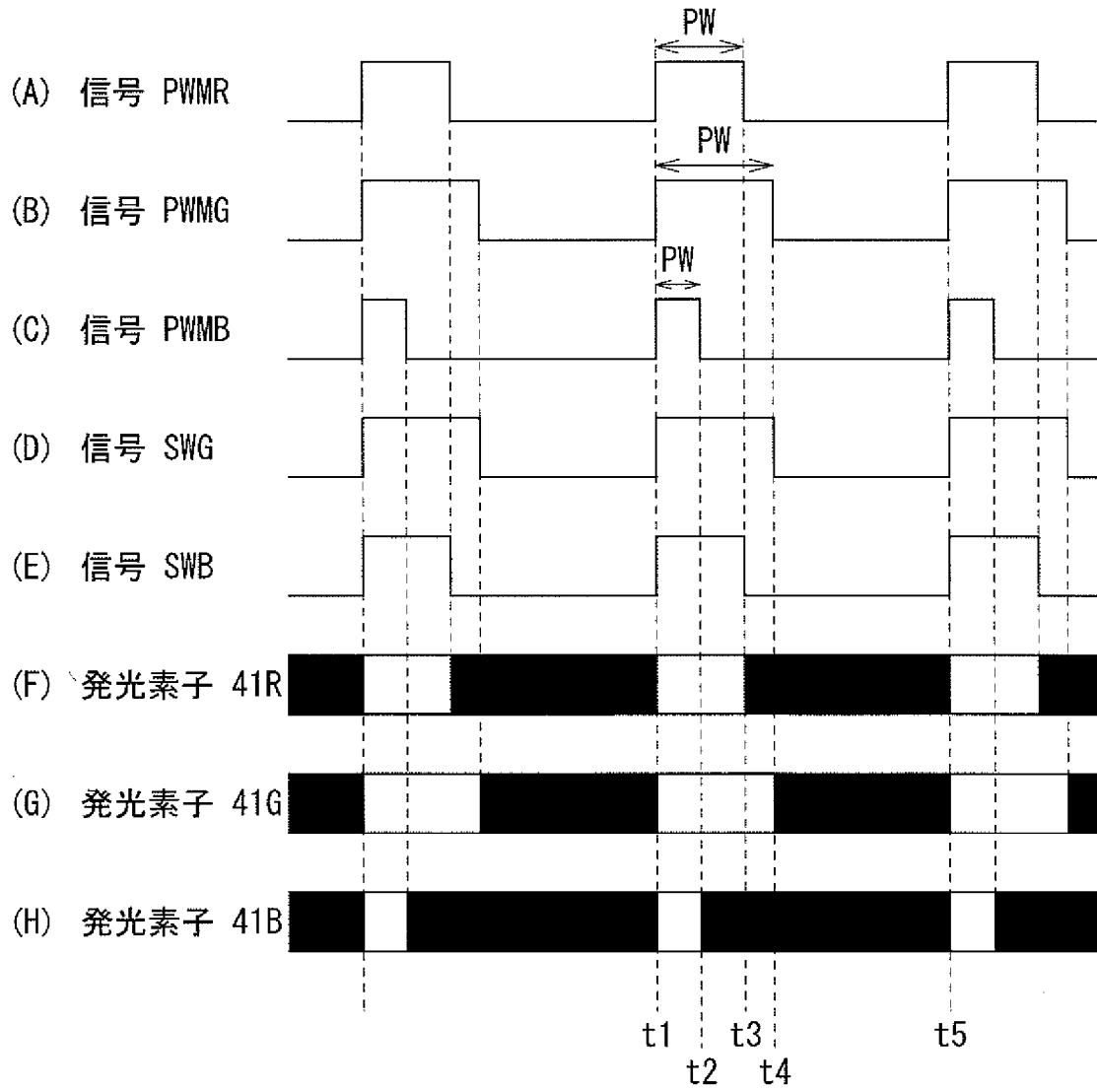
[図6E]



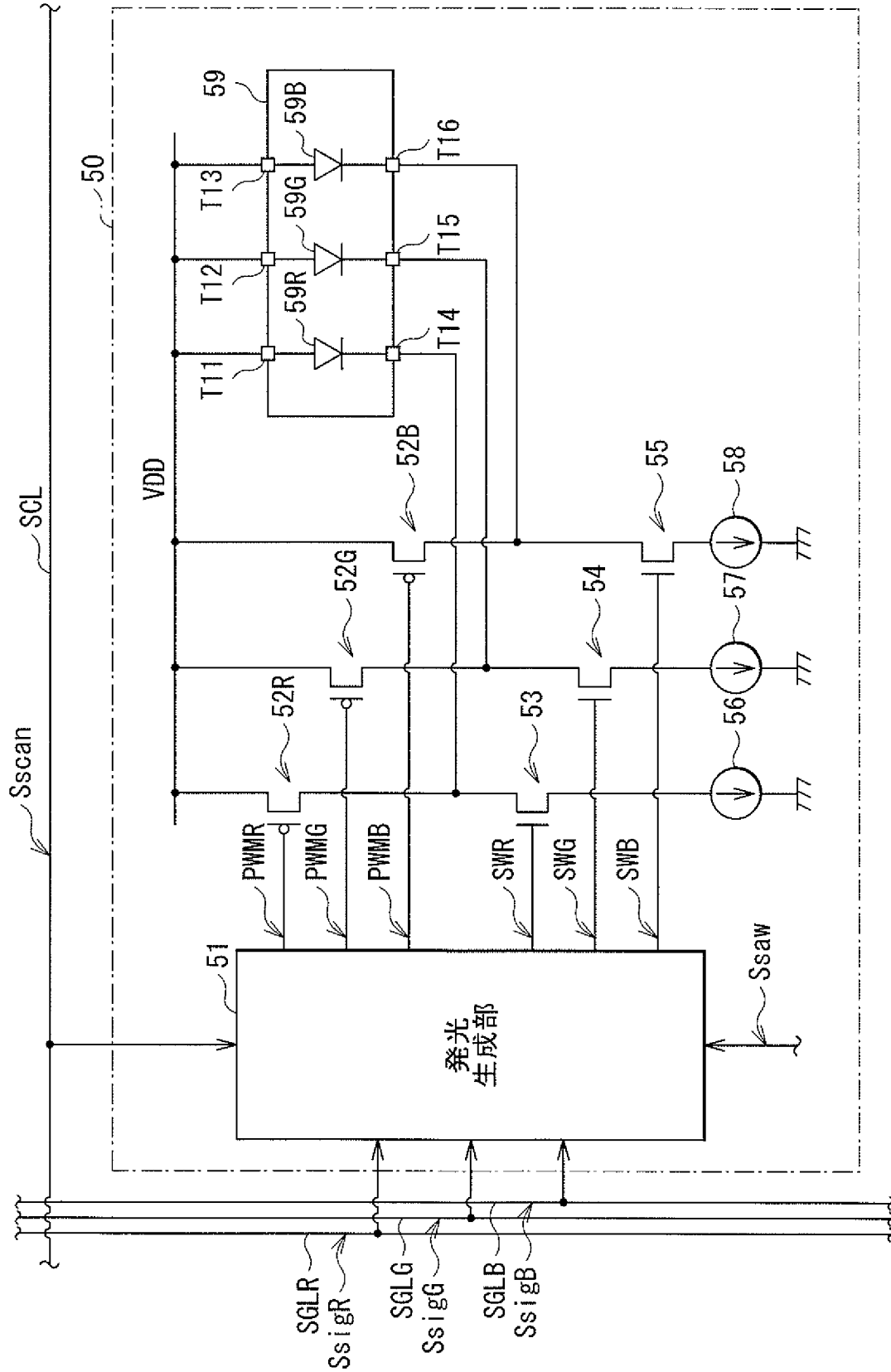
[図6F]



[図7]

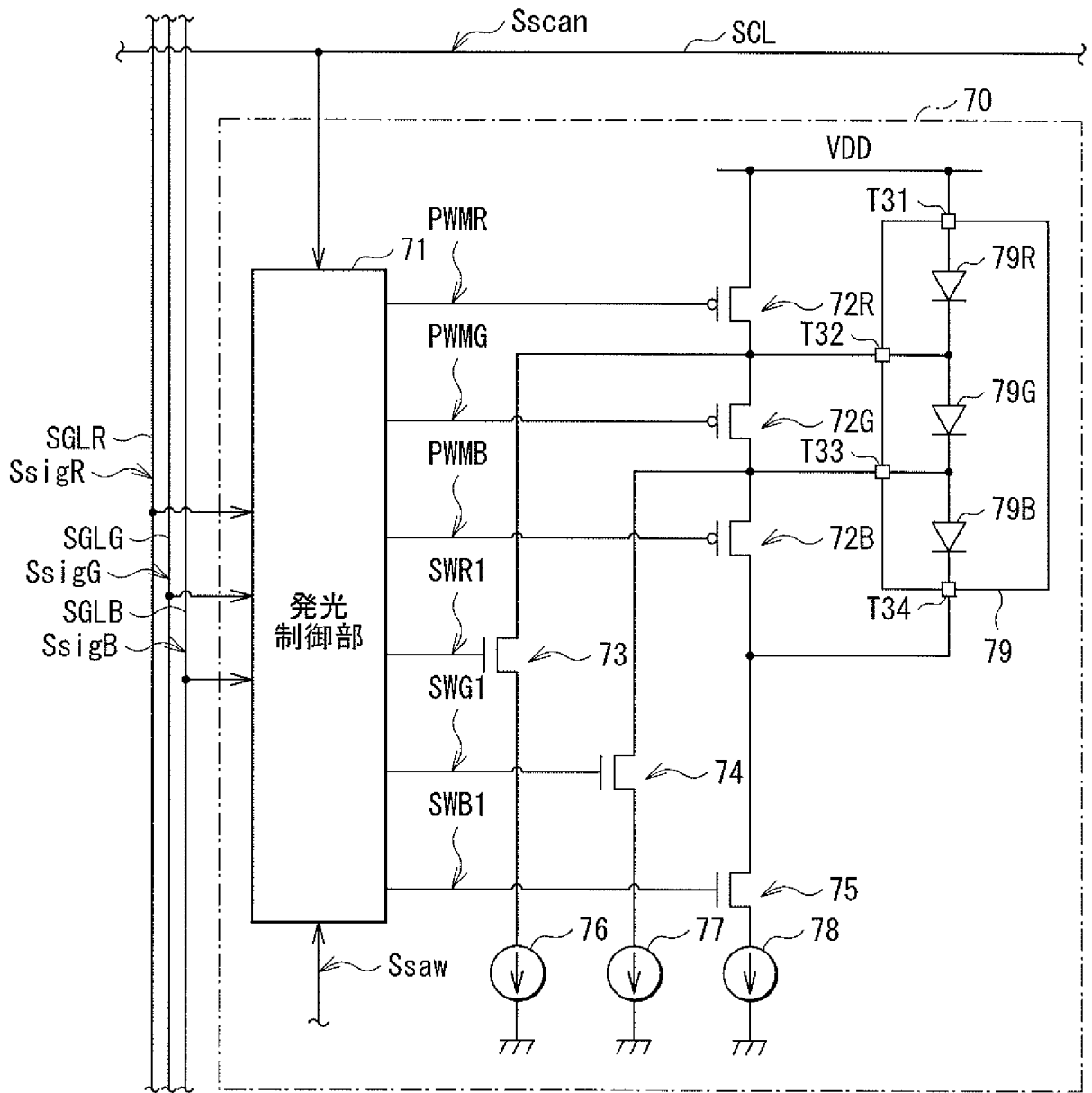


[図8]

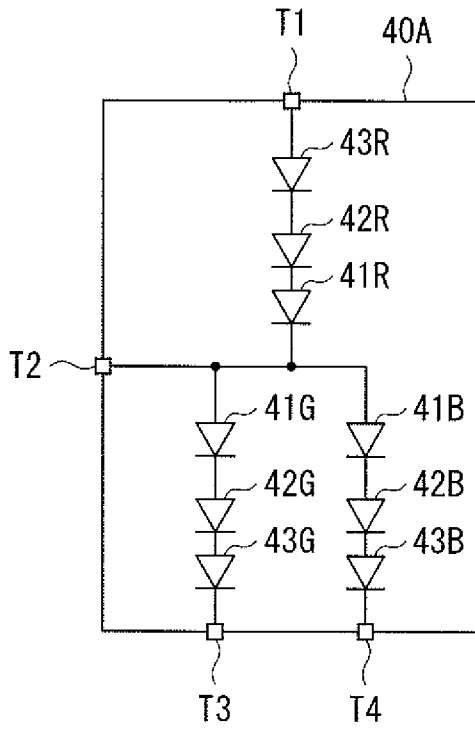




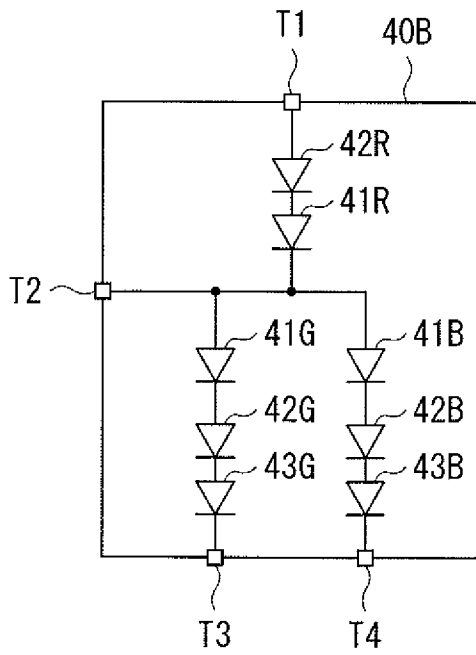
[図10]



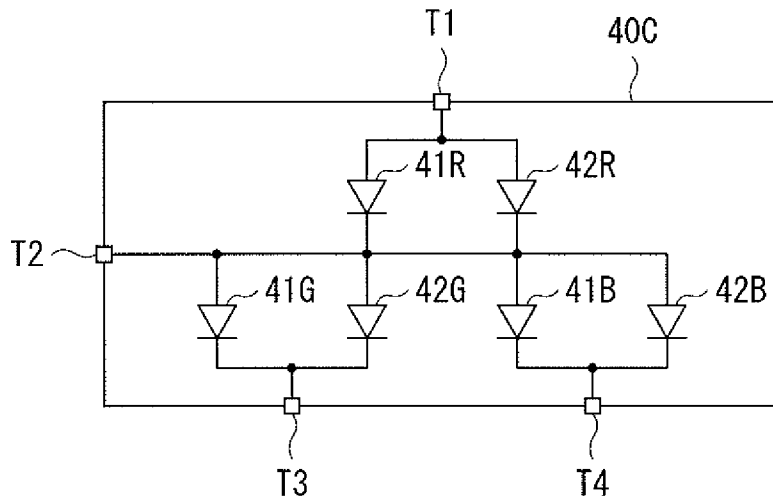
[図11]



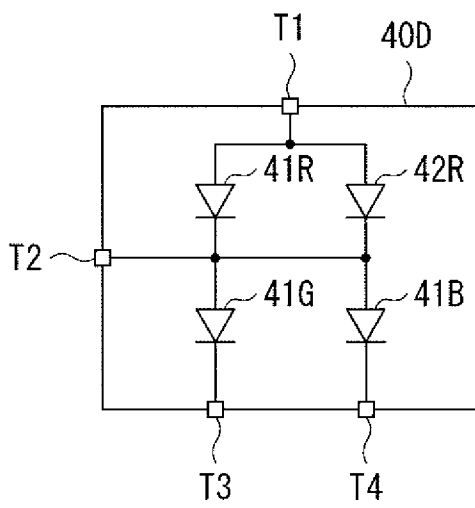
[図12]



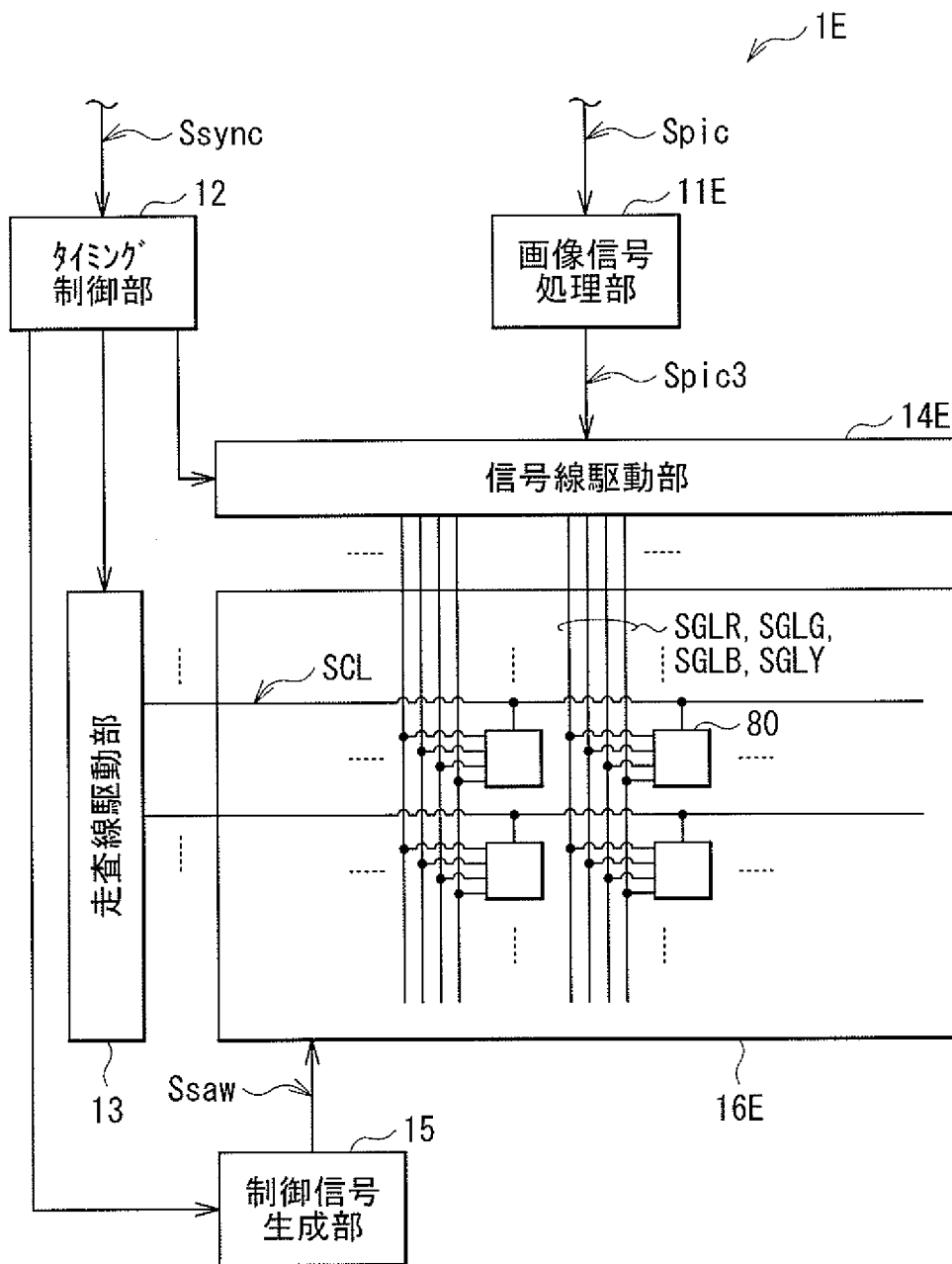
[図13]



[図14]

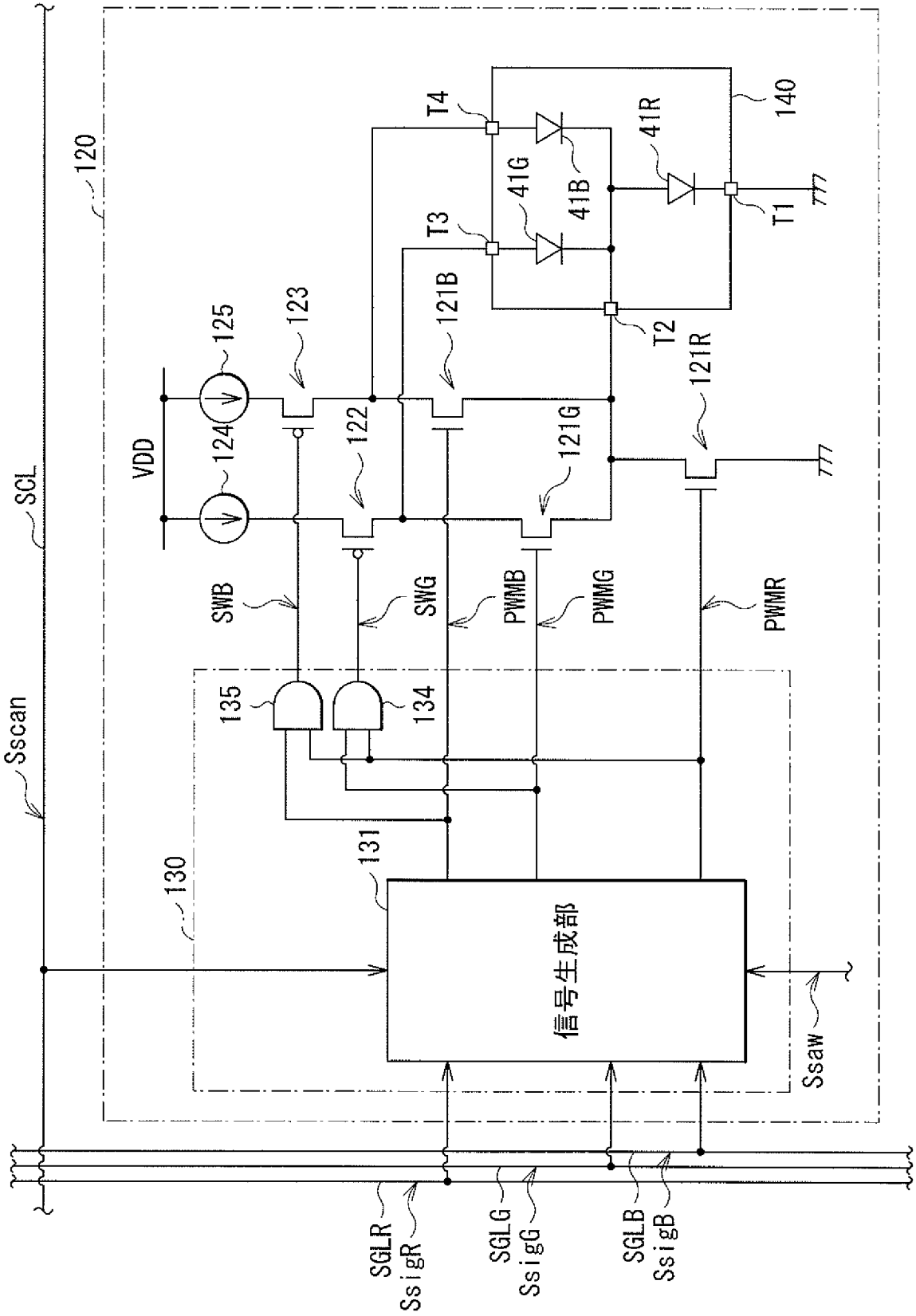


[図15]

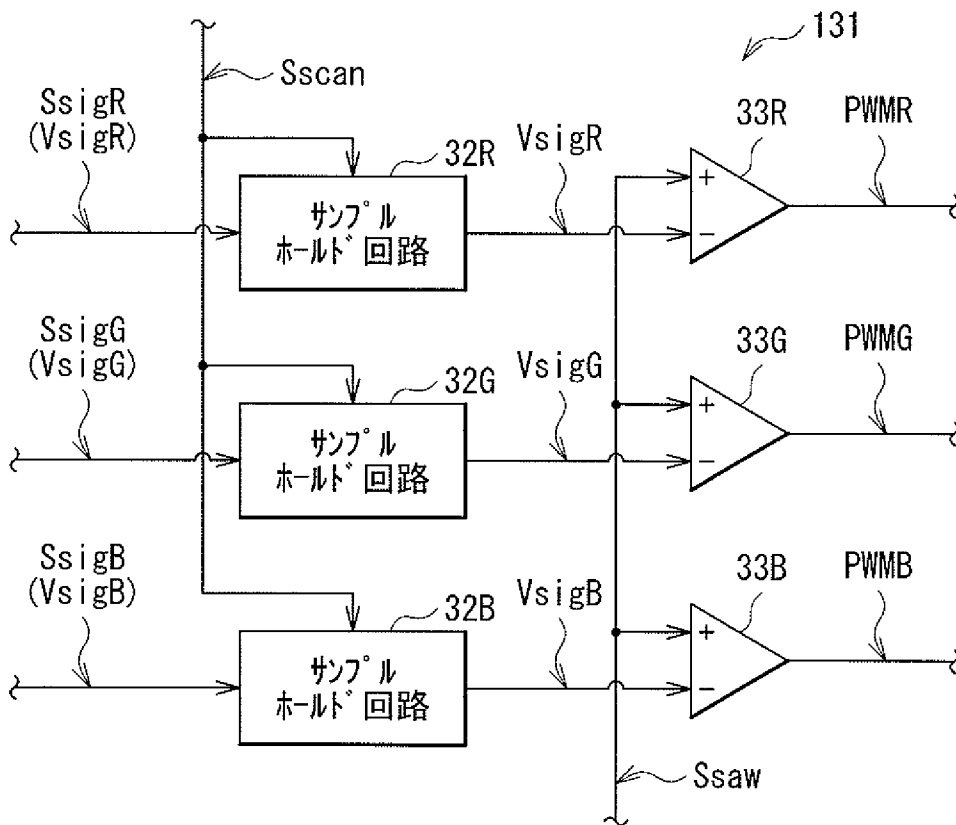




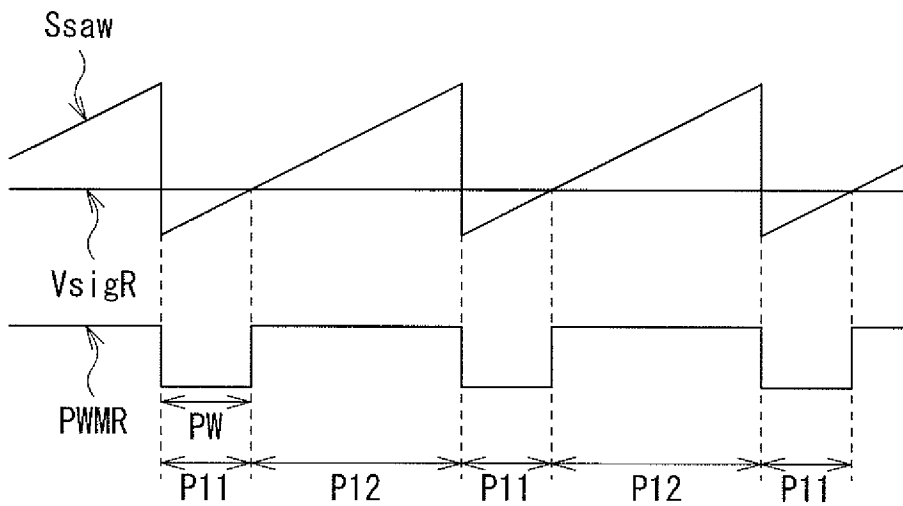
[図17]



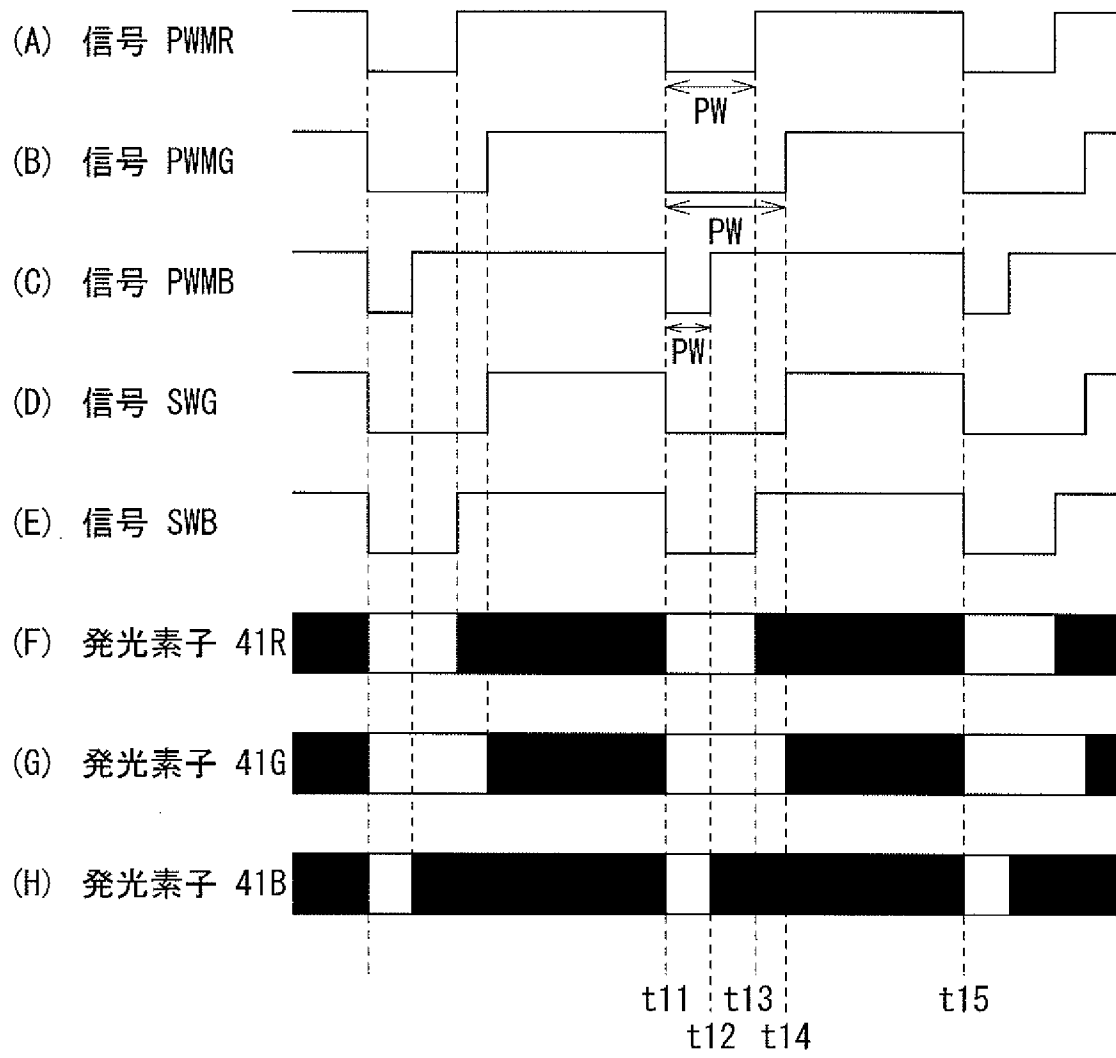
[図18]



[図19]



[図20]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2017/040229

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.Cl. G09G3/32 (2016.01) i, G09G3/20 (2006.01) i, G09G3/3233 (2016.01) i,  
H01L33/00 (2010.01) i, H05B37/02 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09G3/32, G09G3/20, G09G3/3233, H01L33/00, H05B37/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2017
Registered utility model specifications of Japan	1996-2017
Published registered utility model applications of Japan	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2009-519580 A (KONINKLIJKE PHILIPS ELECTRONICS N.V.) 14 May 2009, paragraphs [0024]-[0030], fig. 4 & US 2008/0303452 A1 (paragraphs [0030]-[0036], fig.4) & US 2011/0304274 A1 & US 2014/0125237 A1 & WO 2007/069200 A1 & EP 19644491 A1 & KR 10-2008-0083313 A & CN 101331796 A & KR 10-1315078 B1 & TW 200731580 A & ES 2509347 T	1-12, 15-16 13-14

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 05 December 2017 (05.12.2017)	Date of mailing of the international search report 19 December 2017 (19.12.2017)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/040229

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2006-525664 A (KONINKLIJKE PHILIPS ELECTRONICS N.V.) 09 November 2006, paragraphs [0042]-[0043], fig. 18, 20, 24 & US 2006/0232219 A1 (paragraphs [0065]-[0066], fig. 18, 20, 24) & WO 2004/100612 A1 & EP 1623603 A1 & CN 1784931 A & TW 1483417 B	1, 3-12, 15-16 2 13-14
X Y A	JP 2005-302712 A (CITIZEN WATCH CO., LTD.) 27 October 2005, paragraphs [0031]-[0040], fig. 2-3 (Family: none)	1, 3-10 2 11-16
Y	WO 2016/196390 A1 (SXAYMIQ TECHNOLOGIES LLC) 08 December 2016, paragraphs [0057]-[0058], fig. 1 (Family: none)	2
A	JP 2016-212239 A (SONY CORP.) 15 December 2016, entire text, all drawings & WO 2016/181757 A1 (whole document)	1-16

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09G3/32(2016.01)i, G09G3/20(2006.01)i, G09G3/3233(2016.01)i, H01L33/00(2010.01)i, H05B37/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09G3/32, G09G3/20, G09G3/3233, H01L33/00, H05B37/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2009-519580 A (コーニンクレッカ フィリップス エレクトロ ニクス エヌ ヴィ) 2009.05.14, [0024] - [0030]、図4 & US 2008/0303452 A1 ([0030]-[0036], Fig. 4) & US 2011/0304274 A1 & US 2014/0125237 A1 & WO 2007/069200 A1 & EP 19644491 A1 & KR 10-2008-0083313 A & CN 101331796 A & KR 10-1315078 B1 & TW 200731580 A & ES 2509347 T	1-12, 15-16 13-14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

- |  |   |
|--|---|
| 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの                                 | 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの     |
| 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                         | 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                     |
| 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) | 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」 口頭による開示、使用、展示等に言及する文献                                      | 「&」 同一パテントファミリー文献   |
| 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願                                   |   |

国際調査を完了した日

05.12.2017

国際調査報告の発送日

19.12.2017

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/J P)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小野 健二

21

5061

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2006-525664 A (コーニンクレッカ フィリップス エレクトロ ニクス エヌ ヴィ) 2006. 11. 09, [0042] - [0043]、図18、図20、図24 & US 2006/0232219 A1 ([0065]-[0066], Fig. 18, Fig. 20, Fig. 24) & WO 2004/100612 A1 & EP 1623603 A1 & CN 1784931 A & TW I483417 B	1, 3-12, 15-16 2 13-14
X Y A	JP 2005-302712 A (シチズン時計株式会社) 2005. 10. 27, [0031] - [0040]、図2-図3 (ファミリーなし)	1, 3-10 2 11-16
Y	WO 2016/196390 A1 (SXAYMIQ TECHNOLOGIES LLC) 2016. 12. 08, [0057] - [0058]、図1 (ファミリーなし)	2
A	JP 2016-212239 A (ソニー株式会社) 2016. 12. 15, 全文全図 & WO 2016/181757 A1 (whole document)	1-16