申請日期：97.5.14	IPC分類 G09G3/30
申請案號：97117624	

（以上各欄由本局填註）

發明專利說明書 200529150

一、發明名稱	中文	閘極驅動裝置
	英文	
二、發明人（共3人）	姓名（中文）	1.卜令楷 2.陳建賓 3.蔡憲彰
	姓名（英文）	1.Lin-Kai Bu 2.Chien-Pin Chen 3.
	國籍（中英文）	1.中華民國 TW 2.中華民國 TW 3.中華民國 TW
	住居所（中文）	1.台南縣台南科學工業園區善化鎮南科八路12號1樓 2.台南縣台南科學工業園區善化鎮南科八路12號1樓 3.台南縣台南科學工業園區善化鎮南科八路12號1樓
	住居所（英文）	1. 2. 3.
三、申請人（共1人）	名稱或姓名（中文）	1.奇景光電股份有限公司
	名稱或姓名（英文）	1.Himax Technologies, Inc.
	國籍（中英文）	1.中華民國 TW
	住居所（營業所）（中文）	1.台南縣台南科學工業園區善化鎮南科八路十二號一樓 （本地址與前向貴局申請者相同）
	住居所（營業所）（英文）	1.
	代表人（中文）	1.吳炳昌
	代表人（英文）	1.Bing-Chang WU

一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
美國 US	2004/02/26	10/787,645	有

二、□主張專利法第二十五條之一第一項優先權:

申請案號:

無

日期:

三、主張本案係符合專利法第二十條第一項□第一款但書或□第二款但書規定之期間

日期:

四、□有關微生物已寄存於國外:

寄存國家:

寄存機構: 無

寄存日期:

寄存號碼:

□有關微生物已寄存於國內(本局所指定之寄存機構):

寄存機構:

寄存日期: 無

寄存號碼:

□熟習該項技術者易於獲得,不須寄存。

五、發明說明 (1)

【發明所屬之技術領域】

本發明係有關於一種顯示裝置，特別是有關於一種薄膜電晶體（Thin Film Transistor；TFT）閘極驅動裝置，用以驅動面板上之畫素陣列。

【先前技術】

第1圖顯示習知薄膜電晶體閘極驅動電路。習知薄膜電晶體閘極驅動電路係設置於驅動晶片11內，並具有許多電晶體對，每一電晶體對包括一NMOS電晶體111以及一PMOS電晶體112。NMOS電晶體111以及PMOS電晶體112的汲極耦接至面板12上之畫素陣列122的掃描線121。NMOS電晶體111以及PMOS電晶體112的源極分別接收電壓VGH以及VGL。NMOS電晶體111以及PMOS電晶體112的閘極接收閘極驅動信號GDS。NMOS電晶體111以及PMOS電晶體112均為高壓元件。

當閘極驅動信號GDS為高邏輯位準時，則NMOS電晶體111被導通，而PMOS電晶體112被截止，使得掃描線121接收電壓VGL。反之，當閘極驅動信號GDS為低邏輯位準時，則NMOS電晶體111被截止，而PMOS電晶體112被導通，使得掃描線121接收電壓VGH。

由於高壓元件會佔據很大的電路面積，而習知驅動電路具有許多的高壓元件111及112，因此，將造成驅動晶片11可使用的電路面積縮小。

【發明內容】

有鑑於此，本發明之目的在於提供一種閘極驅動裝

五、發明說明（2）

置，用以驅動面板上之畫素陣列。本發明之閘極驅動裝置內部之驅動晶片具有較少的高壓元件。

為了達到上述目的，本發明提出一種閘極驅動裝置，包括一驅動晶片，以及一驅動電路。驅動晶片具有第一電晶體，其閘極用以接收第N級閘極驅動信號，其源極用以接收第一電壓，其汲極耦接至畫素陣列之第N級掃描線。驅動電路設置於面板上並耦接第一電晶體。當第N級閘極驅動信號截止第一電晶體時，驅動電路提供第二電壓至第N級掃描線，當第N級閘極驅動信號導通第一電晶體時，驅動電路提供第一電壓至第N級掃描線。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

第2圖係本發明第一實施例中之薄膜電晶體閘極驅動裝置。本發明之薄膜電晶體閘極驅動裝置用以驅動面板12上之畫素陣列122，並具有一驅動晶片21以及驅動電路123。驅動電路123係形成於面板12上。驅動晶片21具有複數MOS電晶體211，其中，第N級的電晶體211之閘極接收第N級閘極驅動信號GDS，源極接收接地電壓，汲極耦接畫素陣列122之第N級掃描線121。當第N級閘極驅動信號GDS截止驅動電路21之第N級電晶體211時，驅動電路123提供電壓VDD予第N級掃描線121。當第N級閘極驅動信號GDS導通驅動晶片21之第N級電晶體211時，驅動電路123提供接地

五、發明說明（3）

電壓予第N級掃描線121。

驅動電路123具有複數電阻器1231，其中，第N級電阻器1231的第一端均耦接至電壓VDD，第二端耦接至第N級掃描線121。當第N級閘極驅動信號GDS截止驅動晶片21中之第N級電晶體211時，第N級掃描線121的電壓為VDD-Vd，其中Vd為電阻1231所造成的壓降。因此，選擇適當的電阻器1231，可使得第N級掃描線121的電壓約為VDD。當第N級閘極驅動信號GDS導通驅動晶片21之第N級電晶體211時，第N級掃描線121上的電壓為接地電壓。

第3圖顯示本發明第二實施例中之薄膜電晶體閘極驅動裝置。第二實施例相似於第2圖中的第一實施例，差別在於第二實施例中的驅動電路123具有NMOS 薄膜電晶體1232。第N級的電晶體1232之汲極與源極並聯於第N級電阻器1231，閘極耦接第N級掃描線121。

第4圖顯示本發明第三實施例中之薄膜電晶體閘極驅動裝置。第三實施例相似於第2圖中的第一實施例，差別在於第三實施例中，利用NMOS 薄膜電晶體 1233取代電阻器1231。第N級的電晶體1233之閘極與汲極均接收電壓VDD，源極耦接第N級掃描線121。電晶體1233被視為導通的二極體，可等效成電阻器。

第5圖顯示本發明第四實施例中薄膜電晶體閘極驅動裝置。第四實施例相似於第4圖中的第三實施例，差別在於第5圖中的驅動電路123具有MOS 薄膜電晶體 1234。第N級的電晶體1234之汲極與源極分別連接第N級電晶體1233

五、發明說明 (4)

之汲極與源極，閘極耦接第N級掃描線121。

當第N級閘極驅動信號GDS截止驅動電路21之第N級電晶體211時，第N級的電晶體 1233用以上拉第N級掃描線121上的電壓，使其約為VDD。

第6圖顯示本發明第五實施例中之薄膜電晶體閘極驅動裝置。第五實施例相似於第2圖中的第一實施例，差別在於利用次電路1235取代電阻器1231，其中，第N級次電路1235具有NMOS 薄膜電晶體 M1~M3以及一電容器C，其中，電晶體M1之汲極接收電壓VDD，源極耦接第N級掃描線121以及第N級電晶體211之汲極。電晶體M2之閘極耦接第N-1級掃描線121，汲極接收電壓VDD，源極耦接電晶體M1之閘極。電晶體M3之閘極耦接第N+1級掃描線121，汲極耦接電晶體M2之源極，源極接收接地電壓。電容C耦接於電晶體M1之閘極與電晶體M3之源極之間。

第10圖顯示本發明第五實施例中之驅動裝置的信號時序圖。以下將利用信號時序圖詳細介紹第6圖之動作方式。

在時間T0到T1之間，第N級閘極驅動信號GDS為高邏輯位準，而第N+1級及第N-1級掃描線上之電壓為低邏輯位準。由於第N級閘極驅動信號GDS為高邏輯位準，因此第N級電晶體211會被導通，使第N級掃描線上之電壓為低邏輯位準。而第N+1級及第N-1級掃描線上之電壓為低邏輯位準，因此，第N級次電路1235中的電晶體M2和M3被截止。第N級次電路1235被截止。首先，假設節點A的電壓為低邏

五、發明說明 (5)

輯位準。

在時間T1到t1a之間，由於第N級閘極驅動信號GDS仍為高邏輯位準，第N-1級掃描線上之電壓上升為高邏輯位準，而第N+1級掃描線上之電壓仍為低邏輯位準。因此，第N級電晶體211以及第N級次電路1235中的電晶體M2均為導通狀態，而第N級次電路1235中的電晶體M3為截止狀態。第N級次電路1235中的電容器C開始充電，使得節點A的電壓開始上升。當節點A的電壓部份導通第N級次電路1235中的電晶體M1時，將造成第N級掃描線上之電壓逐漸上升。然而，第N級電晶體211是完全地被導通，其阻抗比部份導通的電晶體M1小，因此，造成第N級掃描線上之電壓仍約略維持於接地電壓。

在時間t1a時，第N-1級掃描線上之電壓之低邏輯位準，使得電晶體M2被截止。然而，由於電容器C的影響，節點A的電壓仍維持在高邏輯位準。

在時間T2到t2a之間，第N級閘極驅動信號GD下降至低邏輯位準，並且第N-1級及第N+1級掃描線上之電壓仍維持在低邏輯位準。第N級電晶體211及第N級次電路1235中的電晶體M2和M3均被截止。節點A的電壓維持在高邏輯位準，使得第N級次電路1235中的電晶體M1完全地被導通。因此，第N級掃描線上之電壓被上拉至VDD。

在時間t2a時，第N級閘極驅動信號GDS為高邏輯位準，導通第N級電晶體211。由於第N級電晶體211控制輸出至第N級掃描線上之電壓，因此第N級掃描線上之電壓將被

五、發明說明（6）

第N級電晶體211下拉至接地電壓。舉例而言，第N級電晶體係為一低壓閘極與高壓汲極元件，其尺寸較第N級次電路1235中的電晶體M1大。

在時間T3，第N-1級掃描線上之電壓仍為低邏輯位準，而第N級閘極驅動信號GDS及第N+1級掃描線上之電壓均為高邏輯位準。第N級電晶體211及第N級次電路1235之電晶體M3被導通，而第N級次電路1235之電晶體M2被截止，使得電容器C開始放電，造成節點A的電壓下降至低邏輯位準。

由上述可知，當第N+1級掃描線為高邏輯位準時，會使得第N級的電容器C開始放電，使得第N級的節點A為低邏輯位準。因此，將節點A的起始位準假設為低邏輯位準。

第7圖顯示本發明第六實施例中之薄膜電晶體閘極驅動裝置。第六實施例相似於第6圖中的第五實施例，差別在於每一級次電路1235具有一NMOS薄膜電晶體M5。第N級次電路1235中的電晶體M5之汲極接收電壓VDD，源極及閘極均耦接至第N級掃描線121。

在時間T2至t2a之間，第N級閘極驅動信號GDS截止驅動晶片21中的第N級電晶體211，則第N級次電路1235中的電晶體M5輔助上拉第N級掃描線121的電壓至VDD。當第N級閘極驅動信號GDS導通驅動晶片21中的第N級電晶體211時，則第N級次電路1235中的電晶體M5輔助下拉第N級掃描線121的電壓至接地電壓。

第8圖顯示本發明第七實施例中之薄膜電晶體閘極驅

動裝置。第七實施例相似於第6圖中的第五實施例，差別在於每一級次電路1235具有一NMOS薄膜電晶體M6。第N級次電路1235中的電晶體M6之汲極接數電壓VDD，源極耦接第N級次電路1235中的電晶體M1的閘極，閘極耦接第N級掃描線121。

第9圖顯示本發明第八實施例中之薄膜電晶體閘極驅動裝置。第八實施例相似於第6圖中的第五實施例，差別在於每一級次電路1235具有如第7圖及第8圖所示之NMOS薄膜電晶體M5及M6。

最後，本發明提供一薄膜電晶體閘極驅動裝置，用以驅動面板上之畫素陣列。一驅動電路被設置於面板上，配合在驅動晶片上的下拉NMOS電晶體，並省略原本在驅動晶片上的上拉PMOS電晶體。因此，驅動晶片內具有較少的高電壓元件，或是不需利用任何高電壓元件於驅動晶片中。

再者，配合適當改變本發明實施例之電路配置，下拉NMOS電晶體可以上拉PMOS電晶體來替代，而形成於面板上之上拉NMOS薄膜電晶體可以PMOS薄膜電晶體來取代。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

圖式簡單說明

第1圖顯示習知薄膜電晶體閘極驅動電路。

第2圖係本發明第一實施例中之薄膜電晶體閘極驅動裝置。

第3圖顯示本發明第二實施例中之薄膜電晶體閘極驅動裝置。

第4圖顯示本發明第三實施例中之薄膜電晶體閘極驅動裝置。

第5圖顯示本發明第四實施例中薄膜電晶體閘極驅動裝置。

第6圖顯示本發明第五實施例中之薄膜電晶體閘極驅動裝置。

第7圖顯示本發明第六實施例中之薄膜電晶體閘極驅動裝置。

第8圖顯示本發明第七實施例中之薄膜電晶體閘極驅動裝置。

第9圖顯示本發明第八實施例中之薄膜電晶體閘極驅動裝置。

第10圖顯示本發明第五實施例中之驅動裝置的信號時序圖。

【符號說明】

11、21：驅動晶片；

12：面板；

111：NMOS電晶體；

112：PMOS電晶體；

圖式簡單說明

211、1232、1233、1234、M1~M3、M5、M6：電晶體；

121：掃描線；

122：畫素陣列；

123：驅動電路；

1231：電阻器；

1235：次電路；

C：電容器。

四、中文發明摘要　（發明名稱：閘極驅動裝置）

一種閘極驅動裝置，用以驅動一面板上之畫素陣列，包括一驅動晶片，具有一第一電晶體，該閘極接收第N級閘極驅動信號，其源極接收第一電壓，其汲極耦接畫素陣列之第N級掃描信號；以及一驅動電路，形成於該面板上，當第N級閘極驅動信號截止第一電晶體時，驅動電路提供第二電壓予第N級掃描線，當第N級閘極驅動信號導通第一電晶體時，驅動電路提供第一電壓予第N級掃描線。

伍、（一）、本案代表圖為：第____2____圖

（二）、本案代表圖之元件代表符號簡單說明：

12：面板；

21：驅動晶片；

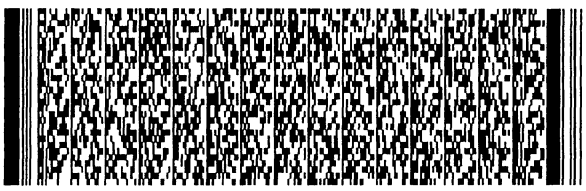
211：電晶體；

1231：電阻器；

121：掃描線；

122：畫素陣列。

六、英文發明摘要　（發明名稱：）



六、申請專利範圍

1. 一種閘極驅動裝置，用以驅動一面板之畫素陣列，該閘極驅動裝置，包括：

一驅動晶片，具有一第一電晶體，其閘極用以接收一第N級閘極驅動信號，其源極用以接收一第一電壓，其汲極耦接至該畫素陣列之一第N級掃描線；以及

一驅動電路，設置於該面板上並耦接該第一電晶體，當該第N級閘極驅動信號截止該第一電晶體時，該驅動電路提供一第二電壓至該第N級掃描線，當該第N級閘極驅動信號導通該第一電晶體時，該驅動電路提供該第一電壓至該第N級掃描線。

2. 如申請專利範圍第1項所述之閘極驅動裝置，其中該第一電晶體係為一NMOS電晶體。

3. 如申請專利範圍第1項所述之閘極驅動裝置，其中該驅動電路，包括：一電阻器，其第一端接收該第二電壓，其第二端耦接該第N級掃描線。

4. 如申請專利範圍第3項所述之閘極驅動裝置，其中該驅動電路，更包括：一第二電晶體，其閘極及源極均耦接至該第N級掃描線，其汲極接收該第二電壓。

5. 如申請專利範圍第4項所述之閘極驅動裝置，其中該第二電晶體係為一NMOS薄膜電晶體。

6. 如申請專利範圍第1項所述之閘極驅動裝置，其中該驅動電路，包括：一第二電晶體，其閘極及汲極接收該第二電壓，其源極耦接至該第N級掃描線。

7. 如申請專利範圍第6項所述之閘極驅動裝置，其中

六、申請專利範圍

該驅動電路，更包括：一第三電晶體，其閘極及源極均耦接至該第N級掃描線，其汲極接收該第二電壓。

8. 如申請專利範圍第7項所述之閘極驅動裝置，其中該第二及第三電晶體均為NMOS薄膜電晶體。

9. 如申請專利範圍第1項所述之閘極驅動裝置，其中該該驅動電路，包括：

一第二電晶體，其汲極接收該第二電壓，其源極耦接至該第N級掃描線；

一第三電晶體，其閘極耦接至一第(N-1)級掃描線，其汲極接收該第二電壓，其源極耦接該第二電晶體之閘極；

一第四電晶體，其閘極耦接至一第(N+1)級掃描線，其汲極耦接該第三電晶體之源極，其源極接收該第一電壓；以及

一電容器，耦接於該第二電晶體之閘極與該第四電晶體之源極之間。

10. 如申請專利範圍第9項所述之閘極驅動裝置，其中該驅動電路，更包括：一第五電晶體，其閘極耦接該第N級掃描線，其汲極接收該第二電壓，其源極耦接該第二電晶體之閘極。

11. 如申請專利範圍第10項所述之閘極驅動裝置，其中該第二、第三、第四以及第五電晶體均為NMOS薄膜電晶體。

12. 如申請專利範圍第9項所述之閘極驅動裝置，其中

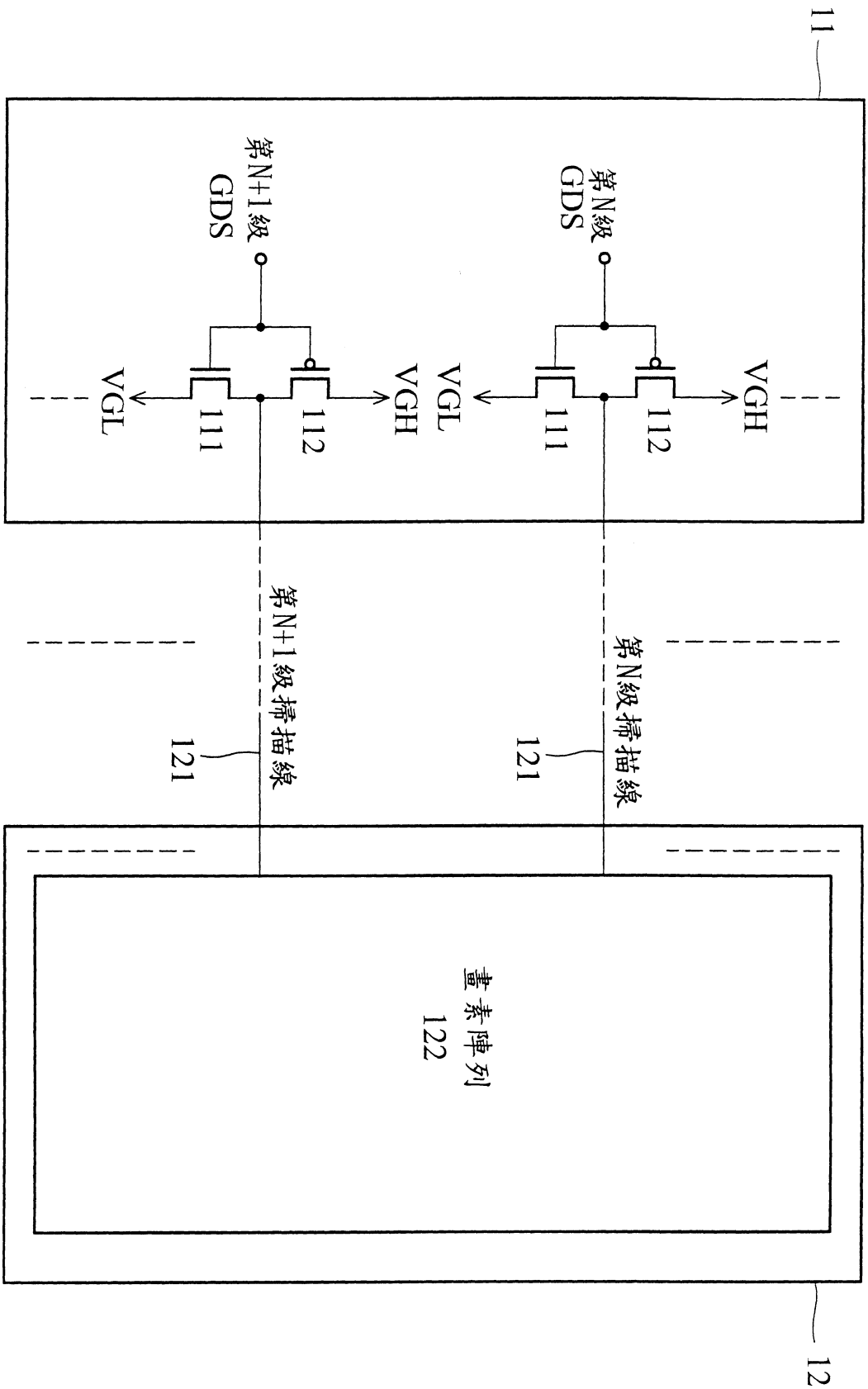
六、申請專利範圍

該驅動電路，更包括：一第五電晶體，其閘極與源極均耦接至該第N級掃描線，其汲極接收該第二電壓。

13. 如申請專利範圍第12項所述之閘極驅動裝置，其中該第二、第三、第四以及第五電晶體均為NMOS薄膜電晶體。

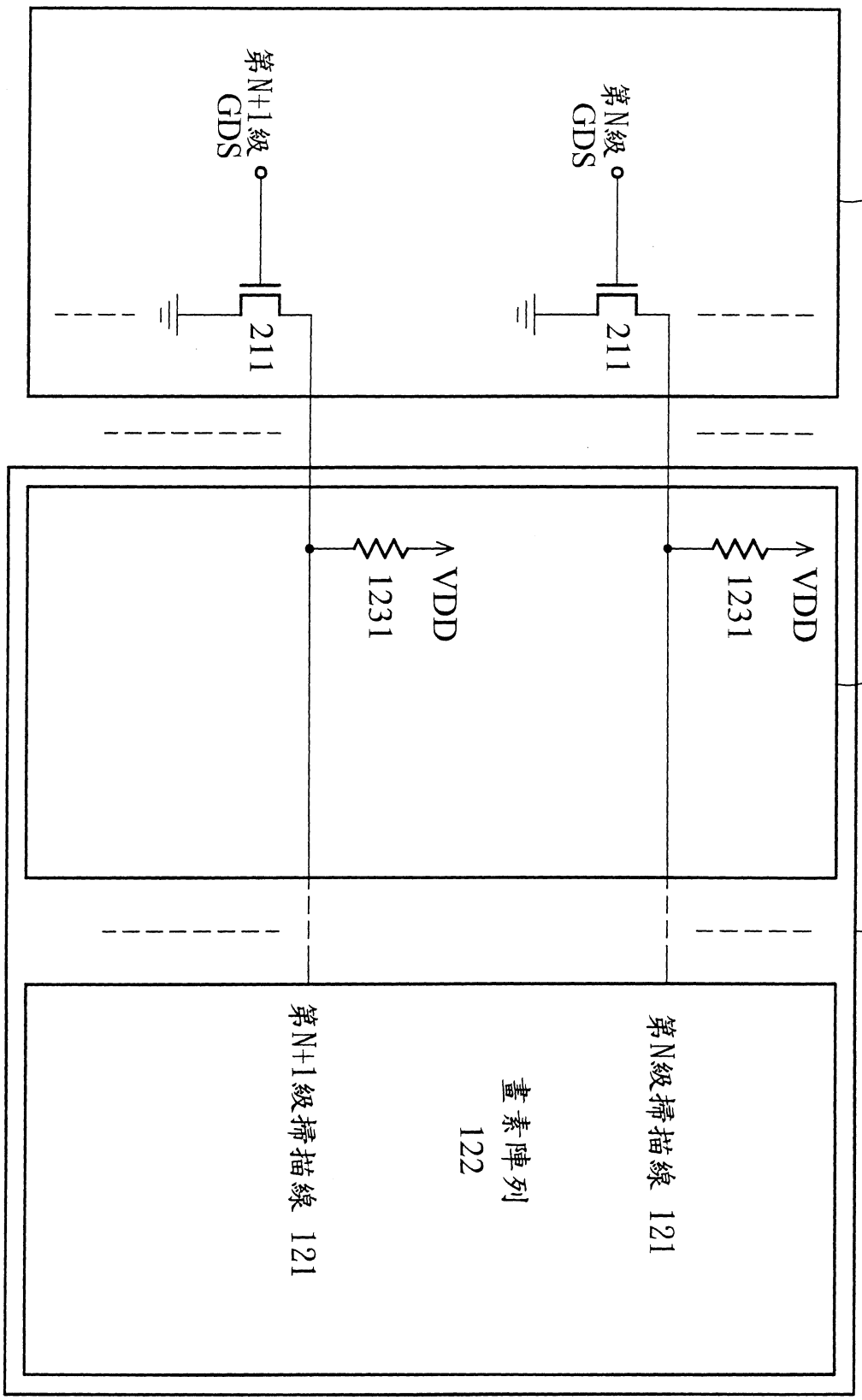
14. 如申請專利範圍第1項所述之閘極驅動裝置，其中該第一電晶體之汲極耦接該驅動電路。

200529150



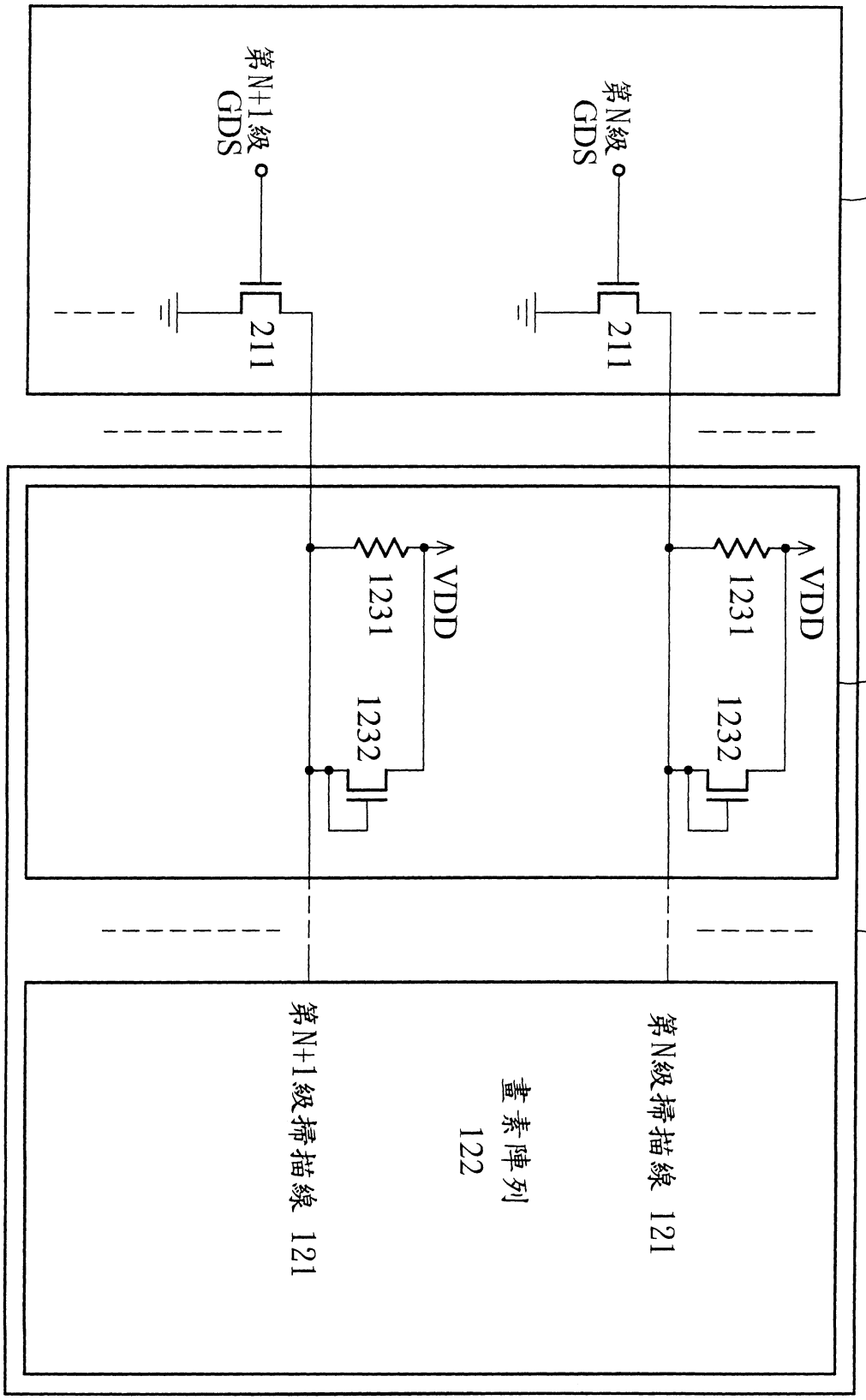
第 1 圖

200529150



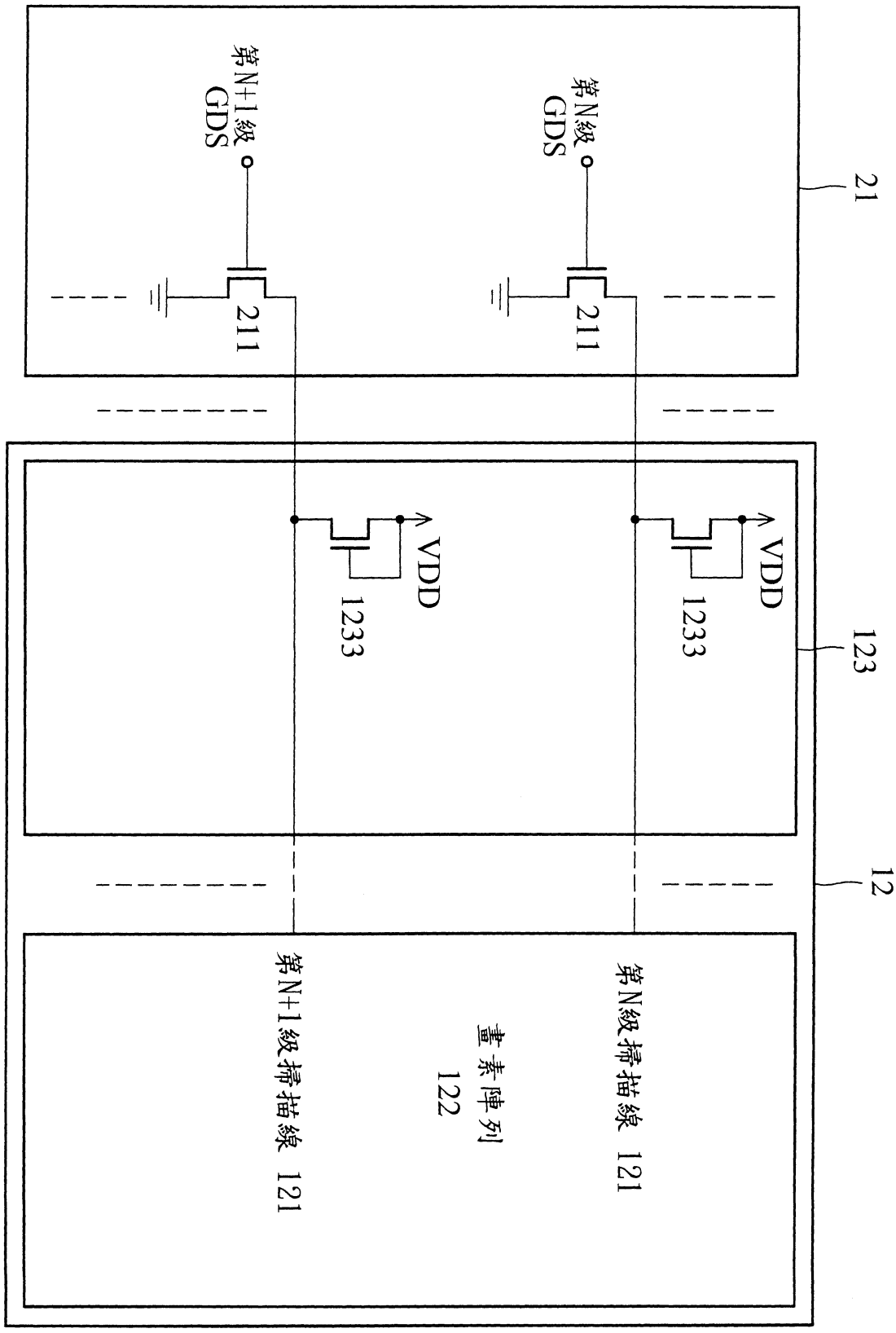
第 2 圖

200529150



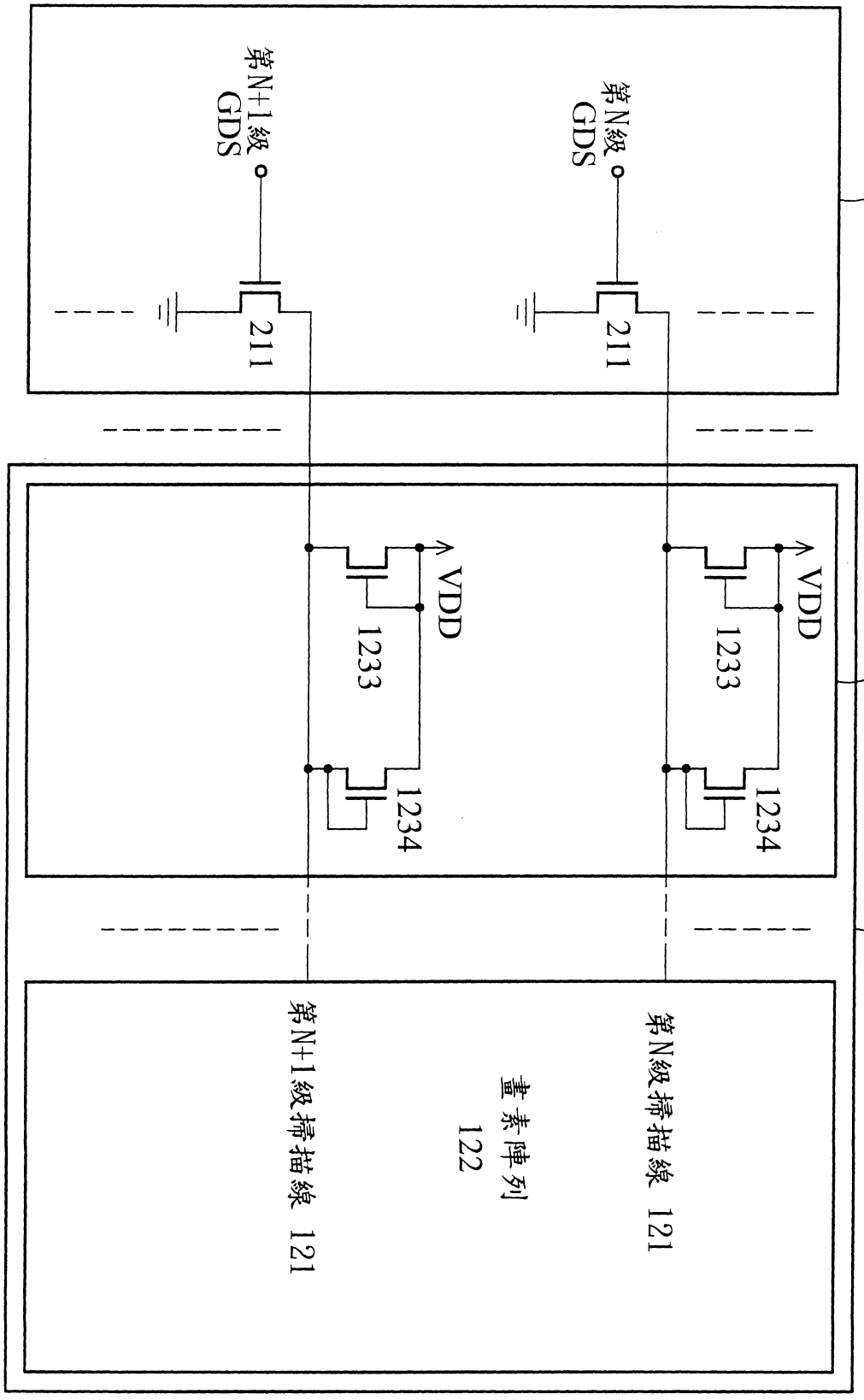
第 3 圖

200529150

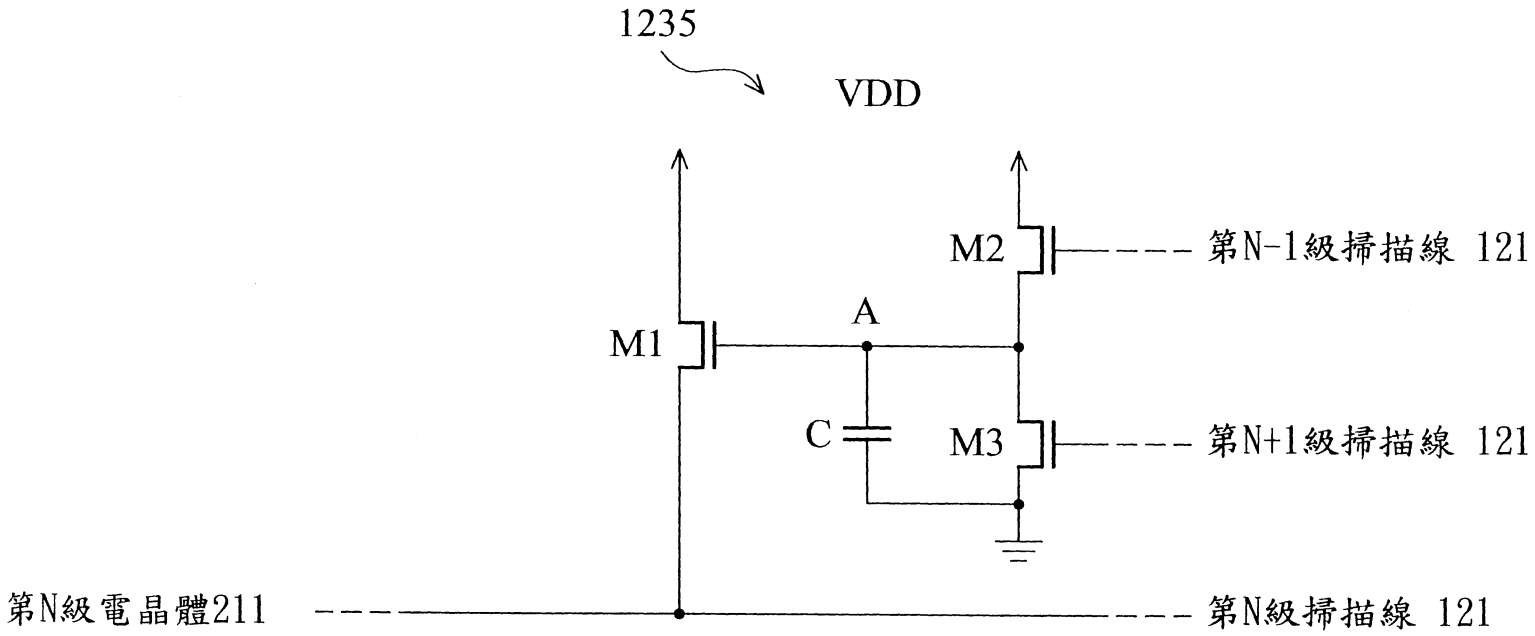


第 4 圖

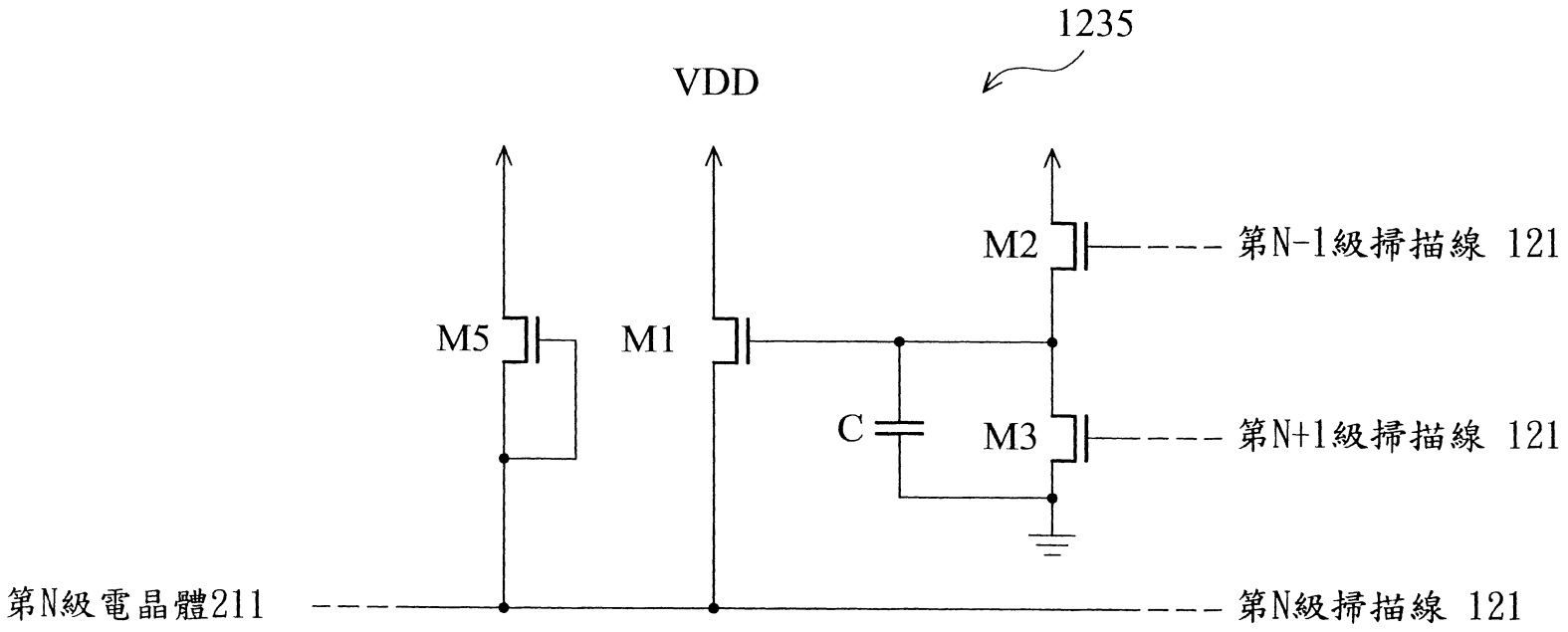
200529150



第 5 圖

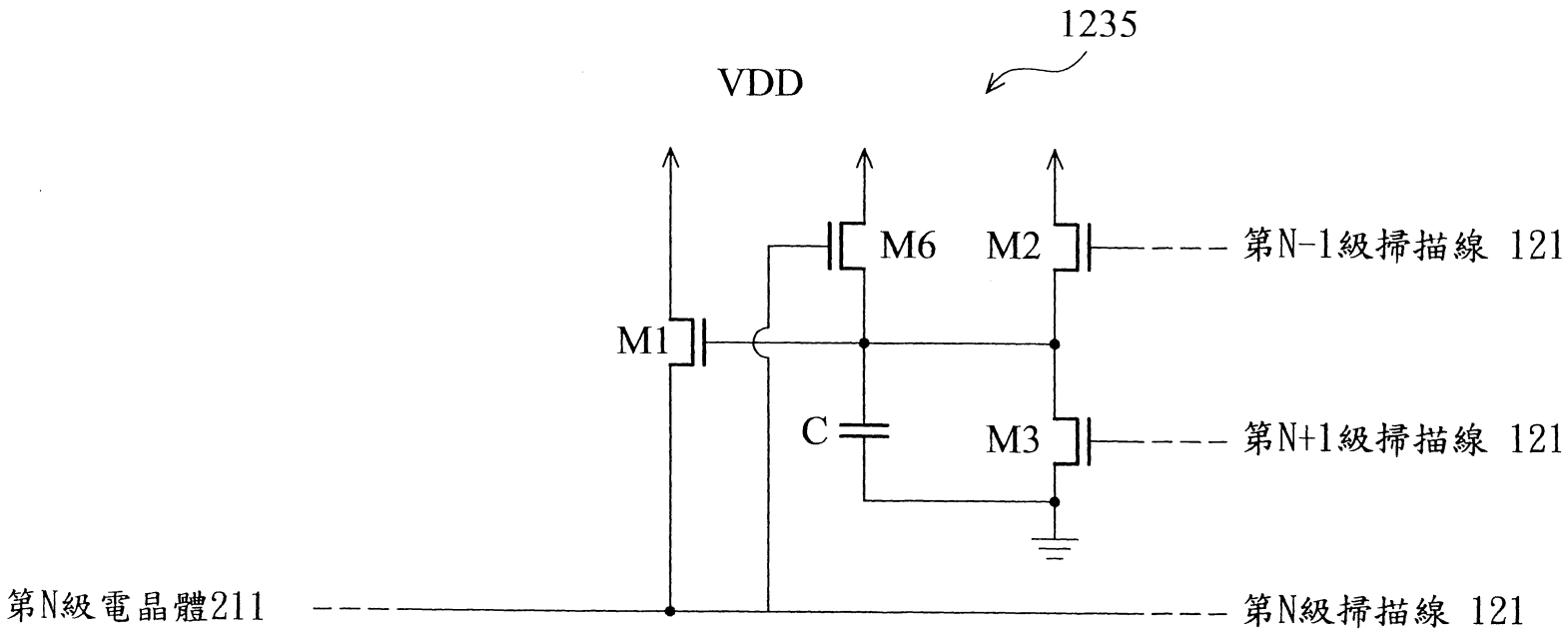

1235
VDD
M2
第N-1級掃描線 121
A
M1
C
M3
第N+1級掃描線 121
第N級電晶體211
第N級掃描線 121

第 6 圖


1235
VDD
M2
第N-1級掃描線 121
M5
M1
C
M3
第N+1級掃描線 121
第N級電晶體211
第N級掃描線 121

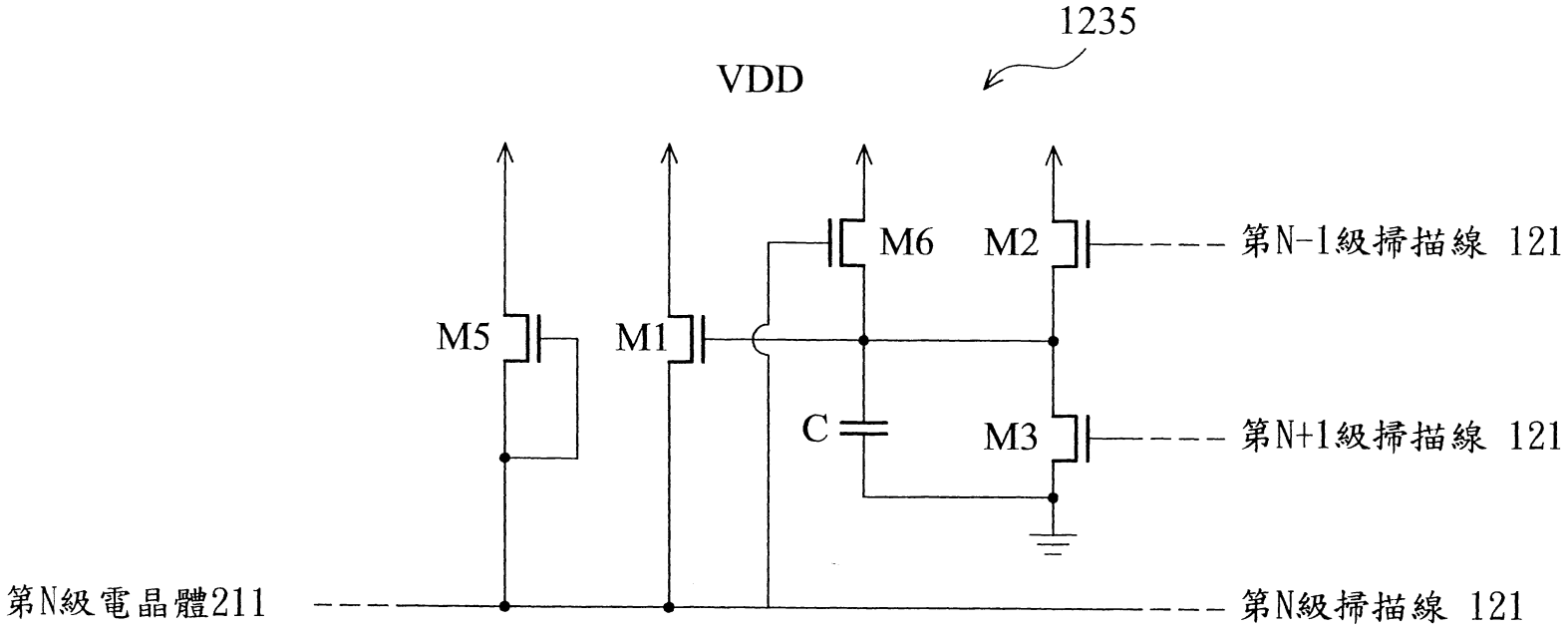
第 7 圖

200529150



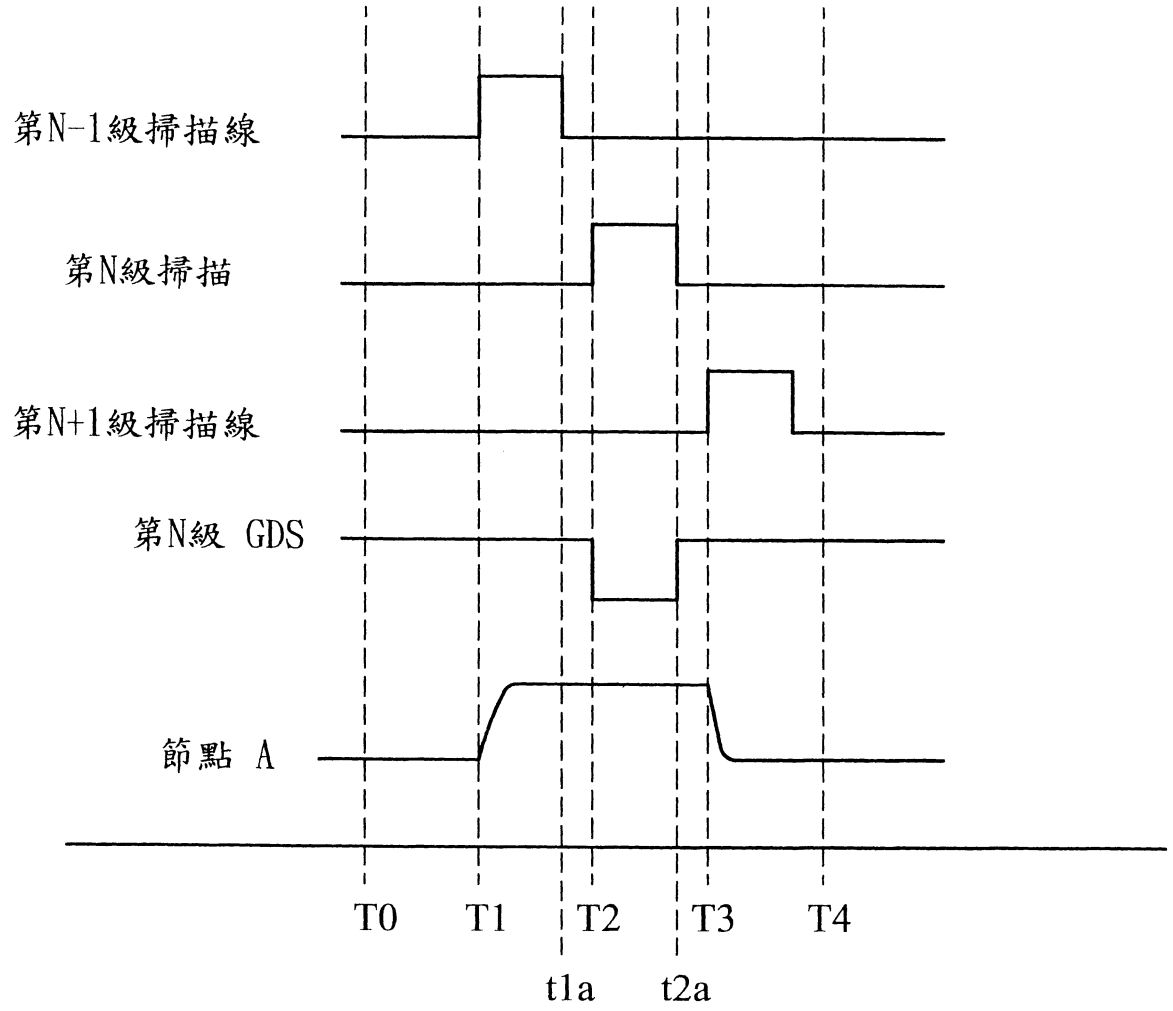
第 8 圖

200529150



第 9 圖

200529150



第 10 圖