



(12) 发明专利申请

(10) 申请公布号 CN 115315807 A

(43) 申请公布日 2022. 11. 08

(21) 申请号 202180023374.3

(22) 申请日 2021.02.17

(30) 优先权数据

2020-060404 2020.03.30 JP

(85) PCT国际申请进入国家阶段日

2022.09.22

(86) PCT国际申请的申请数据

PCT/JP2021/005876 2021.02.17

(87) PCT国际申请的公布数据

W02021/199754 JA 2021.10.07

(71) 申请人 索尼半导体解决方案公司

地址 日本神奈川

(72) 发明人 场色正昭

(74) 专利代理机构 北京康信知识产权代理有限公司 11240

专利代理师 余刚

(51) Int.Cl.

H01L 27/04 (2006.01)

H01L 21/3205 (2006.01)

H01L 21/768 (2006.01)

H01L 21/8234 (2006.01)

H01L 23/522 (2006.01)

H01L 27/00 (2006.01)

H01L 27/06 (2006.01)

H01L 27/146 (2006.01)

H04N 5/369 (2006.01)

H04N 5/374 (2006.01)

H04N 5/3745 (2006.01)

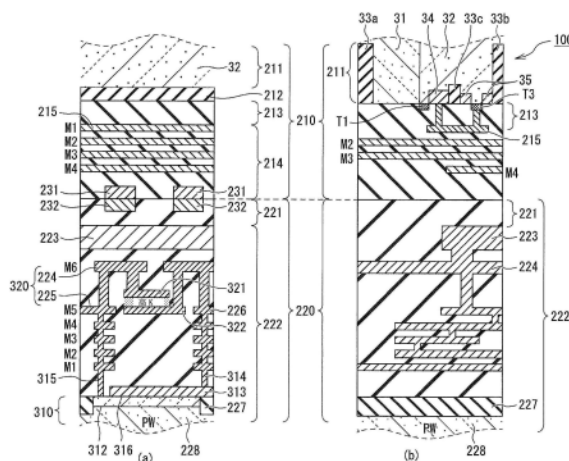
权利要求书3页 说明书20页 附图32页

(54) 发明名称

半导体装置及电子设备

(57) 摘要

提供一种半导体装置,该半导体装置能够实现电容元件,该电容元件的电容值的偏置依赖性小,并且在不降低工作电压的情况下该电容元件具有大电容密度。该半导体装置包括:半导体基板;第一电容元件,堆叠在半导体基板上;以及第二电容元件,堆叠在第一电容元件的与半导体基板侧相反的一侧,并且具有与第一电容元件的电容值的偏置特性相反的特性。第一电容元件和第二电容元件并联连接。



1. 一种半导体装置,包括:

半导体基板;

第一电容元件,堆叠在所述半导体基板上;以及

第二电容元件,堆叠在所述半导体基板的与所述第一电容元件一侧的相反侧,并且所述第二电容元件的电容值的偏置特性与所述第一电容元件的电容值的偏置特性相反,其中,

所述第一电容元件与所述第二电容元件并联连接。

2. 根据权利要求1所述的半导体装置,其中

设置n个(其中,n是整数)所述第一电容元件和所述第二电容元件,并且

n个电容元件并联连接,使得当电极之间的电势差等于工作电压时的元件整体的电容值表示为 $C_{total}(V)$ 、当电极之间的电势差为0时元件整体的电容值表示为 $C_{total}(0)$ 、每个电容元件的电容值的偏置依赖系数(包括正或负)表示为 A_n 、每个电容元件的元件尺寸表示为 S_n 、每个电容元件的电容密度表示为 $C_n(V)$ 时,电容元件整体的电容值的偏置特性

$C_{total}(V)/C_{total}(0)$

$= \sum A_n \times C_n(V) \times S_n / C_{total}(0)$

最接近1。

3. 根据权利要求1或2所述的半导体装置,其中

所述第一电容元件是第一导电类型的累积型MOS电容元件,所述第一导电类型的累积型MOS电容元件具有形成在所述半导体基板侧的下部电极和隔着绝缘膜与所述下部电极相对的上部电极,

所述第二电容元件是第二导电类型的累积型MOS电容元件,所述第二导电类型累积型MOS电容元件具有形成在所述半导体基板侧的下部电极和隔着绝缘膜与所述下部电极相对的上部电极,所述第二导电类型与所述第一导电类型的极性相反,以及

所述半导体装置包括并联连接结构,在所述并联连接结构中,所述第一导电类型的累积型MOS电容元件的上部电极与所述第二导电类型的累积型MOS电容元件的上部电极彼此连接,并且所述第一导电类型的累积型MOS电容元件的下部电极与所述第二导电类型的累积型MOS电容元件的下部电极彼此连接。

4. 根据权利要求1或2所述的半导体装置,其中

所述第一电容元件是第一导电类型的累积型MOS电容元件,所述第一导电类型的累积型MOS电容元件具有形成在所述半导体基板侧的下部电极和隔着绝缘膜与所述下部电极相对的上部电极,

所述第二电容元件是MIM(金属绝缘体金属)电容元件,所述MIM电容元件具有形成在所述半导体基板侧的下部电极和隔着绝缘膜与所述下部电极相对的上部电极,并且

所述半导体装置包括并联连接结构,在所述并联连接结构中,所述第一导电类型的累积型MOS电容元件的上部电极与所述MIM电容元件的下部电极彼此连接,并且所述第一导电类型的累积型MOS电容元件的下部电极与所述MIM电容元件的上部电极彼此连接。

5. 根据权利要求1或2所述的半导体装置,其中

所述第一电容元件是第二导电类型累积型MOS电容元件,所述第二导电类型累积型MOS电容元件具有形成在所述半导体基板侧的下部电极和隔着绝缘膜与所述下部电极相对的

上部电极,所述第二导电类型与所述第一导电类型的极性相反,

所述第二电容元件是MIM电容元件,所述MIM电容元件具有形成在所述半导体基板侧的下部电极和隔着绝缘膜与所述下部电极相对的上部电极,以及

所述半导体装置包括并联连接结构,在所述并联连接结构中,所述第二导电类型累积型MOS电容元件的上部电极与所述MIM电容元件的上部电极彼此连接,并且所述第二导电类型累积型MOS电容元件的下部电极与所述MIM电容元件的下部电极彼此连接。

6. 根据权利要求1或2所述的半导体装置,其中

所述第一电容元件是第一MIM电容元件,所述第一MIM电容元件具有形成在所述半导体基板侧的下部电极和隔着绝缘膜与所述下部电极相对的上部电极,

所述第二电容元件是第二MIM电容元件,所述第二MIM电容元件具有形成在所述半导体基板侧的下部电极和隔着绝缘膜与所述下部电极相对的上部电极,以及

所述半导体装置包括并联连接结构,在所述并联连接结构中,所述第一MIM电容元件的上部电极与所述第二MIM电容元件的下部电极彼此连接,并且所述第一MIM电容元件的下部电极与所述第二MIM电容元件的上部电极彼此连接。

7. 根据权利要求1至6中任一项所述的半导体装置,进一步包括:

梳状布线电容元件并联连接的结构。

8. 根据权利要求1至7中任一项所述的半导体装置,进一步包括:

PIP(多晶硅绝缘体)电容元件并联连接的结构。

9. 根据权利要求1至8中任一项所述的半导体装置,进一步包括:

具有第三电容元件的另一半导体基板,其中

所述另一半导体基板与所述半导体基板接合,并且所述第一电容元件、所述第二电容元件和所述第三电容元件并联连接,使得作为整体的电容元件的电容值的偏置特性最接近1。

10. 根据权利要求9所述的半导体装置,其中

所述半导体装置具有所述半导体基板与所述另一半导体基板的接合部为电容元件的结构。

11. 根据权利要求9或10所述的半导体装置,其中

所述半导体基板具有像素和外围电路中的至少一者,所述外围电路被配置为处理来自像素晶体管的信号,所述像素晶体管被配置为放大来自所述像素的信号,以及

所述另一半导体基板具有所述像素和所述外围电路中的另一者。

12. 根据权利要求11所述的半导体装置,其中

所述像素由光电二极管制成,以及

具有所述外围电路的所述半导体基板由具有所述像素晶体管的第一半导体基板和具有所述外围电路的第二半导体基板构成。

13. 根据权利要求9或10所述的半导体装置,其中

所述半导体基板具有传感器部和外围电路中的至少一者,所述传感器部具有SPAD(单光子雪崩二极管)光电二极管,所述外围电路被配置为处理来自所述传感器部的信号,以及

所述另一半导体基板具有所述传感器部和所述外围电路中的另一者。

14. 一种电子设备,包括:

半导体装置,所述半导体装置包括:

半导体基板;

第一电容元件,堆叠在所述半导体基板上;以及

第二电容元件,堆叠在所述半导体基板的与所述第一电容元件一侧的相反侧,并且所述第二电容元件的电容值具有与所述第一电容元件的电容值的偏置特性相反的偏置特性,其中,

所述第一电容元件与所述第二电容元件并联连接。

半导体装置及电子设备

技术领域

[0001] 根据本公开内容的技术(本技术)涉及半导体装置和包括半导体装置的电子设备。

背景技术

[0002] 虽然用于捕获图像的固态成像装置的实例包括CCD(电荷耦合器件)图像传感器和CMOS(互补金属氧化物半导体)图像传感器,但是可以通过已知的CMOS工艺制造而不需要投资特殊设施的CMOS图像传感器受到关注,并且在内置于移动电话中的相机系统和监视系统中正在迅速采用。

[0003] 由于随着CMOS图像传感器应用于各种领域的推进,出现了对CMOS图像传感器中的更小尺寸和更高性能的需求,因此已经提出了堆叠型CMOS图像传感器,以满足这样的需求(专利文献1),在该堆叠型CMOS图像传感器中,传感器部和外围电路部由不同的基板(晶圆)形成,并且使用WoW技术将晶圆彼此接合以赋予作为图像传感器的功能。

[0004] 在上述堆叠型CMOS图像传感器中,入射光由传感器部接收,并且入射光在传感器部内由光电二极管光电转换。由光电二极管产生的电荷通过外围电路部进行模拟数字转换成像素信号。在这种情况下,在外围电路部中,使用用于中断输入信号的直流分量的耦合电容器。

[0005] 尽管耦合电容器所使用的电容元件的电容密度(每单位面积的电容值)越高,耦合电容器可能越小,但是电容值必须具有低偏置依赖性。这是因为当电容值的偏置依赖性高时,例如,传输至比较器的差分输入晶体管的栅极电极的像素信号或参考信号变得失真,并且模数转换的精确度显著劣化。

[0006] 此外,用于制造外围电路部的CMOS工艺一直过渡到精细工艺。然而,即使转换到精细工艺,虽然由诸如SRAM的MOSFET或逻辑构成并且处理数字信号的逻辑电路可以小型化,但是处理从传感器部输出的模拟信号的模拟电路不能容易地小型化。这是因为,虽然图像传感器的传感器部可读取的最大电荷量越大,图像传感器的性能就越高,但是由于所检测的电荷量被转换成电压并且通过电路传播,所以即使制造工艺生成被小型化,只要最大电荷量的性能被保持并且器件本身不能根据缩放规则被小型化,构成从传感器部接收信号的模拟电路的器件的工作电压也不会下降。

[0007] 作为在半导体基板上形成的电容元件,提出了专利文献2中记载的MOS电容元件、专利文献3中记载的梳状布线电容元件、专利文献4中记载的MIM(金属绝缘体金属)电容元件的各用途。

[0008] MOS电容元件和MIM电容元件的电容密度很大程度上由栅极绝缘膜的膜厚(d)和介电常数(ϵ)决定(ϵ/d)。作为增加电容密度的方法,虽然通常使用减小膜厚度的方法,因为增加介电常数的方法导致制造成本增加,但是在不降低电容元件的工作电压的情况下减小绝缘膜的膜厚度导致表示绝缘膜寿命的TDDB(时间依赖介电击穿)劣化并缩短产品寿命。

[0009] 另外,梳状布线电容元件是利用通过将布线布置为彼此相对而形成的寄生电容作为电容元件的元件,但是为了提高电容密度必须减小布线空间。然而,在不降低电容元件的

工作电压的情况下减小布线空间会导致布线空间之间的绝缘膜的TDDB劣化并缩短产品寿命。另外,梳状布线电容元件的电容值不增大的另一原因是,当工艺的小型化发展时,具有较低介电常数的Low-K膜被用作覆盖布线层的绝缘膜。

[0010] 另外,虽然图像传感器通常通过利用AD转换器将由传感器部检测到的模拟信号转换成数字信号来进行信号处理,但是近来,为了小型化和加速图像传感器,更多采用逐次逼近AD转换器(PTL5)。

[0011] 逐次逼近AD转换器通常包括电容性DA转换器作为组件。电容性DA转换器由电容阵列构成,其中,当将单个电容元件的电容值表示为C时,电容值C、2C、4C、……、 $2^N \times C$ 是C的2的幂的电容元件并联连接,并且电容性DA转换器利用电荷重新分配的原理将数字信号转换成模拟信号。

[0012] 在这种情况下,除非电容元件之间的电容值的比率不符合为2的幂的值,否则在执行从数字信号到模拟信号的DA(数模)转换时发生误差。电容元件之间的电容值的比率偏离指数值2的原因包括电容元件的电容值的固有偏置依赖性。为了减少DA转换的误差,必须减少电容值的偏置依赖性。

[0013] [引用列表]

[0014] [专利文献]

[0015] [PTL1]

[0016] JP2018-148528A

[0017] [PTL2]

[0018] JP2011-254088A

[0019] [PTL3]

[0020] JP2005-183739A

[0021] [PTL4]

[0022] JP2018-37626A

[0023] [PTL5]

[0024] JP2018-88648A

发明内容

[0025] [技术问题]

[0026] 如上所述,为了缩小堆叠型图像传感器的尺寸,对电容值具有低偏置依赖性并且具有高电容密度的电容元件存在高需求。

[0027] 本发明是鉴于上述情况而完成的,其目的在于,提供能够在不降低工作电压的情况下实现电容值偏置依赖性低且电容密度高的电容元件的半导体装置及电子设备。

[0028] [问题的解决方案]

[0029] 本公开的一方面是一种半导体装置,包括:半导体基板;堆叠在所述半导体基板上的第一电容元件;以及第二电容元件,堆叠在所述第一电容元件的所述半导体基板侧的相反侧,并且所述第二电容元件的电容值具有与所述第一电容元件的电容值的偏置特性相反的偏置特性,其中所述第一电容元件与所述第二电容元件并联连接。

[0030] 本公开的另一方面是一种电子设备,包括半导体装置,该半导体装置包括:半导体

基板;堆叠在所述半导体基板上的第一电容元件;以及第二电容元件,堆叠在所述第一电容元件的所述半导体基板侧的相反侧,并且所述第二电容元件的电容值具有与所述第一电容元件的电容值的偏置特性相反的偏置特性,其中所述第一电容元件与所述第二电容元件并联连接。

附图说明

- [0031] 图1是根据第一实施方式的固态成像装置的等效电路图。
- [0032] 图2是根据第一实施方式的像素阵列部的等效电路图。
- [0033] 图3是根据第一实施方式的像素的等效电路图。
- [0034] 图4是根据第一实施方式的比较器的等效电路图。
- [0035] 图5是根据第一实施方式的上部半导体基板和下部半导体基板的示意图。
- [0036] 图6是根据第一实施方式的固态成像装置中的截面图。
- [0037] 图7是示出根据第一实施例的N+累积型MOS电容元件的结构平面图。
- [0038] 图8是示出根据第一实施方式的MOM电容元件的配置平面图。
- [0039] 图9是示出根据第一实施例的MIM电容元件的配置平面图。
- [0040] 图10是示出根据第一实施例的PIP电容元件的结构平面图。
- [0041] 图11是示出根据第一实施例的N+累积型MOS电容元件与MIM电容元件之间的连接结构的等效电路图。
- [0042] 图12是用于说明根据第一实施例的N+累积型MOS电容元件和MIM电容元件的相应的C-V特性的图。
- [0043] 图13是用于说明根据第一实施例的N+累积型MOS电容元件和MIM电容元件并联连接时的C-V特性的图。
- [0044] 图14是根据第一实施方式的第一变形例的固态成像装置中的截面图。
- [0045] 图15是根据第一实施例的第一变形例的N+累积型MOS电容元件、MIM电容元件和MOM电容元件并联连接的等效电路图。
- [0046] 图16是通过与上述图13中示出的C-V特性比较来说明根据第一实施方式的第一变形例的MOM电容元件的C-V特性的示意图。
- [0047] 图17是根据第一实施例的第二变形例的固态成像装置中的截面图。
- [0048] 图18是根据第一实施例的第二变形例的P+累积型MOS电容元件与MIM电容元件并联连接的等效电路图。
- [0049] 图19是用于说明根据第一实施例的第二变形例的P+累积型MOS电容元件和MIM电容元件的C-V特性的图。
- [0050] 图20是根据第一实施例的第三变形例的固态成像装置中的截面图。
- [0051] 图21是根据第一实施例的第三变形例的MIM电容元件彼此并联连接的等效电路图。
- [0052] 图22是用于说明根据第一实施例的第三变形例的向MIM电容元件施加正偏置和反偏置时的C-V特性的图。
- [0053] 图23是根据第一实施方式的第四变形例的固态成像装置中的截面图。
- [0054] 图24是根据第一实施例的第四变形例的PIP电容元件与2个MIM电容元件并联连接

的等效电路图。

[0055] 图25是用于说明第一实施例的第四变形例的PIP电容元件的C-V特性的图。

[0056] 图26是根据第二实施例的固态成像装置中的截面图。

[0057] 图27是根据第二实施例的各电容元件并联连接的等效电路图。

[0058] 图28是根据第二实施方式的第一变形例的固态成像装置中的截面图。

[0059] 图29是根据第二实施例的第一变形例的各电容元件并联连接的等效电路图。

[0060] 图30是根据第二实施方式的第二变形例的固态成像装置中的截面图。

[0061] 图31是根据第二实施例的第二变形例的各电容元件并联连接的等效电路图。

[0062] 图32是描述在第二实施例的另一应用实例中使用通用CMOS工艺分别可安装到上部半导体基板(芯片1)和下部半导体基板(芯片2)的电容元件的表。

[0063] 图33是根据第三实施方式的固态成像装置中的截面图。

[0064] 图34是根据第三实施例的传感器部、像素晶体管部和外围电路部的示意图。

[0065] 图35是根据第三实施方式的传感器部、像素晶体管部以及外围电路部的等效电路图。

[0066] 图36是并联连接根据第三实施例的各个电容元件的等效电路图。

[0067] 图37是构成根据第四实施方式的固态成像装置的每个电路的半导体芯片上的布置图。

[0068] 图38是根据第四实施例的固态成像装置中的截面图。

[0069] 图39是并联连接根据第四实施例的N+累积型MOS电容元件和MIM电容元件的等效电路图。

[0070] 图40是根据第五实施方式的滤波器电路的等效电路图。

[0071] 图41是根据第五实施方式的平滑电路的等效电路图。

[0072] 图42是根据第五实施例的积分电路的等效电路图。

[0073] 图43是根据第六实施方式的电子设备的示意性配置图。

具体实施方式

[0074] 下面将参考附图描述本公开的实施方式。在以下描述中参考的附图的描述中,相同或相似的部分将由相同或相似的附图标记表示,并且将省略多余的描述。然而,应注意的是,附图本质上是示意性的,并且厚度与平面尺寸之间的关系、相应装置或相应构件的厚度比率与实际不同。因此,具体厚度和尺寸应通过考虑以下描述来确定。另外,附图也包含彼此的尺寸关系、比率不同的部分,这是不言而喻的。

[0075] 此外,应当理解,在以下描述中的方向的定义,诸如向上和向下仅仅是为了简洁而提供的定义,而并非旨在限制本公开的技术构思。例如,显而易见的是,当在旋转90度之后观察对象时,将上下转换为并解释为左-右,并且当在旋转180度之后观察对象时,将上下解释为倒置。

[0076] 本说明书中描述的有益效果仅是示例性的而非限制性的,并且可产生其它有益效果。

[0077] (第一实施例)

[0078] <固态成像装置的总体配置>

[0079] 作为第一实施方式,将举例说明根据本技术的半导体装置应用于固态成像装置(CMOS图像传感器)的情况。如图1所示,根据第一实施方式的固态成像装置100包括像素阵列部110和从像素阵列部110读取电信号并执行预定信号处理的外围电路。

[0080] 根据第一实施例的固态成像装置100包括作为外围电路的控制行地址和行扫描的行选择电路120、控制列地址和列扫描的水平传输/扫描电路130、以及作为控制电路生成内部时钟的定时控制电路140。此外,根据第一实施例的固态成像装置100包括作为外围电路的ADC群150、作为斜坡信号发生器的数模转换器(DAC)160、放大电路170、信号处理电路180和水平传输线190。此外,根据第一实施例的固态成像装置100包括DC电源电路(未示出)作为外围电路。

[0081] 如图2所示,像素阵列部110由布置成阵列(矩阵图案)的大量像素30构成。例如,如图3所示,像素30具有由光电二极管(PD)制成的光电转换元件D1。相对于光电转换元件D1,像素30具有四个晶体管作为有源元件,四个晶体管包括传输晶体管T1、复位晶体管T2、放大晶体管T3以及选择晶体管T4。另外,为了从像素30提取作为电压波动的信号,恒流源负载31连接到在列方向上由像素30共享的垂直信号线(LSGN)。

[0082] 光电转换元件D1将入射光光电转换为量与其光强度相对应的电荷(在这种情况下,电子)。作为传输元件的传输晶体管T1连接在光电转换元件D1与作为输入节点的浮动扩散(FD)之间,并且通过传输控制线LTRG将作为控制信号的传输信号TRG提供至传输晶体管T1的栅极(传输栅极)。因此,传输晶体管T1将已经由光电转换元件D1光电转换的电子传输到浮动扩散FD。

[0083] 复位晶体管T2连接在供应有电源电压VDD的电源线LVDD与浮动扩散FD之间,并且作为控制信号的复位信号RST经由复位控制线LRST被供应至复位晶体管T2的栅极。因此,作为复位元件的复位晶体管T2将浮动扩散FD的电位复位为电源线LVDD的电位。

[0084] 作为放大元件的放大晶体管T3的栅极连接至浮动扩散FD。换言之,浮动扩散FD用作作为放大元件的放大晶体管T3的输入节点。放大晶体管T3和选择晶体管T4串联连接在被供给电源电压VDD的电源线LVDD与信号线LSGN之间。这样,放大晶体管T3经由选择晶体管T4连接到信号线LSGN,并与像素部外部的恒流源IS构成源极跟随器。此外,作为根据地址信号的控制信号的选择信号SEL通过选择控制线LSEL供应至选择晶体管T4的栅极以导通选择晶体管T4。当选择晶体管T4导通时,放大晶体管T3放大浮动扩散FD的电位并且将对应于该电位的电压输出至信号线LSGN。从各像素输出的电压通过信号线LSGN输出到ADC群150。例如,因为传输晶体管T1、复位晶体管T2以及选择晶体管T4的各自栅极以行为单位连接,所以相对于一行的每个像素同时执行上述操作。

[0085] 布线到像素阵列部110的复位控制线LRST、传输控制线LTRG和选择控制线LSEL以像素布置的每行为单位被布线为一组。复位控制线LRST、传输控制线LTRG和选择控制线LSEL各设置M个。复位控制线LRST、传输控制线LTRG和选择控制线LSEL由行选择电路120驱动。

[0086] 去耦电容器CV1连接在电源线LVDD和地(GND)之间。去耦电容器CV1去除混入直流电源电压中的噪声分量,直流电源电压被供应以驱动电路。在一些情况下,去耦电容器CV1的总面积超过10mm²并且占据堆叠型CMOS图像传感器的芯片面积的大部分。

[0087] 作为图1中所示的ADC群150,具有比较器151、计数器152和锁存器153的单斜率ADC

布置在多列中。例如,如图4所示,比较器151具有包括构成差分对的差分输入晶体管T21和T22以及由电流镜电路制成的有源负载晶体管T11和T12的差分放大电路。差分输入晶体管T21和T22均由n型MOSFET(在下文中,也称为“nMOS”)构成,并且有源负载晶体管T11和T12均由p型MOSFET(在下文中,也称为“pMOS”)构成。在根据第一实施例的固态成像装置的外围电路之中,有源负载晶体管T11和T12以及差分输入晶体管T21和T22用作噪声源。

[0088] 采样电容器C1和C2串联连接至比较器151的两个差分输入端子中的每一个。比较器151比较参考电压(DAC侧输入) V_{slop} 和模拟信号(VSL(垂直信号线)侧输入),参考电压 V_{slop} 是通过以逐步方式改变由DAC160生成的参考电压而获得的斜坡波形,模拟信号是经由垂直信号线LSGN从每个行线的像素获得的。

[0089] 在图1中示出的计数器152对比较器151的比较时间进行计数。ADC群150具有n位数字信号转换功能并且布置在每个垂直信号线(列线)处,并且配置列并行ADC块。每个锁存器153的输出端连接到例如具有2n位宽度的水平传输线190。此外,布置与水平传输线190和信号处理电路180对应的2n个放大电路170。

[0090] 虽然图4中所示的采样电容器C1和C2使用的电容元件的电容密度(每单位面积的电容值)越高,采样电容器C1和C2可以越小,但是电容值必须具有低偏置依赖性。这是因为当电容值的偏置依赖性高时,例如,传输至比较器的差分输入晶体管的栅极电极的像素信号或参考信号失真,并且模数转换的精确度显著劣化。此外,对于比较器151,去耦电容器CV2连接在电源线Vdd和地(GND)之间。

[0091] 因此,在本发明的第一实施例中,实现即使固态成像装置100小型化,电容值也具有低偏置依赖性并且电容密度高的电容元件,而不降低工作电压。

[0092] 图5示出了在半导体芯片上构成根据第一实施方式的固态成像装置100的每个电路的布置图。根据第一实施方式的固态成像装置100由堆叠型图像传感器构成,在堆叠型图像传感器中,堆叠作为上部半导体基板210和下部半导体基板220的两个半导体芯片,并且通过作为TSV(硅过孔)等的金属接合部230电连接上部和下部芯片的布线的部分。在这种情况下,像素30被布置成矩阵图案的像素阵列部110被安装至上部半导体基板210,并且像素阵列部110以外的外围电路(诸如ADC群150和信号处理电路180)被安装至下部半导体基板220。

[0093] 图6是根据第一实施方式的固态成像装置100的截面图。图6的(a)示出了像素的外部并且图6的(b)示出像素的内部。

[0094] 在图6中,上部半导体基板210由上至下由光电转换层211、眉间绝缘膜213以及布线层214构成。光电转换层211是其上形成光电二极管(PD)31并且由于光电转换根据入射光的光强度产生电荷的层。对于每个像素30,PD 31通过形成在光电转换层211内部的元件分离部33a和33b电分离。此外,在光电转换层211内部没有形成PD 31的区域中形成p型阱32。在P型阱32中形成FD 34和n型扩散层35。应注意,如图6的(a)所示,在像素30的外部仅形成p型阱32。

[0095] 由PD 31产生的电荷经由设置在眉间绝缘膜213中的传输晶体管T1被传输到FD 34。设置在眉间绝缘膜213中的放大晶体管T3位于n型扩散层35附近。在n型扩散层35的两端形成有元件分离部33b、33c。因此,FD 34和像素晶体管T3通过n型扩散层35和元件分离部33b和33c彼此电分离。

[0096] 布线层214被配置为包括多层堆叠的布线(M1至M4)215。构成每个像素30的传输晶体管T1、复位晶体管T2、放大晶体管T3、以及选择晶体管T4经由形成在布线层214中的多层布线(M1至M4)215驱动。此外,由铜(Cu)制成的金属接合部231设置在布线层214的内部,以执行与下部半导体基板220的接合。

[0097] 另一方面,下部半导体基板220从上到下由眉间绝缘膜221和布线层222构成。布线层222被配置为包括多层堆叠的所有布线223和布线(M1至M6)224。此外,眉间绝缘膜221设置有待接合至上部半导体基板210的金属接合部231的由铜(Cu)制成的金属接合部232。

[0098] 在如上所述配置的固态成像装置100中,当入射至上部半导体基板210的光通过PD31光电转换时,产生电荷。此外,所生成的电荷经由放大晶体管T3输出至形成在下部半导体基板220上的ADC群150作为像素信号,其是通过图1中所示的由下部半导体基板220的布线(M1至M4)215和布线(M1至M6)224形成的信号线LSGN。

[0099] 如图6的(a)所示,N⁺累积型MOS电容元件310布置在下部半导体基板220上。如图7所示,当假设MOS电容元件310的靠近下部半导体基板220的安装MOS电容元件310一侧的电极为下部电极312时,例如,安装在元件分隔部311上的下部电极312是形成在p型阱228中的n型扩散层,在下部电极312上存在由氧化硅(SiO₂)制成的栅极绝缘膜316,并且在栅极绝缘膜316上形成由n型多晶硅制成的上部电极313。在MOS电容元件310的动作中,在下部电极312的表面累积电子,因此将MOS电容元件310称为N⁺累积型MOS电容。

[0100] 在配置有MOS电容元件310的相同区域中,在形成作为上层的布线(M1至M6)224的区域中,安装有MIM(金属绝缘金属)电容元件320,该MIM电容元件320通过堆叠位于更靠近下部半导体基板220一侧的下部电极322、绝缘膜(包括高K材料)、以及上部电极321而形成。所述绝缘膜为Ta₂O₂、Nb₂O₃、ZrO₂、HfO₂、La₂O₃、Pr₂O₃、Al₂O₃、SiO₂、SiN中的任意一种的单层膜或多个堆叠膜。如图9中所示,下部电极322和上部电极321是Cu、Al、Ti、TiN、Ta和TaN中的任一种的单层膜或多个堆叠膜。

[0101] 布线(M5)224设置有负(Minus)端子225和正(Plus)端子226。

[0102] 要注意的是,除了MIM电容元件320之外,还可使用图8中所示的梳状布线(MOM)电容元件330或图10中所示的PIP(多绝缘体多)电容元件340。

[0103] 如图11所示,通过将N⁺累积型MOS电容元件310的下部电极312和MIM电容元件320的上部电极321通过过孔315和布线(M6)224连接,并且将MOS电容元件310的上部电极313和MIM电容元件320的下部电极322利用过孔314和布线(M5)224连接,从而将两个电容元件并联连接。采用以这种方式构造的电容元件具有以下优点。

[0104] 第一个优点是增加电容元件的每单位面积的电容密度。例如,如果MOS电容元件310的电极之间的电位差为3V时的电容值为100fF,MIM电容元件320的电极之间的电位差为3V时的电容值为100fF,则两个电容元件(MOS电容元件310和MIM电容元件320)并联连接并以3V操作时的电容值为200fF,这表示电容密度的两倍增加。因而,与通过减小MOS电容元件310和MIM电容元件320的电极之间的绝缘膜的膜厚度来增加电容密度的情况相比,可在不缩短TDDDB的寿命的情况下增加电容密度。

[0105] 第二个优点是可以减小电容值的偏置依赖性。这是由于以下机制。图12的(a)表示N⁺累积型MOS电容元件310的C-V特性。横轴表示电极之间的电位差,并且纵轴表示当电位差为-3V时通过电容值标准化的数值。当下部电极312固定在0V并且上部电极313的电位在-3V

与3V之间变化时,电容值的偏置依赖性具有正斜率,如由实线A所描绘的。另一方面,关于MIM电容元件320的C-V特性,当如图12的(b)所示下部电极322固定在0V且上部电极321的电位在-3V与3V之间变化时斜率为正,而当上部电极321固定在0V且下部电极的电位在-3V与3V之间变化时斜率变为负,如虚线C所示。

[0106] 换言之,在图11所示的并联连接状态下,当负端子225设置为0V且正端子226在-3V和3V之间变化时,由于N⁺累积型MOS电容元件310的电容值的偏置依赖性和MIM电容元件320的电容值的偏置依赖性彼此抵消,其C-V特性表现出图13所示的A//C,并且可以形成电容值具有低电压依赖性的电容元件。

[0107] 如上所述,能够改变并联连接的各个MOS电容元件310和各个MIM电容元件320的连接,并且能够改变其电容值的偏置依赖性的斜率的符号,并且通过并联连接具有不同的斜率MOS电容元件310和MIM电容元件320,能够降低的电容值作为整体的偏置依赖性。

[0108] 可以降低作为整体的元件的电容值的 $C_{total}(V)/C_{total}(0)$ 的偏置依赖性的多少这取决于并联连接的各电容元件的电容密度、元件大小、偏置依赖性系数,其期望遵循以下给出的等式。因此,设计者可以通过优化每个电容元件的元件尺寸来获得期望的特性。

[0109] $C_{total}(V)/C_{total}(0) = \sum A_n \times C_n(V) \times S_n / C_n(0) \times S_n$

[0110] $C_{total}(V)/C_{total}(0)$ 元件整体的电容值的偏置依赖性(基于电位差的标准值=0V)

[0111] $C_{total}(V)$ 在电极之间的电位差是工作电压V时元件整体的电容值

[0112] $C_{total}(0)$ 当电极之间的电位差是0V时元件整体的电容值

[0113] $C_n(V)$ 在电极之间的电位差是工作电压V时每个电容元件的电容密度

[0114] S_n 每个电容元件的元件尺寸

[0115] A_n 每个电容元件的电容值的偏置依赖性系数(包括正或负)

[0116] 此外,尽管图6示出了其中两个不同的电容元件(MOS电容元件310和MIM电容元件320)被安排在同一区域中的实例,但电容元件不必被安排在同一区域中。

[0117] <第一实施方式引起的操作优点>

[0118] 如上所述,根据第一实施例,通过与N⁺累积型MOS电容元件310并联连接,具有与MOS电容元件310的C-V特性相反的特性的MIM电容元件320抵消偏置特性,并且实现具有平坦偏置特性的电容元件。此外,与通过减小电容元件的电极之间的绝缘膜的膜厚度而增加电容密度的情况相比,可在不缩短TDDB的寿命的情况下增加电容密度。因此,可以实现电容值具有低偏置依赖性并具有高电容密度而不降低工作电压的电容元件。

[0119] 此外,根据第一实施例,可以优化每个电容元件的装置结构和尺寸以及各个电容元件之间的连接方法,使得电容元件整体的C-V特性最接近1。

[0120] <第一变形例>

[0121] 图14是根据第一实施方式的第一变形例的固态成像装置100的截面图。在图14中,与图6的(a)中的上述那些相同的部分用相同的附图标记表示,并且将省略其详细描述。

[0122] 在图14中,固态成像装置100具有其中使用下部半导体基板220上的布线(M1至M4)224形成图8中所示的MOM电容元件330并且MOM电容元件330并联连接至N⁺累积型MOS电容元件310和MIM电容元件320的结构。在这种情况下,如图15所示,MOM电容元件330的上部电极331通过过孔315和布线(M6)224连接到MOS电容元件310的下部电极312和MIM电容元件320

的上部电极321。此外，MOM电容元件330的下部电极332通过过孔314和布线(M6) 224连接到MOS电容元件310的上部电极313和MIM电容元件320的下部电极322。通过采用这种结构，能够进一步提高电容密度。

[0123] 如图16的(b)所示，在普通MOM电容元件330的C-V特性中，电容值的偏置依赖性极低，而不管施加在电极之间的偏置是正还是负。在这种状态下，C-V特性类似于在上述图16的(a)中示出的当并联连接N⁺累积型MOS电容元件310和MIM电容元件320时的特性。因此，即使将MOM电容元件330加到要并联连接的电容元件，电容元件的电容值的偏置依赖性总体上也不会显著增加。此外，因为在电极之间施加正偏置与施加负偏置之间，上述电容值的偏置依赖性没有显著不同，所以不需要意识到电极的连接方法，并且任何电极可以连接至正(Plus)端子226。

[0124] <第二变形例>

[0125] 图17是根据第一实施例的第二变形例的固态成像装置100的截面图。在图17中，与上述图6的(a)中的那些相同的部分由相同的参考符号表示并且将省略其详细描述。

[0126] 在图17中，固态成像装置100采用空穴累积型MOS电容元件360(称为P⁺累积型MOS电容)。在MOS电容元件360中，靠近下部半导体基板220的一侧的下部电极362是在n型阱229中形成的p型扩散层，由氧化硅(SiO₂)制成的栅极绝缘膜366存在于下部电极362上，并且由p型多晶硅制成的上部电极363形成在栅极绝缘膜366上。

[0127] 如图18所示，MOS电容元件360的上部电极363通过过孔364和布线(M6) 224连接到MIM电容元件320的上部电极321。此外，MOS电容元件360的下部电极362通过过孔365和布线(M6) 224连接到MIM电容元件320的下部电极322。

[0128] 在MOS电容元件360中，在工作期间在下部电极362的表面上积累空穴。关于其C-V特性，如图19所示，当下部电极362固定在0V并且上部电极363的电位在-3V和3V之间变化时，电容值的偏置依赖性的符号为负(虚线D)。另一方面，当MIM电容元件320的下部电极322固定在0V且上部电极321的电位在-3V和3V之间变化时，电容值的偏置依赖性的符号为正(实线B)。因此，通过将两个电容元件320和360的上部电极和下部电极相互并联连接，可以减小电容值的偏置依赖性。

[0129] <第三变形例>

[0130] 图20是根据第一实施例的第三变形例的固态成像装置100的截面图。在图20中，与上述图6的(a)中的那些相同的部分由相同的参考符号表示并且将省略其详细描述。

[0131] 在图20中，在固态成像装置100中，形成在不同层上的两个MIM电容元件320和350的电极反向连接。如图21所示，MIM电容元件320的下部电极322通过布线(M4) 224和布线(M6) 224连接到MIM电容元件350的上部电极351。另外，MIM电容元件320的上部电极321经由布线(M3) 224和布线(M6) 224连接到MIM电容元件350的下部电极352。

[0132] 当MIM电容元件320的下部电极322固定在0V且上部电极321的电位在-3V和3V之间变化时，电容值的偏置依赖性的符号为正(实线B)，如图22所示。另一方面，当MIM电容元件350的上部电极351固定在0V且下部电极352的电位在-3V和3V之间变化时，电容值的偏置依赖性的符号为负(虚线C)。

[0133] 因此，当MIM电容元件320的上部电极321和MIM电容元件350的下部电极352彼此连接时，由于电容值的偏置依赖性的符号在并联连接的电容元件的电容值的偏置依赖性方面

在元件之间不同,所以可减小电容值的偏置依赖性。

[0134] <第四变形例>

[0135] 图23是根据第一实施方式的第四变形例的固态成像装置100的截面图。在图23中,与上述图6的(a)中的那些相同的部分由相同的参考符号表示并且将省略其详细描述。

[0136] 在图23中,固态成像装置100表示利用PIP(多绝缘体多)电容元件340的实例。如图10所示,PIP电容元件340是以多晶硅作为电极的电容元件,例如,通过顺序堆叠作为下部电极342的N型多晶Si、作为绝缘膜的SiO₂和作为上部电极的N型多晶Si而形成。PIP电容元件340的特征是电容值的偏置依赖性低。

[0137] 如图24所示,PIP电容元件340的上部电极343通过布线(M3)224与MIM电容元件350的下部电极352连接。另外,PIP电容元件340的下部电极342经由布线(M4)224连接到MIM电容元件350的上部电极351。

[0138] 因此,当应用于本公开的第一实施例时,PIP电容元件340执行与MOM电容元件330相同的作用。换句话说,如图25所示,通过添加PIP电容元件340作为并联连接的一个电容元件,可增加电容元件整体的电容值,而不显著增加电容元件整体的电容值的偏置依赖性。在并联连接PIP电容元件340时的连接方法中,可以与MOM电容元件330类似的方式将下部电极342和上部电极343中的任一者连接到正(Plus)侧。

[0139] 此外,当并联连接N⁺累积型MOS电容元件310和P⁺累积型MOS电容元件360时,仅并联连接MOS电容元件310的上部电极313和MOS电容元件360的上部电极363,并联连接MOS电容元件310的下部电极312和MOS电容元件360的下部电极362可能就足够了。

[0140] <第二实施方式>

[0141] 图26是根据第二实施方式的固态成像装置100的截面图。在图26中,与上述图14中的那些相同的部分由相同的参考符号表示,并且将省略其详细描述。

[0142] 作为第二实施例,将描述利用WoW技术将布置在两个不同芯片上的多个电容元件全部并联连接的实例。

[0143] 图26表示,在堆叠型图像传感器中,电容元件安装在上部半导体基板210和下部半导体基板220的芯片上的实例以及安装在上部半导体基板210和下部半导体基板220上的电容元件使用布置在接合表面上的金属接合部230并联连接。

[0144] 在图26中,上部半导体基板210由上至下由p型阱32、眉间绝缘膜213、以及布线层214构成。在上部半导体基板210的下侧设置有N⁺累积型MOS电容元件410。假设MOS电容元件410的靠近下部半导体基板220的安装MOS电容元件410的一侧的电极下部电极412时,下部电极412为形成在p型阱32中的n型扩散层,在下部电极412上存在由氧化硅(SiO₂)制成的栅极绝缘膜416,在栅极绝缘膜416上形成由n型多晶硅制成的上部电极413。

[0145] 在形成布线(M1至M4)215的区域中,使用布线(M1至M4)215形成MOM电容器元件420,布线(M1至M4)215是在与形成MOS电容器元件410的相同区域中的上部半导体基板210的一侧相反的一侧的层。在这种情况下,如图27所示,MOM电容元件420的上部电极421通过过孔414与MOS电容元件410的上部电极413连接。此外,MOM电容元件420的下部电极422经由过孔415连接到MOS电容元件410的下部电极412。

[0146] 此外,MOS电容元件410的上部电极413和MOM电容元件420的上部电极421通过由铜(Cu)制成的金属接合部231和232连接至下部半导体基板220侧的MIM电容元件320的下部电

极322和MOS电容元件310的上部电极313、MOM电容元件330的上部电极331。此外，MOS电容元件410的下部电极412和MOM电容元件420的下部电极422通过由铜(Cu)制成的金属接合部231和232连接至下部半导体基板220侧的MOM电容元件330的下部电极332和MOS电容元件310的下部电极312、MIM电容元件320的上部电极321。

[0147] 由于这样的连接，例如，当负(Minus)端子225固定在0V且正(Plus)端子226从-3V变化到3V时，每个电容元件的电容值的偏置依赖性的符号，N+累积型MOS电容元件310和410是正的，但MIM电容元件320是负的。假设MOM电容元件330和420的偏置依赖性低且可忽略，由于N+累积型MOS电容元件310和410的偏置依赖性斜率的符号与MIM电容元件320的偏置依赖性斜率的符号相反，所以优化这些元件的元件大小使得由并联连接这些元件形成的电容元件的作为整体的电容值的偏置依赖性变得非常低。

[0148] 此外，通过将电容元件布置在相同区域中，因为与第一实施例相比，上部半导体基板210(传感器部)的MOS电容元件410和MOM电容元件420的电容值也可以被相加，所以可以形成具有甚至更高电容密度的电容值。例如，在图26的情况下，若N+累积型MOS电容元件310和N+累积型MOS电容元件410的电容值为100fF，MOM电容元件330和MOM电容元件420的电容值为30fF，MIM电容元件320的电容值为100fF，则并联电容元件的总电容值为独立使用N+累积型MOS电容元件310时电容值的3.6倍。

[0149] <根据第二实施方式的操作优点>

[0150] 如上所述，根据第二实施例，通过不仅并联连接安装在下部半导体基板220上的N+累积型MOS电容元件310、MIM电容元件320和MOM电容元件330，而且并联连接安装在上部半导体基板210上的MOS电容元件410和MOM电容元件420，与第一实施例相比，可形成具有更高电容密度的电容值。

[0151] <第二实施方式的第一变形例>

[0152] 图28是根据第二实施方式的第一变形例的固态成像装置100中的截面图。在图28中，与上述图26中的那些相同的部分用相同的参考符号表示，并且将省略其详细描述。

[0153] 在图28中，在固态成像装置100中，与第一实施例中相同的N+累积型MOS电容元件310和MOM电容元件330安装到下部半导体基板220(外围电路部)，并且P+累积型MOS电容元件430和MOM电容元件420安装到上部半导体基板210(传感器部)。在MOS电容元件430中，接近上部半导体基板210一侧的下部电极431是P型扩散层，在下部电极431上存在由氧化硅(SiO₂)构成的栅极绝缘膜436，在栅极绝缘膜436上形成由P型多晶硅构成的上部电极432。

[0154] 如图29所示，MOM电容元件420的上部电极421通过过孔414与MOS电容元件430的上部电极432连接。此外，MOM电容元件420的下部电极422通过过孔415连接到MOS电容元件430的下部电极431。

[0155] 此外，MOS电容元件430的上部电极432和MOM电容元件420的上部电极421通过由铜(Cu)制成的金属接合部231和232连接至下部半导体基板220侧的MOS电容元件310的上部电极313和MOM电容元件330的上部电极331。此外，MOS电容元件430的下部电极431和MOM电容元件420的下部电极422通过由铜(Cu)制成的金属接合部231和232连接至下部半导体基板220侧的MOS电容元件310的下部电极312和MOM电容元件330的下部电极332。

[0156] <第二实施方式的第一变形例导致的操作优点>

[0157] 归因于这种连接，当负(Minus)端子225固定在0V且正(Plus)端子226从-3V改变为

3V时,作为每一电容元件的电容值的偏置依赖性的符号,N+累积型MOS电容元件310为正,P+累积型MOS电容元件430为负。假设MOM电容元件330和420的偏置依赖性低且可忽略不计,由于N+累积型MOS电容元件310和P+累积型MOS电容元件430的偏置依赖性的斜率的符号相反,所以优化这些元件的元件尺寸使得能够通过并联连接这些元件形成的电容元件作为整体的电容值的偏置依赖性显著地低。

[0158] <第二实施方式的第二变形例>

[0159] 图30是根据第二实施方式的第二变形例的固态成像装置100中的截面图。在图30中,与上述图30中的那些相同的部分由相同的参考符号表示,并且将省略其详细描述。

[0160] 在图30中,固态成像装置100使设置在接合表面上的下部半导体基板220一侧上的金属接合部512和上部半导体基板210一侧的金属接合部511彼此相对,从而使金属接合部511和512用作电容元件,并且将电容元件与其他电容元件并联连接以进一步增加电容密度。该电容元件将被称为接合部电容元件510。在这种情况下,假定上部半导体基板210侧的金属接合部511是上部电极,并且假定下部半导体基板220侧的金属接合部512是下部电极。

[0161] 如图31所示,接合部电容元件510的上部电极(金属接合部511)通过过孔414与MOS电容元件410的上部电极413和MOM电容元件420的上部电极421连接。另外,接合部电容元件510的下部电极(金属接合部512)通过过孔415连接到MOS电容元件410的下部电极412和MOM电容元件420的下部电极422。

[0162] 并且,接合部电容元件510的上部电极(金属接合部511)与在下部半导体基板220侧的MOM电容元件330的上部电极331、MOS电容元件310的上部电极313、MIM电容元件320的下部电极322连接。另外,接合部电容元件510的下部电极(金属接合部512)连接到在下部半导体基板220侧的MOM电容元件330的下部电极332,MOS电容元件310的下部电极312、MIM电容元件320的上部电极321。

[0163] 接合部电容元件510通过简单地使金属材料彼此相对而被赋予电容元件的功能,并且电容值的偏置依赖性以类似于MOM电容元件330和420的方式极低。因此,通过并联连接接合部电容元件510,电容密度增加,而不显著改变作为连接源的电容元件的电容值的偏置依赖性。

[0164] <第二实施方式的第二变形例的操作优点>

[0165] 如上所述,根据第二实施方式的第二变形例,通过用接合部电容元件510代替上部半导体基板210和下部半导体基板220的金属接合部511和512,能够增加电容元件整体的电容值。

[0166] <第二实施方式的另一应用实例>

[0167] 本公开的第二实施方式不限于在本文中所描述的内容。例如,图32是描述使用通常的CMOS工艺分别可安装到上部半导体基板210(芯片1)和下部半导体基板220(芯片2)的电容元件的表格。

[0168] 当各个电容元件的上部电极连接至Plus端子并且各个电容元件的下部电极连接至负(Minus)端子225时,图32所示的表格中的电极连接方向是“正向”。相反,当各个电容元件的上部电极连接至负(Minus)端子225并且各个电容元件的下部电极连接至正(Plus)端子226时,电极连接方向是“反向”。电容值具有极低偏置依赖性并且可连接至任一端子而不发生事件的元件被描述为“忽略”。

[0169] 此外,电容值的偏置依赖性的斜率的符号表示当根据由电极连接方向描述的连接将负(Minus)端子225描述为0V并且将正(Plus)端子226从-3V改变为3V时的电容值的偏置依赖性的符号。

[0170] 从图32中所示的表格中,显而易见的是,在堆叠两个芯片的堆叠结构中,存在根据期望的连接方法并联连接并且满足设定为目标的电容密度和电容值的偏置相关性两者的多个电容元件的极大数量的组合。虽然在实施例中不能描述所有这样的组合,但是设计者可以考虑到要设计的电路所要求的特性、可用的芯片面积和安装每个元件的制造成本,做出最好的可能选择。

[0171] <第三实施方式>

[0172] 在本公开的第三实施方式中,将描述固态成像装置,其中,光电转换元件和放大来自光电转换元件的信号的放大晶体管设置在不同的基板上,并且使用WoW技术堆叠安装有传感器部(其中设置光电转换元件和传输门(TRG))、像素晶体管部(其中设置诸如放大晶体管的像素晶体管)、以及外围电路部(其中设置处理来自放大晶体管的信号的信号处理电路)的三个基板。

[0173] 图33是根据第三实施方式的固态成像装置100A中的截面图。图33的(a)示出了像素的外部并且图33的(b)示出了像素的内部。在图33中,与上述图26中的那些相同的部分由相同的参考符号表示,并且将省略其详细描述。

[0174] 固态成像装置100A从上到下由传感器部610、像素晶体管部620和外围电路部630组成。如图34所示,固态成像装置100A由堆叠型图像传感器构成,其中,堆叠作为传感器部610、像素晶体管部620和外围电路部630的三个半导体芯片,并且布线的一部分通过金属接合部640电连接。如图35所示,传输晶体管T1、光电转换元件D1和浮动扩散FD 34被布置在传感器部610中。复位晶体管T2、放大晶体管T3和选择晶体管T4布置在像素晶体管部620中。

[0175] 返回至图33,传感器部610从上到下由光电转换层611和眉间绝缘膜612组成。光电转换层211是其上形成光电二极管(PD) 31并且由于光电转换根据入射光的光强度产生电荷的层。对于每个像素30,PD 31由形成在光电转换层611内部的元件分离部33a和33b电分离。此外,传输晶体管T1的栅极电极36和FD 34形成在光电转换层611上。应注意,如图33的(a)所示,在像素30的外部仅存在P型阱32。传输晶体管T1形成在眉间绝缘膜612上。

[0176] 像素晶体管部620由上至下由p型阱621和布线层622构成。在p型阱621中形成n型扩散层。布线层622被配置为包括多层堆叠的布线(M1至M4) 623。构成每个像素30的传输晶体管T1、复位晶体管T2、放大晶体管T3、以及选择晶体管T4经由形成在布线层622中的多层布线(M1至M4) 623驱动。另外,在接合到外围电路部630的布线层622的内部提供由铜(Cu)制成的金属接合部641。

[0177] 另一方面,外围电路部630从上到下由眉间绝缘膜和布线层构成。布线层被配置为包括多层堆叠的所有布线631和布线(M1至M6) 632。此外,眉间绝缘膜设置有待接合至像素晶体管部620的金属接合部641的由铜(Cu)制成的金属接合部642。

[0178] 在如上所述配置的固态成像装置100A中,当入射至传感器部610的光被PD 31光电转换时,产生电荷。此外,所生成的电荷由图1中所示的信号线LSGN作为像素信号经由放大晶体管T3输出至形成在外围电路部630中的ADC群150,由外围电路部630的布线(M1至M4) 623和布线(M1至M6) 632形成信号线LSGN。

[0179] 如图33的(a)所示,在外围电路部630上配置N+累积型MOS电容元件310。MOM电容元件330和MIM电容元件320布置在MOS电容元件310上方的层中。

[0180] N+累积型MOS电容元件410布置在像素晶体管部620的下侧。在形成布线(M1至M4)623的区域中,使用布线(M1至M4)623形成MOM电容器元件420,布线(M1至M4)623是在与形成MOS电容器元件410的相同区域中的像素晶体管部620的一侧相反的一侧的层。在这种情况下,如图36所示,MOM电容元件420的上部电极421通过过孔414与MOS电容元件410的上部电极413连接。此外,MOM电容元件420的下部电极422通过过孔415连接到MOS电容元件410的下部电极412。

[0181] 此外,MOS电容元件410的上部电极413和MOM电容元件420的上部电极421经由由铜(Cu)制成的金属接合部641和642连接到外围电路部630侧的MOS电容元件310的上部电极313、MIM电容元件320的下部电极322和MOM电容元件330的上部电极331。此外,MOS电容元件410的下部电极412和MOM电容元件420的下部电极422经由由铜(Cu)制成的金属接合部641和642连接到外围电路部630侧的MOS电容元件310的下部电极312、MIM电容元件320的上部电极321和MOM电容元件330的下部电极332。

[0182] <根据第三实施方式的操作优点>

[0183] 如上所述,根据第三实施例,获得与上述第二实施例类似的操作优点,并且作为当负(Minus)端子225固定在0V且正(Plus)端子226从-3V变化到3V时,作为每个电容元件的电容值的偏置依赖性的符号,N+累积型MOS电容元件310和N+累积型MOS电容元件410是正的,但是MIM电容元件320是负的,如第一实施例中所述。假设MOM电容元件330和420的偏置依赖性低且可忽略,由于N+累积型MOS电容元件310和N+累积型MOS电容元件410的偏置依赖性斜率的符号与MIM电容元件320的偏置依赖性斜率的符号相反,所以优化这些元件的元件尺寸使得能够使通过并联连接这些元件形成的电容元件作为整体的电容值的偏置依赖性显著地低。

[0184] 如上所述,甚至三层堆叠型图像传感器也可安装有电容值大且电容值的偏置依赖性低的电容元件。

[0185] <第四实施例>

[0186] 在本公开的第四实施方式中,将描述应用于使用SPAD(单光子雪崩二极管)的光检测设备的固态成像设备。

[0187] 图37示出了构成根据第四实施方式的固态成像装置100B的每个电路的半导体芯片上的布置图。根据第四实施方式的固态成像装置100B由堆叠型图像传感器构成,其中,堆叠作为上部半导体基板710和下部半导体基板720的两个半导体芯片,并且通过作为TSV(硅过孔)等的金属接合部730电连接上部和下部芯片的布线的一部分。在这种情况下,SPAD光电二极管41以矩阵图案布置在上部半导体基板710上,并且除了SPAD光电二极管41之外的外围电路51(诸如ADC群150和信号处理电路180)安装至下部半导体基板720。

[0188] 图38是根据第四实施方式的固态成像装置100B中的截面图。图38的(a)示出了像素的外部并且图38的(b)示出像素的内部。

[0189] 在图38中,上部半导体基板710从上至下由光电转换层711、眉间绝缘膜713和布线层714构成。光电转换层711是在其上形成SPAD光电二极管41并且检测入射光(光子)并且使用雪崩倍增将从入射光生成的载流子转换成电信号脉冲的层。对于每个像素30,SPAD光电

二极管41由形成在光电转换层711内部的p型扩散层42a和n型扩散层42b电分离。应注意,如图38的(a)所示,在像素30的外部仅存在P型阱43。

[0190] 由SPAD光电二极管41生成的电信号脉冲经由形成在眉间绝缘膜713中的过孔716被输出至形成在布线层714中的布线(M1至M4)715。由铜(Cu)制成的金属接合部731设置在布线层714的内部,以执行与下部半导体基板720的接合。

[0191] 另一方面,下部半导体基板720由上至下由眉间绝缘膜721和布线层722构成。布线层722被配置为包括堆叠成多层的所有布线723和布线(M1至M6)724。此外,眉间绝缘膜721设置有待接合至上部半导体基板710的金属接合部731的由铜(Cu)制成的金属接合部732。

[0192] 在如上所述配置的固态成像装置100B中,由于SPAD光电二极管41光电转换由上部半导体基板210检测的光,所以生成电信号脉冲。此外,电信号脉冲经由图1所示的由下部半导体基板720的布线(M1至M4)715和布线(M1至M6)724形成的信号线LSGN输出至外围电路51。

[0193] 如图38的(a)所示,在下部半导体基板720上设置N⁺累积型MOS电容元件310。MIM(Metal Insulator Metal,金属绝缘体金属)电容元件320安装在形成布线(M1至M6)724的区域中,布线724是在布置MOS电容元件310的相同区域中的上层,通过堆叠位于更靠近下部半导体基板220的一侧附近的下部电极322、绝缘膜(包括高K材料)和上部电极321形成MIM电容元件320。

[0194] 如图39所示,利用过孔315和布线(M6)724将N⁺累积型MOS电容元件310的下部电极312和MIM电容元件320的上部电极321连接,利用过孔314和布线(M5)724将MOS电容元件310的上部电极313和MIM电容元件320的下部电极322连接,从而将两个电容元件并联连接。

[0195] <根据第四实施例的操作优点>

[0196] 如上所述,根据第四实施例,可以获得与先前所述的第一实施例类似的操作优点,并且可以实现具有高电容密度和极低偏置依赖性的电容元件。

[0197] <第五实施方式>

[0198] 第一至第四实施方式举例说明根据本技术的半导体装置应用于作为电子设备的实例的固态成像装置的情况。在第五实施方式中,将举例说明根据本技术的半导体装置应用于其他电子设备的情况。

[0199] 例如,根据本技术的半导体装置可以应用于构成通用滤波器电路的电容器。如图40所示,通用滤波电路包括电阻器R11和电容器C11,并且根据本技术的半导体装置可以用作电容器C11的部件。将根据本技术的半导体装置应用于构成滤波器电路的电容器C11使得能够实现大电容并且进一步加宽通带。

[0200] 此外,根据本技术的半导体装置可以应用于构成普通平滑电路的电容器。如图41所示,一般的滤波电路包括二极管D21和电容器C21,并且根据本技术的半导体装置可以用作电容器C21的部件。将根据本技术的半导体装置应用于构成滤波电路的电容器C21使得能够实现大电容并且将交流电准确地转换成直流电。

[0201] 此外,根据本技术的半导体装置可以应用于构成一般积分电路的电容器。如图42所示,通用积分电路包括电阻器R32、电容器C31、以及运算放大器800,并且根据本技术的半导体装置可以用作电容器C31的部件。

[0202] <其他实施方式>

[0203] 尽管上面以第一实施方式至第四实施方式、第一实施方式的变形、以及第二实施方式的变形的形式描述了本技术,然而,应当理解的是,构成本公开的一部分的描述和附图限制了本技术。当理解上述第一实施方式至第四实施方式公开的技术内容的目的时,对本领域技术人员显而易见的是,各种替代实施方式、实施例和可操作技术包括在本技术中。此外,在不矛盾的范围内,可以适当地组合在第一至第四实施方式、第一实施方式的变形例以及第二实施方式的变形例中分别公开的配置。例如,可以组合在多个不同实施方式中公开的配置,或者可以组合在相同实施方式的多个不同变形中公开的配置。

[0204] <电子设备的应用实例>

[0205] 接下来,将描述根据本公开的第六实施方式的电子设备。图43是根据本公开的第六实施方式的电子设备1000的示意性配置图。

[0206] 根据第六实施方式的电子设备1000包括固态成像装置1010、光学透镜1020、快门装置1030、驱动电路1040以及信号处理电路1050。根据第六实施方式的电子设备1000表示在其中根据本公开的第一实施方式的固态成像装置100被用在电子设备(例如,照相机)中作为固态成像装置1010的情况下的实施方式。

[0207] 光学透镜1020在固态成像装置1010的成像表面上形成来自对象的图像光(入射光1060)的图像。因此,信号电荷在设定时间段内积聚在固态成像装置1010中。快门装置1030控制对固态成像装置1010的光照射时段和光阻挡时段。驱动电路1040提供用于控制固态成像装置1010的传输操作和快门装置1030的快门操作的驱动信号。通过从驱动电路1040供应的驱动信号(定时信号)执行固态成像装置1010的信号传输。信号处理电路1050对从固态成像装置1010输出的信号(像素信号)执行各种信号处理。进行了信号处理的图像信号被存储在存储器等存储介质中,或者被输出到监视器。

[0208] 根据这种配置,在根据第六实施方式的电子设备1000中,由于通过固态成像装置1010抑制光学颜色混合,所以可提高视频信号的图像质量。

[0209] 要注意的是,可应用固态成像装置100、100A以及100B的电子设备1000不限于相机,并且固态成像装置100、100A以及100B也可应用于其他电子设备。例如,固态成像装置100、100A和100B可应用于成像装置,诸如用于移动装置(诸如移动电话)的相机模块。

[0210] 此外,在第六实施方式中,虽然已经采用其中在电子设备中使用根据第一至第四实施方式的固态成像装置100、100A和100B的配置作为固态成像装置1010,但是可采用其他配置。

[0211] 此外,本公开还可采用以下配置。

[0212] (1)

[0213] 一种半导体装置,包括:

[0214] 半导体基板;

[0215] 堆叠在所述半导体基板上的第一电容元件;以及

[0216] 第二电容元件,堆叠在所述第一电容元件的所述半导体基板的一侧的相反侧,并且所述第二电容元件的电容值具有与所述第一电容元件的电容值的偏置特性相反的偏置特性,其中

[0217] 所述第一电容元件与所述第二电容元件并联连接。

[0218] (2)

[0219] 根据(1)所述的半导体装置,其中

[0220] 提供n个(其中,n是整数)所述第一电容元件和所述第二电容元件,并且

[0221] n个电容元件并联连接,使得当电极之间的电势差等于工作电压时的元件整体的电容值表示为 $C_{\text{总}}(V)$ 、当电极之间的电势差为0时元件整体的电容值表示为 $C_{\text{总}}(0)$ 、每个电容元件的电容值的偏置依赖系数(包括正或负)表示为 A_n 、每个电容元件的元件尺寸表示为 S_n 、每个电容元件的电容密度表示为 $C_n(V)$ 时,电容元件的电容值的偏置特性整体上

[0222] $C_{\text{total}}(V)/C_{\text{total}}(0)$

[0223] $= \sum A_n \times C_n(V) \times S_n / C_{\text{total}}(0)$

[0224] 最接近1。

[0225] (3)

[0226] 根据(1)或(2)所述的半导体装置,其中

[0227] 所述第一电容元件是第一导电类型的累积型MOS电容元件,其具有在所述半导体基板一侧形成的下部电极和隔着绝缘膜与所述下部电极相对的上部电极,

[0228] 所述第二电容元件是第二导电类型累积型金属氧化物半导体电容元件,所述第二导电类型累积型金属氧化物半导体电容元件具有形成在所述半导体基板侧的下部电极和隔着绝缘膜与所述下部电极相对的上部电极,所述第二导电类型与所述第一导电类型的极性相反,以及

[0229] 所述半导体装置包括并联连接结构,在所述并联连接结构中,所述第一导电类型的累积型MOS电容元件的上部电极与所述第二导电类型累积型MOS电容元件的上部电极彼此连接,并且所述第一导电类型的累积型MOS电容元件的下部电极与所述第二导电类型累积型MOS电容元件的下部电极彼此连接。

[0230] (4)

[0231] 根据(1)或(2)所述的半导体装置,其中

[0232] 所述第一电容元件是第一导电类型的累积型MOS电容元件,其具有在所述半导体基板一侧形成的下部电极和隔着绝缘膜与所述下部电极相对的上部电极,

[0233] 所述第二电容元件是MIM(金属绝缘体金属)电容元件,所述MIM电容元件具有在所述半导体基板的一侧上形成的下部电极和隔着绝缘膜与所述下部电极相对的上部电极,并且

[0234] 所述半导体装置包括并联连接结构,在所述并联连接结构中,所述第一导电类型的累积型MOS电容元件的上部电极与所述MIM电容元件的下部电极彼此连接,并且所述第一导电类型的累积型MOS电容元件的下部电极与所述MIM电容元件的上部电极彼此连接。

[0235] (5)

[0236] 根据(1)或(2)所述的半导体装置,其中

[0237] 所述第一电容元件是第二导电类型累积型MOS电容元件,其具有在所述半导体基板一侧形成的下部电极和隔着绝缘膜与所述下部电极相对的上部电极,所述第二导电类型与所述第一导电类型的极性相反,

[0238] 所述第二电容元件是MIM电容元件,所述MIM电容元件具有在所述半导体基板的一侧上形成的下部电极和隔着绝缘膜与所述下部电极相对的上部电极,以及

[0239] 所述半导体装置包括并联连接结构,在所述并联连接结构中,所述第二导电类型

累积型MOS电容元件的上部电极与所述MIM电容元件的上部电极彼此连接,并且所述第二导电类型累积型MOS电容元件的下部电极与所述MIM电容元件的下部电极彼此连接。

[0240] (6)

[0241] 根据(1)或(2)所述的半导体装置,其中

[0242] 所述第一电容元件是第一MIM电容元件,其具有在所述半导体基板的一侧上形成的下部电极和隔着绝缘膜与所述下部电极相对的上部电极,

[0243] 所述第二电容元件是第二MIM电容元件,所述第二MIM电容元件具有在所述半导体基板的一侧上形成的下部电极和隔着绝缘膜与所述下部电极相对的上部电极,以及

[0244] 所述半导体装置包括并联连接结构,在所述并联连接结构中,所述第一MIM电容元件的上部电极与所述第二MIM电容元件的下部电极彼此连接,并且所述第一MIM电容元件的下部电极与所述第二MIM电容元件的上部电极彼此连接。

[0245] (7)

[0246] 根据(1)至(6)中任一项所述的半导体装置,进一步包括:

[0247] 梳状布线电容元件并联连接的结构。

[0248] (8)

[0249] 根据(1)至(7)中任一项所述的半导体装置,进一步包括:

[0250] PIP(多晶硅绝缘体)电容元件并联连接的结构。

[0251] (9)

[0252] 根据(1)至(8)中任一项所述的半导体装置,进一步包括:

[0253] 具有第三电容元件的另一半导体基板,其中

[0254] 另一半导体基板与半导体基板接合,第一电容元件、第二电容元件和第三电容元件并联连接,使得电容元件的电容值的偏置特性整体上最接近1。

[0255] (10)

[0256] 根据(9)所述的半导体装置,其中

[0257] 所述半导体装置具有所述半导体基板与所述另一半导体基板的接合部为电容元件的结构。

[0258] (11)

[0259] 根据(9)或(10)所述的半导体装置,其中

[0260] 所述半导体基板具有像素和外围电路中的至少一个,所述外围电路被配置为处理来自像素晶体管的信号,所述像素晶体管被配置为放大来自所述像素的信号,以及

[0261] 所述另一半导体基板具有所述像素和所述外围电路中的另一个。

[0262] (12)

[0263] 根据(11)所述的半导体装置,其中

[0264] 所述像素由光电二极管制成,以及

[0265] 具有所述外围电路的所述半导体基板由具有所述像素晶体管的第一半导体基板和具有所述外围电路的第二半导体基板构成。

[0266] (13)

[0267] 根据(9)或(10)所述的半导体装置,其中

[0268] 所述半导体基板具有传感器部和外围电路中的至少一个,所述传感器部具有SPAD

(单光子雪崩二极管)光电二极管,所述外围电路被配置成用于处理来自所述传感器部的信号,以及

[0269] 所述另一半导体基板具有所述传感器部和所述外围电路中的另一个。

[0270] (14)

[0271] 一种电子设备,包括:

[0272] 半导体装置,所述半导体装置包括:

[0273] 半导体基板;

[0274] 堆叠在所述半导体基板上的第一电容元件;以及

[0275] 第二电容元件,堆叠在所述第一电容元件的所述半导体基板的一侧的相反侧,并且所述第二电容元件的电容值具有与所述第一电容元件的电容值的偏置特性相反的偏置特性,其中

[0276] 所述第一电容元件与所述第二电容元件并联连接。

[0277] [参考标号列表]

[0278] 30 像素

[0279] 31 恒流源负载

[0280] 32,43,621 p型阱

[0281] 33a,33b,33c 元件分离部

[0282] 35,42b n型扩散层

[0283] 36 栅极电极

[0284] 41 SPAD光电二极管

[0285] 42a P型扩散层

[0286] 51 外围电路

[0287] 100,100A,100B,1010 固态成像装置

[0288] 110 像素阵列部

[0289] 120 行选择电路

[0290] 130 水平传输/扫描电路

[0291] 140 定时控制电路

[0292] 150 ADC群

[0293] 151 比较器

[0294] 152 计数器

[0295] 153 锁存器

[0296] 170 放大电路

[0297] 180,1050 信号处理电路

[0298] 190 水平传输线

[0299] 210,710 上部半导体基板

[0300] 211,611,711 光电转换层

[0301] 213,221,612,713,721 眉间绝缘膜

[0302] 215,223,224,623,631,632,715,723,724 布线

[0303] 214,222,622,714,722 布线层

- [0304] 220,720 下部半导体基板
- [0305] 225 负端子
- [0306] 226 正端子
- [0307] 230,231,232,511,512,640,641,642,730,731,732 金属接合部
- [0308] 310,360 MOS电容元件
- [0309] 312,322,332 下部电极
- [0310] 313,321,331 上部电极
- [0311] 314,315,716 过孔
- [0312] 316,366 栅极绝缘膜
- [0313] 320,350 MIM电容元件
- [0314] 330 MOM电容元件
- [0315] 340 PIP电容元件
- [0316] 610 传感器部
- [0317] 620 像素晶体管部
- [0318] 630 外围电路部
- [0319] 800 运算放大器
- [0320] 1000 电子设备
- [0321] 1020 光学透镜
- [0322] 1030 快门装置
- [0323] 1040 驱动电路
- [0324] 1060 入射光。

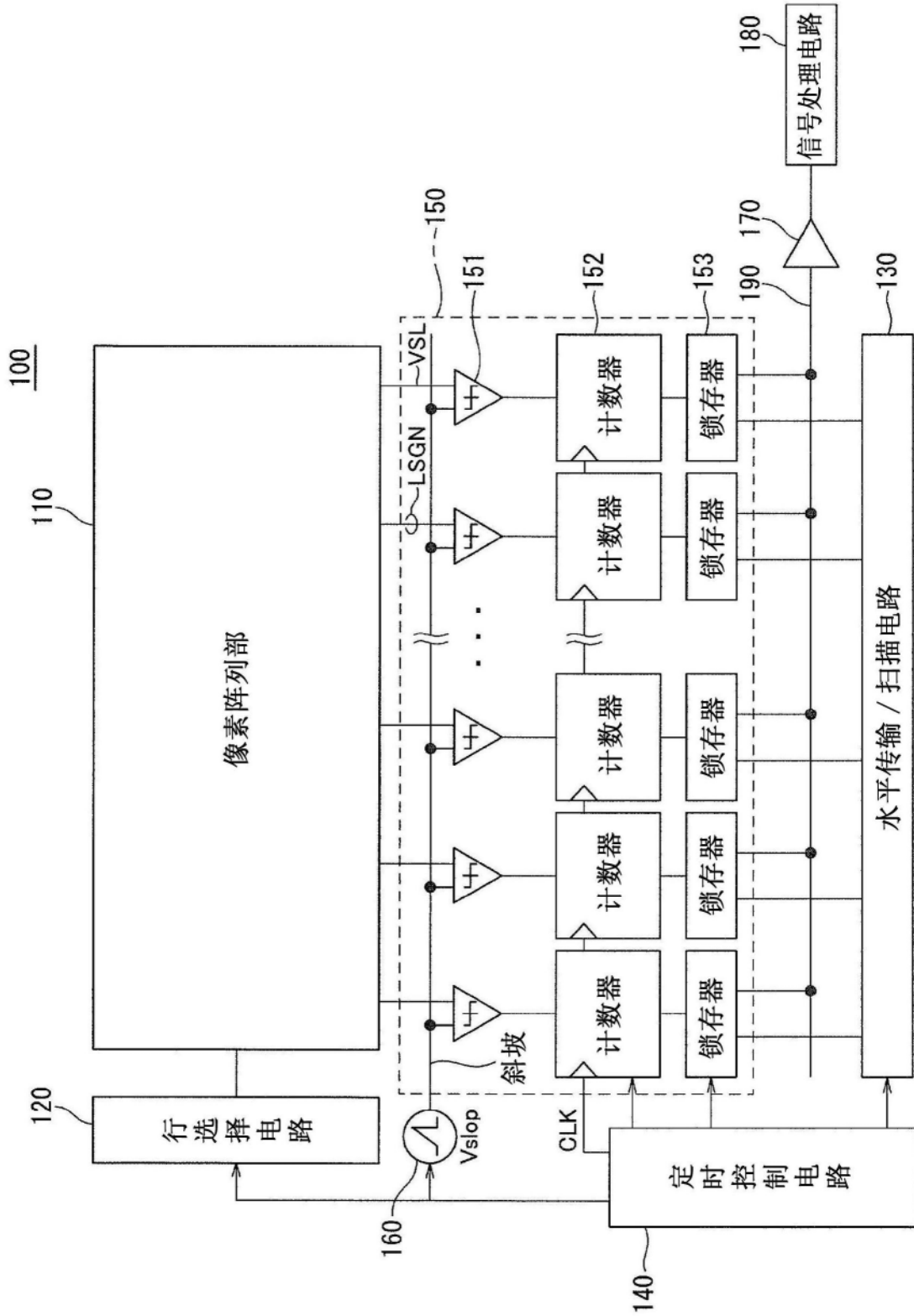


图1

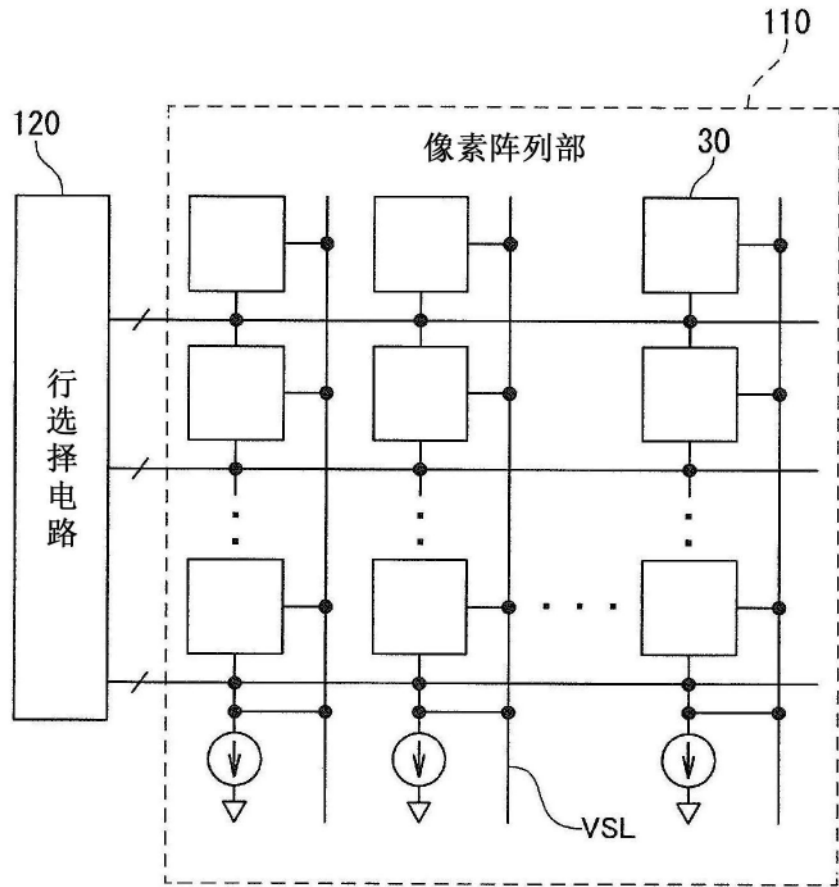


图2

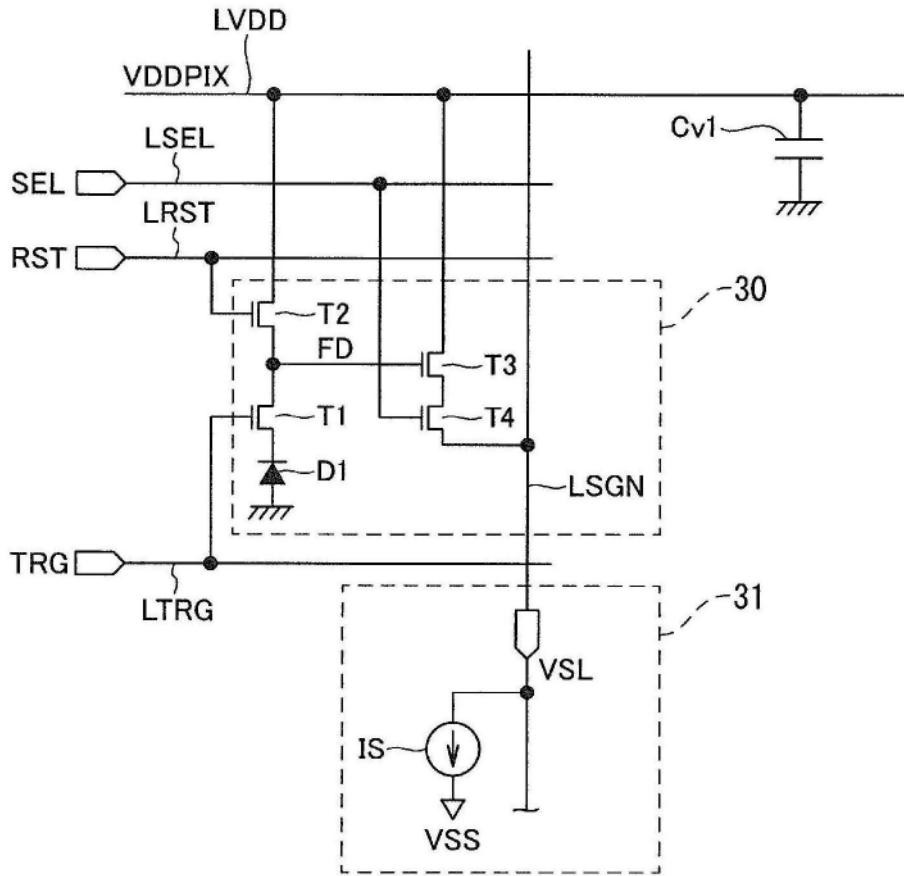


图3

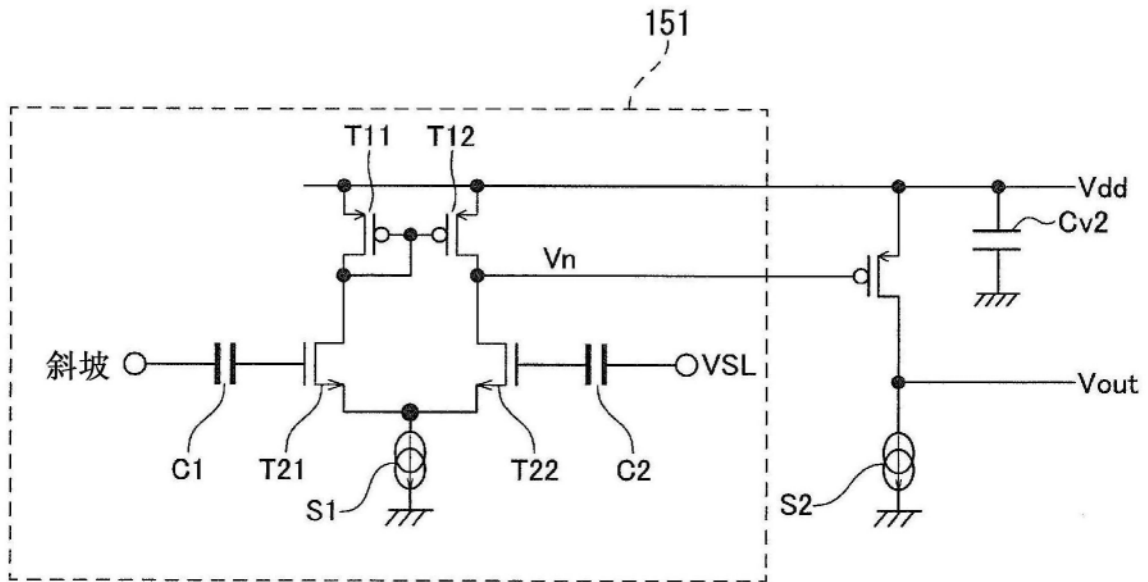


图4

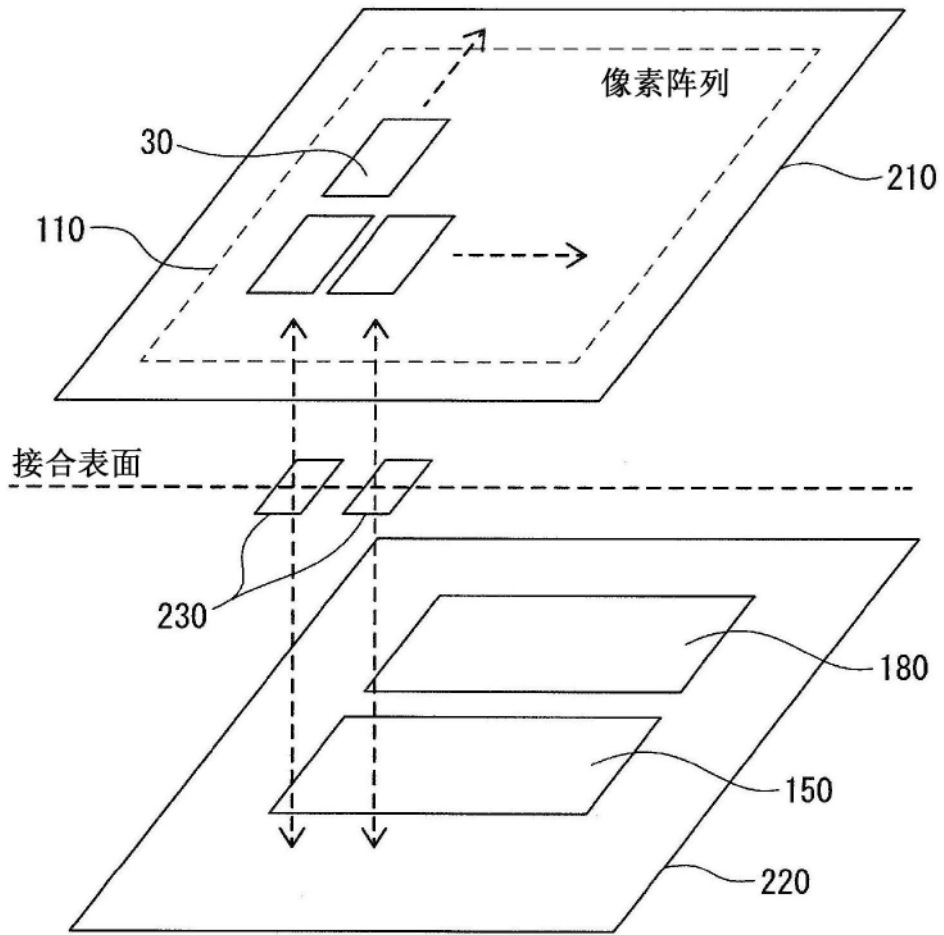


图5

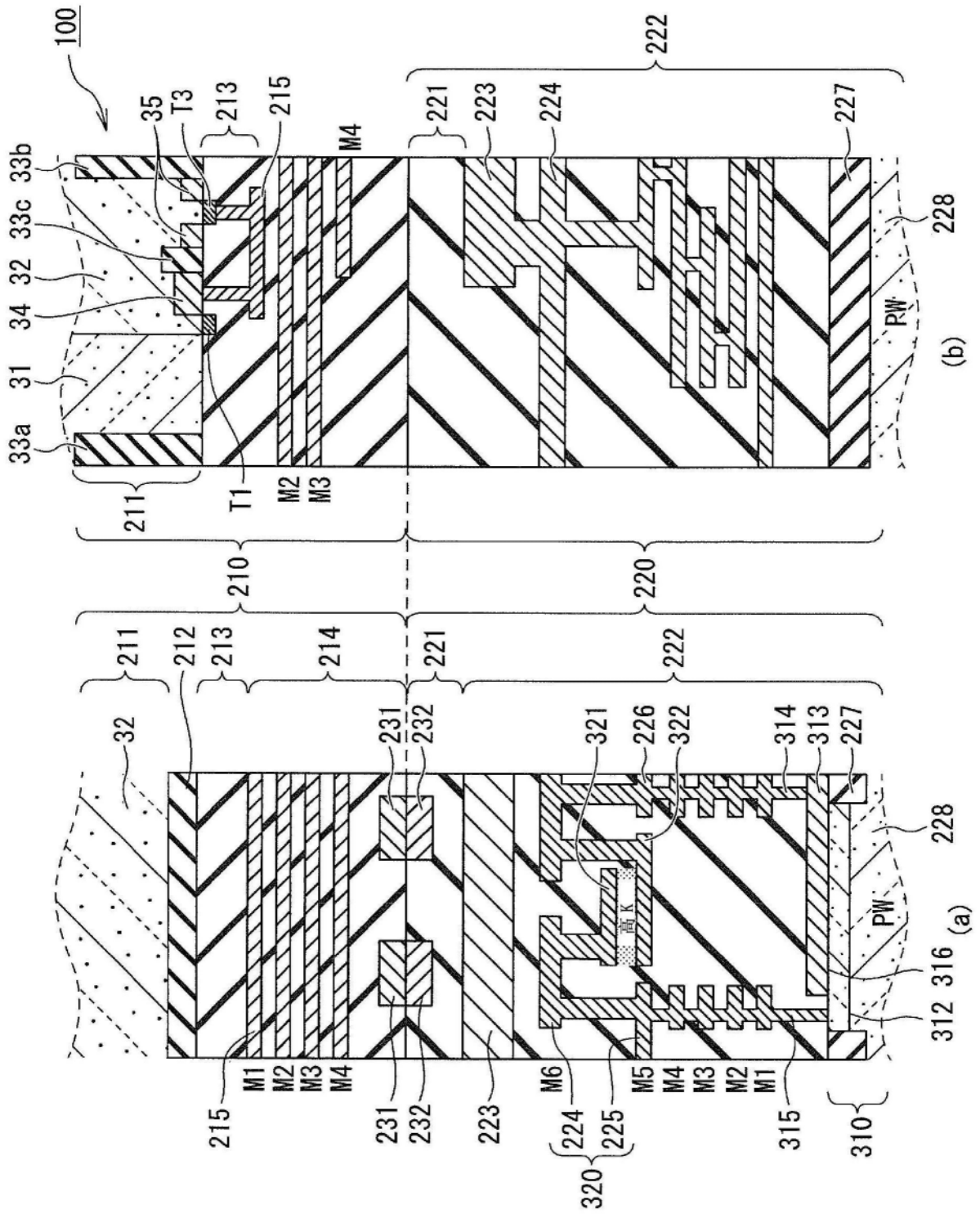


图6

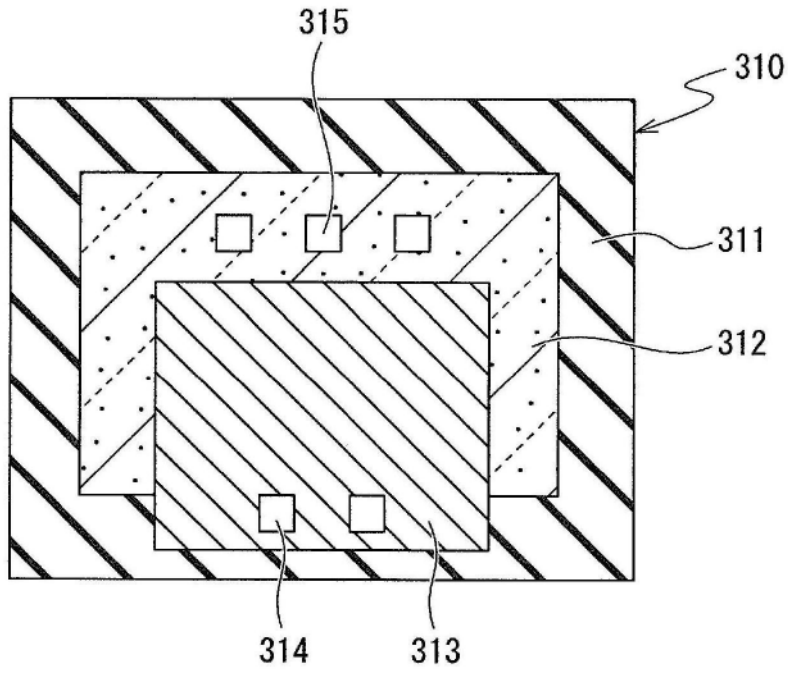


图7

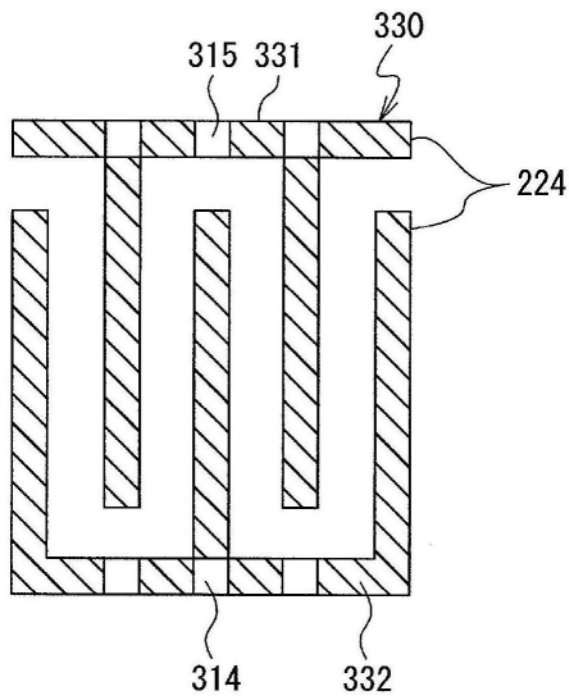


图8

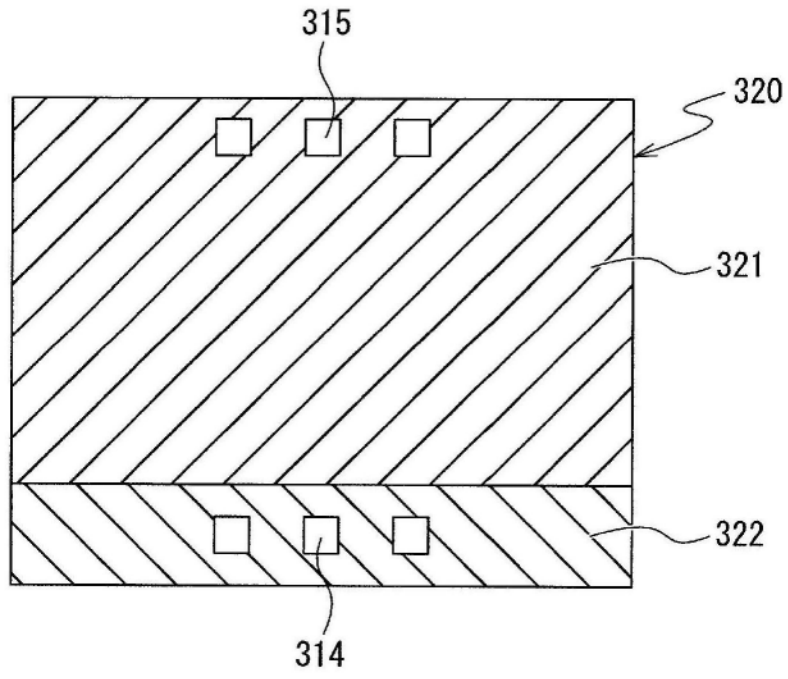


图9

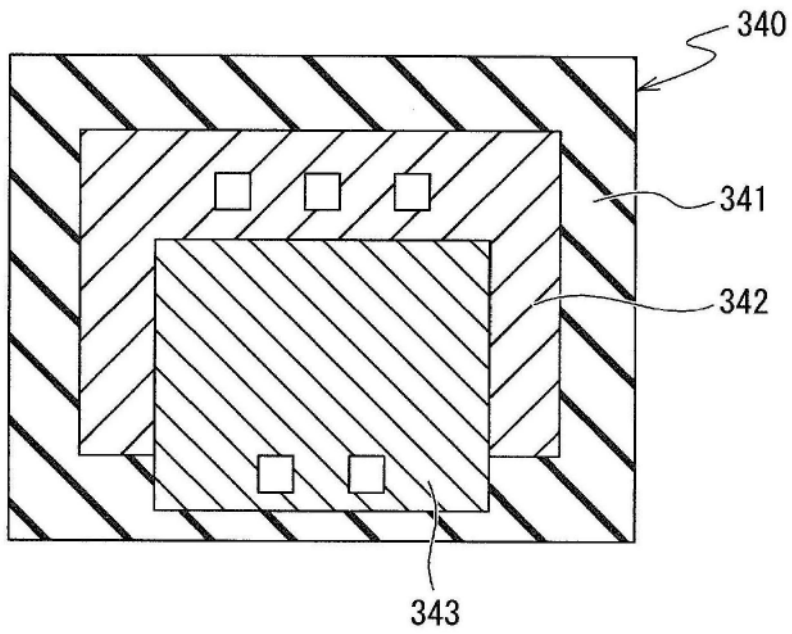


图10

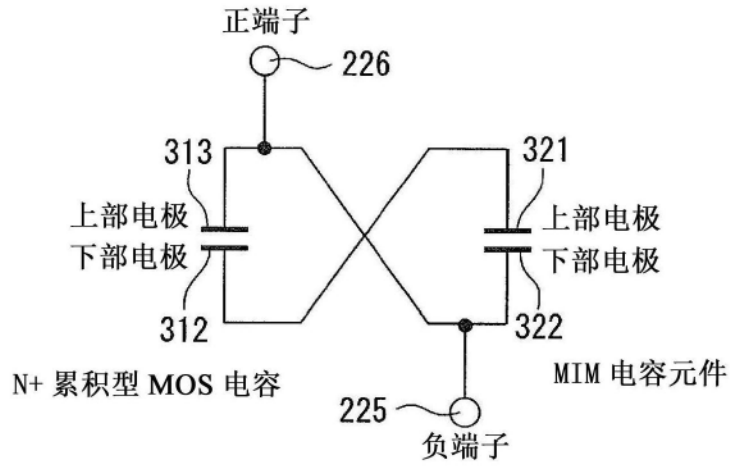


图11

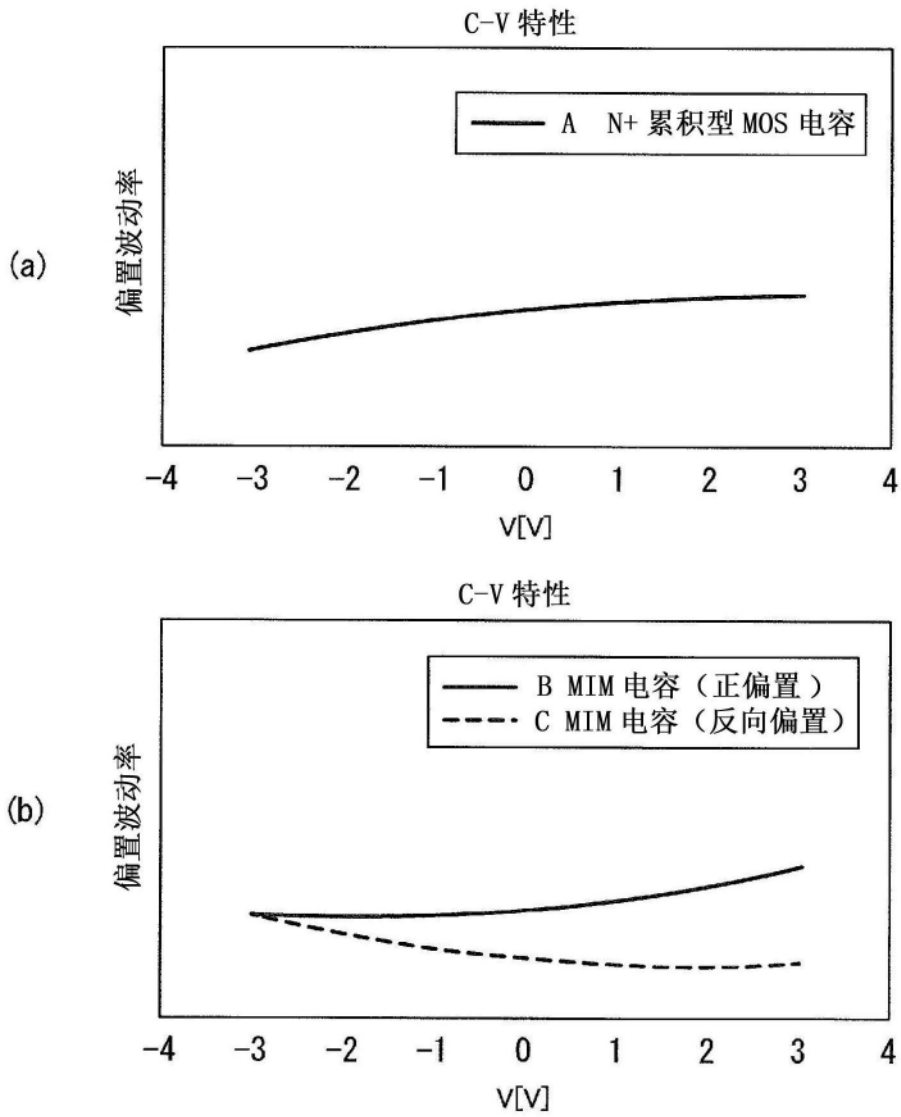


图12

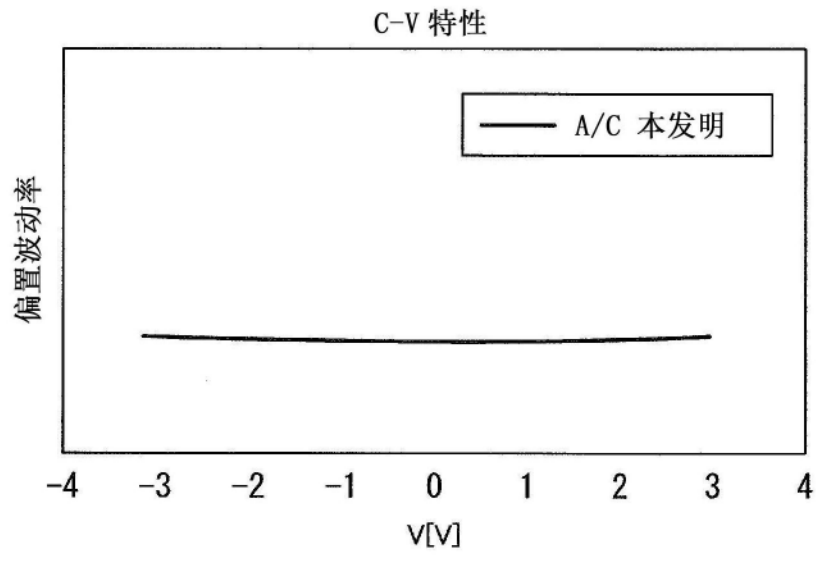


图13

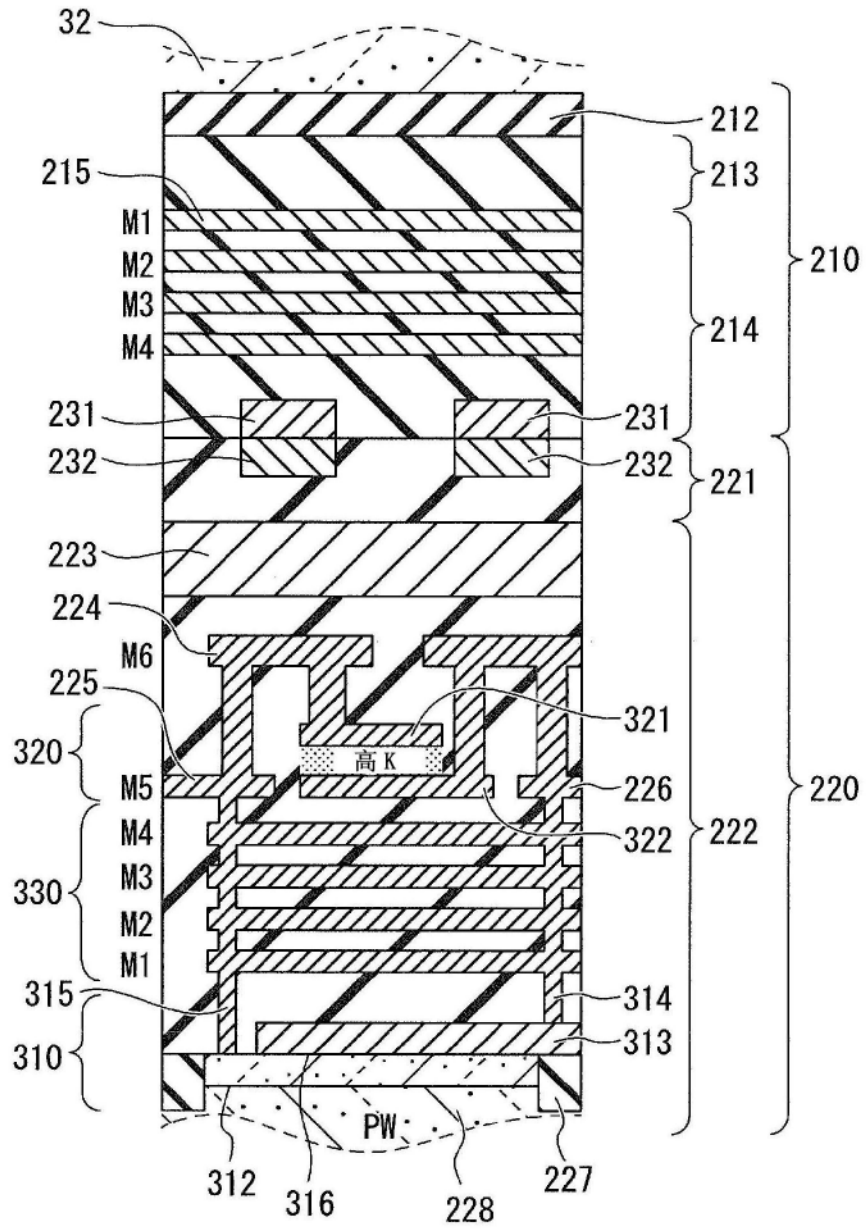


图14

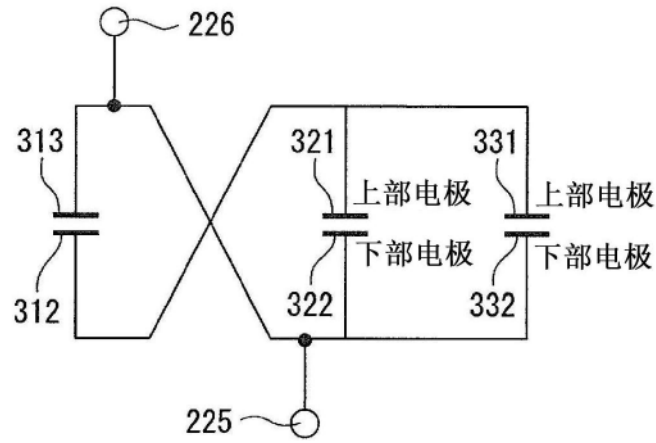


图15

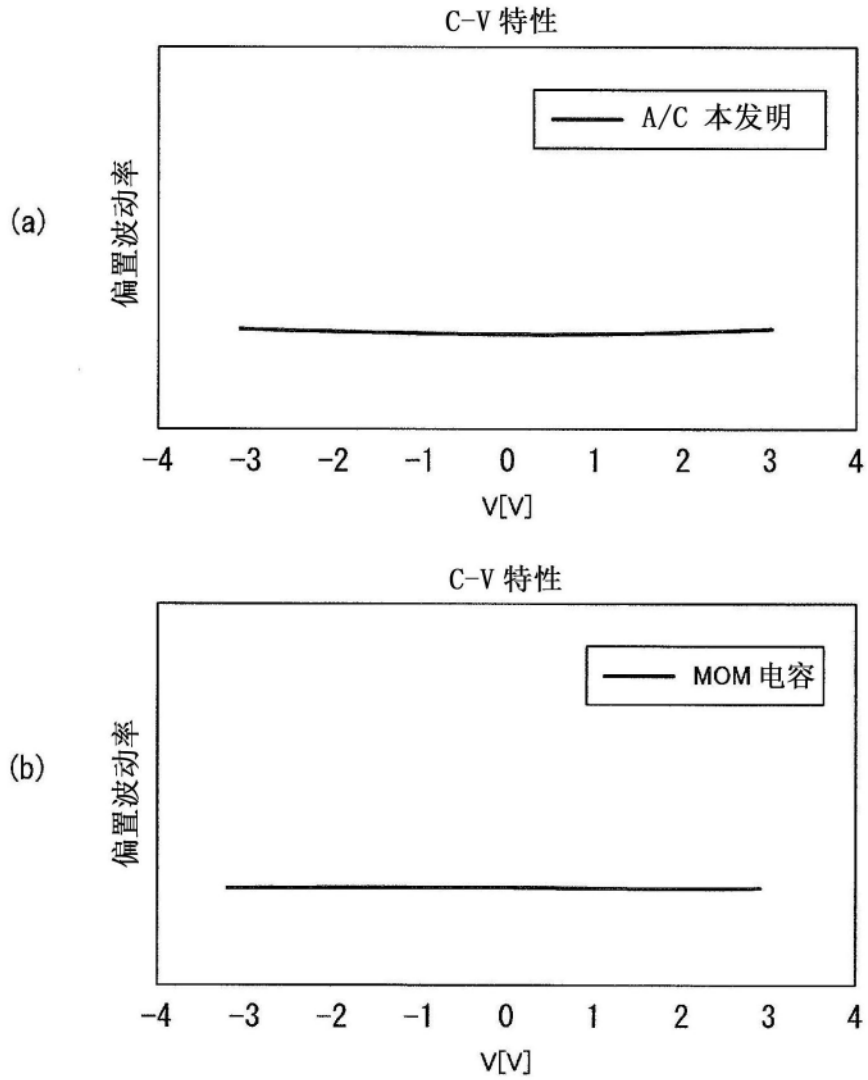


图16

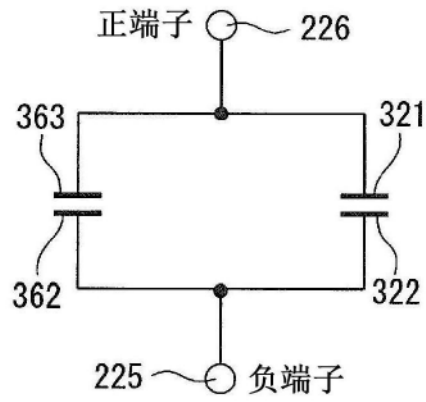


图18

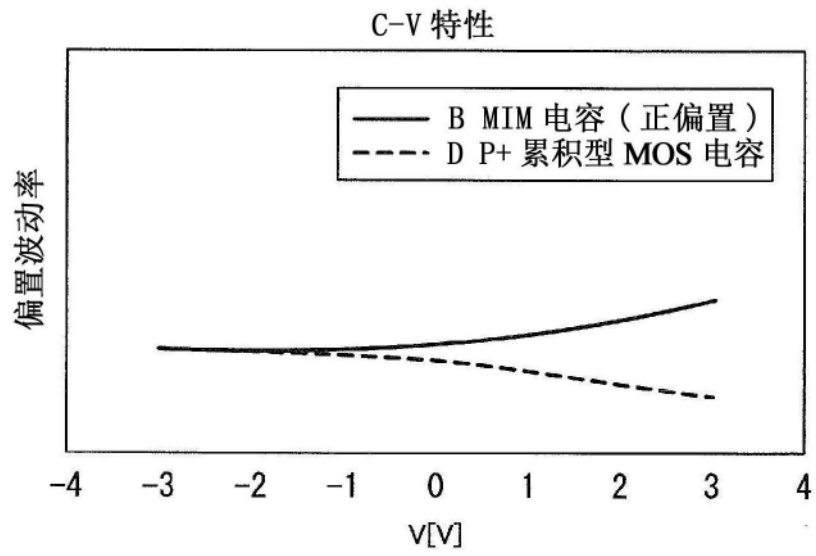


图19

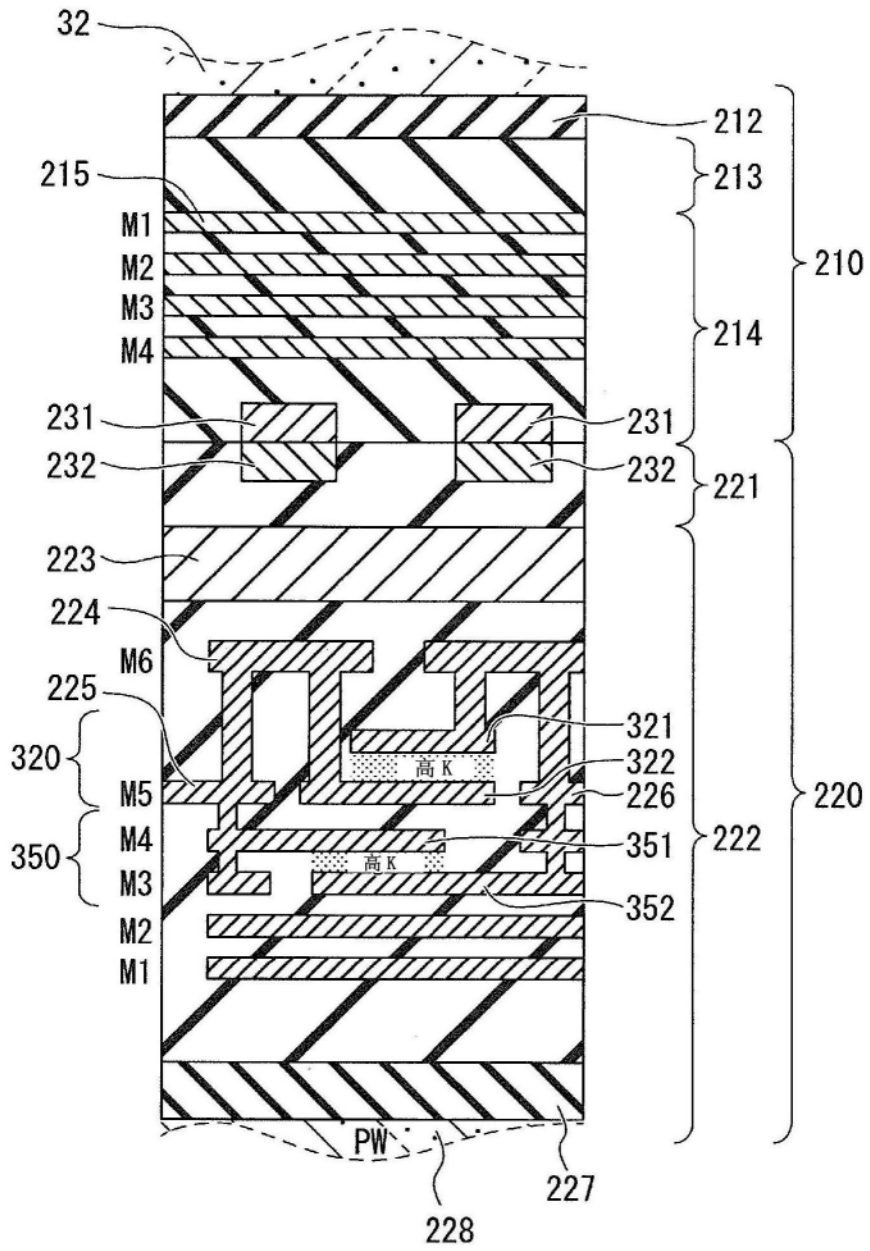


图20

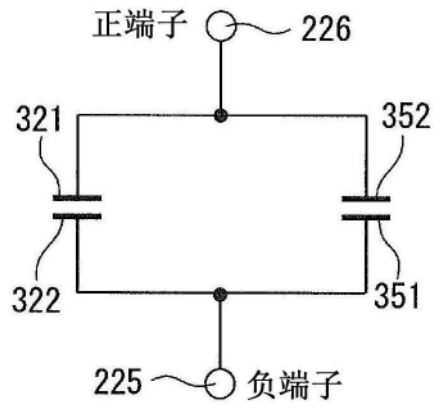


图21

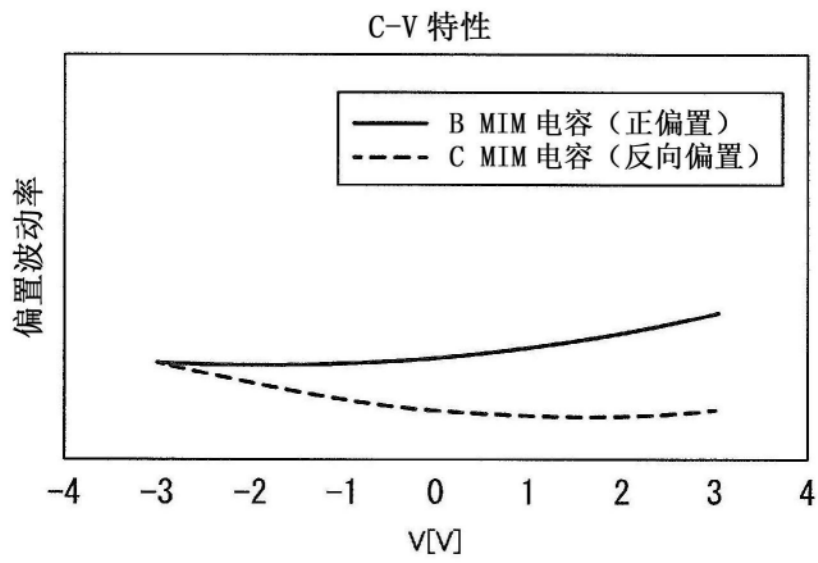


图22

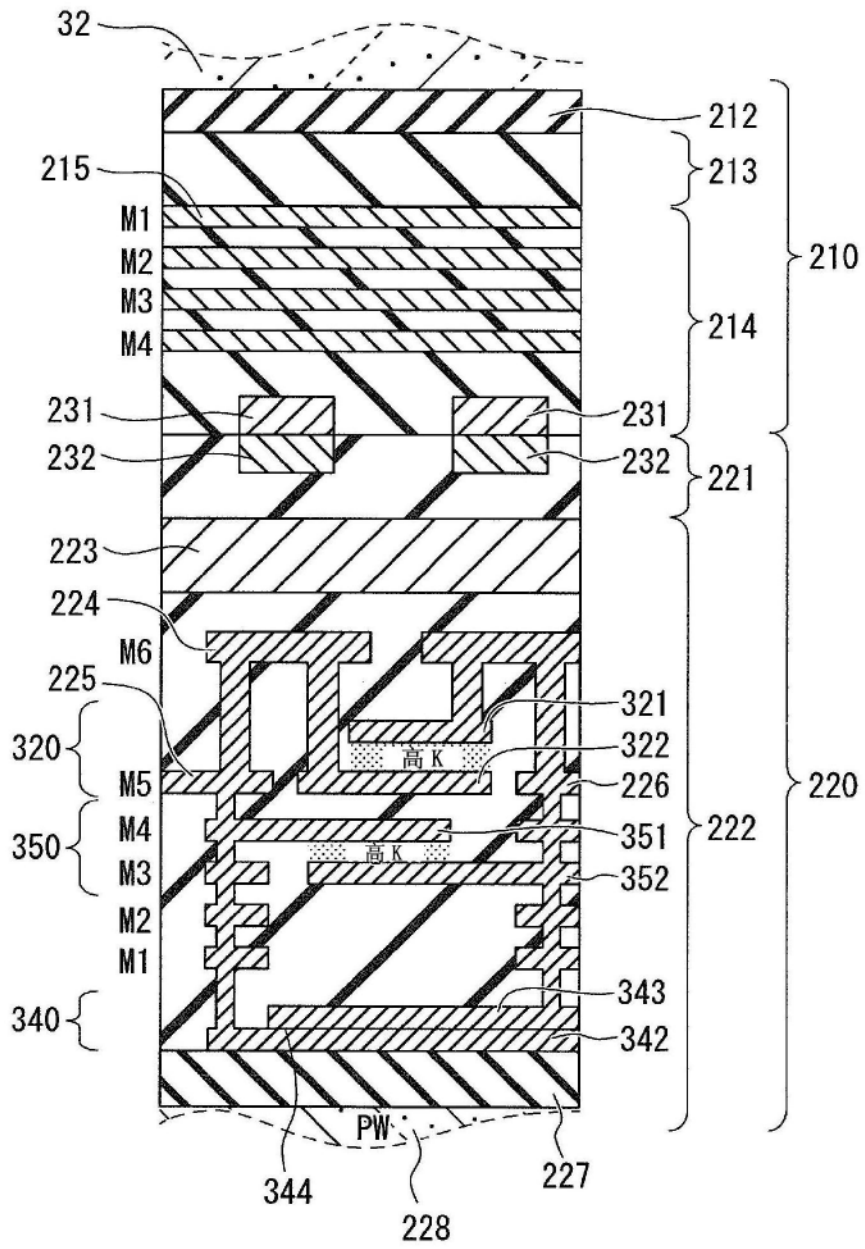


图23

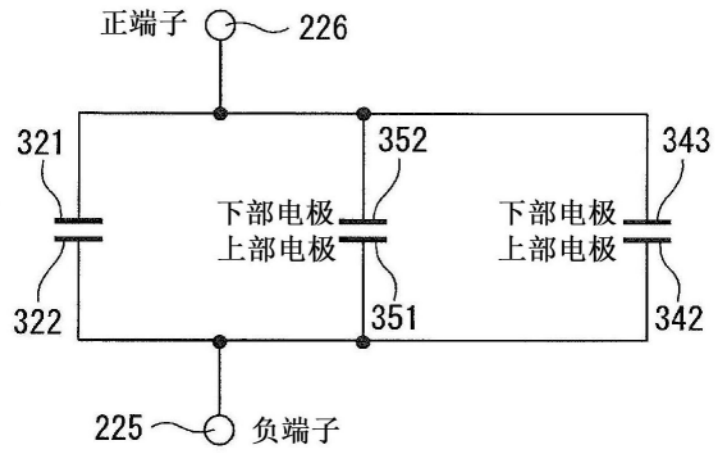


图24

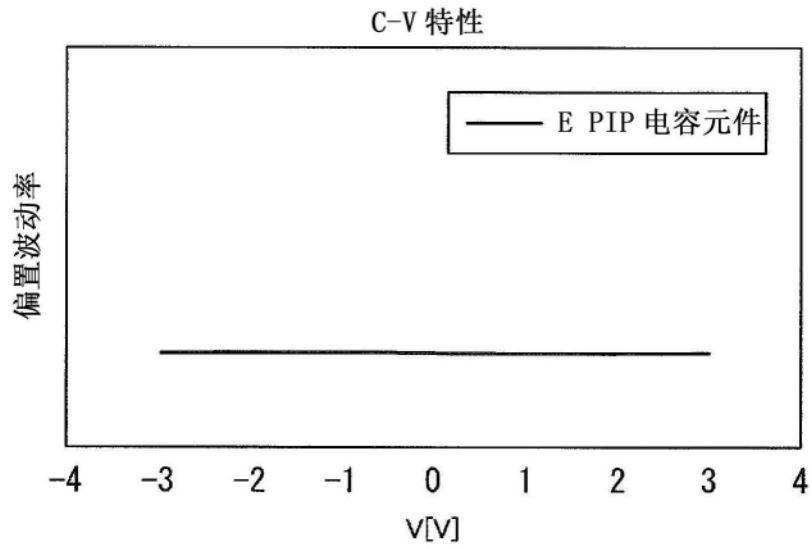


图25

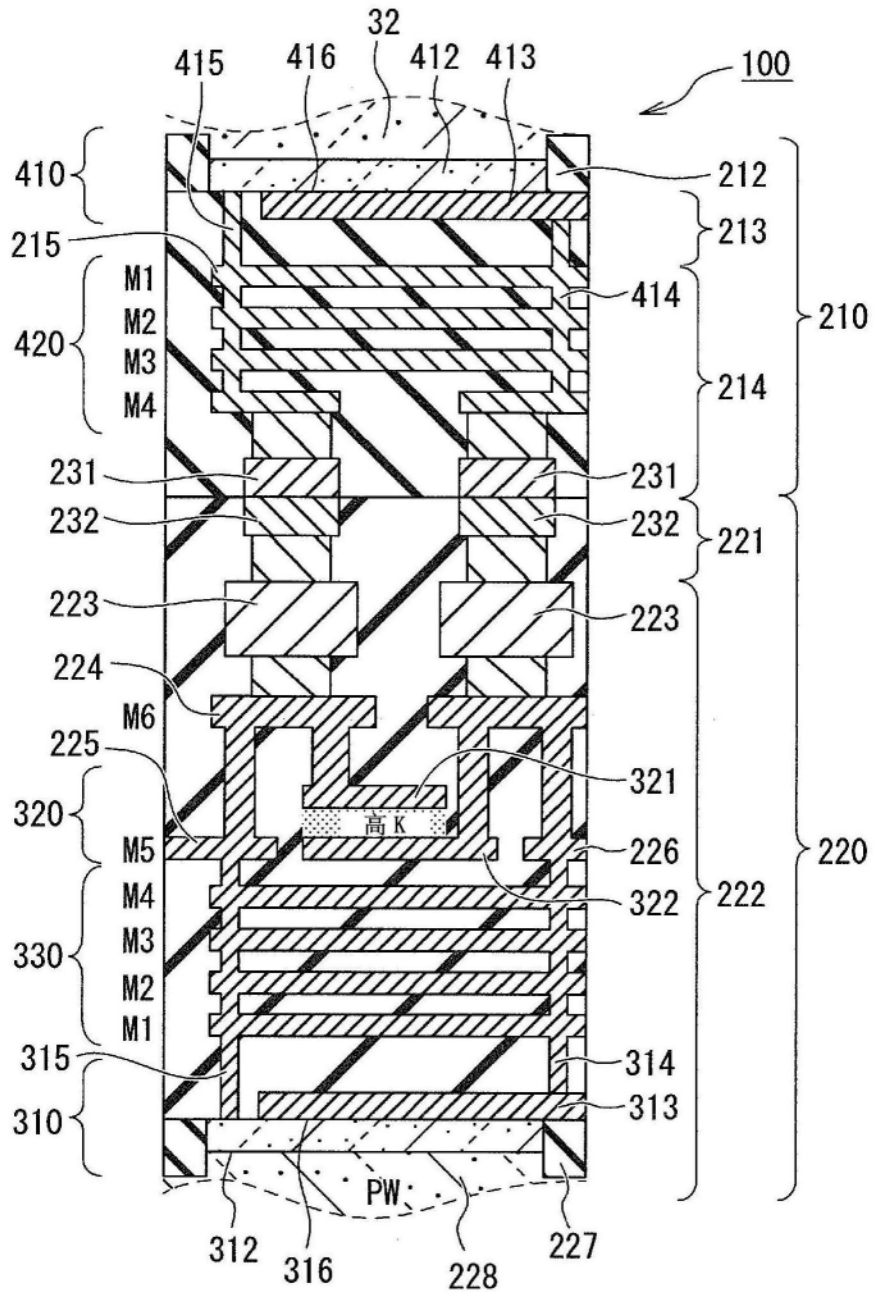


图26

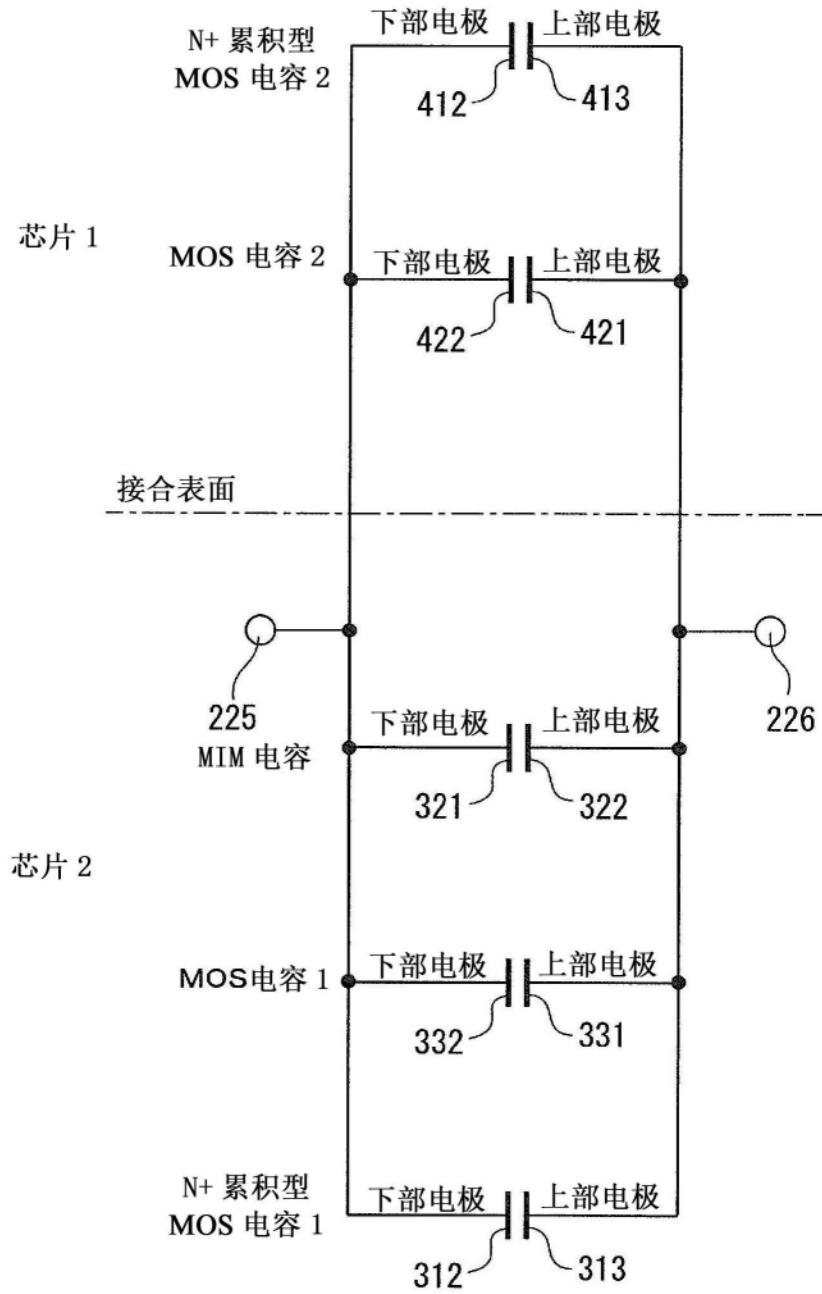


图27

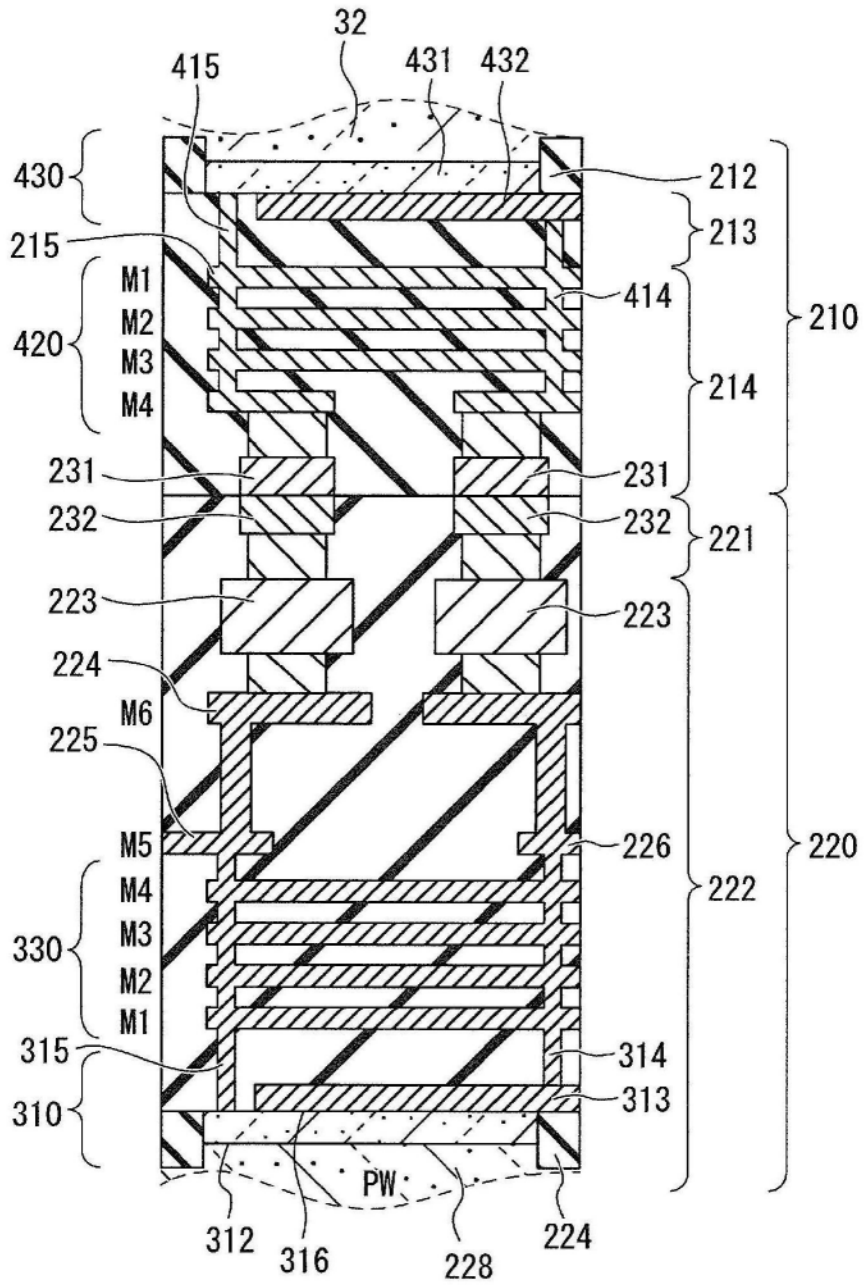


图28

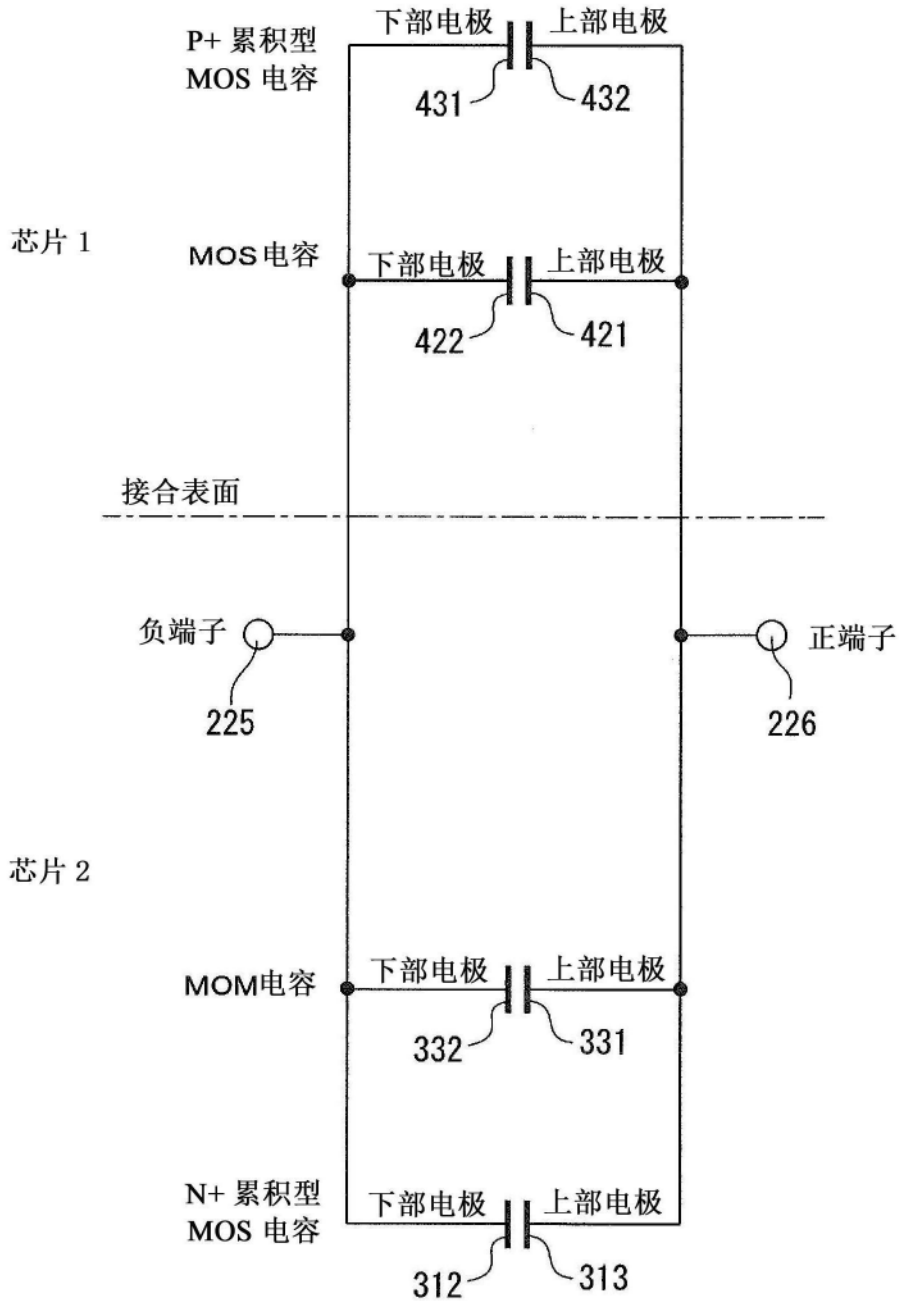


图29

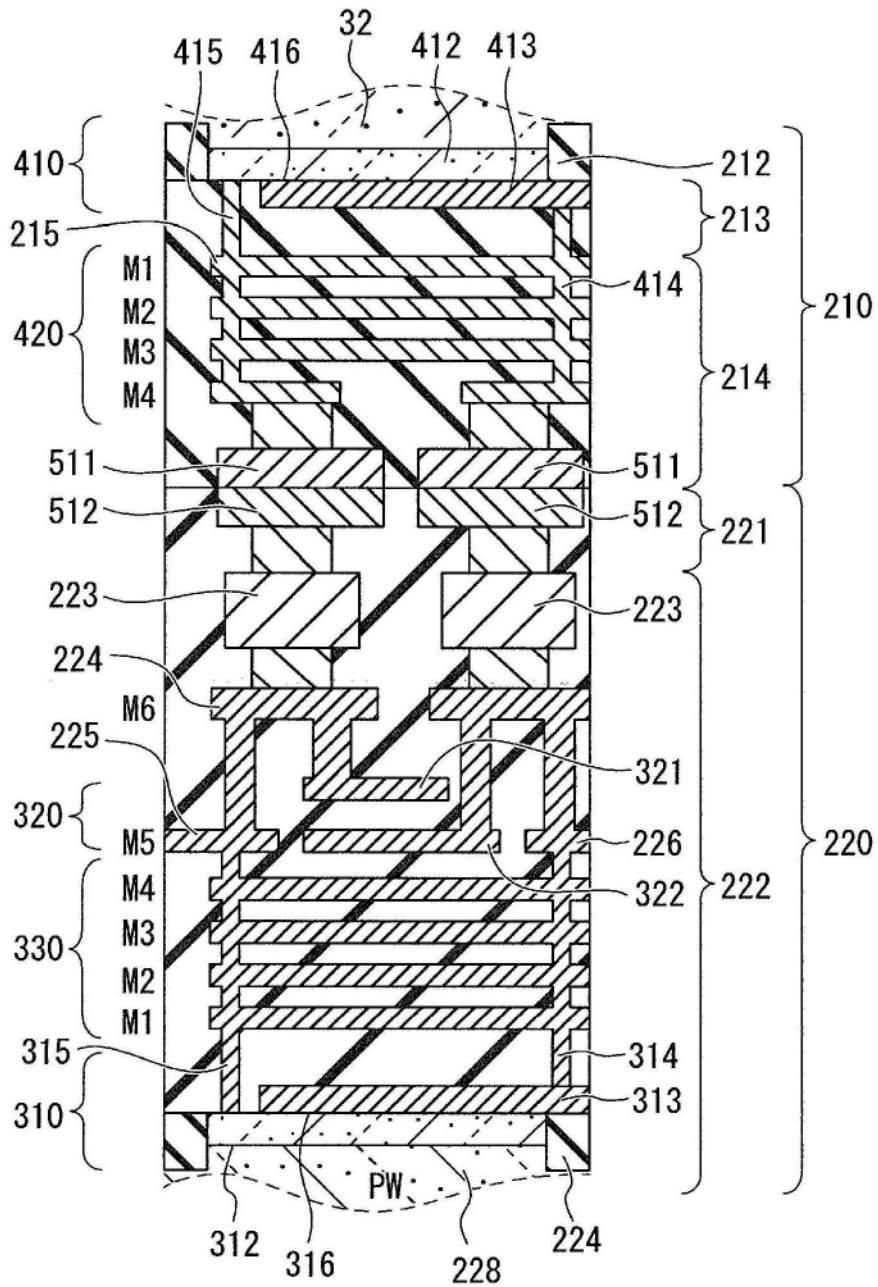


图30

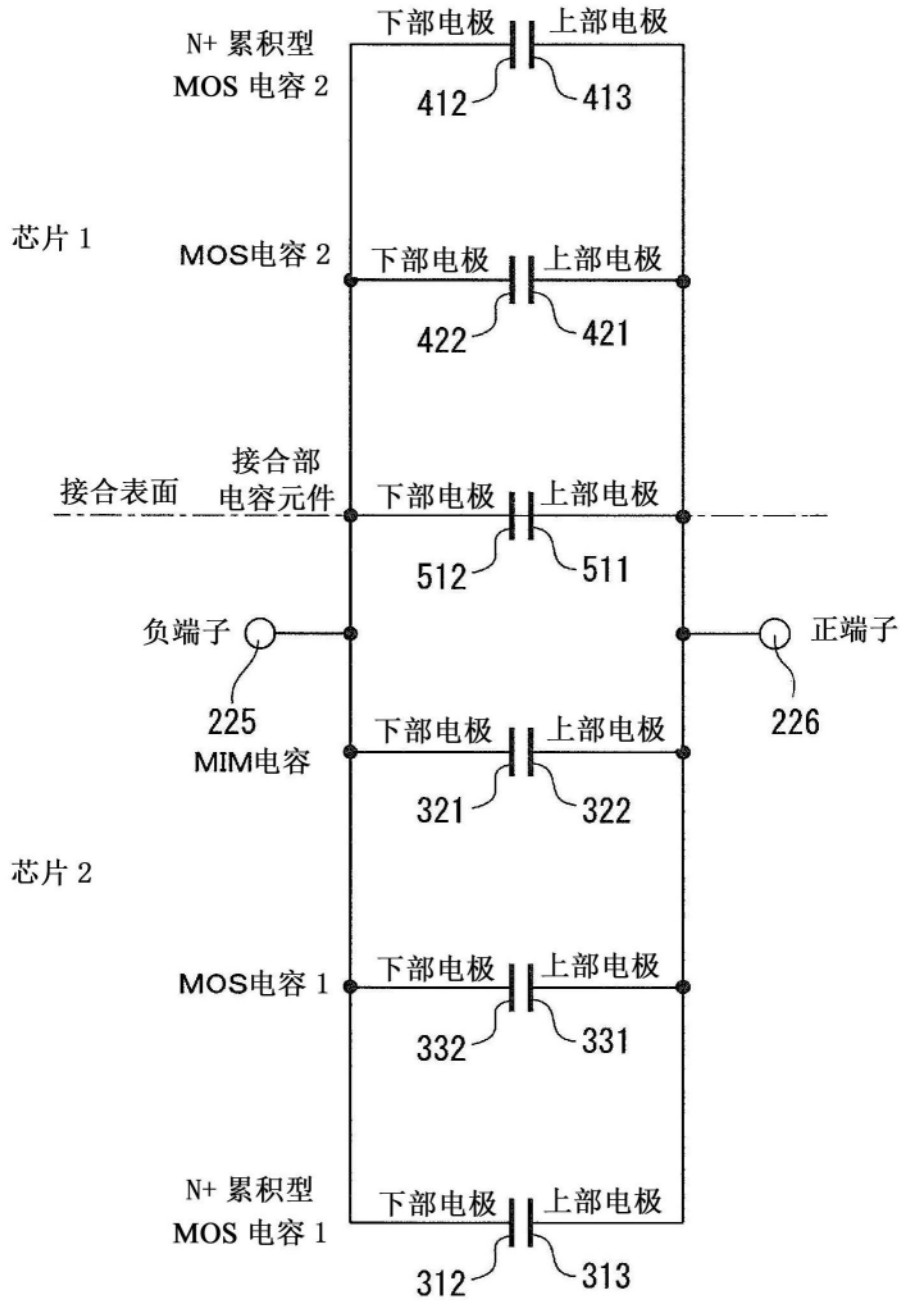


图31

	设备	电极连接方向	电容值的偏置依赖性的斜率的符号
芯片 1	N+ 累积型 MOS 电容	正向	正
		反向	负
	P+ 累积型 MOS 电容	正向	负
		反向	正
	MIM 电容元件	正向	正
		反向	负
	MOM 电容器元件	忽略	—
PIP 电容元件	忽略	—	
连接部	连接部电容元件	忽略	—
芯片 2	N+ 累积型 MOS 电容	正向	正
		反向	负
	P+ 累积型 MOS 电容	正向	负
		反向	正
	MIM 电容元件	正向	正
		反向	负
	MOM 电容器元件	忽略	—
PIP 电容元件	忽略	—	

图32

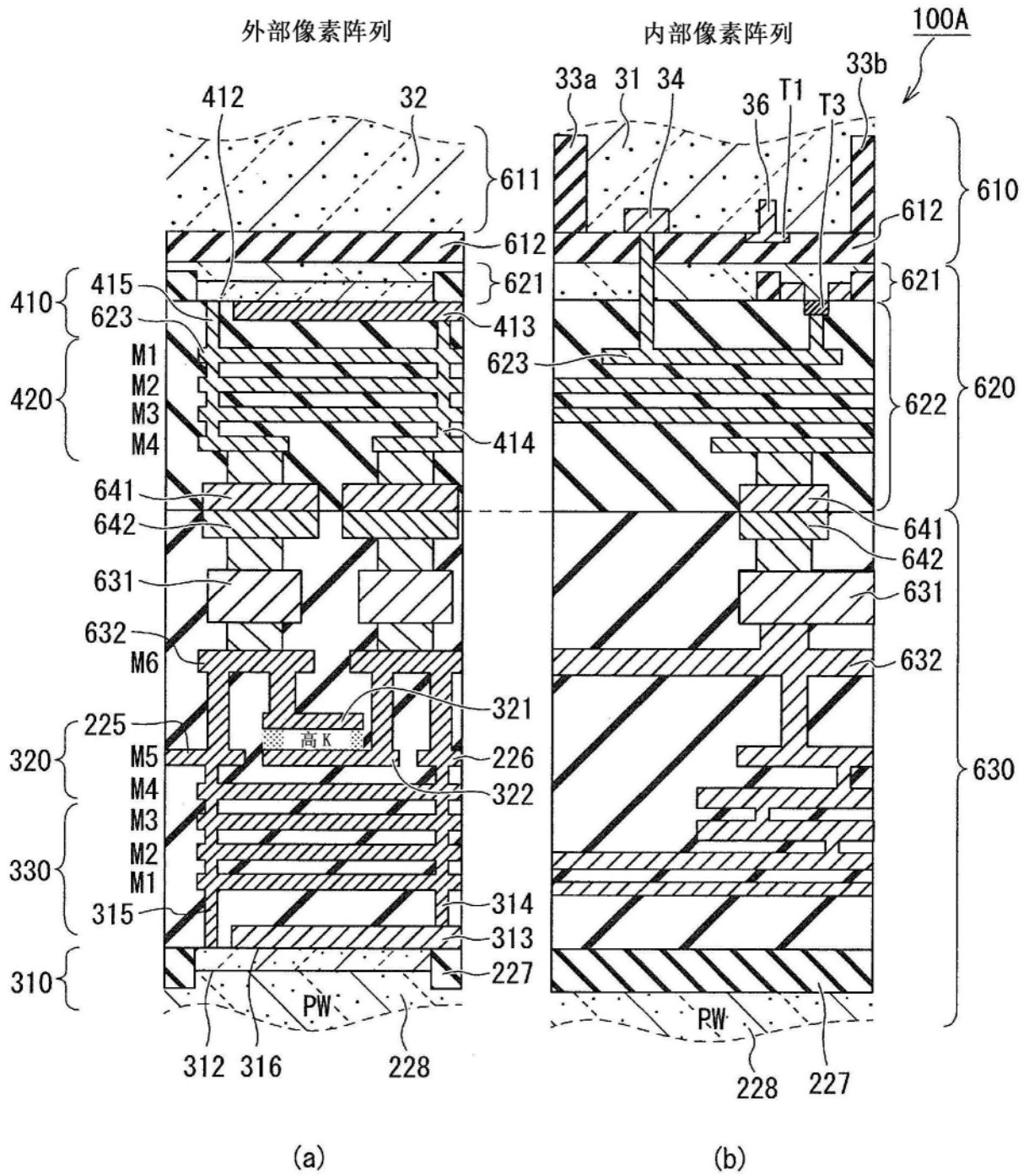


图33

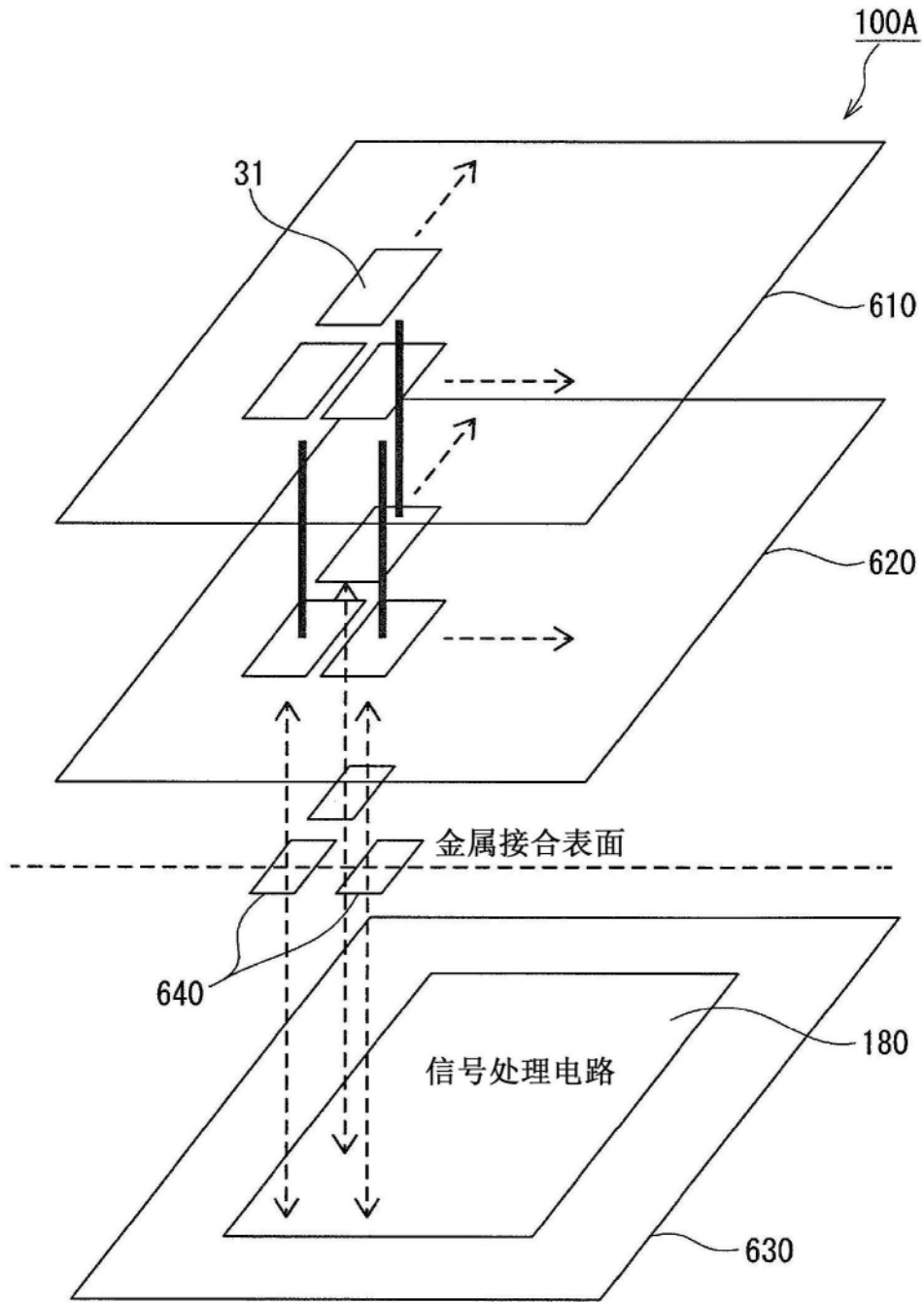


图34

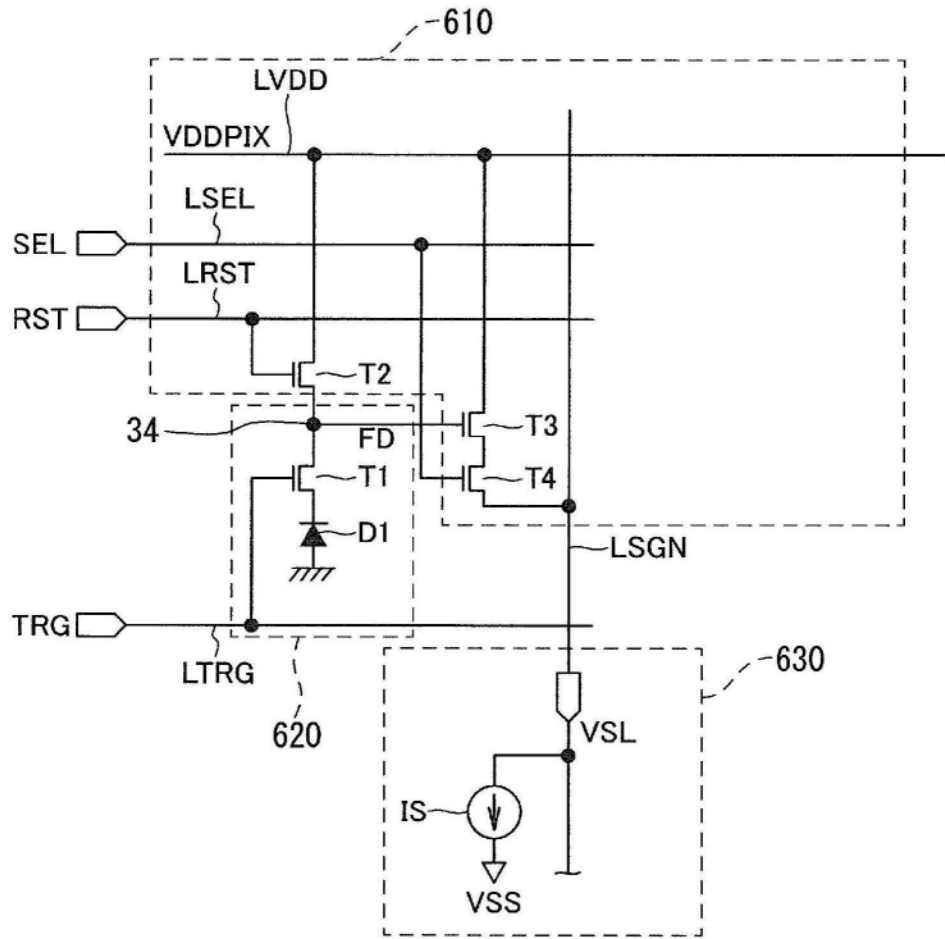


图35

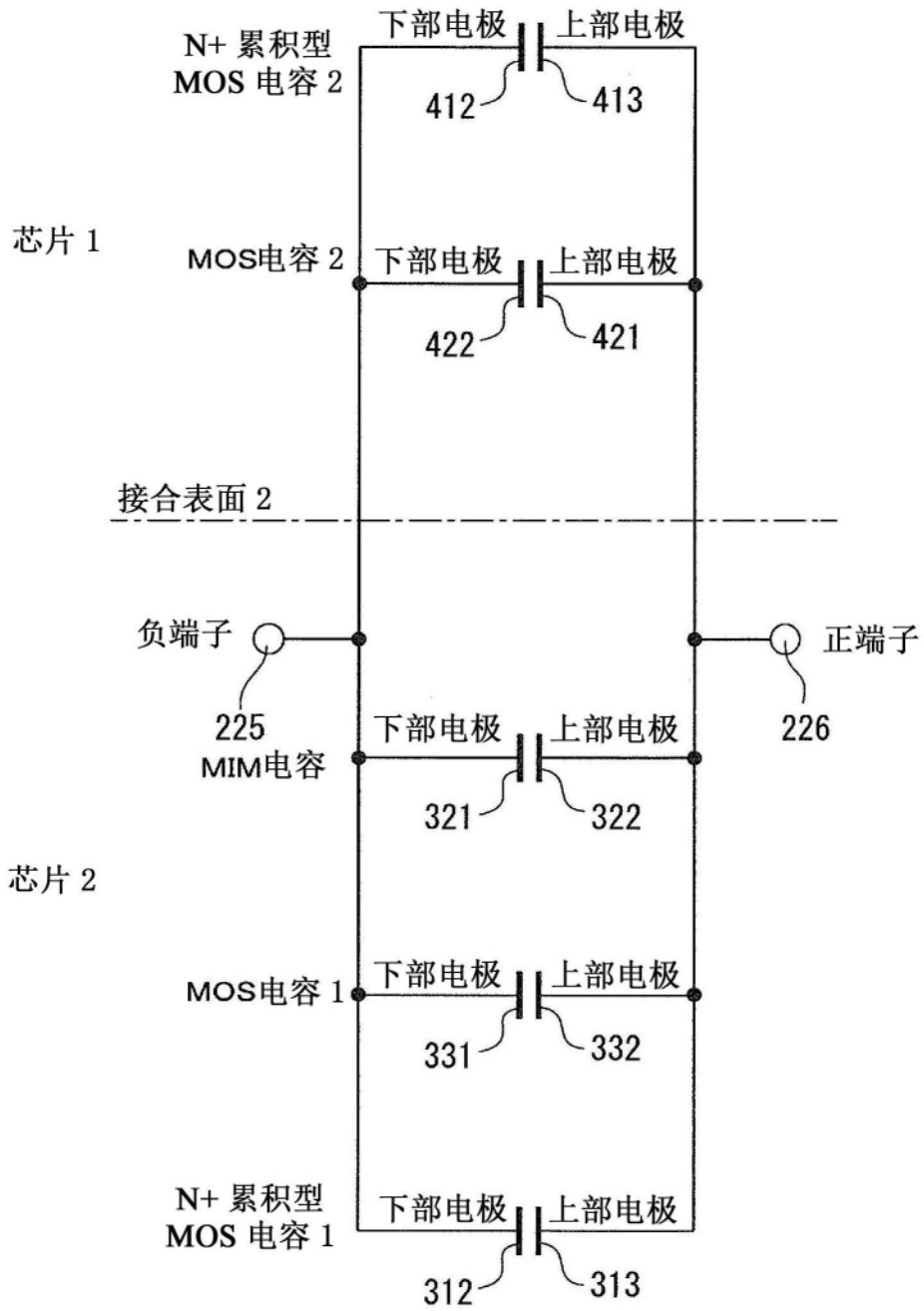


图36

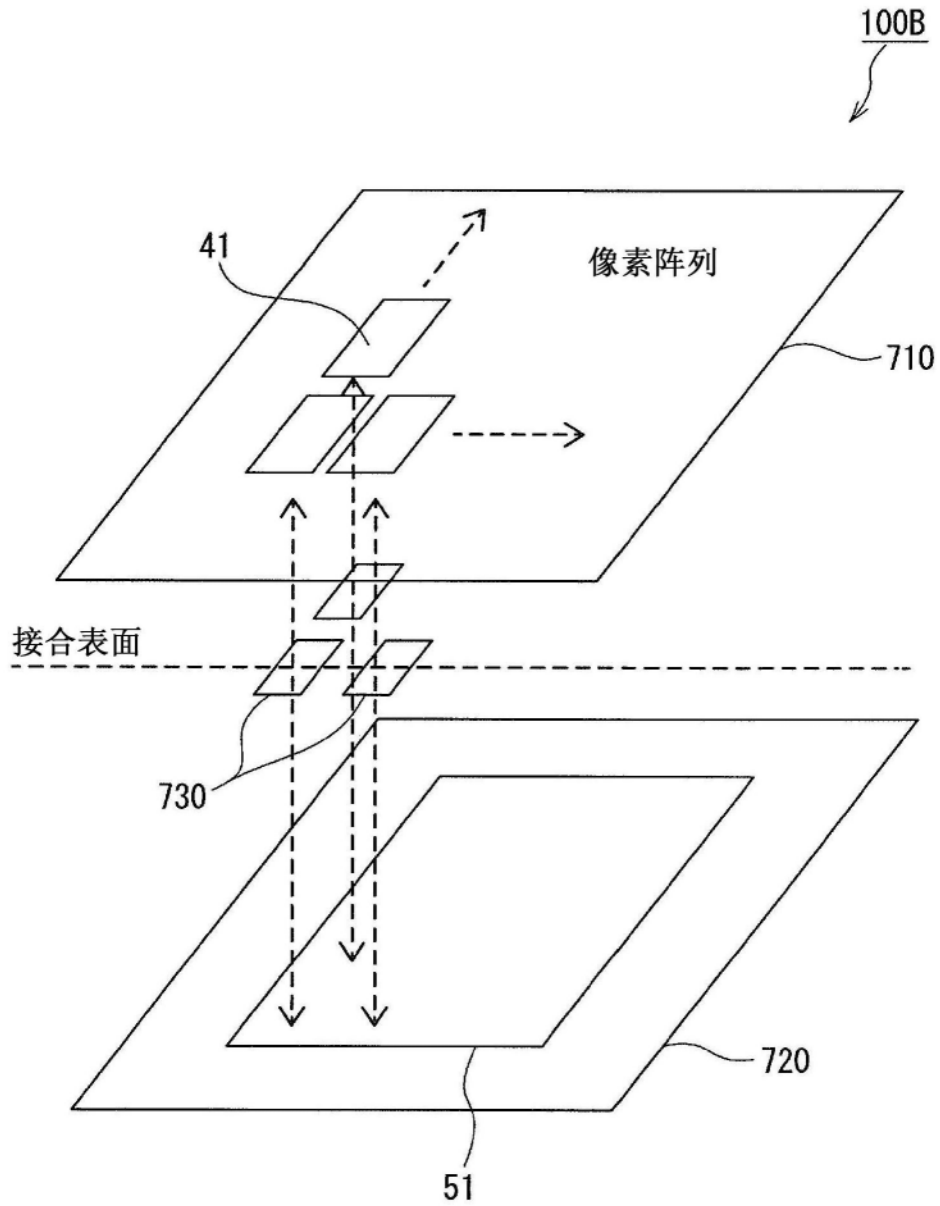


图37

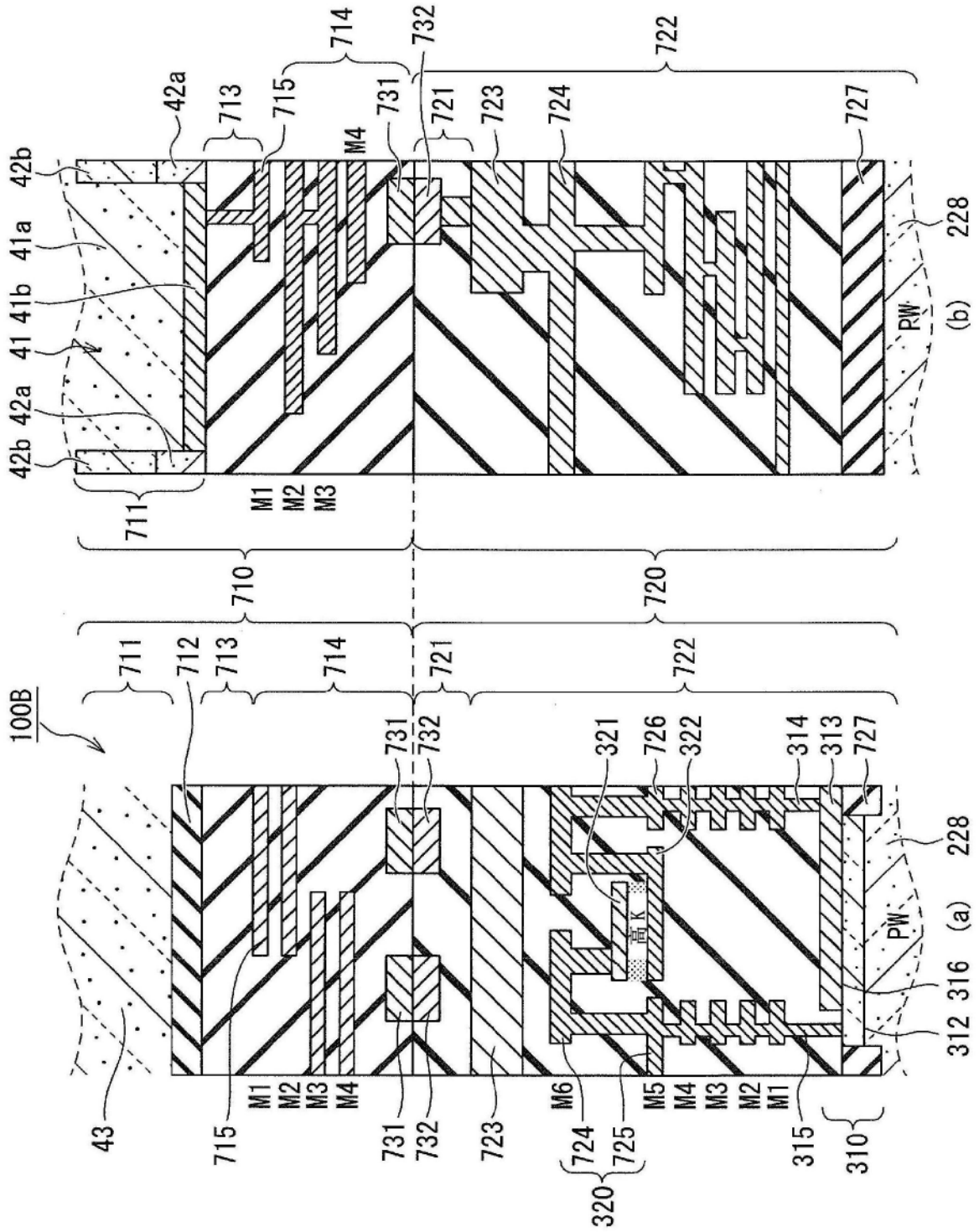


图38

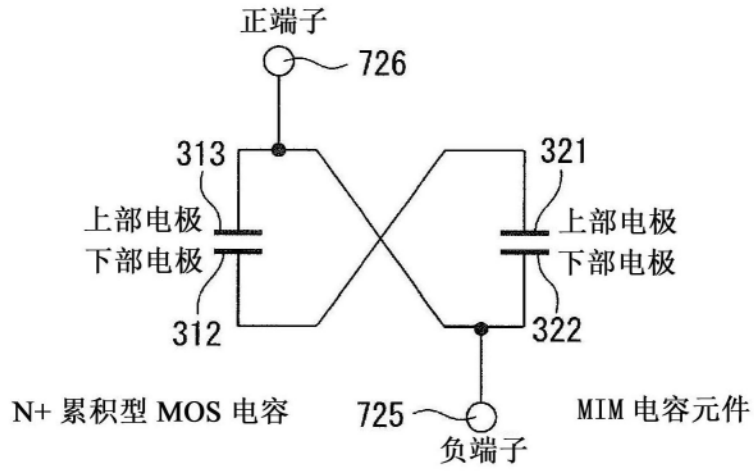


图39

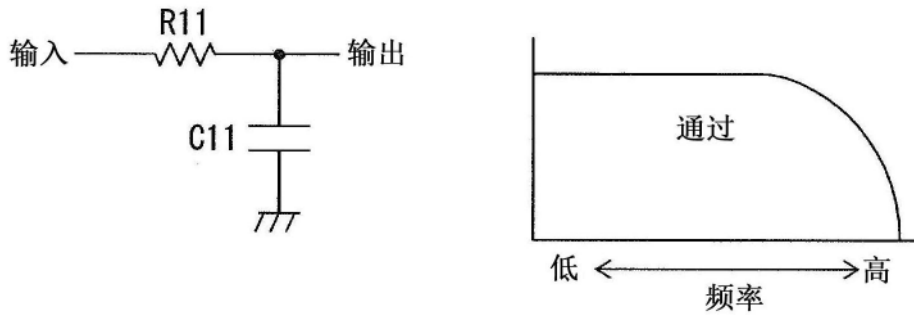


图40

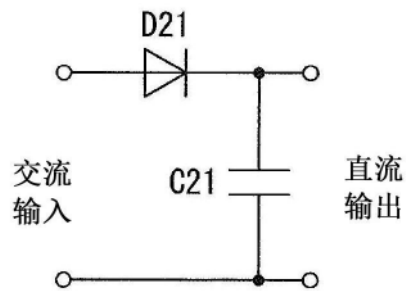


图41

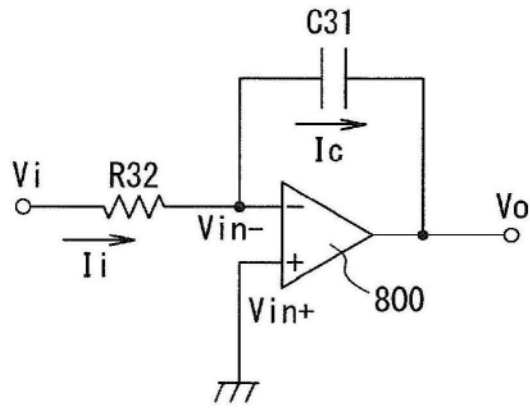


图42

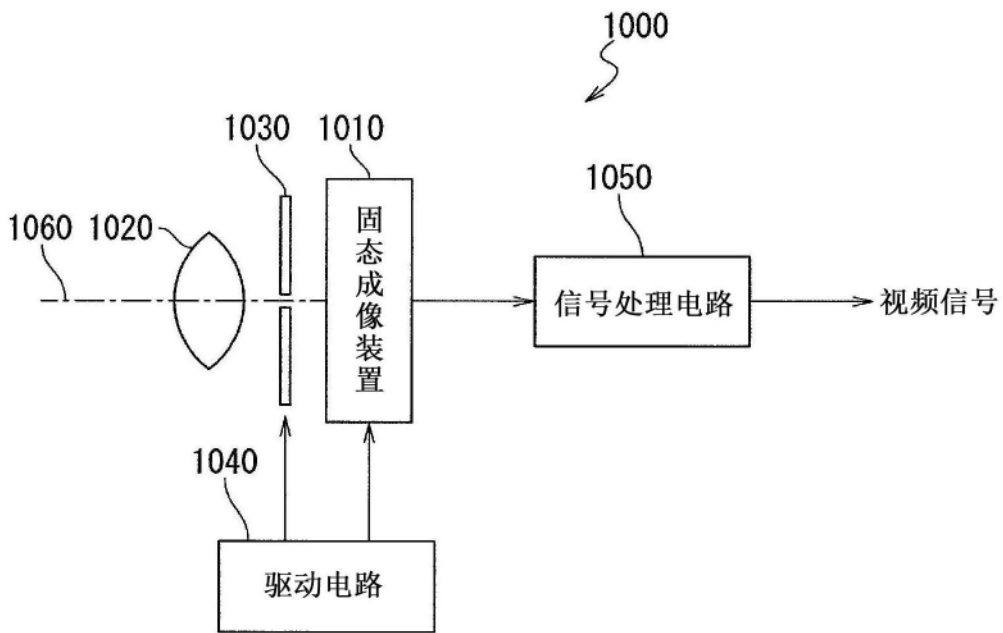


图43