



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년07월30일

(11) 등록번호 10-1540341

(24) 등록일자 2015년07월23일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2008-0102151

(22) 출원일자 2008년10월17일

심사청구일자 2013년09월30일

(65) 공개번호 10-2010-0042932

(43) 공개일자 2010년04월27일

(56) 선행기술조사문헌

KR1020070081829 A*

KR1020080016194 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

박경배

서울특별시 강남구 영동대로 640, 현대아이파크아파트 사우스윙 3602호 (삼성동)

류명관

경기도 용인시 수지구 신봉1로71번길 25, 신봉자이3차아파트 308동 1504호 (신봉동)

(뒷면에 계속)

(74) 대리인

리앤폭특허법인

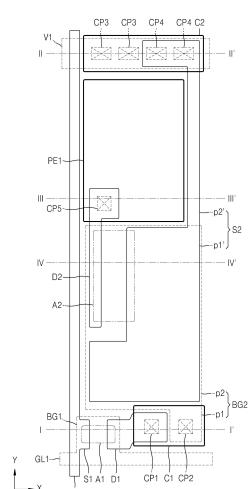
전체 청구항 수 : 총 25 항

심사관 : 신창우

(54) 발명의 명칭 패널 구조체, 패널 구조체를 포함하는 표시장치 및 이들의 제조방법

(57) 요 약

패널 구조체, 패널 구조체를 포함하는 표시장치 및 이들의 제조방법에 관해 개시되어 있다. 개시된 패널 구조체의 구성요소간 연결을 위한 비아홀(via hole)들은 한 번의 공정으로 형성될 수 있다. 예컨대, 개시된 패널 구조체에서 트랜지스터와 그와 이격된 도전층의 연결을 위한 비아홀들은 한 번의 공정으로 형성될 수 있다.

대 표 도 - 도1

(72) 발명자

박기찬

경기 안양시 동안구 부림로 52, 501동 1501호 (평
촌동, 초원럭키아파트)

선종백

경기도 용인시 기흥구 한보라1로 91, - 605동 401
호 (보라동, 한보라마을휴먼시아)

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

제1게이트, 상기 제1게이트에 대응하는 제1활성층, 상기 제1활성층의 양단에 접촉된 제1소오스 및 제1드레인을 구비하는 제1박막트랜지스터;

상기 제1드레인과 이격된 제1도전층;

화소전극;

상기 화소전극과 이격하되, 그와 동일한 물질로 형성된 제1연결배선;

상기 제1연결배선의 일단과 상기 제1드레인을 연결하는 제1도전플러그;

상기 제1연결배선의 타단과 상기 제1도전층을 연결하는 제2도전플러그;

상기 제1도전층과 이격된 제2도전층;

상기 제2도전층과 이격된 제3도전층; 및

상기 화소전극과 동일한 물질로 형성되고, 상기 제2도전층과 연결된 일단 및 상기 제3도전층과 연결된 타단을 갖는 제2연결배선; 을 포함하며,

상기 제1도전층은 제2게이트이고, 상기 제3도전층은 제2소오스이며,

상기 제1 및 제2게이트를 덮는 게이트절연층;

상기 게이트절연층 상에 구비된 제2활성층;

상기 제2활성층에 접촉된 제2드레인; 및

상기 게이트절연층 상에 상기 제1활성층, 상기 제1소오스, 상기 제1드레인, 상기 제2활성층, 상기 제2소오스 및 상기 제2드레인을 덮는 절연층; 을 더 포함하며,

상기 제2소오스는 상기 제2도전층 위쪽으로 연장되고,

상기 제2연결배선의 일단을 상기 제2도전층을 연결하는 것으로, 상기 게이트절연층과 상기 절연층을 관통하는 제3도전플러그; 및

상기 제2연결배선의 타단을 상기 제2소오스에 연결하는 것으로, 상기 절연층을 관통하는 제4도전플러그;를 더 포함하는

패널 구조체.

청구항 24

제 23 항에 있어서,

상기 제1연결배선과 상기 화소전극은 금속 산화물 및 금속 중 적어도 하나로 형성되고, 상기 금속 산화물은 ITO(indium tin oxide), IZO(indium zinc oxide), Sn 산화물, In 산화물, Zn 산화물 및 이들의 혼합물 중 하나인 패널 구조체.

청구항 25

제 23 항에 있어서,

상기 제1도전층을 덮는 게이트절연층; 및

상기 게이트절연층 상에 상기 제1드레인을 덮는 절연층;을 더 구비하고,

상기 제1연결배선은 상기 절연층 상에 형성되며,

상기 제1도전플러그는 상기 절연층을 관통하고, 상기 제2도전플러그는 상기 게이트절연층과 상기 절연층을 관통하는 패널 구조체.

청구항 26

삭제

청구항 27

제 23 항에 있어서,

상기 제2도전층은 전원라인인 패널 구조체.

청구항 28

삭제

청구항 29

제 23 항에 있어서,

상기 제2게이트의 적어도 일부는 상기 제1게이트와 상기 제2도전층 사이에 구비된 패널 구조체.

청구항 30

제 23 항에 있어서,

상기 제2도전층은 상기 게이트절연층에 의해 덮여있고,

상기 제2연결배선은 제2도전층 위쪽의 상기 절연층 상에 구비된 패널 구조체.

청구항 31

삭제

청구항 32

제 23 항에 있어서,

상기 화소전극은 상기 절연층 상에 상기 제2드레인과 연결되도록 구비된 패널 구조체.

청구항 33

제 23 항에 있어서,

상기 화소전극은 상기 제2게이트와 상기 제2도전층 사이의 상기 절연층 상에 구비된 패널 구조체.

청구항 34

제 23 항에 있어서,

상기 제2게이트, 상기 제2활성층, 상기 제2소오스 및 상기 제2드레인은 제2박막트랜지스터를 구성하고,

상기 제1박막트랜지스터는 스위칭 트랜지스터이고, 상기 제2박막트랜지스터는 구동 트랜지스터이며,

상기 제2게이트의 일부와 그에 대응하는 상기 제2소오스의 일부 및 그들 사이의 상기 게이트절연층은 커페시터로 작용하는 패널 구조체.

청구항 35

제 23 항에 있어서,

상기 제1활성층은 비정질실리콘(a-Si), 다결정실리콘(poly-Si), GeSi, GaAs 및 금속 산화물 반도체 중 적어도 하나로 형성된 패널 구조체.

청구항 36

제 35 항에 있어서,

상기 제2활성층은 상기 제1활성층과 동일한 물질로 형성된 패널 구조체.

청구항 37

제 23 항에 있어서,

상기 화소전극에 연결된 드레인을 포함하는 제2박막트랜지스터를 더 구비하는 패널 구조체.

청구항 38

제 37 항에 있어서,

상기 제2박막트랜지스터의 드레인은 상기 화소전극과 별도의 도전플러그에 의해 연결되고,

상기 별도의 도전플러그는 상기 화소전극과 일체를 이루도록 형성된 패널 구조체.

청구항 39

제 37 항에 있어서,

상기 제1도전층은 상기 제2박막트랜지스터의 게이트인 패널 구조체.

청구항 40

제 37 항에 있어서,

상기 제1박막트랜지스터는 스위칭 트랜지스터이고,

상기 제2박막트랜지스터는 구동 트랜지스터인 패널 구조체.

청구항 41

제 23 항에 있어서,

상기 제1연결배선과 상기 화소전극은 동일층 상에 구비된 패널 구조체.

청구항 42

청구항 23 내지 41 중 어느 하나에 기재된 패널 구조체를 포함하는 표시장치.

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

제1게이트, 상기 제1게이트에 대응하는 제1활성층, 상기 제1활성층의 양단에 접촉된 제1소오스 및 제1드레인을 구비하는 제1박막트랜지스터, 및 상기 제1드레인과 이격된 제1도전층을 포함하는 패널 구조체의 제조방법에 있어서,

화소전극을 형성하는 단계;

상기 화소전극을 형성하는 동안, 상기 제1드레인에 접촉된 제1도전플러그를 형성하는 단계;

상기 화소전극을 형성하는 동안, 상기 제1도전층에 접촉된 제2도전플러그를 형성하는 단계; 및

상기 제1 및 제2도전플러그를 연결하는 제1연결배선을 형성하는 단계;

상기 제1도전층과 이격된 제2도전층을 형성하는 단계;

상기 제2도전층과 이격된 제3도전층을 형성하는 단계;

상기 화소전극을 형성하는 동안, 상기 제2도전층에 접촉된 제3도전플러그를 형성하는 단계; 상기 화소전극을 형성하는 동안, 상기 제3도전층에 접촉된 제4도전플러그를 형성하는 단계; 및 상기 제3 및 제4도전플러그를 연결하는 제2연결배선을 형성하는 단계;를 포함하고, 상기 제1도전층은 제2케이트이고, 상기 제3도전층은 제2소오스이며, 상기 제1 및 제2케이트를 덮는 케이트절연층을 형성하는 단계; 상기 케이트절연층 상에 제2활성층을 형성하는 단계; 상기 제2활성층에 접촉된 제2드레인을 형성하는 단계; 및 상기 케이트절연층 상에 상기 제1활성층, 상기 제1소오스, 상기 제1드레인, 상기 제2활성층, 상기 제2소오스 및 상기 제2드레인을 덮는 절연층을 형성하는 단계;를 더 포함하고, 상기 제2소오스의 일부는 상기 제2도전층 상부에 위치하고, 제3도전플러그는 상기 제2연결배선의 일단과 상기 제2도전층을 연결하고, 상기 케이트절연층과 상기 절연층을 관통하며, 상기 제4도전플러그는 상기 제2연결배선의 타단과 상기 제2소오스를 연결하고, 상기 절연층을 관통하며, 상기 제1 및 제4도전플러그는 상기 절연층을 관통하도록 형성되고, 상기 제2 및 제3도전플러그는 상기 절연층 및 상기 케이트절연층을 관통하도록 형성되는 것을 특징으로 하는 패널 구조체의 제조방법.

청구항 56

제 55 항에 있어서,
상기 제1연결배선을 형성하는 단계는 상기 화소전극을 형성하는 동안에 수행하는 패널 구조체의 제조방법.

청구항 57

제 55 항에 있어서,
상기 화소전극, 상기 제1도전플러그 및 상기 제2도전플러그는 모두 동일한 물질로 형성하는 패널 구조체의 제조방법.

청구항 58

제 55 항에 있어서,
상기 제1연결배선은 상기 화소전극과 동일한 물질로 형성하는 패널 구조체의 제조방법.

청구항 59

삭제

청구항 60

제 55 항에 있어서,
상기 제2연결배선을 형성하는 단계는 상기 화소전극을 형성하는 동안에 수행하는 패널 구조체의 제조방법.

청구항 61

제 55 항에 있어서,
상기 제2연결배선은 상기 화소전극과 동일한 물질로 형성하는 패널 구조체의 제조방법.

청구항 62

제 55 항에 있어서,

상기 제2도전층은 전원라인인 패널 구조체의 제조방법.

청구항 63

삭제

청구항 64

제 55 항에 있어서,

상기 화소전극은 상기 절연층 상에 형성하되, 제5도전플러그에 의해 상기 제2드레인에 연결되도록 형성하는 패널 구조체의 제조방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 개시는 패널 구조체, 패널 구조체를 포함하는 표시장치 및 이들의 제조방법에 관한 것이다.

배경 기술

[0002] 박막트랜지스터는 광범위한 전자 소자 분야에 다양한 목적으로 사용된다. 특히, 박막트랜지스터는 실리콘 기판 뿐 아니라 유리 기판이나 플라스틱 기판 상에도 용이하게 제조될 수 있기 때문에, 다양한 평판표시장치에 적용되고 있다.

[0003] 이러한 박막트랜지스터의 구조는 게이트가 채널층 위에 구비되는 탑-게이트(top-gate) 구조와 게이트가 채널층 아래에 구비되는 바텀-게이트(bottom-gate) 구조로 구분될 수 있다.

[0004] 바텀-게이트 박막트랜지스터는 제조공정의 용이성 측면에서 탑-게이트 박막트랜지스터보다 우위에 있다. 이는 바텀-게이트 박막트랜지스터를 제조할 때 사용하는 마스크의 수가 탑-게이트 구조의 박막트랜지스터를 제조할 때 사용하는 마스크의 수보다 적기 때문이다. 적은 수의 마스크를 사용한다는 것은 공정이 단순하고, 제조 비용이 상대적으로 저렴하다는 것을 의미한다.

[0005] 그러나 기존의 바텀-게이트 박막트랜지스터를 제조하는데도 6개 이상의 많은 마스크가 사용되고 있다. 특히, 수직연결(vertical interconnection)을 위한 비아홀(via hole)들은 적어도 두 번의 마스크 공정을 통해 형성된다.

발명의 내용

해결 하고자하는 과제

[0006] 본 발명의 일 측면(aspect)은 바텀-게이트 구조의 박막트랜지스터를 포함하는 패널 구조체를 제공한다.

[0007] 본 발명의 다른 측면은 상기 패널 구조체를 포함하는 표시장치를 제공한다.

[0008] 본 발명의 또 다른 측면은 상기 패널 구조체 및 상기 표시장치의 제조방법을 제공한다.

과제 해결수단

[0009] 본 발명의 일 측면에 따르면, 제1게이트, 상기 제1게이트에 대응하는 제1활성층, 상기 제1활성층의 양단에 접촉된 제1소오스 및 제1드레인을 구비하는 제1박막트랜지스터; 상기 제1드레인과 이격된 제1도전층; 화소전극; 상기 화소전극과 이격하되, 그와 동일한 물질로 형성된 제1연결배선; 상기 제1연결배선의 일단과 상기 제1드레인을 연결하는 제1도전플러그; 및 상기 제1연결배선의 타단과 상기 제1도전층을 연결하는 제2도전플러그;를 포함하는 패널 구조체가 제공된다.

상기 제1연결배선과 상기 화소전극은 금속 산화물 및 금속 중 적어도 하나로 형성될 수 있다. 상기 금속 산화물은 ITO(indium tin oxide), IZO(indium zinc oxide), Sn 산화물, In 산화물, Zn 산화물 및 이들의 혼합물 중

하나일 수 있다.

상기 제1도전층을 덮는 게이트절연층; 및 상기 게이트절연층 상에 상기 제1드레인을 덮는 절연층;이 더 구비될 수 있다. 상기 제1연결배선은 상기 절연층 상에 형성될 수 있다. 상기 제1도전플러그는 상기 절연층을 관통할 수 있고, 상기 제2도전플러그는 상기 게이트절연층과 상기 절연층을 관통할 수 있다.

상기 제1도전층과 이격된 제2도전층; 상기 제2도전층과 이격된 제3도전층; 및 상기 화소전극과 동일한 물질로 형성되고, 상기 제2도전층과 연결된 일단 및 상기 제3도전층과 연결된 타단을 갖는 제2연결배선;이 더 구비될 수 있다.

상기 제2도전층은 전원라인일 수 있다.

상기 제1도전층은 제2게이트일 수 있고, 상기 제3도전층은 제2소오스일 수 있다. 이때, 상기 패널 구조체는 상기 제1 및 제2게이트를 덮는 게이트절연층; 상기 게이트절연층 상에 구비된 제2활성층; 상기 제2활성층에 접촉된 제2드레인; 및 상기 게이트절연층 상에 상기 제1활성층, 상기 제1소오스, 상기 제1드레인, 상기 제2활성층, 상기 제2소오스 및 상기 제2드레인을 덮는 절연층;을 더 포함할 수 있다.

상기 제2게이트의 적어도 일부는 상기 제1게이트와 상기 제2도전층 사이에 구비될 수 있다.

상기 제2도전층은 상기 게이트절연층에 의해 덮여있을 수 있고, 상기 제2연결배선은 제2도전층 위쪽의 상기 절연층 상에 구비될 수 있다.

상기 제2소오스는 상기 제2도전층 위쪽으로 연장될 수 있다. 상기 패널 구조체는 상기 제2연결배선의 일단을 상기 제2도전층을 연결하는 것으로, 상기 게이트절연층과 상기 절연층을 관통하는 제3도전플러그; 및 상기 제2연결배선의 타단을 상기 제2소오스에 연결하는 것으로, 상기 절연층을 관통하는 제4도전플러그;를 더 포함할 수 있다.

상기 화소전극은 상기 절연층 상에 상기 제2드레인과 연결되도록 구비될 수 있다.

상기 화소전극은 상기 제2게이트와 상기 제2도전층 사이의 상기 절연층 상에 구비될 수 있다.

상기 제2게이트, 상기 제2활성층, 상기 제2소오스 및 상기 제2드레인은 제2박막트랜지스터를 구성할 수 있다.

상기 제1박막트랜지스터는 스위칭 트랜지스터일 수 있고, 상기 제2박막트랜지스터는 구동 트랜지스터일 수 있다.

상기 제2게이트의 일부와 그에 대응하는 상기 제2소오스의 일부 및 그들 사이의 상기 게이트절연층은 커판시터로 작용할 수 있다.

상기 제1활성층은 비정질실리콘(a-Si), 다결정실리콘(poly-Si), GeSi, GaAs 및 금속 산화물 반도체 중 적어도 하나로 형성될 수 있다.

상기 제2활성층은 상기 제1활성층과 동일한 물질로 형성될 수 있다.

상기 화소전극에 연결된 드레인을 포함하는 제2박막트랜지스터가 더 구비될 수 있다. 이때, 상기 제2박막트랜지스터의 드레인은 상기 화소전극과 별도의 도전플러그에 의해 연결될 수 있다. 상기 별도의 도전플러그는 상기 화소전극과 일체를 이루도록 형성될 수 있다. 상기 제1도전층은 상기 제2박막트랜지스터의 게이트일 수 있다. 상기 제1박막트랜지스터는 스위칭 트랜지스터일 수 있고, 상기 제2박막트랜지스터는 구동 트랜지스터일 수 있다.

상기 제1연결배선과 상기 화소전극은 동일층 상에 구비될 수 있다.

본 발명의 다른 측면에 따르면, 게이트, 소오스 및 드레인을 구비하는 트랜지스터; 전원라인; 전원라인과 이격된 화소전극; 및 상기 화소전극과 동일한 물질로 형성된 것으로, 상기 전원라인과 상기 소오스를 연결하기 위한 적어도 하나의 콘택플러그;를 포함하는 패널 구조체가 제공된다.

상기 적어도 하나의 콘택플러그에 연결된 연결배선이 더 구비될 수 있다.

상기 적어도 하나의 콘택플러그는 적어도 하나의 제1콘택플러그일 수 있고, 상기 화소전극과 일체를 이루도록 형성되고, 상기 드레인과 접촉된 적어도 하나의 제2콘택플러그가 더 구비될 수 있다.

상기 트랜지스터에 전기적으로 연결된 다른 트랜지스터가 더 구비될 수 있다.

상기 트랜지스터의 게이트와 상기 다른 트랜지스터의 드레인을 연결하기 위한 적어도 하나의 다른 콘택플러그가 더 구비될 수 있다.

상기 트랜지스터는 구동 트랜지스터일 수 있고, 상기 다른 트랜지스터는 스위칭 트랜지스터일 수 있다.

본 발명의 다른 측면에 따르면, 게이트, 소오스 및 드레인을 구비하는 트랜지스터; 화소전극; 상기 트랜지스터를 덮는 절연층; 및 상기 화소전극과 일체를 이루도록 형성되고, 상기 절연층을 관통하여 상기 드레인에 접촉된 적어도 하나의 콘택플러그;를 포함하는 패널 구조체가 제공된다.

상기 적어도 하나의 콘택플러그는 적어도 하나의 제1콘택플러그일 수 있고, 상기 패널 구조체는 상기 게이트와 이격된 전원라인; 및 상기 전원라인과 상기 소오스를 전기적으로 연결하기 위한 것으로, 상기 절연층을 관통하는 적어도 하나의 제2콘택플러그;를 더 포함할 수 있다.

상기 적어도 하나의 제2콘택플러그는 상기 화소전극과 동일한 물질로 형성될 수 있다.

상기 적어도 하나의 제2콘택플러그에 연결된 연결배선이 더 구비될 수 있다.

상기 트랜지스터에 전기적으로 연결된 다른 트랜지스터가 더 구비될 수 있다.

상기 트랜지스터의 게이트와 상기 다른 트랜지스터의 드레인을 연결하기 위한 적어도 하나의 제3콘택플러그가 더 구비될 수 있다.

상기 트랜지스터는 구동 트랜지스터일 수 있고, 상기 다른 트랜지스터는 스위칭 트랜지스터일 수 있다.

본 발명의 다른 측면에 따르면, 제1게이트, 제1소오스 및 제1드레인을 구비하는 제1트랜지스터; 제2게이트, 제2소오스 및 제2드레인을 구비하는 제2트랜지스터; 화소전극; 및 상기 화소전극과 동일한 물질로 형성되고, 상기 제1드레인과 상기 제2게이트를 전기적으로 연결하기 위한 적어도 하나의 콘택플러그;를 포함하는 패널 구조체가 제공된다.

상기 제1트랜지스터는 스위칭 트랜지스터일 수 있고, 상기 제2트랜지스터는 구동 트랜지스터일 수 있다.

상기 적어도 하나의 콘택플러그에 연결된 연결배선이 더 구비될 수 있다.

상기 적어도 하나의 콘택플러그는 적어도 하나의 제1콘택플러그일 수 있고, 상기 패널 구조체는 상기 화소전극과 일체를 이루도록 형성되고, 상기 제2드레인과 접촉된 적어도 하나의 제2콘택플러그를 더 포함할 수 있다.

상기 패널 구조체는 상기 제1 및 제2게이트와 이격된 전원라인; 및 상기 전원라인과 상기 제2소오스를 전기적으로 연결하기 위한 것으로, 상기 화소전극과 동일한 물질로 형성된 적어도 하나의 다른 콘택플러그;를 더 포함할 수 있다.

상기 적어도 하나의 다른 콘택플러그에 연결된 연결배선이 더 구비될 수 있다.

전술한 콘택플러그들은 도전플러그일 수 있다.

본 발명의 다른 측면에 따르면, 전술한 패널 구조체를 포함하는 표시장치가 제공된다.

본 발명의 다른 측면에 따르면, 제1게이트, 상기 제1게이트에 대응하는 제1활성층, 상기 제1활성층의 양단에 접촉된 제1소오스 및 제1드레인을 구비하는 제1박막트랜지스터, 및 상기 제1드레인과 이격된 제1도전층을 포함하는 패널 구조체의 제조방법에 있어서, 화소전극을 형성하는 단계; 상기 화소전극을 형성하는 동안, 상기 제1드레인에 접촉된 제1도전플러그를 형성하는 단계; 상기 화소전극을 형성하는 동안, 상기 제1도전층에 접촉된 제2도전플러그를 형성하는 단계; 및 상기 제1 및 제2도전플러그를 연결하는 제1연결배선을 형성하는 단계;를 포함하는 패널 구조체의 제조방법이 제공된다.

상기 제1연결배선을 형성하는 단계는 상기 화소전극을 형성하는 동안에 수행할 수 있다.

상기 화소전극, 상기 제1도전플러그 및 상기 제2도전플러그는 모두 동일한 물질로 형성할 수 있다.

상기 제1연결배선은 상기 화소전극과 동일한 물질로 형성할 수 있다.

상기 제조방법은 상기 제1도전층과 이격된 제2도전층을 형성하는 단계; 상기 제2도전층과 이격된 제3도전층을 형성하는 단계; 상기 화소전극을 형성하는 동안, 상기 제2도전층에 접촉된 제3도전플러그를 형성하는 단계; 상기 화소전극을 형성하는 동안, 상기 제3도전층에 접촉된 제4도전플러그를 형성하는 단계; 및 상기 제3 및 제4도전플러그를 연결하는 제2연결배선을 형성하는 단계;를 더 포함할 수 있다.

상기 제2연결배선을 형성하는 단계는 상기 화소전극을 형성하는 동안에 수행할 수 있다.

상기 제2연결배선은 상기 화소전극과 동일한 물질로 형성할 수 있다.

상기 제2도전층은 전원라인일 수 있다.

상기 제1도전층은 제2게이트일 수 있고, 상기 제3도전층은 제2소오스일 수 있다. 이 경우, 상기 제조방법은 상기 제1 및 제2게이트를 덮는 게이트절연층을 형성하는 단계; 상기 게이트절연층 상에 제2활성층을 형성하는 단계; 상기 제2활성층에 접촉된 제2드레인을 형성하는 단계; 및 상기 게이트절연층 상에 상기 제1활성층, 상기 제1소오스, 상기 제1드레인, 상기 제2활성층, 상기 제2소오스 및 상기 제2드레인을 덮는 절연층을 형성하는 단계;를 더 포함할 수 있다. 상기 제1 및 제4도전플러그는 상기 절연층을 관통하도록 형성할 수 있고, 상기 제2 및 제3도전플러그는 상기 절연층 및 상기 게이트절연층을 관통하도록 형성할 수 있다.

상기 화소전극은 상기 절연층 상에 형성하되, 제5도전플러그에 의해 상기 제2드레인에 연결되도록 형성할 수 있다.

[0010] 삭제

[0011] 삭제

[0012] 삭제

[0013] 삭제

[0014] 삭제

[0015] 삭제

[0016] 삭제

[0017] 삭제

[0018] 삭제

[0019] 삭제

[0020] 삭제

[0021] 삭제

[0022] 삭제

[0023] 삭제

[0024] 삭제

[0025] 삭제

[0026] 삭제

[0027] 삭제

[0028] 삭제

[0029] 삭제

[0030] 삭제

[0031] 삭제

[0032] 삭제

[0033] 삭제

[0034] 본 발명의 다른 실시예는 전술한 방법으로 패널 구조체를 제조하는 방법을 포함하는 표시장치의 제조방법을 제공한다.

효과

[0035] 본 발명의 실시예에 따르면, 바텀-케이트 구조의 박막트랜지스터를 포함하는 패널 구조체를 적은 수의 마스크를 사용해서 제조할 수 있다.

발명의 실시를 위한 구체적인 내용

[0036] 이하, 본 발명의 실시예에 따른 패널 구조체, 패널 구조체를 포함하는 표시장치 및 이들의 제조방법을 첨부된 도면들을 참조하여 상세하게 설명한다. 이 과정에서 도면에 도시된 충이나 영역들의 두께는 명세서의 명확성을 위해 다소 과장되게 도시된 것이다. 상세한 설명 전체에 걸쳐 동일한 참조번호는 동일한 구성요소들을 나타낸다.

[0037] 도 1은 본 발명의 일 실시예에 따른 패널 구조체를 보여주는 평면도이다.

[0038] 도 1을 참조하면, 기판(미도시) 상에 제1케이트전극(BG1)을 포함하는 제1케이트라인(GL1) 및 제1케이트라인(GL1)과 이격된 제2케이트전극(BG2)이 구비될 수 있다. 제1케이트라인(GL1)은 소정 방향, 예컨대, X축 방향으로 연장될 수 있고, 제1케이트전극(BG1)은 Y축 방향으로 돌출된 부분일 수 있다. 제2케이트전극(BG2)은 제1케이트라인(GL1)과 Y축 방향으로 소정 간격 이격될 수 있고, 제1 및 제2부분(p1, p2)을 포함할 수 있다. 제1부분(p1)은 제1케이트전극(BG1)과 X축 방향으로 소정 간격 이격 배치될 수 있고, 작은 사각형 모양을 가질 수 있다. 제2

부분(p2)은 제1부분(p1)에서 X축의 역방향으로 제1게이트전극(BG1) 위쪽까지, 그리고, Y축 방향으로 소정 길이 만큼 연장된 큰 사각형 모양을 가질 수 있다. 제1게이트라인(GL1)과 제2게이트전극(BG2)의 형태는 다양하게 변화될 수 있다. 상기 기판 상에 제2게이트전극(BG2)과 소정 간격 이격된 전원라인(V1)이 더 구비될 수 있다. 전원라인(V1)은 X축 방향으로 연장될 수 있다. 전원라인(V1)은 제2게이트전극(BG2)과 Y축 방향으로 이격되어 있을 수 있다. 따라서, 전원라인(V1)과 제1게이트라인(GL1) 사이에 제2게이트전극(BG2)이 구비될 수 있다.

[0039] 평면도인 도 1에 나타나진 않았지만, 상기 기판 상에 제1게이트라인(GL1), 제2게이트전극(BG2) 및 전원라인(V1)을 덮는 게이트절연층이 구비될 수 있다. 상기 게이트절연층의 형성 물질은 제한이 없으나, 예컨대, 실리콘산화물, 실리콘질화물, 고유전물질(티타늄산화물, 하프늄산화물 등) 등으로 형성된 층일 수 있다. 제1게이트전극(BG1) 위쪽의 상기 게이트절연층 상에 제1활성층(A1)이 구비될 수 있고, 제2게이트전극(BG2) 위쪽의 상기 게이트절연층 상에 제2활성층(A2)이 구비될 수 있다. 제1 및 제2활성층(A1, A2)의 형성 물질은 제한이 없으나, 예컨대, 비정질실리콘(a-Si), 다결정실리콘(poly-Si), GeSi, GaAs, 금속 산화물 반도체(ZnO, InZnO, GaInZnO 등) 등으로 형성된 층일 수 있다. 제2활성층(A2)은 제2부분(p2)의 좌상부 위에 구비될 수 있다. 제2활성층(A2)은 Y축 방향으로 연장된 바(bar) 모양을 가질 수 있다. 제2활성층(A2)의 크기, 형성 위치 및 모양은 다양하게 변화될 수 있다.

[0040] 상기 게이트절연층 상에 제1활성층(A1)의 양단에 각각 접촉하는 제1소오스전극(S1) 및 제1드레인전극(D1)이 구비될 수 있다. 제1소오스전극(S1)의 단부에서 Y축 및 그 역방향으로 연장된 제1데이터라인(DL1)이 더 구비될 수 있다. 즉, 제1소오스전극(S1)은 Y축 방향으로 뻗어 있는 제1데이터라인(DL1)에서 X축 방향으로 돌출된 부분일 수 있다. 이하에서는, 제1소오스전극(S1)을 제1데이터라인(DL1)의 일부로 본다. 제1드레인전극(D1)은 제1활성층(A1)에서 X축 방향으로 소정 길이 만큼 연장된 형태를 가질 수 있다. 제1드레인전극(D1)은 제1게이트전극(BG1)과 제1부분(p1) 사이의 상기 게이트절연층 상에 일단이 제1활성층(A1)과 접촉되도록 구비될 수 있다. 제1드레인전극(D1)은 다소 굴곡진 모양을 가질 수 있으나, 그 형태는 다양하게 변화될 수 있다. 제1게이트전극(BG1)을 포함하는 제1게이트라인(GL1), 상기 게이트절연층, 제1활성층(A1), 제1소오스전극(S1)을 포함하는 제1데이터라인(DL1) 및 제1드레인전극(D1)은 제1박막트랜지스터를 구성할 수 있다. 상기 제1박막트랜지스터는 스위칭 트랜지스터일 수 있다.

[0041] 또한, 상기 게이트절연층 상에 제2활성층(A2)의 양단에 각각 접촉하는 제2소오스전극(S2) 및 제2드레인전극(D2)이 구비될 수 있다. 제2소오스전극(S2)은 제1 및 제2부분(p1', p2')으로 구분될 수 있다. 제1부분(p1')은 제2게이트전극(BG2)의 제2부분(p2) 위쪽에 배치된 것으로서, 제2활성층(A2)의 오른쪽 및 아래쪽으로 확장된 구조를 가질 수 있다. 제2부분(p2')은 위에서 보았을 때 제2게이트전극(BG2)에서 벗어난 것으로, 그 일단은 전원라인(V1) 위쪽에 배치될 수 있다. 예컨대, 제2부분(p2')은 제1부분(p1')의 우상부 끝에서 Y축 방향으로 연장되다가, 전원라인(V1) 위쪽에서 X축의 역방향으로 연장된 구조를 가질 수 있다. 제2드레인전극(D2)은 제2활성층(A2)의 일단에 접촉하면서 제2활성층(A2)의 위쪽, 즉, Y축 방향으로 소정 길이 만큼 연장된 구조를 가질 수 있다. 제2드레인전극(D2)의 상기 연장부는 나머지 부분보다 다소 큰 폭을 가질 수 있다. 제2게이트전극(BG2), 상기 게이트절연층, 제2활성층(A2), 제2소오스전극(S2) 및 제2드레인전극(D2)은 제2박막트랜지스터를 구성할 수 있다. 상기 제2박막트랜지스터는 구동(driving) 트랜지스터일 수 있다.

[0042] 도 1에 나타나진 않았지만, 상기 게이트절연층 상에 제1활성층(A1), 상기 제1소오스전극(S1)을 포함하는 제1데이터라인(DL1), 제1드레인전극(D1), 제2활성층(A2), 제2소오스전극(S2) 및 제2드레인전극(D2)을 덮는 절연층이 구비될 수 있다. 상기 절연층은 일종의 보호층(passivation layer)일 수 있고, 실리콘산화물, 실리콘질화물 및 그 밖의 다른 절연물질 중 적어도 하나를 포함할 수 있다.

[0043] 상기 절연층 상에 제1 및 제2연결배선(C1, C2)이 구비될 수 있다. 제1연결배선(C1)은 제1드레인전극(D1)과 제2게이트전극(BG2)을 전기적으로 연결하기 위한 수단일 수 있다. 제1연결배선(C1)의 일단은 제1드레인전극(D1)에 연결될 수 있고, 타단은 제2게이트전극(BG2)의 제1부분(p1)에 연결될 수 있다. 제1연결배선(C1)의 상기 일단과 제1드레인전극(D1)은 상기 절연층을 관통하는 적어도 하나의 제1도전플러그(CP1)에 의해 전기적으로 연결될 수 있다. 제1연결배선(C1)의 상기 타단과 제2게이트전극(BG2)의 제1부분(p1)은 상기 게이트절연층과 상기 절연층을 관통하는 적어도 하나의 제2도전플러그(CP2)에 의해 전기적으로 연결될 수 있다. 제2연결배선(C2)은 전원라인(V1)과 제2소오스전극(S2)의 일단을 전기적으로 연결하기 위한 수단으로, 전원라인(V1) 위쪽에 구비될 수 있다. 제2연결배선(C2)의 일단은 전원라인(V1)에 연결될 수 있고, 타단은 제2소오스전극(S2)의 상기 일단에 연결될 수 있다. 제2연결배선(C2)의 상기 일단과 전원라인(V1)은 상기 게이트절연층과 상기 절연층을 관통하는 적어도 하나의 제3도전플러그(CP3)에 의해 전기적으로 연결될 수 있다. 제2연결배선(C2)의 상기 타단과 제2소오스전극(S2)의 상기 일단은 상기 절연층을 관통하는 적어도 하나의 제4도전플러그(CP4)에 의해 전기적으로 연결될 수

있다.

[0044] 또한 상기 절연층 상에 제2드레인전극(D2)과 전기적으로 연결된 도전요소, 예컨대, 화소전극(PE1)이 더 구비될 수 있다. 화소전극(PE1)은 금속 산화물 및 금속 중 적어도 하나로 형성될 수 있고, 투명 또는 불투명할 수 있다. 예컨대, 화소전극(PE1)을 형성하기 위한 상기 금속 산화물은 ITO(indium tin oxide), IZO(indium zinc oxide), Sn 산화물, In 산화물, Zn 산화물 및 이들의 혼합물 중 하나일 수 있다. 상기 Zn 산화물과 같은 금속 산화물은 조성에 따라 도체 또는 반도체 특징을 가질 수 있는데, 여기서 화소전극(PE1) 용으로 사용하는 Zn 산화물 등은 도체 특성을 갖는다. 앞서 설명한 제1 및 제2연결배선(C1, C2)도 화소전극(PE1)과 동일 물질로 함께 형성될 수 있다. 또한, 제1 내지 제4도전플러그(CP1~CP4) 및 이하에서 설명할 제5도전플러그(CP5)도 화소전극(PE1)과 동일 물질로 함께 형성될 수 있다. 화소전극(PE1)은 제2드레인전극(D2)의 상기 연장부와 연결될 수 있고, 상기 절연층을 관통하는 적어도 하나의 제5도전플러그(CP5)에 의해 연결될 수 있다. 화소전극(PE1)은 제2게이트전극(BG2)과 전원라인(V1) 사이 및 제1데이터라인(DL1)과 제2소오스전극(S2) 사이의 상기 절연층 상에 구비될 수 있다. 여기서 도시하지는 않았지만, 화소전극(PE1) 상에 소정의 발광소자, 예컨대, 유기발광소자가 구비될 수 있다.

[0045] 상기 제2게이트전극(BG2)의 일부와 그에 대응하는 제2소오스전극(S2)의 일부 및 그들 사이의 상기 게이트절연층은 커패시터로 작용할 수 있다. 즉, 상기 구동 트랜지스터의 일부가 커패시터로 기능할 수 있다. 따라서 본 실시예의 패널 구조체는 2T(transistor)-1C(capacitor) 구성을 가질 수 있다. 상기 스위칭 트랜지스터, 즉, 제1게이트전극(BG1)을 포함하는 제1게이트라인(GL1), 상기 게이트절연층, 제1활성층(A1), 제1소오스전극(S1)을 포함하는 제1데이터라인(DL1) 및 제1드레인전극(D1)로 구성된 상기 제1박막트랜지스터가 턴-온(turn-on)되면, 제1드레인전극(D1)을 통해 제2게이트전극(BG2)으로 전류가 인가될 수 있다. 제2게이트전극(BG2)에 상기 전류가 인가되고, 아울러, 전원라인(V1)에 소정의 전압을 인가하면, 상기 구동 트랜지스터가 턴-온되어 제2드레인전극(D2)을 통해 화소전극(PE1)으로 전류가 인가될 수 있다. 이때, 상기 커패시터는 상기 화소전극(PE1)에 인가되는 전류를 소정 시간동안 유지시켜 주는 역할을 할 수 있다. 화소전극(PE1)에 인가된 전류에 의해 화소전극(PE1) 상에 구비되는 발광소자(미도시)가 동작될 수 있다.

[0046] 도 2는 도 1의 I-I'선에 따른 단면도이다.

[0047] 도 2를 참조하면, 기판(SUB1) 상에 서로 이격된 제1 및 제2게이트전극(BG1, BG2)이 구비될 수 있다. 기판(SUB1) 상에 제1 및 제2게이트전극(BG1, BG2)을 덮는 게이트절연층(GI1)이 구비될 수 있다. 제1게이트전극(BG1) 위쪽의 게이트절연층(GI1) 상에 제1활성층(A1)이 구비될 수 있다. 게이트절연층(GI1) 상에 제1활성층(A1)의 양단에 각각 접촉된 제1소오스전극(S1) 및 제1드레인전극(D1)의 구비될 수 있다. 게이트절연층(GI1) 상에 제1활성층(A1), 제1소오스전극(S1) 및 제1드레인전극(D1)을 덮는 절연층(IL1)이 구비될 수 있다. 절연층(IL1)에 제1드레인전극(D1)을 노출시키는 적어도 하나의 제1홀(H1)이 구비될 수 있다. 또한 절연층(IL1)과 게이트절연층(GI1)에 제2게이트전극(BG2)을 노출시키는 적어도 하나의 제2홀(H2)이 구비될 수 있다. 제1홀(H1) 내에 제1도전플러그(CP1)가 구비될 수 있고, 제2홀(H2) 내에 제2도전플러그(CP2)가 구비될 수 있다. 절연층(IL1) 상에 제1도전플러그(CP1)와 제2도전플러그(CP2)를 연결하는 제1연결배선(C1)이 구비될 수 있다. 따라서 제1연결배선(C1), 제1도전플러그(CP1) 및 제2도전플러그(CP2)에 의해 제1드레인전극(D1)과 제2게이트전극(BG2)은 전기적으로 서로 연결될 수 있다.

[0048] 도 3a는 도 1의 II-II'선에 따른 단면도이다.

[0049] 도 3a를 참조하면, 기판(SUB1) 상에 전원라인(V1)이 구비될 수 있고, 전원라인(V1)을 덮는 게이트절연층(GI1)이 구비될 수 있다. 게이트절연층(GI1) 상에 서로 이격된 제1데이터라인(BL1)과 제2소오스전극(S2)이 구비될 수 있다. 제1데이터라인(BL1)과 제2소오스전극(S2)을 덮는 절연층(IL1)이 구비될 수 있다. 절연층(IL1) 및 게이트절연층(GI1)에 전원라인(V1)을 노출시키는 적어도 하나의 제3홀(H3)이 구비될 수 있다. 절연층(IL1)에 제2소오스전극(S2)을 노출시키는 적어도 하나의 제4홀(H4)이 구비될 수 있다. 제3홀(H3) 내에 제3도전플러그(CP3)가 구비될 수 있고, 제4홀(H4) 내에 제4도전플러그(CP4)가 구비될 수 있다. 절연층(IL1) 상에 제3도전플러그(CP3)와 제4도전플러그(CP4)를 연결하는 제2연결배선(C2)이 구비될 수 있다. 따라서 제2연결배선(C2), 제3도전플러그(CP3) 및 제4도전플러그(CP4)에 의해 전원라인(V1)과 제2소오스전극(S2)이 전기적으로 연결될 수 있다.

[0050] 본 실시예에서 제1 내지 제4홀(H1~H4)은 한 번의 식각공정으로 동시에 형성할 수 있다. 즉, 수직연결을 위한 비아홀들(H1~H4)은 하나의 마스크(mask)를 사용해서 한 번의 리소그라피(lithography) 공정으로 동시에 형성할 수 있다. 제1 및 제4홀(H1, H4)을 형성하기 위해 절연층(IL1)을 식각할 때, 각각 제1드레인전극(D1)과 제2소오스전극(S2)이 식각 정지층으로 작용할 수 있고, 제2 및 제3홀(H2, H3)을 형성하기 위해 절연층(IL1) 및 게이트

절연층(GI1)을 식각할 때, 각각 제2케이트전극(BG2)과 전원라인(V1)이 식각 정지층으로 작용할 수 있다. 이와 같이, 제1 내지 제4홀(H1~H4)은 한 번의 식각공정으로 동시에 형성할 수 있기 때문에, 공정을 단순화할 수 있고, 제조 단가를 절감할 수 있다.

도 3b 및 도 3c는 각각 도 1의 III-III'선 및 IV-IV'선에 따른 단면도이다.

도 3b를 참조하면, 기판(SUB1) 상에 케이트절연층(GI1)이 구비될 수 있다. 케이트절연층(GI1) 상에 서로 이격된 제1데이터라인(DL1), 제2드레인전극(D2) 및 제2소오스전극(S2)이 구비될 수 있다. 절연층(IL1)이 제1데이터라인(DL1), 제2드레인전극(D2) 및 제2소오스전극(S2)을 덮도록 구비될 수 있다. 절연층(IL1) 내에 제2드레인전극(D2)을 노출시키는 적어도 하나의 제5홀(H5)이 구비될 수 있다. 제5홀(H5) 내에 제5도전플러그(CP5)가 구비될 수 있다. 절연층(IL1) 상에 제5도전플러그(CP5)에 연결된 화소전극(PE1)이 구비될 수 있다.

도 3c를 참조하면, 기판(SUB1) 상에 제2케이트전극(BG2)을 덮는 케이트절연층(GI1)이 구비될 수 있다. 케이트절연층(GI1) 상에 제2활성층(A2)이 구비될 수 있다. 제2활성층(A2)은 제2케이트전극(BG2) 위쪽에 형성될 수 있다. 케이트절연층(GI1) 상에 제2활성층(A2)의 양단에 접촉된 제2소오스전극(S2)과 제2드레인전극(D2)이 구비될 수 있다. 제2소오스전극(S2) 및 제2드레인전극(D2)과 이격된 제1데이터라인(DL1)이 케이트절연층(GI1) 상에 구비될 수 있다. 케이트절연층(GI1) 상에 제2활성층(A2), 제2소오스전극(S2), 제2드레인전극(D2) 및 제1데이터라인(DL1)을 덮는 절연층(IL1)이 구비될 수 있다.

본 실시예에 따르면, 제1 내지 제5홀(H1~H5)은 한 번의 식각 공정으로 형성될 수 있다. 예컨대, 제1 내지 제5홀(H1~H5)은 하나의 마스크를 사용하는 한 번의 식각 공정(리소그라피 공정)에 의해 동시에 형성될 수 있다. 제1, 제4 및 제5홀(H1, H4, H5)를 형성하기 위해 절연층(IL1)을 식각할 때, 제1드레인전극(D1), 제소오스전극(S2) 및 제2드레인전극(D2)이 식각 정지층으로 작용할 수 있다. 제2 및 제3홀(H2, H3)을 형성하기 위해 절연층(IL1) 및 케이트절연층(GI1)을 식각할 때, 제2케이트전극(BG2)과 전원라인(V1)이 식각 정지층으로 작용할 수 있다. 이와 같이, 제1 내지 제5홀(H1~H5)을 한 번의 식각 공정으로 동시에 형성할 수 있기 때문에, 제조 공정이 단순화되고, 제조 비용이 절감될 수 있다.

[0051] 본 실시예는 다양하게 변화될 수 있다. 예컨대, 도 2에서 제1케이트전극(BG1)과 제2케이트전극(BG2)은 동일층 상에 형성되어 있지만, 다른 실시예에 따르면, 이들(BG1, BG2)은 서로 다른 층 상에 구비될 수도 있다. 또한, 제2케이트전극(BG2)은 트랜지스터의 케이트가 아닌 다른 기능을 갖는 도전층으로 대체될 수 있고, 이와 유사하게, 도 3a의 제2소오스전극(S2) 및 전원라인(V1)도 다른 기능을 갖는 도전층으로 대체될 수 있다.

[0052] 도 1의 구조는 하나의 부화소(sub-pixel) 영역에 대응될 수 있다. 즉, 도 1의 화소전극(PE1) 상에는 적색(Red), 녹색(Green), 청색(Blue) 중 어느 하나의 색을 나타내는 발광유닛(예컨대, 유기발광유닛)이 구비될 수 있다. 따라서, 본 발명의 실시예에 따른 패널 구조체는 도 1의 구조를 복수 개 포함할 수 있다. 그 예가 도 4에 도시되어 있다.

[0053] 도 4를 참조하면, 도 1의 구조와 유사한 세 개의 단위소자(이하, 제1 내지 제3단위소자)(SP1~SP3)가 X축 방향으로 차례로 배열되어 있다. 제1 내지 제3단위소자(SP1~SP3)는 각각 적색 부화소 영역, 녹색 부화소 영역 및 청색 부화소 영역에 대응될 수 있다. 제1 내지 제3 단위소자(SP1~SP3)는 기본적으로 매우 유사한 구조를 가질 수 있고, 제1케이트라인(GL1)과 전원라인(V1)을 공유할 수 있다. 그러나 제1 내지 제3단위소자(SP1~SP3)에서 제2활성층(A2, A2', A2'')의 크기는 다소 다를 수 있다. 예를 들어, 제2단위소자(SP2)의 제2활성층(A2')은 제1단위소자(SP1)의 제2활성층(A2)보다 다소 길 수 있고, 제3단위소자(SP3)의 제2활성층(A2'')은 제2단위소자의 제2활성층(A2')보다 다소 길 수 있다. 이는 적색 유기발광유닛의 발광효율이 녹색 유기발광유닛의 그것보다 높을 수 있고, 녹색 유기발광유닛의 발광효율이 청색 유기발광유닛의 그것보다 높을 수 있기 때문이다. 즉, 발광효율이 높을수록, 제2활성층의 크기는 작을 수 있다. 제2활성층(A2, A2', A2'')의 크기의 따라, 그에 대응하는 제2소오스전극(S2, S2', S2'') 및 제2드레인전극(D2, D2', D2'')의 크기 및 모양도 다소 달라질 수 있다. 도 4의 구조는 X축 및 Y축 방향으로 반복될 수 있다.

[0054] 여기서 도시하지는 않았지만, 도 1 및 도 4의 패널 구조체를 적용한 표시장치를 구현할 수 있다. 표시장치에서 패널 구조체를 제외한 나머지 구성은 종래와 유사할 수 있으므로, 그에 대한 자세한 설명은 생략한다.

[0055] 도 5a 내지 도 5e는 본 발명의 실시예에 따른 패널 구조체의 제조방법을 보여준다.

[0056] 도 5a를 참조하면, 제1마스크(미도시)를 이용해서 기판(미도시) 상에 제1케이트전극(BG1)을 포함하는 제1케이트라인(GL1), 제2케이트전극(BG2) 및 전원라인(V1)을 형성할 수 있다. 제1케이트라인(GL1)은 소정 방향, X축 방향으로 연장될 수 있고, 제1케이트전극(BG1)은 Y축 방향으로 돌출된 부분일 수 있다. 제2케이트전극(BG

2)은 제1게이트라인(GL1)과 Y축 방향으로 소정 간격 이격되도록 형성할 수 있다. 제2게이트전극(BG2)은 제1 및 제2부분(p1, p2)을 포함할 수 있고, 이들(p1, p2)의 모양은 도 1에서 설명한 바와 동일할 수 있다. 전원라인(V1)은 제2게이트전극(BG2)과 Y축 방향으로 이격되어 있을 수 있고, X축 방향으로 연장될 수 있다. 따라서 전원라인(V1)과 제1게이트라인(GL1) 사이에 제2게이트전극(BG2)이 구비될 수 있다.

[0057] 도 5b를 참조하면, 상기 기판 상에 제1게이트라인(GL1), 제2게이트전극(BG2) 및 전원라인(V1)을 덮는 게이트절연층(미도시)을 형성한다. 상기 게이트절연층의 형성 물질은 제한이 없으나, 예컨대, 실리콘산화물, 실리콘질화물, 고유전물질(티타늄산화물, 하프늄산화물 등) 등으로 형성할 수 있다. 다음, 제2마스크(미도시)를 이용해서 상기 게이트절연층 상에 제1 및 제2활성층(A1, A2)을 형성할 수 있다. 제1 및 제2활성층(A1, A2)은 각각 제1 및 제2게이트전극(BG1, BG2) 위쪽의 상기 게이트절연층 상에 형성할 수 있다. 제2활성층(A2)은 제2부분(p2)의 좌상부 위에 구비시킬 수 있다. 제2활성층(A2)은 Y축 방향으로 연장된 바(bar) 모양을 가질 수 있고, 그 크기, 위치 및 모양은 다양하게 변화될 수 있다. 제1 및 제2활성층(A1, A2)의 형성 물질은 제한이 없으나, 예컨대, 비정질 실리콘(a-Si), 다결정실리콘(poly-Si), GeSi, GaAs, 금속 산화물 반도체(ZnO, InZnO, GaInZnO 등) 등으로 형성 할 수 있다.

[0058] 도 5c를 참조하면, 제3마스크(미도시)를 이용해서, 제1소오스전극(S1)을 포함하는 제1레이터라인(DL1), 제1드레인전극(D1), 제2소오스전극(S2) 및 제2드레인전극(D2)을 형성할 수 있다. 제1소오스전극(S1) 및 제1드레인전극(D1)은 각각 제1활성층(A1)의 양단에 접촉될 수 있고, 제2소오스전극(S2) 및 제2드레인전극(D2)은 각각 제2활성층(A2)의 양단에 접촉될 수 있다. 제1레이터라인(DL1), 제1드레인전극(D1), 제2소오스전극(S2) 및 제2드레인전극(D2)의 모양은 도 1에서 설명한 바와 동일할 수 있다. 참조번호 p1' 및 p2'는 도 1에서와 동일하게 제2소오스전극(S2)의 제1 및 제2부분(p1', p2')을 나타낸다.

[0059] 도 5d를 참조하면, 상기 게이트절연층 상에 제1활성층(A1), 제1소오스전극(S1)을 포함하는 제1레이터라인(DL1), 제1드레인전극(D1), 제2활성층(A2), 제2소오스전극(S2) 및 제2드레인전극(D2)을 덮는 절연층(미도시)을 형성할 수 있다. 상기 절연층은 일종의 보호층(passivation layer)일 수 있고, 실리콘산화물, 실리콘질화물 및 그 밖의 다른 절연물질 중 적어도 하나로 형성할 수 있다.

[0060] 다음, 제4마스크(미도시)를 이용해서, 제1 내지 제5홀(H1~H5)을 형성할 수 있다. 제1홀(H1), 제4홀(H4) 및 제5홀(H5)은 상기 절연층을 식각하여 형성할 수 있고, 제2홀(H2) 및 제3홀(H3)은 상기 절연층 및 상기 게이트절연층을 식각하여 형성할 수 있다. 제1홀(H1), 제4홀(H4) 및 제5홀(H5)을 형성하기 위해 상기 절연층을 식각할 때, 각각 제1드레인전극(D1), 제2소오스전극(S2) 및 제2드레인전극(D2)이 식각 정지층으로 작용할 수 있고, 제2홀(H2) 및 제3홀(H3)을 형성하기 위해 상기 절연층 및 상기 게이트절연층을 식각할 때, 각각 제2게이트전극(BG2)과 전원라인(V1)이 식각 정지층으로 작용할 수 있다.

[0061] 도 5e를 참조하면, 상기 절연층 상에 제1 내지 제5홀(H1~H5)을 매립하는 도전층을 형성한 후, 상기 도전층을 제5마스크(미도시)를 이용해서 패터닝하여 제1 내지 제5도전플러그(CP1~CP5), 제1연결배선(C1), 제2연결배선(C2) 및 화소전극(PE1)을 형성할 수 있다. 따라서, 제1 내지 제5도전플러그(CP1~CP5), 제1연결배선(C1), 제2연결배선(C2) 및 화소전극(PE1)은 동일한 물질로 함께 형성할 수 있다. 예컨대, 이들(CP1~CP5, C1, C2, PE1)은 금속 산화물 및 금속 중 적어도 하나로 형성할 수 있고, 투명 또는 불투명할 수 있다. 상기 금속 산화물은 ITO(indium tin oxide), IZO(indium zinc oxide), Sn 산화물, In 산화물, Zn 산화물 및 이들의 혼합물 중 하나일 수 있다. 제1연결배선(C1)의 일단 및 타단은 제1도전플러그(CP1) 및 제2도전플러그(CP2)에 의해 제1드레인전극(D1) 및 제2게이트전극(BG2)에 연결될수 있다. 제2연결배선(C2)의 일단 및 타단은 제3도전플러그(CP3) 및 제4도전플러그(CP4)에 의해 전원라인(V1) 및 제2소오스전극(S2)에 연결될 수 있다. 화소전극(PE1)은 제5도전플러그(CP5)에 의해 제2드레인전극(D2)에 연결될 수 있다. 도 5e에 도시된 단일 증착 공정을 사용하는 대신에, 소정의 제1증착공정으로 제1 내지 제5홀(H1~H5)을 매립하는 제1 내지 제5도전플러그(CP1~CP5)를 먼저 형성한 후, 소정의 제2증착공정으로 제1연결배선(C1), 제2연결배선(C2) 및 화소전극(PE1)을 형성할 수도 있다.

[0062] 이와 같이, 본 발명의 실시예에 따르면, 제1 내지 제5홀(H1~H5), 즉, 비아홀들을 한 번의 공정으로 형성할 수 있기 때문에, 5개의 마스크만 사용해서 패널 구조체를 제조할 수 있다. 따라서 종래에 비해 공정이 단순화되고, 제조 단가가 절감될 수 있다.

[0063] 도시하지는 않았지만, 도 5a 내지 도 5e의 방법으로 제조한 패널 구조체로부터 표시장치를 구현할 수 있다. 패널 구조체를 제외한 나머지 구성의 제조방법은 종래의 그것과 유사할 수 있으므로, 그에 대한 설명은 생략한다.

[0064] 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 실시

예의 예시로서 해석되어야 한다. 예를 들어, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 본 발명의 실시예에서 패널 구조체의 구성 요소를 보다 다양화할 수 있을 것이고, 구조를 다양하게 변형할 수 있을 것이다. 구체적인 예로, 전술한 실시예는 패널 구조체가 2T(transistor)-1C(capacitor) 구성을 갖는 경우에 대한 것이지만, 트랜지스터 및 커패시터의 개수는 달라질 수 있다. 예를 들면, 5T-2C 구조, 3T-1C 구조 등 다양한 변형예가 가능하다. 또한, 본 발명의 실시예에 따른 구조의 일부 또는 전부를 유기발광표시장치 이외의 다른 표시장치, 예컨대, 액정표시장치에 적용할 수 있고, 표시장치 이외의 다른 전자 소자에도 적용할 수 있음을 알 수 있을 것이다. 따라서, 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

도면의 간단한 설명

[0065] 도 1은 본 발명의 실시예에 따른 패널 구조체를 보여주는 평면도이다.

[0066] 도 2 및 도 3a 내지 도 3c는 각각 도 1의 I-I'선, II-II'선, III-III'선 및 IV-IV'선에 따른 단면도이다.

[0067] 도 4는 본 발명의 다른 실시예에 따른 패널 구조체를 보여주는 평면도이다.

[0068] 도 5a 내지 도 5e는 본 발명의 실시예에 따른 패널 구조체의 제조방법을 보여주는 평면도이다.

[0069] < 도면의 주요 부분에 대한 부호의 설명 >

[0070] A1, A2 : 활성층 BG1, BG2 : 게이트전극

[0071] C1, C2 : 연결배선 CP1~CP5 : 도전플러그

[0072] D1, D2 : 드레인전극 GI1 : 게이트절연층

[0073] GL1 : 게이트라인 H1~H5 : 홀(hole)

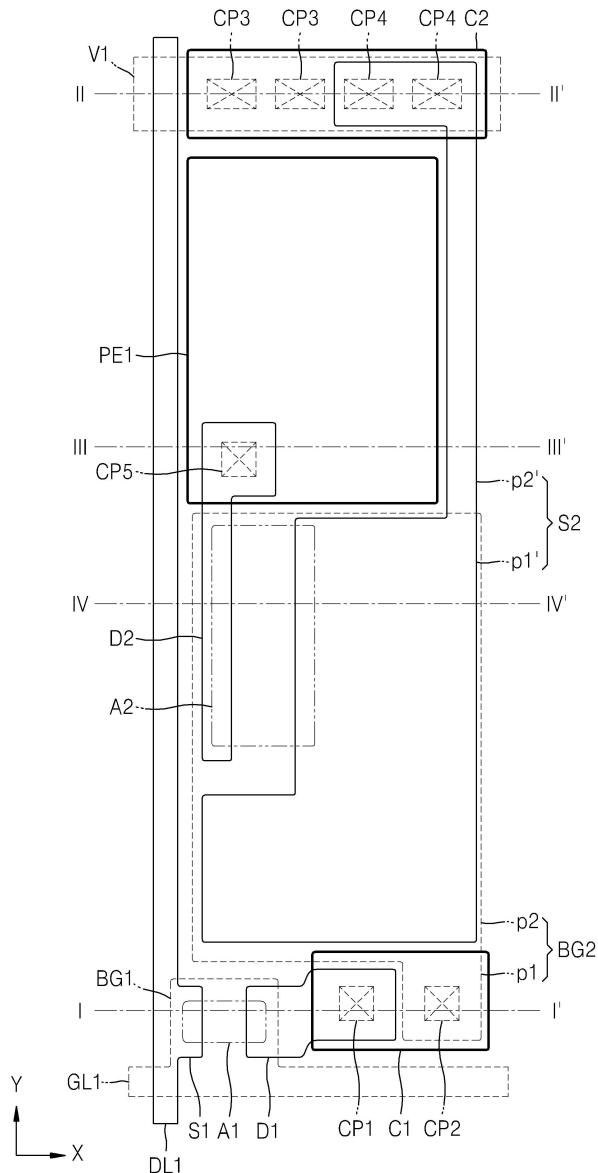
[0074] IL1 : 절연층 PE1 : 화소전극

[0075] S1, S2 : 소오스전극 SP1~SP3 : 단위소자

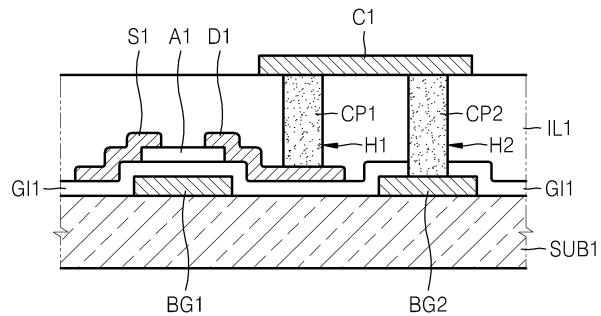
[0076] SUB1 : 기판 V1 : 전원라인

도면

도면1



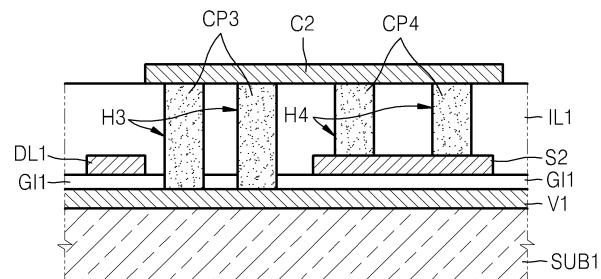
도면2



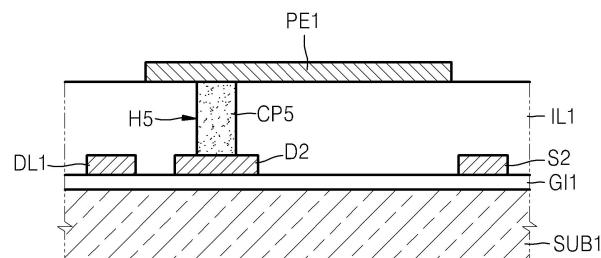
도면3

삭제

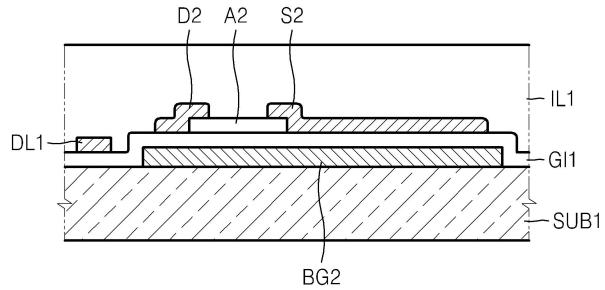
도면3a



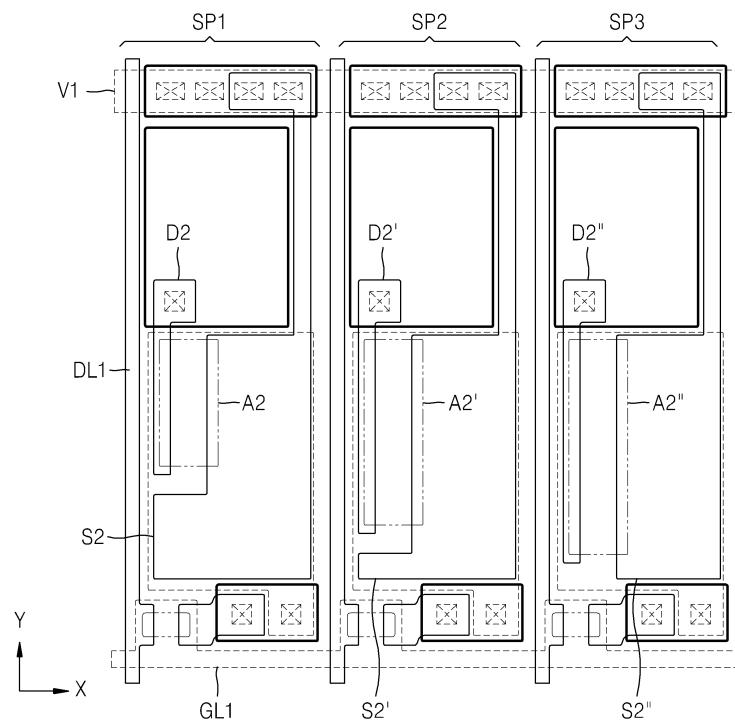
도면3b



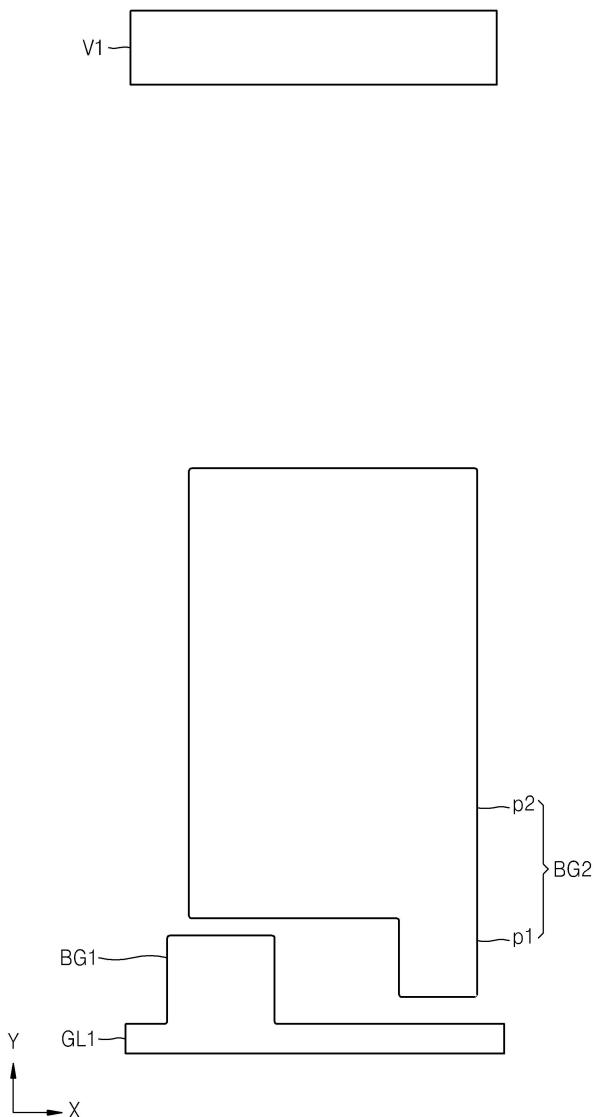
도면3c



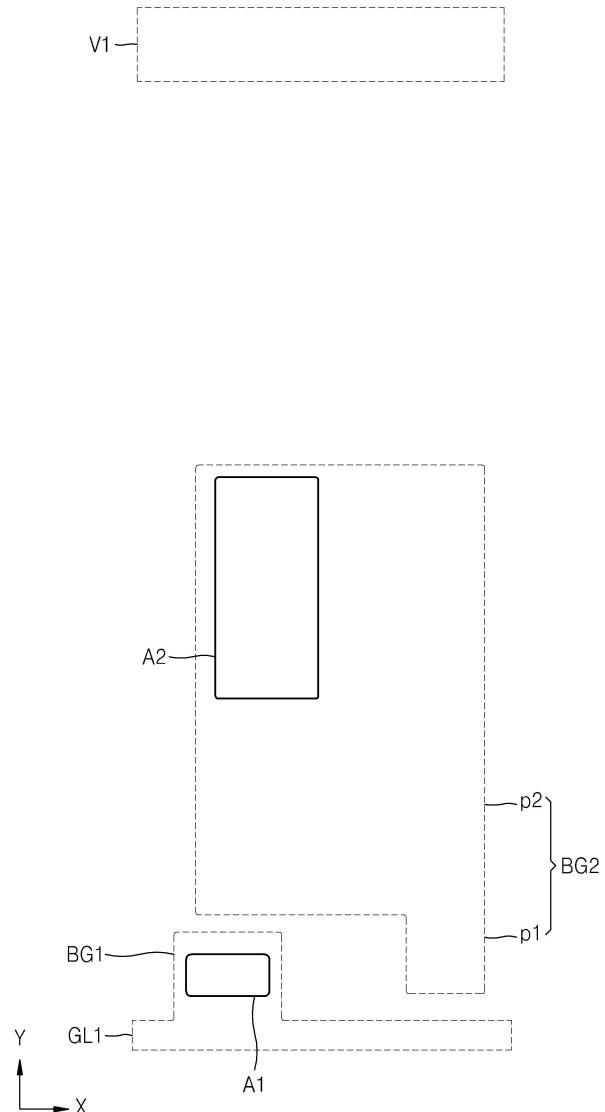
도면4



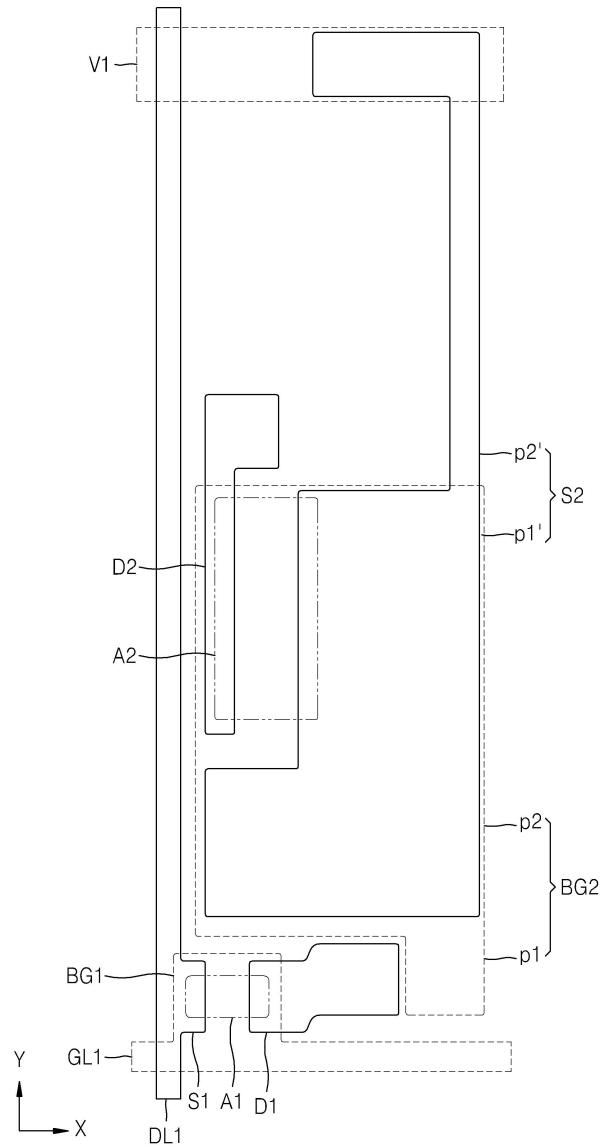
도면5a



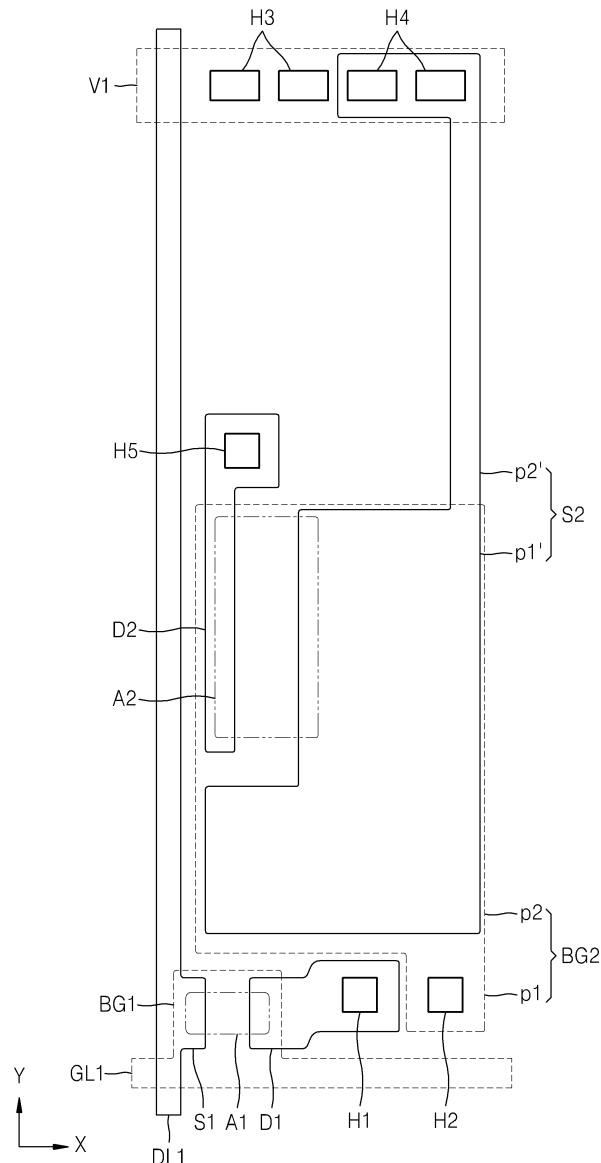
도면5b



도면5c



도면5d



도면5e

