

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H04N 5/00 (2006.01)

H04N 5/44 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510024803.1

[45] 授权公告日 2007 年 10 月 17 日

[11] 授权公告号 CN 100344151C

[22] 申请日 2005.3.31

[21] 申请号 200510024803.1

[73] 专利权人 上海南广电子技术有限公司

地址 200030 上海市徐汇区漕溪北路 336
号慧谷科技大厦二楼

[72] 发明人 朱正文 李 强 潘振满

[56] 参考文献

CN1365233A 2002.8.21

US6201815B1 2001.3.13

CN1581965A 2005.2.16

US6538999B1 2003.3.25

审查员 侯冠华

[74] 专利代理机构 上海开祺知识产权代理有限公司

代理人 李兰英 林德杰

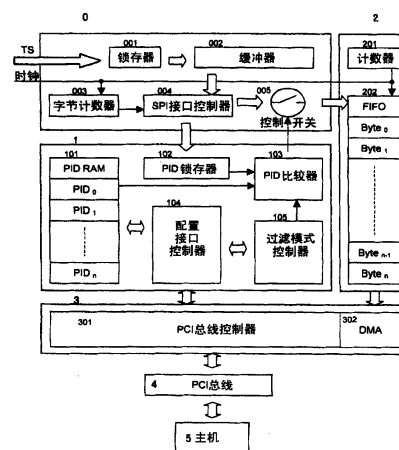
权利要求书 2 页 说明书 11 页 附图 3 页

[54] 发明名称

用于数字视频广播的节目标识符过滤器及其
控制方法

[57] 摘要

一种用于数字视频广播的节目标识符过滤器及其控制方法，节目标识符过滤器中包含数据采集模块、节目标识符设置过滤操作模块、数据缓冲模块和总线控制器模块。其中节目标识符设置过滤操作模块中包含正逻辑过滤模式和反逻辑过滤模式的过滤模式控制器子模块。过滤器的控制方法采用设置于主机内的软件驱动和控制过滤器的工作以及选择正逻辑过滤模式或反逻辑过滤模式的过滤方式。比在先技术中，仅能选择正逻辑过滤模式的过滤方式，节省了硬件资源。用软件控制，过滤得更优化，更灵活，提高了过滤效率。



1. 一种用于数字视频广播的节目标识符过滤器，它包含：数据采集模块，分别与数据采集模块相连的节目标识符设置过滤操作模块和数据缓冲模块，与节目标识符设置过滤操作模块和数据缓冲模块相连的总线控制器模块，总线控制器模块通过 PCI 总线与主机相连，其中节目标识符设置过滤操作模块中包含正逻辑过滤模式和反逻辑过滤模式的过滤模式控制器子模块；所说的正逻辑过滤模式中含有所需要接收节目的节目标识符；其特征在于所说的反逻辑过滤模式中含有所不需要接收节目的节目标识符。

2. 根据权利要求 1 所述的用于数字视频广播的节目标识符过滤器，其特征在于所说的数据采集模块包含：数据锁存器子模块，与数据锁存器子模块相连的数据缓冲器子模块，与数据缓冲器子模块相连的接口控制器子模块，分别与接口控制器子模块相连的连有时钟的字节计数器子模块和控制开关。

3. 根据权利要求 1 或 2 所述的用于数字视频广播的节目标识符过滤器，其特征在于所说的节目标识符设置过滤操作模块除包含过滤模式控制器子模块外，还包含随机存储器子模块，分别与随机存储器子模块相连的节目标识符比较器子模块和配置接口控制器子模块，与节目标识符比较器子模块相连的节目标识符锁存器子模块，所说的过滤模式控制器子模块分别与节目标识符比较器子模块和配置接口控制器子模块相连；节目标识符锁存器子模块与数据采集模块中的接口控制器子模块相连；节目标识符比较器子模块与数据采集模块中的控制开关相连。

4. 根据权利要求 1 所述的用于数字视频广播的节目标识符过滤器，其特征在于所说的数据缓冲模块包含数据计数器子模块以及与数据计数器子模块和时钟相连的先入先出存储器子模块。

5. 根据权利要求 1 所述的用于数字视频广播的节目标识符过滤器，其特征在于所说的与节目标识符设置过滤操作模块和数据缓冲模块相连的总线控制器模块包含总线控制器子模块和直接访问内存控制器子模块。

6. 一种采用设置于主机内的软件对节目标识符过滤器的驱动、控制以及设置过滤模式的控制方法，其中节目标识符过滤器如权利要求 1 所述，其特征在于

于所述的控制方法具体是：

第一步、是对节目标识符过滤器的初始化，包括对各个模块的初始化进行复位；

第二步、设置节目标识符过滤器的过滤模式：

1、先设置正逻辑过滤模式：使节目标识符过滤器处于正逻辑工作状态，只接收与所设置的节目标识符相对应的传输流数据；

2、再设置反逻辑过滤模式：使节目标识符过滤器处于反逻辑工作状态，只接收除所设置的节目标识符相对应的传输流数据外的所有其他传输流数据；

第三步、设置节目标识符过滤器的节目标识符：

先操作对节目标识符的修改；再操作对节目标识符随机存储器子模块中其它节目标识符的清空；

第四步、起动节目标识符过滤器接收数据：

首先启动数据接收通道；接着获取所接收的数据；

第五步、分析节目标识符过滤器的表格：分析节目关联表获得的节目映射表所提供的所有节目的节目标识符以及节目类型，从分析节目映射表中得出节目标识符的个数以及每类节目的数据流量。

用于数字视频广播的节目标识符过滤器及其控制方法

技术领域

本发明涉及一种节目标识符的过滤器及其控制方法，尤其涉及一种用于数字视频广播的节目标识符（PID）的过滤器及其控制方法。

背景技术

在数字视频广播（DVB）系统中，信号经过调谐、解调之后，输出传输流（TS），按照 DVB 标准，每个传输流包（TS Package）都有一个 13 比特的节目标识符（PID），用于识别不同的节目流（PS）。因此，节目标识符（PID）是个最基本也是最重要的节目标识标志。事实上，利用 PID 的不同可以从众多复用的传输流（TS）中提取出自己所需要的数据。并能控制流量，提高效率，节省资源。而实现该解复用（DeMUX）功能的一个非常有效的方式，就是在硬件上实现 PID 过滤（PID Filter）。

在先技术中，DVB 系统的接收硬件，通过数据同步以后，从每个 TS 流中提取出当前接收的 TS 包的 PID，并与所需要接收节目的 PID 进行比较，如果相同，则接收并提交该 TS 包；否则，该 TS 包被丢弃。将其定义为“正逻辑 PID 过滤”，称为“正逻辑过滤模式”。

一般情况下，在 DVB 系统中，每个数据视频广播（DVB）频道里都会复用非常多的节目流（PS）用于提高频道的利用率。也就是说在源 TS 中包含有很多不同的 PID 用于标识不同的节目流。这种情况在数据广播（DVB-D）及流媒体的应用中尤其明显。用户一般需要同时接收多组节目。在接收带宽可以保证的情况下，这就需要接收设备在硬件上能实现同时对尽可能多的 PID 进行过滤用以提取相应的节目流。如果按照上面所说的传统的“正逻辑 PID 过滤”方式，这就带来一个相当现实的问题：需要更多的硬件资源用以实现对多个 PID 的过滤，则必然会提高成本，降低效率，浪费资源，而且可同时过滤的 PID 个数有限，缺少灵活性。

发明内容

本发明的目的是为了克服上述在先技术中所存在的问题，提供一种用于数字视频广播的节目标识符过滤器及其控制方法，不增加硬件，通过软件优化过滤以致提高同时接收 PID 的数量。

为了达到上述的目的，本发明所采取的技术方案是在结合传统的“正逻辑过滤模式”的基础上，增加“反逻辑过滤模式”，并通过软件针对不同的 TS 进行灵活地配置，采用最恰当的 PID 过滤模式。具体的技术方案为：

本发明的节目标识符过滤器，它包含：数据采集模块，分别与数据采集模块相连的节目标识符设置过滤操作模块和数据缓冲模块，与节目标识符设置过滤操作模块和数据缓冲模块相连的总线控制器模块，总线控制器模块通过周边元件扩展接口总线与主机相连。其中，节目标识符设置过滤操作模块中包含正逻辑过滤模式和反逻辑过滤模式的过滤模式控制器子模块。

本发明的节目标识符过滤器的控制方法是采用设置于主机内的软件来驱动控制过滤器的工作，设置和操作正逻辑过滤模式过滤节目标识符（PID）以及设置和操作反逻辑过滤模式过滤节目标识符（PID）的过滤过程。

其控制方法具体如下：

第二步、是对节目标识符过滤器的初始化，包括对各个模块的初始化进行复位；

第二步、设置节目标识符过滤器的过滤模式：

1、先设置正逻辑过滤模式：使节目标识符过滤器处于正逻辑工作状态，只接收与所设置的节目标识符相对应的传输流数据；

2、再设置反逻辑过滤模式：使节目标识符过滤器处于反逻辑工作状态，只接收除所设置的节目标识符相对应的传输流数据外的所有其他传输流数据；

第三步、设置节目标识符过滤器的节目标识符：

先操作对节目标识符的修改；再操作对节目标识符随机存储器子模块中其它节目标识符的清空；

第四步、启动节目标识符过滤器接收数据：

首先启动数据接收通道；接着获取所接收的数据；

第五步、分析节目标识符过滤器的表格：分析节目关联表获得的节目映射

表所提供的所有节目的节目标识符以及节目类型，从分析节目映射表中得出节目标识符的个数以及每类节目的数据流量。

所述控制方法的具体步骤是：

第一步：初始化，对过滤器的各模块进行复位操作，并配置总线控制器子模块，设置直接内存访问；

第二步：通过 PCI 总线 I/O 端口，经配置接口控制器子模块，设置过滤模式控制器子模块，使其处于正逻辑工作状态；

第三步：通过 PCI 总线 I/O 端口，经配置接口控制器子模块，把 00，01，10，11 四个节目标识符写入节目标识符随机存储器子模块内，并清空其它节目标识符；

第四步：配置直接内存访问控制器子模块，打开数据接收开关，启动数据接收通道；数据通过直接内存访问控制器子模块直接被传送到主机相应的内存中；

第五步：从主机内存中获取数据并分析表格，得到节目映射表对应的节目标识符；

第六步：通过 PCI 总线 I/O 端口，经配置接口控制器子模块，把节目映射表对应的节目标识符写入随机存储器子模块中，并清空其它节目标识符；

第七步：从主机内存中获取数据并分析表格，可以获得传输流中所复用的所有的节目标识符，以及相应的节目类型；

第八步：分析用户需要接收的节目对应的数量 N 及对应的数据流量，若节目对应的数量 $N \leq 32$ ，则跳转至第九步；否则，跳转至第十步；

第九步：保持正逻辑过滤模式不变，通过 PCI 总线 I/O 端口，经配置接口控制器子模块，把所需要接收的所有节目标识符写入随机存储器子模块中，并清空其它节目标识符；然后，跳转至第十二步；

第十步：通过 PCI 总线 I/O 端口，经配置接口控制器子模块，设置过滤模式控制器子模块，使其处于反逻辑工作状态；

第十一步：把不需要接收的节目所对应的节目标识符写入节目标识符随机存储器子模块内，若节目标识符的个数大于等于 32，则选择流量中 32 个节目标识符写入随机存储器子模块，若节目标识符的个数小于 32，则把它们全部写

入随机存储器子模块中,并清空随机存储器子模块中剩余位置上的节目标识符;

第十二步:重新启动数据接收通道,配置结束。

所述的“反逻辑过滤模式”与“正逻辑过滤模式”相反,它是从每个传输流(TS)中提取出当前接收的TS包中的PID,并与肯定不需要接收节目的PID进行比较,如果相同,则该TS包被丢弃,否则,接收并提交该TS包。所以说正逻辑过滤模式中含有所要接收节目的节目标识符;而反逻辑过滤模式中却含有不需要接收节目的节目标识符。

本发明的优点在于:本发明节目标识符过滤器及其控制方法,以反常规的做法引入反逻辑概念,并且可以通过软件配置过滤模式,极大的提高了可同时接收的PID的数量。在带宽允许的情况下,甚至对PID的数量没有任何限制。并且能够根据不同的DVB系统,进行优化。而且,在提供了这些灵活、实时地过滤功能的同时,做到了不增加对硬件资源的过多消耗。因此,经济效益显著。

附图说明

图1为本发明节目标识符过滤器的结构示意图。

图2为图1本发明节目标识符过滤器的结构细化示意图。

图3为本发明节目标识符过滤器控制方法的具体流程图。

具体实施方式

图1是本发明节目标识符过滤器的结构。如图1所示,本发明节目标识符过滤器包含:数据采集模块0,分别与数据采集模块0相连的节目标识符设置过滤操作模块1和数据缓冲模块2,与节目标识符设置过滤操作模块1和数据缓冲模块2相连的总线控制器模块3,总线控制器模块3通过周边元件扩展接口(PCI)总线4与主机5相连。

如上述结构,本发明的PID过滤器是使用甚高速集成电路硬件描述语言(VHDL)在现场可编程门阵列(FPGA)中实现。能很方便的固化,转成特定用途集成电路(ASIC)。在设计上采用了图形与语言相结合,自上到下的设计。整个设计可以分为顶层和底层两个层次。顶层为图形方式的模块结构图,如图1所示。底层可以说是各个模块的甚高速集成电路硬件描述语言(VHDL)代码,为子模块结构,如图2所示。

所述的顶层是：

如图 1 所示，主机 5（内部含有控制软件）通过周边元件扩展接口（PCI）总线 4 及（PCI）总线控制器模块 3 预先配置好节目标识符设置过滤操作模块 1，包括 PID 列表、过滤模式等。数据采集模块 0（同步并行接口（SPI））与节目标识符设置过滤操模块 1、数据缓冲模块 2 相连，把输入的数据通过同步并行接口（SPI）采集进来，提取出 PID 后交给模块 1；模块 1 根据预先配置好的信息通过 PID 比较，输出控制信号用来控制模块 0 中数据流向。若需要就输入到模块 2 中进行缓冲；否则，把数据以包为单位丢弃。模块 2 与模块 3 相连，并通过其中的直接内存访问（DMA）控制器发出直接内存访问（DMA）中断申请及响应突发传输。而模块 3 是实现了一个 PCI（2.2）协议的控制器，是主机 5（控制软件）与过滤器之间数据传输及控制通信的桥梁。其中的主机 5 是微处理器或计算机。

图 2 是图 1 的本发明节目标识符过滤器的结构细化。如图 2 所示，所述的数据采集模块 0 内包含数据锁存器子模块 001，与数据锁存器子模块 001 相连的数据缓冲器子模块 002，与数据缓冲器子模块 002 相连的接口（同步并行接口（SPI））控制器子模块 004，分别与接口控制器子模块 004 相连的连有时钟的字节计数器子模块 003 和控制开关 005。

所述的节目标识符设置过滤操作模块 1 包含随机存储器子模块 101（或称节目标识符随机存取存储器（PID RAM）子模块）；分别与随机存储器子模块 101 相连的节目标识符比较器子模块 103 和配置接口控制器子模块 104；分别与配置接口控制器子模块 104 和节目标识符比较器子模块 103 相连的过滤模式控制器子模块 105；分别与节目标识符比较器子模块 103 和数据采集模块 0 中的接口控制器子模块 004 相连的节目标识符锁存器子模块 102。所说的节目标识符锁存器子模块 103 与数据采集模块 0 中的接口控制器子模块 004 相连；节目标识符比较器子模块 103 与数据采集模块 0 中的控制开关 005 相连。

所述的与数据采集模块 0 相连的数据缓冲模块 2 中包含数据计数器子模块 201 以及与数据计数器子模块 201 和时钟相连的先入先出存储器 202。

所述的与节目标识符设置过滤操作模块 1 和数据缓冲模块 2 相连的总线控制器模块 3 包含总线控制器（PCI）子模块 301 和直接访问内存（DMA）控制器

子模块 302。

上述图 1、图 2 中的模块及子模块的功能是：

●数据采集模块 0 实现从同步并行接口（SPI）获取传输流（TS）数据的功能。数据锁存器子模块 001 利用输入时钟锁存输入 TS 的数据。在本实施例中，数据缓冲器子模块 002 为锁存的数据提供两个字节的缓冲。字节计数器子模块 003 为每个 TS 输入字节计数，提供给接口控制器（SPI）子模块 004。（SPI）接口控制器子模块 004 结合字节计数器子模块 003 所提供的字节数，按照 SPI 接口协议实现数据同步。

●节目标识符设置过滤操作模块 1 实现节目标识符（PID）的配置及控制功能。随机存储器（PID RAM）子模块 101 存储需要操作的 PID，包括节目标识符（PID）阵列：“PID₀，PID₁，…，PID_n”。节目标识符（PID）锁存器子模块 102 锁存从当前 TS 中提取出的 PID。PID 比较器子模块 103 比较当前的 PID 与 PID RAM 中所储存的 PID 是否符合。配置接口控制器子模块 104 实现与 PCI 控制器 3 的接口转换，为主机 5 提供 PID 操作控制通道。如：设置 PID RAM 或配置 PID 过滤模式。过滤模式控制器子模块 105 按照主机 5（设置于主机内的软件）的控制命令，切换 PID 过滤模式。

●数据缓冲模块 2 实现数据直接访问内存（DMA）控制器子模块的缓冲功能。数据计数器子模块 201 是直接内存访问（DMA）中断门限计数器控制器，当先入先出存储器（FIFO）子模块中数据达到门限时，发出对直接内存访问（DMA）控制器子模块 302 的中断申请。在先入先出存储器子模块 202 中包含字节（Byte）阵列：“Byte₀，Byte₁，…，Byte_{n-1}，Byte_n”，它为 DMA 控制器子模块 302 提供数据传输缓冲。

●PCI 总线控制器模块 3 实现 PCI 接口及 DMA 控制器子模块 302 的控制功能。PCI 总线控制器子模块 301 按照 PCI 的规范，实现过滤器与主机（计算机或微处理器）之间的通信及数据的 DMA 控制传输。

所述的底层设计是：

■模块 0 中的数字锁存器子模块 001 使用了现场可编程门阵列（FPGA）中的标准的 8 位锁存器，通过输入时钟锁存 TS，送入由 16 位寄存器构成的数字缓冲器子模块 002。字节计数器子模块 003 也是使用了现场可编程门阵列（FPGA）

中标准的 8 位单向计数器。而同步并行接口(SPI 接口)控制器子模块 004 则使用了硬件状态机结合组合逻辑的方式,按照 SPI 协议的要求实现数据的同步与 PID 的提取。

■ 模块 1: 是通过现场可编程门阵列(FPGA)内部的随机存取存储器(RAM)组成一个容量为 13 位 $\times$ 32 的同步双端口随机存储器(RAM)子模块 101,用来存储驱动设置下来的 PID 列表,而通过 2 位寄存器构成的过滤模式控制器子模块 105 分别存储正、反两种过滤模式。当前 TS 包的 PID 通过一个 13 位的标准锁存器构成的节目标识符锁存器子模块 102 从模块 0 中获取,并通过节目标识符比较器子模块 103 遍历随机存储器子模块 101(PID RAM)中的节目标识符(PID)列表,与当前的 PID 比较,看是否相符合,最后根据过滤模式控制器子模块 105 中的不同的过滤模式输出不同的开关控制信号,用来控制数据的接收与丢弃。

■ 模块 2: 为直接内存访问(DMA)控制器子模块 302 的数据缓冲。该模块主要是为 DMA 控制器子模块 302 提供足够大小的数据缓冲,并能及时发出数据对 DMA 控制器的中断请求。在该模块中同样使用了一个标准的 10 位单向计数器。而先入先出存储器子模块 202(FIFO)的实现也采用了现场可编程门阵列(FPGA)内部的(块)随机存取存储器(RAM)资源,是个容量 8 位 $\times$ 512 的同步先入先出存储器(FIFO)。数据在填充 FIFO 的同时,一边在计数,当数据累计到达到一定门限时,向 DMA 控制器子模块 302 发出中断申请。

■ 模块 3: 这是一个周边元件扩展接口(PCI)控制器模块。它包括一个 DMA 控制器子模块 302。在本实施例中,DMA 控制器子模块 302 利用现场可编程门阵列(FPGA)的内部资源实现了一个遵循 PCI 2.2 协议的标准控制器,用以实现过滤器与主机之间的通信。

如上述的结构,本发明中采用了硬件状态机来设计状态的转移及变换,实现了 PCI 的配置读写、内存读写及输入/输出端口读写,并通过地址译码实现了端口的识别。

本发明过滤器的工作过程是:主机(软件)通过 PCI 总线对过滤器进行各种配置,包括过滤器的初始化、PID RAM 的预置、PID 过滤模式的设置等等,过滤器中的 PCI 总线控制器(模块 3)把从 PCI 总线 4 上接收到的命令,经过转

换后提交给配置接口控制器（子模块 104），该模块会按照驱动的指令去动作，如配置 PID RAM（子模块 101），主机会打开 DMA 控制器，开始接收 TS 数据。

然后，模块 0 利用输入时钟，按照 SPI 接口协议，结合字节计数器提取出当前 TS 的 PID，并实现对 TS 数据包的同步，最后节目标识符设置过滤操作模块 1 输出控制开关信号，按要求提交相应的 TS 包。

本发明过滤器具体的工作流程描述如下：子模块 001 利用输入的时钟对输入的 TS 进行采样、锁存后，送到子模块 002 中缓冲。与此同时，字节计数器（子模块 003）对每个锁存进来的字节数据进行计数，子模块 004 结合子模块 003 的计数值及子模块 002 中缓冲的数据，按数字视频广播（DVB）的标准进行数据同步，提取出当前数据流中的 PID 送到模块 1；模块 1 通过子模块 102 锁存当前的 PID，通过子模块 103 与子模块 101 中预先设置好的 PID 进行比对，并根据子模块 105 的过滤模式控制信号，判断当前的节目数据是否需要接收，最后输出一个开关控制信号。控制数据通道的开关，不需要的数据被丢弃，而需要的数据则按 TS 包的整数倍输送到数据缓冲模块 2。

接下来，数据在 FIFO（子模块 202）缓冲，在计数器（子模块 201）达到 DMA 的门限后，向 DMA 控制器（子模块 302）发出中断请求；在请求被响应后，DMA 控制器通过 PCI 总线，发起突发传输，把数据传送到主机的内存当中。

最后，主机从内存中获得数据，对数据（节目标识符）比对处理分析后向应用程序提交数据，或对过滤器进行重新配置，以达到性能最优。

上述本发明的 PID 过滤器可以说是一种 PCI 设备，是靠主机中的软件来驱动和控制。

本发明节目标识符过滤器的控制方法是采用设置于主机内的软件对节目标识符过滤器的驱动和控制以及设置不同的过滤模式。其具体控制方法是：

第一步、首先是对 PID 过滤器的初始化，包括对各个模块的初始化，进行复位。例如对于：

▲模块 0 的初始化：对逻辑复位寄存器（接口总线与主机上的接口—I/O 端口，偏移地址为 0x94）的最低位写‘1’，至少间隔 10 毫秒后再写‘0’。该操作会对模块 0 中的所有子模块进行复位：字节计数器被清零，缓冲器被清空，锁存器及 SPI 接口控制器被复位，控制开关被断开；

▲模块 1 的初始化：对逻辑复位寄存器（I/O 端口，偏移地址为 0x94）的最低位写‘0’，至少间隔 10 毫秒后再写‘1’。该操作会清空模块 1 中的 PID RAM 子模块，并对其它子模块进行复位；

▲模块 2 的初始化：对逻辑复位寄存器（I/O 端口，偏移地址为 0x94）的最低位写‘1’，至少间隔 10 毫秒后再写‘0’。该操作会对模块 2 中的计数器子模块清零，并清空 FIFO；

▲模块 3 的初始化：把逻辑复位寄存器（I/O 端口，偏移地址为 0x00）的最高位写‘1’，至少间隔 10 毫秒后再写‘0’。该操作会对模块 3 进行复位。

第二步、设置节目标识符（PID）过滤器的过滤模式：

1、先设置正逻辑过滤模式：对 PID 模式寄存器（I/O 端口，偏移地址为 0x8C）中最低位写‘0’；此时 PID 过滤器处于正逻辑工作状态，只接收与所设置的 PID 相对应的 TS 数据。

2、再设置反逻辑过滤模式：对 PID 模式寄存器（I/O 端口，偏移地址为 0x8C）中最低位写‘1’；此时 PID 过滤器处于反逻辑工作状态，只接收除所设置的 PID 相对应的 TS 数据外的所有其他 TS 数据。

第三步、设置 PID 过滤器的节目标识符（PID）：

1、先操作对节目标识符（PID）的修改：在 PID 序号寄存器（I/O 端口，偏移地址为 0x84）中写入需要修改的 PID 的序号，在 PID 数值寄存器（I/O 端口，偏移地址为 0x88）写入修改后 PID 的数值。这样在 PID RAM 中的对应位置上的 PID 数值被修改。若要删除单个 PID 的话，只需要在 PID 序号寄存器中写入对应的 PID 序号，而在 PID 数值寄存器写入 PID 的数值（0x1FFF），即可；

2、再操作对 PID RAM 中的其它 PID 的清空：在 PID 复位寄存器（I/O 端口，偏移地址为 0x90）中最低位写‘1’，然后再写入‘0’。此时 PID RAM 中所有位置上的 PID 将被清空；

第四步、起动 PID 过滤器接收数据：

首先启动数据接收通道，在逻辑控制寄存器（I/O 端口，偏移地址为 0x9C）中最低位写入‘1’。此时，当 FIFO 中的数据达到门限时，硬件会发起 DMA 传输，数据会被传送到对应的 DMA 内存中；

接着获取所接收的数据，在数据传输完成后，会产生一次 DMA 中断，而从对

对应地址的 DMA 内存中可以获得数据；

第五步、分析 PID 过滤器的表格：分析节目关联表获得的节目映射表所提供的所有节目的节目标识符以及节目类型，从中得出节目标识符的个数以及每类节目的数据流量。

在标准 DVB 系统中，传输流中会包含一些标有特定 PID 的数据包，通常称为特殊表格，在这些特殊表格中会提供一些有关该传输流的重要的服务信息。其中最为重要最常用的是：

节目关联表（PAT）（PID=0x00）—— 是针对复用的每一路业务，提供相应的节目映射表（PMT）和网络信息表（NIT）对应的 PID。

节目映射表（PMT）—— 是标识并指示组成每路业务的流对应的 PID 每路业务的节目时钟参考（PCR）字段对应的 PID，及每路业务的节目类型。

因此，设置 PID=0x00，并接收对应的数据就能获得完整的节目关联表（PAT）。通过 PAT 中提供的信息很容易就能知道节目映射表（PMT）所对应的 PID，这样就能把 PMT 数据接收到，组成完整的 PMT。而 PMT 会提供所有节目的 PID 以及节目类型，从中就可以得出 PID 的个数，以及估计出每类节目的数据流量。

图 3 是对本发明过滤器的上述控制方法的具体流程。根据图 3 的流程，上述本发明控制方法的具体步骤是：

第一步：初始化，对过滤器的各模块进行复位操作，并配置 PCI 总线控制器子模块，设置直接内存访问（DMA）等等；

第二步：通过周边元件扩展接口（PCI）总线 I/O 端口，经配置接口控制器模块，设置过滤模式控制器子模块，使其处于正逻辑工作状态；

第三步：通过 PCI 总线 I/O 端口，经配置接口控制器子模块，把 00，01，10，11 四个节目标识符（十六进制）写入节目标识符随机存储器（PID RAM）子模块 101 内，并清空其它节目标识符（PID）；

第四步：配置直接内存访问（DMA）控制器子模块，打开数据接收开关，启动数据接收通道；数据通过直接内存访问（DMA）控制器子模块直接被传送到主机相应的内存中；

第五步：从主机内存中获取数据并分析表格，得到节目映射表（PMT）对应的节目标识符（PID）；

表（PMT）对应的 PID 写入节随机存储器（PID RAM）子模块中，并清空其它节目标识符（PID）；

第七步：从主机内存中获取数据并分析表格，可以获得传输流中所复用得所有的节目标识符（PID），以及相应的节目类型；

第八步：分析用户需要接收的节目对应的（PID）的数量 N，及对应的数据流量。若节目对应的数量 $N \leq 32$ ，则跳转至第九步；否则，跳转至第十步；

第九步：保持正逻辑过滤模式不变，通过 PCI 总线 I/O 端口，经配置接口控制器子模块，把所需接收的所有 PID 写入 PID RAM，并清空其他 PID。然后，跳转至第十二步；

第十步：通过 PCI 总线 I/O 端口，经配置接口控制器子模块设置过滤模式控制器子模块，使其处于反逻辑工作状态；

第十一步：把不需要接收的节目所对应的 PID 写入 PID RAM，若 PID 个数大于等于 32，则选择流量较大的 32 个 PID 写入 PID RAM。若 PID 个数小于 32，则把它们全部写入 PID RAM，并清空 PID RAM 中剩余位置上的 PID；

第十二步：重新启动数据接收通道，配置结束。

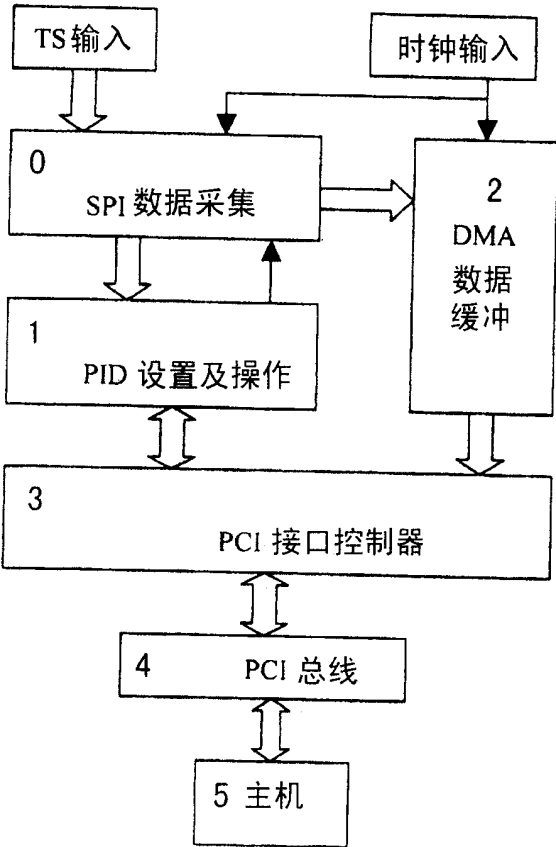


图1

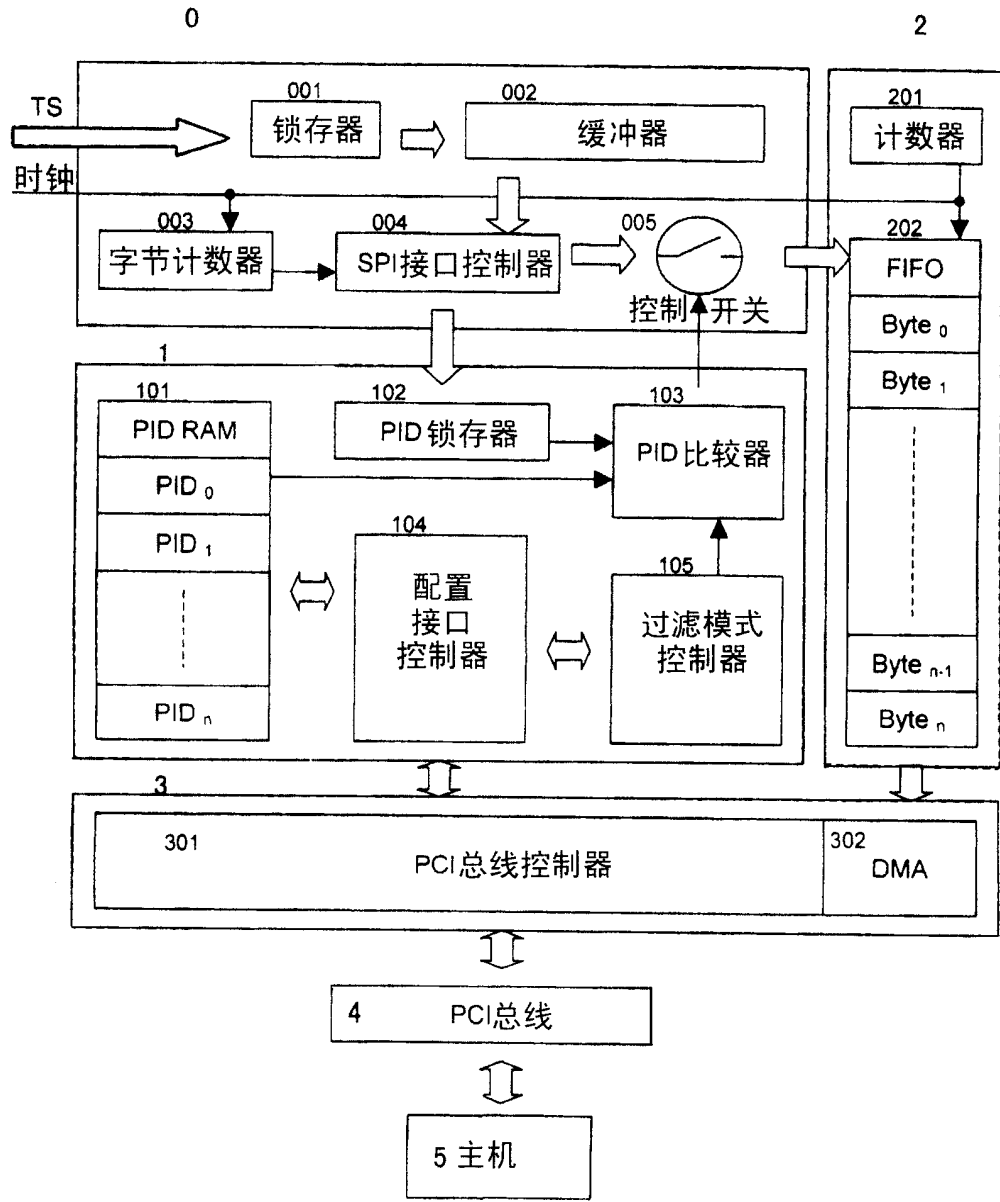


图2

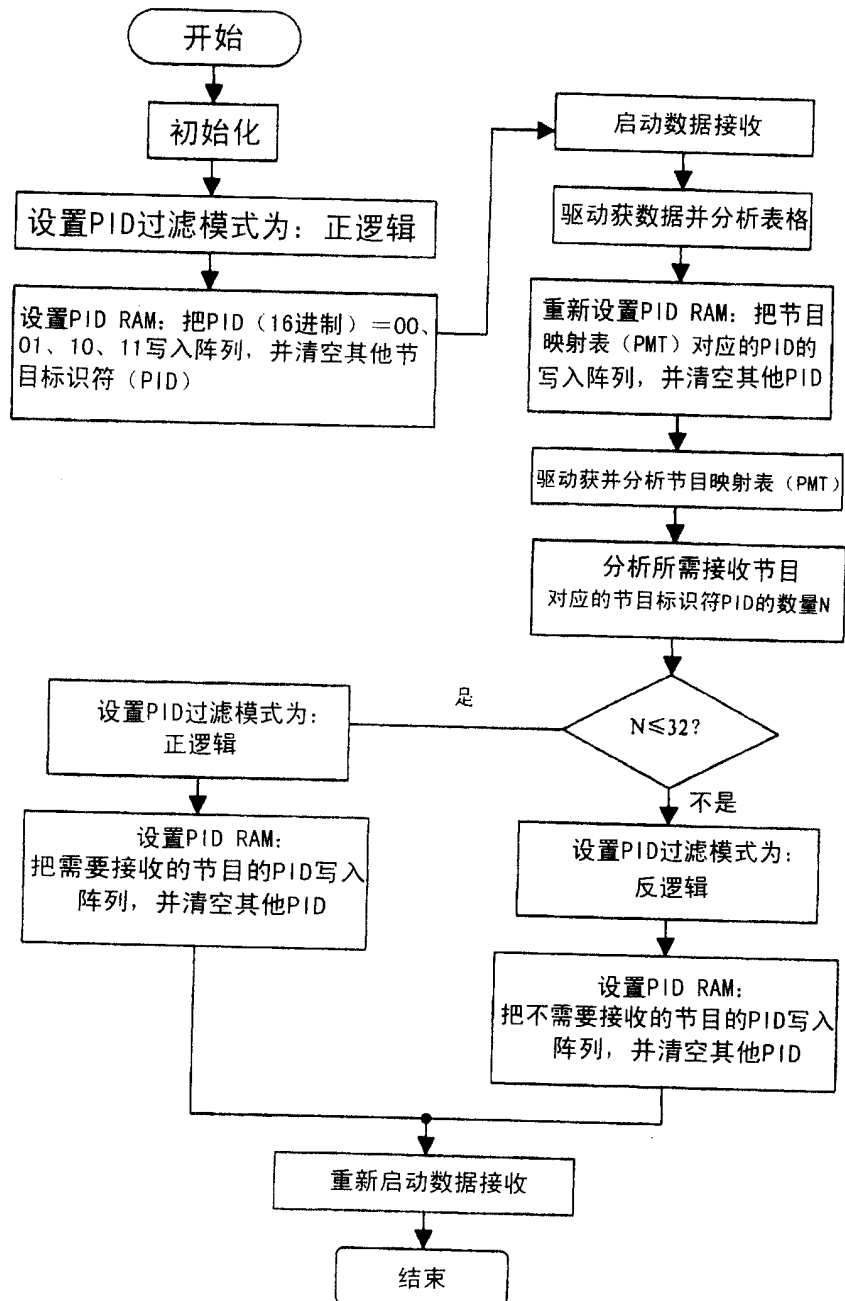


图3