

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 昨今、半導体集積回路は大規模化されており、最先端のMPU（Micro-processing Unit）では、トランジスタの数が1G（ギガ）個にも達する半導体チップが開発されており、従来の平面形成トランジスタ、いわゆるプレーナー型トランジスタは、非特許文献1に示されるように、PMOSを形成するN-well領域とNMOSを形成するP型シリコン基板（あるいはP-well領域）を完全に分離する必要があるが、また、N-well領域およびP型シリコン基板には、それぞれ電位を与えるボディ端子が必要であり、さらに面積が大きくなる要因となっている。

[0003] この課題を解決する手段として、基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲートが島状半導体層を取り囲む構造のSurrounding Gate Transistor（SGT）が提案され、SGTの製造方法、SGTを用いたCMOSインバータ、NAND回路あるいはSRAMセルが開示されている。例えば、特許文献1、特許文献2、特許文献3、特許文献4を参照。

先行技術文献

特許文献

[0004] 特許文献1：特許第5130596号公報

特許文献2：特許第5031809号公報

特許文献3：特許第4756221号公報

特許文献4：国際公開WO2009/0964号公報65

非特許文献

[0005] 非特許文献1：CMOS OPアンプ回路実務設計の基礎（吉澤浩和 著）C

Q 出版社 p a g e 2 3

発明の概要

発明が解決しようとする課題

[0006] 図 1 8、図 1 9 a、図 1 9 b に、S G T を用いたインバータの回路図とレイアウト図を示す。

図 1 8 は、インバータの回路図であり、Q p は P チャネル M O S トランジスタ（以下 P M O S トランジスタと称す）、Q n は N チャネル M O S トランジスタ（以下 N M O S トランジスタと称す）、I N は入力信号、O U T は出力信号、V c c は供給電源、V s s は基準電源である。

[0007] 図 1 9 a には、一例として、図 1 8 のインバータを S G T で構成したレイアウトの平面図を示す。また、図 1 9 b には、図 1 9 a の平面図においてカットライン A - A ' 方向の断面図を示す。

図 1 9 a、図 1 9 b において、基板上に形成された埋め込み酸化膜層（B O X）1 などの絶縁膜上に平面状シリコン層 2 p、2 n が形成され、上記平面状シリコン層 2 p、2 n は不純物注入等により、それぞれ p + 拡散層、n + 拡散層から構成される。3 は、平面状シリコン層（2 p、2 n）の表面に形成されるシリサイド層であり、前記平面状シリコン層 2 p、2 n を接続する。4 n は n 型シリコン柱、4 p は p 型シリコン柱、5 は、シリコン柱 4 n、4 p を取り巻くゲート絶縁膜、6 はゲート電極、6 a はゲート配線である。シリコン柱 4 n、4 p の最上部には、それぞれ p + 拡散層 7 p、n + 拡散層 7 n が不純物注入等により形成される。8 はゲート絶縁膜 5 等を保護するためのシリコン窒化膜、9 p、9 n は p + 拡散層 7 p、n + 拡散層 7 n に接続されるシリサイド層、1 0 p、1 0 n は、シリサイド層 9 p、9 n とメタル 1 3 a、1 3 b とをそれぞれ接続するコンタクト、1 1 は、ゲート配線 6 a とメタル配線 1 3 c を接続するコンタクトである。

[0008] シリコン柱 4 n、下部拡散層 2 p、上部拡散層 7 p、ゲート絶縁膜 5、ゲート電極 6 により、P M O S トランジスタ Q p を構成し、シリコン柱 4 p、下部拡散層 2 n、上部拡散層 7 n、ゲート絶縁膜 5、ゲート電極 6 により、N

MOSトランジスタ Q_n を構成する。上部拡散層 7_p 、 7_n はソース、下部拡散層 2_p 、 2_n はドレインとなる。メタル $13a$ には供給電源 V_{cc} が供給され、メタル $13b$ には基準電源 V_{ss} が供給され、メタル $13c$ には、入力信号 I_N が接続される。また、PMOSトランジスタ Q_p のドレイン拡散層 2_p とNMOSトランジスタ Q_n のドレイン拡散層 2_n を接続するシリサイド層 3 が出力 OUT となる。

[0009] 図18、図19a、図19bで示したSGTを用いたインバータは、PMOSトランジスタ、NMOSトランジスタが構造上完全に分離されており、プレーナトランジスタのように、 w_{ell} 分離が必要なく、さらに、シリコン柱はフローティングボディとなるため、プレーナトランジスタのように、 w_{ell} へ電位を供給するボディ端子も必要なく、非常にコンパクトにレイアウト（配置）ができることが特徴である。

[0010] 上述したように、SGTの最大の特徴は、構造原理的に、シリコン柱下部の基板側に存在するシリサイド層による下層配線と、シリコン柱上部のコンタクト接続による上部配線が利用できる点にある。本発明は、このSGTの特徴を利用して、論理回路で良く用いられる3入力NOR回路を1列に並べることによりコンパクトに配置し、面積を最小にすることにより、低価格なロジック半導体装置を提供することが目的である。

課題を解決するための手段

[0011] (1) 本発明によれば、ソース、ドレイン及びゲートが、基板と垂直な方向に階層的に配置される6つのトランジスタを、基板上に1列に配列することによりNOR回路を構成する半導体装置であって、
前記各トランジスタは、
シリコン柱と、
前記シリコン柱の側面を取り囲む絶縁体と、
前記絶縁体を囲むゲートと、
前記シリコン柱の上部又は下部に配置されるソース領域と、
前記シリコン柱の上部又は下部に配置されるドレイン領域であって、前記シ

リコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、

前記6つのトランジスタは、

第1のNチャネルMOSトランジスタと、

第2のNチャネルMOSトランジスタと、

第3のNチャネルMOSトランジスタと、

第1のPチャネルMOSトランジスタと、

第2のPチャネルMOSトランジスタと、

第3のPチャネルMOSトランジスタと

で構成され、

前記第1のNチャネルMOSトランジスタと前記第1のPチャネルMOSトランジスタのゲートは互いに接続されており、

前記第2のNチャネルMOSトランジスタと前記第2のPチャネルMOSトランジスタのゲートは互いに接続されており、

前記第3のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートは互いに接続されており、

前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ及び前記第3のPチャネルMOSトランジスタのドレイン領域は、シリコン柱より基板側に配置されており、

前記第2のPチャネルMOSトランジスタのソース領域は、シリコン柱より基板側に配置されており、

前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ及び前記第1のPチャネルMOSトランジスタのドレイン領域は、互いにシリサイド領域を介して接続されており、

前記第1のPチャネルMOSトランジスタのソース領域は、前記第2のPチャネルMOSトランジスタのドレイン領域とコンタクトを介して接続されて

おり、

前記第2のPチャネルMOSトランジスタのソース領域は前記第3のPチャネルMOSトランジスタのドレイン領域と互いにシリサイド領域を介して接続されていることを特徴とする半導体装置が提供される。

(2) 本発明の好ましい態様では、前記半導体装置において、前記6つのトランジスタは、前記第1のPチャネルMOSトランジスタ、前記第1のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、及び前記第2のPチャネルMOSトランジスタあるいは前記第3のPチャネルMOSトランジスタの順番に、1列に配置される。

(3) また、別の態様では、前記半導体装置において、前記第3のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートが、コンタクトを介して接続されている。

(4) また、別の態様では、前記半導体装置において、前記第3のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートが、コンタクトを介して各々異なる信号配線により接続されている。

(5) また、別の態様では、前記半導体装置において、前記6つのトランジスタは、前記第1のPチャネルMOSトランジスタ、前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、及び前記第2のPチャネルMOSトランジスタあるいは前記第3のPチャネルMOSトランジスタの順番に、1列に配置されている。

(6) また、別の態様では、前記半導体装置において、前記6つのトランジスタは、前記第3のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第1のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ、前記第2のPチャネルMOSトランジスタ及び前記第3のPチャネルMOSトランジスタの順番に、1列に配置されている。

(7) また、別の態様では、前記半導体装置において、前記第3のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートが、コンタクトを介して各々異なる信号配線により接続されている。

(8) また、別の態様では、前記半導体装置において、前記6つのトランジスタは、前記第1のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、及び前記第2のPチャネルMOSトランジスタあるいは前記第3のPチャネルMOSトランジスタの順番に、1列に配置されている。

(9) また、別の態様では、前記半導体装置において、前記6つのトランジスタは、前記第1のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、及び前記第2のPチャネルMOSトランジスタあるいは前記第3のPチャネルMOSトランジスタの順番に、1列に配置されている。

(10) また、別の態様では、前記半導体装置において、前記6つのトランジスタは、前記第3のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ、前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、及び前記第2のPチャネルMOSトランジスタあるいは前記第3のPチャネルMOSトランジスタの順番に、1列に配置されている。

(11) また、別の態様では、前記半導体装置において、前記6つのトランジスタは、前記第2のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ、前記第1のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、及び前記第2のPチャネルMOSトランジスタあるいは前記第3のPチャネルMOSトランジスタの順番に、1列に配置されている。

(12) また、別の態様では、前記半導体装置において、前記6つのトラン

ジスタは、前記第3のNチャネルMOSトランジスタ、前記第1のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、及び前記第2のPチャネルMOSトランジスタあるいは前記第3のPチャネルMOSトランジスタの順番に、1列に配置されている。

(13) また、別の態様では、前記半導体装置において、前記6つのトランジスタは、前記第2のNチャネルMOSトランジスタ、前記第1のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、及び前記第2のPチャネルMOSトランジスタあるいは前記第3のPチャネルMOSトランジスタの順番に、1列に配置されている。

(14) 本発明の別の好ましい態様では、ソース、ドレイン及びゲートが、基板と垂直な方向に階層的に配置される6つのトランジスタを、基板上に1列に配列することによりNOR回路を構成する半導体装置であって、

前記各トランジスタは、

シリコン柱と、

前記シリコン柱の側面を取り囲む絶縁体と、

前記絶縁体を囲むゲートと、

前記シリコン柱の上部又は下部に配置されるソース領域と、

前記シリコン柱の上部又は下部に配置されるドレイン領域であって、前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、

前記6つのトランジスタは、

第1のNチャネルMOSトランジスタと、

第2のNチャネルMOSトランジスタと、

第3のNチャネルMOSトランジスタと、

第1のPチャネルMOSトランジスタと、

第2のPチャネルMOSトランジスタと、

第3のPチャネルMOSトランジスタと

で構成され、

前記第1のNチャネルMOSトランジスタと前記第1のPチャネルMOSトランジスタのゲートは互いに接続されており、

前記第2のNチャネルMOSトランジスタと前記第2のPチャネルMOSトランジスタのゲートは互いに接続されており、

前記第3のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートは互いに接続されており、

前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ及び前記第3のPチャネルMOSトランジスタのドレイン領域は、シリコン柱より基板側に配置されており、

前記第2のPチャネルMOSトランジスタのソース領域は、シリコン柱より基板側に配置されており、

前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ及び前記第1のPチャネルMOSトランジスタのドレイン領域は、互いにシリサイド領域を介して接続されており、

前記第1のPチャネルMOSトランジスタのソース領域は、前記第2のPチャネルMOSトランジスタのドレイン領域とコンタクトを介して接続されており、

前記第2のPチャネルMOSトランジスタのソース領域は前記第3のPチャネルMOSトランジスタのドレイン領域と互いにシリサイド領域を介して接続されており、

前記第1のNチャネルMOSトランジスタと前記第1のPチャネルMOSトランジスタのゲートは第1の入力信号線に接続され、

前記第2のNチャネルMOSトランジスタと前記第2のPチャネルMOSトランジスタのゲートは第2の入力信号線に接続され、

前記第3のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートは第3の入力信号線に接続され、

前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルトランジスタ及び前記第3のNチャネルMOSトランジスタのソースは、コンタクトを介して基準電源端子に接続されており、

前記第3のPチャネルMOSトランジスタのソース領域は、コンタクトを介して供給電源端子に接続されている半導体装置を複数個具備し、

前記複数の半導体装置を並列に配置し、各々の供給電源及び基準電源を共有させたことを特徴とする半導体装置が提供される。

(15) また、別の態様では、前記半導体装置において、前記第1の入力信号線、前記第2の入力信号線及び前記第3の入力信号線は、前記複数の半導体装置が並列に配置された方向と直角方向から入力される。

(16) 本発明のさらに別の好ましい態様では、ソース、ドレイン及びゲートが、基板と垂直な方向に階層的に配置される6つのトランジスタを、基板上に1列に配列することによりNOR回路を構成する半導体装置であって、前記各トランジスタは、

シリコン柱と、

前記シリコン柱の側面を取り囲む絶縁体と、

前記絶縁体を囲むゲートと、

前記シリコン柱の上部又は下部に配置されるソース領域と、

前記シリコン柱の上部又は下部に配置されるドレイン領域であって、前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、

前記6つのトランジスタは、

第1のNチャネルMOSトランジスタと、

第2のNチャネルMOSトランジスタと、

第3のNチャネルMOSトランジスタと、

第1のPチャネルMOSトランジスタと、

第2のPチャネルMOSトランジスタと、

第3のPチャネルMOSトランジスタと

で構成され、

前記第1のNチャネルMOSトランジスタと前記第1のPチャネルMOSトランジスタのゲートは互いに接続されており、

前記第2のNチャネルMOSトランジスタと前記第2のPチャネルMOSトランジスタのゲートは互いに接続されており、

前記第3のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートは互いに接続されており、

前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ及び前記第3のPチャネルMOSトランジスタのソース領域は、シリコン柱より基板側に配置されており、

前記第2のPチャネルMOSトランジスタのドレイン領域は、シリコン柱より基板側に配置されており、

前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ及び前記第1のPチャネルMOSトランジスタのドレイン領域は、互いにコンタクトを介して接続されており、

前記第1のPチャネルMOSトランジスタのソース領域は、前記第2のPチャネルMOSトランジスタのドレイン領域とシリサイド領域を介して接続されており、

前記第2のPチャネルMOSトランジスタのソース領域は前記第3のPチャネルMOSトランジスタのドレイン領域と互いにコンタクトを介して接続されていることを特徴とする半導体装置が提供される。

(17) また、別の態様では、前記半導体装置において、前記6つのトランジスタは、前記第3のNチャネルMOSトランジスタ、前記第3のPチャネルMOSトランジスタ、前記第2のPチャネルMOSトランジスタ、前記第

1のPチャネルMOSトランジスタ、及び前記第1のNチャネルMOSトランジスタあるいは前記第2のNチャネルMOSトランジスタの順番に、1列に配置されている。

(18) さらに別の態様では、前記半導体装置において、前記6つのトランジスタは、前記第3のPチャネルMOSトランジスタ、前記第2のPチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ、前記第1のNチャネルMOSトランジスタ、及び前記第2のNチャネルMOSトランジスタあるいは前記第3のNチャネルMOSトランジスタの順番に、1列に配置されている。

(19) 本発明の別の好ましい態様では、ソース、ドレイン及びゲートが、基板と垂直な方向に階層的に配置される6つのトランジスタを、基板上に1列に配列することによりNOR回路を構成する半導体装置であって、

前記各トランジスタは、

シリコン柱と、

前記シリコン柱の側面を取り囲む絶縁体と、

前記絶縁体を囲むゲートと、

前記シリコン柱の上部又は下部に配置されるソース領域と、

前記シリコン柱の上部又は下部に配置されるドレイン領域であって、前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、

前記6つのトランジスタは、

第1のNチャネルMOSトランジスタと、

第2のNチャネルMOSトランジスタと、

第3のNチャネルMOSトランジスタと、

第1のPチャネルMOSトランジスタと、

第2のPチャネルMOSトランジスタと、

第3のPチャネルMOSトランジスタと

で構成され、

前記第1のNチャネルMOSトランジスタと前記第1のPチャネルMOSトランジスタのゲートは互いに接続されており、

前記第2のNチャネルMOSトランジスタと前記第2のPチャネルMOSトランジスタのゲートは互いに接続されており、

前記第3のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートは互いに接続されており、

前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ及び前記第3のPチャネルMOSトランジスタのソース領域は、シリコン柱より基板側に配置されており、

前記第2のPチャネルMOSトランジスタのドレイン領域は、シリコン柱より基板側に配置されており、

前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ及び前記第1のPチャネルMOSトランジスタのドレイン領域は、互いにコンタクトを介して接続されており、

前記第1のPチャネルMOSトランジスタのソース領域は、前記第2のPチャネルMOSトランジスタのドレイン領域とシリサイド領域を介して接続されており、

前記第2のPチャネルMOSトランジスタのソース領域は前記第3のPチャネルMOSトランジスタのドレイン領域と互いにコンタクトを介して接続されており、

前記第1のNチャネルMOSトランジスタと前記第1のPチャネルMOSトランジスタのゲートは第1の入力信号線に接続され、

前記第2のNチャネルMOSトランジスタと前記第2のPチャネルMOSトランジスタのゲートは第2の入力信号線に接続され、

前記第3のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートは第3の入力信号線に接続され、

前記第 1 の N チャネル MOS トランジスタ、前記第 2 の N チャネル トランジスタ及び前記第 3 の N チャネル MOS トランジスタのソースは、コンタクトを介して基準電源端子に接続されており、

前記第 3 の P チャネル MOS トランジスタのソース領域は、コンタクトを介して供給電源端子に接続されている半導体装置を複数個具備し、

前記複数の半導体装置を並列に配置し、各々の供給電源及び基準電源を共有させたことを特徴とする半導体装置が提供される。

(20) また、別の態様では、前記半導体装置において、前記第 1 の入力信号線、前記第 2 の入力信号線及び前記第 3 の入力信号線は、前記複数の半導体装置が並列に配置された方向と直角方向から入力される。

(21) また、別の態様では、前記半導体装置において、請求項 19 において、前記複数の半導体装置の各々の供給電源及び基準電源が供給されるシリサイド領域を、並列に配置される方向に共通に接続する。

図面の簡単な説明

[0012] [図1]本発明の実施例の NOR 回路を示す等価回路図である。

[図2a]本発明の第 1 の実施例の NOR 回路の平面図である。

[図2b]本発明の第 1 の実施例の NOR 回路の断面図である。

[図3a]本発明の第 2 の実施例の NOR 回路の平面図である。

[図3b]本発明の第 2 の実施例の NOR 回路の断面図である。

[図3c]本発明の第 2 の実施例の NOR 回路の断面図である。

[図3d]本発明の第 2 の実施例の NOR 回路の断面図である。

[図3e]本発明の第 2 の実施例の NOR 回路の断面図である。

[図4a]本発明の第 3 の実施例の NOR 回路の平面図である。

[図4b]本発明の第 3 の実施例の NOR 回路の断面図である。

[図5a]本発明の第 4 の実施例の NOR 回路の平面図である。

[図5b]本発明の第 4 の実施例の NOR 回路の断面図である。

[図6]本発明の実施例の NOR 回路を示す第 2 の等価回路図である。

[図7a]本発明の第 5 の実施例の NOR 回路の平面図である。

[図7b]本発明の第5の実施例のNOR回路の断面図である。

[図8a]本発明の第6の実施例のNOR回路の平面図である。

[図8b]本発明の第6の実施例のNOR回路の断面図である。

[図9a]本発明の第7の実施例のNOR回路の平面図である。

[図9b]本発明の第7の実施例のNOR回路の断面図である。

[図10a]本発明の第8の実施例のNOR回路の平面図である。

[図10b]本発明の第8の実施例のNOR回路の断面図である。

[図11a]本発明の第9の実施例のNOR回路の平面図である。

[図11b]本発明の第9の実施例のNOR回路の断面図である。

[図12a]本発明の第10の実施例のNOR回路の平面図である。

[図12b]本発明の第10の実施例のNOR回路の断面図である。

[図13a]本発明の第11の実施例のNOR回路の平面図である。

[図13b]本発明の第11の実施例のNOR回路の断面図である。

[図14a]本発明の第12の実施例のNOR回路の平面図である。

[図14b]本発明の第12の実施例のNOR回路の断面図である。

[図14c]本発明の第12の実施例のNOR回路の断面図である。

[図14d]本発明の第12の実施例のNOR回路の断面図である。

[図14e]本発明の第12の実施例のNOR回路の断面図である。

[図15a]本発明の第13の実施例のNOR回路の平面図である。

[図15b]本発明の第13の実施例のNOR回路の断面図である。

[図15c]本発明の第13の実施例のNOR回路の断面図である。

[図15d]本発明の第13の実施例のNOR回路の断面図である。

[図15e]本発明の第13の実施例のNOR回路の断面図である。

[図16a]本発明の第14の実施例のNOR回路の平面図である。

[図16b]本発明の第14の実施例のNOR回路の断面図である。

[図16c]本発明の第14の実施例のNOR回路の断面図である。

[図16d]本発明の第14の実施例のNOR回路の断面図である。

[図16e]本発明の第14の実施例のNOR回路の断面図である。

[図17a]本発明の第15の実施例のNOR回路の平面図である。

[図17b]本発明の第15の実施例のNOR回路の断面図である。

[図18]従来例を示すインバータ回路の等価回路である。

[図19a]従来のインバータの平面図である。

[図19b]従来のインバータの断面図である。

発明を実施するための形態

[0013] (実施例1)

図1に本発明に適用する3入力NOR回路の等価回路図を示す。 Q_{n1} 、 Q_{n2} 、 Q_{n3} は、SGTで構成されたNMOSトランジスタ、 Q_{p1} 、 Q_{p2} 、 Q_{p3} は、同じくSGTで構成されたPMOSトランジスタである。前記NMOSトランジスタ Q_{n1} 、 Q_{n2} 、 Q_{n3} のソースは基準電源 V_{ss} に接続され、ドレインは共通にノードN1に接続される。PMOSトランジスタ Q_{p1} のドレインはノードN1に接続され、ソースはノードN2を介してPMOSトランジスタ Q_{p2} のドレインに接続され、PMOSトランジスタ Q_{p2} のソースはノードN3を介してPMOSトランジスタ Q_{p3} のドレインに接続され、PMOSトランジスタ Q_{p3} のソースは供給電源 V_{cc} に接続される。また、NMOSトランジスタ Q_{n1} 、PMOSトランジスタ Q_{p1} のゲートには入力信号 I_{N1} が接続され、NMOSトランジスタ Q_{n2} 、PMOSトランジスタ Q_{p2} のゲートには入力信号 I_{N2} が接続され、NMOSトランジスタ Q_{n3} 、PMOSトランジスタ Q_{p3} のゲートには入力信号 I_{N3} が接続される。

[0014] 図2aおよび図2bに、第1の実施例を示す。図2aは、本発明の3入力NORレイアウト（配置）の平面図、図2bは、図2aにおけるカットラインA-A'に沿った断面図を示す。

図2aにおいて、図1のNOR回路のPMOSトランジスタ Q_{p1} 、NMOSトランジスタ Q_{n1} 、NMOSトランジスタ Q_{n3} 、NMOSトランジスタ Q_{n2} 、PMOSトランジスタ Q_{p2} 及びPMOSトランジスタ Q_{p3} が右より1列に配置されている。

なお、図2a、図2bにおいて、図18a、図18bと同じ構造の箇所については、100番台の同等の記号で示してある。

[0015] 基板上に形成された埋め込み酸化膜層（BOX）101などの絶縁膜上に平面状シリコン層102pa、102n、102pbが形成され、この平面状シリコン層102pa、102n、102pbは不純物注入等により、それぞれp+拡散層、n+拡散層、p+拡散層から構成される。103は、平面状シリコン層（102pa、102n、102pb）の表面に形成されるシリサイド層であり、平面状シリコン層102pa、102nを接続する。104p1、104p2、104p3はp型シリコン柱、104n1、104n2、104n3はn型シリコン柱、105はシリコン柱104p1、104p2、104p3、104n1、104n2、104n3を取り巻くゲート絶縁膜、106はゲート電極、106a、106b、106c、106dはそれぞれゲート配線である。シリコン柱104p1、104p2、104p3の最上部には、それぞれn+拡散層107n1、107n2、107n3が不純物注入等により形成され、シリコン柱104n1、104n2、104n3の最上部には、それぞれp+拡散層107p1、107p2、107p3が不純物注入等により形成される。108はゲート絶縁膜105を保護するためのシリコン窒化膜、109n1、109n2、109n3、109p1、109p2、109p3はそれぞれn+拡散層107n1、107n2、107n3、p+拡散層107p1、107p2、107p3に接続されるシリサイド層、110n1、110n2、110n3、110p1、110p2、110p3は、シリサイド層109n1、109n2、109n3、109p1、109p2、109p3と第1メタル配線113c、113c、113a、113e、113fとをそれぞれ接続するコンタクト、111aはゲート配線106aと第1メタル配線113bを接続するコンタクト、111bはゲート配線106bと第1メタル配線113dを接続するコンタクト、111cはゲート配線106cと第1メタル配線113gとを接続するコンタクトである。

114 p1は第1メタル配線113 aと第2メタル配線115を接続するコンタクト、114 p2は第1メタル配線113 eと第2メタル配線115とを接続するコンタクトである。

[0016] シリコン柱104 p1、下部拡散層102 n、上部拡散層107 n1、ゲート絶縁膜105、ゲート電極106により、NMOSトランジスタQn1を構成し、シリコン柱104 p2、下部拡散層102 n、上部拡散層107 n2、ゲート絶縁膜105、ゲート電極106により、NMOSトランジスタQn2を構成し、シリコン柱104 p3、下部拡散層102 n、上部拡散層107 n3、ゲート絶縁膜105、ゲート電極106により、NMOSトランジスタQn3を構成し、シリコン柱104 n1、下部拡散層102 pa、上部拡散層107 p1、ゲート絶縁膜105、ゲート電極106により、PMOSトランジスタQp1を構成し、シリコン柱104 n2、下部拡散層102 pb、上部拡散層107 p2、ゲート絶縁膜105、ゲート電極106により、PMOSトランジスタQp2を構成し、シリコン柱104 n3、下部拡散層102 pb、上部拡散層107 p3、ゲート絶縁膜105、ゲート電極106により、PMOSトランジスタQp3を構成する。

また、NMOSトランジスタQn1のゲート電極106にはゲート配線106 aが接続され、NMOSトランジスタQn2のゲート電極106にはゲート配線106 bが接続され、NMOSトランジスタQn3のゲート電極106にはゲート配線106 dが接続され、PMOSトランジスタQp1のゲート電極106にはゲート配線106 aが接続され、PMOSトランジスタQp2のゲート電極106にはゲート配線106 bが接続され、PMOSトランジスタQp3のゲート電極にはゲート配線106 c及び106 dが接続される。

下部拡散層102 paおよび102 nはPMOSトランジスタQp1、NMOSトランジスタQn1、Qn2、Qn3の共通ドレインとなり、出力OUT1に接続される。NMOSトランジスタQn1のソースである上部拡散層107 n1はシリサイド109 n1、コンタクト110 n1を介して第1メ

タル配線 1 1 3 c に接続され、第 1 メタル配線 1 1 3 c には基準電源 V_{ss} が供給される。NMOS トランジスタ Q_{n2} のソースである上部拡散層 1 0 7 n 2 はシリサイド 1 0 9 n 2、コンタクト 1 1 0 n 2 を介して第 1 メタル配線 1 1 3 c に接続される。また、NMOS トランジスタ Q_{n3} のソースである上部拡散層 1 0 7 n 3 はシリサイド 1 0 9 n 3、コンタクト 1 1 0 n 3 を介して第 1 メタル配線 1 1 3 c に接続される。PMOS トランジスタ Q_{p1} のソースである上部拡散層 1 0 7 p 1 はシリサイド 1 0 9 p 1、コンタクト 1 1 0 p 1 を介して第 1 メタル配線 1 1 3 a に接続され、第 1 メタル配線 1 1 3 a はさらに、コンタクト 1 1 4 p 1 を介して第 2 メタル配線 1 1 5 に接続される。PMOS トランジスタ Q_{p2} のドレインである上部拡散層 1 0 7 p 2 はシリサイド 1 0 9 p 2、コンタクト 1 1 0 p 2 を介して第 1 メタル配線 1 1 3 e に接続され、第 1 メタル配線 1 1 3 e はさらに、コンタクト 1 1 4 p 2 を介して第 2 メタル配線 1 1 5 に接続される。ここで、PMOS トランジスタ Q_{p1} のソースと PMOS トランジスタ Q_{p2} のドレインは、第 2 メタル配線 1 1 5 を介して接続される。また、PMOS トランジスタ Q_{p2} のソースは下部拡散層 1 0 2 p b とシリサイド領域 1 0 3 を介して PMOS トランジスタ Q_{p3} のドレインと接続され、PMOS トランジスタ Q_{p3} のソースは、コンタクト 1 1 0 p 3 を介して第 1 メタル配線 1 1 3 f に接続され、第 1 メタル配線 1 1 3 f には供給電源 V_{cc} が供給される。

[0017] 第 1 メタル配線 1 1 3 b には、入力信号 I_{N1} が供給され、コンタクト 1 1 1 a を介してゲート配線 1 0 6 a に接続され、NMOS トランジスタ Q_{n1} および PMOS トランジスタ Q_{p1} のゲート電極に供給される。

第 1 メタル配線 1 1 3 d には、入力信号 I_{N2} が供給され、コンタクト 1 1 1 b を介してゲート配線 1 0 6 b に接続され、NMOS トランジスタ Q_{n2} および PMOS トランジスタ Q_{p2} のゲート電極に接続される。

第 1 メタル配線 1 1 3 g には、入力信号 I_{N3} が供給され、コンタクト 1 1 1 c を介してゲート配線 1 0 6 c に接続され、PMOS トランジスタ Q_{p3} のゲート電極に接続されるとともに、ゲート配線 1 0 6 d を介して NMOS

トランジスタ Q_{n3} のゲート電極に接続される。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、3入力NOR回路を構成する6個のSGTを1列に配置でき、面積が縮小された半導体装置が提供できる。

[0018] (実施例2)

図3a、図3b、図3c、図3d及び図3eに、第2の実施例を示す。図3aは、本発明の3入力NORレイアウト（配置）の平面図、図3bは、図3aにおけるカットラインA-A'に沿った断面図、図3cは、図3aにおけるカットラインB-B'に沿った断面図、図3dは、図3aにおけるカットラインC-C'に沿った断面図、図3eは、図3aにおけるカットラインD-D'に沿った断面図を示す。

図3a及び図3bにおいて、図1のNOR回路のPMOSトランジスタ Q_{p1} 、NMOSトランジスタ Q_{n1} 、 Q_{n3} 、 Q_{n2} 、PMOSトランジスタ Q_{p2} 、 Q_{p3} が右より1列に配置されている。図2a、図2bと異なるところは、図2において、延在しているゲート配線106dを削除して第2メタルを使用して接続を行ったものである。

図3a、図3b、図3c、図3dにおいて、図2a、図2bと同じ構造の箇所については、同じく100番台の同等の記号で示してある。

[0019] 基板上に形成された埋め込み酸化膜層（BOX）101などの絶縁膜上に平面状シリコン層102pa、102n、102pbが形成され、この平面状シリコン層102pa、102n、102pbは不純物注入等により、それぞれp+拡散層、n+拡散層、p+拡散層から構成される。103は、平面状シリコン層（102pa、102n、102pb）の表面に形成されるシリサイド層であり、平面状シリコン層102pa、102nを接続する。104p1、104p2、104p3はp型シリコン柱、104n1、104n2、104n3はn型シリコン柱、105はシリコン柱104p1、104p2、104p3、104n1、104n2、104n3を取り巻くゲート絶縁膜、106はゲート電極、106a、106b、106c、106d

はそれぞれゲート配線である。シリコン柱104p1、104p2、104p3の最上部には、それぞれn+拡散層107n1、107n2、107n3が不純物注入等により形成され、シリコン柱104n1、104n2、104n3の最上部には、それぞれp+拡散層107p1、107p2、107p3が不純物注入等により形成される。108はゲート絶縁膜105を保護するためのシリコン窒化膜、109n1、109n2、109n3、109p1、109p2、109p3はそれぞれn+拡散層107n1、107n2、107n3、p+拡散層107p1、107p2、107p3に接続されるシリサイド層、110n1、110n2、110n3、110p1、110p2、110p3は、シリサイド層109n1、109n2、109n3、109p1、109p2、109p3と第1メタル配線113h、113c、113c、113a、113e、113fとをそれぞれ接続するコンタクト、111aはゲート配線106aと第1メタル配線113bを接続するコンタクト、111bはゲート配線106bと第1メタル配線113dを接続するコンタクト、111cはゲート配線106cと第1メタル配線113gとを接続するコンタクト、111dはゲート配線106dと第1メタル配線113jを接続するコンタクトである。

114p1は第1メタル配線113aと第2メタル配線115を接続するコンタクト、114p2は第1メタル配線113eと第2メタル配線115とを接続するコンタクトである。

[0020] シリコン柱104p1、下部拡散層102n、上部拡散層107n1、ゲート絶縁膜105、ゲート電極106により、NMOSトランジスタQn1を構成し、シリコン柱104p2、下部拡散層102n、上部拡散層107n2、ゲート絶縁膜105、ゲート電極106により、NMOSトランジスタQn2を構成し、シリコン柱104p3、下部拡散層102n、上部拡散層107n3、ゲート絶縁膜105、ゲート電極106により、NMOSトランジスタQn3を構成し、シリコン柱104n1、下部拡散層102pa、上部拡散層107p1、ゲート絶縁膜105、ゲート電極106により、P

MOSトランジスタQ p 1を構成し、シリコン柱1 0 4 n 2、下部拡散層1 0 2 p b、上部拡散層1 0 7 p 2、ゲート絶縁膜1 0 5、ゲート電極1 0 6により、PMOSトランジスタQ p 2を構成し、シリコン柱1 0 4 n 3、下部拡散層1 0 2 p b、上部拡散層1 0 7 p 3、ゲート絶縁膜1 0 5、ゲート電極1 0 6により、PMOSトランジスタQ p 3を構成する。

また、NMOSトランジスタQ n 1のゲート電極1 0 6にはゲート配線1 0 6 aが接続され、NMOSトランジスタQ n 2のゲート電極1 0 6にはゲート配線1 0 6 bが接続され、NMOSトランジスタQ n 3のゲート電極1 0 6にはゲート配線1 0 6 dが接続され、PMOSトランジスタQ p 1のゲート電極1 0 6にはゲート配線1 0 6 aが接続され、PMOSトランジスタQ p 2のゲート電極1 0 6にはゲート配線1 0 6 bが接続され、PMOSトランジスタQ p 3のゲート電極にはゲート配線1 0 6 cが接続される。

下部拡散層1 0 2 p aおよび1 0 2 nはPMOSトランジスタQ p 1、NMOSトランジスタQ n 1、Q n 2、Q n 3の共通ドレインとなり、出力OUT 1に接続される。NMOSトランジスタQ n 1のソースである上部拡散層1 0 7 n 1はシリサイド1 0 9 n 1、コンタクト1 1 0 n 1を介して第1メタル配線1 1 3 hに接続され、第1メタル配線1 1 3 hには基準電源V s sが供給される。NMOSトランジスタQ n 2のソースである上部拡散層1 0 7 n 2はシリサイド1 0 9 n 2、コンタクト1 1 0 n 2を介して第1メタル配線1 1 3 cに接続され、第1メタル配線1 1 3 cには基準電源V s sが供給される。また、NMOSトランジスタQ n 3のソースである上部拡散層1 0 7 n 3はシリサイド1 0 9 n 3、コンタクト1 1 0 n 3を介して第1メタル配線1 1 3 cに接続される。PMOSトランジスタQ p 1のソースである上部拡散層1 0 7 p 1はシリサイド1 0 9 p 1、コンタクト1 1 0 p 1を介して第1メタル配線1 1 3 aに接続され、第1メタル配線1 1 3 aはさらに、コンタクト1 1 4 p 1を介して第2メタル配線1 1 5に接続される。PMOSトランジスタQ p 2のドレインである上部拡散層1 0 7 p 2はシリサイド1 0 9 p 2、コンタクト1 1 0 p 2を介して第1メタル配線1 1 3 eに接

続され、第1メタル配線113eはさらに、コンタクト114p2を介して第2メタル配線115に接続される。ここで、PMOSトランジスタQp1のソースとPMOSトランジスタQp2のドレインは、第2メタル配線115を介して接続される。また、PMOSトランジスタQp2のソースは下部拡散層102pbとシリサイド領域103を介してPMOSトランジスタQp3のドレインと接続され、PMOSトランジスタQp3のソースは、コンタクト110p3を介して第1メタル配線113fに接続され、第1メタル配線113fには電源Vccが供給される。

ゲート配線106dは、コンタクト111dを介して第1メタル配線113jに接続され、第1メタル配線113jは図面上方に延在して、コンタクト114aを介して第2メタル配線116に接続される。また、ゲート配線106cは、コンタクト111cを介して第1メタル配線113gと接続され、第1メタル配線113gはコンタクト114bを介して第2メタル配線116に接続される。

[0021] 第1メタル配線113bには、入力信号IN1が供給され、コンタクト111aを介してゲート配線106aに接続され、NMOSトランジスタQn1およびPMOSトランジスタQp1のゲート電極に供給される。

第1メタル配線113dには、入力信号IN2が供給され、コンタクト111bを介してゲート配線106bに接続され、NMOSトランジスタQn2およびPMOSトランジスタQp2のゲート電極に接続される。

第1メタル配線113gには、入力信号IN3が供給され、コンタクト111cを介してゲート配線106cに接続され、PMOSトランジスタQp3のゲート電極に接続される。さらに、第1メタル配線113gは、コンタクト114bにより第2メタル配線116に接続されており、第2メタル配線116はコンタクト114a及び第1メタル配線113jを介してゲート配線106dに接続され、NMOSトランジスタQn3のゲート電極に接続される。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、3入力NOR

回路を構成する6個のSGTを1列に配置でき、面積が縮小された半導体装置が提供できる。

さらに、延在したゲート配線を削除でき、配線抵抗、寄生容量を低減でき、高速化が達成できる。

[0022] (実施例3)

図4a及び図4bに、第3の実施例を示す。図4aは、本発明の3入力NORレイアウト(配置)の平面図、図4bは、図4aにおけるカットラインA-A'に沿った断面図を示す。

図4aにおいて、図1のNOR回路のPMOSトランジスタQp1、NMOSトランジスタQn1、NMOSトランジスタQn2、NMOSトランジスタQn3、PMOSトランジスタQp3及びPMOSトランジスタQp2が右より1列に配置されている。

図2と異なるところは、NMOSトランジスタQn2とQn3、及びPMOSトランジスタQp2及びQp3の順番を入れ替えたところにある。

図4a及び図4bにおいて、図2a、図2bと同じ構造の箇所については、同じ、100番台の同等の記号で示してある。

[0023] 基板上に形成された埋め込み酸化膜層(BOX)101などの絶縁膜上に平面状シリコン層102pa、102n、102pbが形成され、この平面状シリコン層102pa、102n、102pbは不純物注入等により、それぞれp+拡散層、n+拡散層、p+拡散層から構成される。103は、平面状シリコン層(102pa、102n、102pb)の表面に形成されるシリサイド層であり、平面状シリコン層102pa、102nを接続する。104p1、104p2、104p3はp型シリコン柱、104n1、104n2、104n3はn型シリコン柱、105はシリコン柱104p1、104p2、104p3、104n1、104n2、104n3を取り巻くゲート絶縁膜、106はゲート電極、106a、106b、106c、106dはそれぞれゲート配線である。シリコン柱104p1、104p2、104p3の最上部には、それぞれn+拡散層107n1、107n2、107n

3が不純物注入等により形成され、シリコン柱104n1、104n2、104n3の最上部には、それぞれp+拡散層107p1、107p2、107p3が不純物注入等により形成される。108はゲート絶縁膜105を保護するためのシリコン窒化膜、109n1、109n2、109n3、109p1、109p2、109p3はそれぞれn+拡散層107n1、107n2、107n3、p+拡散層107p1、107p2、107p3に接続されるシリサイド層、110n1、110n2、110n3、110p1、110p2、110p3は、シリサイド層109n1、109n2、109n3、109p1、109p2、109p3と第1メタル配線113c、113c、113c、113a、113e、113fとをそれぞれ接続するコンタクト、111aはゲート配線106aと第1メタル配線113bを接続するコンタクト、111bはゲート配線106bと第1メタル配線113dを接続するコンタクト、111cはゲート配線106cと第1メタル配線113gとを接続するコンタクトである。

114p1は第1メタル配線113aと第2メタル配線115を接続するコンタクト、114p2は第1メタル配線113eと第2メタル配線115とを接続するコンタクトである。

[0024] シリコン柱104p1、下部拡散層102n、上部拡散層107n1、ゲート絶縁膜105、ゲート電極106により、NMOSトランジスタQn1を構成し、シリコン柱104p2、下部拡散層102n、上部拡散層107n2、ゲート絶縁膜105、ゲート電極106により、NMOSトランジスタQn2を構成し、シリコン柱104p3、下部拡散層102n、上部拡散層107n3、ゲート絶縁膜105、ゲート電極106により、NMOSトランジスタQn3を構成し、シリコン柱104n1、下部拡散層102pa、上部拡散層107p1、ゲート絶縁膜105、ゲート電極106により、PMOSトランジスタQp1を構成し、シリコン柱104n2、下部拡散層102pb、上部拡散層107p2、ゲート絶縁膜105、ゲート電極106により、PMOSトランジスタQp2を構成し、シリコン柱104n3、下

部拡散層 102 p b、上部拡散層 107 p 3、ゲート絶縁膜 105、ゲート電極 106 により、PMOS トランジスタ Q p 3 を構成する。

また、NMOS トランジスタ Q n 1 のゲート電極 106 にはゲート配線 106 a が接続され、NMOS トランジスタ Q n 2 のゲート電極 106 にはゲート配線 106 d が接続され、NMOS トランジスタ Q n 3 のゲート電極 106 にはゲート配線 106 b が接続され、PMOS トランジスタ Q p 1 のゲート電極 106 にはゲート配線 106 a が接続され、PMOS トランジスタ Q p 2 のゲート電極 106 にはゲート配線 106 c 及び 106 d が接続され、PMOS トランジスタ Q p 3 のゲート電極にはゲート配線 106 b が接続される。

下部拡散層 102 p a および 102 n は PMOS トランジスタ Q p 1、NMOS トランジスタ Q n 1、Q n 2、Q n 3 の共通ドレインとなり、出力 OUT 1 に接続される。NMOS トランジスタ Q n 1 のソースである上部拡散層 107 n 1 はシリサイド 109 n 1、コンタクト 110 n 1 を介して第 1 メタル配線 113 c に接続され、第 1 メタル配線 113 c には基準電源 V s s が供給される。NMOS トランジスタ Q n 2 のソースである上部拡散層 107 n 2 はシリサイド 109 n 2、コンタクト 110 n 2 を介して第 1 メタル配線 113 c に接続される。また、NMOS トランジスタ Q n 3 のソースである上部拡散層 107 n 3 はシリサイド 109 n 3、コンタクト 110 n 3 を介して第 1 メタル配線 113 c に接続される。PMOS トランジスタ Q p 1 のソースである上部拡散層 107 p 1 はシリサイド 109 p 1、コンタクト 110 p 1 を介して第 1 メタル配線 113 a に接続され、第 1 メタル配線 113 a はさらに、コンタクト 114 p 1 を介して第 2 メタル配線 115 に接続される。PMOS トランジスタ Q p 2 のドレインである上部拡散層 107 p 2 はシリサイド 109 p 2、コンタクト 110 p 2 を介して第 1 メタル配線 113 e に接続され、第 1 メタル配線 113 e はさらに、コンタクト 114 p 2 を介して第 2 メタル配線 115 に接続される。ここで、PMOS トランジスタ Q p 1 のソースと PMOS トランジスタ Q p 2 のドレインは、第

2メタル配線115を介して接続される。また、PMOSトランジスタQp2のソースは下部拡散層102pbとシリサイド領域103を介してPMOSトランジスタQp3のドレインと接続され、PMOSトランジスタQp3のソースは、コンタクト110p3を介して第1メタル配線113fに接続され、第1メタル配線113fには電源Vccが供給される。

[0025] 第1メタル配線113bには、入力信号IN1が供給され、コンタクト111aを介してゲート配線106aに接続され、NMOSトランジスタQn1およびPMOSトランジスタQp1のゲート電極に供給される。

第1メタル配線113gには、入力信号IN2が供給され、コンタクト111cを介してゲート配線106cに接続され、PMOSトランジスタQp2のゲート電極に接続される。また、ゲート配線106dにより、NMOSトランジスタQn2のゲート電極に接続される。

第1メタル配線113dには、入力信号IN3が供給され、コンタクト111bを介してゲート配線106bに接続され、NMOSトランジスタQn3およびPMOSトランジスタQp3のゲート電極に接続される。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、3入力NOR回路を構成する6個のSGTを1列に配置でき、面積が縮小された半導体装置が提供できる。

[0026] (実施例4)

図5a及び図5bに、第4の実施例を示す。図5aは、本発明の3入力NORレイアウト(配置)の平面図、図5bは、図5aにおけるカットラインA-A'に沿った断面図を示す。

図5aにおいて、図1のNOR回路のPMOSトランジスタQp1、NMOSトランジスタQn1、NMOSトランジスタQn2、NMOSトランジスタQn3、PMOSトランジスタQp2及びPMOSトランジスタQp3が右より1列に配置されている。

図4と異なるところは、PMOSトランジスタQp2及びQp3の順番を入れ替えたところにある。

図5 a 及び図5 b において、図4 a、図4 b と同じ構造の箇所については、同じ、100番台の同等の記号で示してある。

[0027] 基板上に形成された埋め込み酸化膜層 (BOX) 101 などの絶縁膜上に平面状シリコン層 102 p a、102 n、102 p b が形成され、この平面状シリコン層 102 p a、102 n、102 p b は不純物注入等により、それぞれ p + 拡散層、n + 拡散層、p + 拡散層から構成される。103 は、平面状シリコン層 (102 p a、102 n、102 p b) の表面に形成されるシリサイド層であり、平面状シリコン層 102 p a、102 n を接続する。104 p 1、104 p 2、104 p 3 は p 型シリコン柱、104 n 1、104 n 2、104 n 3 は n 型シリコン柱、105 はシリコン柱 104 p 1、104 p 2、104 p 3、104 n 1、104 n 2、104 n 3 を取り巻くゲート絶縁膜、106 はゲート電極、106 a、106 c、106 d、106 e、106 f はそれぞれゲート配線である。シリコン柱 104 p 1、104 p 2、104 p 3 の最上部には、それぞれ n + 拡散層 107 n 1、107 n 2、107 n 3 が不純物注入等により形成され、シリコン柱 104 n 1、104 n 2、104 n 3 の最上部には、それぞれ p + 拡散層 107 p 1、107 p 2、107 p 3 が不純物注入等により形成される。108 はゲート絶縁膜 105 を保護するためのシリコン窒化膜、109 n 1、109 n 2、109 n 3、109 p 1、109 p 2、109 p 3 はそれぞれ n + 拡散層 107 n 1、107 n 2、107 n 3、p + 拡散層 107 p 1、107 p 2、107 p 3 に接続されるシリサイド層、110 n 1、110 n 2、110 n 3、110 p 1、110 p 2、110 p 3 は、シリサイド層 109 n 1、109 n 2、109 n 3、109 p 1、109 p 2、109 p 3 と第1メタル配線 113 h、113 c、113 c、113 a、113 e、113 f とをそれぞれ接続するコンタクト、111 a はゲート配線 106 a と第1メタル配線 113 b を接続するコンタクト、111 c はゲート配線 106 c と第1メタル配線 113 g を接続するコンタクト、111 d はゲート配線 106 d と第1メタル 113 j とを接続するコンタクト、111 e はゲート配線 106 e と第

1メタル配線113kとを接続するコンタクトである。

114p1は第1メタル配線113aと第2メタル配線115を接続するコンタクト、114p2は第1メタル配線113eと第2メタル配線115とを接続するコンタクトである。また、114aは第1メタル113jと第2メタル116を接続するコンタクト、114eは第1メタル配線113kと第2メタル116を接続するコンタクトである。

[0028] シリコン柱104p1、下部拡散層102n、上部拡散層107n1、ゲート絶縁膜105、ゲート電極106により、NMOSトランジスタQn1を構成し、シリコン柱104p2、下部拡散層102n、上部拡散層107n2、ゲート絶縁膜105、ゲート電極106により、NMOSトランジスタQn2を構成し、シリコン柱104p3、下部拡散層102n、上部拡散層107n3、ゲート絶縁膜105、ゲート電極106により、NMOSトランジスタQn3を構成し、シリコン柱104n1、下部拡散層102pa、上部拡散層107p1、ゲート絶縁膜105、ゲート電極106により、PMOSトランジスタQp1を構成し、シリコン柱104n2、下部拡散層102pb、上部拡散層107p2、ゲート絶縁膜105、ゲート電極106により、PMOSトランジスタQp2を構成し、シリコン柱104n3、下部拡散層102pb、上部拡散層107p3、ゲート絶縁膜105、ゲート電極106により、PMOSトランジスタQp3を構成する。

また、NMOSトランジスタQn1のゲート電極106にはゲート配線106aが接続され、NMOSトランジスタQn2のゲート電極106にはゲート配線106dが接続され、NMOSトランジスタQn3のゲート電極106にはゲート配線106fが接続され、PMOSトランジスタQp1のゲート電極106にはゲート配線106aが接続され、PMOSトランジスタQp2のゲート電極106にはゲート配線106eが接続され、PMOSトランジスタQp3のゲート電極にはゲート配線106c及び106fが接続される。

下部拡散層102paおよび102nはPMOSトランジスタQp1、NM

OSトランジスタ Q_{n1} 、 Q_{n2} 、 Q_{n3} の共通ドレインとなり、出力OUT1に接続される。NMOSトランジスタ Q_{n1} のソースである上部拡散層107n1はシリサイド109n1、コンタクト110n1を介して第1メタル配線113hに接続され、第1メタル配線113hには基準電源 V_{ss} が供給される。NMOSトランジスタ Q_{n2} のソースである上部拡散層107n2はシリサイド109n2、コンタクト110n2を介して第1メタル配線113cに接続され、第1メタル113cには基準電源 V_{ss} が供給される。また、NMOSトランジスタ Q_{n3} のソースである上部拡散層107n3はシリサイド109n3、コンタクト110n3を介して第1メタル配線113cに接続される。PMOSトランジスタ Q_{p1} のソースである上部拡散層107p1はシリサイド109p1、コンタクト110p1を介して第1メタル配線113aに接続され、第1メタル配線113aはさらに、コンタクト114p1を介して第2メタル配線115に接続される。PMOSトランジスタ Q_{p2} のドレインである上部拡散層107p2はシリサイド109p2、コンタクト110p2を介して第1メタル配線113eに接続され、第1メタル配線113eはさらに、コンタクト114p2を介して第2メタル配線115に接続される。ここで、PMOSトランジスタ Q_{p1} のソースとPMOSトランジスタ Q_{p2} のドレインは、第2メタル配線115を介して接続される。また、PMOSトランジスタ Q_{p2} のソースは下部拡散層102pbとシリサイド領域103を介してPMOSトランジスタ Q_{p3} のドレインと接続され、PMOSトランジスタ Q_{p3} のソースは、コンタクト110p3を介して第1メタル配線113fに接続され、第1メタル配線113fには電源 V_{cc} が供給される。

[0029] 第1メタル配線113bには、入力信号IN1が供給され、コンタクト111aを介してゲート配線106aに接続され、NMOSトランジスタ Q_{n1} およびPMOSトランジスタ Q_{p1} のゲート電極に供給される。

第1メタル配線113jには、入力信号IN2が供給され、コンタクト111dを介してゲート配線106dに接続され、NMOSトランジスタ Q_{n2}

のゲート電極に接続される。また、第1メタル配線113jはコンタクト114aを介して第2メタル配線116と接続され、さらにコンタクト114e、第1メタル配線113k及びコンタクト111eを介してゲート配線106eに接続され、PMOSトランジスタQp2のゲート電極に接続される。

第1メタル配線113gには、入力信号IN3が供給され、コンタクト111cを介してゲート配線106cに接続され、PMOSトランジスタQp3のゲート電極に接続されるとともに、ゲート配線106fにより、NMOSトランジスタQn3のゲート電極に接続される。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、3入力NOR回路を構成する6個のSGTを1列に配置でき、面積が縮小された半導体装置が提供できる。

[0030] (実施例5)

図6に、図1の3入力NOR回路の等価回路の変形例を示す。NMOSトランジスタQn3とPMOSトランジスタQp3のゲートに接続される入力信号IN3が、各々IN3a、IN3bと異なる配線で接続されている。IN3a、IN3bは、図面領域外でIN3に接続されており、動作的には等価であるが、レイアウトの配置上で、IN3は図示しない実施例があり、接続を明確にするために、以下の実施例では、別の等価回路として扱う。

図7aおよび図7bに、第5の実施例を示す。図7aは、本発明の3入力NORレイアウト（配置）の平面図、図7bは、図7aにおけるカットラインA-A'に沿った断面図を示す。

図7aにおいて、図6のNOR回路のPMOSトランジスタQp1、NMOSトランジスタQn1、NMOSトランジスタQn3、NMOSトランジスタQn2、PMOSトランジスタQp2及びPMOSトランジスタQp3が右より1列に配置されている。図2と異なる点は、入力信号IN3を、IN3a、IN3bと異なる配線にして、延在したゲート配線を削除したところにある。

なお、図7a、図7bにおいて、図2a、図2bと同じ構造の箇所については、同じく100番台の同等の記号で示してある。

[0031] 基板上に形成された埋め込み酸化膜層（BOX）101などの絶縁膜上に平面状シリコン層102pa、102n、102pbが形成され、この平面状シリコン層102pa、102n、102pbは不純物注入等により、それぞれp+拡散層、n+拡散層、p+拡散層から構成される。103は、平面状シリコン層（102pa、102n、102pb）の表面に形成されるシリサイド層であり、平面状シリコン層102pa、102nを接続する。104p1、104p2、104p3はp型シリコン柱、104n1、104n2、104n3はn型シリコン柱、105はシリコン柱104p1、104p2、104p3、104n1、104n2、104n3を取り巻くゲート絶縁膜、106はゲート電極、106a、106b、106c、106dはそれぞれゲート配線である。シリコン柱104p1、104p2、104p3の最上部には、それぞれn+拡散層107n1、107n2、107n3が不純物注入等により形成され、シリコン柱104n1、104n2、104n3の最上部には、それぞれp+拡散層107p1、107p2、107p3が不純物注入等により形成される。108はゲート絶縁膜105を保護するためのシリコン窒化膜、109n1、109n2、109n3、109p1、109p2、109p3はそれぞれn+拡散層107n1、107n2、107n3、p+拡散層107p1、107p2、107p3に接続されるシリサイド層、110n1、110n2、110n3、110p1、110p2、110p3は、シリサイド層109n1、109n2、109n3、109p1、109p2、109p3と第1メタル配線113h、113c、113c、113a、113e、113fとをそれぞれ接続するコンタクト、111aはゲート配線106aと第1メタル配線113bを接続するコンタクト、111bはゲート配線106bと第1メタル配線113dを接続するコンタクト、111cはゲート配線106cと第1メタル配線113gとを接続するコンタクト、111dはゲート配線106dと第1メタル配線113hとを接続するコンタクト。

ル配線 113j とを接続するコンタクトである。

114p1 は第 1 メタル配線 113a と第 2 メタル配線 115 を接続するコンタクト、114p2 は第 1 メタル配線 113e と第 2 メタル配線 115 とを接続するコンタクトである。

[0032] シリコン柱 104p1、下部拡散層 102n、上部拡散層 107n1、ゲート絶縁膜 105、ゲート電極 106 により、NMOS トランジスタ Qn1 を構成し、シリコン柱 104p2、下部拡散層 102n、上部拡散層 107n2、ゲート絶縁膜 105、ゲート電極 106 により、NMOS トランジスタ Qn2 を構成し、シリコン柱 104p3、下部拡散層 102n、上部拡散層 107n3、ゲート絶縁膜 105、ゲート電極 106 により、NMOS トランジスタ Qn3 を構成し、シリコン柱 104n1、下部拡散層 102pa、上部拡散層 107p1、ゲート絶縁膜 105、ゲート電極 106 により、PMOS トランジスタ Qp1 を構成し、シリコン柱 104n2、下部拡散層 102pb、上部拡散層 107p2、ゲート絶縁膜 105、ゲート電極 106 により、PMOS トランジスタ Qp2 を構成し、シリコン柱 104n3、下部拡散層 102pb、上部拡散層 107p3、ゲート絶縁膜 105、ゲート電極 106 により、PMOS トランジスタ Qp3 を構成する。

また、NMOS トランジスタ Qn1 のゲート電極 106 にはゲート配線 106a が接続され、NMOS トランジスタ Qn2 のゲート電極 106 にはゲート配線 106b が接続され、NMOS トランジスタ Qn3 のゲート電極 106 にはゲート配線 106d が接続され、PMOS トランジスタ Qp1 のゲート電極 106 にはゲート配線 106a が接続され、PMOS トランジスタ Qp2 のゲート電極 106 にはゲート配線 106b が接続され、PMOS トランジスタ Qp3 のゲート電極にはゲート配線 106c が接続される。

下部拡散層 102pa および 102n は PMOS トランジスタ Qp1、NMOS トランジスタ Qn1、Qn2、Qn3 の共通ドレインとなり、出力 OUT1 に接続される。NMOS トランジスタ Qn1 のソースである上部拡散層 107n1 はシリサイド 109n1、コンタクト 110n1 を介して第 1 メ

タル配線 1 1 3 h に接続され、第 1 メタル配線 1 1 3 h には基準電源 V_{ss} が供給される。NMOS トランジスタ Q_{n2} のソースである上部拡散層 1 0 7 n 2 はシリサイド 1 0 9 n 2、コンタクト 1 1 0 n 2 を介して第 1 メタル配線 1 1 3 c に接続され、第 1 メタル配線 1 1 3 c には基準電源 V_{ss} が供給される。また、NMOS トランジスタ Q_{n3} のソースである上部拡散層 1 0 7 n 3 はシリサイド 1 0 9 n 3、コンタクト 1 1 0 n 3 を介して第 1 メタル配線 1 1 3 c に接続される。PMOS トランジスタ Q_{p1} のソースである上部拡散層 1 0 7 p 1 はシリサイド 1 0 9 p 1、コンタクト 1 1 0 p 1 を介して第 1 メタル配線 1 1 3 a に接続され、第 1 メタル配線 1 1 3 a はさらに、コンタクト 1 1 4 p 1 を介して第 2 メタル配線 1 1 5 に接続される。PMOS トランジスタ Q_{p2} のドレインである上部拡散層 1 0 7 p 2 はシリサイド 1 0 9 p 2、コンタクト 1 1 0 p 2 を介して第 1 メタル配線 1 1 3 e に接続され、第 1 メタル配線 1 1 3 e はさらに、コンタクト 1 1 4 p 2 を介して第 2 メタル配線 1 1 5 に接続される。ここで、PMOS トランジスタ Q_{p1} のソースと PMOS トランジスタ Q_{p2} のドレインは、第 2 メタル配線 1 1 5 を介して接続される。また、PMOS トランジスタ Q_{p2} のソースは下部拡散層 1 0 2 p b とシリサイド領域 1 0 3 を介して PMOS トランジスタ Q_{p3} のドレインと接続され、PMOS トランジスタ Q_{p3} のソースは、コンタクト 1 1 0 p 3 を介して第 1 メタル配線 1 1 3 f に接続され、第 1 メタル配線 1 1 3 f には電源 V_{cc} が供給される。

[0033] 第 1 メタル配線 1 1 3 b には、入力信号 I_{N1} が供給され、コンタクト 1 1 1 a を介してゲート配線 1 0 6 a に接続され、NMOS トランジスタ Q_{n1} および PMOS トランジスタ Q_{p1} のゲート電極に供給される。

第 1 メタル配線 1 1 3 d には、入力信号 I_{N2} が供給され、コンタクト 1 1 1 b を介してゲート配線 1 0 6 b に接続され、NMOS トランジスタ Q_{n2} および PMOS トランジスタ Q_{p2} のゲート電極に接続される。

第 1 メタル配線 1 1 3 j には入力信号 I_{N3a} が供給され、コンタクト 1 1 1 d を介してゲート配線 1 0 6 d に接続され、NMOS トランジスタ Q_{n3}

のゲート電極に接続される。

第1メタル配線113gには、入力信号IN3bが供給され、コンタクト111cを介してゲート配線106cに接続され、PMOSトランジスタQp3のゲート電極に接続される。入力信号IN3aとIN3bは図示しない箇所にて入力信号IN3へ接続される。

本実施例によれば、入力信号線の本数は1本増加するが、延在したゲート配線及び延在した第2メタル配線が削除でき、無駄な配線やコンタクト領域を設けずに、3入力NOR回路を構成する6個のSGTを1列に配置でき、面積が縮小された半導体装置が提供できる。

[0034] (実施例6)

図8a及び図8bに、第6の実施例を示す。図8aは、本発明の3入力NORレイアウト(配置)の平面図、図8bは、図8aにおけるカットラインA-A'に沿った断面図を示す。

入力信号IN3が直接入力されるので、等価回路は図1に従う。

図8aにおいて、図1のNOR回路のNMOSトランジスタQn3、Qn2、Qn1、PMOSトランジスタQp1、Qp2、Qp3が右より1列に配置されている。

図2と異なるところは、NMOSトランジスタQn1、Qn2、Qn3及びPMOSトランジスタQp1の配置を入れ替えてある。

図8a及び図8bにおいて、図2a、図2bと同じ構造の箇所については、200番台の同等の記号で示してある。

[0035] 基板上に形成された埋め込み酸化膜層(BOX)201などの絶縁膜上に平面状シリコン層202n、202pa、202pbが形成され、この平面状シリコン層202n、202pa、202pbは不純物注入等により、それぞれn+拡散層、p+拡散層、p+拡散層から構成される。203は、平面状シリコン層(202n、202pa、202pb)の表面に形成されるシリサイド層であり、平面状シリコン層202n、202paを接続する。204p1、204p2、204p3はp型シリコン柱、204n1、204

n 2、204 n 3はn型シリコン柱、205はシリコン柱204 p 1、204 p 2、204 p 3、204 n 1、204 n 2、204 n 3を取り巻くゲート絶縁膜、206はゲート電極、206 a、206 b、206 c、206 d、206 eはそれぞれゲート配線である。シリコン柱204 p 1、204 p 2、204 p 3の最上部には、それぞれn+拡散層207 n 1、207 n 2、207 n 3が不純物注入等により形成され、シリコン柱204 n 1、204 n 2、204 n 3の最上部には、それぞれp+拡散層207 p 1、207 p 2、207 p 3が不純物注入等により形成される。208はゲート絶縁膜205を保護するためのシリコン窒化膜、209 n 1、209 n 2、209 n 3、209 p 1、209 p 2、209 p 3はそれぞれn+拡散層207 n 1、207 n 2、207 n 3、p+拡散層207 p 1、207 p 2、207 p 3に接続されるシリサイド層、210 n 1、210 n 2、210 n 3、210 p 1、210 p 2、210 p 3は、シリサイド層209 n 1、209 n 2、209 n 3、209 p 1、209 p 2、209 p 3と第1メタル配線213 b、213 b、213 b、213 d、213 d、213 fとをそれぞれ接続するコンタクト、211 aはゲート配線206 aと第1メタル配線213 cを接続するコンタクト、211 bはゲート配線206 cと第1メタル配線213 eを接続するコンタクト、211 cはゲート配線206 dと第1メタル配線213 aとを接続するコンタクト、211 dはゲート配線206 eと第1メタル配線213 gとを接続するコンタクトである。

214 aは第1メタル配線213 aと第2メタル配線215を接続するコンタクト、214 bは第1メタル配線213 gと第2メタル配線215とを接続するコンタクトである。

[0036] シリコン柱204 p 1、下部拡散層202 n、上部拡散層207 n 1、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタQ n 1を構成し、シリコン柱204 p 2、下部拡散層202 n、上部拡散層207 n 2、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタQ n 2を構成し、シリコン柱204 p 3、下部拡散層202 n、上部拡散層

207n3、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタQn3を構成し、シリコン柱204n1、下部拡散層202pa、上部拡散層207p1、ゲート絶縁膜205、ゲート電極206により、PMOSトランジスタQp1を構成し、シリコン柱204n2、下部拡散層202pb、上部拡散層207p2、ゲート絶縁膜205、ゲート電極206により、PMOSトランジスタQp2を構成し、シリコン柱204n3、下部拡散層202pb、上部拡散層207p3、ゲート絶縁膜205、ゲート電極206により、PMOSトランジスタQp3を構成する。

また、NMOSトランジスタQn1のゲート電極206にはゲート配線206aが接続され、NMOSトランジスタQn2のゲート電極206にはゲート配線206bが接続され、NMOSトランジスタQn3のゲート電極206にはゲート配線206dが接続され、PMOSトランジスタQp1のゲート電極206にはゲート配線206aが接続され、PMOSトランジスタQp2のゲート電極206にはゲート配線206cが接続されるとともに、ゲート配線206bが接続され、PMOSトランジスタQp3のゲート電極にはゲート配線206eが接続される。

下部拡散層202paおよび202nはPMOSトランジスタQp1、NMOSトランジスタQn1、Qn2、Qn3の共通ドレインとなり、出力OUT1に接続される。NMOSトランジスタQn1のソースである上部拡散層207n1はシリサイド209n1、コンタクト210n1を介して第1メタル配線213bに接続され、第1メタル配線213bには基準電源Vssが供給される。NMOSトランジスタQn2のソースである上部拡散層207n2はシリサイド209n2、コンタクト210n2を介して第1メタル配線213bに接続される。また、NMOSトランジスタQn3のソースである上部拡散層207n3はシリサイド209n3、コンタクト210n3を介して第1メタル配線213bに接続される。PMOSトランジスタQp1のソースである上部拡散層207p1はシリサイド209p1、コンタクト210p1を介して第1メタル配線213dに接続される。PMOSトラ

ンジスタQ p 2のドレインである上部拡散層2 0 7 p 2はシリサイド2 0 9 p 2、コンタクト2 1 0 p 2を介して第1メタル配線2 1 3 dに接続される。ここで、PMOSトランジスタQ p 1のソースとPMOSトランジスタQ p 2のドレインは、第1メタル配線2 1 3 dを介して接続される。また、PMOSトランジスタQ p 2のソースは下部拡散層2 0 2 p bとシリサイド領域2 0 3を介してPMOSトランジスタQ p 3のドレインと接続され、PMOSトランジスタQ p 3のソースは、コンタクト2 1 0 p 3を介して第1メタル配線2 1 3 fに接続され、第1メタル配線2 1 3 fには電源V c cが供給される。

[0037] 第1メタル配線2 1 3 cには、入力信号I N 1が供給され、コンタクト2 1 1 aを介してゲート配線2 0 6 aに接続され、NMOSトランジスタQ n 1およびPMOSトランジスタQ p 1のゲート電極に供給される。

第1メタル配線2 1 3 eには、入力信号I N 2が供給され、コンタクト2 1 1 bを介してゲート配線2 0 6 cに接続され、PMOSトランジスタQ p 2のゲート電極に接続されるとともに、ゲート配線2 0 6 bを介してNMOSトランジスタQ n 2のゲート電極に接続される。

第1メタル配線2 1 3 gには、入力信号I N 3が供給され、コンタクト2 1 1 dを介してゲート配線2 0 6 eに接続され、PMOSトランジスタQ p 3のゲート電極に接続される。また、第1メタル配線2 1 3 gはコンタクト2 1 4 bにより第2メタル2 1 5に接続され、コンタクト2 1 4 a、第1メタル2 1 3 a、コンタクト2 1 1 cを介してゲート配線2 0 6 dに接続され、NMOSトランジスタQ n 3のゲート電極に接続される。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、3入力NOR回路を構成する6個のSGTを1列に配置でき、面積が縮小された半導体装置が提供できる。

[0038] (実施例7)

図9 a及び図9 bに、第7の実施例を示す。図9 aは、本発明の3入力NORレイアウト(配置)の平面図、図9 bは、図9 aにおけるカットラインA

ー A' に沿った断面図を示す。

入力信号が I N 3 a、I N 3 b と異なる配線で接続されるので、等価回路は図 6 に従う。図 9 a において、図 6 の NOR 回路の NMOS トランジスタ Q n 3、Q n 2、Q n 1、PMOS トランジスタ Q p 1、Q p 2、Q p 3 が右より 1 列に配置されている。

図 8 と異なるところは、第 1 メタル配線のみで構成できるところである。

図 9 a 及び図 9 b において、図 8 a、図 8 b と同じ構造の箇所については、同じく 200 番台の同等の記号で示してある。

[0039] 基板上に形成された埋め込み酸化膜層 (BOX) 201 などの絶縁膜上に平面状シリコン層 202 n、202 p a、202 p b が形成され、この平面状シリコン層 202 n、202 p a、202 p b は不純物注入等により、それぞれ n+拡散層、p+拡散層、p+拡散層から構成される。203 は、平面状シリコン層 (202 n、202 p a、202 p b) の表面に形成されるシリサイド層であり、平面状シリコン層 202 p a、202 n を接続する。204 p 1、204 p 2、204 p 3 は p 型シリコン柱、204 n 1、204 n 2、204 n 3 は n 型シリコン柱、205 はシリコン柱 204 p 1、204 p 2、204 p 3、204 n 1、204 n 2、204 n 3 を取り巻くゲート絶縁膜、206 はゲート電極、206 a、206 b、206 c、206 d、206 e はそれぞれゲート配線である。シリコン柱 204 p 1、204 p 2、204 p 3 の最上部には、それぞれ n+拡散層 207 n 1、207 n 2、207 n 3 が不純物注入等により形成され、シリコン柱 204 n 1、204 n 2、204 n 3 の最上部には、それぞれ p+拡散層 207 p 1、207 p 2、207 p 3 が不純物注入等により形成される。208 はゲート絶縁膜 205 を保護するためのシリコン窒化膜、209 n 1、209 n 2、209 n 3、209 p 1、209 p 2、209 p 3 はそれぞれ n+拡散層 207 n 1、207 n 2、207 n 3、p+拡散層 207 p 1、207 p 2、207 p 3 に接続されるシリサイド層、210 n 1、210 n 2、210 n 3、210 p 1、210 p 2、210 p 3 は、シリサイド層 209 n 1、209 n

2、209n3、209p1、209p2、209p3と第1メタル配線213b、213b、213b、213d、213d、213fとをそれぞれ接続するコンタクト、211aはゲート配線206aと第1メタル配線213cを接続するコンタクト、211bはゲート配線206cと第1メタル配線213eを接続するコンタクト、211cはゲート配線206dと第1メタル配線213aとを接続するコンタクト、211dはゲート配線206eと第1メタル配線213gとを接続するコンタクトである。

[0040] シリコン柱204p1、下部拡散層202n、上部拡散層207n1、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタQn1を構成し、シリコン柱204p2、下部拡散層202n、上部拡散層207n2、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタQn2を構成し、シリコン柱204p3、下部拡散層202n、上部拡散層207n3、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタQn3を構成し、シリコン柱204n1、下部拡散層202pa、上部拡散層207p1、ゲート絶縁膜205、ゲート電極206により、PMOSトランジスタQp1を構成し、シリコン柱204n2、下部拡散層202pb、上部拡散層207p2、ゲート絶縁膜205、ゲート電極206により、PMOSトランジスタQp2を構成し、シリコン柱204n3、下部拡散層202pb、上部拡散層207p3、ゲート絶縁膜205、ゲート電極206により、PMOSトランジスタQp3を構成する。

また、NMOSトランジスタQn1のゲート電極206にはゲート配線206aが接続され、NMOSトランジスタQn2のゲート電極206にはゲート配線206bが接続され、NMOSトランジスタQn3のゲート電極206にはゲート配線206dが接続され、PMOSトランジスタQp1のゲート電極206にはゲート配線206aが接続され、PMOSトランジスタQp2のゲート電極206にはゲート配線206cが接続されるとともに、ゲート配線206bが接続され、PMOSトランジスタQp3のゲート電極にはゲート配線206eが接続される。

下部拡散層202paおよび202nはPMOSトランジスタQp1、NMOSトランジスタQn1、Qn2、Qn3の共通ドレインとなり、出力OUT1に接続される。NMOSトランジスタQn1のソースである上部拡散層207n1はシリサイド209n1、コンタクト210n1を介して第1メタル配線213bに接続され、第1メタル配線213bには基準電源Vssが供給される。NMOSトランジスタQn2のソースである上部拡散層207n2はシリサイド209n2、コンタクト210n2を介して第1メタル配線213bに接続される。また、NMOSトランジスタQn3のソースである上部拡散層207n3はシリサイド209n3、コンタクト210n3を介して第1メタル配線213bに接続される。PMOSトランジスタQp1のソースである上部拡散層207p1はシリサイド209p1、コンタクト210p1を介して第1メタル配線213dに接続される。PMOSトランジスタQp2のドレインである上部拡散層207p2はシリサイド209p2、コンタクト210p2を介して第1メタル配線213dに接続される。ここで、PMOSトランジスタQp1のソースとPMOSトランジスタQp2のドレインは、第1メタル配線213dを介して接続される。また、PMOSトランジスタQp2のソースは下部拡散層202pbとシリサイド領域203を介してPMOSトランジスタQp3のドレインと接続され、PMOSトランジスタQp3のソースは、コンタクト210p3を介して第1メタル配線213fに接続され、第1メタル配線213fには電源Vccが供給される。

[0041] 第1メタル配線213cには、入力信号IN1が供給され、コンタクト211aを介してゲート配線206aに接続され、NMOSトランジスタQn1およびPMOSトランジスタQp1のゲート電極に供給される。

第1メタル配線213eには、入力信号IN2が供給され、コンタクト211bを介してゲート配線206cに接続され、PMOSトランジスタQp2のゲート電極に接続されるとともに、ゲート配線206bを介してNMOSトランジスタQn2のゲート電極に接続される。

第1メタル配線213aには、入力信号IN3aが供給され、コンタクト211cを介してゲート配線206dに接続され、NMOSトランジスタQn3のゲート電極に接続される。

第1メタル配線213gには、入力信号IN3bが供給され、コンタクト211dを介してゲート配線206eに接続され、PMOSトランジスタQp3のゲート電極に接続される。

入力信号IN3aとIN3bは図示しない箇所にて入力信号IN3へ接続される。

本実施例によれば、入力信号線の本数は1本増加するが、第2メタルを使用しないで結線が可能となり、無駄な配線やコンタクト領域を設けずに、3入力NOR回路を構成する6個のSGTを1列に配置でき、面積が縮小された半導体装置が提供できる。

[0042] (実施例8)

図10a及び図10bに、第8の実施例を示す。図10aは、本発明の3入力NORレイアウト（配置）の平面図、図10bは、図10aにおけるカットラインA-A'に沿った断面図を示す。等価回路は図1に従う。

図10aにおいて、図1のNOR回路のNMOSトランジスタQn1、PMOSトランジスタQp1、NMOSトランジスタQn3、NMOSトランジスタQn2、PMOSトランジスタQp2及びPMOSトランジスタQp3が右より1列に配置されている。

図2と異なるところは、NMOSトランジスタQn1とPMOSトランジスタQp1の順番を入れ替えたところにある。

図10a及び図10bにおいて、図2a、図2bと同じ構造の箇所については、300番台の同等の記号で示してある。

[0043] 基板上に形成された埋め込み酸化膜層（BOX）301などの絶縁膜上に平面状シリコン層302na、302pa、302nb、302pbが形成され、この平面状シリコン層302na、302pa、302nb、302pbは不純物注入等により、それぞれn+拡散層、p+拡散層、n+拡散層、

p+拡散層から構成される。303は、平面状シリコン層（302na、302pa、302nb、302pb）の表面に形成されるシリサイド層であり、平面状シリコン層302na、302pa及び302nbを接続する。304p1、304p2、304p3はp型シリコン柱、304n1、304n2、304n3はn型シリコン柱、305はシリコン柱304p1、304p2、304p3、304n1、304n2、304n3を取り巻くゲート絶縁膜、306はゲート電極、306a、306b、306c、306dはそれぞれゲート配線である。シリコン柱304p1、304p2、304p3の最上部には、それぞれn+拡散層307n1、307n2、307n3が不純物注入等により形成され、シリコン柱304n1、304n2、304n3の最上部には、それぞれp+拡散層307p1、307p2、307p3が不純物注入等により形成される。308はゲート絶縁膜305を保護するためのシリコン窒化膜、309n1、309n2、309n3、309p1、309p2、309p3はそれぞれn+拡散層307n1、307n2、307n3、p+拡散層307p1、307p2、307p3に接続されるシリサイド層、310n1、310n2、310n3、310p1、310p2、310p3は、シリサイド層309n1、309n2、309n3、309p1、309p2、309p3と第1メタル配線313a、313d、313d、313c、313f、313gとをそれぞれ接続するコンタクト、311aはゲート配線306aと第1メタル配線313bを接続するコンタクト、311bはゲート配線306bと第1メタル配線313eを接続するコンタクト、311cはゲート配線306cと第1メタル配線313hとを接続するコンタクトである。

314p1は第1メタル配線313cと第2メタル配線315を接続するコンタクト、314p2は第1メタル配線313fと第2メタル配線315とを接続するコンタクトである。

[0044] シリコン柱304p1、下部拡散層302na、上部拡散層307n1、ゲート絶縁膜305、ゲート電極306により、NMOSトランジスタQn1

を構成し、シリコン柱304 p 2、下部拡散層302 n b、上部拡散層307 n 2、ゲート絶縁膜305、ゲート電極306により、NMOSトランジスタQ n 2を構成し、シリコン柱304 p 3、下部拡散層302 n b、上部拡散層307 n 3、ゲート絶縁膜305、ゲート電極306により、NMOSトランジスタQ n 3を構成し、シリコン柱304 n 1、下部拡散層302 p a、上部拡散層307 p 1、ゲート絶縁膜305、ゲート電極306により、PMOSトランジスタQ p 1を構成し、シリコン柱304 n 2、下部拡散層302 p b、上部拡散層307 p 2、ゲート絶縁膜305、ゲート電極306により、PMOSトランジスタQ p 2を構成し、シリコン柱304 n 3、下部拡散層302 p b、上部拡散層307 p 3、ゲート絶縁膜305、ゲート電極306により、PMOSトランジスタQ p 3を構成する。

また、NMOSトランジスタQ n 1のゲート電極306にはゲート配線306 aが接続され、NMOSトランジスタQ n 2のゲート電極306にはゲート配線306 bが接続され、NMOSトランジスタQ n 3のゲート電極306にはゲート配線306 dが接続され、PMOSトランジスタQ p 1のゲート電極306にはゲート配線306 aが接続され、PMOSトランジスタQ p 2のゲート電極306にはゲート配線306 bが接続され、PMOSトランジスタQ p 3のゲート電極にはゲート配線306 c及び306 dが接続される。

下部拡散層302 n a、302 p a及び302 n bはPMOSトランジスタQ p 1、NMOSトランジスタQ n 1、Q n 2、Q n 3の共通ドレインとなり、出力OUT 1に接続される。NMOSトランジスタQ n 1のソースである上部拡散層307 n 1はシリサイド309 n 1、コンタクト310 n 1を介して第1メタル配線313 aに接続され、第1メタル配線313 aには基準電源V s sが供給される。NMOSトランジスタQ n 2のソースである上部拡散層307 n 2はシリサイド309 n 2、コンタクト310 n 2を介して第1メタル配線313 dに接続され、第1メタル配線313 dには基準電源V s sが供給される。また、NMOSトランジスタQ n 3のソースである

上部拡散層307n3はシリサイド309n3、コンタクト310n3を介して第1メタル配線313dに接続される。PMOSトランジスタQp1のソースである上部拡散層307p1はシリサイド309p1、コンタクト310p1を介して第1メタル配線313cに接続され、第1メタル配線313cはさらに、コンタクト314p1を介して第2メタル配線315に接続される。PMOSトランジスタQp2のドレインである上部拡散層307p2はシリサイド309p2、コンタクト310p2を介して第1メタル配線313fに接続され、第1メタル配線313fはさらに、コンタクト314p2を介して第2メタル配線315に接続される。ここで、PMOSトランジスタQp1のソースとPMOSトランジスタQp2のドレインは、第2メタル配線315を介して接続される。また、PMOSトランジスタQp2のソースは下部拡散層302pbとシリサイド領域303を介してPMOSトランジスタQp3のドレインと接続され、PMOSトランジスタQp3のソースは、コンタクト310p3を介して第1メタル配線313gに接続され、第1メタル配線313gには電源Vccが供給される。

[0045] 第1メタル配線313bには、入力信号IN1が供給され、コンタクト311aを介してゲート配線306aに接続され、NMOSトランジスタQn1およびPMOSトランジスタQp1のゲート電極に供給される。

第1メタル配線313eには、入力信号IN2が供給され、コンタクト311bを介してゲート配線306bに接続され、NMOSトランジスタQn2およびPMOSトランジスタQp2のゲート電極に接続される。

第1メタル配線313hには、入力信号IN3が供給され、コンタクト311cを介してゲート配線306cに接続され、PMOSトランジスタQp3のゲート電極に接続される。また、ゲート配線306dにより、NMOSトランジスタQn3のゲート電極に接続される。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、3入力NOR回路を構成する6個のSGTを1列に配置でき、面積が縮小された半導体装置が提供できる。

[0046] (実施例9)

図11a及び図11bに、第9の実施例を示す。図11aは、本発明の3入力NORレイアウト（配置）の平面図、図11bは、図11aにおけるカットラインA-A'に沿った断面図を示す。等価回路は図6に従う。

図11aにおいて、図6のNOR回路のNMOSトランジスタQn3、PMOSトランジスタQp1、NMOSトランジスタQn1、NMOSトランジスタQn2、PMOSトランジスタQp2及びPMOSトランジスタQp3が右より1列に配置されている。

図10と異なるところは、NMOSトランジスタQn1とQn3の順番を入れ替えたところにある。

図11a及び図11bにおいて、図10a、図10bと同じ構造の箇所については、同じ300番台の同等の記号で示してある。

[0047] 基板上に形成された埋め込み酸化膜層（BOX）301などの絶縁膜上に平面状シリコン層302na、302pa、302nb、302pbが形成され、この平面状シリコン層302na、302pa、302nb、302pbは不純物注入等により、それぞれn+拡散層、p+拡散層、n+拡散層、p+拡散層から構成される。303は、平面状シリコン層（302na、302pa、302nb、302pb）の表面に形成されるシリサイド層であり、平面状シリコン層302na、302pa、302nbを接続する。304p1、304p2、304p3はp型シリコン柱、304n1、304n2、304n3はn型シリコン柱、305はシリコン柱304p1、304p2、304p3、304n1、304n2、304n3を取り巻くゲート絶縁膜、306はゲート電極、306a、306b、306c、306dはそれぞれゲート配線である。シリコン柱304p1、304p2、304p3の最上部には、それぞれn+拡散層307n1、307n2、307n3が不純物注入等により形成され、シリコン柱304n1、304n2、304n3の最上部には、それぞれp+拡散層307p1、307p2、307p3が不純物注入等により形成される。308はゲート絶縁膜305を保

護するためのシリコン窒化膜、309n1、309n2、309n3、309p1、309p2、309p3はそれぞれn+拡散層307n1、307n2、307n3、p+拡散層307p1、307p2、307p3に接続されるシリサイド層、310n1、310n2、310n3、310p1、310p2、310p3は、シリサイド層309n1、309n2、309n3、309p1、309p2、309p3と第1メタル配線313d、313d、313a、313c、313f、313gとをそれぞれ接続するコンタクト、311aはゲート配線306aと第1メタル配線313bを接続するコンタクト、311bはゲート配線306bと第1メタル配線313eを接続するコンタクト、311cはゲート配線306cと第1メタル配線313hとを接続するコンタクト、311dはゲート配線306dと第1メタル配線313jを接続するコンタクトである。

314p1は第1メタル配線313cと第2メタル配線315を接続するコンタクト、314p2は第1メタル配線313fと第2メタル配線315とを接続するコンタクトである。

[0048] シリコン柱304p1、下部拡散層302nb、上部拡散層307n1、ゲート絶縁膜305、ゲート電極306により、NMOSトランジスタQn1を構成し、シリコン柱304p2、下部拡散層302nb、上部拡散層307n2、ゲート絶縁膜305、ゲート電極306により、NMOSトランジスタQn2を構成し、シリコン柱304p3、下部拡散層302na、上部拡散層307n3、ゲート絶縁膜305、ゲート電極306により、NMOSトランジスタQn3を構成し、シリコン柱304n1、下部拡散層302pa、上部拡散層307p1、ゲート絶縁膜305、ゲート電極306により、PMOSトランジスタQp1を構成し、シリコン柱304n2、下部拡散層302pb、上部拡散層307p2、ゲート絶縁膜305、ゲート電極306により、PMOSトランジスタQp2を構成し、シリコン柱304n3、下部拡散層302pb、上部拡散層307p3、ゲート絶縁膜305、ゲート電極306により、PMOSトランジスタQp3を構成する。

また、NMOSトランジスタ Q_{n1} のゲート電極306にはゲート配線306aが接続され、NMOSトランジスタ Q_{n2} のゲート電極306にはゲート配線306bが接続され、NMOSトランジスタ Q_{n3} のゲート電極306にはゲート配線306dが接続され、PMOSトランジスタ Q_{p1} のゲート電極306にはゲート配線306aが接続され、PMOSトランジスタ Q_{p2} のゲート電極306にはゲート配線306bが接続され、PMOSトランジスタ Q_{p3} のゲート電極にはゲート配線306cが接続される。

下部拡散層302na、302pa及び302nbはPMOSトランジスタ Q_{p1} 、NMOSトランジスタ Q_{n1} 、 Q_{n2} 、 Q_{n3} の共通ドレインとなり、出力OUT1に接続される。NMOSトランジスタ Q_{n1} のソースである上部拡散層307n1はシリサイド309n1、コンタクト310n1を介して第1メタル配線313dに接続され、第1メタル配線313dには基準電源 V_{ss} が供給される。NMOSトランジスタ Q_{n2} のソースである上部拡散層307n2はシリサイド309n2、コンタクト310n2を介して第1メタル配線313dに接続される。また、NMOSトランジスタ Q_{n3} のソースである上部拡散層307n3はシリサイド309n3、コンタクト310n3を介して第1メタル配線313aに接続され、第1メタル配線313aには基準電源 V_{ss} が供給される。PMOSトランジスタ Q_{p1} のソースである上部拡散層307p1はシリサイド309p1、コンタクト310p1を介して第1メタル配線313cに接続され、第1メタル配線313cはさらに、コンタクト314p1を介して第2メタル配線315に接続される。PMOSトランジスタ Q_{p2} のドレインである上部拡散層307p2はシリサイド309p2、コンタクト310p2を介して第1メタル配線313fに接続され、第1メタル配線313fはさらに、コンタクト314p2を介して第2メタル配線315に接続される。ここで、PMOSトランジスタ Q_{p1} のソースとPMOSトランジスタ Q_{p2} のドレインは、第2メタル配線315を介して接続される。また、PMOSトランジスタ Q_{p2} のソースは下部拡散層302pbとシリサイド領域303を介してPMOST

ランジスタQ p 3のドレインと接続され、PMOSトランジスタQ p 3のソースは、コンタクト3 1 0 p 3を介して第1メタル配線3 1 3 gに接続され、第1メタル配線3 1 3 gには電源V c cが供給される。

[0049] 第1メタル配線3 1 3 bには、入力信号I N 1が供給され、コンタクト3 1 1 aを介してゲート配線3 0 6 aに接続され、NMOSトランジスタQ n 1およびPMOSトランジスタQ p 1のゲート電極に供給される。

第1メタル配線3 1 3 eには、入力信号I N 2が供給され、コンタクト3 1 1 bを介してゲート配線3 0 6 bに接続され、NMOSトランジスタQ n 2およびPMOSトランジスタQ p 2のゲート電極に接続される。

第1メタル配線3 1 3 jには、入力信号I N 3 aが供給され、コンタクト3 1 1 dを介してゲート配線3 0 6 dに接続され、NMOSトランジスタQ n 3のゲート電極に接続される。

第1メタル配線3 1 3 hには、入力信号I N 3 bが供給され、コンタクト3 1 1 cを介してゲート配線3 0 6 cに接続され、PMOSトランジスタQ p 3のゲート電極に接続される。本実施例によれば、無駄な配線やコンタクト領域を設けずに、3入力NOR回路を構成する6個のSGTを1列に配置でき、面積が縮小された半導体装置が提供できる。

[0050] (実施例10)

図1 2 a及び図1 2 bに、第10の実施例を示す。図1 2 aは、本発明の3入力NORレイアウト(配置)の平面図、図1 2 bは、図1 2 aにおけるカットラインA-A'に沿った断面図を示す。等価回路は図6に従う。

図1 2 aにおいて、図6のNOR回路のNMOSトランジスタQ n 3、NMOSトランジスタQ n 1、PMOSトランジスタQ p 1、NMOSトランジスタQ n 2、PMOSトランジスタQ p 2及びPMOSトランジスタQ p 3が右より1列に配置されている。

図1 1と異なるところは、NMOSトランジスタQ n 1とPMOSトランジスタQ p 1の順番を入れ替えたところにある。

図1 2 a及び図1 2 bにおいて、図1 1 a、図1 1 bと同じ構造の箇所につ

いては、４００番台の同等の記号で示してある。

[0051] 基板上に形成された埋め込み酸化膜層（BOX）４０１などの絶縁膜上に平面状シリコン層４０２ｎａ、４０２ｐａ、４０２ｎｂ、４０２ｐｂが形成され、この平面状シリコン層４０２ｎａ、４０２ｐａ、４０２ｎｂ、４０２ｐｂは不純物注入等により、それぞれｎ＋拡散層、ｐ＋拡散層、ｎ＋拡散層、ｐ＋拡散層から構成される。４０３は、平面状シリコン層（４０２ｎａ、４０２ｐａ、４０２ｎｂ、４０２ｐｂ）の表面に形成されるシリサイド層であり、平面状シリコン層４０２ｎａ、４０２ｐａ、４０２ｎｂを接続する。４０４ｐ１、４０４ｐ２、４０４ｐ３はｐ型シリコン柱、４０４ｎ１、４０４ｎ２、４０４ｎ３はｎ型シリコン柱、４０５はシリコン柱４０４ｐ１、４０４ｐ２、４０４ｐ３、４０４ｎ１、４０４ｎ２、４０４ｎ３を取り巻くゲート絶縁膜、４０６はゲート電極、４０６ａ、４０６ｂ、４０６ｃ、４０６ｄはそれぞれゲート配線である。シリコン柱４０４ｐ１、４０４ｐ２、４０４ｐ３の最上部には、それぞれｎ＋拡散層４０７ｎ１、４０７ｎ２、４０７ｎ３が不純物注入等により形成され、シリコン柱４０４ｎ１、４０４ｎ２、４０４ｎ３の最上部には、それぞれｐ＋拡散層４０７ｐ１、４０７ｐ２、４０７ｐ３が不純物注入等により形成される。４０８はゲート絶縁膜４０５を保護するためのシリコン窒化膜、４０９ｎ１、４０９ｎ２、４０９ｎ３、４０９ｐ１、４０９ｐ２、４０９ｐ３はそれぞれｎ＋拡散層４０７ｎ１、４０７ｎ２、４０７ｎ３、ｐ＋拡散層４０７ｐ１、４０７ｐ２、４０７ｐ３に接続されるシリサイド層、４１０ｎ１、４１０ｎ２、４１０ｎ３、４１０ｐ１、４１０ｐ２、４１０ｐ３は、シリサイド層４０９ｎ１、４０９ｎ２、４０９ｎ３、４０９ｐ１、４０９ｐ２、４０９ｐ３と第１メタル配線４１３ａ、４１３ｄ、４１３ａ、４１３ｃ、４１３ｆ、４１３ｇとをそれぞれ接続するコンタクト、４１１ａはゲート配線４０６ａと第１メタル配線４１３ｂを接続するコンタクト、４１１ｂはゲート配線４０６ｂと第１メタル配線４１３ｅを接続するコンタクト、４１１ｃはゲート配線４０６ｃと第１メタル配線４１３ｈとを接続するコンタクト、４１１ｄはゲート配線４０６ｄと第１メタル配線

ル配線413jを接続するコンタクトである。

414p1は第1メタル配線413cと第2メタル配線415を接続するコンタクト、414p2は第1メタル配線413fと第2メタル配線415とを接続するコンタクトである。

[0052] シリコン柱404p1、下部拡散層402na、上部拡散層407n1、ゲート絶縁膜405、ゲート電極406により、NMOSトランジスタQn1を構成し、シリコン柱404p2、下部拡散層402nb、上部拡散層407n2、ゲート絶縁膜405、ゲート電極406により、NMOSトランジスタQn2を構成し、シリコン柱404p3、下部拡散層402na、上部拡散層407n3、ゲート絶縁膜405、ゲート電極406により、NMOSトランジスタQn3を構成し、シリコン柱404n1、下部拡散層402pa、上部拡散層407p1、ゲート絶縁膜405、ゲート電極406により、PMOSトランジスタQp1を構成し、シリコン柱404n2、下部拡散層402pb、上部拡散層407p2、ゲート絶縁膜405、ゲート電極406により、PMOSトランジスタQp2を構成し、シリコン柱404n3、下部拡散層402pb、上部拡散層407p3、ゲート絶縁膜405、ゲート電極406により、PMOSトランジスタQp3を構成する。

また、NMOSトランジスタQn1のゲート電極406にはゲート配線406aが接続され、NMOSトランジスタQn2のゲート電極406にはゲート配線406bが接続され、NMOSトランジスタQn3のゲート電極406にはゲート配線406dが接続され、PMOSトランジスタQp1のゲート電極406にはゲート配線406aが接続され、PMOSトランジスタQp2のゲート電極406にはゲート配線406bが接続され、PMOSトランジスタQp3のゲート電極406にはゲート配線406cが接続される。下部拡散層402na、402pa及び402nbはPMOSトランジスタQp1、NMOSトランジスタQn1、Qn2、Qn3の共通ドレインとなり、出力OUT1に接続される。NMOSトランジスタQn1のソースである上部拡散層407n1はシリサイド409n1、コンタクト410n1を

介して第1メタル配線413aに接続され、第1メタル配線413aには基準電源 V_{ss} が供給される。NMOSトランジスタ Q_{n2} のソースである上部拡散層407n2はシリサイド409n2、コンタクト410n2を介して第1メタル配線413dに接続され、第1メタル配線413dには基準電源 V_{ss} が供給される。また、NMOSトランジスタ Q_{n3} のソースである上部拡散層407n3はシリサイド409n3、コンタクト310n3を介して第1メタル配線413aに接続される。PMOSトランジスタ Q_{p1} のソースである上部拡散層407p1はシリサイド409p1、コンタクト410p1を介して第1メタル配線413cに接続され、第1メタル配線413cはさらに、コンタクト414p1を介して第2メタル配線415に接続される。PMOSトランジスタ Q_{p2} のドレインである上部拡散層407p2はシリサイド409p2、コンタクト410p2を介して第1メタル配線413fに接続され、第1メタル配線413fはさらに、コンタクト414p2を介して第2メタル配線415に接続される。ここで、PMOSトランジスタ Q_{p1} のソースとPMOSトランジスタ Q_{p2} のドレインは、第2メタル配線415を介して接続される。また、PMOSトランジスタ Q_{p2} のソースは下部拡散層402pbとシリサイド領域403を介してPMOSトランジスタ Q_{p3} のドレインと接続され、PMOSトランジスタ Q_{p3} のソースは、コンタクト410p3を介して第1メタル配線413gに接続され、第1メタル配線413gには電源 V_{cc} が供給される。

[0053] 第1メタル配線413bには、入力信号 $IN1$ が供給され、コンタクト411aを介してゲート配線406aに接続され、NMOSトランジスタ Q_{n1} およびPMOSトランジスタ Q_{p1} のゲート電極に供給される。

第1メタル配線413eには、入力信号 $IN2$ が供給され、コンタクト411bを介してゲート配線406bに接続され、NMOSトランジスタ Q_{n2} およびPMOSトランジスタ Q_{p2} のゲート電極に接続される。

第1メタル配線413jには、入力信号 $IN3a$ が供給され、コンタクト411dを介してゲート配線406dに接続され、NMOSトランジスタ Q_n

3のゲート電極に接続される。第1メタル配線413hには、入力信号IN3bが供給され、コンタクト411cを介してゲート配線406cに接続され、PMOSトランジスタQp3のゲート電極に接続される。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、3入力NOR回路を構成する6個のSGTを1列に配置でき、面積が縮小された半導体装置が提供できる。

[0054] (実施例11)

図13a及び図13bに、第11の実施例を示す。本実施例において、上述した実施例1～実施例10と大きく異なるところは、NMOSトランジスタQn1、Qn2、Qn3、PMOSトランジスタQp1、Qp2及びQp3のソースとドレインの向きを上下逆に配置したことである。

図13aは、本発明の3入力NORレイアウト（配置）の平面図、図13bは、図13aにおけるカットラインA-A'に沿った断面図を示す。等価回路は図1に従う。

図13a及び図13bにおいて、図1のNOR回路のNMOSトランジスタQn2、NMOSトランジスタQn1、PMOSトランジスタQp1、PMOSトランジスタQp2、PMOSトランジスタQp3及びNMOSトランジスタQn3が右より1列に配置されている。

図13a及び図13bにおいて、図2a、図2bと同じ構造の箇所については、500番台の同等の記号で示してある。

[0055] 基板上に形成された埋め込み酸化膜層（BOX）501などの絶縁膜上に平面状シリコン層502na、502pa、502pb、502nbが形成され、この平面状シリコン層502na、502pa、502pb、502nbは不純物注入等により、それぞれn+拡散層、p+拡散層、p+拡散層、n+拡散層から構成される。503は、平面状シリコン層（502na、502pa、502pb、502nb）の表面に形成されるシリサイド層である。504p1、504p2、504p3はp型シリコン柱、504n1、504n2、504n3はn型シリコン柱、505はシリコン柱504p1

、504 p 2、504 p 3、504 n 1、504 n 2、504 n 3を取り巻くゲート絶縁膜、506はゲート電極、506 a、506 b、506 cはそれぞれゲート配線である。シリコン柱504 p 1、504 p 2、504 p 3の最上部には、それぞれn+拡散層507 n 1、507 n 2、507 n 3が不純物注入等により形成され、シリコン柱504 n 1、504 n 2、504 n 3の最上部には、それぞれp+拡散層507 p 1、507 p 2、507 p 3が不純物注入等により形成される。508はゲート絶縁膜505を保護するためのシリコン窒化膜、509 n 1、509 n 2、509 n 3、509 p 1、509 p 2、509 p 3はそれぞれn+拡散層507 n 1、507 n 2、507 n 3、p+拡散層507 p 1、507 p 2、507 p 3に接続されるシリサイド層、510 n 1、510 n 2、510 n 3、510 p 1、510 p 2、510 p 3は、シリサイド層509 n 1、509 n 2、509 n 3、509 p 1、509 p 2、509 p 3と第1メタル配線513 c、513 a、513 h、513 e、513 f、513 fとをそれぞれ接続するコンタクト、511 aはゲート配線506 aと第1メタル配線513 dを接続するコンタクト、511 bはゲート配線506 bと第1メタル配線513 kを接続するコンタクト、511 cはゲート配線506 cと第1メタル配線513 mとを接続するコンタクトである。

512 aはシリサイド層503を介してn+拡散層502 n aと第1メタル配線513 bを接続するコンタクト、512 bはシリサイド層503を介してp+拡散層502 p bと第1メタル配線513 gを接続するコンタクト、512 cはシリサイド層503を介してn+拡散層502 n bと第1メタル配線513 jを接続するコンタクトである。

514 n 1は第1メタル配線513 cと第2メタル配線515を接続するコンタクト、514 n 2は第1メタル配線513 aと第2メタル配線515とを接続するコンタクト、514 n 3は第1メタル配線513 hと第2メタル配線515とを接続するコンタクト、514 p 1は第1メタル配線513 eと第2メタル配線515とを接続するコンタクトである。

[0056] シリコン柱504 p 1、下部拡散層502 n a、上部拡散層507 n 1、ゲート絶縁膜505、ゲート電極506により、NMOSトランジスタQ n 1を構成し、シリコン柱504 p 2、下部拡散層502 n a、上部拡散層507 n 2、ゲート絶縁膜505、ゲート電極506により、NMOSトランジスタQ n 2を構成し、シリコン柱504 p 3、下部拡散層502 n b、上部拡散層507 n 3、ゲート絶縁膜505、ゲート電極506により、NMOSトランジスタQ n 3を構成し、シリコン柱504 n 1、下部拡散層502 p a、上部拡散層507 p 1、ゲート絶縁膜505、ゲート電極506により、PMOSトランジスタQ p 1を構成し、シリコン柱504 n 2、下部拡散層502 p a、上部拡散層507 p 2、ゲート絶縁膜505、ゲート電極506により、PMOSトランジスタQ p 2を構成し、シリコン柱504 n 3、下部拡散層502 p b、上部拡散層507 p 3、ゲート絶縁膜505、ゲート電極506により、PMOSトランジスタQ p 3を構成する。

また、NMOSトランジスタQ n 1のゲート電極506にはゲート配線506 aが接続され、NMOSトランジスタQ n 2のゲート電極506にはゲート配線506 bが接続され、NMOSトランジスタQ n 3のゲート電極506にはゲート配線506 cが接続され、PMOSトランジスタQ p 1のゲート電極506にはゲート配線506 aが接続され、PMOSトランジスタQ p 2のゲート電極506にはゲート配線506 bが接続され、PMOSトランジスタQ p 3のゲート電極506にはゲート配線506 cが接続される。第2メタル配線515はPMOSトランジスタQ p 1、NMOSトランジスタQ n 1、Q n 2、Q n 3の共通ドレインとなり、出力OUT 1に接続される。

NMOSトランジスタQ n 1とQ n 2のソースとなる下部拡散層502 n aはシリサイド503及びコンタクト512 aを介して第1メタル配線513 bに接続され、第1メタル配線513 bには基準電源V s sが供給される。NMOSトランジスタQ n 3のソースとなる下部拡散層502 n bはシリサイド503及びコンタクト512 cを介して第1メタル配線513 jに接続

され、第1メタル配線513jには基準電源 V_{ss} が供給される。また、PMOSトランジスタ Q_{p1} のソースとなる下部拡散層502paはシリサイド503を介してPMOSトランジスタ Q_{p2} のドレインに接続される。PMOSトランジスタ Q_{p2} のソースである上部拡散層507p2はシリサイド509p2、コンタクト510p2を介して第1メタル配線513fに接続される。PMOSトランジスタ Q_{p3} のドレインとなる上部拡散層507p3はシリサイド層509p3及びコンタクト510p3を介して第1メタル配線513fと接続される。ここで、PMOSトランジスタ Q_{p2} のソースとPMOSトランジスタ Q_{p3} のドレインが第1メタル513fを介して接続される。PMOSトランジスタ Q_{p3} のソースとなる下部拡散層502pbは、シリサイド層503及びコンタクト512bを介して第1メタル配線513gと接続され、第1メタル配線513gには電源 V_{cc} が供給される。

[0057] 第1メタル配線513dには、入力信号 $IN1$ が供給され、コンタクト511aを介してゲート配線506aに接続され、NMOSトランジスタ Q_{n1} およびPMOSトランジスタ Q_{p1} のゲート電極に供給される。

第1メタル配線513kには、入力信号 $IN2$ が供給され、コンタクト511bを介してゲート配線506bに接続され、NMOSトランジスタ Q_{n2} およびPMOSトランジスタ Q_{p2} のゲート電極に接続される。

第1メタル配線513mには、入力信号 $IN3$ が供給され、コンタクト511cを介してゲート配線506cに接続され、NMOSトランジスタ Q_{n3} 及びPMOSトランジスタ Q_{p3} のゲート電極に接続される。

なお、図示していないが、入力信号 $IN3$ が供給される第1メタル配線513mは、例えば、左右に延在した第2メタルに接続すれば、左右から自由に入力信号 $IN3$ を供給することができ、入力信号配線の自由度が向上する。本実施例によれば、無駄な配線やコンタクト領域を設けずに、3入力NOR回路を構成する6個のSGTを1列に配置でき、面積が縮小された半導体装置が提供できる。

また、出力OUT 1を第2メタルで配線できるので、配線の自由度が向上する。

[0058] (実施例12)

図14a、図14b、図14c、図14d及び図14eに、第12の実施例を示す。

図14aは、本発明の3入力NORレイアウト（配置）の平面図、図14bは、図14aにおけるカットラインA-A'に沿った断面図、図14cは、図14aにおけるカットラインB-B'に沿った断面図、図14dは、図14aにおけるカットラインC-C'に沿った断面図、図14eは、図14aにおけるカットラインD-D'に沿った断面図を示す。等価回路は図1に従う。

図14a及び図14bにおいて、図1のNOR回路のNMOSトランジスタQn3、NMOSトランジスタQn2、NMOSトランジスタQn1、PMOSトランジスタQp1、PMOSトランジスタQp2及びPMOSトランジスタQp3が右より1列に配置されている。

図13と異なるところは、NMOSトランジスタQn3、Qn2、Qn1をまとめて配置したことにある。

図14a、図14b、図14c、図14d及び図14eにおいて、図13a、図13bと同じ構造の箇所については、600番台の同等の記号で示してある。

[0059] 基板上に形成された埋め込み酸化膜層（BOX）601などの絶縁膜上に平面状シリコン層602n、602pa、602pbが形成され、この平面状シリコン層602n、602pa、602pbは不純物注入等により、それぞれn+拡散層、p+拡散層、p+拡散層から構成される。603は、平面状シリコン層（602n、602pa、602pb）の表面に形成されるシリサイド層である。604p1、604p2、604p3はp型シリコン柱、604n1、604n2、604n3はn型シリコン柱、605はシリコン柱604p1、604p2、604p3、604n1、604n2、60

4 n 3 を取り巻くゲート絶縁膜、6 0 6 はゲート電極、6 0 6 a、6 0 6 b、6 0 6 c、6 0 6 d はそれぞれゲート配線である。シリコン柱6 0 4 p 1、6 0 4 p 2、6 0 4 p 3 の最上部には、それぞれn+拡散層6 0 7 n 1、6 0 7 n 2、6 0 7 n 3 が不純物注入等により形成され、シリコン柱6 0 4 n 1、6 0 4 n 2、6 0 4 n 3 の最上部には、それぞれp+拡散層6 0 7 p 1、6 0 7 p 2、6 0 7 p 3 が不純物注入等により形成される。6 0 8 はゲート絶縁膜6 0 5 を保護するためのシリコン窒化膜、6 0 9 n 1、6 0 9 n 2、6 0 9 n 3、6 0 9 p 1、6 0 9 p 2、6 0 9 p 3 はそれぞれn+拡散層6 0 7 n 1、6 0 7 n 2、6 0 7 n 3、p+拡散層6 0 7 p 1、6 0 7 p 2、6 0 7 p 3 に接続されるシリサイド層、6 1 0 n 1、6 1 0 n 2、6 1 0 n 3、6 1 0 p 1、6 1 0 p 2、6 1 0 p 3 は、シリサイド層6 0 9 n 1、6 0 9 n 2、6 0 9 n 3、6 0 9 p 1、6 0 9 p 2、6 0 9 p 3 と第1メタル配線6 1 3 d、6 1 3 c、6 1 3 a、6 1 3 f、6 1 3 h、6 1 3 h とをそれぞれ接続するコンタクト、6 1 1 a はゲート配線6 0 6 a と第1メタル配線6 1 3 e を接続するコンタクト、6 1 1 b はゲート配線6 0 6 b と第1メタル配線6 1 3 g を接続するコンタクト、6 1 1 c はゲート配線6 0 6 c と第1メタル6 1 3 k とを接続するコンタクト、6 1 1 d はゲート配線6 0 6 d と第1メタル配線6 1 3 m とを接続するコンタクトである。

6 1 2 a はシリサイド層6 0 3 を介してn+拡散層6 0 2 n と第1メタル配線6 1 3 b を接続するコンタクト、6 1 2 b はシリサイド層6 0 3 を介してp+拡散層6 0 2 p b と第1メタル配線6 1 3 j を接続するコンタクトである。

また、6 1 4 a は第1メタル6 1 3 k と第2メタル配線6 1 6 を接続するコンタクト、6 1 4 b は第1メタル配線6 1 3 m と第2メタル配線6 1 6 を接続するコンタクトである。

6 1 4 n 1 は第1メタル配線6 1 3 d と第2メタル配線6 1 5 を接続するコンタクト、6 1 4 n 2 は第1メタル配線6 1 3 c と第2メタル配線6 1 5 とを接続するコンタクト、6 1 4 n 3 は第1メタル配線6 1 3 a と第2メタル

配線 6 1 5 とを接続するコンタクト、6 1 4 p 1 は第 1 メタル配線 6 1 3 f と第 2 メタル配線 6 1 5 とを接続するコンタクトである。

[0060] シリコン柱 6 0 4 p 1、下部拡散層 6 0 2 n、上部拡散層 6 0 7 n 1、ゲート絶縁膜 6 0 5、ゲート電極 6 0 6 により、NMOS トランジスタ Q n 1 を構成し、シリコン柱 6 0 4 p 2、下部拡散層 6 0 2 n、上部拡散層 6 0 7 n 2、ゲート絶縁膜 6 0 5、ゲート電極 6 0 6 により、NMOS トランジスタ Q n 2 を構成し、シリコン柱 6 0 4 p 3、下部拡散層 6 0 2 n、上部拡散層 6 0 7 n 3、ゲート絶縁膜 6 0 5、ゲート電極 6 0 6 により、NMOS トランジスタ Q n 3 を構成し、シリコン柱 6 0 4 n 1、下部拡散層 6 0 2 p a、上部拡散層 6 0 7 p 1、ゲート絶縁膜 6 0 5、ゲート電極 6 0 6 により、PMOS トランジスタ Q p 1 を構成し、シリコン柱 6 0 4 n 2、下部拡散層 6 0 2 p a、上部拡散層 6 0 7 p 2、ゲート絶縁膜 6 0 5、ゲート電極 6 0 6 により、PMOS トランジスタ Q p 2 を構成し、シリコン柱 6 0 4 n 3、下部拡散層 6 0 2 p b、上部拡散層 6 0 7 p 3、ゲート絶縁膜 6 0 5、ゲート電極 6 0 6 により、PMOS トランジスタ Q p 3 を構成する。

また、NMOS トランジスタ Q n 1 のゲート電極 6 0 6 にはゲート配線 6 0 6 a が接続され、NMOS トランジスタ Q n 2 のゲート電極 6 0 6 にはゲート配線 6 0 6 b が接続され、NMOS トランジスタ Q n 3 のゲート電極 6 0 6 にはゲート配線 6 0 6 c が接続され、PMOS トランジスタ Q p 1 のゲート電極 6 0 6 にはゲート配線 6 0 6 a が接続され、PMOS トランジスタ Q p 2 のゲート電極 6 0 6 にはゲート配線 6 0 6 b が接続され、PMOS トランジスタ Q p 3 のゲート電極 6 0 6 にはゲート配線 6 0 6 d が接続される。

第 2 メタル配線 6 1 5 は PMOS トランジスタ Q p 1、NMOS トランジスタ Q n 1、Q n 2、Q n 3 の共通ドレインとなり、出力 OUT 1 に接続される。

NMOS トランジスタ Q n 1、Q n 2、Q n 3 のソースとなる下部拡散層 6 0 2 n はシリサイド 6 0 3 及びコンタクト 6 1 2 a を介して第 1 メタル配線 6 1 3 b に接続され、第 1 メタル配線 6 1 3 b には基準電源 V s s が供給さ

れる。また、PMOSトランジスタQ_{p1}のソースとなる下部拡散層602_{pa}はシリサイド603を介してPMOSトランジスタQ_{p2}のドレインに接続される。PMOSトランジスタQ_{p2}のソースである上部拡散層607_{p2}はシリサイド609_{p2}、コンタクト610_{p2}を介して第1メタル配線613_hに接続される。PMOSトランジスタQ_{p3}のドレインとなる上部拡散層607_{p3}はシリサイド層609_{p3}及びコンタクト610_{p3}を介して第1メタル配線613_hと接続される。ここで、PMOSトランジスタQ_{p2}のソースとNMOSトランジスタQ_{n3}のドレインが第1メタル613_hを介して接続される。PMOSトランジスタQ_{p3}のソースとなる下部拡散層602_{pb}は、シリサイド層603及びコンタクト612_bを介して第1メタル配線613_jと接続され、第1メタル配線613_jには電源V_{cc}が供給される。

[0061] 第1メタル配線613_eには、入力信号I_{N1}が供給され、コンタクト611_aを介してゲート配線606_aに接続され、NMOSトランジスタQ_{n1}およびPMOSトランジスタQ_{p1}のゲート電極に供給される。

第1メタル配線613_gには、入力信号I_{N2}が供給され、コンタクト611_bを介してゲート配線606_bに接続され、NMOSトランジスタQ_{n2}およびPMOSトランジスタQ_{p2}のゲート電極に接続される。

第2メタル配線616には、入力信号I_{N3}が供給され、コンタクト614_a、第1メタル613_k、コンタクト611_cを経由してゲート配線606_cに接続され、NMOSトランジスタQ_{n3}のゲート電極に接続される。一方、第2メタル配線616は、コンタクト614_b、第1メタル613_m、コンタクト611_dを経由してゲート配線606_dに接続され、PMOSトランジスタQ_{p3}のゲート電極に接続される。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、3入力NOR回路を構成する6個のSGTを1列に配置でき、面積が縮小された半導体装置が提供できる。

また、出力OUT1を第2メタルで配線できるので、配線の自由度が向上す

る。

[0062] (実施例 13)

図 15 a、図 15 b、図 15 c、図 15 d 及び図 15 e に、第 13 の実施例を示す。

図 15 a は、本発明の 3 入力 NOR レイアウト (配置) の平面図、図 15 b は、図 15 a におけるカットライン A-A' に沿った断面図、図 15 c は、図 15 a におけるカットライン B-B' に沿った断面図、図 15 d は、図 15 a におけるカットライン C-C' に沿った断面図、図 15 e は、図 15 a におけるカットライン D-D' に沿った断面図を示す。等価回路は図 1 に従う。

本発明は、図 1 の NOR 回路を 4 セット並べて配置した実施例である。基本配置は図 2 を採用している。

図の右最上部より、PMOS トランジスタ Q p 1 1、NMOS トランジスタ Q n 1 1、Q n 1 3、Q n 1 2、PMOS トランジスタ Q p 1 2、Q p 1 3 が 1 列に配置されている。同様にして、次の列に、PMOS トランジスタ Q p 2 1、NMOS トランジスタ Q n 2 1、Q n 2 3、Q n 2 2、PMOS トランジスタ Q p 2 2、Q p 2 3 が 1 列に配置されている。さらに下の列に、PMOS トランジスタ Q p 3 1、NMOS トランジスタ Q n 3 1、Q n 3 3、Q n 3 2、PMOS トランジスタ Q p 3 2、Q p 3 3 が 1 列に配置され、4 列目に PMOS トランジスタ Q p 4 1、NMOS トランジスタ Q n 4 1、Q n 4 3、Q n 4 2、PMOS トランジスタ Q p 4 2、Q p 4 3 が 1 列に配置されている。これらの NOR 回路 4 セットを一つにまとめて、NOR 回路ユニットブロック UB 100 を構成する。

図 15 a、図 15 b、図 15 c、図 15 d、図 15 e において、図 2 a、図 2 b と同じ構造の箇所については、同じく 100 番台の同等の記号で示しており、同じところは記号及び説明を省略し、本発明と図 2 (第 1 実施例) と異なるところを説明する。

[0063] 本実施例の目的は、複数の NOR 回路をできるだけ密集させて効率よく配置

し、面積を最小にすることである。そのために、入力信号及び出力信号は、全て図面上で左右から入出力できるように工夫して、さらに、電源 V_{cc} 及び基準電源 V_{ss} を各々共通に接続して、左右上下に最小に配置したものである。

最上位に配置されたNOR回路は、入力信号 $IN11$ を右側より入力され、 $IN12$ 、 $IN13$ を左側より入力され、出力 $OUT1$ を右側へ出力する。2段目に配置されたNOR回路は、入力信号 $IN21$ を右側より入力され、 $IN22$ 、 $IN23$ を左側より入力され、出力 $OUT2$ を右側へ出力する。3段目に配置されたNOR回路は、入力信号 $IN31$ を右側より入力され、 $IN32$ 、 $IN33$ を左側より入力され、出力 $OUT3$ を右側へ出力する、最終段のNOR回路は、入力信号 $IN41$ を右側より入力され、 $IN42$ 、 $IN43$ を左側より入力され、出力 $OUT4$ を右側へ出力する。

このような構成により、4つのNOR回路を上下に密接して配置でき、電源 V_{cc} 、基準電源 V_{ss} を共通に接続でき、最小な面積で配置が可能となる。

[0064] 図15aの最上位に配置されたNOR回路において、入力信号 $IN11$ が右側より第1メタル配線113bに供給され、第1メタル配線113bはコンタクト111aを介してゲート配線106eに接続され、PMOSトランジスタ $Qp11$ のゲート電極に接続される。また、ゲート配線106aを介してNMOSトランジスタ $Qn11$ のゲート電極に接続される。

入力信号 $IN12$ は、図の左側より第1メタル配線113dに供給され、第1メタル配線113dは右へ延在してコンタクト111bを介してゲート配線106bに接続され、NMOSトランジスタ $Qn12$ とPMOSトランジスタ $Qp12$ のゲート電極に接続される。入力信号 $IN13$ は、図の左側より第1メタル配線113gに供給され、第1メタル配線113gは、コンタクト111cを介してゲート配線106cに接続され、PMOSトランジスタ $Qp13$ のゲート電極に接続される。また、ゲート配線106dを介してNMOSトランジスタ $Qn13$ のゲート電極に接続される。出力 $OUT1$ は

、PMOSトランジスタ Q_{p11} 、NMOSトランジスタ Q_{n11} 、 Q_{n12} 、 Q_{n13} の共通ドレインである、下部拡散層 $102pa$ 、 $102n$ 及びこれらを接続するシリサイド層 103 を介して図の右側へ出力される。2段目、3段目及び4段目のNOR回路についても同様である。

このようにして、複数のNOR回路を、図の上下左右ともに最小間隔にて配置することが可能となる。

なお、本実施例では、NOR回路4セット配置したが、2つ以上であれば、同様の効果がある。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、SGTを用いて1列配置された3入力NOR回路を複数列配置でき、面積が縮小された半導体装置が提供できる。

なお、本実施例は図2の実施例を複数個配置したが、図3、図4、図5、図7、図8、図9、図10、図11及び図12でも、入力配置を工夫すれば、同様に実現できる。

例えば、図3においては、図2と同じ構成であり、 $IN3$ のコンタクト $114b$ をコンタクト $111c$ 上に移動させて、第1メタル配線 $113g$ の配線部分を削除すれば、 $IN2$ の第1メタルを左側へ延在させることができる。

また、図4においては、図2と同じ構成であり、図3と同様に、ゲート配線 $106d$ 上において、第1メタル配線 $113d$ を図示しない第2メタルに置き換えて、左側へ延在させることができる。

また、図5においては、 $IN2$ の第2メタル配線の 116 をそのまま左側へ延在させて配線すればよい。

また、図7においては、図3と同様に、 $IN3a$ を第2メタルに置き換えて、 $IN3b$ と接続すればよい。

また、図8においては、 $IN1$ を第2メタルに置き換えて右側へ延在させて配線し、 $IN2$ を第2メタルに置き換えて、左側へ延在させて配線すればよい。

また、図9においては、図8と同様に配線できる。

また、図10においては、図2と同様である。

また、図11においては、IN1を第2メタルで右側へ延在させて配線し、IN2を第2メタルで左側へ延在させて配線する。

また、図12は、図11と同様である。

[0065] (実施例14)

図16a、図16b、図16c、図16d及び図16eに、第14の実施例を示す。

図16aは、本発明の3入力NORレイアウト（配置）の平面図、図16bは、図16aにおけるカットラインA-A'に沿った断面図、図16cは、図16aにおけるカットラインB-B'に沿った断面図、図16dは、図16aにおけるカットラインC-C'に沿った断面図、図16eは、図16aにおけるカットラインD-D'に沿った断面図を示す。等価回路は図1に従う。

本発明は、図1のNOR回路を4セット並べて配置した実施例である。基本配置は図13を採用している。

図の右最上部より、NMOSTランジスタQn12、Qn11、PMOSTランジスタQp11、Qp12、Qp13、NMOSTランジスタQn13が1列に配置されている。同様にして、NMOSTランジスタQn22、Qn21、PMOSTランジスタQp21、Qp22、Qp23、NMOSTランジスタQn23が1列に配置されている。さらに下の列に、NMOSTランジスタQn32、Qn31、PMOSTランジスタQp31、Qp32、Qp33、NMOSTランジスタQn33が1列に配置されている。4列目にNMOSTランジスタQn42、Qn41、PMOSTランジスタQp41、Qp42、Qp43、NMOSTランジスタQn43が1列に配置されている。これらのNOR回路4セットを一つにまとめて、NOR回路ユニットブロックUB500を構成する。

図16a、図16b、図16c、図16d、図16eにおいて、図13a、図13bと同じ構造の箇所については、同じく500番台の同等の記号で示

してあり、同じところは記号及び説明を省略し、本発明と図13（第11実施例）と異なるところを説明する。

[0066] 本実施例の目的は、複数のNOR回路をできるだけ密集させて効率よく配置し、面積を最小にすることである。そのために、入力信号及び出力信号は、全て図面上で左右から入出力できるように工夫して、さらに、下部拡散層により供給される電源Vcc及び基準電源Vssを共通に接続して、左右上下に最小に配置したものである。

本実施例と第11実施例（図13a、図13b）との違いは、NMOSトランジスタQn13、Qn23、Qn33、Qn43に基準電源Vssを供給する下部拡散層502nbを図の上下に延在させて、4個のNOR回路の基準電源Vssを共通接続させ、また、PMOSトランジスタQp13、Qp23、Qp33、Qp43に電源Vccを供給する下部拡散層502pbを図の上下に延在させて、4個のNOR回路の電源Vccを共通接続させることにより、図の左右の大きさを大幅に縮めることができるところにある。

最上位のNOR回路を代表として、これを実現する手法を説明する。

NMOSトランジスタQn13のゲート電極と接続するゲート配線506dを図の左側から引き出し、PMOSトランジスタQp13のゲート電極に直接接続するゲート配線506cを設ける。ゲート配線506dには、コンタクト511cを介して第1メタル513mが接続され、第1メタル513mに、入力信号IN13が供給される。

次に、下部拡散層502nbに基準電源Vssを供給するコンタクト512cをNMOSトランジスタQn13の上下の空き領域に配置し、第1メタル配線513jと接続して、第1メタル配線513jには基準電源Vssを供給する。

同様に、下部拡散層502pbに電源Vccを供給するために、PMOSトランジスタQp13の上下の空き領域にコンタクト512b、第1メタル513g、コンタクト514bを配置し、第2メタル配線517に接続する。第2メタル配線517は、図の左側へ延在させて、電源Vccを供給する。

このようにすれば、ユニットブロックUB500の横方向の大きさが大幅に縮小できる。

入力信号IN11は、右側より第2メタル配線516により供給され、第2メタル配線516は左側へ延在して、コンタクト514aを介して第1メタル配線513dに接続され、コンタクト511aを介してゲート配線506aに接続され、NMOSトランジスタQn11及びPMOSトランジスタQp11のゲート電極に接続される。

入力信号IN12は、図13と同様に、第1メタル513kにより供給される。

入力信号IN13は、上述した通り、第1メタル配線513mにより、左より供給される。また、出力OUT1は、第2メタルにより、左右自由に出力可能である。

実施例14によれば、第1及び第2の入力信号が右側より供給され、第3の入力信号が左側から入力され、出力が第2メタルで右側あるいは左側へ出力する、複数のNOR回路で構成されたユニットブロックが最小の面積で実現できる。

[0067] (実施例15)

以上の実施例では、基板上に形成された埋め込み酸化膜層(BOX)などの絶縁膜上に平面状シリコンを配置したプロセスの例を用いて配置を説明したが、バルクのCMOSプロセスを用いても同様である。一例として、図17に、図2の実施例を、バルクCMOSプロセスにて配置した第15の実施例を示す。

[0068] 図17aは、本発明の3入力NORレイアウト(配置)の平面図、図17bは、図17aにおけるカットラインA-A'に沿った断面図を示す。

図17aにおいて、図1のNOR回路のPMOSトランジスタQp1、NMOSトランジスタQn1、Qn3、Qn2、PMOSトランジスタQp2、Qp3が右より1列に配置されていることは、図2と同じである。また、図17a、図17bにおいて、図2a、図2bと同じ構造の箇所については、

同じ100番台の同等の記号で示してある。

特許文献3の特許第4756221号公報を参照して、図2のBOXプロセスと図17のバルクCMOSプロセスでは、図17aの平面図では違いがない。図17bの断面図において、異なる点がある。図17bにおいて、150は、p型シリコン基板である。160は、素子分離（アイソレーション）用の絶縁体である。また、170a、170bは、リーク防止の分離層となるn-領域である。このp型シリコン基板150、素子分離用の絶縁体160、リーク防止分離層170a、170b以外の、下層拡散層より上側の工程、構造はまったく同じであり、本発明の実施例1～14までをバルクCMOSプロセスで実現できる。ただし、素子分離層160、リーク防止分離層170を設ける必要があり、また、図示しないが、p型シリコン基板に電位を与えるボディ端子を設ける必要があり、多少の面積増となる。

[0069] なお、本実施例の説明では、便宜上、NMOSトランジスタのシリコン柱はp型シリコン、PMOSシリコン柱はn型シリコン層と定義したが、微細化されたプロセスでは、不純物注入による濃度の制御が困難となるため、NMOSトランジスタもPMOSトランジスタも、シリコン柱は不純物注入を行わない、いわゆる中性（イントリンジック：Intrinsic）な半導体を用い、チャネルの制御、すなわちNMOS、PMOSの閾値は、金属ゲート材固有のワークファンクション（Work Function）の差を利用する場合もある。

また、本実施例では、下部拡散層あるいは上部拡散層をシリサイド層で覆うようにしたが、低抵抗にするためにシリサイドを採用したものであり、特にシリサイドでなくとも、他の低抵抗な材料あるいは金属でもかまわない。

また、本発明の本質は、6つのトランジスタの配置を最適な形で定義したものであり、この配置順序に従った場合において、ゲート配線の配線方法、配線位置、メタル配線の配線方法及び配線位置等は本実施例の図面以外にも対象となるものである。

なお、本実施例では、配置面積を重視するために、3入力NOR回路を構成

するトランジスタとして、NMOSトランジスタ3個、PMOSトランジスタ3個で構成される最少数の6個を用いて説明したが、実際に設計する場合に、特性を考慮して、トランジスタの駆動能力を上げるために、各箇所において、複数のトランジスタを採用する場合もあるが、この場合も、等価回路としては同等になり、同等の動作を行う複数のトランジスタは回路上同一（1つ）と数えて、本発明の主旨から逸脱しない範囲で、本発明の技術的範囲に含まれる。

符号の説明

- [0070] Q_{p1}、Q_{p2}、Q_{p3}、Q_{p11}、Q_{p21}、Q_{p31}、Q_{p41}、Q_{p12}、Q_{p22}、Q_{p32}、Q_{p42}、Q_{p13}、Q_{p23}、Q_{p33}、Q_{p43} : PMOSトランジスタ
- Q_{n1}、Q_{n2}、Q_{n3}、Q_{n11}、Q_{n21}、Q_{n31}、Q_{n41}、Q_{n12}、Q_{n22}、Q_{n32}、Q_{n42}、Q_{n13}、Q_{n23}、Q_{n33}、Q_{n43} : NMOSトランジスタ
- 101、201、301、401、501、601 : 埋め込み酸化膜層
- 102p、102n、202p、202n、302p、302n、402p、402n、502p、502n、602p、602n、 : 平面状シリコン層
- 103、203、303、403、503、603シリサイド層
- 104p1、104p2、104p3、204p1、204p2、204p3、304p1、304p2、304p3、404p1、404p2、404p3、504p1、504p2、504p3、604p1、604p2、604p3 : p型シリコン柱
- 104n1、104n2、104n3、204n1、204n2、204n3、304n1、304n2、304n3、404n1、404n2、404n3、504n1、504n2、504n3、604n1、604n2、604n3 : n型シリコン柱
- 105、205、305、405、505、605 : ゲート絶縁膜

106、206、306、406、506、606：ゲート電極

106a、106b、106c、106d、106e、206a、206b、
206c、206d、206e、306a、306b、306c、306d、
406a、406b、406c、406d、506a、506b、506c、
606a、606b、606c、606d：ゲート配線

107p1、107p2、107p3、207p1、207p2、207p3、
307p1、307p2、307p3、407p1、407p2、407p3、
507p1、507p2、507p3、607p1、607p2、607p3：p+拡散層

107n1、107n2、107n3、207n1、207n2、207n3、
307n1、307n2、307n3、407n1、407n2、407n3、
507n1、507n2、507n3、607n1、607n2、607n3：n+拡散層

108、208、308、408、508、608：シリコン窒化膜

109p1、109p2、109p3、109n1、109n2、109n3、
209p1、209p2、209p3、209n1、209n2、209n3、
309p1、309p2、309p3、309n1、309n2、309n3、
409p1、409p2、409p3、409n1、409n2、409n3、
509p1、509p2、509p3、509n1、509n2、509n3、
609p1、609p2、609p3、609n1、609n2、609n3：シリサイド層。

110p1、110p2、110p3、110n1、110n2、110n3、
210p1、210p2、210p3、210n1、210n2、210n3、
310p1、310p2、310p3、310n1、310n2、310n3、
410p1、410p2、410p3、410n1、410n2、410n3、
510p1、510p2、510p3、510n1、510n2、510n3、
610p1、610p2、610p3、610n1、610n2、610n3：コンタクト

1 1 1 a、1 1 1 b、1 1 1 c、1 1 1 d、1 1 1 e、2 1 1 a、2 1 1 b
、2 1 1 c、2 1 1 d、3 1 1 a、3 1 1 b、3 1 1 c、3 1 1 d、4 1 1
a、4 1 1 b、4 1 1 c、4 1 1 d、5 1 1 a、5 1 1 b、5 1 1 c、6 1
1 a、6 1 1 b、6 1 1 c、6 1 1 d : コンタクト

5 1 2 a、5 1 2 b、5 1 2 c、6 1 2 a、6 1 2 b : コンタクト

1 1 3、2 1 3、3 1 3、4 1 3、5 1 3、6 1 3 : 第1メタル配線

1 1 4、2 1 4、3 1 4、4 1 4、5 1 4、6 1 4 : コンタクト

1 1 5、2 1 5、3 1 5、4 1 5、5 1 5、5 1 6、6 1 5、6 1 6、6 1
7 : 第2メタル配線

1 5 0 : p型シリコン基板

1 6 0 : 素子分離用絶縁体

1 7 0 a、1 7 0 b : リーク防止分離層

請求の範囲

[請求項1]

ソース、ドレイン及びゲートが、基板と垂直な方向に階層的に配置される6つのトランジスタを、基板上に1列に配列することによりNOR回路を構成する半導体装置であって、

前記各トランジスタは、

シリコン柱と、

前記シリコン柱の側面を取り囲む絶縁体と、

前記絶縁体を囲むゲートと、

前記シリコン柱の上部又は下部に配置されるソース領域と、

前記シリコン柱の上部又は下部に配置されるドレイン領域であって、

前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、

前記6つのトランジスタは、

第1のNチャネルMOSトランジスタと、

第2のNチャネルMOSトランジスタと、

第3のNチャネルMOSトランジスタと、

第1のPチャネルMOSトランジスタと、

第2のPチャネルMOSトランジスタと、

第3のPチャネルMOSトランジスタと

で構成され、

前記第1のNチャネルMOSトランジスタと前記第1のPチャネルMOSトランジスタのゲートは互いに接続されており、

前記第2のNチャネルMOSトランジスタと前記第2のPチャネルMOSトランジスタのゲートは互いに接続されており、

前記第3のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートは互いに接続されており、

前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、前記

第1のPチャネルMOSトランジスタ及び前記第3のPチャネルMOSトランジスタのドレイン領域は、シリコン柱より基板側に配置されており、

前記第2のPチャネルMOSトランジスタのソース領域は、シリコン柱より基板側に配置されており、

前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ及び前記第1のPチャネルMOSトランジスタのドレイン領域は、互いにシリサイド領域を介して接続されており、

前記第1のPチャネルMOSトランジスタのソース領域は、前記第2のPチャネルMOSトランジスタのドレイン領域とコンタクトを介して接続されており、

前記第2のPチャネルMOSトランジスタのソース領域は前記第3のPチャネルMOSトランジスタのドレイン領域と互いにシリサイド領域を介して接続されていることを特徴とする半導体装置。

[請求項2] 前記6つのトランジスタは、前記第1のPチャネルMOSトランジスタ、前記第1のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、及び前記第2のPチャネルMOSトランジスタあるいは前記第3のPチャネルMOSトランジスタの順番に、1列に配置されていることを特徴とする請求項1に記載の半導体装置。

[請求項3] 前記第3のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートが、コンタクトを介して接続されていることを特徴とする請求項2に記載の半導体装置。

[請求項4] 前記第3のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートが、コンタクトを介して各々異なる信号配線により接続されていることを特徴とする請求項2に記載の半導体装置。

- [請求項5] 前記6つのトランジスタは、前記第1のPチャネルMOSトランジスタ、前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、及び前記第2のPチャネルMOSトランジスタあるいは前記第3のPチャネルMOSトランジスタの順番に、1列に配置されていることを特徴とする請求項1に記載の半導体装置。
- [請求項6] 前記6つのトランジスタは、前記第3のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第1のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ、前記第2のPチャネルMOSトランジスタ及び前記第3のPチャネルMOSトランジスタの順番に、1列に配置されていることを特徴とする請求項1に記載の半導体装置。
- [請求項7] 前記第3のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートが、コンタクトを介して各々異なる信号配線により接続されていることを特徴とする請求項6に記載の半導体装置。
- [請求項8] 前記6つのトランジスタは、前記第1のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、及び前記第2のPチャネルMOSトランジスタあるいは前記第3のPチャネルMOSトランジスタの順番に、1列に配置されていることを特徴とする請求項1に記載の半導体装置。
- [請求項9] 前記6つのトランジスタは、前記第1のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、及び前記第2のPチャネルMOSトランジスタあるいは前記第3のPチャネルMOSトランジスタの順番に、1列に配置されていることを特徴とする請求項1に記載の半導体装置。

- [請求項10] 前記6つのトランジスタは、前記第3のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ、前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、及び前記第2のPチャネルMOSトランジスタあるいは前記第3のPチャネルMOSトランジスタの順番に、1列に配置されていることを特徴とする請求項1に記載の半導体装置。
- [請求項11] 前記6つのトランジスタは、前記第2のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ、前記第1のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、及び前記第2のPチャネルMOSトランジスタあるいは前記第3のPチャネルMOSトランジスタの順番に、1列に配置されていることを特徴とする請求項1に記載の半導体装置。
- [請求項12] 前記6つのトランジスタは、前記第3のNチャネルMOSトランジスタ、前記第1のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、及び前記第2のPチャネルMOSトランジスタあるいは前記第3のPチャネルMOSトランジスタの順番に、1列に配置されていることを特徴とする請求項1に記載の半導体装置。
- [請求項13] 前記6つのトランジスタは、前記第2のNチャネルMOSトランジスタ、前記第1のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、及び前記第2のPチャネルMOSトランジスタあるいは前記第3のPチャネルMOSトランジスタの順番に、1列に配置されていることを特徴とする請求項1に記載の半導体装置。
- [請求項14] ソース、ドレイン及びゲートが、基板と垂直な方向に階層的に配置される6つのトランジスタを、基板上に1列に配列することによりNOR回路を構成する半導体装置であって、
前記トランジスタは、

シリコン柱と、
前記シリコン柱の側面を取り囲む絶縁体と、
前記絶縁体を囲むゲートと、
前記シリコン柱の上部又は下部に配置されるソース領域と、
前記シリコン柱の上部又は下部に配置されるドレイン領域であって、
前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、
前記6つのトランジスタは、
第1のNチャネルMOSトランジスタと、
第2のNチャネルMOSトランジスタと、
第3のNチャネルMOSトランジスタと、
第1のPチャネルMOSトランジスタと、
第2のPチャネルMOSトランジスタと、
第3のPチャネルMOSトランジスタと
で構成され、
前記第1のNチャネルMOSトランジスタと前記第1のPチャネルMOSトランジスタのゲートは互いに接続されており、
前記第2のNチャネルMOSトランジスタと前記第2のPチャネルMOSトランジスタのゲートは互いに接続されており、
前記第3のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートは互いに接続されており、
前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ及び前記第3のPチャネルMOSトランジスタのドレイン領域は、シリコン柱より基板側に配置されており、
前記第2のPチャネルMOSトランジスタのソース領域は、シリコン柱より基板側に配置されており、

前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ及び前記第1のPチャネルMOSトランジスタのドレイン領域は、互いにシリサイド領域を介して接続されており、

前記第1のPチャネルMOSトランジスタのソース領域は、前記第2のPチャネルMOSトランジスタのドレイン領域とコンタクトを介して接続されており、

前記第2のPチャネルMOSトランジスタのソース領域は前記第3のPチャネルMOSトランジスタのドレイン領域と互いにシリサイド領域を介して接続されており、

前記第1のNチャネルMOSトランジスタと前記第1のPチャネルMOSトランジスタのゲートは第1の入力信号線に接続され、

前記第2のNチャネルMOSトランジスタと前記第2のPチャネルMOSトランジスタのゲートは第2の入力信号線に接続され、

前記第3のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートは第3の入力信号線に接続され、

前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルトランジスタ及び前記第3のNチャネルMOSトランジスタのソースは、コンタクトを介して基準電源端子に接続されており、

前記第3のPチャネルMOSトランジスタのソース領域は、コンタクトを介して供給電源端子に接続されている半導体装置を複数個具備し、

前記複数の半導体装置を並列に配置し、各々の供給電源及び基準電源を共有させたことを特徴とする半導体装置。

[請求項15] 前記第1の入力信号線、前記第2の入力信号線及び前記第3の入力信号線は、前記複数の半導体装置が並列に配置された方向と直角方向から入力されることを特徴とする、請求項14に記載の半導体装置。

[請求項16] ソース、ドレイン及びゲートが、基板と垂直な方向に階層的に配置

される6つのトランジスタを、基板上に1列に配列することによりNOR回路を構成する半導体装置であって、
前記各トランジスタは、
シリコン柱と、
前記シリコン柱の側面を取り囲む絶縁体と、
前記絶縁体を囲むゲートと、
前記シリコン柱の上部又は下部に配置されるソース領域と、
前記シリコン柱の上部又は下部に配置されるドレイン領域であって、
前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、
前記6つのトランジスタは、
第1のNチャネルMOSトランジスタと、
第2のNチャネルMOSトランジスタと、
第3のNチャネルMOSトランジスタと、
第1のPチャネルMOSトランジスタと、
第2のPチャネルMOSトランジスタと、
第3のPチャネルMOSトランジスタと
で構成され、
前記第1のNチャネルMOSトランジスタと前記第1のPチャネルMOSトランジスタのゲートは互いに接続されており、
前記第2のNチャネルMOSトランジスタと前記第2のPチャネルMOSトランジスタのゲートは互いに接続されており、
前記第3のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートは互いに接続されており、
前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ及び前記第3のPチャネルMOSトランジスタのソース領域は、シリコン柱より基板側に配置されて

おり、

前記第2のPチャネルMOSトランジスタのドレイン領域は、シリコン柱より基板側に配置されており、

前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ及び前記第1のPチャネルMOSトランジスタのドレイン領域は、互いにコンタクトを介して接続されており、

前記第1のPチャネルMOSトランジスタのソース領域は、前記第2のPチャネルMOSトランジスタのドレイン領域とシリサイド領域を介して接続されており、

前記第2のPチャネルMOSトランジスタのソース領域は前記第3のPチャネルMOSトランジスタのドレイン領域と互いにコンタクトを介して接続されていることを特徴とする半導体装置。

[請求項17] 前記6つのトランジスタは、前記第3のNチャネルMOSトランジスタ、前記第3のPチャネルMOSトランジスタ、前記第2のPチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ、及び前記第1のNチャネルMOSトランジスタあるいは前記第2のNチャネルMOSトランジスタの順番に、1列に配置されていることを特徴とする請求項16記載の半導体装置。

[請求項18] 前記6つのトランジスタは、前記第3のPチャネルMOSトランジスタ、前記第2のPチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ、前記第1のNチャネルMOSトランジスタ、及び前記第2のNチャネルMOSトランジスタあるいは前記第3のNチャネルMOSトランジスタの順番に、1列に配置されていることを特徴とする請求項16記載の半導体装置。

[請求項19] ソース、ドレイン及びゲートが、基板と垂直な方向に階層的に配置される6つのトランジスタを、基板上に1列に配列することによりNOR回路を構成する半導体装置であって、

前記各トランジスタは、
シリコン柱と、
前記シリコン柱の側面を取り囲む絶縁体と、
前記絶縁体を囲むゲートと、
前記シリコン柱の上部又は下部に配置されるソース領域と、
前記シリコン柱の上部又は下部に配置されるドレイン領域であって、
前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、
前記6つのトランジスタは、
第1のNチャネルMOSトランジスタと、
第2のNチャネルMOSトランジスタと、
第3のNチャネルMOSトランジスタと、
第1のPチャネルMOSトランジスタと、
第2のPチャネルMOSトランジスタと、
第3のPチャネルMOSトランジスタと
で構成され、
前記第1のNチャネルMOSトランジスタと前記第1のPチャネルMOSトランジスタのゲートは互いに接続されており、
前記第2のNチャネルMOSトランジスタと前記第2のPチャネルMOSトランジスタのゲートは互いに接続されており、
前記第3のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートは互いに接続されており、
前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ、前記第1のPチャネルMOSトランジスタ及び前記第3のPチャネルMOSトランジスタのソース領域は、シリコン柱より基板側に配置されており、
前記第2のPチャネルMOSトランジスタのドレイン領域は、シリコ

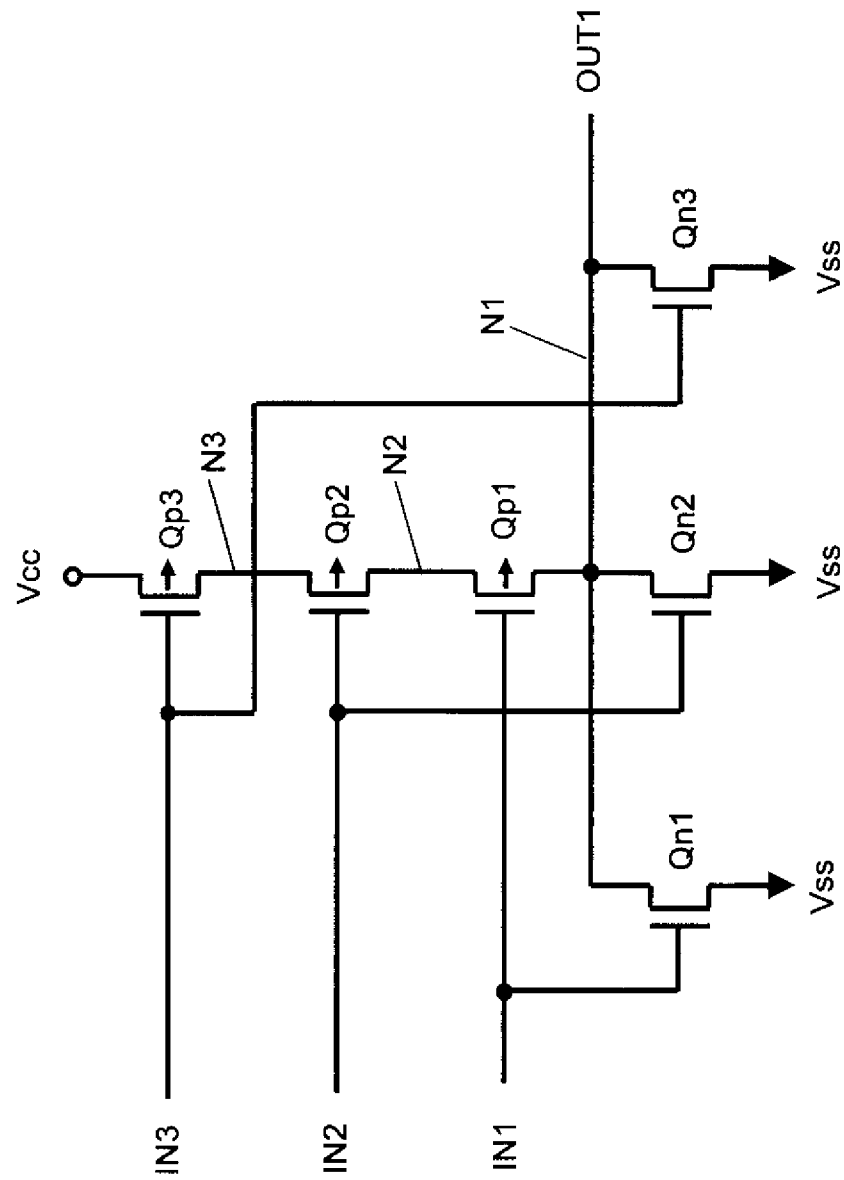
ン柱より基板側に配置されており、
前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルMOSトランジスタ、前記第3のNチャネルMOSトランジスタ及び前記第1のPチャネルMOSトランジスタのドレイン領域は、互いにコンタクトを介して接続されており、
前記第1のPチャネルMOSトランジスタのソース領域は、前記第2のPチャネルMOSトランジスタのドレイン領域とシリサイド領域を介して接続されており、
前記第2のPチャネルMOSトランジスタのソース領域は前記第3のPチャネルMOSトランジスタのドレイン領域と互いにコンタクトを介して接続されており、
前記第1のNチャネルMOSトランジスタと前記第1のPチャネルMOSトランジスタのゲートは第1の入力信号線に接続され、
前記第2のNチャネルMOSトランジスタと前記第2のPチャネルMOSトランジスタのゲートは第2の入力信号線に接続され、
前記第3のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートは第3の入力信号線に接続され、
前記第1のNチャネルMOSトランジスタ、前記第2のNチャネルトランジスタ及び前記第3のNチャネルMOSトランジスタのソースは、コンタクトを介して基準電源端子に接続されており、
前記第3のPチャネルMOSトランジスタのソース領域は、コンタクトを介して供給電源端子に接続されている半導体装置を複数個具備し、
前記複数の半導体装置を並列に配置し、各々の供給電源及び基準電源を共有させたことを特徴とする半導体装置。

[請求項20]

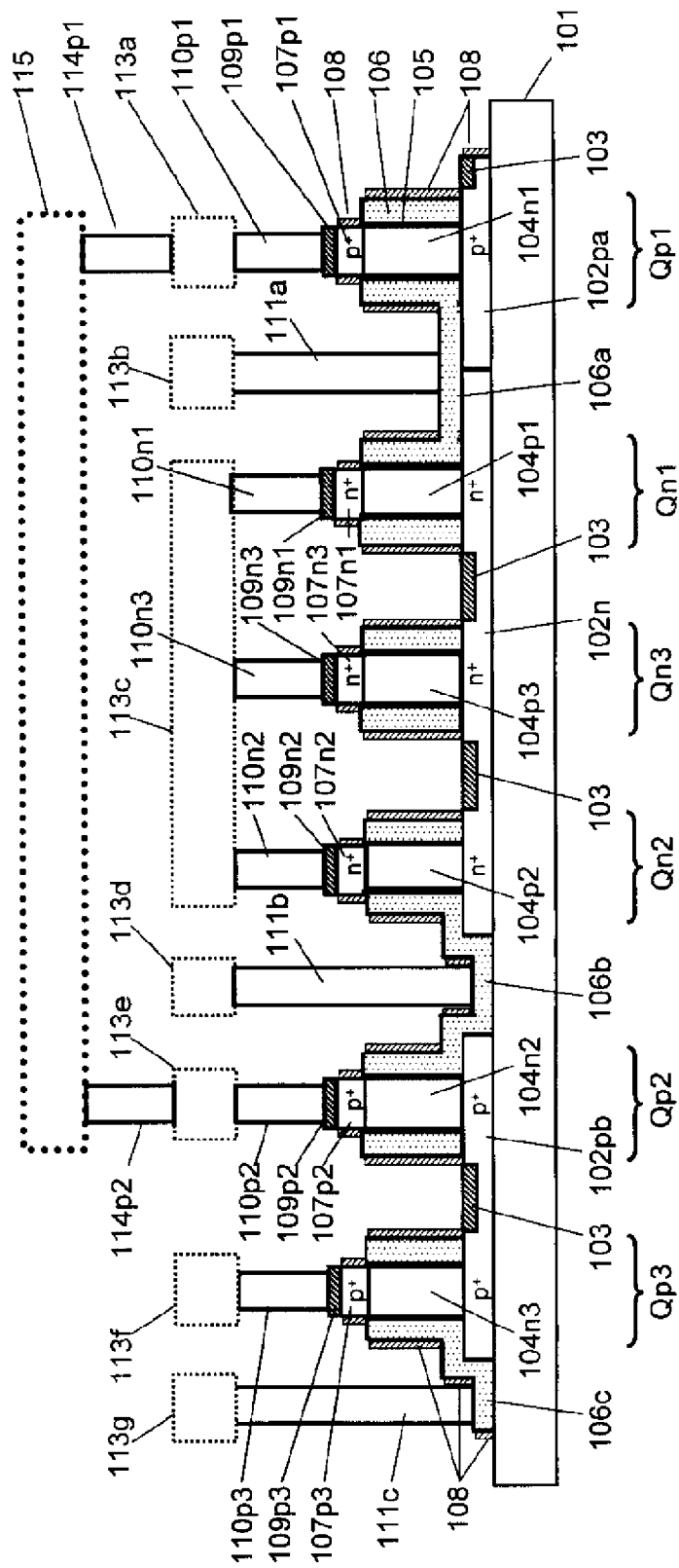
前記第1の入力信号線、前記第2の入力信号線及び前記第3の入力信号線は、前記複数の半導体装置が並列に配置された方向と直角方向から入力されることを特徴とする、請求項19に記載の半導体装置。

[請求項21] 請求項 1 9 において、前記複数の半導体装置の各々の供給電源及び基準電源が供給されるシリサイド領域を、並列に配置される方向に共通に接続することを特徴とする半導体装置。

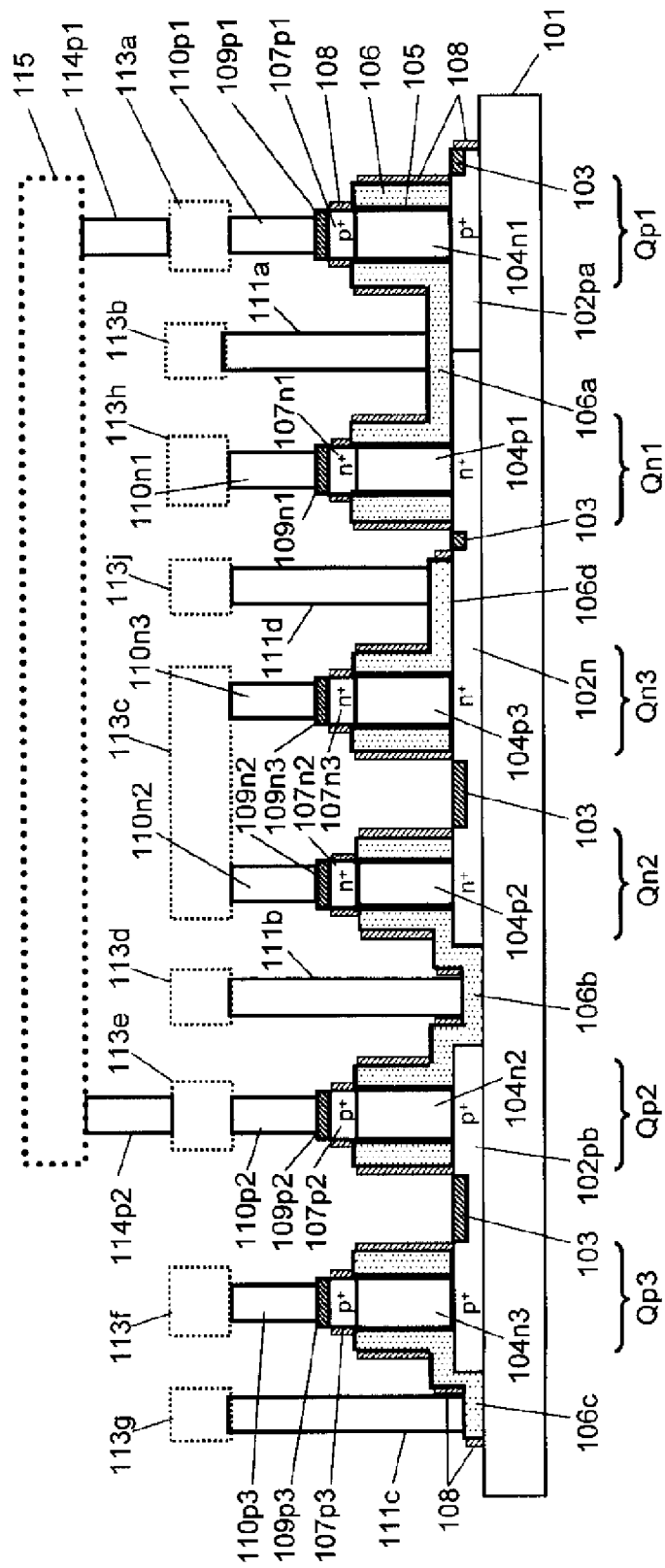
[図1]



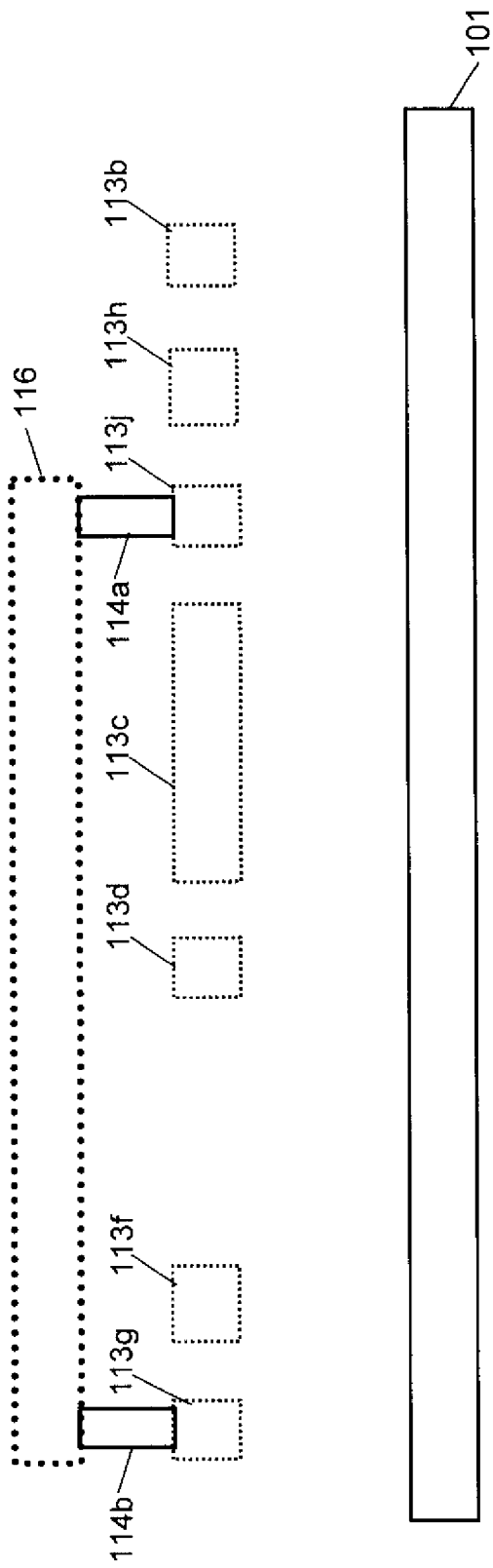
[図2b]



[図3b]

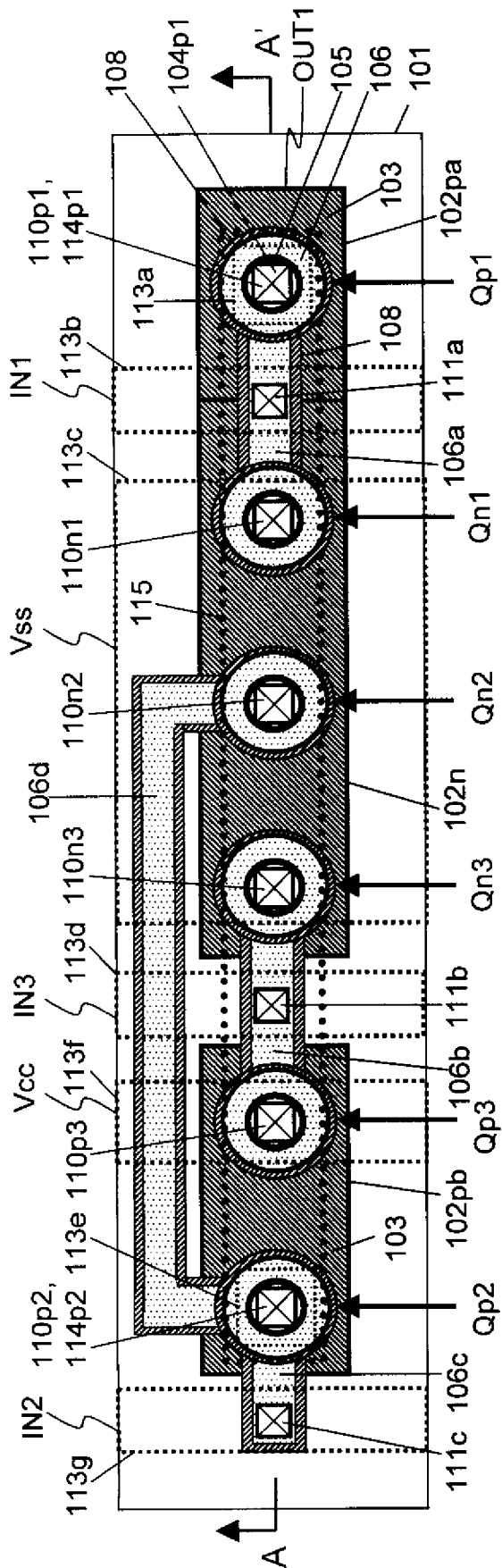


[図3c]

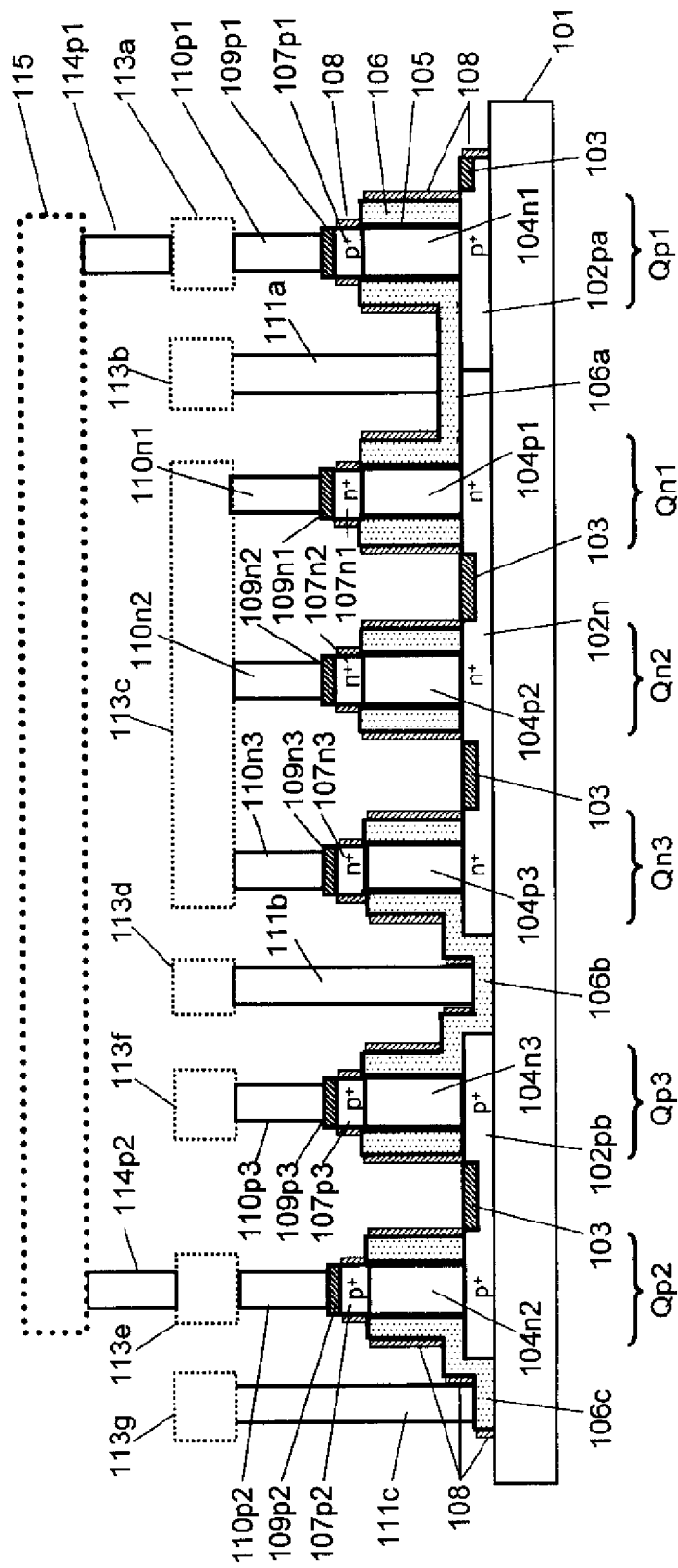


[illegible]

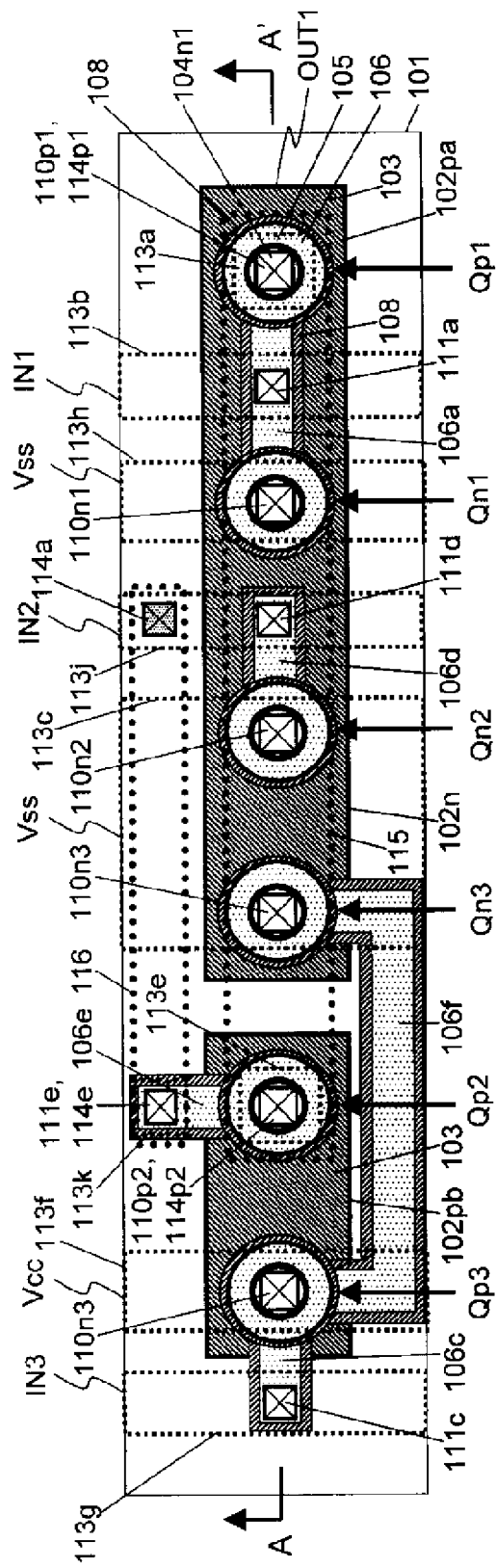
[図4a]



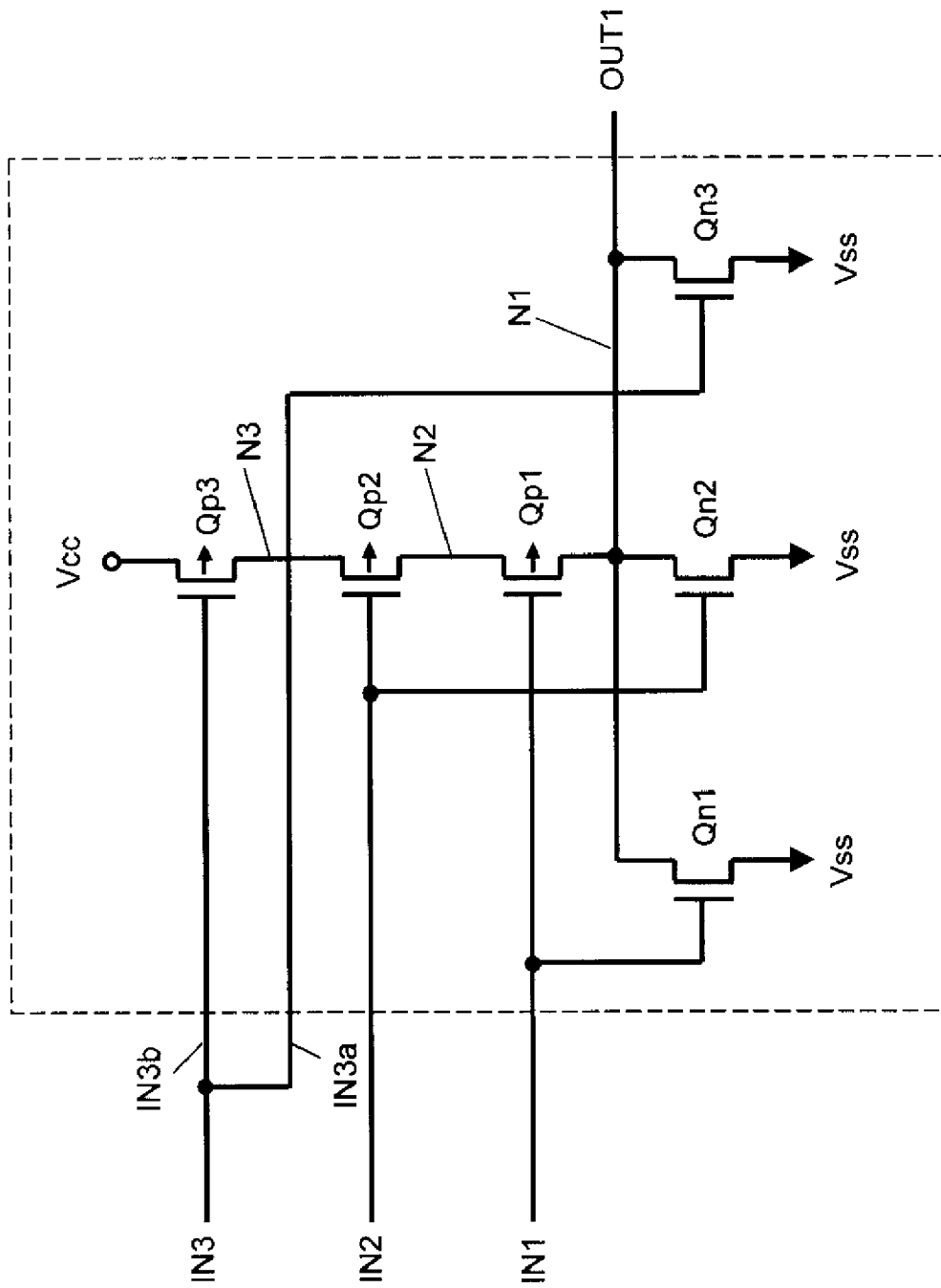
[図4b]



[図5a]

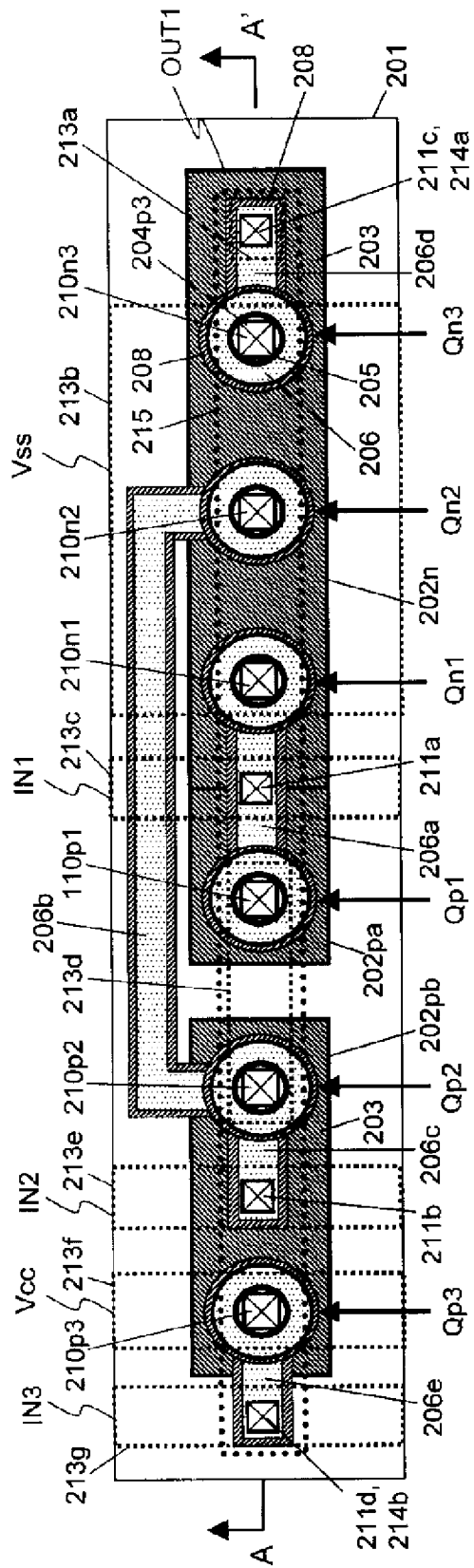


[図6]

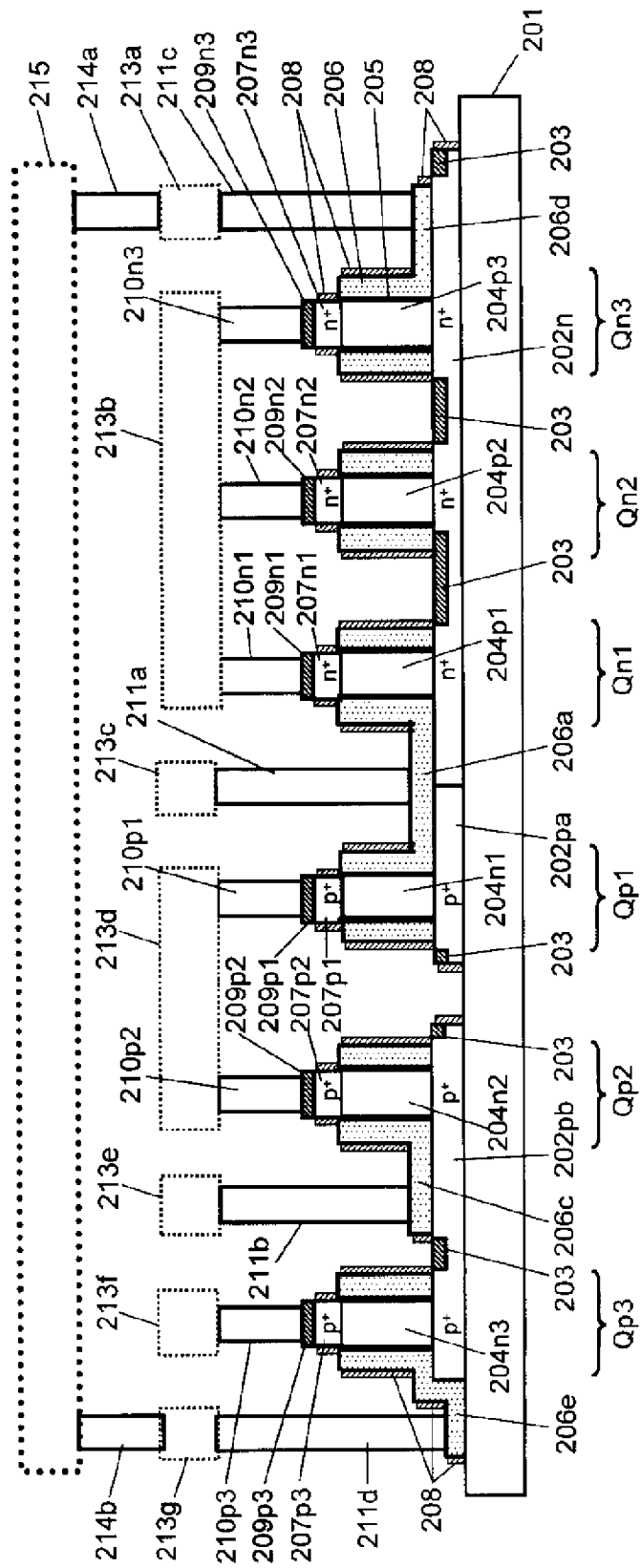


This diagram shows a cross-sectional view of a semiconductor device. It features a substrate 101 with a series of gate stacks 102a, 102b, 102c, 102d, 102e, 102f, 102g, 102h, 102i, 102j, 102k, 102l, 102m, 102n, 102o, 102p, 102q, 102r, 102s, 102t, 102u, 102v, 102w, 102x, 102y, 102z. Each gate stack includes a gate dielectric 103, a gate conductive layer 104, and a gate insulating layer 105. Source/drain regions 106a, 106b, 106c, 106d, 106e, 106f, 106g, 106h, 106i, 106j, 106k, 106l, 106m, 106n, 106o, 106p, 106q, 106r, 106s, 106t, 106u, 106v, 106w, 106x, 106y, 106z are formed in the substrate. A dashed line 115 indicates a boundary or interface. Other labels include 108, 109, 110, 111, 112, 113, 114, 115, 116, 117, 118, 119, 120, 121, 122, 123, 124, 125, 126, 127, 128, 129, 130, 131, 132, 133, 134, 135, 136, 137, 138, 139, 140, 141, 142, 143, 144, 145, 146, 147, 148, 149, 150, 151, 152, 153, 154, 155, 156, 157, 158, 159, 160, 161, 162, 163, 164, 165, 166, 167, 168, 169, 170, 171, 172, 173, 174, 175, 176, 177, 178, 179, 180, 181, 182, 183, 184, 185, 186, 187, 188, 189, 190, 191, 192, 193, 194, 195, 196, 197, 198, 199, 200.

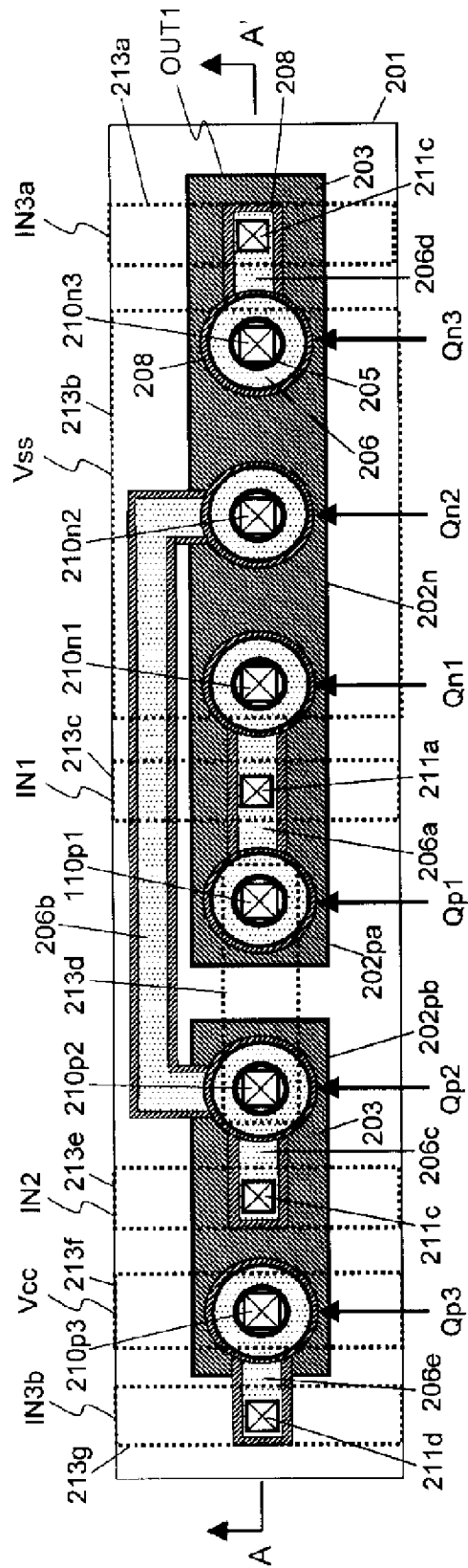
[図8a]



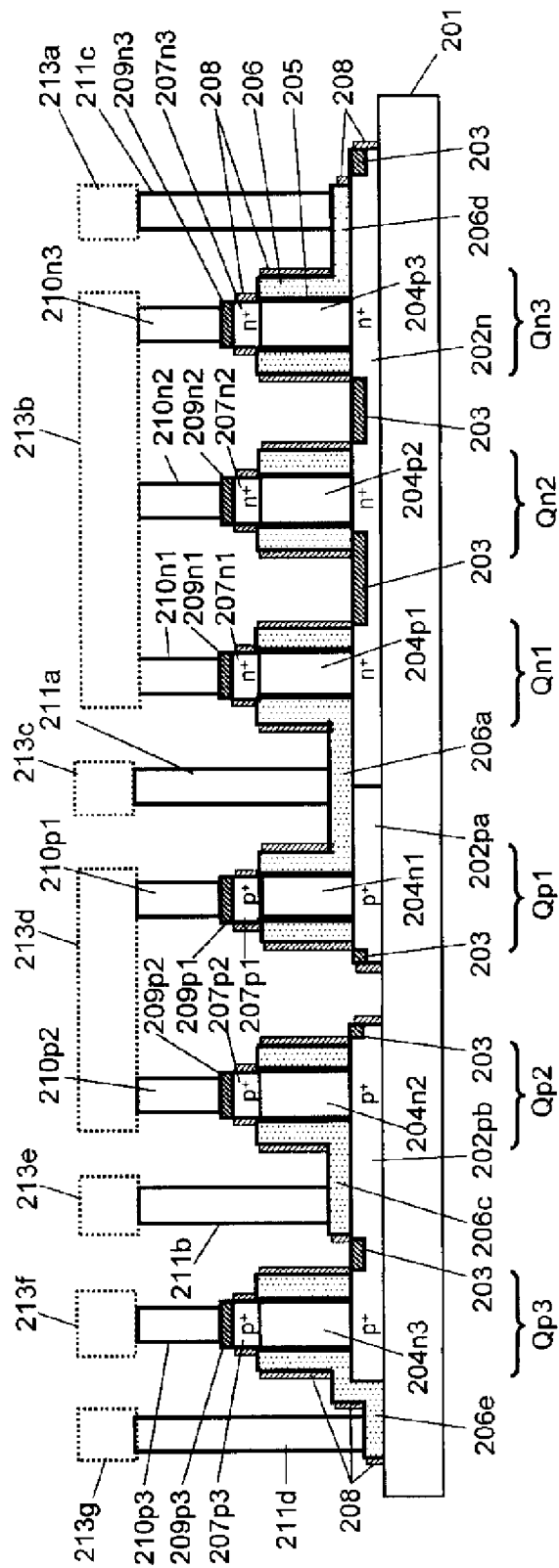
[図8b]



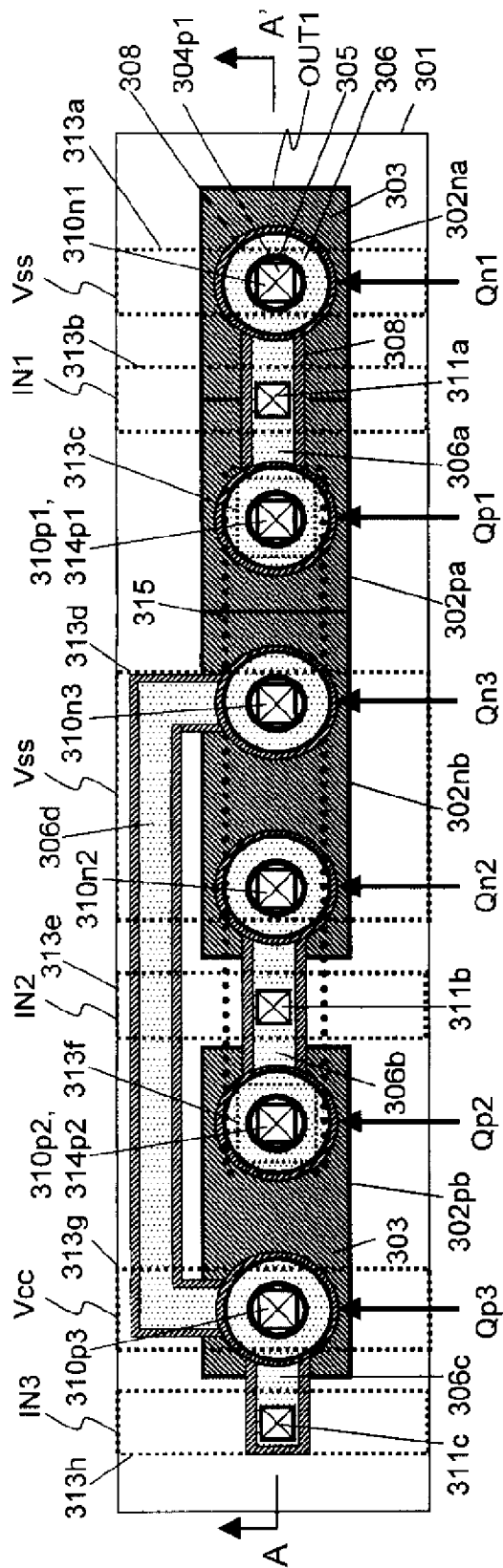
[図9a]



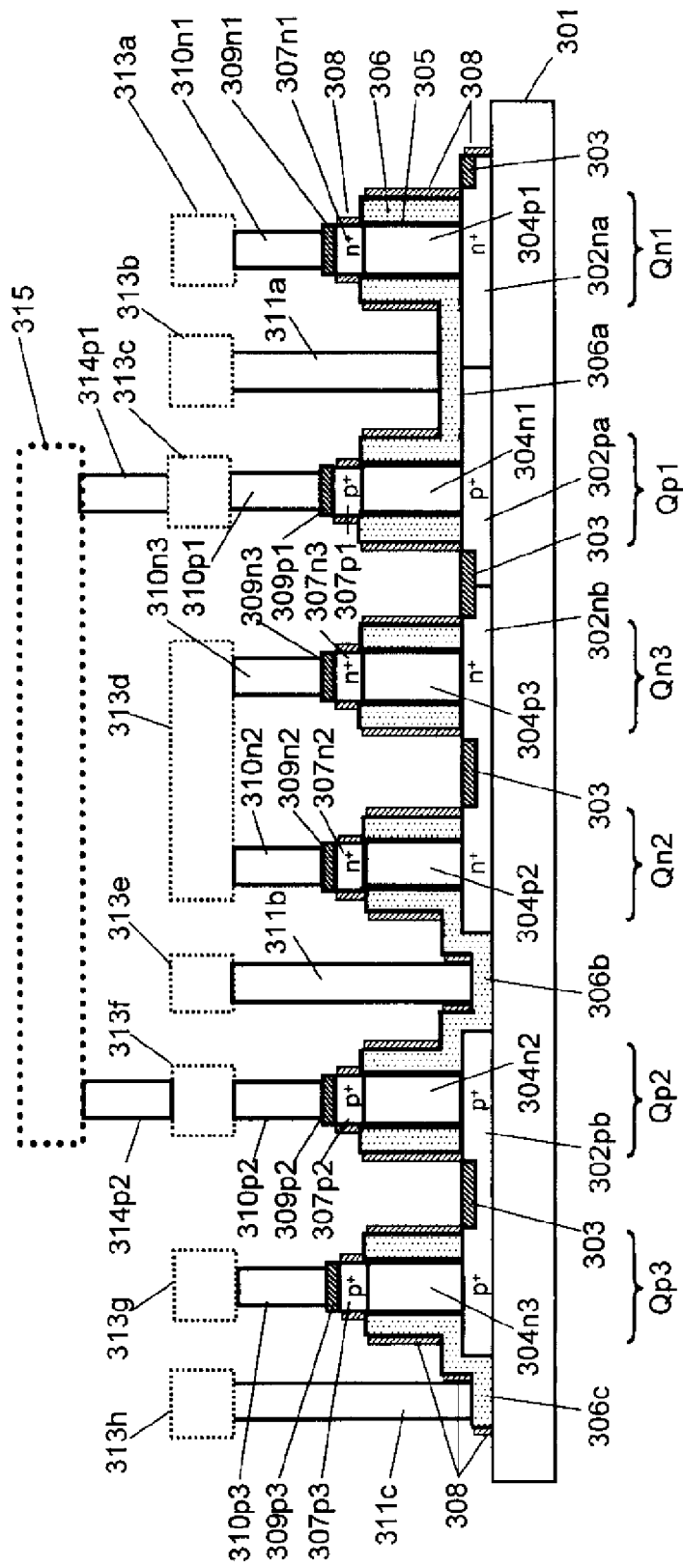
[図9b]



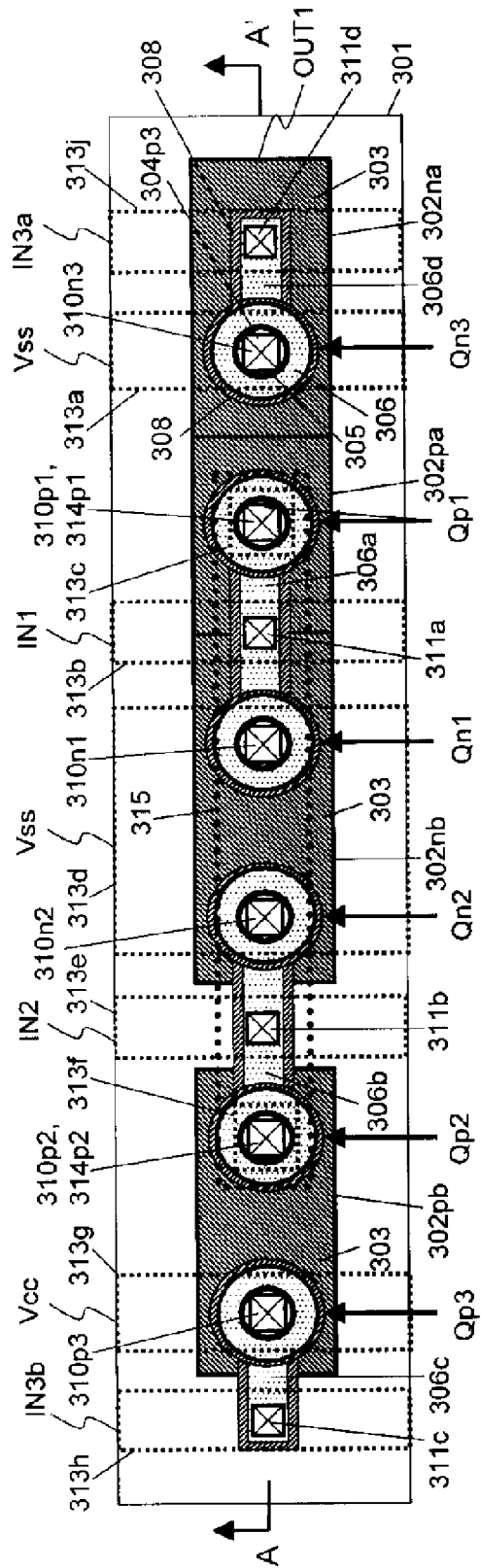
[図10a]



[図10b]

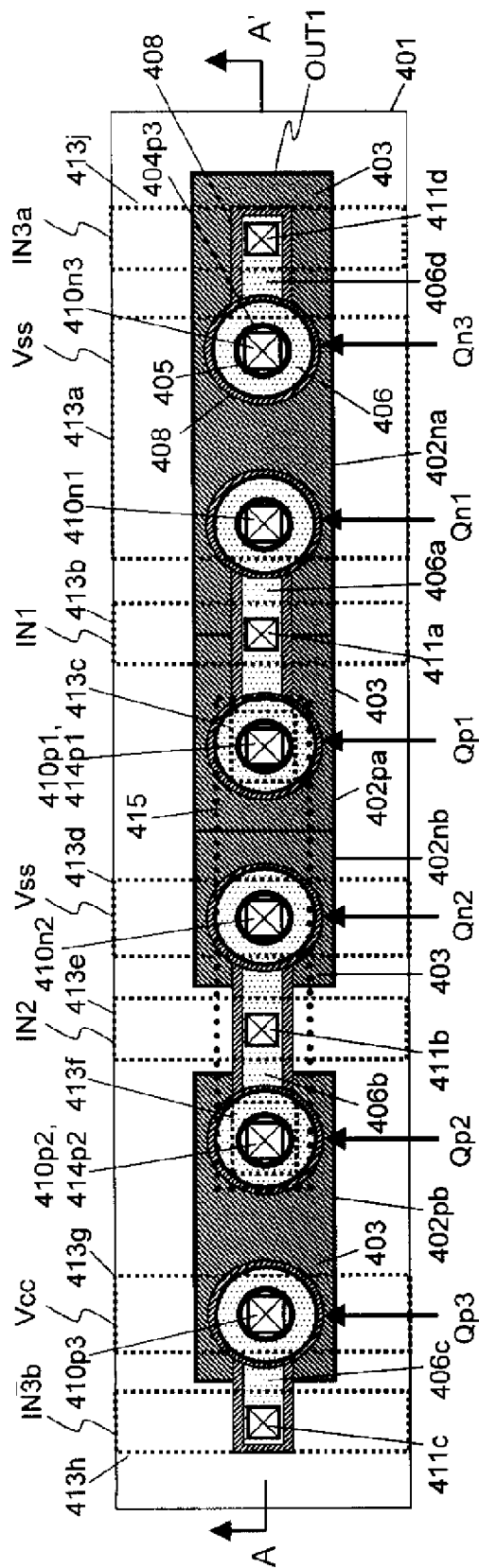


[図11a]

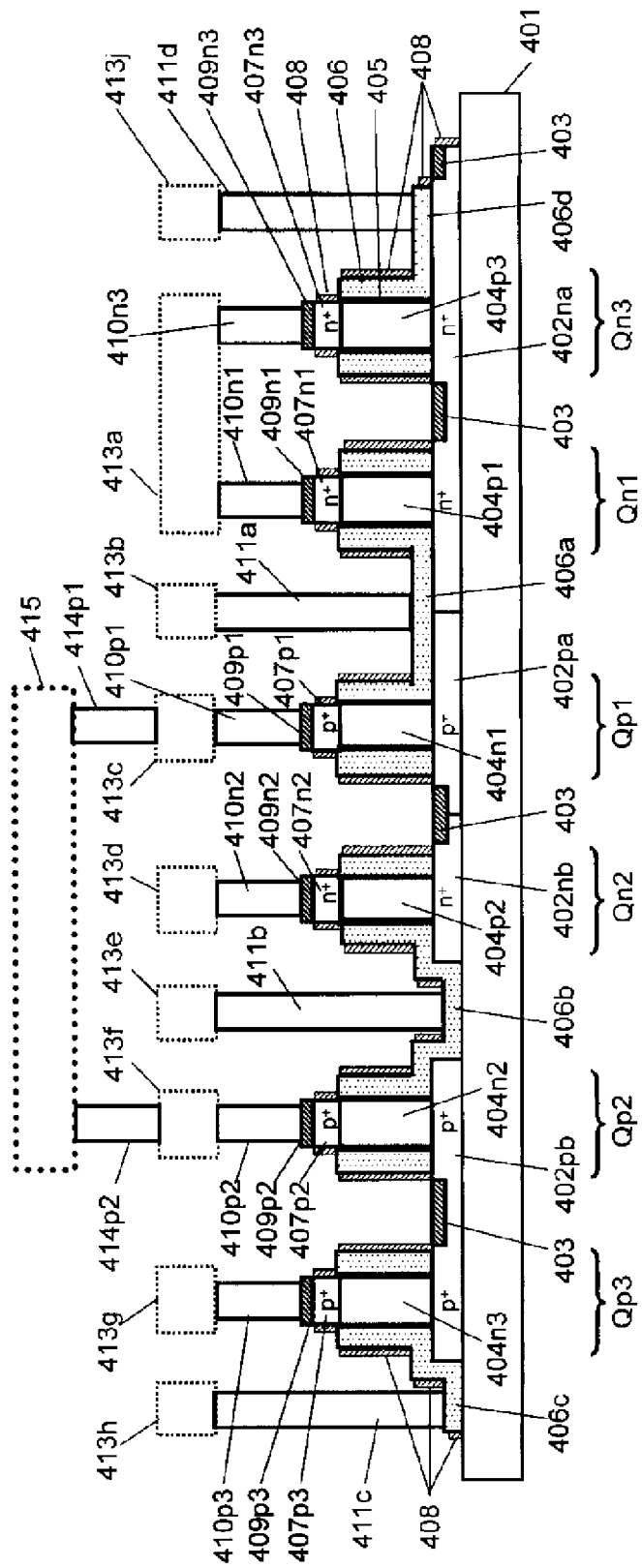


[illegible]

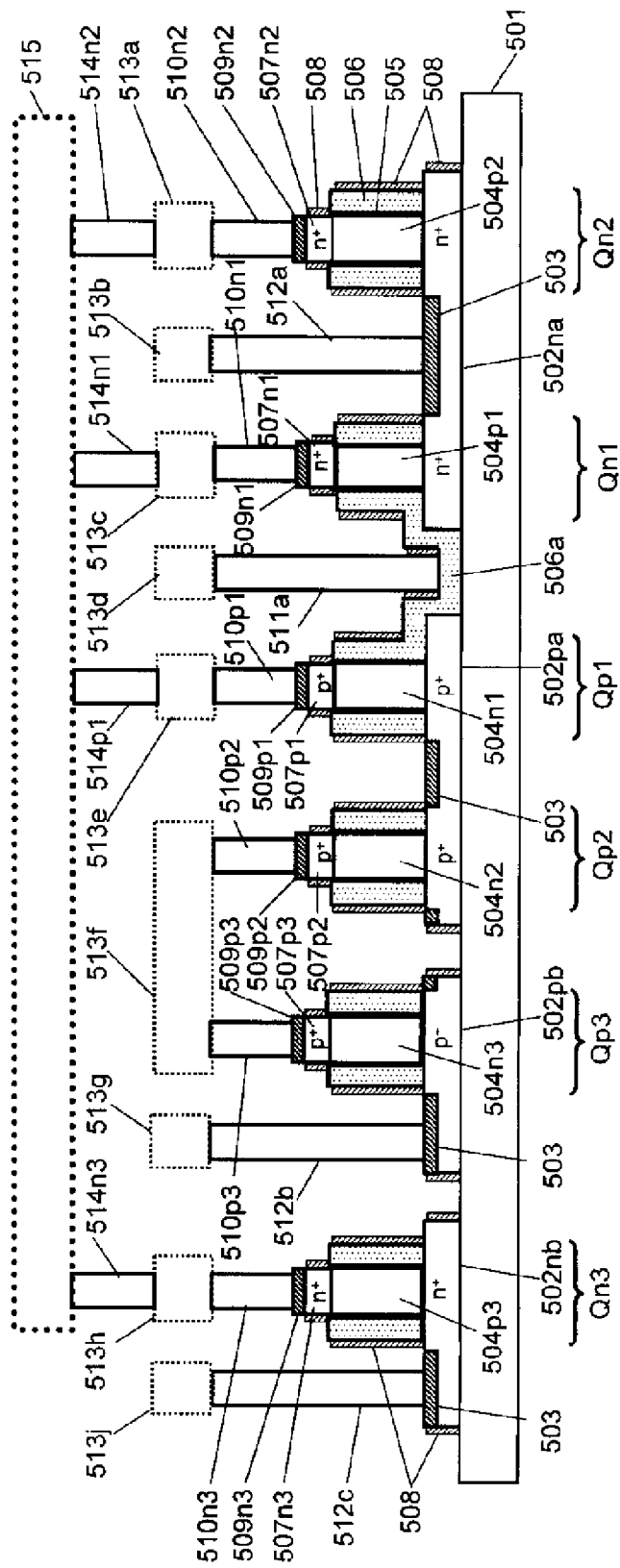
[図12a]



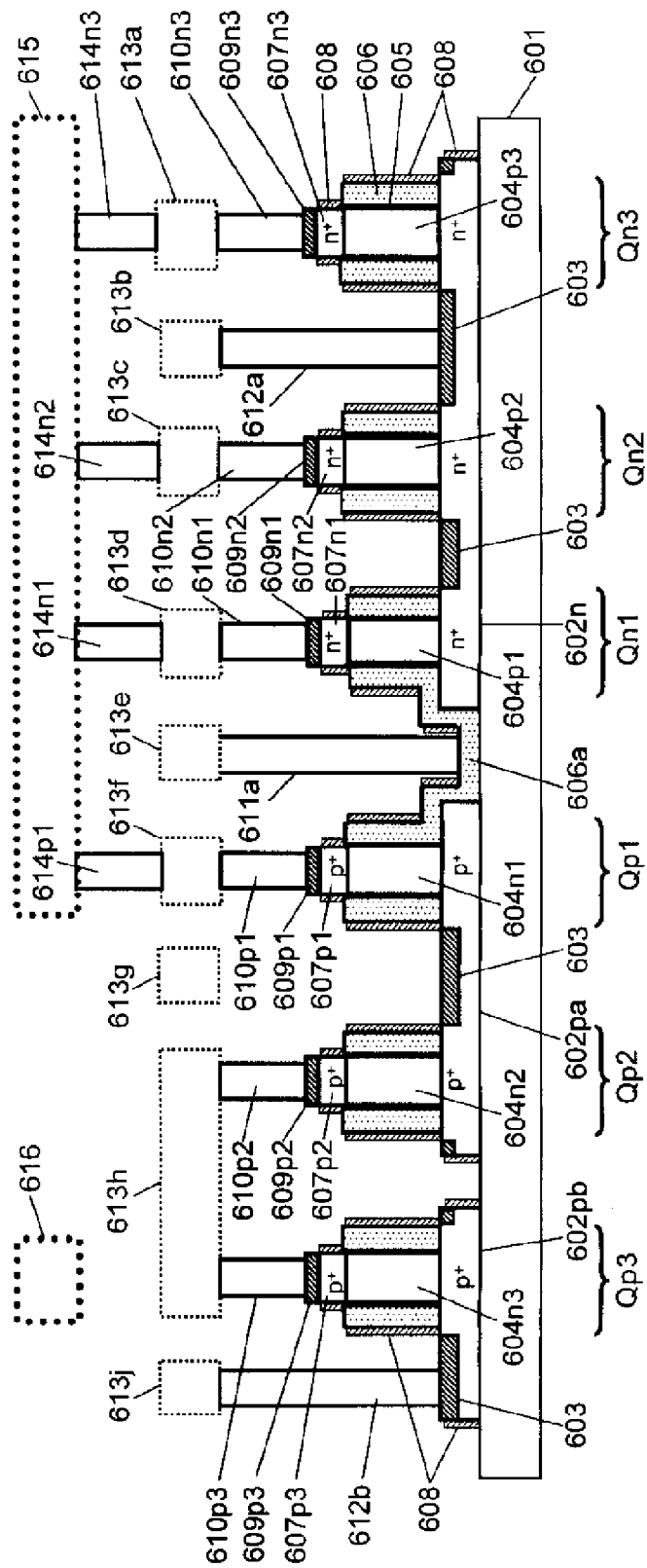
[図12b]



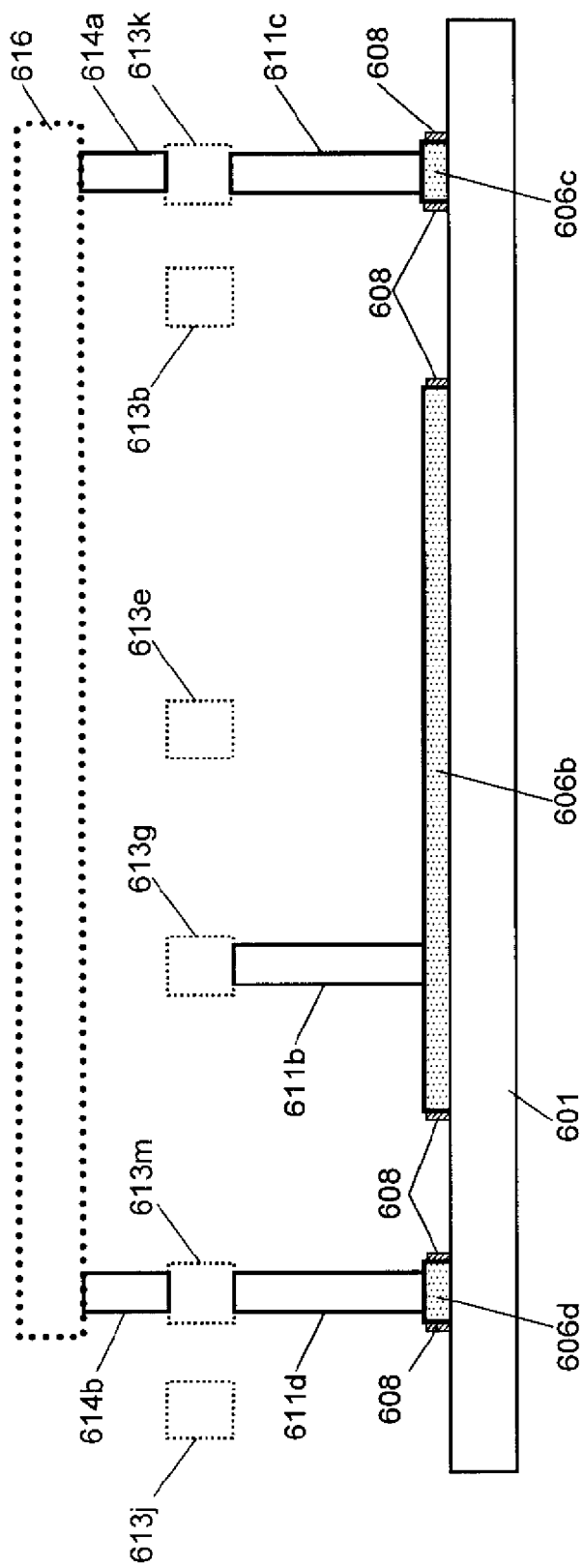
[図13b]

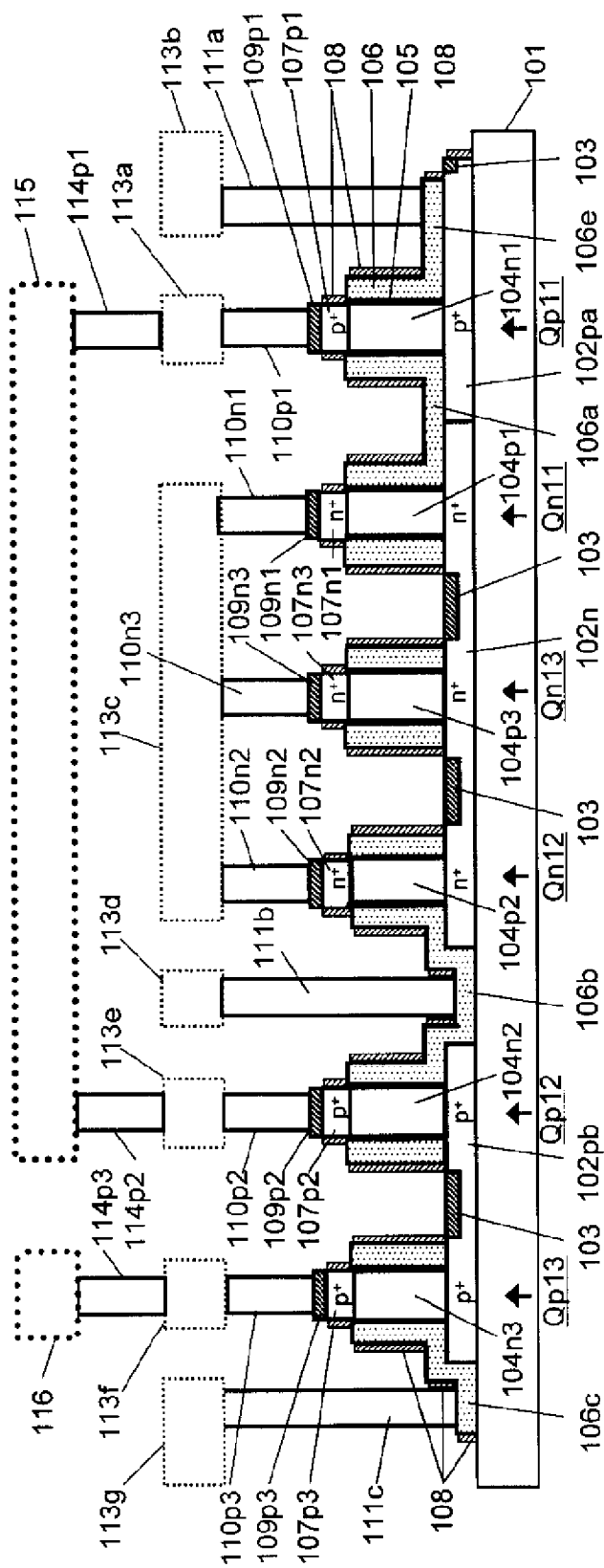


[図14b]

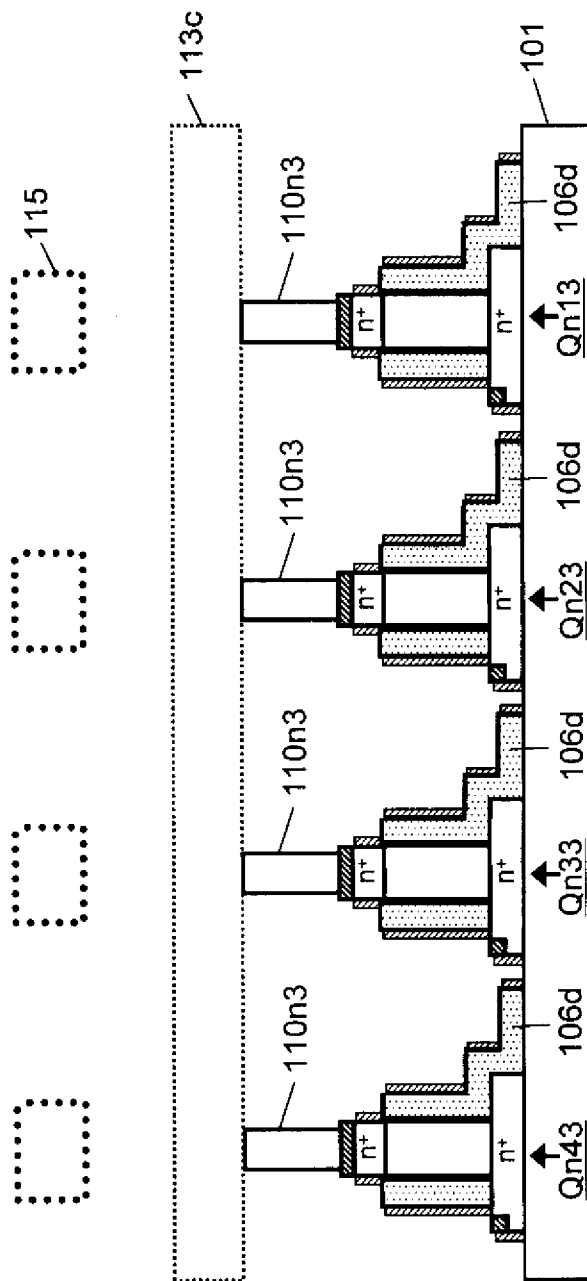


[図14c]

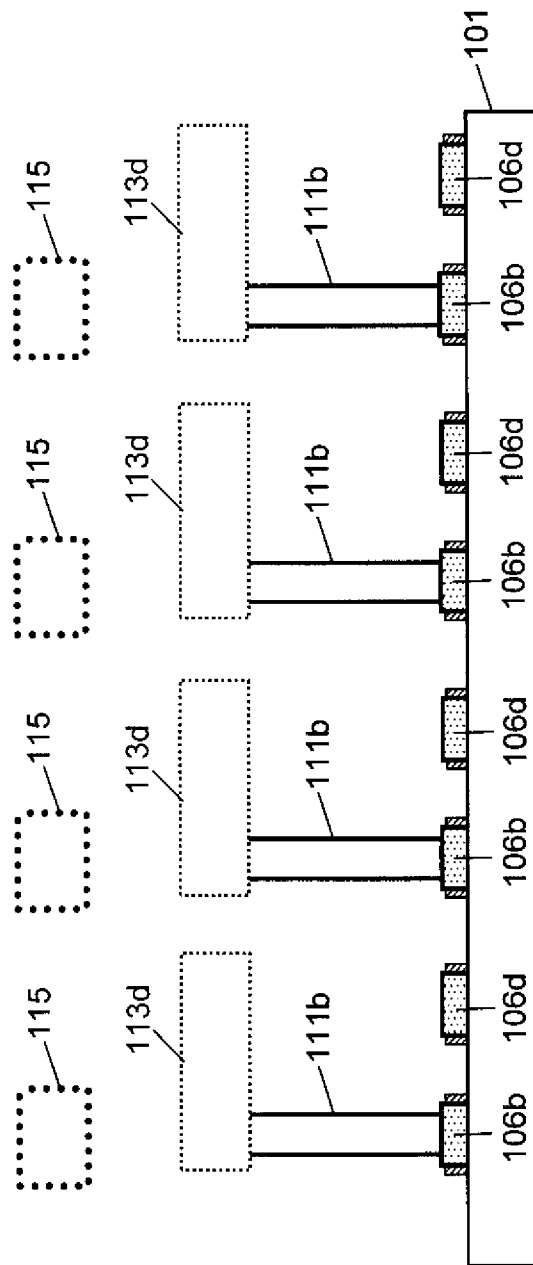




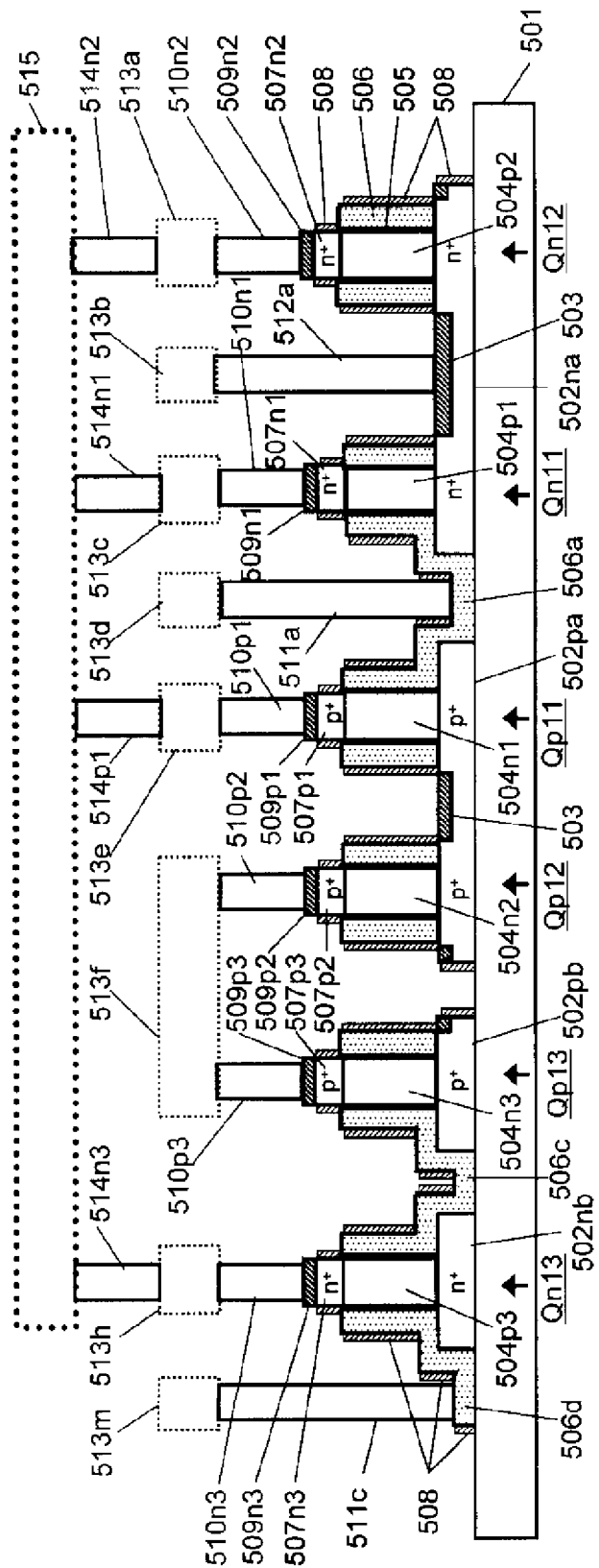
[図15c]



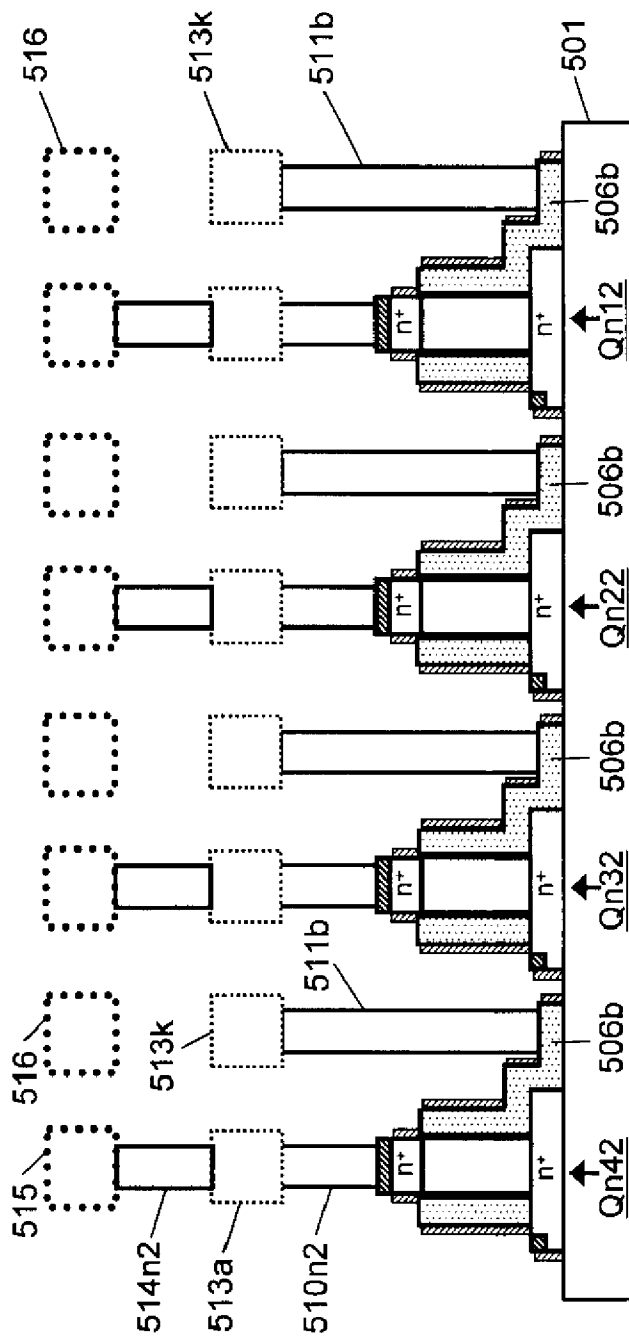
[図15d]



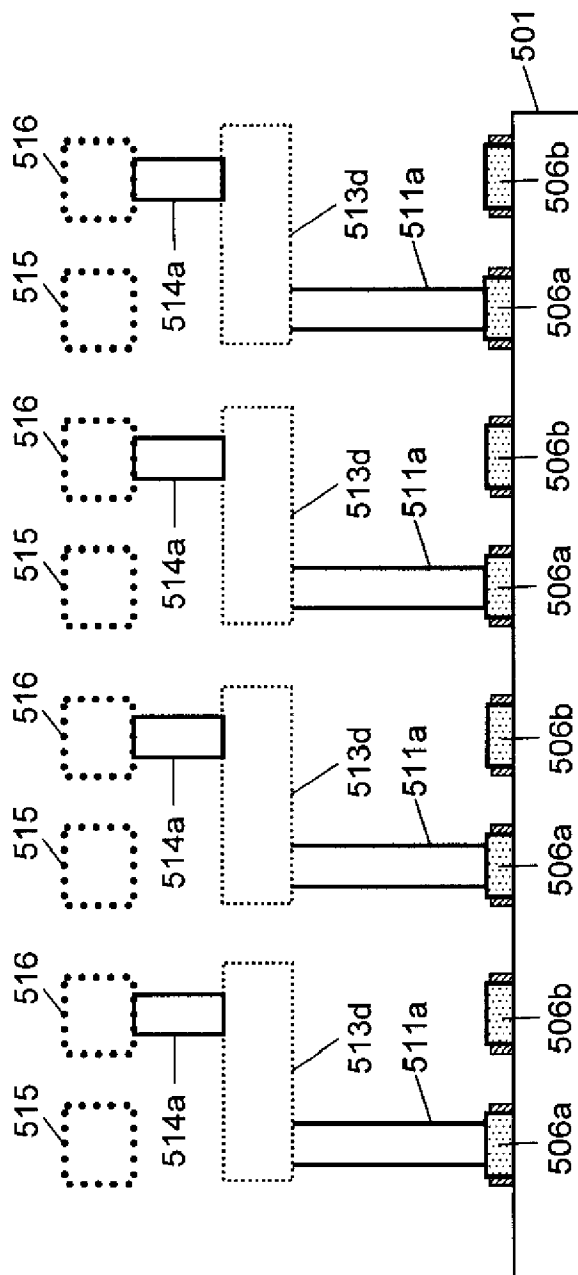
[図16b]



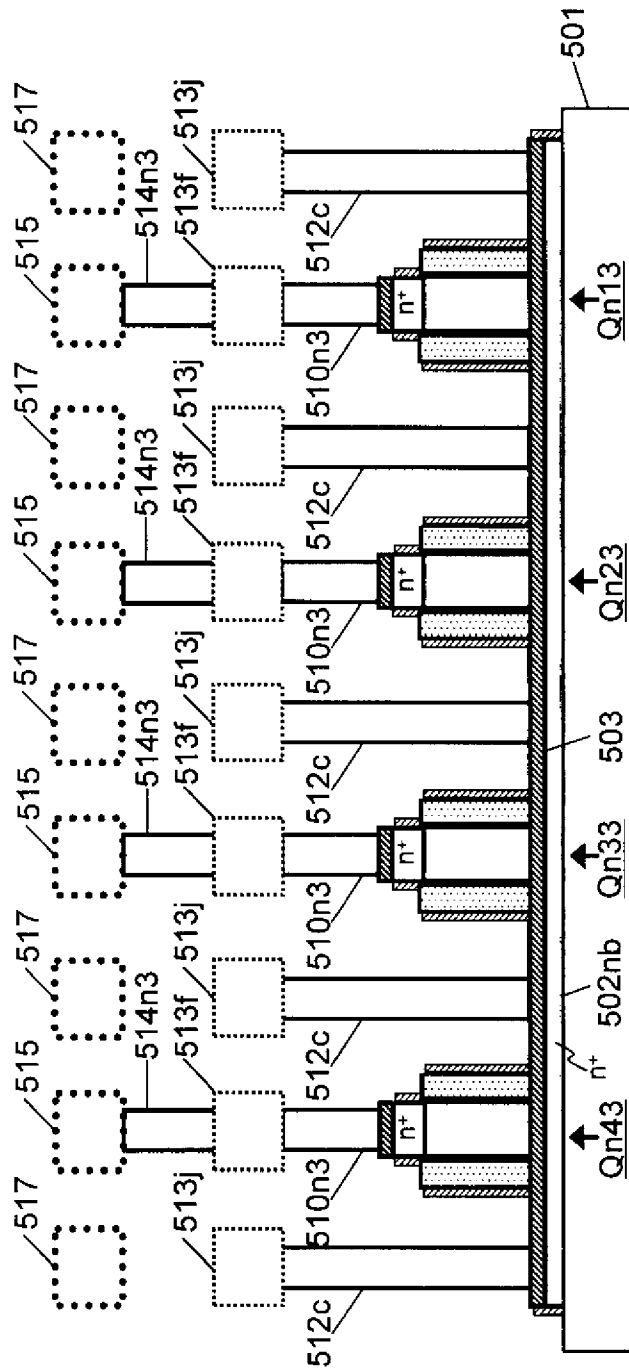
[図16c]



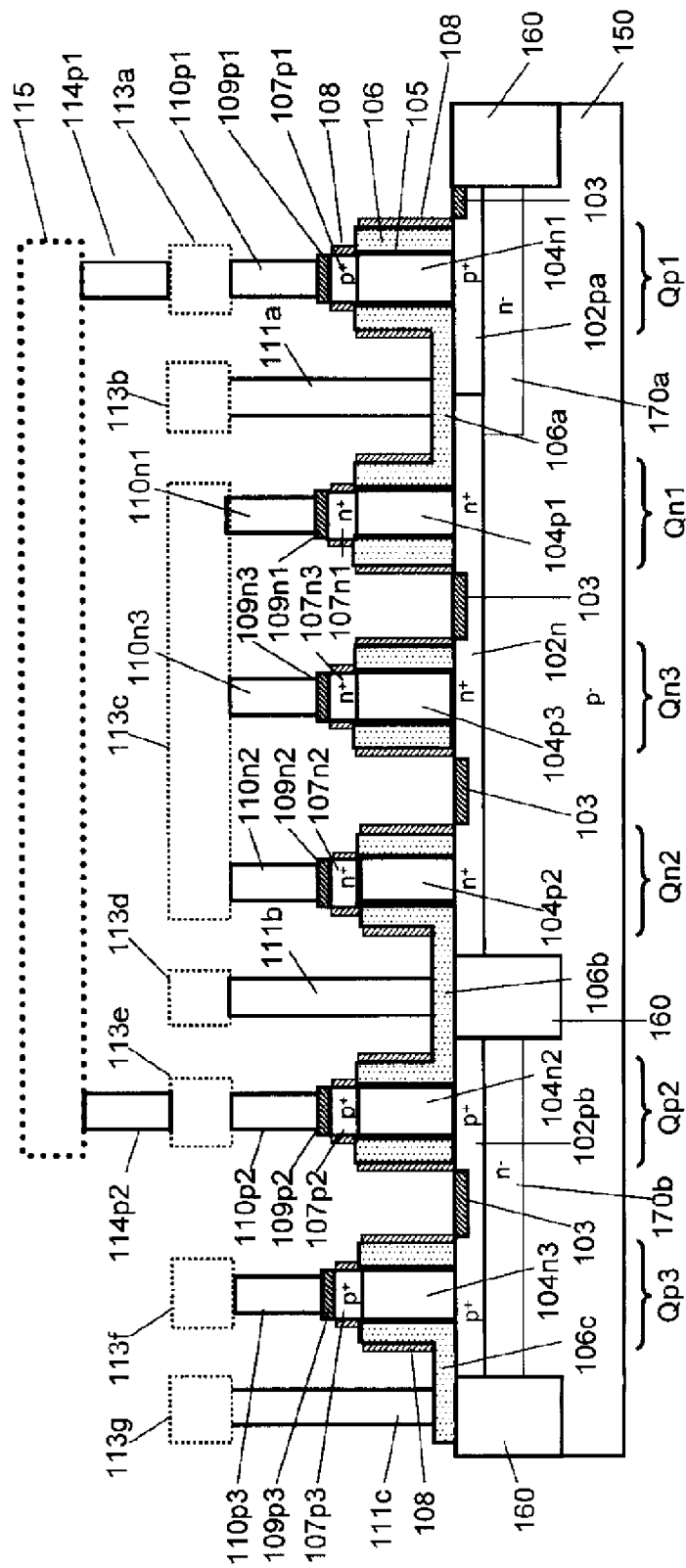
[図16d]



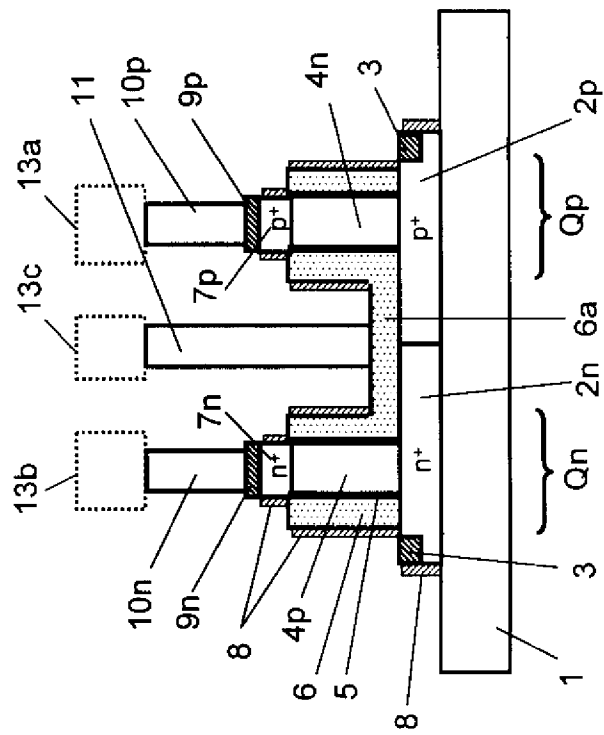
[図16e]



[図17b]



[図19b]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/071527

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8238(2006.01)i, H01L21/336(2006.01)i, H01L27/092(2006.01)i,
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8238, H01L21/336, H01L27/092, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-108702 A (Unisantis Electronics Japan Ltd.), 02 June 2011 (02.06.2011), claims; fig. 8 to 13 & US 2011/0115011 A1 & EP 2323166 A1 & CN 102136496 A & KR 10-2011-0053201 A & TW 201133855 A	1-21
A	JP 2010-258345 A (Unisantis Electronics Japan Ltd.), 11 November 2010 (11.11.2010), abstract; fig. 2 & US 2010/0213539 A1 & US 2010/0270611 A1 & US 2012/0196415 A1 & EP 2246893 A2 & CN 101877353 A & KR 10-2010-0118531 A & SG 166085 A & TW 201039443 A	1-21

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 October, 2013 (22.10.13)

Date of mailing of the international search report
05 November, 2013 (05.11.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/071527

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-251586 A (Unisantis Electronics Japan Ltd.), 04 November 2010 (04.11.2010), abstract; fig. 1 & JP 4487221 B & US 2010/0264484 A1 & EP 2242096 A2 & CN 101866925 A & KR 10-2010-0115308 A & SG 166074 A & TW 201039435 A	1-21
A	WO 2009/096464 A1 (Unisantis Electronics Japan Ltd.), 06 August 2009 (06.08.2009), abstract; fig. 3 & JP 2009-182316 A & JP 2009-182317 A & JP 2009-182318 A & JP 2009-188415 A & US 2010/0207201 A1 & US 2010/0213539 A1 & US 2012/0196415 A1 & US 2012/0270374 A1 & EP 2246895 A1 & EP 2383778 A2 & WO 2009/095997 A1 & CN 101933149 A & KR 10-2010-0117618 A & KR 10-2012-0046797 A & TW 200937618 A	1-21

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/8238(2006.01)i, H01L21/336(2006.01)i, H01L27/092(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8238, H01L21/336, H01L27/092, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-108702 A（日本ユニサンティスエレクトロニクス株式会社） 2011.06.02, 特許請求の範囲、図 8-13 & US 2011/0115011 A1 & EP 2323166 A1 & CN 102136496 A & KR 10-2011-0053201 A & TW 201133855 A	1-21
A	JP 2010-258345 A（日本ユニサンティスエレクトロニクス株式会社） 2010.11.11, 要約、図 2 & US 2010/0213539 A1 & US 2010/0270611 A1 & US 2012/0196415 A1 & EP 2246893 A2 & CN 101877353 A & KR 10-2010-0118531 A	1-21

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 1 0 . 2 0 1 3

国際調査報告の発送日

0 5 . 1 1 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

岩本 勉

5 F

9 3 5 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	& SG 166085 A & TW 201039443 A JP 2010-251586 A (日本ユニサンティスエレクトロニクス株式会社) 2010.11.04, 要約、図1 & JP 4487221 B & US 2010/0264484 A1 & EP 2242096 A2 & CN 101866925 A & KR 10-2010-0115308 A & SG 166074 A & TW 201039435 A	1-21
A	WO 2009/096464 A1 (日本ユニサンティスエレクトロニクス株式会社) 2009.08.06, 要約、図3 & JP 2009-182316 A & JP 2009-182317 A & JP 2009-182318 A & JP 2009-188415 A & US 2010/0207201 A1 & US 2010/0213539 A1 & US 2012/0196415 A1 & US 2012/0270374 A1 & EP 2246895 A1 & EP 2383778 A2 & WO 2009/095997 A1 & CN 101933149 A & KR 10-2010-0117618 A & KR 10-2012-0046797 A & TW 200937618 A	1-21