

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5936386号
(P5936386)

(45) 発行日 平成28年6月22日 (2016. 6. 22)

(24) 登録日 平成28年5月20日 (2016. 5. 20)

(51) Int. Cl.	F I		
HO 4 N 5/374 (2011. 01)	HO 4 N	5/335	7 4 0
HO 4 N 5/359 (2011. 01)	HO 4 N	5/335	5 9 0
HO 1 L 27/146 (2006. 01)	HO 1 L	27/14	A
HO 1 L 27/14 (2006. 01)	HO 1 L	27/14	D

請求項の数 7 (全 16 頁)

(21) 出願番号	特願2012-33366 (P2012-33366)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成24年2月17日 (2012. 2. 17)	(74) 代理人	100126240 弁理士 阿部 琢磨
(65) 公開番号	特開2013-172209 (P2013-172209A)	(74) 代理人	100124442 弁理士 黒岩 創吾
(43) 公開日	平成25年9月2日 (2013. 9. 2)	(72) 発明者	小林 昌弘 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
審査請求日	平成27年1月28日 (2015. 1. 28)	(72) 発明者	山下 雄一郎 東京都大田区下丸子3丁目30番2号キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 撮像装置

(57) 【特許請求の範囲】

【請求項 1】

光電変換部と、信号電荷に基づく信号を増幅する増幅素子と、前記増幅素子の入力ノードに含まれるフローティングディフュージョン領域と、前記光電変換部で生じた前記信号電荷を保持する第1信号保持部と、前記第1信号保持部から転送された前記信号電荷を保持する第2信号保持部と、前記光電変換部で生じた前記信号電荷を前記第1信号保持部へ転送する第1電荷転送部と、前記第1信号保持部で保持した前記信号電荷を前記第2信号保持部へ転送する第2電荷転送部と、前記第2信号保持部で保持した前記信号電荷を前記フローティングディフュージョン領域へ転送する第3電荷転送部と、を有する画素を複数有する撮像装置であって、

前記第1信号保持部は前記信号電荷と同導電型の第1半導体領域を有し、

前記第2信号保持部は前記信号電荷と同導電型の第2半導体領域を有し、

前記第1半導体領域の上部に配された遮光部材が前記第1半導体領域を被覆する被覆率が、前記第2半導体領域の上部に配された遮光部材が前記第2半導体領域を被覆する被覆率よりも小さいことを特徴とする撮像装置。

【請求項 2】

前記第1電荷転送部の非導通時における前記光電変換部と前記第1信号保持部との間の前記信号電荷に対するポテンシャル障壁の高さが、前記第2電荷転送部の非導通時における前記第1信号保持部と前記第2信号保持部との間の前記信号電荷に対するポテンシャル障壁の高さよりも低いことを特徴とする請求項1に記載の撮像装置。

【請求項 3】

前記第 1 信号保持部が、前記第 1 半導体領域と、前記第 1 半導体領域と P N 接合を構成する第 3 半導体領域と、前記第 1 半導体領域の上部に配された、制御電極を含んで構成されることを特徴とする請求項 1 または 2 に記載の撮像装置。

【請求項 4】

前記第 1 半導体領域もしくは前記第 3 半導体領域において光電変換された、前記信号電荷が、前記第 1 半導体領域において蓄積されることを特徴とする請求項 3 に記載の撮像装置。

【請求項 5】

前記第 1 半導体領域の上部に配された前記遮光部材の前記光電変換部側の端部は、前記制御電極の前記光電変換部側の端部よりも前記光電変換部側から離れていることを特徴とする請求項 3 または 4 に記載の撮像装置。

10

【請求項 6】

前記遮光部材は、前記第 1 半導体領域の一部の領域の上部から、前記第 2 半導体領域の上部まで連続的に配されていることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の撮像装置。

【請求項 7】

前記光電変換部に生じた電荷の排出が終了してから、前記第 1 電荷転送部を導通状態から非導通状態にするまでの期間に、前記第 1 信号保持部で生じた前記信号電荷を前記第 1 信号保持部にて保持することを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の撮像装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は撮像装置に関するものであり、特に画素に信号保持部を有する構成に関する。

【背景技術】

【0002】

従来から、画素ごとに増幅素子を有する画素増幅型の撮像装置が知られている。画素増幅型撮像装置の各画素は、光電変換部と、増幅素子の入力ノードとで信号を保持することが可能となっている。このような画素増幅型の撮像装置において、撮像面全体で露光期間を等しくすることが可能なグローバル電子シャッタ技術が開発されている。グローバル電子シャッタを実現するための構成は複数知られているが、特に光電変換部と増幅素子の入力ノードとの間の電気経路にこれらとは別に信号保持部を有する構成が知られている。更には、光電変換部と増幅素子の入力ノードとの間に複数の信号保持部を有する構成も知られている（特許文献 1、2）。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2009 - 296574 号公報

【特許文献 2】特開 2011 - 217315 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0004】

画素内に光電変換部及び増幅素子の入力ノード以外に信号保持部を配する場合には、この信号保持部には信号を保持している期間中に光が入射しないように遮光部材を配するのが一般的であった（例えば、特許文献 2 の 0065 段落）。しかしながら、信号保持部の画素内での専有面積が増えると遮光部材の面積も大きくなり、これに伴い、光電変換部の感度が低下する。このような現象は特に画素内に複数の信号保持部を設けた場合に顕著となる。

本発明はこのような課題に鑑み、画素内に、光電変換部と増幅素子の入力ノード以外に

50

、複数の信号保持部を設けた場合にも、光電変換部の感度低下を抑制することが可能な撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

本発明は、光電変換部と、前記光電変換部で生じた信号電荷に基づく信号を増幅する増幅素子と、前記光電変換部と前記増幅素子の入力ノードとの間の電気経路に配された、第1信号保持部と前記第1信号保持部の後段に配された第2信号保持部と、を有する画素を複数有する撮像装置であって、前記第1信号保持部における信号の保持は、前記光電変換部における一露光期間内で行われ、前記第1信号保持部の遮光部材による被覆率が、前記第2信号保持部の遮光部材による被覆率よりも小さいことを特徴とする。

10

【発明の効果】

【0006】

本発明によれば、画素内に、複数の信号保持部を設けた場合にも、光電変換部の感度低下を抑制することが可能な撮像装置を提供することが可能となる。

【図面の簡単な説明】

【0007】

【図1】本発明の撮像装置の全体ブロック図である。

【図2】本発明の撮像装置の等価回路図である。

【図3】実施例1の撮像装置の上面図である。

【図4】実施例1の撮像装置の1画素の断面図である。

20

【図5】実施例1の撮像装置の駆動パルス図である。

【図6】実施例1の撮像装置の1画素のポテンシャル分布を示す図である。

【図7】実施例2の撮像装置の撮像領域の上面図である。

【図8】実施例3の撮像装置の撮像領域の上面図である。

【図9】本発明の撮像装置を適用可能な撮像システムのブロック図である。

【発明を実施するための形態】

【0008】

本発明は、画素に増幅素子を有する画素増幅型の撮像装置に関するものである。具体的には、本発明の撮像装置は、光電変換部の出力ノードと画素の増幅素子の入力ノードとの間の電気経路に配された複数の信号保持部を有する。そして、複数の信号保持部が第1信号保持部、第1信号保持部の後段に配された第2信号保持部を含んでいる。

30

【0009】

このような構成において、第1信号保持部における信号保持期間が、光電変換部における一露光期間と等しいもしくは含まれている。もしくは、一露光期間中の光電変換部と第1信号保持部との間のポテンシャル障壁の高さが、一露光期間中の第1信号保持部と第2信号保持部との間のポテンシャル障壁の高さよりも低い。

【0010】

これらのいずれかの構成において、第1信号保持部の遮光部材による被覆率が、第2信号保持部の遮光部材による被覆率よりも低いことを特徴としている。

【0011】

このような構成によれば、グローバル電子シャッタが可能な画素構成を提供するとともに、画素の感度を向上させることができる。

40

【0012】

第1信号保持部における信号保持期間が、光電変換部における一露光期間と等しいもしくは含まれている場合においては、露光期間中に第1信号保持部に光が入射して信号電荷と同極性の電荷が発生してもノイズにならない。つまり、このような電荷を信号電荷として取り扱うことができる。したがって、第1信号保持部の遮光部材による被覆率を低減させても、実質的に信号電荷が増えることになり感度が向上する。もしくは、遮光部材の面積を小さくすることができるため、垂直方向に対して一定の角度を有して入射する光に対する感度を向上させることができる。これは高F値（例えばF値4.0より高い）のレ

50

ンズを用いた場合に特に効果が高い。もしくは撮像装置の撮像面の面積が大きく、撮像面の周辺部において、光の入射角度が垂直方向に対して大きく傾いている場合に特に効果が高い。たとえば、APS-C以上のサイズの撮像装置に適用すると効果が高い。

【0013】

一露光期間中の光電変換部と第1信号保持部との間のポテンシャル障壁の高さが、一露光期間中の第1信号保持部と第2信号保持部との間のポテンシャル障壁の高さよりも低い場合にも同様のことが言える。光電変換部での一露光期間において、光電変換部で生じた信号電荷のうち一定量が第1信号保持部に移動しやすくなる。そして、信号電荷が第1信号保持部に移動した後は、第1信号保持部と第2信号保持部との間のポテンシャル障壁の高さが高いため、第1信号保持部で保持される。つまり、光電変換部の露光期間中に第1信号保持部において信号電荷が蓄積され得る構成となる。これに対して、第2信号保持部での信号の保持期間は画素の露光期間と必ずしも一致しない。撮像面における位置によって、画素外に信号が読み出される順番が異なるため、読み出されるタイミングに応じて第2信号保持部における保持期間も異なるのである。このような第2信号保持部は従来どおり遮光部材により入射光をできるだけ低減させることが必要となる。露光期間中に第2信号保持部に光が入射し、これにより生じた電荷が第2信号保持部に混入した場合にはノイズ成分となるためである。したがって第1信号保持部の遮光部材による被覆率を第2信号保持部の遮光部材による被覆率よりも小さくするのが好ましい。

10

【0014】

ここで被覆率に関して説明する。ここでの被覆率とは、遮光部材の信号保持部に対する正射影像と、各信号保持部との重なり部分の面積の比率を指す。

20

【0015】

次に、図1を用いて本発明に適用可能な撮像装置の全体ブロック図の例を説明する。撮像装置1は半導体基板を用いて1つのチップで構成することができる。撮像装置1は、複数の画素が配された撮像領域2を有している。更に、撮像装置1は制御部3を有している。制御部3は、垂直走査部4、信号処理部5及び出力部6に制御信号、電源電圧等を供給する。

【0016】

垂直走査部4は撮像領域2に配された複数の画素に駆動パルスを供給する。通常、画素行ごともしくは複数の画素行ごとに駆動パルスを供給する。垂直走査部4はシフトレジスタもしくはアドレスデコーダにより構成することができる。

30

【0017】

信号処理部5は、列回路、水平走査回路、水平出力線を含んで構成される。列回路は、各々が、垂直走査部4により選択された画素行に含まれる複数の画素の信号を受ける複数の回路ブロックにより構成されている。各回路ブロックは、信号保持部、増幅回路、ノイズ除去回路、アナログデジタル変換回路のいずれか、全て、もしくはそれらの組み合わせにより構成することができる。水平走査回路はシフトレジスタもしくはアドレスデコーダにより構成することができる。

【0018】

出力部6は水平出力線を介して伝達された信号を撮像装置1外に出力する。出力部6は、バッファもしくは増幅回路を含んで構成されている。

40

【0019】

図2に本発明に適用可能な撮像装置の撮像領域の等価回路図を示す。ここでは、2行3列の計6画素を示しているが、更に多数の画素を配して撮像領域が構成されていてもよい。

【0020】

光電変換部8は入射光をホール、電子対に変換する。O-nodeは光電変換部8の出力ノードである。光電変換部8の例としてフォトダイオードを示している。

【0021】

第1電荷転送部9は、光電変換部8で生成したホールもしくは電子を後段の回路素子へ

50

転送する。以降では信号電荷として電子を用いる場合を例に説明する。第1電荷転送部9は半導体基板上に絶縁膜を介して配された制御電極を含んで構成され得る。

【0022】

第1信号保持部10は光電変換部8で生成した電子を保持する。第2電荷転送部11は第1信号保持部10で保持した電子を後段の回路素子へ転送する。第2電荷転送部11は半導体基板上に絶縁膜を介して配された制御電極を含んで構成され得る。

【0023】

第2信号保持部12は、第1信号保持部10から第2電荷転送部11を介して転送された電子を保持する。

【0024】

第3電荷転送部13は、第2信号保持部12で保持された電子を後段の回路素子へ転送する。第3電荷転送部13は半導体基板上に絶縁膜を介して配されたゲート電極を含んで構成され得る。

【0025】

増幅素子の入力ノード14は、第2信号保持部12から第3電荷転送部13を介して転送された電子を保持可能な構成である。増幅素子の入力ノード14は半導体基板に配されたフローティングディフュージョン領域(FD領域)を含んで構成することができる。増幅素子15は入力ノード14に転送された電子に基づく信号を増幅して垂直信号線20へ出力する。ここでは増幅素子15としてトランジスタ(以下増幅トランジスタ)を用いている。例えば増幅トランジスタはソースフォロワ動作をする。

【0026】

第4電荷転送部7は光電変換部8の電子をオーバーフロードレイン領域(OFD領域)へ転送する。OFD領域は、例えば電源電圧を供給する電圧配線16に電氣的に接続されたN型の半導体領域により構成することができる。第4電荷転送部7は半導体基板上に絶縁膜を介して配された制御電極を含んで構成され得る。

【0027】

リセット部17は、増幅素子の入力ノード14に基準電圧を供給する。リセット部17は増幅素子の入力ノード14で保持された電子をリセットする。ここではリセット部17としてトランジスタ(以下、リセットトランジスタ)を用いている。

【0028】

選択部18は、各画素を選択して画素毎もしくは画素行ごとに画素の信号を垂直信号線20へ読み出す。ここでは選択部18としてトランジスタ(以下、選択トランジスタ)を用いている。

【0029】

リセットトランジスタのドレイン及び選択トランジスタのドレインには電源電圧供給配線19を介して所定の電圧が供給されている。

【0030】

リセット制御配線21は、リセットトランジスタのゲートに制御パルスを提供する。選択制御配線22は、選択トランジスタのゲートに制御パルスを提供する。第3転送制御配線23は、第3電荷転送部13を構成する制御電極(以下、第3制御ゲート)に制御パルスを提供する。第2転送制御配線24は、第2電荷転送部11を構成する制御電極(以下、第2制御ゲート)に制御パルスを提供する。第1転送制御配線25は第1電荷転送部9を構成する制御電極(以下、第1制御ゲート)に制御パルスを提供する。第4電荷転送制御配線26は第4電荷転送部7を構成する制御電極(以下、第4制御ゲート)に制御パルスを提供する。各制御ゲートに供給されるパルス値により、各制御ゲート下の半導体領域のポテンシャル障壁の高さを変化させることが可能となる。

【0031】

本発明は、図2に例示した等価回路により示される撮像領域を有する撮像装置において、光電変換部8と第1信号保持部10との間の電気経路の構造が以下の構成を有している場合に特に効果が高い。その構成とは、光電変換部8と第1信号保持部10との間の電気

10

20

30

40

50

経路に配された第1電荷転送部9が非導通状態で、光電変換部8から第1信号保持部10へ電子が移動可能な構成である。ここで非導通状態とは、第1電荷転送部9に供給されるパルス値のうち、生じるポテンシャル障壁が最も高いパルス値を供給された状態である。したがって、いわゆる完全にオフになっている必要はなく、完全にオンした場合に比べて何らかのポテンシャル障壁が生じている状態も含む。

【0032】

例えば具体的な構成としては、第1電荷転送部10をMOSトランジスタであるとする、このMOSトランジスタを埋め込みチャネル構造とすることで実現することができる。より一般的に言えば、第1電荷転送部10が非導通状態の時に表面よりも深い領域に表面よりも電子に対するポテンシャル障壁が低くなっている部分が存在している構成である。この場合には第1電荷転送部10に供給される制御パルスを固定値とすることもできる。つまり導通状態と非導通状態との2状態を切り替え可能な構成としなくとも固定のポテンシャル障壁としても良い。このような構成によれば、光電変換部8に光が入射した際に光電変換により生成した電子の大半が露光期間中に第1信号保持部10へ移動する。したがって、撮像面の全ての画素の蓄積時間を揃えることが可能となる。

10

【0033】

更に、第1電荷転送部10が非導通状態となっていると表面にホールが蓄積される。そして、電子が移動するチャネルが表面よりも所定深さの部分に存在するため、絶縁膜界面を電子が移動する場合に比べて暗電流の影響を低減することが可能となる。

20

【0034】

本発明は以上説明した撮像装置に適用するとより高い効果を得ることができる。以下、本発明を、実施例をあげて具体的に説明する。以下の説明では、信号電荷として電子を用いた場合に関して説明する。信号電荷としてホールを用いる場合は各半導体領域の導電型を反対導電型とすればよい。

【0035】

(実施例1)

図3～5を用いて本実施例の撮像装置を説明する。

【0036】

図3に本実施例の撮像装置の上面図を示す。ここでは2行3列の計6画素を示しているが更に多数の画素が配されて撮像領域を構成していてもよい。

30

【0037】

画素100は、光電変換部101、第1電荷転送部102、第1信号保持部103、第2電荷転送部104を有している。更に画素は、第2信号保持部105、第3電荷転送部106、FD領域107、リセットトランジスタ108、増幅トランジスタ109、選択トランジスタ110を有している。更に、画素100は、第4電荷転送部111、オーバーフロードレイン領域(以下OFD領域)112を有している。

【0038】

図2で説明した部材と同じ名称の部材は、同様の機能を有する部材であるため詳細な説明は省略する。FD領域107は、第2信号保持部105で保持された電子が転送されるN型の半導体領域を含んで構成される。

40

【0039】

グレーでハッチングされた部分は遮光部材113であり、第2信号保持部105の全体及び第1信号保持部103の一部を覆って配されている。ここでの第2信号保持部105の遮光部材による被覆率は95%以上である。被覆されていない部分は後述のようにプラグが配される領域のみである。図では画素を構成する各部材との大小関係が分かりやすいように、いちばん右の列に関しては遮光部材を省略している。

【0040】

遮光部材113は第1信号保持部103上から第1信号保持部103と第2信号保持部105との間の領域を覆って、第2信号保持部105上まで連続的に配されている。好ましくは、第2信号保持部105に入射し得る光の全部を遮光し、第1信号保持部103に

50

入射する光の少なくとも一部を遮光する。言い換えると、第1信号保持部103には露光期間中に光の一部が入射し得る構成となっている。

【0041】

第1開口114は第1信号保持部101を構成する制御電極に制御パルスを供給するための導電体を配するために設けられている。同様に第2開口115は第2信号保持部105を構成する制御電極に制御パルスを供給するための導電体を配するために設けられている。

【0042】

遮光部材113は配線層を構成する金属を用いることができる。もしくは異なる配線層間、配線と半導体領域間の電氣的接続をするためのプラグを構成する金属を用いることができる。遮光部材113はできるだけ半導体基板に近い場所に配された方が好ましい。最も半導体基板の近くに配された配線層を構成する金属、もしくは最下層の配線層と半導体領域とを電氣的に接続するプラグの金属を用いるのが良い。もしくは最下層の配線層と半導体基板との間に遮光部材113専用の金属を配してもよい。本例では本実施例において必須である信号保持部の遮光部材のみ図示しているが、他の画素回路を構成するトランジスタ上にも遮光部材を配してもよい。もしくは他の画素回路を構成するトランジスタを配線により遮光してもよい。

10

【0043】

本図から明らかなように、平面視において、第2信号保持部105は全体が遮光部材113の外縁の内側に配されており、第1信号保持部103の一部は遮光部材113の外縁の内側に配され、他の一部が外縁の外側に配されている。

20

【0044】

図4に図3のA-A'における断面図を示す。図3と同様の機能を有する部材には同様の符号を付し詳細な説明は省略する。

【0045】

N型の半導体基板300にP型の半導体領域301が配される。P型の半導体領域301とPN接合を構成するように、N型の半導体領域302が配される。N型の半導体領域302の表面側にはP型の半導体領域303が配される。P型の半導体領域301、N型の半導体領域302、P型の半導体領域303によりいわゆる埋め込み型のフォトダイオードが構成されている。

30

【0046】

光電変換部101で生じた電子は、第1チャンネル304を移動し、第1信号保持部103を構成するN型の半導体領域305に到達する。N型の半導体領域305で保持された電子は、第2チャンネル306を移動し、第2信号保持部105を構成するN型の半導体領域307に到達する。N型の半導体領域307で保持された電子は、第3チャンネル308を移動し、FD領域を構成するN型の半導体領域309へ到達する。また、光電変換部101の電子は、第4転送ゲート314を介して、OFD領域を構成するN型の半導体領域310に排出可能となっている。

【0047】

第1制御ゲート311は第1チャンネル304及びN型の半導体領域305の上部に絶縁体を介して配されている。第1制御ゲート311は、第1電荷転送部102及び第1信号保持部103で兼用されている。

40

【0048】

第1電荷転送部102は、第1チャンネル304及び第1チャンネル304上に絶縁膜を介して配された第1制御ゲート311の一部を含んで構成されている。

【0049】

第1信号保持部103は、N型の半導体領域(第1半導体領域)305と、N型の半導体領域305とPN接合を構成するP型の半導体領域(第3半導体領域)301を含む。更に、第1信号保持部103は、絶縁膜を介してN型の半導体領域305上に配された第1制御ゲート311の一部を含んで構成されている。

50

【 0 0 5 0 】

第2制御ゲート312は第2チャンネル306及びN型の半導体領域307上部に絶縁体を介して配されている。第2制御ゲート312は、第2電荷転送部104及び第2信号保持部105で兼用されている。

【 0 0 5 1 】

第2電荷転送部104は、第2チャンネル306及び第2チャンネル306上に絶縁膜を介して配された第2制御ゲート312の一部を含んで構成されている。

【 0 0 5 2 】

第2信号保持部105は、N型の半導体領域307（第2半導体領域）と、N型の半導体領域307とPN接合を構成するP型の半導体領域301を含む。更に、第2信号保持部103は、絶縁膜を介してN型の半導体領域307上に配された第2制御ゲート312の一部を含んで構成されている。

10

【 0 0 5 3 】

第3制御ゲート313は第3チャンネル308上部に絶縁膜を介して配されている。

【 0 0 5 4 】

第3電荷転送部106は、第3チャンネル308と、第3制御ゲート313を含んで構成されている。

【 0 0 5 5 】

遮光部材113は第1信号保持部103の光電変換部101側の端部から所定距離離れた領域から、第2電荷転送部104及び第2信号保持部105の上部を覆っている。更に、第3電荷転送部106の上部のFD領域側の端部から所定距離離れたところまで連続的に配されている。本図では遮光部材113が第1信号保持部103の光電変換部側の一部を覆わない構成となっている。

20

【 0 0 5 6 】

しかしながらこれに限るものではなく、図のように制御ゲート311を第1電荷転送部102と、第1信号保持部103とで兼用する場合には、少なくとも。制御ゲート311の光電変換部の端部を覆わない構成としてもよい。

【 0 0 5 7 】

このような構成によれば、光電変換部に対する遮光部材311の影響が小さくなるため、光電変換部101の感度を向上させることができる。更に、垂直方向に対して一定の角度をもって入射する光の画素位置に対する影響を低減させることが可能となる。

30

【 0 0 5 8 】

または、第1信号保持部103を構成するN型の半導体領域305もしくはP型の半導体領域301において光電変換された電子をN型の半導体領域305において蓄積することができる。これによって画素の感度を向上させることが可能となる。

【 0 0 5 9 】

図5に本実施例の撮像装置の駆動パルス図を示す。撮像面で露光時間が同一であるグローバル電子シャッタ動作を行う場合のパルス図である。カッコ内の数字は行数を示しており、本図では、1行目、2行目の画素に供給される駆動パルスを示している。PSELは選択トランジスタのゲートに供給される駆動パルスを示している。PRESはリセットトランジスタのゲートに供給される駆動パルスを示している。PTX1は第1電荷転送ゲートに供給される駆動パルスを示している。PTX2は第2電荷転送ゲートに供給される駆動パルスを示している。PTX3は第3電荷転送ゲートに供給される駆動パルスを示している。OFD1は第4電荷転送ゲートに供給される駆動パルスを示している。PTSは、例えば列回路に配された信号保持部により光信号をサンプルホールドするための駆動パルスを示している。PTNは、例えば列回路に配された信号保持部によりノイズ信号をサンプルホールドするための駆動パルスを示している。全てハイレベルで導通状態となる。

40

【 0 0 6 0 】

時刻t1以前は、撮像面における全ての行のPRESがハイレベルとなっている。ここで図示する他の全てのパルスはローレベルである。

50

【 0 0 6 1 】

時刻 t_1 において、P R E S がハイレベルを維持した状態で、撮像面における全ての行の P T X 1、P T X 2、P T X 3、P O F D がローレベルからハイレベルへ遷移する。これにより光電変換部 1 0 1 及び第 1 信号保持部 1 0 3 及び第 2 信号保持部 1 0 5 がリセットされる。

【 0 0 6 2 】

時刻 t_2 において、撮像面における全ての行の P T X 1、P T X 2、P T X 3、P O F D がハイレベルからローレベルへ遷移する。この動作により撮像面の全画素において露光期間が開始する。露光期間中は光電変換部 1 0 1 で生じた電子のうち所定量の電子は、第 1 信号保持部 1 0 3 へ移動する。

10

【 0 0 6 3 】

所定期間経過後、時刻 t_3 において撮像面における全ての行の P T X 1 がローレベルからハイレベルへ遷移し、時刻 t_4 において撮像面における全ての行の P T X 1 がハイレベルからローレベルへ遷移する。この動作により光電変換部 1 0 1 に残っていた電子が第 1 信号保持部 1 0 3 へ転送される。この動作により露光期間が終了する。

【 0 0 6 4 】

時刻 t_5 において、撮像面の全ての行の P T X 2 及び P O F D がローレベルからハイレベルへ遷移し、時刻 t_6 において、撮像面の全ての行の P T X 2 及び P O F D がハイレベルからローレベルへ遷移する。この動作により、第 1 信号保持部 1 0 3 で保持されていた電子が、第 2 信号保持部 1 0 5 へ転送される。また P O F D が導通することで、光電変換部 1 0 1 と第 1 信号保持部 1 0 3 との間のポテンシャル障壁の高さよりも光電変換部 1 0 1 と O F D 領域 1 1 2 との間のポテンシャル障壁の高さの方が低くなる。これにより光電変換部 1 0 1 で生じた電子が第 1 電荷保持部 1 0 3 へ移動せずに、O F D 領域 1 1 2 へ移動するようになる。

20

【 0 0 6 5 】

時刻 t_7 において、P S E L (1) がローレベルからハイレベルへ遷移する。この動作により 1 行目の画素の信号が垂直信号線に出力され得る状態となる。更に P R E S (1) がハイレベルからローレベルへ遷移する。これにより、増幅素子の入力ノード 1 0 7 のリセット動作が完了する。

【 0 0 6 6 】

時刻 t_8 において、P T N がローレベルからハイレベルへ遷移し、時刻 t_9 において、P T N がハイレベルからローレベルへ遷移する。この動作により例えば列回路に配されたノイズ信号保持部においてノイズ信号が保持される。

30

【 0 0 6 7 】

時刻 t_{10} において、P T X 3 (1) がローレベルからハイレベルへ遷移し、時刻 t_{11} において P T X 3 (1) がハイレベルからローレベルへ遷移する。この動作により、1 行目の画素の第 2 信号保持部 1 0 5 で保持されていた電子が、増幅素子の入力ノード 1 0 7 に転送される。

【 0 0 6 8 】

時刻 t_{12} において P T S がローレベルからハイレベルへ遷移し、時刻 t_{13} において、P T S がハイレベルからローレベルへ遷移する。この動作により例えば列回路に配された光信号保持部においてノイズ信号が重畳した光信号が保持される。

40

【 0 0 6 9 】

時刻 t_{14} において、P S E L (1) がハイレベルからローレベルへ遷移する。この動作により 1 行目の画素の信号の読み出し期間が終了する。1 行目の画素の読み出し期間は、期間 $t_7 - t_{14}$ となる。更に時刻 t_{14} において、P R E S (1) がローレベルからハイレベルへ遷移する。

【 0 0 7 0 】

この後、期間 $t_{15} - t_{22}$ において 2 行目の画素の信号の読み出しが行われる。1 行目と同様の動作であるため詳細な説明は省略する。

50

【 0 0 7 1 】

このような動作によって撮像面全体で、露光期間を等しくすることが可能となる。本動作においては、第 2 信号保持部 1 0 5 の転送までは撮像面全体で同時に行う。具体的な時刻としては時刻 t_6 である。この動作を繰り返すことで撮像面における全行の読み出しを行なう。

【 0 0 7 2 】

図 6 は、図 5 に示した駆動パルス図のそれぞれの時刻、期間においてのポテンシャル障壁の高さの関係を示したものである。

【 0 0 7 3 】

図 6 (a) は期間 $t_1 - t_2$ におけるポテンシャル状態を示す図である。図 5 で説明したように、期間 $t_1 - t_2$ においては、第 1 電荷転送部 $T X 1$ 、第 2 電荷転送部 $T X 2$ 、第 3 電荷転送部 $T X 3$ 、第 4 電荷転送部 $T X 4$ にすべてハイレベルのパルスが供給される。つまりすべての電荷転送部において生じるポテンシャル障壁が低い状態となっている。光電変換部 $P D$ で生じた電子は $O F D$ 領域 1 1 2 もしくはリセットトランジスタのドレイン (不図示) に排出され光電変換部 $P D$ 、第 1 信号保持部 $M E M 1$ 、第 2 信号保持部 $M E M 2$ には電子が存在しない。

10

【 0 0 7 4 】

この時の電子に対する好適なポテンシャル状態としては、光電変換部 $P D$ が最も高いポテンシャルとなっている。更に、図示するように、光電変換部 $P D$ から増幅素子の入力ノード $F D$ まで順にポテンシャルが低くなっている状態が好ましい。

20

【 0 0 7 5 】

図 6 (b)、(c) は期間 $t_2 - t_3$ 、つまり露光期間中のポテンシャル状態を示す図である。

【 0 0 7 6 】

第 1 電荷転送部 $T X 1$ が非導通状態となり、図 6 (a) の場合に比べて、光電変換部 $P D$ と第 1 信号保持部 $M E M 1$ との間のポテンシャル障壁の高さが高くなっている。そして図 6 (b) では少量の電子が光電変換部 $P D$ で蓄積されている。更に、第 4 電荷転送部 $T X 4$ が非導通状態となっている。また、図 6 (a) の場合に比べて光電変換部 $P D$ と $O F D$ 領域との間のポテンシャル障壁の高さが高くなっている。更に、図 6 (b) の状態において、第 1 電荷転送部 $T X 1$ に生じるポテンシャル障壁の高さは、第 4 電荷転送部 $T X 4$ に生じるポテンシャル障壁の高さよりも低い。

30

【 0 0 7 7 】

図 6 (c) はポテンシャル状態は図 6 (b) と同じだが、光電変換部 $P D$ への入射光量が異なる。光電変換部 $P D$ に一定以上の電子が生じた場合には、第 1 電荷転送部 $T X 1$ に生じたポテンシャル障壁を乗り越えて、第 1 信号保持部 $M E M 1$ に電子は移動する。つまり、所定量以上の光が入射した場合には、期間 $t_2 - t_3$ の露光期間中は光電変換部 $P D$ と第 1 信号保持部 $M E M 1$ とで電子を保持している。

【 0 0 7 8 】

図 6 (d) は期間 $t_3 - t_4$ におけるポテンシャル状態を示す図である。

【 0 0 7 9 】

光電変換部 $P D$ で蓄積されていた電子が第 1 信号保持部 $M E M 1$ に転送される。光電変換部 $P D$ の電子の転送効率を高めるためには、光電変換部 $P D$ のポテンシャルよりも第 1 電荷転送部 $T X 1$ の導通時のポテンシャル障壁が低くなっているとよい。更に、第 1 信号保持部 $M E M 1$ のポテンシャルが光電変換部 $P D$ のポテンシャルよりも低い方がよい。本例では、制御ゲートが第 1 電荷転送部 $T X 1$ と第 1 信号保持部 $M E M 1$ とで兼用されているため、第 1 電荷転送部 $T X 1$ に導通パルスを供給すると、第 1 電荷保持部 $M E M 1$ のポテンシャルも低くなる。

40

【 0 0 8 0 】

図 6 (e) は期間 $t_4 - t_5$ のポテンシャル状態を示す図である。第 1 電荷転送部 $T X 1$ が非導通となり、第 2 電荷転送部 $T X 2$ が導通となる前の状態を示している。第 1 信号

50

保持部MEM1には第1電荷転送部TX1に生じるポテンシャル障壁で決まる量の電子が蓄積されている。

【0081】

図6(f)は期間 $t_5 - t_6$ におけるポテンシャル状態を示す図である。第1信号保持部MEM1で保持されていた電子が第2電荷転送部TX2を介して第2信号保持部MEM2に転送される。第1信号保持部MEM1からの電子の転送効率を高めるためには、第1信号保持部MEM1のポテンシャルよりも第2電荷転送部TX2の導通時のポテンシャル障壁の高さが低い方がよい。更に、第2信号保持部MEM2のポテンシャルが第1信号保持部MEM1のポテンシャルよりも低い方がよい。

【0082】

図6(g)は1行目の画素の期間 $t_6 - t_{10}$ 、2行目の画素の期間 $t_6 - t_{18}$ におけるポテンシャル状態を示す図である。第2電荷転送部TX2が非導通状態となった後、第3電荷転送部TX3が導通するまでの期間である。この期間は画素行ごとに異なる。

【0083】

第2電荷転送部TX2及び第3電荷転送部TX3がともに非導通状態となっており、これらのポテンシャル障壁により第2信号保持部MEM2に電子を蓄積している。

【0084】

図6(h)は1行目の画素の期間 $t_{10} - t_{11}$ 、2行目の画素の $t_{18} - t_{19}$ におけるポテンシャル状態を示す図である。第3電荷転送部TX3が導通状態となり、第2信号保持部MEM2で保持されていた電子が増幅素子の入力ノードFDに転送される。第2信号保持部MEM2からの電子の転送効率を高めるためには、第2信号保持部MEM2のポテンシャルの高さよりも第3電荷転送部TX3の導通時のポテンシャル障壁の高さが低い方がよい。更に、増幅素子の入力ノードFDのポテンシャルの高さが第2信号保持部MEM2のポテンシャルの高さよりも低い方がよい。

【0085】

図6(i)は1行目の画素の時刻 t_{11} 以降、2行目の画素の時刻 t_{19} 以降の期間におけるポテンシャル状態を示す図である。第3電荷転送部TX3が非導通状態となった後のポテンシャル状態を示す図である。光電変換部PDには光が入射しているものの、第4電荷転送部TX4によりOFD領域へ電子は排出される。また、第1信号保持部の遮光部材による被覆率が相対的に低いため、第1信号保持部にも電子が混入し得る。しかしながら、第1電荷転送部TX1のポテンシャル障壁の高さに比べて、第2電荷転送部TX2のポテンシャル障壁の高さが高いため第2電荷保持部MEM2には電荷は混入しにくい構成となっている。更に、次フレームの読み出しをする際に、図6(a)で示したポテンシャル状態とすることで、たとえ第1電荷保持部MEM1に電荷が混入していても、画質に与える影響を低くすることができる。

【0086】

(実施例2)

図7に本実施例の撮像装置の上面図を示す。実施例1と同様の機能を有する部分には同様の符号を付し詳細な説明は省略する。本実施例の実施例1と異なる特徴部分は遮光部材713の形状である。

【0087】

本実施例の遮光部材713の形状は第2信号保持部105上から第1信号保持部103上に向けて一部が凸形状となり張り出した構成となっている。言い方を変えると、第1信号保持部103の光電変換部側に加えて、光電変換部側と反対側の端部も遮光部材713が配されていない構成である。

【0088】

更に本実施例においては、第1電荷転送部102の電荷が移動する方向と第2電荷転送部104の電荷が移動する方向とが異なる。ここでは90度の方向となっている。このような構成によれば、画素を正方形に近づけることができ、画素レイアウトを縮小することが容易となる。ただし、実施例1のような構成に対しても本実施例のような遮光部材を適

10

20

30

40

50

用してもよい。

【0089】

このような構成によれば、更に画素の感度を向上させることができる。

【0090】

(実施例3)

図8に本実施例の撮像装置の上面図を示す。実施例1, 2と同様の機能を有する部分には同様の符号を付し詳細な説明は省略する。本実施例の実施例1, 2との違いは遮光部材813の形状である。実施例1, 2においては、第2信号保持部105はプラグを配する部分を除いて全体を遮光部材が覆っていた。それに対して本実施例は第2信号保持部のプラグを配する部分以外の一部を開口している。特に第2電荷保持部105が隣接する画素の光電変換部101に隣接する場合に、隣接する画素の光電変換部側に開口部を設けるのがよい。このような構成にすることで、更に、斜め方向から入射する光を多く取り込むことが可能となる。

10

【0091】

以上具体的に本発明を実施例を挙げて具体的に説明したが、発明の思想、概念を超えない限り適宜変更、修正、追加は可能である。

【0092】

例えば、画素構造としては、画素の増幅トランジスタのドレインと電源電圧との間に選択トランジスタを設ける構成としたが、選択トランジスタを増幅トランジスタのソースと垂直信号線との間に設けてもよい。更に、増幅トランジスタの入力ノードの電圧を切り替える構成を有することで画素の選択動作を行なってもよい。更に複数の画素において、増幅トランジスタなどがそのトランジスタの一部を共有する構成としてもよい。

20

【0093】

また実施例では信号保持部を2つ有する構成に関して説明したがこれに限るものではない。複数有しており、そのうちの2つが実施例で説明した関係を有していればよい。

【0094】

(撮像システムへの応用)

図9に、上述の各実施形態の撮像装置を適用可能な撮像システムの一例を示す。

【0095】

図9において、1101は被写体の光学像を撮像装置1105に結像させるレンズ部で、レンズ駆動装置1102によってズーム制御、フォーカス制御、絞り制御などがおこなわれる。1103はメカニカルシャッタでシャッタ制御手段1104によって制御される。本発明の構成によればグローバル電子シャッタを行なうことができるためメカニカルシャッタは必ずしも必要ではない。ただしモードに応じて、グローバル電子シャッタとメカニカルシャッタとを切り替え可能なように構成してもよい。1105はレンズ部1101で結像された被写体を画像信号として取り込むための撮像装置、1106は撮像装置1105から出力される画像信号に各種の補正を行ったり、データを圧縮したりする撮像信号処理回路である。1107は撮像装置1105、撮像信号処理回路1106に、各種タイミング信号を出力する駆動手段であるタイミング発生回路である。1109は各種演算と撮像装置全体を制御する制御回路、1108は画像データを一時的に記憶する為のメモリ、1110は記録媒体に記録または読み出しを行うためのインターフェースである。1111は画像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体、1112は各種情報や撮影画像を表示する表示部である。

30

40

【0096】

次に、前述の構成における撮影時のデジタルカメラの動作について説明する。

【0097】

メイン電源がオンされると、コントロール系の電源がオンし、更に撮像信号処理回路1106などの撮像系回路の電源がオンされる。

【0098】

それから、リリースボタン(図示せず)が押されると、撮像装置1105からのデータ

50

を元に測距演算を行い、測距結果に基づいて被写体までの距離の演算を制御回路 1109で行う。その後、レンズ駆動装置 1102によりレンズ部を駆動して合焦か否かを判断し、合焦していないと判断した時は、再びレンズ部を駆動し測距を行う。測距演算は、撮像素子からのデータで求める以外にも、測距専用装置（図示せず）で行っても良い。

【0099】

そして、合焦が確認された後に撮影動作が開始する。撮影動作が終了すると、固体撮像素子 1105から出力された画像信号は撮影信号処理回路 1106で画像処理をされ、制御回路 1109によりメモリに書き込まれる。撮影信号処理回路では、並べ替え処理、加算処理やその選択処理が行われる。メモリ 1108に蓄積されたデータは、制御回路 1109の制御により記録媒体制御 I/F部 1110を通り半導体メモリ等の着脱可能な記録媒体 1111に記録される。

10

【0100】

また、外部 I/F部（図示せず）を通り直接コンピュータ等に入力して画像の加工を行っても良い。

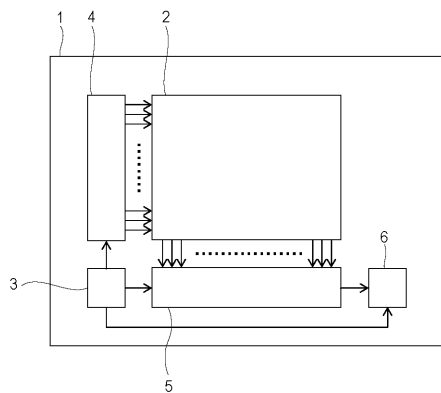
【符号の説明】

【0101】

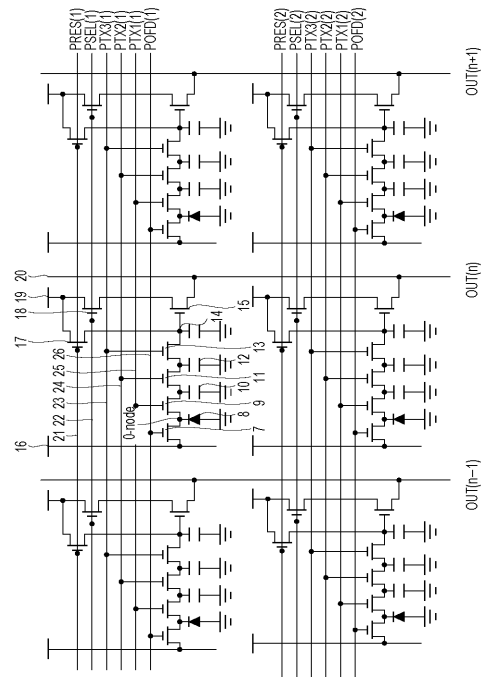
- 101 光電変換部
- 108 増幅素子
- 103 第1信号保持部
- 105 第2信号保持部
- 113 遮光部材

20

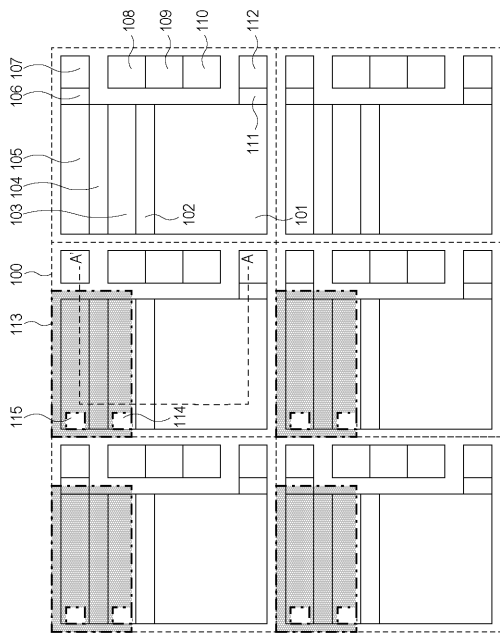
【図1】



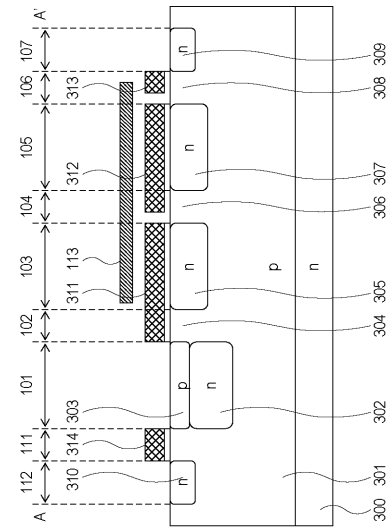
【図2】



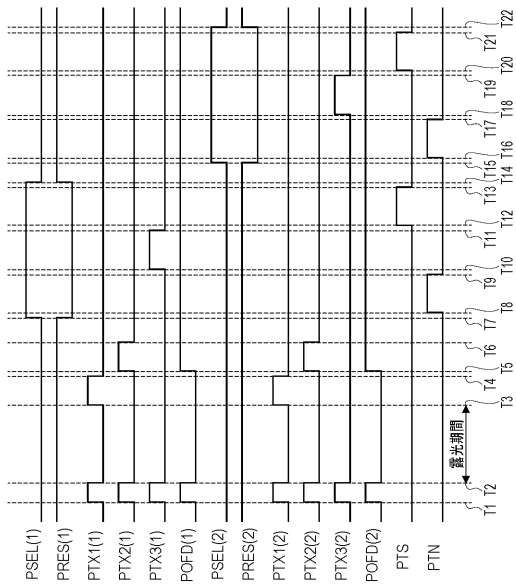
【図3】



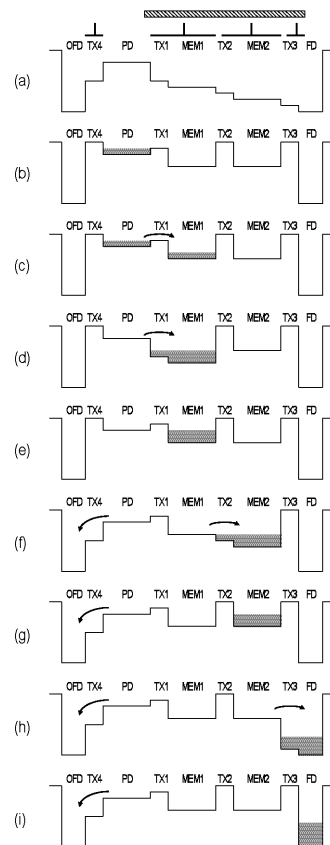
【図4】



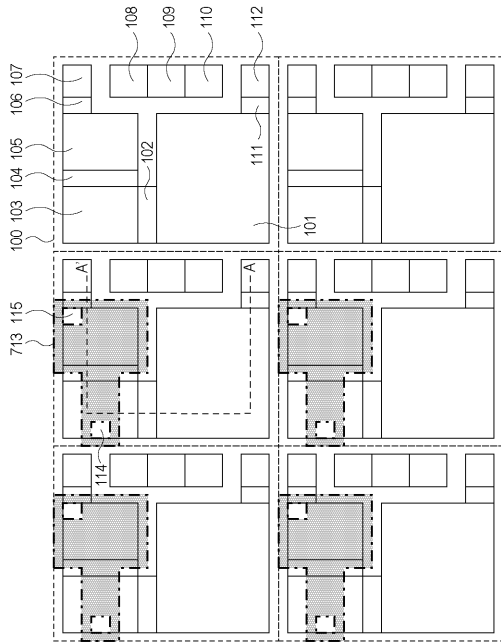
【図5】



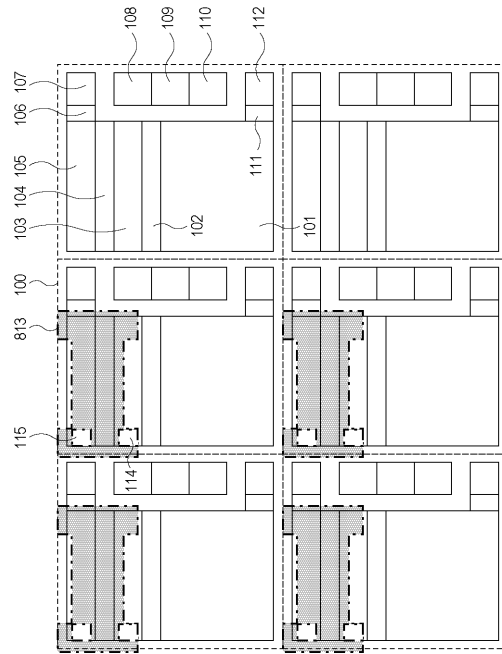
【図6】



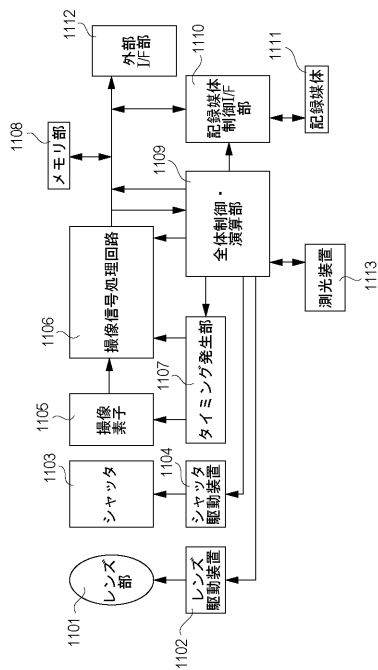
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

- (72)発明者 小島 毅
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
- (72)発明者 佐野 一拓
東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 鈴木 明

- (56)参考文献 特表2008-543061(JP,A)
特開2011-216672(JP,A)
特開2009-296574(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|----------------|
| H04N | 5/30 - 5/378 |
| H01L | 27/14 - 27/148 |