

[51] Int. Cl.
G01R 31/319 (2006.01)



[21] 申请号 200580046918.9

[11] 公开号 CN 101103277A

[74] 专利代理机构 中原信达知识产权代理有限责任
公司

代理人 谷惠敏 钟 强

[32] 2004. 11. 22 [33] US [31] 60/630,111

[32] 2005. 2.22 [33] US [31] 11/063,078

[86] 国际申请 PCT/US2005/042473 2005.11.22

[87] 国际公布 WO2006/058082 英 2006.6.1

「85」进入国家阶段日期 2007.7.19

[71] 申请人 泰拉丁公司

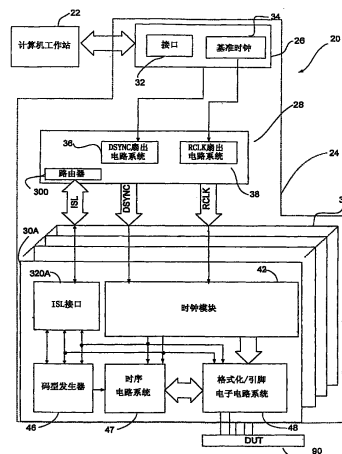
地址 美国马萨诸塞州

[72] 发明人 彼得·A·贝凯尔特

权利要求书 3 页 说明书 28 页 附图 7 页

自动测试设备中具有用于同步的接口的仪器

一种具有多个仪器的测试系统。一些仪器用作控制仪器，而其他仪器用作受控仪器。每个仪器分别包括时钟信号发生器，其根据基准时钟使一个或者多个本地时钟同步。该基准时钟是可以廉价、精确地产生而且可以分配到所有仪器的较低频时钟。通信链路被设置在仪器之间。使用于交换时间信息的仪器中的时序电路同步，以建立公共时间基准。此后，通过对每个消息附加反映相对于公共时间基准表示的时间的时间戳，各仪器通过通信链路异步传送时间相关命令或者状态信息。该测试系统包括含有码型发生器、用于将命令消息送到模拟仪器的数字仪器，该模拟仪器不需要包括码型发生器。该体系结构简化了模拟仪器的设计，而且避免了在数字仪器的码型速率发生变化时，重新设计模拟仪器。



1. 一种用于自动测试系统的仪器，在该自动测试系统中，通信链路承载消息，该仪器包括：

a) 接口，包括；

i) 基准时钟输入端；

ii) 连接到通信链路的端口；

b) 时钟信号发生器，该时钟信号发生器连接到基准时钟输入端，而且从该基准时钟输入端接收基准时钟，并输出本地时钟；

c) 时序电路，利用本地时钟对其进行时钟控制，具有用于接收表示时间的值的输入端和输出端，该时序电路保持在输入端收到的值表示的时间时的输出；以及

d) 消息处理电路，具有连接到该端口的输入端和连接到该时序电路的输入端的输出端。

2. 根据权利要求 1 所述的仪器，其中，该时钟信号发生器包括 DDS 电路。

3. 根据权利要求 1 所述的仪器，其中，该消息处理电路适于通过通信链路异步地接收分组。

4. 根据权利要求 1 所述的仪器，其中，该端口包括串行端口。

5. 根据权利要求 1 所述的仪器，其中，在单一集成电路芯片上实现接口、时钟信号发生器、时序电路和消息处理电路。

6. 根据权利要求 1 所述的仪器，其中，该时序电路包括用于对该本地时钟的脉冲计数的时间跟踪子电路。

7. 根据权利要求 6 所述的仪器，其中该时序电路包括至少一个比

较器电路，该比较器电路具有连接到该时序电路的输出端的输出端，该比较器具有连接到消息处理电路的输出端的第一输入端和连接到该时间跟踪子电路的第二输入端。

8. 根据权利要求 6 所述的仪器，进一步包括用于对该基准时钟的脉冲计数的第二时间跟踪子电路。

9. 根据权利要求 1 所述的仪器，进一步包括功能电路系统，该功能电路系统具有连接到时序电路的输出端的命令输入端，其中该功能电路系统响应被保持的时序电路的输出执行测试功能。

10. 根据权利要求 1 所述的仪器，其中，该接口进一步包括同步输入端，而且该时钟信号发生器包括用于跟踪在同步输入指出的时间起动的基准时钟的周期的电路系统。

11. 一种包括接口的集成电路，该接口适合用于自动测试设备的仪器，该自动测试设备具有响应命令执行功能的功能电路系统，该集成电路包括：

a) 基准时钟输入端；

b) 通信链路输入端；

c) 命令输出端；

d) 时钟信号发生器，该时钟信号发生器连接到基准时钟输入端，而且输出本地时钟；

e) 时序电路，利用本地时钟对其进行时钟控制，具有用于接收表示时间的值的输入端和连接到该命令输出端的输出端，该时序电路保持送到该时序电路的输入端的值表示的时间时的输出；以及

f) 消息处理电路，具有连接到该通信链路输入端的输入端和连接到该时序电路的输入端的输出端。

12. 根据权利要求 11 所述的集成电路，利用 ASIC 实现。

13. 根据权利要求 11 所述的集成电路，其中，该时序电路包括用于对本地时钟的脉冲进行计数的计数器。

14. 根据权利要求 13 所述的集成电路，其中，该时序电路包括对该基准时钟输入端的信号的脉冲进行计数的第二计数器。

15. 根据权利要求 11 所述的集成电路，其中，该消息处理电路包括网络接口。

16. 根据权利要求 15 所述的集成电路，其中，该消息处理电路包括到网络上的串行线路的接口。

17. 根据权利要求 11 所述的集成电路，其中：

a) 时钟信号发生器包括累加器；以及

b) 该消息处理电路的输出端包括时间戳，该时间戳至少具有第一字段和第二字段，第一字段和第二字段分别具有值；以及

c) 该集成电路进一步包括用于根据第一字段的值计算值，而且在基于第二字段的值的时间，响应于该时序电路的输出，将该值装载到累加器中的电路。

自动测试设备中具有用于同步的接口的仪器

相关专利申请

根据 35 U.S.C. § 119(e)，该专利申请要求 2004 年 11 月 22 日提交的标题为“INSTRUMENT SYNCHRONIZATION FOR AUTOMATIC TEST EQUIPMENT”的第 60/630,111 号临时专利申请的优先权，在此通过引用将该专利申请的全部内容结合到本申请中。该案子涉及 2005 年 2 月 22 日提交的“AUTOMATIC TEST SYSTEM WITH SYNCHRONIZED INSTRUMENTS”，在此通过引用将其全部内容结合到本申请中。

技术领域

本发明总的来说涉及测试设备，更具体地说，本发明涉及控制测试系统中的仪器。

背景技术

在半导体器件的制造过程中，通常要对半导体器件测试多次。利用一台被称为“测试器”的自动测试设备产生模拟在测器件（DUT）的测试信号，然后测量响应。通过将仔细控制的测试码型产生的响应与预期响应进行比较，该测试器确定 DUT 是否正常工作。

为了全面测试各器件，测试器应该产生并测量在这些器件的工作环境下可能存在的信号。随着半导体芯片的复杂程度的提高，要求自动测试设备产生并测量更复杂的信号。大多数半导体器件产生高速数字信号，或者对高速数字信号做出响应。许多器件，例如，盘驱动器控制器和视频信号处理器也产生模拟信号，或者对模拟信号做出响应。现在，通常在单一半导体器件上实现包括模拟电子器件和数字电子器件的整个系统。

现在，自动测试设备必须产生数字信号和模拟信号。因此，测试设备通常包括多个仪器。每个仪器分别执行特定功能，例如，产生高速数字信号，或者产生具有编程特性的模拟波形。在测试器内安装多个仪器，以提供测试特定器件所需的模拟信号和数字信号的组合。提供单独测试功能的创建仪器以灵活方式创建测试系统，该测试系统可以产生并测量实际测试任意半导体器件所需的一组测试信号。

然而，由单独测试仪器组成的测试系统又对测试系统设计者产生其他挑战，因为必须使各仪器的动作协调。关于对半导体器件正确估计测试结果的测试系统，通常要求测试器确定检测到特定信号，而且特定时间产生的信号与特定激励相关。对于以特定时间关系产生和测量信号，需要各仪器协调工作。

使各仪器协调工作的一种方式是在所有仪器提供基准时钟信号和命令的集中式电路系统。测试器中用于提供一系列命令以对产生和测量测试信号进行控制的电路被称为“码型发生器”。

通常，基准时钟的频率实际上受到限制，但是，这不是所希望的，该基准时钟可以被可靠地输出到测试系统中的许多仪器。利用时钟周期限制的分辨率可以规定相对于时钟的边沿时序的事件。较低频率的时钟信号具有较长的周期，且因此，提供较低的时间分辨率。

如果要求较高的时间分辨率，则公知使用“内插器”。内插器是可以跟踪作为时钟周期的一部分的间隔的电路。然而，内插器必须精确而且稳定。因此，在测试系统中设计和建立内插器很复杂，而在相对于数字时钟测量时间时不复杂。

在马塞诸塞州波士顿的 Teradyne 公司制造的 Catalyst™ 混合信号半导体测试系统中采用了使用集中式创建时钟体系结构的方法的变

型。图 1 概括示出该体系结构，而且该体系结构包括产生时钟信号的基准时钟信号发生器 8，将该时钟信号分别分配或者输出到多个数字通路卡 10 和模拟通路卡 12。可以将每个模拟卡或者数字卡看作单独的仪器，但是应该明白，仪器是逻辑概念，而且可以在多个电路卡上实现仪器，作为选择的，可以与其他电路系统一起，在单一电路卡上实现该仪器。

集中式码型发生器 14 产生的信号与基准时钟一起被输出到通路卡。码型发生器 14 发布要每个仪器执行的命令。对于基准时钟的每个周期均可以产生命令。

可以将数字卡的时钟信号输出到时序电路系统 16，该时序电路系统 16 驱动波形格式化电路系统 18，以产生要应用于在测器件（DUT，未示出）的数字信号。另一方面，模拟卡 12 接收远程产生的数字基准时钟信号，然后，利用模拟时钟模块（ACM）19 使模拟时钟同步。本地模拟时钟 A_0 驱动一个或者多个模拟仪器上的功能电路系统。

指定本发明的代理人的标题为 Analog Clock Module 的第 6,188,253 号美国专利公开了一种模拟时钟，在此通过引用将该美国专利的全部内容结合到本申请中。每个模拟仪器分别具有自己的时钟，因此，它们以自己的频率工作，该频率可能高于基准时钟的频率。

在图 1 所示设计的变型中，每个仪器分别包括码型发生器。该码型发生器根据基准时钟信号同步工作。对于其特定指令，每个码型发生器在要求的时间输出命令或者“事件”。

每个仪器的其他变型包括本地时钟信号发生器，以驱动其自己的码型发生器。本地时钟信号发生器可以产生不同频率的时钟。然而，需要该码型发生器以协调的方式起动。

标题为“CLOCK ARCHITECTURE FOR A FREQUENCY BASED TESTER”的第“WO/03042710”号专利申请公开（在此引用该专利申请的全部内容供参考）描述了一种用于使以不同频率工作的码型发生器协调工作的系统。该专利申请公开描述的方法结合基准时钟使用被称为 DSYNC 的同步信号使所有本地时钟在特定时间对准。

在测试系统技术领域内要求多个仪器轻而易举地同步工作。

发明内容

根据一个方面，本发明涉及一种用于自动测试系统的仪器，在该自动测试系统中，通信链路承载消息。该仪器具有：接口，其包括基准时钟输入端以及端口以连接到通信链路。该仪器还包括时钟信号发生器，该时钟信号发生器连接到基准时钟输入端，而且适于从该基准时钟输入端接收本地时钟，然后输出本地时钟；时序电路，利用本地时钟对其进行时钟控制，其具有用于接收表示时间的值的输入端和输出端，该时序电路保持在输入端收到的值表示的时间时的输出；以及消息处理电路，其具有连接到端口的输入端和连接到时序电路的输入端的输出端。

根据第二方面，本发明涉及一种包括接口的集成电路，该接口适合用于自动测试设备的仪器，该自动测试设备具有响应于命令执行功能的功能电路系统。该集成电路包括：基准时钟输入端；通信链路输入端；命令输出端；时钟信号发生器，该时钟信号发生器接收基准时钟输入，并输出本地时钟；时序电路，利用本地时钟对其进行时钟控制，其具有用于接收表示时间的值的输入端和连接到该命令输出端的输出端，该时序电路保持送到输入端的值表示的时间时的输出；以及消息处理电路，其具有连接到该通信链路输入端的输入端和连接到时序电路的输入端的输出端。

附图说明

没有按比例示出各附图。在该附图中，利用类似的参考编号分别表示各附图中所示的每个相同或者类似的部件。为了清楚起见，在每个附图中没有示出所有部件。附图中：

图 1 是现有的时钟体系结构的半导体测试器的框图；

图 2 是根据本发明一种形式的时钟体系结构的框图；

图 3 是图 2 所示的时钟体系结构的简化框图；

图 4A 是示出本地时钟对准的时序图；

图 4B 是示出监视时钟的同步的示意图；

图 5 是与两个仪器接口连接的电路系统的框图；以及

图 6 是示出两个仪器之间的通信处理的流程图。

具体实施方式

本发明并不局限于应用于下面描述的或者附图所示的各部件的具体构造或者排列。本发明可以有其他实施例，而且可以以各种方式实施或者实现本发明。此外，在此使用的用语和术语是为了说明问题，而不应该理解为有限制意义。使用“包含（including）”、“包括（comprising）”或者“具有”、“含有”、“涉及”以及它们的变型意味着包括此后所列的项目及其等效物和其他项目。

更具体地说，参考图 2，结合半导体测试器说明本发明实施例，通常利用 20 表示该半导体测试器，该半导体测试器包括：计算机工作站 22 和测试头 24（虚线所示）。该测试头容纳了用于产生并测量测试信号的多个电子线路板组件，该电子线路板组件包括中心卡 26、配线卡 28 以及多个仪器卡 30。

如图 2 所示，中心卡 25 将信号送到配线卡 28，以分配到仪器卡 30 的阵列。中心卡 26 包括：计算机接口 32，其用于将工作站 22 连接到测试头电路板组件；以及基准时钟信号发生器 34，其用于产生基准时钟，利用 RCLK 表示该基准时钟。例如，该基准时钟信号发生器可以包括 100 MHz 晶体振荡器。计算机接口 32 允许该测试器与计算机工

作站 22 接口连接，利用该计算机工作站 22，用户可以开发能够装载到测试器 20 中的测试程序。计算机工作站 22 向用户提供了其他功能，例如，起动执行先前开发的测试程序，或者分析测试结果。

中心卡 26 包括控制电路系统，其响应于来自该工作站的命令产生控制信号。控制信号之一包括“DSYNC”信号。分别沿位于配线卡 28 上的 DSYNC 和 RCLK 扇出电路系统 36 和 38，扇出或者分配基准时钟信号和 DSYNC 信号。这些信号的分配使多个仪器上的码型发生器协调起动，如上面引用的 WO/03042710 专利申请所述。

仪器卡 30 上的仪器可以是数字仪器，也可以是模拟仪器，也可以执行既涉及数字信号又涉及模拟信号的功能。仪器 30A 表示数字仪器，其也被称为“通路卡”。通路卡可以含有用于多个测试器通路的电子资源。同样，该测试系统包括多个通路卡。

进一步参考图 2，每个通路卡 30A 分别包括时钟模块 42。可以对时钟模块 42 进行编程，以根据 RCLK 产生要求频率的一个或者多个时钟信号。在所述实施例中，常常在“本地”，即，在包括时钟信号发生器的仪器或者电路板上使用时钟模块 42 产生的每个时钟。时钟信号发生器可以产生几个不同频率的时钟。因为由同一个信源产生所有时钟，所以可以认为各时钟互相同步。该时钟模块的构造可以与在此作为参考引用的第 6,188,253 号美国专利公开的模拟时钟模块的构造类似。

与 2003 年 12 月 29 日提交的标题为“MULTI-STAGE NUMERIC COUNTER OSCILLATOR”的第 10/748,488 号当前未决美国专利申请描述的相同，在此通过引用将该专利申请的全部内容结合到本申请中，通过利用数字计数振荡器（NCO）进行直接数字合成，可以获得本地时钟。该专利申请描述了在直接数字合成电路中使用的根据基准时钟产生一个或者多个预定频率的本地时钟的数字计数振荡器。

每个仪器卡分别包括执行该仪器要求的功能的电路系统。对于诸如 30A 的数字仪器，功能电路系统包括时序电路系统 47 以及格式化/引脚电子电路系统 48。该电路系统可以产生和测量用于测试 DUT 90 的数字信号。

此外，数字仪器 30A 包括码型发生器 46。码型发生器 46 提供一系列用于控制仪器 30A 的各功能部分的命令。码型发生器 46 可以响应于特定条件提供转移，或者根据测试系统的功能执行条件功能。利用来自本地时钟模块 40 的时钟对码型发生器 46 进行时钟控制，因此，可以以可编程的速率提供指令，该速率可以高于基准时钟的频率。

此外，仪器 30A 包括仪器同步链路（ISL）接口 320A，下面将做更详细地说明。ISL 接口 320A 使码型发生器 46 与其他仪器通信。码型发生器 46 可以发送要由其他仪器的功能电路系统执行的命令，也可以从其他仪器接收，例如，用于控制条件转移的状态信息。

根据该仪器要执行的特定功能，其他仪器可以具有不同功能电路系统。在所述的实施例中，每个仪器卡包括时钟模块 42。

所述实施例中的每个仪器还可以包括到 ISL 的接口。某些仪器可以是通过 ISL 发送的消息的信源。其他仪器可以是通过 ISL 发送的消息的信宿。利用通过 ISL 仅发送或者仅接收或者既发送又接收消息的 ISL 接口，可以构造各仪器。作为选择的，希望构造执行所有 ISL 功能的单一集成电路，而且希望在要求 ISL 功能之一的所有仪器上使用该集成电路。对于不使用 ISL 功能的仪器，可以完全省略 ISL 接口。

某些仪器可以含有多种形式的码型发生器，例如，码型发生器 46。在一个实施例中，利用测试期间需要仪器执行的特定命令，对每个码型发生器编程。然而，不是所有仪器都含有码型发生器。根据存储在

其他仪器的码型发生器中的程序，不含有码型发生器的仪器可以通过 ISL 接收命令。因此，对于系统中要执行的多个仪器，可以以命令对每个码型发生器进行编程。

在一个实施例中，数字仪器含有码型发生器，但是模拟仪器不含有码型发生器。希望这样分配，因为这样在每次设计以高速工作的数字仪器时，可以重新设计数字仪器的码型发生器，而无需改变模拟仪器。然而，不要求这样分割设计。

更通常的情况是，某些仪器用作用于将命令发送到其他仪器的控制器。其他仪器用作从其他信源接收命令的受控仪器。通常，受控仪器没有码型发生器，或者说没有以与数字仪器的速率相同的速率工作的码型发生器。

通常要求所有仪器协调工作。可以使多个仪器的本地时钟同步，如上述第 WO/03042710 号专利申请所述。如图 3 所示，基准时钟 RCLK 和同步信号 DSYNC 分配到多个仪器，例如，30A、30B 和 30C。DSYNC 信号识别被每个仪器看作基准时间的 RCLK 信号的特定边沿。一旦本地时钟与公用时间基准对准，每个仪器就可以具有“监视时钟”，该监视时钟通过对本地时钟的脉冲进行计数来跟踪时间。

根据本地监视时钟跟踪的时间，可以协调测试器中不同仪器上发生的事件。例如，第一仪器可以将命令送到第二仪器。可以相对于第一仪器的本地监视时钟规定执行该命令的时间。如果第二仪器上的本地监视时钟与第一仪器上的本地监视时钟同步，则通过监控第二仪器上的本地监视时钟，第二仪器上的事件控制器电路系统 320 可以在适当时间起动执行该命令。即使在该仪器含有产生不同频率的本地时钟的时钟模块时，也可以确定该适当时间。

通过建立公用时间基准，不需要同步发送用于传送命令或者其他

消息的信号。根据消息内的时间值，而非特定信号的到达时间，可以利用成本较低、不同步的简单通信链路来控制各事件的时序。

图 3 示出利用通信网形成图 2 所示的仪器同步链路 (ISL)。在此，该网络具有分别连接到诸如 30A、30B 和 30C 的每个仪器的线路，例如，310A、310B 和 310C。可以以任意适当方式连接到网络。例如，每个 ISL 接口可以具有端口或者其他连接点。可以利用物理方法，利用连接到该仪器的连接器形成端口，以致可以轻而易举地将通过 ISL 承载信号的线路连接到该仪器。如果利用物理方法，利用背面上或者该测试器的其他印刷电路板的图样实现 ISL 线路，实现该 ISL 线路，则利用背面连接器实现端口。如果利用分立电缆实现 ISL 线路，则可以利用诸如 RJ-45 插座的分立连接器实现该端口。利用路由器 300 促进在各仪器之间的通信，路由器 300 将来自连接到用作消息信源的仪器的线路的信号送到连接到要用作该消息的信宿的仪器的线路。

通信线路和路由器的各种实现方法是公知的。因为不需要传输介质的特性保证同步，所以通信线路和路由器的具体实现不是本发明的实质问题。例如，通信线路 310A、...、310C 可以是高速串行线路，例如，有时被称为 SerDes 线路。火线和 USB2 是标准 SerDes 通信协议的例子。通过线路 310A、...、310C 通信可以采用这种标准协议。但是，为了使消息传输具有更短的等待时间，所述实施例中使用了需要较少开销位的协议。

在此，通信线路以超过 1 Gbps 工作，而且消息基于分组。为了有助于通信，每个分组可以包括各种字段。例如，分组可以包括具有信源和信宿 ID 的报头。每个仪器可以具有其自己的 ID 值，可以利用该 ID 值规定特定消息的信源和信宿。

分组还可以包括用于命令值的字段。该命令值可以规定信宿字段识别的仪器的动作以执行。在一个实施例中，每个仪器分别具有微码

存储器，该微码存储器含有对应于该仪器可以执行的各种操作的多个微码序列。该命令规定特定微码序列。通过执行来自该存储器的规定的微码序列，该仪器执行命令。

命令字段还可以将状态发送到另一仪器。例如，仪器可以设置命令字段内的值，以指示其检测到故障，或者其完成测量。然后，例如，通过将测量结果送到处理器，或者交替执行测试码型以反映该故障，收到该命令值的仪器可以做出适当响应。

在所示的实施例中，分组还包括时间值，有时将该时间值被称为“时间戳”。在命令字段指出要执行的事件时，该时间戳指出将发生该事件的时间。在命令字段指出状态时，该时间戳可以指出将执行条件操作，例如，响应该状态转移的时间。如上所述，使所有仪器上的本地监视时钟同步，以致每个仪器都可以传送与同一个 DSYNC 事件相关的时间值。

此外，分组可以包括字段。例如，可以附加校验和字段或者其他字段，用于检错或者纠错。分别用于传送命令或者状态事件的多个消息可以被包括在一个分组中。每个这种消息可以具有自己的时间戳。

在所示的实施例中，ISL 包括路由器 300。可以实现路由器 300，以便根据任意现有算法工作。例如，通过特定线路，根据分组报头中的信宿值，路由器 300 可以接收每个进入的消息，而且可以发送出去的消息。

在图 3 所示的实施例中，作为数字通路卡，示出了仪器 30A 和 30B。每个仪器分别包括码型发生器 46A 和 46B。仪器 30C 是模拟仪器。图 3 所示的模拟仪器 30C 不包括单独的码型发生器。模拟仪器 30C 包括连接到本地时钟模块 42C 的事件控制器，其包括足够的电路系统接收和响应命令和/或者发送状态信息。下面，将参考图 5 更详细地说明事

件控制器 320。

数字仪器中的码型发生器含有用于规定测试器件期间要执行的操作序列的程序。在所示的实施例中，这些程序规定模拟仪器和数字仪器执行的程序。例如，它们可以规定特定模拟信源在相对于数字通路上的事件的特定时间产生所要求频率的正弦波，或者规定接收机在相对于数字通路中的事件的特定时间开始捕获 DUT 的输出。

图 4A 和 4B 示出使两个仪器中的本地监视时钟同步而执行的处理。如上所述，每个仪器可以分别包括时钟模块，以产生一个或者多个本地时钟。在所述实施例中，每个时钟模块接收基准时钟 RCLK 和同步信号 DSYNC。

图 4A 示出 DSYNC 信号在时间 E_1 识别基准时钟信号的特定边沿。优选地将 RCLK 信号和 DSYNC 信号分配到每个时钟模块，以使得每个仪器上的时钟模块可以将时间 E_1 看作基准时间。

图 4A 还示出信号 LCLKA。LCLKA 表示时钟模块产生的本地时钟。所示的 LCLKA 的周期比 RCLK 的周期短。因此，对 LCLKA 的脉冲进行计数可以使监视时钟以较高的分辨率跟踪时间。

LCLKA 对准基准时钟。如上引用的专利和专利申请所述，在出现 DSYNC 信号时，使本地时钟信号与基准时钟信号对准是公知的。在在此使用的例子中，利用包括 NCO 的 DDS 电路产生 LCLKA。在时间 E_1 ，将 NCO 设置为预定值，以使 LCLKA 相对于 RCLK 具有某个相位。在时间 E_1 之前，LCLKA 可以不与 RCLK 对准，这意味着，在 LCLKA 与 RCLK 的边沿之间没有确定的关系，或者不知道这种关系。然而， E_1 之后的某个设定时间，信号 LCLKA 与 RCLK 对准。如图所示，LCLKA 与 RCLK 的周期不同。因此，时钟对准不要求所有边沿一致。相反，在此使用的术语意味着在每次执行测试程序时，可重复的边沿

之间的关系。

该设置间隔之后，利用信号 LCLKA 的边沿设置本地监视时钟。在此，在时间 E_2 示出该边沿。时间 E_2 发生 E_1 之后的延迟 D_{AT} 。在所述的实施例，时钟模块利用锁相环电路系统产生本地时钟。在改变了锁相环的输入或者设置后，该锁相环的输出可能含有抖动，或者说不可预测。延迟 D_{AT} 允许锁相环设定可预测值。

可以确定延迟 D_{AT} ，因为该时钟信号生成电路包括 NCO 部分，利用数字电路系统实现该 NCO 部分，因此，即使在设定的间隔期间，也具有确定输出。因此，即使在该间隔期间，锁相环的输出不稳定，通过对 NCO 的周期进行计数，也可以测量间隔 D_{AT} 。设定间隔内的具体周期数取决于时钟模块的具体设计。

在所述的实施例，在时间 E_1 ，将 NCO 内的累加器复位到 0，而且在经过了锁相环的输出保持稳定的足够长间隔之前，对 NCO 的周期进行计数。在设定间隔结束时，对本地监视时钟装载等于设定间隔 D_{AT} 的值。这样，监视时钟利用 DSYNC 信号识别的作为零时间基准的时间 E_1 来跟踪时间。

在在此描述的实施例，利用图 4A 所示的处理设置可以用作控制仪器的每个仪器中的监视时钟。WATCHA 表示控制仪器中的监视时钟。在时间 E_1 ，WATCHA 具有值 402。不能确定值 402，因为此时没有设置 WATCHA。图 4A 示出在时间 E_2 ，对 WATCHA 装载表示延迟 D_{AT} 的值 404。此后，对于 LCLKA 的每个脉冲，WATCHA 均递增反映 LCLKA 的周期长度的每个增量额。例如，值 406 示出值 404 之后 LCLKA 的一个脉冲时的 WATCHA。

受控仪器也可以包括本地时钟，该时钟对这些仪器上的监视时钟进行时钟控制。然而，对于在识别时间使用的这些监视时钟，它们必

须与受控仪器中的监视时钟同步。图 4A 示出受控仪器 LCLKB 中的本地时钟 LCLKB。它可以与 LCLKA 具有相同的频率，但是不需要与 LCLKA 具有相同的频率。为了在测试系统中最精确而且可重复地跟踪时间，LCLKB 优选地与 LCLKA 对准。此外，受控仪器上的 WATCHA 应该装载与受控仪器上的 WATCHA 内的值对应的时间值。

图 4A 示出不能确定的时间 E_1 和 E_2 的 WATCHA 内的值 412 和 414，因为它们与 WATCHA 不同步。此外，图 4A 示出本地时钟 LCLKA 和 LCLKB 不对准，这意味着不需要知道 LCLKA 与 LCLKB 的边沿之间的关系。

尽管 WATCHA 最初具有不确定值，但是受控仪器可以利用 LOW_RES 监视时钟跟踪时间。LOW_RES 监视时钟的分辨率比受控仪器 WATCHA 的分辨率低。然而，可以轻而易举地使 LOW_RES 监视时钟与 WATCHA 同步，而且利用该 LOW_RES 监视时钟使 WATCHA 和 WATCHB 同步。图 4A 将该低分辨率监视时钟识别为 LOW_RES。在时间 E_1 ，LOW_RES 监视时钟取值 408。取时间 E_1 作为 WATCHA 的基准点。因此，在时间 E_1 ，LOW_RES 监视时钟给出值 0。在所示的实施例中，受控仪器可以轻而易举地识别时间 E_1 ，因为所有仪器均接收 RCLK 信号和 DSYNC 信号。

对应 RCLK 的每个周期，LOW_RES 监视时钟递增一个计数，在所示的实施例中，LOW_RES 监视时钟含有字段 418，该字段 418 以与字段 416 相同的分辨率跟踪时间，其代表 WATCHA 的大多数有效位。因此，图 4A 示出在时间 E_2 设置了 WATCHA 后，字段 418 内的值接近 WATCHA 的字段 416 内的值。可以认为差值归因于，与 WATCHA 以比 LOW_RES 监视时钟的分辨率高的分辨率表示时间以及 LCLKA 和 RCLK 边沿出现在不同时间的事实相关的舍入成整数。

在图 4A 中，具有不确定值的字段 420 和 422 中示出 LOW_RES

监视时钟。这些字段表示 LOW_RES 的最低有效位，而且表示比 LOW_RES 监视时钟可以产生的分辨率的位数多的分辨率。因此，未示出它们的值，而且可以假定它们是 0，以准备好将 WATCHA 内的值与 LOW_RES 监视时钟进行比较。在实现 LOW_RES 监视时钟时，无需包括字段 420 和 422。

图 4B 示出控制仪器使其本地监视时钟（在此表示为 WATCHA）与受控仪器上的本地监视时钟（在此表示为 WATCHB）同步的处理。该处理过程包括控制仪器将指出 WATCHB 应该与 WATCHA 同步的命令送到受控仪器。该命令包括时间戳 450，该时间戳 450 识别将实现同步的时间以及同步值。

在某个时间，图 4B 这表示为 E_3 ，控制仪器计算要以命令的形式发送到受控仪器的时间戳 450。在时间 E_3 ，所示的 WATCHA 具有值 430。在时间 E_3 ，WATCHB 内的值 434 也是不确定的。受控仪器上的 LOW_RES 监视时钟具有值 432。值 432 使值 430 接近 LOW_RES 监视时钟的分辨率极限。

利用时间 E_3 时 WATCHA 中的值计算时间戳 450。通过将某个偏移与计算时间戳 450 时 WATCHA 内的值相加来计算时间戳 450。该偏移量优选地足够长，以便将含有该时间戳的消息从控制仪器发送到受控仪器。这样，时间戳 450 表示受控仪器收到同步命令后出现的时间。

在图 4B 所示的实施例中，时间戳 450 包括字段 452 和 454。WATCHA 包括分别与字段 452 和 454 具有相同位数的字段 416 和 456。WATCHA 包括位于字段 458 内的附加位。字段 458 内的附加位表示 WATCHA 跟踪时间的附加分辨率，但是在所示的实施例中，在计算时间戳 450 的值时，舍去具有该分辨率的各位。

可以利用时间戳 450 内的值识别将执行再同步监视时钟命令的时

间。字段 452 内的时间戳 450 的最高有效位表示与 LOW_RES 监视时钟具有相同分辨率的时间。在图 4B 所示的 E_4 表示的某个时间，LOW_RES 监视时钟取与时间戳 450 的字段 452 内的位匹配的值 456。通过将 LOW_RES 内的值与时间戳 450 的字段 452 内的值进行比较，受控仪器可以识别时间 E_4 。

在时间 E_4 之后的时间 R_1 出现时间戳 450 表示的值。在图 4B 中利用 E_5 表示该时间。为了在时间 E_5 利用基准边沿产生本地时钟，必须在时间 E_4 使本地时钟与和在时间 E_5 使本地时钟的边沿对准产生同样效果的值对准。通过将用于产生 LCLKB 的 DDS 电路的 NCO 内的值设置为基于 R_1 的值，在时间 E_4 使 LCLKB 对准。从理论上说，时间 E_4 之后的间隔 R_1 （例如，时间 E_5 ），NCO 应该是“0”，这表示将出现 LCLKB 的边沿。即使在 E_5 的时间 E_4 LCLKB 不可用，仍设置受控仪器的时序电路系统内的值，以便在设定该电路系统并产生 LCLKB 时，LCLKB 具有如同在时间 E_5 具有边沿的相位。

因此，需要设定某个间隔。图 4B 示出设定间隔为 D_{AT2} 。

在时间 E_6 示出设定间隔的结束。在时间 E_6 ，以初始值装载 WATCHB 并以 LCKB 对其进行时钟控制。在时间 E_6 ，以同步命令加延迟 D_{AT2} 的方式，对 WATCHB 装载表示时间戳 450 的值的的时间。这样，对 WATCHB 装载与 WATCHA 内的值具有确定关系的值，因此，LCLKB 时钟控制 WATCHA，LCLKB 与时钟控制 WATCHA 的本地时钟具有可重复关系。这样，WATCHB 与 WATCHA 同步。

在图 4B 所示的例子中，舍去用于产生时间戳 450 的值求得可能的变化源。如上所述，从该时间戳上舍去数额 R_2 ，然后，发送它。因此，在 WATCHB 与 WATCHA 同步时，对 WATCHB 装载比 WATCHA 中的值小数额 R_2 的值。在每次重复测试程序时， R_2 的值可能发生变化。通过存储余数 R ，然后，利用它对从控制仪器发送到根据图 4B 所示的

处理过程使其监视时钟同步的受控仪器的命令内的任意时间戳值进行调整，可以提高重复执行命令的精度。

现在，回到图 5，图 5 示出用于在信源电路板 510 与信宿电路板 540 之间传送命令的接口电路的框图。信源电路板 510 包括功能电路系统 590，而信宿电路板 540 包括功能电路系统 592。在信源电路板 510 和信宿电路板 540 是仪器的实施例，功能电路系统执行该仪器所需的功能，而且该功能电路系统可以是本技术领域内现在公知的电路系统，也可以是之后开发的执行用于测试半导体器件的功能的电路系统。例如，信源电路板 510 可以是数字仪器 30A，而信宿电路板 540 可以是模拟仪器 30C，而且它们可以分别包括适于产生和测量数字信号或模拟信号的功能电路系统。

在此，所示的信源电路板 510 具有码型发生器 46A，该码型发生器 46A 产生用于控制功能电路系统 590 的命令。所示的信宿电路板 540 没有码型发生器。码型发生器 46A 产生用于信宿电路板 540 的命令。通过 ISL 将这些命令传送到信宿电路板 540。

通过作为 ISL 一部分的路由器 330，提供该电路板之间的通信通路。信源电路板 510 包括有助于经 ISL 通信的接口电路 320A。信宿电路板 540 包括接口电路 320B。可以利用一个或者多个 ASIC 或者其他集成电路芯片分别实现集成电路 320A 和 320B。

接口 320A 包括 PHY 530，而接口 320B 包括 PHY 550。PHY 530 和 PHY 550 是根据选择的 ISL 协议管理通信所需的电路系统。该电路系统执行按照惯例在网络接口的硬件部件中执行的功能，例如，将消息形成为分组，校验奇偶性，驱动以及通过物理网络连接接收数据，在发生错误时重发分组以及将收到的有效分组送到该网络的下一个更高级进行处理。PHY 530 和 550 还可以确认符合选择协议的格式的消息。例如，它们校验信源 ID 或者信宿 ID 对应于该测试器中的有效信

源和信宿 ID。或者，它们可以校验消息的时间戳字段内的值表示未来有效时间。

在该例中，码型发生器 46A 起动发送分组，表示要发生“事件”。该事件指出位于信宿电路板 540 上的仪器要执行命令。除了规定要发生的事件，码型发生器 46A 还指出该事件何时发生。在所示的实施例中，该事件的时间是从当前时间的偏离值。

将该偏离值提供到时间戳电路 516。时间戳电路 516 计算指出信宿电路板 540 执行该命令的时间的时间戳，然后，将该时间戳与该事件的指示一起送到 PHY 530，用于传送。接口 320A 的当前时间被保存在 WATCHA 514 中。

可以以任意现有方式实现“监视时钟”，但是它优选地包括根据时钟信号记录经历的时间的电路。优选地利用与用于驱动码型发生器 46A 的时钟信号同步的时钟信号对该监视时钟进行时钟控制。可以仅利用具有少量控制电路系统的计数器实现该监视时钟，以复位和装载该计数器，从而执行在此描述的功能。在所示的实施例中，利用本地时钟模块 42A 产生的本地时钟 LCLKA 时钟控制 WATCHA 514。每个监视时钟跟踪时间的分辨率的位数不是本发明的实质问题。每个监视时钟优选地具有使它以等于或者小于驱动该监视时钟的时钟的周期跟踪时间的位数。优选地，所有时钟至少和从一个仪器到另一个仪器传送的消息内的时间戳数目相同的分辨率位数。然而，各仪器可以以更高或者更低的精度跟踪时间。

信宿电路板 540 包括 WATCHB 552。WATCHB 552 保持相对于本地时钟 LCLKB 的时间。不需要 LCLKA 和 LCLKB 是相同频率的时钟。相反，WATCHA 514 和 WATCHB 552 之任一足以输出相同格式的时间，或者足以将 WATCHA 514 和 WATCHB 552 产生的格式的时间值转换为某种公共时间格式，然后，将相对于一个监视时钟产生的时间

戳与不同监视时钟保持的时间进行比较。在此，根据图 4A 和 4B 所示的处理过程，将 WATCHA 和 WATCHB 同步。

在所示的实施例中，将存储在 WATCHA 514 内的值增大在监视时钟最后同步时存储的余数值 R_2 。将该值存储在寄存器 518 内。如上结合图 4B 所述，余数 R_2 表示因为舍去产生同步监视时钟命令的时间戳使用的值产生的、在 WATCHA 内跟踪的时间与 WATCHB 内跟踪的时间之间的差值。通过在同步监视时钟命令之后，将该余数值与用于产生所有命令的时间戳的时间相加，该舍去对于信宿电路板 540 响应命令的时间没有影响。

图 5 示出位于余数寄存器 518 的输入端和输出端的通调开关 519。开关 519 表示在某些周期内，根据 WATCHA 514 内的值求得余数值 R_2 。在存储 R_2 的周期内，不利用寄存器 518 内的值调节 WATCHA 514 内的值。在此，开关 519 表示执行要求的函数的任意电路系统。

在计算该时间戳的过程中，将 WATCHA 内的值增大存储在寄存器 512 内的等待时间值。所选择的等待时间值大于消息从信源电路板 510 到其他任意信宿电路板 540 的最长传输延迟。优选地固定该等待时间值。通常，对于仪器之间的固定延迟，校准测试系统。因此，引入固定延迟不会引入任何时间误差，而且有助于确保信宿电路板不接收用于规定在通过 ISL 发送消息时经历的时间执行命令的消息。

在将分组从信宿电路板 510 送到信宿电路板 540 时，分组通过 PHY 550。如上所述，PHY 550 是专门用于管理网络功能的硬件。在 PHY 550 收到有效分组时，将该分组的内容传送到更高级电路系统。如上所述，将含有用于指出要执行的事件的消息的分组送到时间戳去除器 556。

在要执行命令中规定的事件时，时间戳去除器 556 将控制信号输出到信宿电路板 540 上的其余电路系统。示出了用于承载使功能电路

系统 592 执行事件的控制信号的线路。应该明白，信宿电路板 540 可以对要求将控制信号送到信宿电路板 540 上的其他电路系统的许多类型的命令做出响应。例如，上面描述了，受控仪器可以接收同步监视时钟命令。这种命令触发对准时钟模块内的时钟，然后，将各值装载到 WATCHB。因此，还可以将控制信号从时间戳去除器 556 送到时钟模块 42C 和 WATCHB 552。可以存在用于承载其他控制信号的线路，但是为了清楚起见未示出它们。

根据图 4B 所示的同步过程控制复用器 560，以将值送到时间戳去除器。时间戳去除器 556 监视输入时间，以识别何时到达时间戳规定的时间。此时，时间戳去除器 556 保持适当的控制信号。

时间戳去除器 556 通过多路复用器 560 接收当前时间值。根据要执行的命令控制多路复用器 560。对于同步监视时钟命令，根据 LOW_RES 监视时钟 558 求得时间值。对于所有其他命令，可以由 WATCHB 提供时间值。多路复用器 560 表示在 WATCHB 同步之前，将该值从 LOW_RES 监视时钟 448 送到时间戳去除器 556，而在它同步之后，在 WATCHB 552 提供该值的任意电路。

低分辨率监视时钟 558 对 RCLK 的脉冲进行计数，然后，在保持如图 4A 所示的 DSYNC 信号的情况下复位该低分辨率监视时钟 558。低分辨率监视时钟 558 可以是与本地监视时钟 552 分立的硬件单元。作为选择的，低分辨率监视时钟 550 可以是仅利用本地监视时钟的高序位实现的逻辑构造。

在通过 ISL 发送的分组规定要由功能电路系统 592 执行的事件时，在时间戳规定的时间，时间戳去除器 556 以指令的方式将该分组的命令部分输出到功能电路系统 592。该仪器可以以与现有技术的仪器响应码型发生器输出的命令相同的方式处理时间戳去除器 556 输出的命令。在一个实施例中，根据命令值，该事件信号对微码存储器加索引，然

后，起动用于顺序检索并执行该存储器中的微码指令的定序器。

时间戳去除器 556 可以有各种实现方式。时间戳去除器 556 可以含有具有寄存器的单一单元以存储消息中的时间戳，而且临时存储该命令值。该单元可以包括数字比较器，用于将该时间戳与该本地监视时钟的适当偏移值进行比较。控制电路系统可以监控该比较器的输出，然后，在该时间值匹配时，将该命令值送到输出端。可以包括其他接口电路系统，从而以指令的方式将信号送到其余电路系统，以执行该命令。

然而，可以有更复杂的实现。例如，时间戳去除器可以包括多个单元，以使得对于该指令调度多个命令。然后，时间戳去除器输出要在其相应时间戳指出的时间执行的每个命令。多个时间戳去除器单元还可以以与接收顺序不同的顺序处理该命令。

图 6 是示出诸如图 2 或者图 3 所示自动测试系统的系统可以执行的处理过程的流程图。

该处理过程包括两个并行子处理过程，如子处理过程 620 和子处理过程 650 所示。在图 6 所示的例子中，在控制仪器的 ISL 接口 320A（图 5）执行子处理过程 620。在受控仪器的 ISL 接口 320B（图 5）执行子处理过程 650。

在步骤 610，控制仪器的本地时钟对准 RCLK。为了使该时钟对准，可以执行上面结合图 4A 描述的处理过程。在该受控仪器内，可以在同一个时间执行步骤 652。在步骤 S652，复位 LOW_RES 监视时钟，然后，控制该 LOW_RES 监视时钟，以开始对 RCLK 脉冲进行计数。

然后，在步骤 656，受控仪器等待通过 ISL 接收命令。在步骤 622，控制仪器等待对准延迟时间，如图 4A 所示。

在步骤 624，对控制仪器内的监视时钟装载对准延迟时间，然后，该监视时钟开始运行。

在步骤 626，通过 ISL，控制仪器将“同步监视时钟”命令发送到受控仪器。作为对控制仪器上的码型发生器预定的命令的响应发送该命令。该同步命令包括时间戳，如图 4B 的 416 所示。

在步骤 658，受控仪器通过 ISL 接收命令，然后等待直到低分辨率监视时钟指示与同步监视时钟命令中的时间戳的最高有效位匹配的时间。

在步骤 660，计算要装载到用于产生 LCLKB 的 NCO 中的值。计算该值，以使得如果在时间 E_4 对该 NCO 装载该值，则在最后产生 LCLKB 时，该 LCLKB 具有如同它在时间 E_5 具有边沿的相位。如图 4B 所示，该值取决于 R_1 的值。其还取决于用于对该 NCO 进行时钟控制的时钟的频率，而且可以取决于与该时钟信号生成电路相关的其他因素。

在 LOW-RES 监视时钟指出的对准时间，在步骤 662，受控仪器使其本地时钟对准。通过对 NCO 装载计算值执行步骤 662 的时钟对准。

在步骤 664，受控仪器等待对准延迟时间，例如，图 4B 中的 D_{AT2} 所示。经过对准延迟时间后，该处理过程进入步骤 666。在该步骤，对 WATCHB 装载表示再同步结束时间命令中的时间戳和在步骤 664 使用的对准延迟时间的和的值。此后，利用受控仪器中的本地时钟对 WATCHB 进行时钟控制。

子处理过程 650 在步骤 668 继续，在步骤 668，受控仪器进一步等待来自控制仪器的命令。

在该控制仪器上,处理过程从步骤 626 进入步骤 632。在步骤 632,存储反映图 4B 所示舍去部分 R_2 的余数。例如,将该余数存储在诸如 518 (图 5) 的寄存器中。

在步骤 634,在控制仪器上继续执行子处理过程 620。在步骤 634,接口电路等待将命令送到另一个仪器。在图 5 所示的实施例中,接口电路 320A 可以从码型发生器 46A 接收命令。在接口电路 320A 接收命令时,该处理过程进入步骤 636。

在步骤 636,该接口电路计算要与该命令一起发送的时间戳。对于图 5 所示实施例中的接口电路,通过将在步骤 632 存储的余数值与存储在本地监视时钟上的当前时间相加,而且将预定等待时间与码型发生器预定的偏移相加,来计算时间戳。

在步骤 638,接口电路 320A 形成包括在步骤 636 计算的时间戳的分组,然后,通过 ISL 发送该分组。

在步骤 668,受控仪器上的接口电路 320B 等待直到收到命令。在通过 ISL 收到命令时,在步骤 670,该处理过程继续。在该步骤,对诸如 556 (图 5) 的时间戳去除器装载通过 ISL 收到的分组上的时间戳。

在步骤 672,时间戳去除器等待直到存储在本地监视时钟送到时间戳去除器的时间具有与在步骤 670 存储的时间戳匹配的时间值。在存储的时间戳与本地监视时钟上的时间匹配时,在步骤 674,该处理过程继续。

在步骤 674,时间戳去除器 556 保持功能电路系统 592 的控制信号,以使该功能电路系统 592 执行在步骤 638 发送的分组中规定的命令。

这样，利用产生附加命令的控制仪器和响应这些命令的受控仪器，继续执行该处理过程。所执行的特定命令可能取决于该仪器中的功能电路系统的类型。所执行的附加命令可能包括同步监视时钟命令，在测试器工作期间，该同步监视时钟命令可能出现多于一次。

所述的实施例具有几个优点。上面描述的体系结构使得能够在仪器之间异步传送命令，这意味着，执行该命令的时间不直接取决于收到命令的时间。在低于 10 皮秒的分辨率的情况下，而且优选地在低于 1 皮秒的分辨率的情况下保证精确同步。然而，通过测试系统分配的时钟具有相对低的频率。基准时钟优选地低于 200 MHz，更优选地低于 125 MHz，或者更低。当前设想的实施例具有 100 MHz 的基准时钟。与高频时钟相比，利用较昂贵的电路系统产生精确低频时钟，而且在该测试系统上，更容易路由选择该低频时钟。

此外，图 3 所示的体系结构将设计模拟仪器 30C 与设计该测试系统 20 使用的码型发生器分开。有利的是，可以将对采用图 3 所示体系结构的系统开发的模拟仪器用于利用相同的体系结构设计的任意测试系统。这种性能非常重要，因为需要频繁改变数字仪器的设计以便以较高时钟速率工作。如果可以将仪器设计从一代测试设备转移到下一代测试设备，则对于自动测试设备的制造商和用户都可以显著地节省成本。如果各代之间可以保持到各仪器的接口，则甚至具有进一步的优点。如果设计和接口保持不变，则可以直接将含有该仪器的相同物理电路板从一个测试系统转移到另一个测试系统。

此外，可以更轻而易举地使用第三方仪器。可以将该第三方仪器集成到具有相对紧凑的接口、包括诸如图 5 所示事件控制器的测试系统上。可以在单一集成电路芯片上，或者少量芯片上或者按照惯例封装成电路模块，来构造这种接口。该接口可以选择性地包括本地时钟模块。测试器制造商可以对可以将它们插入仪器中的第三方仪器的供

应商提供接口。然后，采用确定接口的仪器可以轻而易举地插入测试系统。

此外，上述体系结构使得可以轻而易举地实现许多希望的特征。例如，不需要每次将仪器之间的通信链路上的消息送到单个仪器。通过确定包括在分组内、用于指出该系统内的所有仪器都要接收并处理该分组的信宿 ID，可以实现广播消息传输。每个仪器都可以接收其自己的 ID 或者该消息的信宿字段中的广播 ID，然后，对其做出响应。优选地，在一组受控仪器接收命令时，该组中的所有仪器具有与发送该命令的仪器中的监视时钟同步的监视时钟。

此外，可以利用广播消息传输的限制形式创建“码型组”。被分配了该 ID 的组中的所有仪器均响应具有信宿字段中的“码型组”ID 的消息。例如，从特定码型发生器收到命令的所有仪器均可以被分配到一个码型组。这样，通常寻址到该码型组的单一消息使该组中所有仪器的监视时钟同步。

码型组寻址的优点是，可以使用户对具有多个“逻辑码型发生器”的测试器编程。可以对每个逻辑码型发生器编程，以具有独立测试流。例如，在测试具有快速总线和慢速总线的半导体器件时，用于产生并测量用于测试快速总线的信号的电路系统可以位于分配到一个码型组的仪器上。用于产生并测量用于测试慢速总线的信号的电路系统可以位于分配到第二码型组的仪器上。可以同时测试这两条总线，但是可以单独编写用于测试每条总线的程序，然后，将它们存储在单独码型发生器中以便单独执行。

仪器可以属于一个以上的码型组，但是在这种情况下，要进行仲裁，以确保单一仪器不同时接收不相容的命令，或者确保单一仪器不同时接收超过其可以处理的命令。例如，使消息发送到多个码型组中的仪器的信宿 ID 可以使码型组同步。

尽管参考本发明的优选实施例具体示出和说明了本发明，但是本技术领域内的技术人员明白，在不脱离本发明实质范围的情况下，可以在形式和细节方面对本发明进行各种变更。

例如，通信链路可以存在各种实现。所示的 SerDes 线路是单条线路。可以利用对绞线、同轴线、光纤或者其他任意适当物理介质，实现所使用的这种线路。此外，可以利用两条线路在码型发生器与事件控制器之间实现双向通信。或者，采用单条双工线路。作为选择的，从码型发生器到事件控制器仅实现单向通信也足够。此外，通信链路不必是串行的。也可以采用其他形式的通信网。已经描述了采用分组交换网，但是利用其他类型的网络，也可以实现各实施例。

所示的每个仪器都具有一个时钟模块。仪器可以具有多于一个的时钟模块。此外，所述实施例示出每个数字仪器分别包括码型发生器。为了实现本发明的好处，不必所有数字仪器均具有码型发生器。某些数字仪器可以从其他数字仪器上的码型发生器接收命令。例如，某些数字仪器可以产生相对低频率的码型，而其他仪器产生高频码型。低频仪器可以从高频仪器接收命令。作为选择的，某些或者全部数字仪器可以从中心码型发生器接收命令。即使在所有数字仪器均含有码型发生器时，仍希望某些数字仪器将命令或者状态消息发送到其他仪器。

在图 4B 中，在使监视时钟同步前，使用低分辨率监视时钟。同步之后，WATCHB 以等于 LCLKB，即，高分辨率监视时钟的周期的分辨率跟踪时间。有两种方案可以实现 WATCHB 和 LOW_RES 监视时钟。可以利用分立硬件实现低分辨率监视时钟和高分辨率监视时钟。作为选择的，可以将相同的硬件应用于低分辨率监视时钟和高分辨率监视时钟的低分辨率部分。

此外，所示的 ISL 将仪器彼此连接。通过 ISL，可以将该系统的

其他部分连接到各仪器。例如，主区域电路板可以连接到 ISL，以允许和各仪器通信，或者通过 ISL 传送来自计算机工作站 22 的命令。

利用路由器实现该 ISL。不要求路由器。可以利用任意分组交换电路或者电路交换电路系统通过类似的功能。作为选择的，每个仪器可以接收每个分组，而且仅选择寻址到其的分组。然而，具有路由器或者类似交换电路降低了每个仪器必须处理分组的速率。这样还有助于广播寻址和码型组，因为通过在交换电路系统中对地址转换表编程，可以分别实现它们，而无需对每个仪器上的逻辑重新编程。

如果通过使两个时钟的边沿对准而实现同步，则这两个时钟可以被延迟，直到其边沿之一与另一个时钟的边沿具有要求的时间关系。同样，利用递增计数或者递减计数的电路实现时钟和其他时序电路。因此，根据如何跟踪时间，将时间值相加可能产生更大或者更小的数。

此外，不需要测试系统上的所有时间戳去除器以相同的精度计算时间，也不需要每个时间戳去除器以消息中的时间戳相同的精度计算时间。在本地监视时钟到达仅等于消息时间戳上的某个数量的最高有效位的时间时，时间戳去除器可以输出事件指示。时间戳去除器可以将该时间戳的其余最低有效位和执行该事件的指示一起送到功能电路。该仪器的功能部分可以将其余最低有效位用作偏移值，然后，在该事件信号偏移该量的时间，执行该命令。

所示的一些时间值偏移多个值。此外，描述了将偏移和与另一个仪器同步的一个仪器上的时间值之一相加的各种操作。通过将另一个值减去相同的量，可以实现协调操作。将各偏移组合在一起的顺序和位置不是关键问题。例如，图 5 示出余数和与本地监视时钟的输出相加的等待时间值。可以将这些值引入本地监视时钟。或者，可以将这些值引入用于产生本地时钟的电路系统。

此外，上面描述了使仪器“同步”。当在各仪器的操作之间具有确定时间关系时，在此使用的仪器同步。在每次重复进行测试时，利用同步仪器，在测试器的时序精度内，测试器应该执行相同的操作。相反的，如果各仪器不同步，则不同仪器执行的测试功能之间的间隔可能每次测试之间改变大于测试器的时序精度的量。然而，“同步”不要求同时或者一起执行操作。例如，即使在一个仪器上执行的命令与响应该命令在另一个仪器上采取的动作之间存在某个延迟，但是仍可以认为各仪器同步。

同样，已经描述了使各时钟“对准”。在对准时，所描述的时钟具有相同的上升沿。为了清楚起见，这样表示。只要在与其它时钟信号的某个部分具有确定时间关系的情况下，出现一个时钟信号的某个部分，就可以认为两个时钟对准。此外，无需在该时钟的每个周期都重复这种关系。对于不同周期的两个时钟，这两个信号边沿的相对位置可能在各周期不同。然而，如果该时钟在某个时间对准，则可以确定各边沿之间的关系在该信号的稳定性确定的限度内。

此外，图 4B 示出具有相同最高有效位而且同步的 WATCHA 和 WATCHB。为简单示出了这些值。即使它们之间存在固定偏移，也可以认为该监视时钟同步。如上所述，可以轻而易举地校准测试系统的不同通路中各事件的时序之间的固定偏移，而且不形成错误源。另外，即使最低有效位在任意给定时间存在不同，仍可以认为监视时钟同步。如果不同频率的本地时钟对 WATCHA 和 WATCHB 进行时钟控制，则该监视时钟在不同时间递增，而且递增与时钟控制该监视时钟的各本地时钟的周期成正比的不同量。然而，只要从一次测试到另一次测试可以重复各事件的时间，则可以认为该监视时钟同步。

此外，图 4A 和 4B 示出即使以利用 WATCHB 不能发送或者处理的分辨率规定该时间，仍可以在 WATCHA 表示的任意时间执行同步监视时钟命令。如果对该测试系统的操作施加限制，则可以简化某些电

路系统的设计。例如，如果仅在利用时间戳内的值表示的时间执行同步命令，则可以避免存储余数。然而，不希望限制执行同步监视时钟命令的时间。

此外，作为选择的，无需存储余数值 R_2 ，可以实现使监视时钟同步，而且在执行再同步监视时钟命令时，通过将控制仪器上的监视时钟的最低有效位设置为 0，可以使监视时钟同步。在同时使多个监视时钟再同步的系统中，这种方法最有用。

图 3 示出通过路由器 300 连接的 3 个仪器。该连接数量是仅是为了说明工作原理。同样，测试器可以包括 3 个以上的仪器。

此外，利用模拟仪器和数字仪器描述了各仪器。许多仪器既处理模拟信号又处理数字信号，本发明并不局限于特定类型的仪器。

这种替换、修改和改进意在作为本公开的一部分，而且意在属于本发明的实质范围。因此，上面的描述和附图仅作为例子。

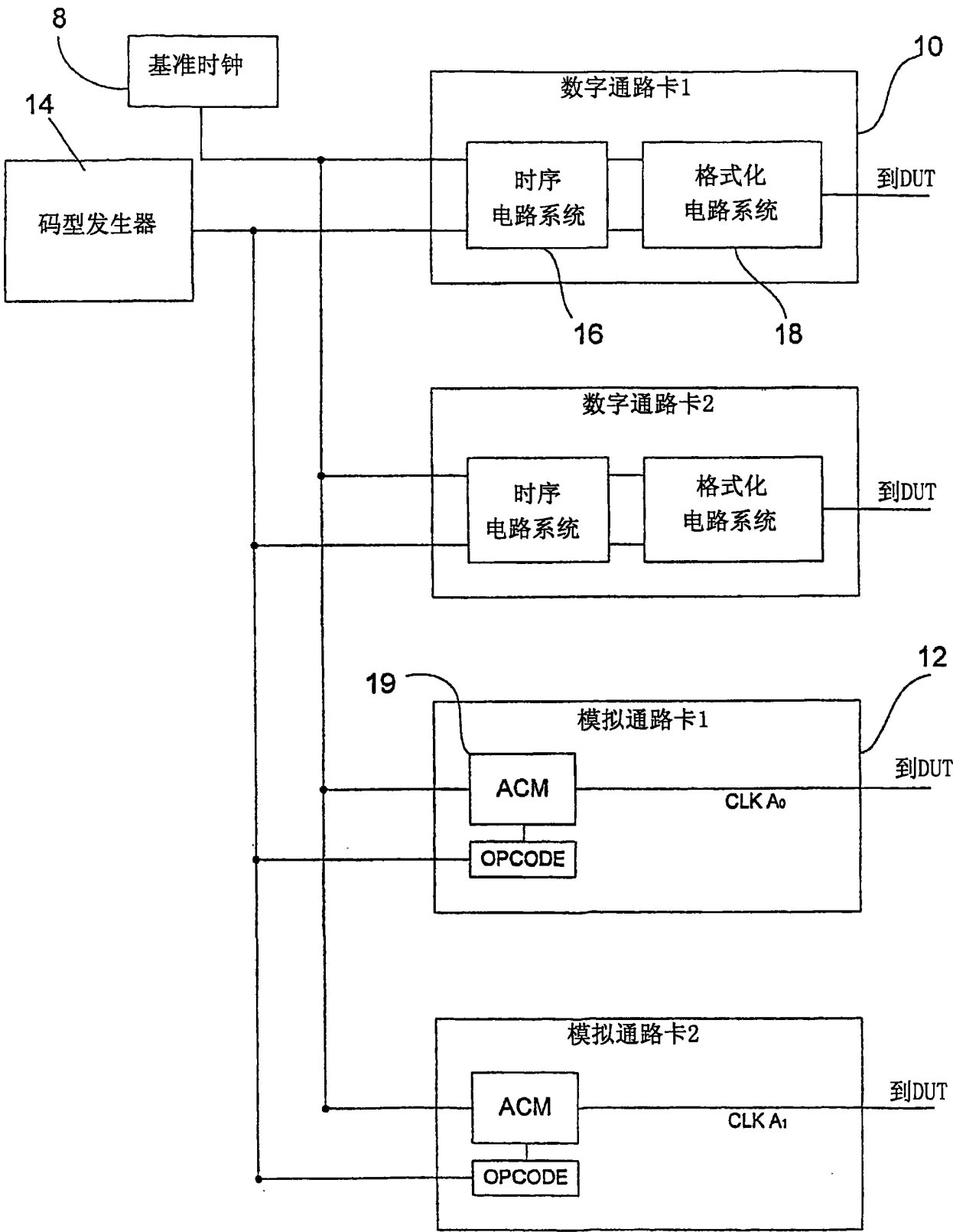


图1
(现有技术)

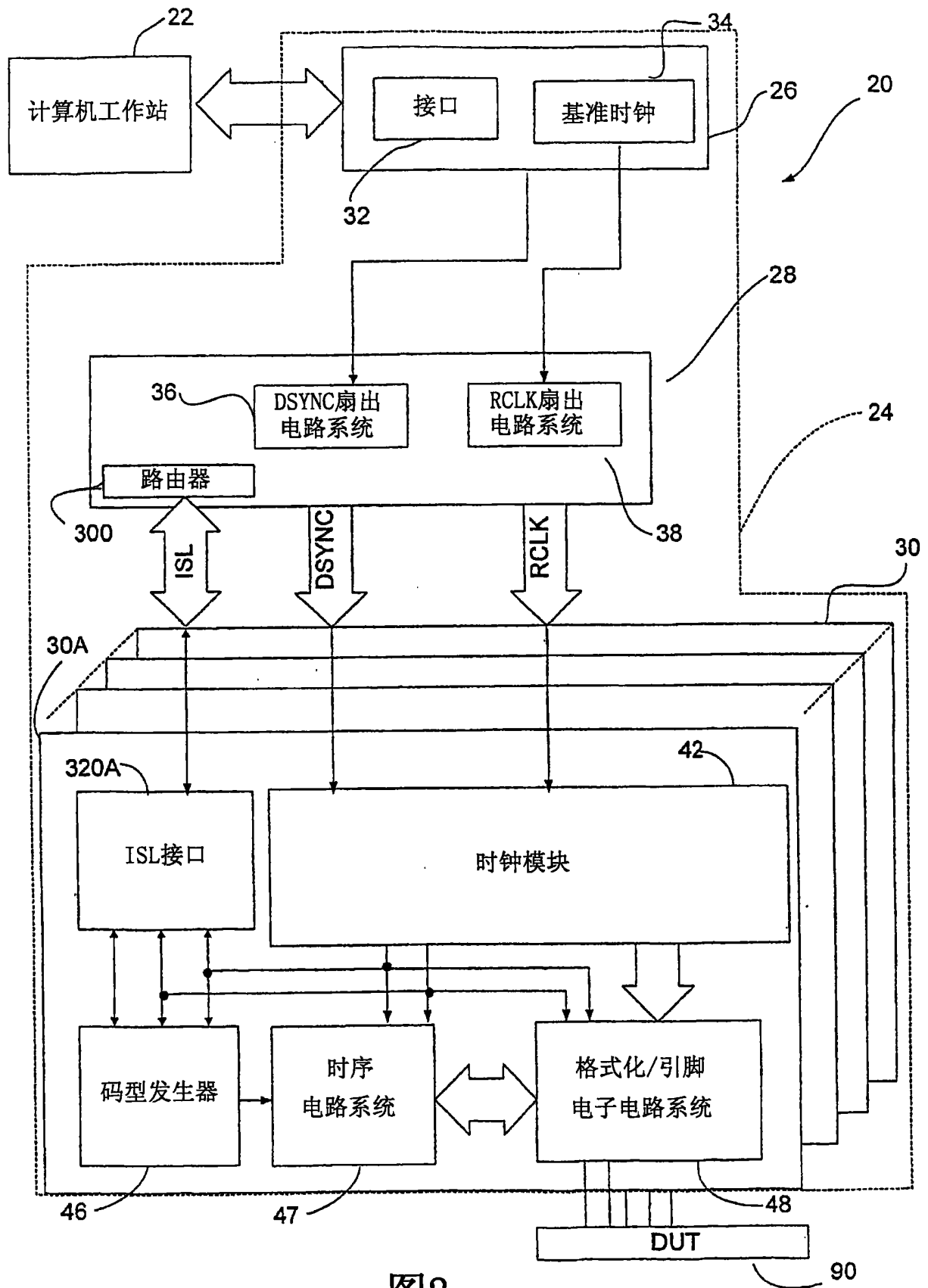


图2

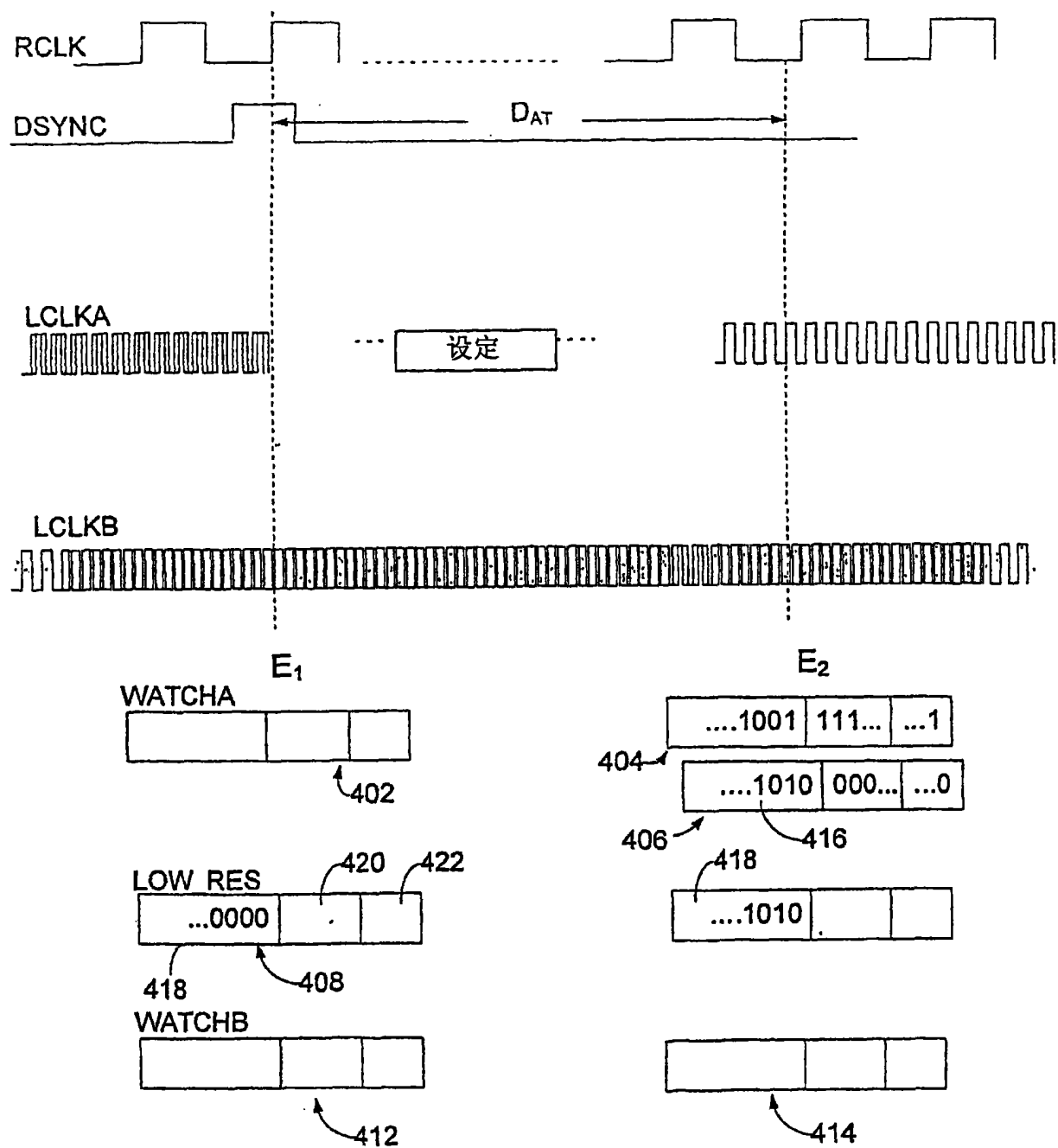


图4A

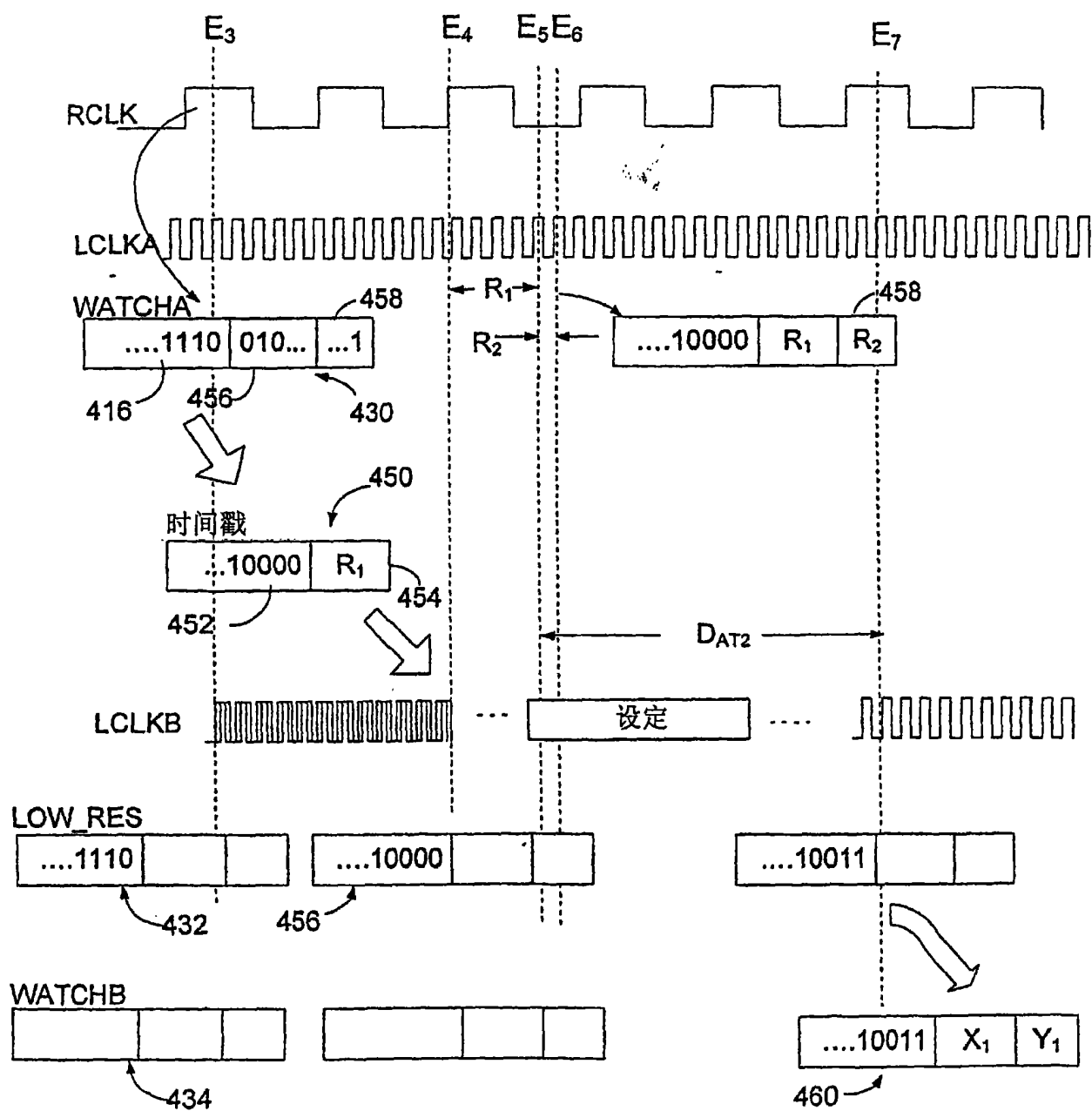


图4B

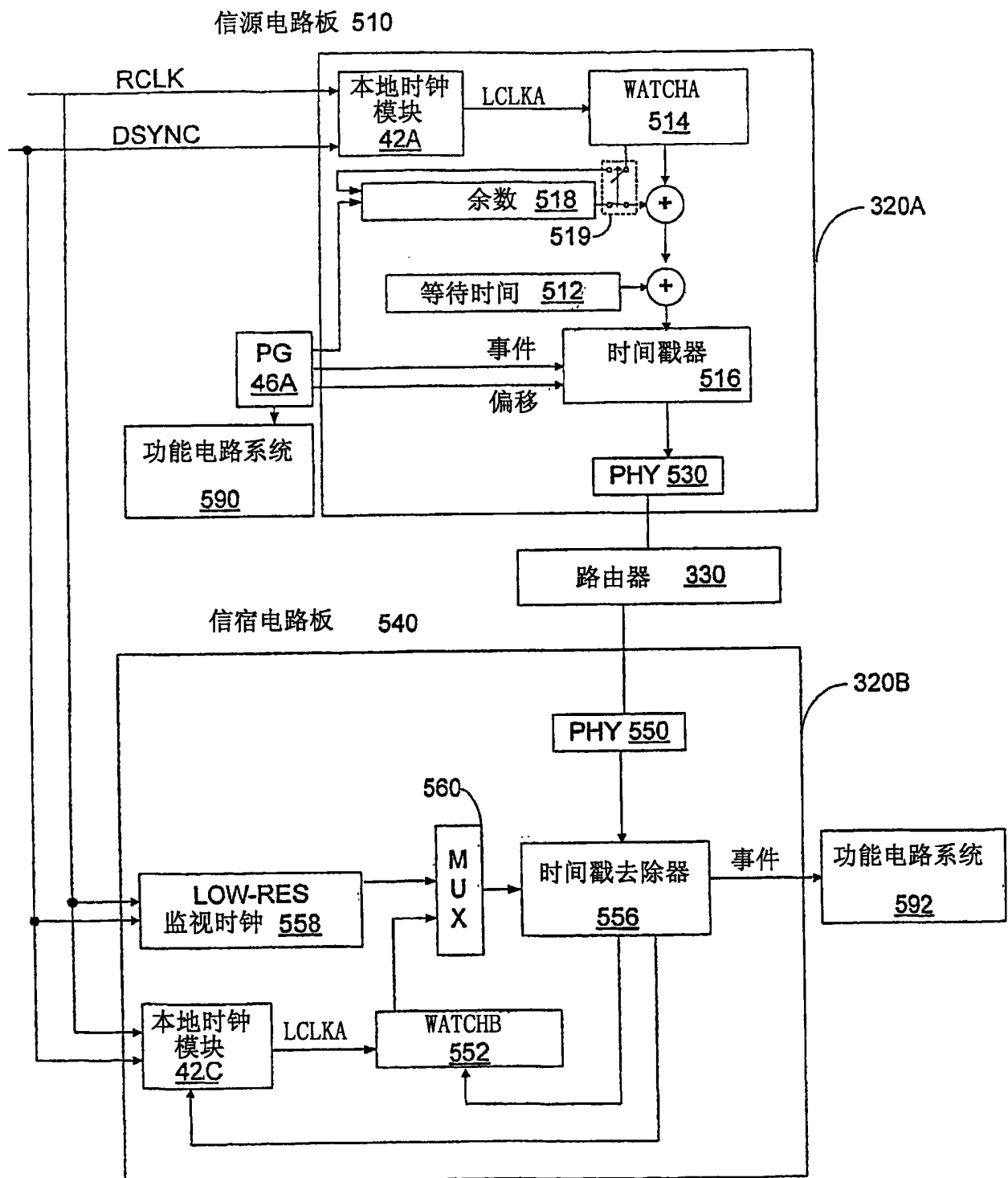


图5

