



Europäisches Patentamt
European Patent Office
Office européen des brevets



⑪ Veröffentlichungsnummer: **0 304 591 B1**

⑫ **EUROPÄISCHE PATENTSCHRIFT**

⑬ Veröffentlichungstag der Patentschrift: **03.03.93**

⑮ Int. Cl.⁸: **G11C 7/00, G11C 8/00,
G11C 11/419**

⑰ Anmeldenummer: **88110680.7**

⑱ Anmeldetag: **07.07.88**

② Halbleiterspeicher mit einer Signalwechsel-Erkennungsschaltung.

⑳ Priorität: **18.08.87 DE 3727548**

A-57 100 688

㉑ Veröffentlichungstag der Anmeldung:
01.03.89 Patentblatt 89/09

㉒ Patentinhaber: **SIEMENS AKTIENGESELL-
SCHAFT**
Wittelsbacherplatz 2
W-8000 München 2(DE)

㉓ Bekanntmachung des Hinweises auf die
Patenterteilung:
03.03.93 Patentblatt 93/09

㉔ Erfinder: **Mattausch, Hans-Jürgen, Dr. rer. nat.**
Am Brunnen 25
W-8011 Kirchheim(DE)

㉕ Benannte Vertragsstaaten:
AT DE FR GB IT NL

㉖ Entgegenhaltungen:
EP-A- 0 107 415
EP-A- 0 139 385
US-A- 4 558 435

**PATENT ABSTRACTS OF JAPAN, Band 7, Nr.
216 (P-225)[1361], 24. September 1983; & JP-
A-58 108 091**

**IBM TECHNICAL DISCLOSURE BULLETIN,
Band 30, Nr. 1, Juni 1987, Seiten 304-305,
New York, US; "Power reduction scheme
with data-dependent write"**

**PATENT ABSTRACTS OF JAPAN, Band 6, Nr.
188 (P-144)[1066], 28. September 1982; & JP-**

EP 0 304 591 B1

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

Die Erfindung bezieht sich auf einen Halbleiterspeicher mit einer Signalwechsel-Erkennungsschaltung nach dem Oberbegriff des Patentanspruchs 1.

Ein Halbleiterspeicher dieser Art ist aus der EP-A-0 107 415 bekannt. Dort wird in der Signalwechsel-Erkennungsschaltung aus jedem Adreßsignalwechsel ein Ausgangssignal abgeleitet, das zunächst einem ersten Steuereingang der Vorladeschaltung zugeführt wird, an dem es eine Deaktivierung derselben veranlaßt. Andererseits wird das Ausgangssignal über eine Verzögerungseinheit einem zweiten Steuereingang der Vorladeschaltung zugeführt, an dem es eine Reaktivierung derselben bewirkt. Die Verzögerungseinheit verzögert das Ausgangssignal dabei um eine feste Zeitspanne, die für den zeitaufwendigsten Speicherzugriff vorgesehen werden muß.

Der Erfindung liegt die Aufgabe zugrunde, einen Halbleiterspeicher der eingangs genannten Art anzugeben, bei dem eine aus Signalwechseln abgeleitete Taktung der Vorladeschaltung wesentlich besser auf die tatsächliche Dauer der einzelnen Speicherzugriffe abgestimmt werden kann, als das bei dem vorstehend erwähnten, bekannten Halbleiterspeicher der Fall ist. Das wird erfindungsgemäß durch eine Ausbildung nach dem Kennzeichen des Patentanspruchs 1 erreicht.

Der mit der Erfindung erzielbare Vorteil liegt insbesondere darin, daß die Reaktivierung der Vorladeschaltung baldmöglichst nach der Beendigung jedes einzelnen Speicherzugriffs erfolgen kann, so daß der Speicher in jeweils kürzester Zeit für einen neuen Zugriff wieder zur Verfügung steht. Ein weiterer Vorteil besteht darin, daß die extrem schnelle Reaktivierung der Vorladeschaltung auch unabhängig von der Anzahl der Speicherzellen im Speicherfeld und damit unabhängig von der hierdurch bedingten unterschiedlichen Dauer der Speicherzugriffe gewährleistet ist.

Bevorzugte Ausgestaltungen und Weiterbildungen der Erfindung sind in den Patentansprüchen 2 bis 13 angegeben.

Die Erfindung wird nachfolgend anhand der in der Zeichnung dargestellten, bevorzugten Ausführungsbeispiele näher erläutert. Dabei zeigt:

- Fig. 1 das Blockschaltbild eines erfindungsgemäßen Halbleiterspeichers,
- Fig. 2 die Prinzipschaltung einer Speicherzelle des Speichers nach Fig. 1,
- Fig. 3 Spannungs-Zeit-Diagramme zur Erläuterung der Wirkungsweise des Speichers nach Fig. 1,
- Fig. 4 das Prinzipschaltbild einer Teilschaltung von Fig. 1,
- Fig. 5 das Prinzipschaltbild einer anderen Teilschaltung von Fig. 1 und

Fig. 6 eine alternative Ausbildung der Teilschaltung nach Fig. 5.

In Fig. 1 bezeichnet 1 ein Speicherfeld, das aus einer Vielzahl von z.B. nach Fig. 2 ausgebildeten, statischen Speicherzellen in komplementärer Schaltungstechnik aufgebaut ist. Jede dieser Speicherzellen weist gemäß Fig. 2 zwei kreuzgekoppelte Inverter auf, von denen der erste aus der Serienschaltung zweier Feldeffekttransistoren T1 und T2 besteht, der zweite aus der Serienschaltung zweier Feldeffekttransistoren T3 und T4. Die Sourceanschlüsse der p-Kanal-Transistoren T1 und T3 sind mit einem Anschluß 2 verbunden, der mit einer Versorgungsspannung V_{DD} von z.B. 5 V beschaltet ist. Die Sourceanschlüsse der n-Kanal-Transistoren T2 und T4 liegen an einem Anschluß 3, der mit dem Bezugspotential V_{SS} beschaltet ist. Die Drainanschlüsse von T1 und T2 sind in einem Knoten 4 miteinander verbunden, die Drainanschlüsse der Transistoren T3 und T4 in einem Knoten 5. Zur Realisierung der Kreuzkopplung sind die miteinander verbundenen Gateanschlüsse von T1 und T2 mit dem Knoten 5 verbunden und die miteinander verbundenen Gateanschlüsse von T3 und T4 mit dem Knoten 4. Die Knoten 4 und 5 sind jeweils über die Source-Drain-Strecken von n-Kanal-Auswahltransistoren T5 und T6 mit Datenleitungen L und \bar{L} verbunden. Dabei werden die Gates von T5 und T6 über eine Wortleitung WL angesteuert.

Die Speicherzellen sind im Speicherfeld 1 zeilen- und spaltenweise zusammengefaßt, und zwar derart, daß sämtliche Speicherzellen einer Zeile an einer gemeinsamen Wortleitung WL liegen, während sämtliche Speicherzellen einer Spalte ein gemeinsames Datenleitungspaar L, \bar{L} aufweisen. Die Wortleitungen sämtlicher Zeilen des Speicherfeldes 1 sind in Fig. 1 mit WL_i bezeichnet, die Datenleitungspaare L, \bar{L} sämtlicher Spalten mit L_j, \bar{L}_j . Die Datenleitungspaare L_j, \bar{L}_j sind einerseits mit den Eingängen eines Leseverstärkers 6 und andererseits mit den Ausgängen einer Einschreibschaltung 7 beschaltet. Weiterhin sind sie mit den Ausgängen 8 einer Vorladeschaltung 9 verbunden, über die sie mit einem vorgegebenen Potential beaufschlagt werden können. Die Vorladeschaltung 9 enthält beispielsweise n-Kanal-Transistoren, deren Sourceanschlüsse die Ausgänge 8 darstellen, wobei ihre Drainanschlüsse mit der Versorgungsspannung V_{DD} beschaltet sind. Die Steueranschlüsse der n-Kanal-Transistoren sind an einen Steuereingang 10 gelegt. Die Ausgänge 11a, 11b des Leseverstärkers 6 sind über einen Zwischenspeicher 12 und einen Pufferverstärker 13 an einen Datenausgang DA geführt, während ein Dateneingang DE über einen Pufferverstärker 14 mit einem Eingang 15 der Einschreibschaltung 7 in Verbindung steht. Ein Block 16 stellt die Zeilendecodierung dar, ein Block 17 die Spaltendecodierung und

die Schreib/Lese-Steuerung des Halbleiterspeichers.

Bei einem n-stelligen, das heißt n Bit umfassenden Adreßsignal A sind n Eingänge 16a der Zeilendecodierung 16 über n Leitungen 18 und n Pufferverstärker 19 mit n Eingängen 20 verbunden, sowie n Eingänge 17a von 17 über n Leitungen 21 und die Pufferverstärker 19 ebenfalls mit den Eingängen 20. Die Ausgänge der Zeilendecodierung 16 sind mit den Wortleitungen WL_i beschaltet, die Ausgänge der Spaltendecodierung und Schreib/Lese-Steuerung 17 über Ausgangsleitungen 22 und 23 mit den Schaltungseinheiten 6, 7, 12, 13 und 14. Eine weitere Leitung 21 verbindet einen weiteren Eingang 20, an dem ein Schreib-/Lesesignal RW anliegt, mit einem weiteren Eingang 17a von 17. Schließlich ist noch ein Eingang 20 vorgesehen, dem ein Chip-Select-Signal CS zugeführt wird und der über zusätzliche Leitungen 18 und 21 mit zusätzlichen Eingängen 16a und 17a verbunden ist.

Insgesamt sind also $n + 2$ Eingänge 20 vorgesehen, die mit den Eingängen von $n + 2$ gleichartig aufgebauten Signalwechsel-Erkennungsschaltungen 24 verbunden sind, deren gemeinsamer Ausgang 25 mit einem ersten Eingang eines Taktspannungsgenerators 26 beschaltet ist. Ein zweiter Eingang 27 des Taktspannungsgenerators 26 ist mit dem Ausgang 28a einer Steuerschaltung 28 verbunden, deren Eingänge an den Ausgängen 11a und 11b des Leseverstärkers 6 liegen. Ein erster Ausgang 29 von 26 ist mit dem Steuereingang 10 der Vorladeschaltung 9 beschaltet, während ein zweiter Ausgang 30 von 26 über eine Leitung 31 mit einem Eingang der Spaltendecodierung und Schreib/Lese-Steuerung 17 verbunden ist und zusätzlich über eine Leitung 32 mit einem Eingang 16b der Zeilendecodierung 16 verbunden sein kann. Die Ausgangsleitung 22 von 17 ist auch mit einem weiteren Eingang der Steuerschaltung 28 verbunden.

Beim Adressieren einer Speicherzelle, z.B. T1 bis T6, zum Zweck des Auslesens eines in dieser gespeicherten Signals über DA, wird den Eingängen 20 ein entsprechendes Adreßsignal A zugeführt, das sich von dem vorher anliegenden Adreßsignal unterscheidet, so daß ein Adreßsignalwechsel erfolgt. Dieser wird in Fig. 3 durch den Schnittpunkt 33 zweier über der Zeit t aufgetragener Spannungsverläufe dargestellt. Der eine Spannungsverlauf U1 kann dabei ein Bit eines ersten Adreßsignals darstellen, das zum Zeitpunkt t1 von einem oberen Spannungswert, zum Beispiel einer "1", auf einen unteren Spannungswert, z.B. eine "0", übergeht, während der andere Spannungsverlauf U2 ein Bit eines zweiten Adreßsignals veranschaulicht, das zum Zeitpunkt t1 von "0" auf "1" geht.

Wenigstens eine der Signalwechsel-Erkennungsschaltungen 24 leitet aus dem Adreßsignalwechsel zum Zeitpunkt t1 ein impulsförmiges Ausgangssignal 34 ab, dessen fallende Flanke (Übergang von "1" auf "0") um eine Zeitspanne D1 gegenüber t1 verzögert ist. Der Taktspannungsgenerator gibt an seinem Ausgang 29 vor dem Zeitpunkt t1 eine erste Taktspannung \emptyset_{VL} ab, die dem Steuereingang 10 der Vorladeschaltung zugeführt wird. \emptyset_{VL} weist dabei einen Spannungspegel "1" auf, der die Vorladeschaltung 9 aktiviert, so daß die Datenleitungen L_i , \bar{L}_i auf ein vorgegebenes Potential vorgeladen werden. Die fallende Flanke des Ausgangssignals 34 bewirkt nach einer Verzögerungszeit von D2 eine Umschaltung der ersten Taktspannung \emptyset_{VL} auf einen Spannungspegel "0" und damit eine Deaktivierung der Vorladeschaltung 9, das heißt die Abschaltung der Datenleitungen von einer die Vorladung bewirkenden Spannungsquelle. Gleichzeitig wird eine zweite Taktspannung \emptyset_{DK} , die am Ausgang 30 auftritt, von einem Spannungspegel "0" auf einen Spannungspegel "1" geschaltet, was zu einer Aktivierung der Spaltendecodierung und Schreib/Lese-Schaltung 17 und, wenn eine interne Taktung der Zeilendecodierung vorgesehen ist, zu einer Aktivierung von 16 führt. Damit ist die gewünschte Speicherzelle adressiert und der Speicherzugriff kann erfolgen. Da es sich hierbei um einen Auslesevorgang handelt, sind neben der Selektion der zu der adressierten Speicherzelle gehörenden Datenleitungen, z.B. L und \bar{L} , auch der Leseverstärker 6 und die Schaltungseinheiten 12 und 13 aktiviert, was mittels des Schreib-/Lesesignals RW geschieht, das auf einen ersten Spannungspegel umgeschaltet wird, während die Schreibschaltung 7 und der Pufferverstärker 14 deaktiviert bleiben. Die Zeilendecodierung 16 braucht dann nicht mittels der Taktspannung \emptyset_{DK} aktiviert bzw. deaktiviert zu werden, wenn die einzelnen Speicherzellen so dimensioniert sind, daß die an der zur Vorladung dienenden Spannungsquelle liegenden Datenleitungen zusammen mit einer selektierten Wortleitung nicht zu einer Verfälschung der gespeicherten Signale in den an der selektierten Wortleitung liegenden Speicherzellen führen können.

Die Steuerschaltung 28 wertet das an den Ausgängen 11a und 11b des Leseverstärkers 6 auftretende, gelesene Signal LA, $\bar{L}\bar{A}$ aus. Sie erkennt, ob eine gewisse Signalamplitude überschritten wird. Ist das der Fall, so geht das Ausgangssignal \emptyset_R der Steuerschaltung 28 von "1" auf "0". Gemäß Fig. 3 tritt dies zum Zeitpunkt t2 auf. Mittels der fallenden Flanke 60 von \emptyset_R wird der Taktspannungsgenerator 26 über seinen Eingang 27 so angesteuert, daß zunächst nach einer Verzögerungszeit D3 die Taktspannung \emptyset_{DK} von "1" auf "0" geschaltet wird und nach einer D3 übersteigenden

Verzögerungszeit D4 die Taktspannung ϕ_{VL} wieder von "0" auf "1" zurückgeschaltet wird. Schließlich wird bei Beendigung des Speicherzugriffs, d.h. beim Verschwinden des Ausgangssignals LA, \overline{LA} das Ausgangssignal ϕ_R von "0" auf "1" umgeschaltet, wodurch der Taktspannungsgenerator 26 für das Erkennen eines neuen Ausgangssignals 34' der Signalwechsel-Erkennungsschaltung 24 wieder sensibilisiert wird.

Unter der Annahme, daß in der adressierten Speicherzelle T1 bis T6 vor dem Zeitpunkt t1 eine "1" gespeichert war, wobei der Knoten 4 zum Beispiel mit der Versorgungsspannung V_{DD} belegt ist und der Knoten 5 auf Bezugspotential liegt, und unter der weiteren Annahme, daß die Datenleitungen L und \overline{L} vor t1 etwa auf die halbe Versorgungsspannung V_{DD} vorgeladen worden waren, läuft der Auslesevorgang im einzelnen so ab, daß bei leitend geschalteten Transistoren T5 und T6 die Datenleitung \overline{L} über den Transistor T6 auf das Bezugspotential entladen wird, während sich die Datenleitung L über den Transistor T5 auf die Versorgungsspannung V_{DD} , verringert um die n-Kanal-Transistoreinsatzspannung V_{th} , auflädt. Die Differenz zwischen den sich auf den beiden Datenleitungen L und \overline{L} einstellenden Potentialen wird im Leseverstärker bewertet. An den Ausgängen 11a und 11b desselben tritt dann das Differenzsignal LA- \overline{LA} auf. Das Signal LA wird in Fig. 3 durch einen den mittleren Signalwert U_M überschreitenden Spannungsverlauf angedeutet, \overline{LA} durch einen U_M unterschreitenden Spannungsverlauf.

Das Ausgangssignal LA, \overline{LA} gelangt über die Ausgänge 11a, 11b an den Zwischenspeicher 12 und wird über dessen Ausgang und den Pufferverstärker 13 an den Datenausgang DA übertragen. An diesem steht es dann so lange zur Verfügung, bis an den Ausgängen 11a, 11b ein neues Signal auftritt, das seinerseits in den Zwischenspeicher 12 übernommen wird.

Soll in eine Speicherzelle ein Signal eingeschrieben werden, so bewirkt die Zuführung des dieser Speicherzelle zugeordneten Adreßsignals einen Adreßsignalwechsel, der wieder zu einem Ausgangssignal 34 und im zeitlichen Abstand von D2 von dessen fallender Flanke zu einer Deaktivierung der Vorladeschaltung mittels ϕ_{VL} sowie zu einer Aktivierung der Blöcke 16 und 17 mittels ϕ_{DK} führt. Damit ist diese Speicherzelle adressiert. Weiterhin wird das Signal R/W auf einen zweiten Spannungspegel umgeschaltet, der einen Einschreibvorgang kennzeichnet, so daß auch bei nicht geänderten Adreßsignalen A ein Ausgangssignal 34 der Schaltung 24 erzeugt wird. Durch den zweiten Spannungspegel von R/W werden die Blöcke 6, 7 und 14 aktiviert, während 12 und 13 deaktiviert bleiben. Das einzuschreibende Signal gelangt nun über 14, 15 und 7 auf das selektierte Datenleitungspaar L, \overline{L}

und auf die Eingänge des Leseverstärkers 6, was zur Abgabe eines Ausgangssignals LA, \overline{LA} an den Ausgängen 11a und 11b führt. Die Steuerschaltung 28 wertet dieses Ausgangssignal wieder dadurch aus, daß ϕ_R von "1" auf "0" geht. Dabei steuert die fallende Flanke 60 den Taktspannungsgenerator 26 so an, daß ϕ_{DK} von "1" auf "0" und ϕ_{VL} von "0" auf "1" zurückgeschaltet werden. Beim Verschwinden des Ausgangssignals an 11a und 11b wird ϕ_R von "0" auf "1" umgeschaltet, so daß der Taktspannungsgenerator 26 wieder ein neues Signal 34' der Schaltung 24 erkennen kann.

Fig. 4 zeigt ein Beispiel eines Taktspannungsgenerators 26 in komplementärer Schaltungstechnik. Das Ausgangssignal 34 der Signalwechsel-Erkennungsschaltung wird hier auf das Gate eines p-Kanal-Transistors P1 geführt, dessen Source über einen Anschluß 35 mit der Versorgungsspannung V_{DD} belegt ist und dessen Drain mit einem internen Knoten K1 verbunden ist. Das Ausgangssignal ϕ_R der Steuerschaltung 28 ist auf einen ersten Eingang eines NAND-Gatters 36 gelegt, dessen Ausgang mit dem Gate eines n-Kanal-Transistors N1 verbunden ist. Source und Drain von N1 sind an das Bezugspotential V_{SS} bzw. an den internen Knoten K1 angeschlossen. Ein zweiter Eingang 37 des Gates 36 ist zweckmäßigerweise mit einem Signal CS belegt, das als "Chip select"-Signal bezeichnet wird. Nimmt CS den Wert "1" an, so ist der Halbleiterspeicher als solcher aktiviert, während ein Wert "0" die Unwirksammachung des Speichers bedeutet. Eine aus den Invertern I1 und I2 bestehende Halteschaltung ist mit dem Knoten K1 verbunden. K1 ist über einen Pufferverstärker 38 mit dem Ausgang 30 beschaltet, an dem die Taktspannung ϕ_{DK} zur Verfügung steht. Weiterhin ist K1 direkt mit dem ersten Eingang eines NOR-Gatters 39 und über eine Verzögerungsschaltung 40, z.B. eine Inverterkette, mit einem zweiten Eingang von 39 verbunden. Der Ausgang von 39 ist über einen Pufferverstärker 41 an den Ausgang 29 geführt, an dem die Taktspannung ϕ_{VL} abgegriffen wird. Durch die Schaltungsteile 39 und 40 erhält man eine Verzögerung der ansteigenden Flanke 42 von ϕ_{VL} gegenüber der abfallende Flanke 43 von ϕ_{DK} , die erforderlich ist, um sicherzustellen, daß die Decodierung des Speichers abgeschaltet ist, bevor die Vorladeschaltung 9 eingeschaltet wird.

Der Zustand des Knotens K1 läßt sich über die Transistoren N1 und P1 auf "0" oder "1" setzen. Dabei setzt die fallende Flanke des Ausgangssignals 34 durch Leitendenschaltung von P1 den Knoten K1 auf "1". Durch weitere Ausgangssignale 34 wird dieser Zustand dann nicht mehr geändert. Mit dem auf "1" gesetzten Knoten K1 werden ϕ_{VL} auf "0" und ϕ_{DK} auf "1" gesetzt, so daß die Vorladeschaltung 9 deaktiviert und die Decodierungen 16, 17 aktiviert werden. Andererseits bewirken die Zu-

stände $\varnothing_R = 0$ (Steuerschaltung erkennt ein Ausgangssignal LA, \overline{LA} des Leseverstärkers 6) oder $CS = 0$ (Speicher ist nicht mehr aktiviert) die Leitendschaltung von N1 und ein Rücksetzen des Knotens K1 auf "0". Dies hat die Zustände $\varnothing_{DK} =$

"0" und $\varnothing_{VL} = "1"$ und somit ein Abschalten der Decodierung und ein Einschalten der Vorladeschaltung 9 zur Folge.
Mit $CS = "0"$ oder $\varnothing_R = "0"$ muß K1 auch bei gleichzeitig eingeschaltetem Transistor T1 sicher in den logischen Zustand "0" gebracht werden. Dies setzt voraus, daß N1 im leitenden Zustand einen wesentlichen kleineren Widerstand zwischen seinem Source- und seinem Drainanschluß aufweist, als der Transistor P1. Weiterhin sind N1 und P1 so zu dimensionieren, daß sie deutlich mehr Strom liefern als der Inverter I2.

In der Schaltung nach Figur 4 tritt bei gleichzeitig leitenden Transistoren P1 und N1 ein Querstrom und damit eine unerwünschte Verlustleistung auf. Um das zu vermeiden, wird zweckmäßigerweise der Anschluß 35 über einen p-Kanal-Transistor P2 mit einem Anschluß 35' verbunden, der anstelle von 35 mit der Versorgungsspannung V_{DD} beschaltet ist. Das Gate von P2 ist dann mit dem Ausgang des NAND-Gatters 36 verbunden. P2 dient als Schalttransistor, der bei leitend geschaltetem Transistor N1 die Versorgungsspannung V_{DD} vom Anschluß 35 abschaltet. Damit wird das Auftreten eines Querstromes verhindert.

Fig. 5 zeigt eine bevorzugte Ausführungsform der Steuerschaltung 28 und eine zweckmäßige schaltungstechnische Durchbildung des Leseverstärkers 6. Der Leseverstärker 6 weist dabei 2n Datenleitungseingänge auf, von denen die ersten beiden mit E_1 und E_1' bezeichnet und mit den Datenleitungen L_1 und \overline{L}_1 der ersten Spalte des Speicherfeldes 1 beschaltet sind. Die Eingänge E_n und E_n' sind mit den Datenleitungen L_n und \overline{L}_n der n-ten Spalte verbunden. Den Eingängen E_1 und E_1' sind drei n-Kanal-Transistoren $N1_1$, $N2_1$ und $N3_1$ zugeordnet, von denen die beiden ersten mit ihren Sourceanschlüssen an einem Knoten 42a liegen. Der Drainanschluß von $N2_1$ ist mit dem Ausgang 11a verbunden, der Drainanschluß von $N1_1$ mit dem Ausgang 11b. Das Gate von $N1_1$ ist mit dem Eingang E_1 beschaltet, das Gate von $N2_1$ mit dem Eingang E_1' . Der Knoten 42a ist mit dem Drainanschluß des Fußpunkttransistors $N3_1$ beschaltet, dessen Source über einen Anschluß 43a auf Bezugspotential gelegt ist. Das Gate von $N3_1$ ist über einen Anschluß 44 mit einem ersten Ausgang der Spaltendecodierung 17 beschaltet, an dem eine "1" anliegt, wenn das Datenleitungspaar L_1 , \overline{L}_1 selektiert ist. Den weiteren Datenleitungseingängen des Leseverstärkers 6 sind in analoger Weise n-Kanal-Transistoren zugeordnet, die in entsprechender Weise mit 11a und 11b verbunden

sind, wobei die Gateanschlüsse der Fußpunkttransistoren jeweils an den übrigen Ausgängen der Spaltendecodierung 17 liegen. In Fig. 5 sind die den Eingängen E_n und E_n' zugeordneten n-Kanal-Transistoren mit $N1_n$, $N2_n$ und $N3_n$ bezeichnet. Der Gateanschluß des Fußpunkttransistors $N3_n$ hat das Bezugszeichen 45, während 46 den auf Bezugspotential liegenden Sourceanschluß von $N3_n$ bezeichnet.

Der Ausgang 11b ist mit dem Drainanschluß eines p-Kanal-Transistors PL1 verbunden, dessen Sourceanschluß an einem Knoten 47 liegt. Analog hierzu ist der Ausgang 11a mit dem Drainanschluß eines p-Kanal-Transistors PL2 beschaltet, dessen Sourceanschluß mit dem Knoten 47 verbunden ist. Der Gateanschluß von PL1 ist mit dem Drainanschluß von PL2 beschaltet, der Gateanschluß PL2 von mit dem Drainanschluß von PL1. Der Knoten 47 ist über die Source-Drain-Strecke eines weiteren p-Kanal-Transistors PS1 an einen Anschluß 48 geführt, der mit der Versorgungsspannung V_{DD} beschaltet ist. Weiterhin sind die Ausgänge 11a und 11b über die Source-Drain-Strecke eines n-Kanal-Feldeffekttransistors N2 miteinander verbunden, wobei die Gates von PS1 und N2 an einen Anschluß 49 gelegt sind. Die Transistoren PL1 und PL2 stellen einen p-Kanal-Lastteil 50 des Leseverstärkers 6 dar. An den Ausgängen 11a und 11b sind gemäß Figur 1 ein Zwischenspeicher 12 und ein Pufferverstärker 13 angeschlossen, dessen Ausgang den Datenausgang DA darstellt.

Die in Fig. 5 gezeigte Ausführungsform der Steuerschaltung 28 enthält drei n-Kanal-Transistoren NE1, NE2 und NE3, von denen die beiden ersten mit ihren Sourceanschlüssen an einem Knoten 51 gelegt sind, wobei der Drainanschluß von NE1 an einem Knoten 52 und der Drainanschluß von NE2 an einem Knoten 53 liegen. Der Gateanschluß von NE1 ist mit dem Ausgang 11a verbunden, der Gateanschluß von NE2 mit dem Ausgang 11b. Der Knoten 51 ist über die Source-Drain-Strecke von NE3 mit einem Anschluß 54 verbunden, der auf Bezugspotential V_{SS} liegt. Der Gateanschluß von NE3 ist mit 55 bezeichnet. Der Knoten 52 ist über die Source-Drain-Strecke eines p-Kanal-Transistors PE1 mit einem Anschluß 56 verbunden, der mit der Versorgungsspannung V_{DD} beschaltet ist. Analog hierzu ist der Knoten 53 über die Source-Drain-Strecke eines p-Kanal-Transistors PE2 mit einem Anschluß 57 verbunden, dem ebenfalls die Versorgungsspannung zugeführt wird. Dabei sind das Gate von PE1 mit dem Drainanschluß von PE2 verbunden und das Gate von PE2 mit dem Drainanschluß von PE1. Die Knoten 52 und 53 sind über die Source-Drain-Strecke eines p-Kanal-Transistors PE3 miteinander verbunden, dessen Gate an den Anschluß 55 gelegt ist. Weiterhin sind die Knoten 52 und 53 über Inverter I3 bzw. I4

an die Eingänge eines NOR-Gatters 58 geführt, dessen Ausgang über einen Pufferverstärker 59 mit dem Ausgang 28a in Verbindung steht.

In der Vorladephase, d.h. mit $\varnothing_{VL} = "1"$ und $\varnothing_{DK} = "0"$, sind alle Fußpunkttransistoren $N3_1$ bis $N3_n$ des Leseverstärkers 6 gesperrt. Der Anschluß 49 ist mit einer "1" belegt, so daß die Ausgänge 11a und 11b über den Transistor N2 kurzgeschlossen sind und die Versorgungsspannung V_{DD} über den gesperrten Transistor PS1 abgeschaltet ist. Der Gateanschluß 55 von NE3 ist mit einer "0" belegt, so daß NE3 sperrt und PE3 leitet. Damit liegen die Knoten 52 und 53 jeweils auf dem Potential $V_{DD}-V_1$, wobei V_1 die Einsatzspannung von PE1 bzw. PE2 bedeutet. Die Inverter I3 und I4 bewerten das Potential an 52 bzw. 53 jeweils als "1", so daß das an 28a abgreifbare Ausgangssignal \varnothing_R ebenfalls "1" ist.

Beim Adressieren einer Speicherzelle wird derjenige Fußpunkttransistor, der zu der selektierten Spalte gehört, leitend geschaltet. Dabei wird das am Anschluß 49 anliegende Signal von "1" auf "0" umgeschaltet. Hierdurch werden die Ausgänge 11a und 11b voneinander entkoppelt, wobei durch die Leitenschaltung von PS1 die Versorgungsspannung V_{DD} an den Knoten 47 angelegt wird. Weiterhin wird das am Gateanschluß 55 anliegende Signal, das zu dem bei 49 anliegenden Signal invertiert ist, von "0" auf "1" umgeschaltet. Damit wird der Transistor NE3 leitend geschaltet, während der Transistor PE3 sperrt. Da sich die Potentiale auf den selektierten Datenleitungen in Abhängigkeit von dem auszulesenden Signal in jeweils entgegengesetzter Richtung ändern, ist das auch an den Ausgängen 11a und 11b des einen Differenzverstärker darstellenden Leseverstärkers 6 der Fall. Die dort auftretenden gegenläufigen Potentialänderungen sind in Fig. 3 als LA und \overline{LA} bezeichnet. Da in Abhängigkeit von dem auszulesenden Signal entweder LA oder \overline{LA} sich in Richtung auf das Bezugspotential verändert und eine entsprechende Potentialänderung auch am Knoten 52 oder 53 auftritt, wird die Ansprechschwelle eines der Inverter I3 oder I4 hierdurch unterschritten. Der betreffende Inverter erkennt damit ein Eingangssignal "0" und legt eine "1" an den ihm nachgeordneten Eingang des NOR-Gatters 58. Dabei wird das am Ausgang 28a auftretende Signal \varnothing_R von "1" auf "0" umgeschaltet. Diese Umschaltung, die in Fig. 3 durch die fallende Flanke 60 von \varnothing_R angedeutet ist, bewirkt, daß nach dem Ablauf der Verzögerungszeit D3 der Transistor N1 leitend geschaltet wird, so daß der Knoten K1 (Fig. 4) auf "0" gesetzt wird und damit \varnothing_{DK} abgeschaltet wird, was weiterhin die Sperrung des dem selektierten Datenleitungspaar zugeordneten Fußpunkttransistors des Leseverstärkers 6 zur Folge hat. In Abhängigkeit von der fallenden Flanke 60 wird andererseits nach dem

Ablauf der Verzögerungszeit D4 die Taktspannung \varnothing_{VL} wieder eingeschaltet. Nach dem Ablauf von D3 werden außerdem die Transistoren N2 und PE3 leitend geschaltet, so daß die Potentialdifferenz an den Ausgängen 11a und 11b sowie an den Knoten 52 und 53 verschwindet. Die Potentiale an 52 und 53 stellen sich auf den Wert $V_{DD}-V_1$ ein, wodurch beide Inverter I3 und I4 ihre Eingangssignale wieder als "1" bewerten und \varnothing_R auf "1" umgeschaltet wird. Durch diesen Umschaltvorgang wird das NAND-Gatter 36 auf ein Ausgangssignal "0" gesetzt, was zur Sperrung von N1 führt, wobei jedoch der Knoten K1 auf "0" verbleibt, so lange P1 ebenfalls gesperrt ist. Hierdurch ist der Taktspannungsgenerator 26 für das nächstfolgende Ausgangssignal 34 wieder sensibilisiert, da durch die fallende Flanke desselben eine Leitenschaltung von P1 erfolgt, wodurch K1 auf "1" gesetzt wird. Wird der Schalttransistor PS1 in einem im übrigen nach Fig. 5 aufgebauten Leseverstärker 6 weggelassen, so können auch die Schaltungsteile NE1 bis NE3, PE1 bis PE3, 52, 53, 56 und 57 der Steuerschaltung 28 entfallen. Der Eingang von I3 ist in diesem Fall direkt an den Ausgang 11a angeschlossen, der Eingang von I4 direkt an 11b.

Der Lastteil 50 des Leseverstärkers 6 kann in Abweichung von Fig. 5 auch so ausgebildet sein, daß die Gates von PL1 und PL2 miteinander verbunden und an den Drainanschluß von PL1 gelegt sind. Andererseits können die Gates von PL1 und PL2 auch miteinander verbunden und an einen Referenzspannungsanschluß geführt sein. In diesem Fall ist jedoch die im vorstehenden Absatz beschriebene Vereinfachung der Steuerschaltung 28 nicht zulässig.

Fig. 6 zeigt eine weitere Ausführung der Steuerschaltung 28, bei der eine bistabile Schaltungsauslegung, wie sie durch die kreuzgekoppelten Transistoren PE1 und PE2 in Fig. 5 gegeben ist, vermieden wird. Eine erste Differenzverstärkerschaltung, die im Aufbau der in Fig. 5 dargestellten weitgehend entspricht, ist im linken Teil von Fig. 6 dargestellt. Dabei entsprechen die n-Kanal-Transistoren NE11 bis NE13 und die p-Kanal-Transistoren PE11 bis PE13 den Schaltungsteilen NE1 bis NE3 und PE1 bis PE3 in Fig. 5, wobei der Unterschied vorhanden ist, daß die Gateanschlüsse von PE11 und PE12 mit dem Drainanschluß von PE11 verbunden sind. Ein weiterer Unterschied besteht darin, daß der Knoten 53 mit einem Invertereingang verbunden ist, der Knoten 52 jedoch nicht mehr über einen Invertereingang abgegriffen wird. Eine zweite Differenzverstärkerschaltung, die der ersten im Aufbau vollständig entspricht, bildet den rechten Teil der Schaltung nach Fig. 6. Sie enthält n-Kanal-Transistoren NE21 bis NE23 und p-Kanal-Transistoren PE21 bis PE23 in einer dem linken Teil von Fig. 6 entsprechenden Schaltungskonfiguration. Der

Gateanschluß von NE21 ist mit dem Ausgang 11a verbunden, der Gateanschluß von NE22 mit dem Ausgang 11b. Weiterhin ist der auf Bezugspotential V_{SS} liegende Sourceanschluß von NE23 mit 54' bezeichnet. Die Drainanschlüsse von PE21 und PE22 sind mit 52' und 53' bezeichnet. Auch hier ist nur der Knoten 53' mit einem Invertereingang beschaltet, der Knoten 52' dagegen nicht. Die Eingänge zweier Inverter 15 und 16, die den Invertern 13 und 14 von Fig. 5 entsprechen, sind nach Fig. 6 mit den Knoten 53 und 53' verbunden. Die Ausgänge von 15 und 16 liegen an den Eingängen eines NOR-Gatters 61, dessen Ausgang über einen Pufferverstärker 62 an den Ausgang 28a gelegt ist.

Nach Fig. 6 erfolgt eine Vorladung der Knoten 52 und 53 sowie 52' und 53' auf ein Potential $V_{DD}-V_t$, wobei V_t wieder die Einsatzspannung der Transistoren PE11 oder PE12 bzw. PE21 oder PE22 bedeutet. Beim Auslesen einer Speicherzelle sinkt das Potential in Abhängigkeit von dem gespeicherten Signal entweder am Ausgang 11a oder 11b des Leseverstärkers und dementsprechend auch am Knoten 53 oder 53', wobei entweder 15 oder 16 die Potentialverringerung als ein Eingangssignal "0" erkennt und dem nachgeordneten Eingang des NOR-Gatters 61 eine "1" zuführt, was zur Umschaltung des Signals \emptyset_R am Ausgang 28 von "1" auf "0" führt. Beim Anlegen einer "1" an den Anschluß 55 werden die Potentiale an den Knoten 53 und 53' über die leitenden Transistoren PE13 und PE23 wieder auf den Vorladewert $V_{DD}-V_t$ gebracht, so daß \emptyset_R auf den Wert "1" umgeschaltet wird.

Die Anschlüsse 49 und 55 des Leseverstärkers 6 bzw. der Steuerschaltung 28 in Fig. 5 und Fig. 6 sind mit Signalen AG bzw. \overline{AG} beschaltet, das von der Spaltendekodierung und Schreib/Lese-Steuerung 17 aus der Taktspannung \emptyset_{DK} abgeleitet und über die Ausgangsleitungen 22 zugeführt wird. Diese Signale sind "1" bzw. "0" bei aktivierter Schaltung 17, das heißt bei $\emptyset_{DK} = "1"$, und aktivieren damit die Blöcke 6 und 28. Andererseits sind diese Signale "0" bzw. "1" bei deaktivierter Schaltung 17, das heißt bei $\emptyset_{DK} = "0"$, und deaktivieren damit die Blöcke 6 und 28.

Bei einer Ausführungsform der Steuerschaltung nach Figur 5 können Störungen oder fertigungsbedingte Unsymmetrien zwischen den Transistoren NE1 und NE2 oder PE1 und PE2 dazu führen, daß die Schaltung einen ihrer beiden stabilen Zustände einnimmt, ohne daß ein Signalhub an den Schaltungspunkten 11a und 11b auftritt. Diese Gefahr besteht allerdings nur dann, wenn der Transistor PE3 bereits längere Zeit vor dem Auftreten eines Signalhubs an 11a und 11b gesperrt wird. Bei der Schaltung nach Fig. 6 ist diese Gefahr vollständig ausgeschaltet.

Der Aufbau einer Signalwechsel-Erkennungsschaltung 24 ist beispielsweise aus IEEE Journ. of Solid-State Circuits, Vol. SC-19, Okt. 1984, S. 545-551, bekannt. Um nicht nur einen Adreßsignalwechsel, sondern auch einen Wechsel des dem Speicher zugeführten Schreib/Lese-Signals R/W oder des CS-Signals, wenn das letztere von "0" auf "1" umgeschaltet wird, zur Ableitung eines Ausgangssignal 34 heranzuziehen, sind gleichzeitig aufgebaute Schaltungen 24 jedem der $n + 2$ Eingänge 20 nachgeschaltet.

In Abweichung von den bisher anhand von Fig. 5 beschriebenen Ausführungsformen des Leseverstärkers 6 können die Eingänge E_i, E_i' statt mit den Datenleitungen L_i, \overline{L}_i auch mit den Ausgängen einer vorgeschalteten Verstärkerstufe beschaltet sein, die ihrerseits mit den genannten Datenleitungen beschaltet ist. Andererseits kann der in Fig. 5 dargestellte Leseverstärker 6 insofern vereinfacht werden, als nur eine n-Kanal-Transistorschaltung, z.B. die mit den Transistoren N1₁ bis N3₁, vorgesehen ist, sofern die Selektion des gewünschten Datenleitungspaares schon vor dem Eingang, z.B. E1 und E1', des verbleibenden einstufigen Leseverstärkers vorgenommen wird, z.B. in den vorgeschalteten Verstärkerstufen.

Die Schaltschwellen der Inverter 13 bis 16 können in an sich bekannter Weise durch das Verhältnis der Kanalweiten der in ihnen enthaltenen p- und n-Kanal-Transistoren auf einen relativ niedrigen Wert von z.B. 1,5 V eingestellt werden, wenn die Versorgungsspannung V_{DD} etwa 5 V beträgt. Hierdurch wird erreicht, daß das Vorladungspotential an den Knoten 52, 53 und 53', das um die Einsatzspannung V_t niedriger ist als V_{DD} , von den Invertern noch sicher als ein Eingangssignal "1" erkannt wird.

Vorzugsweise kann zwischen dem Ausgang des Pufferverstärkers 19 und den Eingängen 16a und 17a der Zeilendekodierung 16 und der Spaltendekodierung 17 eine Torschaltung 19a vorgesehen sein, die mittels \emptyset_{DK} derart angesteuert wird, daß sie während eines Speicherzugriffs sperrt. Hierdurch wird verhindert, daß während des Speicherzugriffs weitere Adreßsignale zu den Decodierern 16 und 17 gelangen.

Neben den oben beschriebenen Ausführungsformen der Erfindung sind noch weitere von Bedeutung, bei denen die Wortbreite des Speichers größer ist als 1 Bit. Hierbei sind bei einer Wortbreite von m Bit jeweils m Speicherfelder 1, Vorladeschaltungen 9, Leseverstärker 6, Schreibschaltungen 7, Zwischenspeicher 12, Pufferverstärker 13, 14 und Datenaus- bzw. -eingänge DA, DE vorgesehen. Die Ausgänge der Blöcke 16 und 17 sind dann jeweils mit m einander entsprechenden Wort- und Datenleitungen bzw. Leseverstärkern, Schreibschaltungen, Zwischenspeichern und Pufferverstär-

kern verbunden. Dabei wird jedoch die Steuerschaltung 28 zweckmäßigerweise nur an die Ausgänge 11a und 11b eines der m Leseverstärker angeschlossen.

Patentansprüche

1. Halbleiterspeicher mit einer Vielzahl von Speicherzellen, die über Datenleitungen (L_i , \bar{L}_i) wahlweise mit einer Schreibschaltung (7) oder einem Leseverstärker (6) und über die letzteren mit einem Dateneingang (DE) oder -ausgang (DA) verbindbar sind, bei dem eine aktivierbare Vorladeschaltung (9) vorgesehen ist, die im aktivierten Zustand die Datenleitungen auf ein vorgegebenes Potential auflädt, bei dem eine Signalwechsel-Erkennungsschaltung (24) vorhanden ist, die die Vorladeschaltung (9) beim Auftreten eines Signalwechsels deaktiviert, und bei dem die Vorladeschaltung (9) zeitverzögert nach dem Auftreten des Signalwechsels wieder aktiviert wird, **dadurch gekennzeichnet**, daß ein Taktspannungsgenerator (26) vorgesehen ist, der eine erste, die Vorladeschaltung ansteuernde Taktspannung erzeugt und der von der Signalwechsel-Erkennungsschaltung (24) so beeinflusst wird, daß er die erste Taktspannung beim Auftreten eines Signalwechsels auf einen ersten Spannungspegel umschaltet, der die Vorladeschaltung (9) deaktiviert, und daß der Leseverstärker (6) mit einer Steuerschaltung (28) verbunden ist, die den Taktspannungsgenerator (26) in Abhängigkeit vom Auftreten eines Ausgangssignals am Leseverstärker (6) so beeinflusst, daß die erste Taktspannung auf einen zweiten Spannungspegel umgeschaltet wird, der die Vorladeschaltung (9) aktiviert.

2. Halbleiterspeicher nach Anspruch 1, **dadurch gekennzeichnet**, daß die Steuerschaltung (28) bei einer Abschaltung des Ausgangssignals des Leseverstärkers (6) den Taktspannungsgenerator (26) für die Ansteuerung durch die Signalwechsel-Erkennungsschaltung (24) sensibilisiert.

3. Halbleiterspeicher nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß der Taktspannungsgenerator (26) eine zweite Taktspannung zum Aktivieren einer Spaltendecodierung (17) erzeugt, die gleichzeitig mit der Umschaltung der ersten Taktspannung auf den ersten Spannungspegel auf einen zweiten Spannungspegel umgeschaltet wird, der die Spaltendecodierung (17) aktiviert, und daß die zweite Taktspannung vor der Umschaltung der ersten Taktspannung auf den zweiten Spannungspegel auf einen

ersten Spannungspegel umgeschaltet wird, der die Spaltendecodierung (17) deaktiviert.

4. Halbleiterspeicher nach Anspruch 3, **dadurch gekennzeichnet**, daß die zweite Taktspannung mit ihrem zweiten Spannungspegel zusätzlich zur Aktivierung einer Zeilendecodierung (16) dient.

5. Halbleiterspeicher nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß eine Schreib-/Lesesteuerung (17) vorgesehen ist, die bei einem Auslesevorgang den Leseverstärker (6) und einen diesem nachgeschalteten Zwischenspeicher (12) aktiviert und bei einem Einschreibvorgang den Leseverstärker (6) zusammen mit der Schreibschaltung (7) aktiviert, ohne jedoch den Zwischenspeicher (12) zu aktivieren.

6. Halbleiterspeicher nach Anspruch 4, **dadurch gekennzeichnet**, daß den mit den Adreßsignalen beaufschlagten Eingängen der Zeilendecodierung (16) und Spaltendecodierung (17) eine Torschaltung (19a) vorgeschaltet ist, die mittels der zweiten Taktspannung so angesteuert wird, daß sie während des Auftretens des zweiten Spannungspegels derselben sperrt.

7. Halbleiterspeicher nach einem der Ansprüche 1 bis 6, **dadurch gekennzeichnet**, daß der Taktspannungsgenerator (26) zwei Feldeffekttransistoren (P_1 , N_1) unterschiedlicher Kanaltypen enthält, deren Drainanschlüsse mit einem ersten Knoten (K_1) verbunden sind, wobei der Sourceanschluß des ersten Feldeffekttransistors (P_1) mit der Versorgungsspannung (V_{DD}) beschaltet ist und der Sourceanschluß des zweiten (N_1) auf Bezugspotential (V_{SS}) liegt, daß der Gateanschluß des ersten Feldeffekttransistors (P_1) einen mit der Signalwechsel-Erkennungsschaltung verbundenen Eingang des Taktspannungsgenerators (26) darstellt, daß der Gateanschluß des zweiten Feldeffekttransistors (N_1) einem mit der Steuerschaltung (28) verbundenen Eingang (27) des Taktspannungsgenerators darstellt, daß der erste Knoten (K_1) mit dem ersten Eingang eines NOR-Gatters (39) direkt und mit dem zweiten Eingang desselben über eine Verzögerungsschaltung (40) verbunden ist und daß der erste Ausgang (29) des Taktspannungsgenerators mit dem Ausgang des NOR-Gatters (39) und der zweite Ausgang (30) des Taktspannungsgenerators mit dem ersten Knoten (K_1) in Verbindung steht.

8. Halbleiterspeicher nach Anspruch 7, **dadurch gekennzeichnet**, daß der Gateanschluß des zweiten Feldeffekttransistors (N1) mit dem Ausgang eines NAND-Gatters (36) beschaltet ist, dessen erster Eingang den mit der Steuerschaltung (28) verbundenen Eingang (27) des Taktspannungsgenerators darstellt und dessen zweiter Eingang (37) mit einem Chip-Selekt-Signal beaufschlagt ist.

9. Halbleiterspeicher nach einem der Ansprüche 7 oder 8, **dadurch gekennzeichnet**, daß der Gateanschluß des zweiten Feldeffekttransistors (N1) mit dem Gateanschluß eines dritten Feldeffekttransistors (P2) verbunden ist, der dem gleichen Kanaltyp wie der erste angehört und mit seiner Source-Drain-Strecke zwischen dem Sourceanschluß des ersten Feldeffekttransistors (P1) und einem mit der Versorgungsspannung beaufschlagten Anschluß (35') eingefügt ist.

10. Halbleiterspeicher nach einem der Ansprüche 7 bis 9, **dadurch gekennzeichnet**, daß der erste Knoten (K1) mit einer aus zwei gekoppelten Invertern (I1, I2) bestehenden Haltschaltung verbunden ist.

11. Halbleiterspeicher nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß die Steuerschaltung (28) drei Feldeffekttransistoren eines ersten Kanaltyps (NE1 bis NE3) enthält, von denen zwei über ihre Gateanschlüsse mit zwei Ausgängen (11a, 11b) des Leseverstärkers (6) beschaltet sind, daß diese beiden Feldeffekttransistoren (NE1, NE2) über ihre Drainanschlüsse mit zwei Schaltungsknoten (52, 53) und über ihre Sourceanschlüsse mit dem Drainanschluß des dritten Feldeffekttransistors (NE3) verbunden sind, der mit seinem Sourceanschluß auf Bezugspotential gelegt ist und mit seinem Gateanschluß an einem Steuereingang (55) liegt, daß die beiden Schaltungsknoten (52, 53) über die Source-Drain-Strecken jeweils eines weiteren Feldeffekttransistors (PE1, PE2) des zweiten Kanaltyps mit Anschlüssen (56, 57) verbunden sind, die mit der Versorgungsspannung beschaltet sind, wobei jeweils der Gateanschluß des einen dieser weiteren Feldeffekttransistoren an den Drainanschluß des anderen geführt ist, und daß die beiden Schaltungsknoten (52, 53) einerseits über einen Ausgleichstransistor (PE3), dessen Gate an dem Steuereingang (55) liegt, miteinander und über jeweils einen Inverter (I3, I4) mit den Eingängen eines NOR-Gatters (58) verbunden sind, dessen Ausgang an den Ausgang (28a) der Steuerschaltung

(28) geführt ist.

12. Halbleiterspeicher nach einem der Ansprüche 1 bis 10, **dadurch gekennzeichnet**, daß die Steuerschaltung (28) aus zwei an die Ausgänge (11a, 11b) des Leseverstärkers (6) geschalteten Invertern (I3, I4) besteht, deren Ausgänge an die Eingänge eines NOR-Gatters (58) gelegt sind, und daß der Ausgang des NOR-Gatters mit dem Ausgang der Steuerschaltung (28) verbunden ist.

13. Halbleiterspeicher nach einem der Ansprüche 1 bis 10, **dadurch gekennzeichnet**, daß die Steuerschaltung (28) drei Feldeffekttransistoren des ersten Kanaltyps (NE11 bis NE13) enthält, von denen zwei über ihre Gateanschlüsse mit zwei Ausgängen (11a, 11b) des Leseverstärkers (6) beschaltet sind, daß der eine dieser beiden Feldeffekttransistoren (NE11) über seinen Drainanschluß mit einem ersten internen Schaltungsknoten (52) und der andere (NE12) über seinen Drainanschluß mit einem ersten Ausgangsknoten (53) verbunden ist, daß diese beiden Feldeffekttransistoren über ihre Sourceanschlüsse mit dem Drainanschluß des dritten Feldeffekttransistors (NE13) verbunden sind, der mit seinem Sourceanschluß auf Bezugspotential gelegt ist und mit seinem Gateanschluß an einem Steuereingang (55) liegt, daß der erste interne Knoten (52) und der erste Ausgangsknoten (53) einerseits über einen ersten Ausgleichstransistor (PE13) miteinander und über die Source-Drain-Strecken jeweils eines zusätzlichen Feldeffekttransistors (PE11, PE12) des zweiten Kanaltyps mit Anschlüssen (56, 57) verbunden sind, die mit der Versorgungsspannung beaufschlagt sind, wobei die Gateanschlüsse beider zusätzlicher Feldeffekttransistoren mit dem Drainanschluß des einen von ihnen verbunden sind, daß drei zusätzliche Feldeffekttransistoren (NE21 bis NE23) des ersten Kanaltyps vorgesehen sind, die mit Ausnahme der Drainanschlüsse der ersten beiden Feldeffekttransistoren (NE21, NE22) entsprechend den drei Feldeffekttransistoren des ersten Kanaltyps beschaltet sind, daß der Drainanschluß des ersten zusätzlichen Feldeffekttransistors (NE22) mit einem zweiten internen Schaltungsknoten (52') und der Drainanschluß des zweiten zusätzlichen Feldeffekttransistors (NE21) mit einem zweiten Ausgangsknoten (53') verbunden sind, daß der zweite interne Knoten (52') und der zweite Ausgangsknoten (53') einerseits über einen zweiten Ausgleichstransistor (PE23) miteinander und über die Source-Drain-Strecken jeweils eines weiteren zusätzlichen Feldeffekttransistors (PE21, PE22)

mit den Anschlüssen (56, 57) verbunden sind, die mit der Versorgungsspannung beaufschlagt sind, wobei die Gateanschlüsse der weiteren zusätzlichen Feldeffekttransistoren mit dem Drainanschluß eines von ihnen verbunden sind, daß die Gateanschlüsse des ersten und zweiten Ausgleichstransistors (PE 13, PE 23) mit dem Steuereingang (55) verbunden sind und daß der erste und der zweite Ausgangsknoten (53, 53') über jeweils einen Inverter (I5, I6) an die Eingänge eines NOR-Gatters (61) gelegt sind, dessen Ausgang mit dem Ausgang (28a) der Steuerschaltung (28) verbunden ist.

Claims

1. Semiconductor memory having a plurality of memory cells which can be connected via data lines (L_i , \bar{L}_i) either to a write circuit (7) or to a read amplifier (6), and via the latter to a data input (DE) or data output (DA), in which an activatable precharging circuit (9) is provided which in the activated state charges the data lines to a predetermined potential, in which a signal change detector circuit (24) is present which deactivates the precharging circuit (9) when a signal change occurs, and in which the precharging circuit (9) is reactivated with a time delay after the signal change occurs, characterised in that a clock voltage generator (26) is provided which generates a first clock voltage which drives the precharging circuit and which is influenced by the signal change detector circuit (24) in such a way that when a signal change occurs it switches over the first clock voltage to a first voltage level which deactivates the precharging circuit (9), and in that the read amplifier (6) is connected to a control circuit (28) which influences the clock voltage generator (26) depending on the occurrence of an output signal at the read amplifier (6) in such a way that the first clock voltage is switched over to a second voltage level which activates the precharging circuit (9).
2. Semiconductor memory according to Claim 1, characterised in that the control circuit (28) sensitises the clock voltage generator (26) for driving by the signal change detector circuit (24) when the output signal of the read amplifier (6) is disconnected.
3. Semiconductor memory according to Claim 1 or 2, characterised in that the clock voltage generator (26) generates a second clock voltage for activating a column decoding means (17) which is switched over to a second voltage level, which activates the column decoding means (17), simultaneously with the switchover of the first clock voltage to the first voltage level, and in that the second clock voltage is switched over to a first voltage level, which deactivates the column decoding means (17), before the switchover of the first clock voltage to the second voltage level.
4. Semiconductor memory according to Claim 3, characterised in that the second clock voltage additionally serves to activate a row decoding means (16) with its second voltage level.
5. Semiconductor memory according to one of the preceding claims, characterised in that a read/write controller (17) is provided, which activates the read amplifier (6) and an intermediate memory (12) connected downstream thereof for a read operation, and activates the read amplifier (6) together with the write circuit (7), but without the intermediate memory (12), for a write operation.
6. Semiconductor memory according to Claim 4, characterised in that connected upstream of the inputs of the row decoding means (16) and column decoding means (17) which receive the address signals is a gate circuit (19a) which is driven by means of the second clock voltage in such a way that it inhibits said inputs during the occurrence of the second voltage level.
7. Semiconductor memory according to one of Claims 1 to 6, characterised in that the clock voltage generator (26) contains two field-effect transistors (P1, N1) of different channel types, the drain terminals of which are connected to a first node (K1), the source terminal of the first field-effect transistor (P1) being connected to the supply voltage (V_{DD}) and the source terminal of the second (N1) being connected to reference potential (V_{SS}), in that the gate terminal of the first field-effect transistor (P1) represents an input of the clock voltage generator (26) that is connected to the signal change detector circuit, in that the gate terminal of the second field-effect transistor (N1) represents an input (27) of the clock voltage generator that is connected to the control circuit (28), in that the first node (K1) is connected directly to the first input of a NOR gate (39) and to the second input thereof via a delay circuit (40), and in that the first output (29) of the clock voltage generator is connected to the output of the NOR gate (39) and the second output (30) of the clock voltage generator is connected to the first node (K1).

8. Semiconductor memory according to Claim 7, characterised in that the gate terminal of the second field-effect transistor (N1) is connected to the output of a NAND gate (36), the first input of which represents the input (27) of the clock voltage generator that is connected to the control circuit (28), and the second input (37) of which receives a chip select signal. 5
9. Semiconductor memory according to one of Claims 7 or 8, characterised in that the gate terminal of the second field-effect transistor (N1) is connected to the gate terminal of a third field-effect transistor (P2), which is of the same channel type as the first and is inserted with its source-drain path between the source terminal of the first field-effect transistor (P1) and a terminal (35') that receives the supply voltage. 10
10. Semiconductor memory according to one of Claims 7 to 9, characterised in that the first node (K1) is connected to a hold circuit comprising two cross-coupled inverters (I1, I2). 15
11. Semiconductor memory according to one of the preceding claims, characterised in that the control circuit (28) contains three field-effect transistors of a first channel type (NE1 to NE3), two of which are connected via their gate terminals to two outputs (11a, 11b) of the read amplifier (6), in that said two field-effect transistors (NE1, NE2) are connected via their drain terminals to two circuit nodes (52, 53) and via their source terminals to the drain terminal of the third field-effect transistor (NE3), which is connected with its source terminal to reference potential and is connected with its gate terminal to a control input (55), in that the two circuit nodes (52, 53) are connected via the source-drain paths of in each case one further field-effect transistor (PE1, PE2) of the second channel type to terminals (56, 57) which are connected to the supply voltage, the gate terminal of one of said further field-effect transistors being connected to the drain terminal of the other one in each case, and in that the two circuit nodes (52, 53) are connected on the one hand to one another via a compensation transistor (PE3), the gate of which is connected to the control input (55), and via an inverter (I3, I4) in each case to the inputs of a NOR gate (58), the output of which is connected to the output (28a) of the control circuit (28). 20
12. Semiconductor memory according to one of Claims 1 to 10, characterised in that the con- 25

control circuit (28) comprises two inverters (I3, I4) connected to the outputs (11a, 11b) of the read amplifier (6), the outputs of which inverters are applied to the inputs of a NOR gate (58), and in that the output of the NOR gate is connected to the output of the control circuit (28). 5

13. Semiconductor memory according to one of Claims 1 to 10, characterised in that the control circuit (28) contains three field-effect transistors of the first channel type (NE11 to NE13), two of which are connected via their gate terminals to two outputs (11a, 11b) of the read amplifier (6), in that one of said two field-effect transistors (NE11) is connected via its drain terminal to a first internal circuit node (52) and the other (NE12) is connected via its drain terminal to a first output node (53), in that said two field-effect transistors are connected via their source terminals to the drain terminal of the third field-effect transistor (NE13), which is connected with its source terminal to reference potential and is connected with its gate terminal to a control input (55), in that the first internal node (52) and the first output node (53) are connected on the one hand to one another via a first compensation transistor (PE13), and via the source-drain paths of in each case one additional field-effect transistor (PE11, PE12) of the second channel type to terminals (56, 57) which receive the supply voltage, the gate terminals of the two additional field-effect transistors being connected to the drain terminal of one of them, in that three additional field-effect transistors (NE21 to NE23) of the first channel type are provided, which are connected, with the exception of the drain terminals of the first two field-effect transistors (NE21, NE22), in accordance with the three field-effect transistors of the first channel type, in that the drain terminal of the first additional field-effect transistor (NE22) is connected to a second internal circuit node (52') and the drain terminal of the second additional field-effect transistor (NE21) is connected to a second output node (53'), in that the second internal node (52') and the second output node (53') are connected on the one hand to one another via a second compensation transistor (PE23) and via the source-drain paths of in each case one further additional field-effect transistor (PE21, PE22) to the terminals (56, 57) which receive the supply voltage, the gate terminals of the further additional field-effect transistors being connected to the drain terminal of one of them, in that the gate terminals of the first and the second compensation transistor (PE13, PE23) are connected to the control 30
- 35
- 40
- 45
- 50
- 55

input (55), and in that the first and the second output nodes (53, 53') are connected via an inverter (15, 16) in each case to the inputs of a NOR gate (61), the output of which is connected to the output (28a) of the control circuit (28).

Revendications

1. Mémoire à semiconducteurs comportant une multiplicité de cellules de mémoire, qui peuvent être raccordées par l'intermédiaire de lignes de transmission de données (L_i , \bar{L}_i) au choix à un circuit d'enregistrement (7) ou à un amplificateur de lecture (6) et, par l'intermédiaire de ces derniers, à une entrée de données (DE) ou à une sortie de données (DA), et dans laquelle il est prévu un circuit de précharge (9) pouvant être activé et qui, à l'état activé, charge des lignes de transmission de données à un potentiel prédéterminé, et dans lequel il est prévu un circuit (4) d'identification de changement de signaux, qui désactive le circuit de précharge (9), lors de l'apparition d'un changement de signal, et dans lequel le circuit de précharge (9) est réactivé, d'une manière retardée, après l'apparition du changement de signal, caractérisée par le fait qu'il est prévu un générateur de tension de cadence (26), qui produit une première tension de cadence qui commande le circuit de précharge et est influencé par le circuit (24) d'identification de changement de signal de telle sorte que, lors de l'apparition d'un changement de signal, il commute la première tension de cadence sur un premier niveau de tension, qui désactive le circuit de précharge (9), et que l'amplificateur de lecture (6) est raccordé à un circuit de commande (28) qui influence le générateur de tension de cadence (26) en fonction de l'apparition du signal de sortie de l'amplificateur de lecture (6) de telle sorte que la première tension de cadence est commutée sur un second niveau de tension qui active le circuit de précharge (9).
2. Mémoire à semiconducteurs suivant la revendication 1, caractérisée par le fait que lors de l'interruption du signal de sortie de l'amplificateur de lecture (6), le circuit de commande (28) sensibilise le générateur de tension de cadence (26) pour la commande par le circuit (24) d'identification du changement de signal.
3. Mémoire à semiconducteurs suivant la revendication 1 ou 2, caractérisée par le fait que le générateur de tension de cadence (26) produit une seconde tension de cadence servant à

activer un circuit de décodage de colonnes (17) et qui, en même temps que se produit la commutation de la première tension de cadence sur le premier niveau de tension, est commutée sur un second niveau de tension, qui active le circuit de décodage de colonnes (17), et qu'avant la commutation de la première tension de cadence sur le second niveau de tension, la seconde tension de cadence est commutée sur un premier niveau de tension, qui désactive le circuit de codage de colonnes (17).

4. Mémoire à semiconducteurs suivant la revendication 3, caractérisée par le fait qu'avec son second niveau, la seconde tension de cadence est utilisée en supplément pour activer un circuit de décodage de lignes (16).
5. Mémoire à semiconducteurs suivant l'une des revendications précédentes, caractérisée par le fait qu'il est prévu un circuit d'enregistrement/lecture (17), qui lors d'une opération de lecture, active l'amplificateur de lecture (6) et une mémoire intermédiaire (12) branchée en aval de cet amplificateur, et, lors d'une opération d'enregistrement, active l'amplificateur de lecture (6) ainsi que le circuit d'enregistrement (7), sans activer cependant la mémoire intermédiaire (12).
6. Mémoire à semiconducteurs suivant la revendication 4, caractérisée par le fait qu'en amont des entrées, qui sont chargées par les signaux d'adresses, du circuit de décodage de lignes (16) et du circuit de décodage de colonnes (17) est branché un circuit de porte (19a), qui est commandé au moyen de la seconde tension de cadence de sorte que ce circuit de porte est bloqué pendant l'apparition du second niveau de cette tension.
7. Mémoire à semiconducteurs suivant l'une des revendications 1 à 6, caractérisée par le fait que le générateur de tension de cadence (26) comporte deux transistors à effet de champ (P1, N1) possédant des types de canaux différents et dont les bornes de drain sont raccordées à un premier noeud (K1), tandis que la borne de source du premier transistor à effet de champ (P1) est placée à la tension d'alimentation (V_{DD}) et que la borne de source du second transistor à effet de champ (N1) est placée au potentiel de référence (V_{SS}), que la borne de grille du premier transistor à effet de champ (P1) représente une entrée du générateur de tension de cadence (26), qui est raccordée au circuit d'identification de change-

ment de signal, que la borne de grille du second transistor à effet de champ (N1) représente une entrée (27), qui est raccordée au circuit de commande (28), du générateur de tension de cadence, que le premier noeud (K1) est raccordé directement à la première entrée d'une porte NON-OU (39) et à la seconde entrée de cette porte par l'intermédiaire d'un circuit de retardement (40), et que la première sortie (29) du générateur de tension de cadence est raccordée à la sortie de la porte NON-OU (39) et que la seconde entrée (30) du générateur de tension de cadence est raccordée au premier noeud (K1).

8. Mémoire à semiconducteurs suivant la revendication 9, caractérisée par le fait que la borne de grille du second transistor à effet de champ (N1) est raccordée à la sortie d'une porte NON-ET (36), dont la première entrée représente l'entrée (27) du générateur de tension de cadence, qui est raccordée au circuit de commande (28) et dont la seconde entrée (37) est chargée par un signal de sélection de micro-plaquette.

9. Mémoire à semiconducteurs suivant l'une des revendications 7 ou 8, caractérisée par le fait que la borne de grille du second transistor à effet de champ (N1) est raccordée à la borne de grille d'un troisième transistor à effet de champ (P2), qui possède le même type de canal que le premier transistor et est inséré, par sa voie source-drain, entre la borne de source du premier transistor à effet de champ (P1) et une borne (35') chargée par la tension d'alimentation.

10. Mémoire à semiconducteurs suivant l'une des revendications 7 à 9, caractérisée par le fait que le premier noeud (K1) est raccordé à un circuit de maintien constitué par deux inverseurs (I1,I2) couplés selon un couplage croisé.

11. Mémoire à semiconducteurs suivant l'une des revendications précédentes, caractérisée par le fait que le circuit de commande (28) comporte trois transistors à effet de champ possédant un premier type de canal (NE1 à NE3), dont deux sont raccordés par l'intermédiaire de leurs bornes de grille à deux sorties (11a, 11b) de l'amplificateur de lecture (6), que ces deux transistors à effet de champ (NE1, NE2) sont raccordés par leurs bornes de drain à deux noeuds (52, 53) du circuit et par leurs bornes de source à la borne de drain du troisième transistor à effet de champ (NE3), dont la borne de source est placée au potentiel de

référence et dont la borne de grille est raccordée à une entrée de commande (55), que les deux noeuds (52,53) du circuit sont raccordés par l'intermédiaire des voies source-drain d'autres transistors à effet de champ respectifs (P1,P2) possédant le second type de canal, à des bornes (56,57) qui sont raccordées à la tension d'alimentation, la borne de grille de l'un de ces deux autres transistors à effet de champ étant raccordée à la borne de drain de l'autre de ces transistors, et que les noeuds (52,53) du circuit sont raccordés d'une part, par l'intermédiaire d'un transistor de compensation (PE3) dont la grille est raccordée à l'entrée de commande (55), entre eux et, par l'intermédiaire d'inverseurs respectifs (I3,I4), aux entrées d'une porte NON-OU (58), dont la sortie est raccordée à la sortie (28a) du circuit de commande (28).

12. Mémoire à semiconducteurs suivant l'une des revendications 1 à 10, caractérisée par le fait que le circuit de commande (28) est constitué par deux inverseurs (I3 et I4), qui sont raccordés aux sorties (11a,11b) de l'amplificateur de lecture (6) et dont les sorties sont raccordées aux entrées d'une porte NON-OU (58), et que la sortie de la porte NON-OU est raccordée à la sortie du circuit de commande (28).

13. Mémoire à semiconducteurs suivant l'une des revendications 1 à 10, caractérisée par le fait que le circuit de commande (28) comporte trois transistors à effet de champ possédant le premier type de canal (NE11 à NE13), dont deux sont raccordés par l'intermédiaire de leurs bornes de grille à deux sorties (11a,11b) de l'amplificateur de lecture (6), que l'un de ces deux transistors à effet de champ (NE11) est raccordé par l'intermédiaire de sa borne de drain à un premier noeud interne (52) du circuit tandis que l'autre (NE12) est raccordé par l'intermédiaire de sa borne de drain à un premier noeud de sortie (53), que ces deux transistors à effet de champ sont raccordés, par l'intermédiaire de leurs bornes de source, à la borne de drain du troisième transistor à effet de champ (NE13), dont la borne de source est placée au potentiel de référence et dont la borne de grille est raccordée à une entrée de commande (55), que le premier noeud interne (52) et le premier noeud de sortie (53) sont raccordés d'une part, par l'intermédiaire d'un premier transistor de compensation (PE13), entre eux et par l'intermédiaire des voies source-drain de transistors à effet de champ supplémentaires respectifs (PE11, PE12) possédant le second type de canal, à des bornes

(56, 57) qui sont chargées par la tension d'alimentation, les bornes de grille des deux transistors à effet de champ supplémentaires étant raccordées à la borne de drain de l'un de ces transistors, qu'il est prévu trois transistors à effet de champ supplémentaires (NE21 à NE23) possédant le premier type de canal et qui sont raccordés, à l'exception des bornes de drain des deux premiers transistors à effet de champ (NE21 et NE22), conformément aux trois transistors à effet de champ possédant le premier type de canal, que la borne de drain du premier transistor à effet de champ supplémentaire (NE22) est raccordée au second noeud interne (52') du circuit et que la borne de drain du second transistor à effet de champ supplémentaire (NE21) est raccordée à un second noeud de sortie (53'), que le second noeud interne (52') et le second noeud de sortie (53') sont raccordés, d'une part, par l'intermédiaire d'un second transistor de compensation (P23), entre eux, et, par l'intermédiaire des voies source-drain d'autres transistors respectifs supplémentaires à effet de champ (PE21, PE22), aux bornes (56, 57) qui sont chargées par la tension d'alimentation, les bornes de grille des autres transistors supplémentaires à effet de champ étant raccordées à la borne de drain de l'un de ces transistors, que les bornes de grille des premier et second transistors de compensation (PE13, PE23) sont raccordées à l'entrée de commande (55) et que les premier et second noeuds de sortie (53,53') sont raccordés par des inverseurs respectifs (I5, I6) aux entrées d'une porte NON-OU (61), dont la sortie est raccordée à la sortie (28a) du circuit de commande (28).

5

10

15

20

25

30

35

40

45

50

55

FIG 5

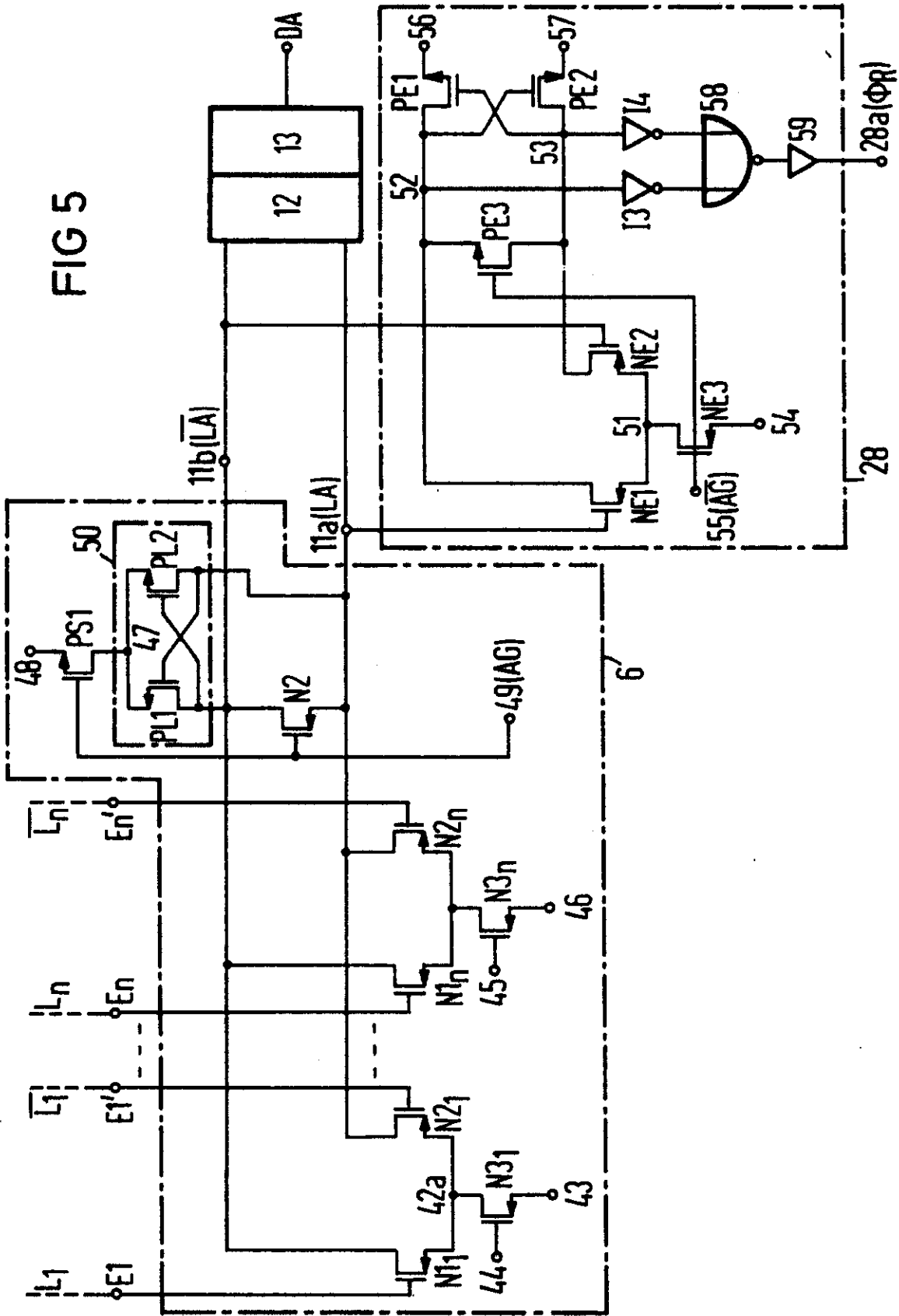
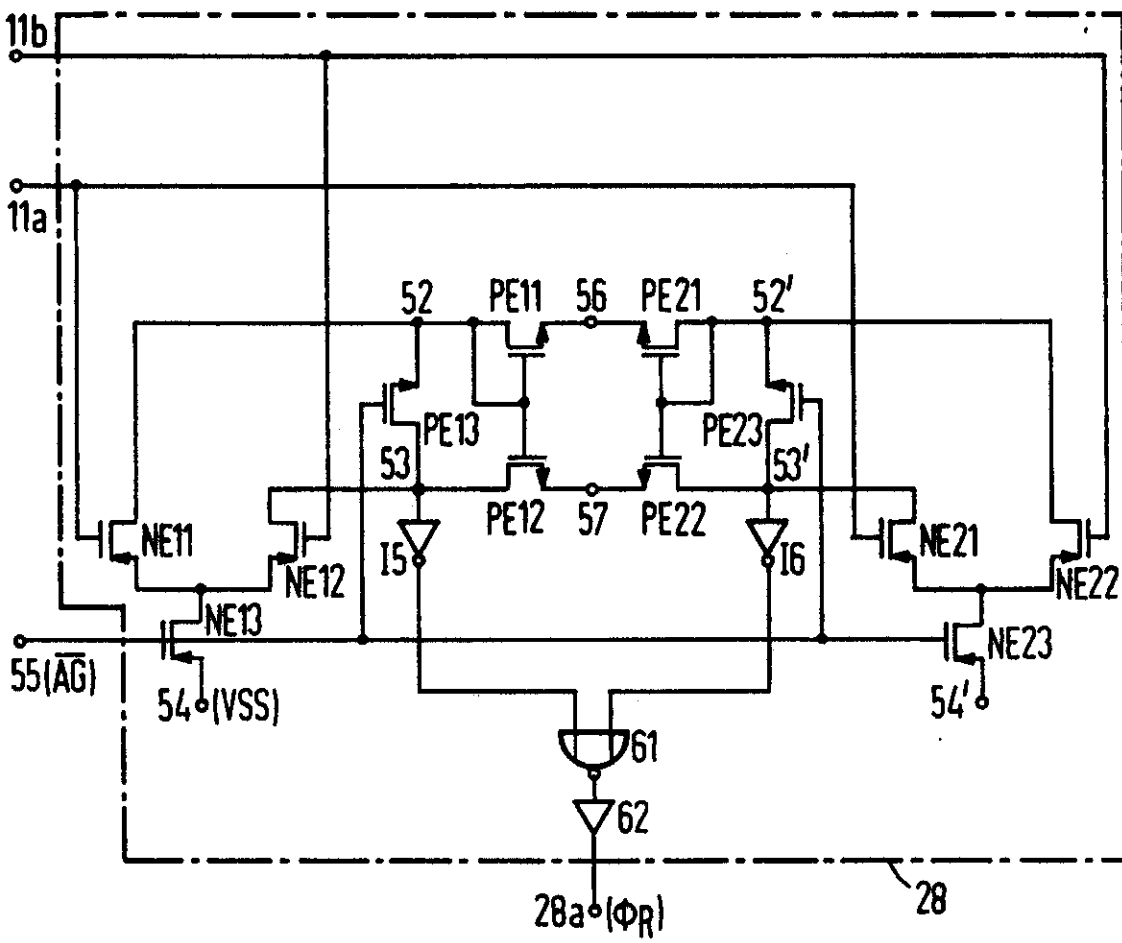


FIG 6



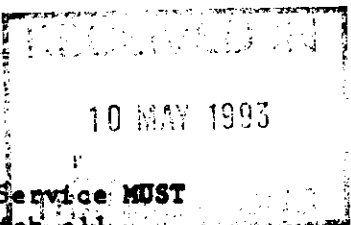
FILING OF TRANSLATION OF EUROPEAN PATENT (UK) UNDER SECTION 77(6)(a)



Please write or type in BLOCK LETTERS using dark ink. For details of current fees Please contact the Patent Office

Enter the name and address of the proprietor(s) of the European Patent (UK). If you do not have enough space please continue on a separate sheet.

Enter the date on which the mention of the grant of the European Patent (UK) was published in the European Patent Bulletin, or, if it has not yet been published, the date on which it will be published.



A UK Address for Service MUST be provided to which all communications from the Patent Office will be sent

Please sign here

Attention is drawn to rules 90 and 106 of the Patents Rules 1982

This form must be filed in duplicate and must be accompanied by a translation into English in duplicate of:

- 1) the whole description
2) those claims appropriate to the UK (in the language of the proceedings),
3) all drawings, whether or not these contain any textual matter but excluding the front page which contains bibliographic information.
The translation must be verified to the satisfaction of the comptroller as corresponding to the original text.

Form sections: 1. European Patent Number (0 304 591); 2. Name (Siemens Aktiengesellschaft) and Address (WITTELSBACHERPLATZ 2, W-8000 MÜNCHEN 2, FEDERAL REPUBLIC OF GERMANY); 3. European Patent Bulletin Date (03 03 93); 4. Name of Agent (if any) and Agent's Patent Office ADP number (if known); 5. Address for Service (SIEMENS INTELLECTUAL PROPERTY DEPT., GR VPA 87 P 1526, ROKE MANOR, OLD SALISBURY LANE, ROMSEY, HAMPSHIRE, Postcode S051 0ZN); 6. Signature (Diane Bell) and Date (04 05 93) pp RWS TRANSLATIONS LTD; Reminder section with checkboxes for attachments.

048 MGA

GREAT BRITAIN)
ENGLAND)
LONDON)

IN THE MATTER OF an Application
for a Hong Kong Registration
Patent

I, Derek Ernest LIGHT, B.A., B.D.Ü.,
do hereby certify:

THAT I am a Technical Translator to RWS Translations Ltd., of
Europa House, Marsham Way, Gerrards Cross, Buckinghamshire,
England and known as such to the undersigned Notary Public;

THAT I have a competent knowledge of the German and English
languages;

AND THAT, to the best of my knowledge and belief, the attached
document is a true and correct translation of the cover page of
the European Patent in the name of

SIEMENS AKTIENGESELLSCHAFT
granted under No. 0,304,591

Signed by DEREK ERNEST LIGHT)
For and on behalf of RWS Translations Ltd.)
This 23rd day of May)
1994)

D. Light
DEREK ERNEST LIGHT

I hereby certify the authenticity of the above signature of
DEREK ERNEST LIGHT whose identity I attest.

London, the 23rd day of May 1994

Michael R. Smith
NOTARY PUBLIC OF LONDON ENGLAND

19 European Patent Office
European Patent Office
European Patent Office

11 Publication No.: 0 304 591 B1

12 EUROPEAN PATENT SPECIFICATION

45 Date of publication of the
patent specification: 03.03.93

51 Int. Cl.⁵: G11C 7/00, G11C 8/00,
G11C 11/419

21 Application No.: 88110880.7

22 Filing date: 07.07.88

54 Semiconductor memory with signal change detector circuit.
[As printed]

30 Priority:
18.08.87 DE 3727548

73 Patent proprietor:
SIEMENS AKTIENGESELLSCHAFT
Wittelsbacherplatz 2
W-8000 Munich 2(DE)

43 Date of publication of the
application:
01.03.89 Patent Journal 89/09

45 Publication of the notice
of the patent grant:
03.03.93 Patent Journal 93/09

72 Inventor:
Dr. rer. nat. Hans-Jürgen Mattausch
Am Brunnen 25
W-8011 Kirchheim(DE)

84 Designated contracting States:
AT DE FR GB IT NL

56 Cited documents:
EP-A- 0 107 415
EP-A- 0 139 385
US-A- 4 558 435

PATENT ABSTRACTS OF JAPAN, volume 7,
No. 216 (P-225)[1361], 24 September
1983; & JP-A-58 108 091

IBM TECHNICAL DISCLOSURE BULLETIN,
volume 30, No. 1, June 1987, pages
304-305, New York, US; "Power reduction
scheme with data-dependent write"

PATENT ABSTRACTS OF JAPAN, volume 6,
No. 188 (P-144)[1066], 28 September
1982; & JP-A-57 100 688

EP 0 304 591 B1

Note: Within nine months from the publication of the notice of the grant of the European patent in the European Patent Journal, any person may lodge opposition to the granted European patent at the European Patent Office. The opposition shall be filed in writing and the grounds thereof shall be stated. It shall be deemed to have been filed only when the opposition fee has been paid. (Art. 99(1) of the European Patent Convention).

Rank Xerox (UK) Business Services
(3.10/3.5x/3.0.1)

PATENTS ACT 1977

and

PATENTS (AMENDMENT) RULES 1987

I, Derek Ernest LIGHT, B.A., B.D.Ü.,
translator to RWS Translations Ltd., of Europa House, Marsham
Way, Gerrards Cross, Buckinghamshire, England, hereby declare
that I am conversant with the German and English languages and
that to the best of my knowledge and belief the accompanying
document is a true translation of the text on which the European
Patent Office intends to grant or has granted European Patent
No. 0,304,591
in the name of SIEMENS AKTIENGESELLSCHAFT

Signed this 27th day of April 1993

D. E. Light

D. E. LIGHT

For and on behalf of RWS Translations Ltd.

The invention relates to a semiconductor memory having a signal change detector circuit according to the preamble of Patent Claim 1.

5 A semiconductor memory of this type is disclosed in EP-A-0,107,415. Derived therein in the signal change detector circuit from each address signal change is an output signal which is first supplied to a first control input of the precharging circuit at which it causes deactivation thereof. On the other hand, the output
10 signal is supplied via a delay unit to a second control input of the precharging circuit at which it effects reactivation thereof. In this case, the delay unit delays the output signal by a fixed time span which must be provided for the most time-consuming memory access.

15 It is the object of the invention to specify a semiconductor memory of the type mentioned at the beginning, in which clocking, derived from signal changes, of the precharging circuit can be tuned substantially better to the actual duration of the individual memory accesses
20 than is the case in the aforementioned known semiconductor memory. This is achieved according to the invention by a construction according to the characterising part of Patent Claim 1.

The advantage achievable with the invention
25 resides, in particular, in that the reactivation of the precharging circuit can be performed as soon as possible after termination of each individual memory access, so that the memory is again available for a new access in the shortest time in each case. A further advantage
30 consists in that the extremely fast reactivation of the precharging circuit is also guaranteed independently of the number of the memory cells in the main memory area, and is thus guaranteed independently of the different duration of the memory accesses which is conditioned
35 thereby.

Preferred embodiments and developments of the invention are specified in Patent Claims 2 to 13.

The invention is explained in more detail below with the aid of the preferred exemplary embodiments represented in the drawing, wherein:

5 Figure 1 shows the block diagram of a semiconductor memory according to the invention,

Figure 2 shows the block diagram of a memory cell of the memory according to Figure 1,

Figure 3 shows voltage-time diagrams for explaining the mode of operation of the memory according to Figure 1,

10 Figure 4 shows the block diagram of a component circuit of Figure 1,

Figure 5 shows the block diagram of another component circuit of Figure 1 and

15 Figure 6 shows an alternative design of the component circuit according to Figure 5.

In Figure 1, 1 denotes a main memory area which is constructed from a plurality of static memory cells designed, for example, according to Figure 2, using
20 complementary circuit technology. In accordance with Figure 2, each of said memory cells has two cross-coupled inverters of which the first comprises the series circuit of two field-effect transistors T1 and T2, and the second comprises the series circuit of two field-effect transistors
25 T3 and T4. The source terminals of the p-channel transistors T1 and T3 are connected to a terminal 2 which is connected to a supply voltage V_{DD} of, for example, 5 V. The source terminals of the n-channel transistors T2 and T4 are connected to a terminal 3 which is connected to
30 the reference potential V_{SS} . The drain terminals of T1 and T2 are connected to one another in a node 4, and the drain terminals of the transistors T3 and T4 in a node 5. In order to realise the cross-coupling, the gate terminals of T1 and T2 that are connected to one another are
35 connected to the node 5, and the gate terminals of T3 and T4 that are connected to one another are connected to the node 4. The nodes 4 and 5 are connected to the data lines L and \bar{L} via the source-drain paths of n-channel selection

transistors T5 and T6, respectively. In this case, the gates of T5 and T6 are driven by a word line WL.

The memory cells are combined in the main memory area 1 in row and column fashion, specifically in such a way that all memory cells of a row are situated on a common word line WL, whereas all the memory cells of a column have a common data line pair L, \bar{L} . The word lines of all the rows of the main memory area 1 are denoted in Figure 1 by WL_i , and the data line pairs L, \bar{L} of all the columns by L_i, \bar{L}_i . The data line pairs L_i, \bar{L}_i are connected, on the one hand, to the inputs of a read amplifier 6 and, on the other hand, to the outputs of a write circuit 7. Furthermore, they are connected to the outputs 8 of a precharging circuit 9 via which they can receive a predetermined potential. The precharging circuit 9 contains, for example, n-channel transistors the source terminals of which represent the outputs 8, their drain terminals being connected to the supply voltage V_{DD} . The control terminals of the n-channel transistors are connected to a control input 10. The outputs 11a, 11b of the read amplifier 6 are connected via an intermediate memory 12 and a buffer amplifier 13 to a data output DA, whereas a data output DE is connected via a buffer amplifier 14 to an input 15 of the write circuit 7. A block 16 represents the row decoding, and a block 17 the column decoding and the write/read controller of the semiconductor memory.

In the case of an n-place address signal, that is to say an address signal A comprising n bits, n inputs 16a of the row decoding 16 are connected via n lines 18 and n buffer amplifiers 19 to n inputs 20, and n inputs 17a of 17 are connected via n lines 21 and the buffer amplifiers 19 likewise to the inputs 20. The outputs of the row decoding 16 are connected to the word lines WL_i , and the outputs of the column decoding and write/read controller 17 are connected via output lines 22 and 23 to the circuit units 6, 7, 12, 13 and 14. A further line 21 connects a further input 20, at which a write/read signal

RW is present, to a further input 17a of 17. Finally, an input 20 is further provided to which a chip select signal CS is supplied and which is connected via additional lines 18 and 21 to additional inputs 16a and 17a.

5 In all, $n + 2$ inputs 20 are therefore provided, which are connected to the inputs of $n + 2$ identically constructed signal change detector circuits 24, the common output 25 of which is connected to a first input of a clock voltage generator 26. A second input 27 of the
10 clock voltage generator 26 is connected to the output 28a of a control circuit 28, the inputs of which are connected to the outputs 11a and 11b of the read amplifier 6. A first output 29 of 26 is connected to the control input 10 of the precharging circuit 9, whereas a second
15 output 30 of 26 is connected via a line 31 to an input of the column decoding and write/read controller 17 and can additionally be connected via a line 32 to an input 16b of the row decoding 16. The output line 22 of 17 is also connected to a further input of the control circuit 28.

20 When addressing a memory cell, for example T1 to T6, for the purpose of reading out a signal stored therein via DA, the inputs 20 are fed a corresponding address signal A which differs from the address signal previously present, so that an address signal change is
25 performed. Said address signal change is represented in Figure 3 by the intersection 33 of two voltage curves plotted against time t. One voltage curve U1 can in this case represent one bit of a first address signal which changes at the instant t1 from an upper voltage value,
30 for example a "1", to a lower voltage value, for example a "0", whereas the other voltage curve U2 illustrates a bit of a second address signal which goes from "0" to "1" at the instant t1.

At least one of the signal change detector
35 circuits 24 derives from the address signal change at the instant t1 a pulse-shaped output signal 34, the trailing edge (change from "1" to "0") of which is delayed by a time span D1 with respect to t1. Preceding the instant

t1, the clock voltage generator outputs at its output 29 a first clock voltage ϕ_{VL} which is supplied to the control input 10 of the precharging circuit. In this case, ϕ_{VL} has a voltage level "1" which activates the precharging circuit 9, so that the data lines L_1, \bar{L}_1 are precharged to a predetermined potential. After a delay time of D2, the trailing edge of the output signal 34 effects a switchover of the first clock voltage ϕ_{VL} to a voltage level "0", and thus deactivation of the precharging circuit 9, that is to say disconnection of the data lines from a voltage source effecting the precharging. At the same time, a second clock voltage ϕ_{DK} , which occurs at the output 30, is switched from a voltage level "0" to a voltage level "1", and this leads to activation of the column decoding and write/read circuit 17 and, when an internal clocking of the row decoding is provided, to activation of 16. The desired memory cell is thus addressed and memory access can be performed. Since a read operation is concerned here, in addition to selection of the data lines, for example L and \bar{L} , belonging to the addressed memory cell, the read amplifier 6 and the circuit units 12 and 13 are also activated, this being performed by means of the write/read signal R/W which is switched to a first voltage level, whereas the write circuit 7 and the buffer amplifier 14 remain deactivated. The row decoding 16 then does not need to be activated or deactivated by means of the clock voltage ϕ_{DK} , when the individual memory cells are dimensioned in such a way that the data lines connected to the voltage source serving the purpose of precharging cannot lead together with a selected word line to a corruption of the stored signals in the memory cells situated on the selected word line.

The control circuit 28 evaluates the read signal LA, $\bar{L}A$ occurring at the outputs 11a and 11b of the read amplifier 6. It detects whether a certain signal amplitude is exceeded. If this is the case, the output signal ϕ_R of the control circuit 28 goes from "1" to "0". In

accordance with Figure 3, this occurs at the instant t_2 . By means of the trailing edge 60 of ϕ_R , the clock voltage generator 26 is driven via its input 27 in such a way that the clock voltage ϕ_{DK} is first switched after a delay
5 time D_3 from "1" to "0" and, after a delay time D_4 exceeding D_3 , the clock voltage ϕ_{VL} is switched back again from "0" to "1". Finally, upon termination of the memory access, that is to say upon disappearance of the output signal LA, \overline{LA} , the output signal ϕ_R is switched over from
10 "0" to "1", as a result of which the clock voltage generator 26 is sensitised again for detecting a new output signal 34' of the signal change detector circuit 24.

Assuming that a "1" was stored in the addressed
15 memory cell T1 to T6 before the instant t_1 , the node 4, for example, being connected to the supply voltage V_{DD} and the node 5 to reference potential, and assuming, furthermore, that the data lines L and \overline{L} had been precharged before t_1 to approximately half the supply voltage V_{DD} ,
20 the read operation proceeds in detail in such a way that given switched on transistors T5 and T6 the data line L is discharged via the transistor T6 to the reference potential, whereas the data line \overline{L} charges via the transistor T5 to the supply voltage V_{DD} , reduced by the n-
25 channel transistor threshold voltage V_{th} . The difference between the potentials being set up on the two data lines L and \overline{L} is evaluated in the read amplifier. The difference signal $LA-\overline{LA}$ then occurs at the outputs 11a and 11b of the said amplifier. The signal LA is indicated in
30 Figure 3 by a voltage curve exceeding the mean signal value U_M , and \overline{LA} by a voltage curve undershooting U_M .

The output signal LA, \overline{LA} passes via the outputs
11a, 11b to the intermediate memory 12 and is transmitted via the output thereof and the buffer amplifier 13 to the
35 data output DA. It is available thereat until a new signal occurs at the outputs 11a, 11b which is, for its part, accepted into the intermediate memory 12.

If a signal is to be written into a memory cell, the supply of the address signal assigned to said memory cell effects an address signal change which again leads to an output signal 34 and, at the temporal spacing of D2
5 from the trailing edge thereof, to deactivation of the precharging circuit by means of ϕ_{VL} and to activation of blocks 16 and 17 by means of ϕ_{DK} . This memory cell is thereby addressed. Furthermore, the signal R/W is switched over to a second voltage level which identifies
10 a read operation, so that an output signal 34 of the circuit 24 is generated, even given unchanged address signals A. The blocks 6, 7 and 14 are activated by the second voltage level of R/W, whereas 12 and 13 remain deactivated. The signal to be written now passes via 14,
15 15 and 7 to the selected data line pair L, \bar{L} and to the inputs of the read amplifier 6, and this leads to the outputting of an output signal LA, $\bar{L}\bar{A}$, at the outputs 11a and 11b. The control circuit 28 again evaluates the said output signal by ϕ_R going from "1" to "0". In this case,
20 the trailing edge 60 drives the clock voltage generator 26 in such a way that ϕ_{DK} is switched back from "1" to "0" and ϕ_{VL} from "0" to "1". When the output signal at 11a and 11b vanishes, ϕ_R is switched over from "0" to "1", so that the clock voltage generator 26 can again detect a new
25 signal 34' of the circuit 24.

Figure 4 shows an example of a clock voltage generator 26 in complementary circuit technology. The output signal 34 of the signal change detector circuit is connected here to the gate of a p-channel transistor
30 P1 the source of which is connected via a terminal 35 to the supply voltage V_{DD} and the drain of which is connected to an internal node K1. The output signal ϕ_R of the control circuit 28 is connected to a first input of a NAND gate 36 the output of which is connected to the gate
35 of an n-channel transistor N1. The source and drain of N1 are connected to the reference potential V_{SS} or to the internal node K1. A signal CS which is denoted as a chip select signal is expediently applied to a second input 37

of the gate 36. If CS assumes the value "1", the semiconductor memory is activated as such, whereas a value "0" signifies the deactivation of the memory. A hold circuit comprising the inverters I1 and I2 is connected to the node K1. K1 is connected via a buffer amplifier 38 to the output 30 at which the clock voltage ϕ_{DK} is available. Furthermore, K1 is directly connected to the first input of a NOR gate 39 and to a second input of 39 via a delay circuit 40, for example an inverter chain. The output of 39 is connected via a buffer amplifier 41 to the output 29 at which the clock voltage ϕ_{VL} is tapped. The circuit components 39 and 40 provide a delay of the leading edge 42 of ϕ_{VL} with respect to the trailing edge 43 of ϕ_{DK} which is necessary in order to ensure that the decoding of the memory is disconnected before the precharging circuit 9 is cut in.

The status of the node K1 can be set to "0" or "1" via the transistors N1 and P1. In this case, the trailing edge of the output signal 34 sets the node K1 to "1" by switching on P1. This status is then no longer changed by further output signals 34. With the node K1 set to "1", ϕ_{VL} is set to "0" and ϕ_{DK} to "1", so that the precharging circuit 9 is deactivated and the decodings 16, 17 are activated. On the other hand, the statuses $\phi_R = 0$ (the control circuit detects an output signal LA, $\bar{L}\bar{A}$ of the read amplifier 6) or CS = 0 (the memory is no longer activated) effect the switching on of N1 and resetting of the node K1 to "0". This results in the statuses $\phi_{DK} = "0"$ and $\phi_{VL} = "1"$ and thus in disconnection of the decoding and cutting in of the precharging circuit 9.

Given CS = "0" or $\phi_R = "0"$, K1 must be brought reliably into the logic status "0" even given a simultaneously switched-on transistor T1. This assumes that in its on state N1 has a significantly lower resistance between its source terminal and its drain terminal than the transistor P1. Furthermore, N1 and P1 are to be dimensioned in such a way that they deliver noticeably

more current than the inverter I2.

In the circuit according to Figure 4, a transverse current, and thus an undesired power loss, occur given transistors P1 and N1 simultaneously in the on state. In order to avoid this, the terminal 35 is expediently connected via a p-channel transistor P2 to a terminal 35' which is connected to the supply voltage V_{DD} instead of 35. The gate of P2 is then connected to the output of the NAND gate 36. P2 serves as a switching transistor which disconnects the supply voltage V_{DD} from the terminal 35 when the transistor N_1 is switched on. The occurrence of a transverse current is thus prevented.

Figure 5 shows a preferred embodiment of the control circuit 28 and an expedient circuit developments of the read amplifier 6. The read amplifier 6 in this case has $2n$ data line inputs of which the first two are denoted by E_1 and E_1' and are connected to the data lines L_1 and \bar{L}_1 of the first column of the main memory area 1. The inputs E_n and E_n' are connected to the data lines L_n and \bar{L}_n of the n th column. The inputs E_1 and E_1' are assigned three n-channel transistors N_{11} , N_{21} and N_{31} , of which the first two are connected by their source terminals to a node 42a. The drain terminal of N_{21} is connected to the output 11a and the drain terminal of N_{11} is connected to the output 11b. The gate of N_{11} is connected to the input E_1 and the gate of N_{21} is connected to the input E_1' . The node 42a is connected to the drain terminal of the low-end transistor N_{31} , the source of which is connected via a terminal 43a to reference potential. The gate of N_{31} is connected via a terminal 44 to a first output of the column decoding 17, at which a "1" is present when the data line pair L_1 , \bar{L}_1 is selected. The further data line inputs of the read amplifier 6 are assigned in an analogous way n-channel transistors which are connected in a corresponding way to 11a and 11b, the gate terminals of the low-end transistors being connected in each case to the remaining outputs of the column decoding 17. The n-channel transistors assigned to the

inputs E_n and E_n' are denoted in Figure 5 by $N1_n$, $N2_n$ and $N3_n$. The gate terminal of the low-end transistor $N3_n$ has the reference numeral 45, whereas 46 denotes the source terminal of $N3_n$ connected to reference potential.

5 The output 11b is connected to the drain terminal of a p-channel transistor PL1, the source terminal of which is connected to a node 47. In analogy therewith, the output 11a is connected to the drain terminal of a p-channel transistor PL2, the source terminal of which is connected to the node 47. The gate terminal of PL1 is connected to the gate terminal of PL2, and the gate terminal PL2 of (sic) to the drain terminal of PL1. The node 47 is connected via the source-drain path of a further p-channel transistor PS1 to a terminal 48 which is connected to the supply voltage V_{DD} . Furthermore, the outputs 11a and 11b are connected to one another via the source-drain path of an n-channel field-effect transistor N2, the gates of PS1 and N2 being connected to a terminal 49. The transistors PL1 and PL2 represent a p-channel load part 50 of the read amplifier 6. In accordance with Figure 1, an intermediate memory 12 and a buffer amplifier 13 whose output represents the data output DA are connected to the outputs 11a and 11b.

15 The embodiment shown in Figure 5 of the control circuit 28 contains three n-channel transistors NE1, NE2 and NE3, the first two of which are connected with their source terminals to a node 51, the drain terminal of NE1 being connected to a node 52 and the drain terminal of NE2 to a node 53. The gate terminal of NE1 is connected to the output 11a, and the gate terminal of NE2 to the output 11b. The node 51 is connected via the source-drain path of NE3 to a terminal 54 which is connected to reference potential V_{SS} . The gate terminal of NE3 is denoted by 55. The node 52 is connected via the source-drain path of a p-channel transistor PE1 to a terminal 56 which is connected to the supply voltage V_{DD} . In analogy therewith, the node 53 is connected via the source-drain path of a p-channel transistor PE2 to a terminal 57 which

is likewise supplied with the supply voltage. In this arrangement, the gate of of (sic) PE1 is connected to the drain terminal of PE2, and the gate of PE2 to the drain terminal of PE1. The nodes 52 and 53 are connected to one another via the source-drain path of a p-channel transistor PE3 the gate of which is connected to the terminal 55. Furthermore, the nodes 52 and 53 are connected via inverters I3 and I4, respectively, to the inputs of a NOR gate 58 the output of which is connected via a buffer amplifier 59 to the output 28a.

In the precharging phase, that is to say with $\phi_{VL} = "1"$ and $\phi_{DK} = "0"$, all the low-end transistors $N3_1$ to $N3_n$ of the read amplifier 6 are inhibited. A "1" is applied to the terminal 49, so that the outputs 11a and 11b are short-circuited via the transistor N2 and the supply voltage V_{DD} is disconnected via the inhibited transistor PS1. A "0" is applied to the gate terminal 55 of NE3, so that NE3 inhibits and PE3 is in the on state. Consequently, the nodes 52 and 53 are each connected to the potential $V_{DD} - V_t$, V_t signifying the threshold voltage of PE1 or PE2. The inverters I3 and I4 evaluate the potential at 52 or 53 as "1" in each case, so that the output signal ϕ_R that can be tapped at 28a is likewise "1".

When addressing a memory cell, that low-end transistor which belongs to the selected column is switched on. In this case, the signal present at the terminal 49 is switched over from "1" to "0". The outputs 11a and 11b are thereby decoupled from one another, the supply voltage V_{DD} being connected to the node 47 by PS1 being switched on. Furthermore, the signal present at the gate terminal 55, which signal is inverted relative to the signal present at 49, is switched over from "0" to "1". Consequently, the transistor NE3 is switched on, whereas the transistor PE3 inhibits. Since the potentials on the selected data lines respectively change in opposite directions depending on the signal to be read, this is also the case at the outputs 11a and 11b of the

read amplifier 6 representing a differential amplifier. The oppositely directed changes in potential occurring there are denoted in Figure 3 by LA and \overline{LA} . Since, depending on the signal to be read, either LA or \overline{LA} changes in the direction towards the reference potential and a corresponding change in potential also occurs at the node 52 or 53, the response threshold of one of the inverters I3 or I4 is thereby undershot. The relevant inverter thus detects an input signal "0" and applies a "1" to the input, downstream of it, of the NOR gate 58. In this case, the signal ϕ_R occurring at the output 28a is switched over from "1" to "0". This switchover, which is indicated in Figure 3 by the trailing edge 60 of ϕ_R , has the effect that after the elapse of the delay time D3 the transistor N1 is switched on, so that the node K1 (Figure 4) is set to "0" and thus ϕ_{DK} is disconnected, and this furthermore results in inhibiting the low-end transistor, assigned to the selected data line pair, of the read amplifier 6. On the other hand, depending on the trailing edge 60 the clock voltage ϕ_{VL} is switched on again after the elapse of the delay time D4. Moreover, after the elapse of D3 the transistors N2 and PE3 are switched on, so that the potential difference at the outputs 11a and 11b as well as at the nodes 52 and 53 vanishes. The potentials at 52 and 53 are set to the value $V_{DD} - V_t$, as a result of which the two inverters I3 and I4 again evaluate their input signals as "1" and ϕ_R is switched over to "1". Owing to this switchover operation, the NAND gate 36 is set to an output signal "0", and this leads to inhibition of N1, the node K1 remaining, however, at "0" as long as P1 is likewise inhibited. As a result, the clock voltage generator 26 is again sensitised for the next following output signal 34, since the trailing edge thereof switches on P1, as a result of which K1 is set to "1". If the switching transistor PS1 is omitted in a read amplifier 6 otherwise constructed according to Figure 5, the circuit components NE1 to NE3, PE1 to PE3, 52, 53, 56 and 57 of the control circuit 28 can also be eliminated.

The input of I3 is in this case connected directly to the output 11a, and the input of I4 directly to 11b.

5 Departing from Figure 5, the load part 50 of the read amplifier 6 can also be designed in such a way that the gates of PL1 and PL2 are connected to one another and are connected to the drain terminal of PL1. On the other hand, the gates of PL1 and PL2 can also be connected to one another and be connected to a reference voltage terminal. In this case, however, the simplification of
10 the control circuit 28 described in the preceding paragraph is not permissible.

Figure 6 shows a further embodiment of the control circuit 28, in which a bistable circuit design such as given by the cross-coupled transistors PE1 and PE2 in Figure 5 is avoided. A first differential amplifier circuit that largely corresponds in structure to that represented in Figure 5 is represented in the left-hand part of Figure 6. In this case, the n-channel transistors NE11 to NE13 and the p-channel transistors PE11 to PE13 correspond to the circuit components NE1 to NE3 and PE1 to PE3 in Figure 5, there being the difference that the gate terminals of PE11 and PE12 are connected to the drain terminal of PE11. A further difference consists in that the node 53 is connected to
25 an inverter input, but the node 52 is no longer tapped via an inverter input. A second differential amplifier circuit that completely corresponds in structure to the first forms the right-hand part of the circuit according to Figure 6. It contains n-channel transistors NE21 to NE23 and p-channel transistors PE21 to PE23 in a circuit configuration corresponding to the left-hand part of
30 Figure 6. The gate terminal of NE21 is connected to the output 11a, and the gate terminal of NE22 to the output 11b. Furthermore, the source terminal of NE23, which
35 terminal is connected to reference potential V_{SS} , is denoted by 54'. The drain terminals of PE21 and PE22 are denoted by 52' and 53'. Here too, only the node 53' is connected to an inverter input, whereas the node 52' is

not. The inputs of two inverters I5 and I6, which correspond to the inverters I3 and I4 of Figure 5, are connected according to Figure 6 to the nodes 53 and 53'. The outputs of I5 and I6 are connected to the inputs of a NOR gate 61 the output of which is connected via a buffer amplifier 62 to the output 28a.

According to Figure 6, the nodes 52 and 53 as well as 52' and 53' are precharged to a potential $V_{DD} - V_t$, V_t again signifying the threshold voltage of the transistors PE11 or PE12 and PE21 or PE22, respectively. When a memory cell is read, the potential drops, depending on the stored signal, either at the output 11a or 11b of the read amplifier and, consequently, also at the node 53 or 53', either I5 or I6 detecting the reduction in potential as an input signal "0" and supplying a "1" to the downstream input of the NOR gate 61, and this leads to switchover of the signal ϕ_R at the output 28 from "1" to "0". When a "1" is applied to the terminal 55, the potentials at the nodes 53 and 53' are again brought to the precharging value $V_{DD} - V_t$ via the switched-on transistors PE13 and PE23, so that ϕ_R is switched over to the value "1".

The terminals 49 and 55 of the read amplifier 6 or of the control circuit 28 in Figure 5 and Figure 6 are connected to signals AG or \overline{AG} , which is (sic) derived from the clock voltage ϕ_{DK} by the column decoding and write/read controller 17 and supplied via the output lines 22. These signals are "1" or "0" given an activated circuit 17, that is to say given $\phi_{DK} = "1"$, and thus activate the blocks 6 and 28. On the other hand, said signals are "0" or "1" given a deactivated circuit 17, that is to say given $\phi_{DK} = "0"$, and thus deactivate the blocks 6 and 28.

In an embodiment of the control circuit according to Figure 5, disturbances or production-induced asymmetries between the transistors NE1 and NE2 or PE1 and PE2 can cause the circuit to assume one of its two stable states without signal boost occurring at the circuit

points 11a and 11b. This risk exists, however, only if the transistor PE3 has already been inhibited for a relatively long time before the occurrence of a signal boost at 11a and 11b. This risk is completely excluded in the circuit according to Figure 6.

5
10
15
The structure of a signal change detector circuit 24 is disclosed, for example in IEEE Journ. of Solid-State Circuits, Vol. SC-19, Oct. 1984, pages 545 to 551. In order to use not only an address signal change, but also a change in the write/read signal R/W supplied to the memory or in the CS signal when the latter is switched over from "0" to "1", for deriving an output signal 34, simultaneously (sic) constructed circuits 24 are connected downstream of each of the $n + 2$ inputs 20.

15
20
25
Departing from the embodiments, so far described with the aid of Figure 5, of the read amplifier 6, the inputs E_1 , E_1' can also be connected to the outputs of an upstream amplifier stage instead of to the data lines L_1 , \bar{L}_1 (sic), which amplifier stage is connected to the said data lines. On the other hand, the read amplifier 6 represented in Figure 5 can be simplified to the extent that only one n-channel transistor circuit, for example that having the transistors $N1_1$ to $N3_1$, is provided, since the selection of the desired data line pair is already undertaken before the input, for example $E1$ and $E1'$, of the remaining, single-stage read amplifier, for example in the upstream amplifier stages.

30
35
The switching thresholds of the inverters I3 to I6 can be set in a manner known per se to a relatively low value of, for example, 1.5 V by means of the ratio of the channel widths of the p-channel and n-channel transistors contained in them, when the supply voltage V_{DD} is approximately 5 V. It is achieved thereby that the precharging potential at the nodes 52, 53 and 53', which is lower than V_{DD} by the threshold voltage V_t , is still reliably detected by the inverters as an input signal "1".

A gate circuit 19a which is driven by means of ϕ_{DK} in such a way that it inhibits during a memory access can preferably be provided between the output of the buffer amplifier 19 and the inputs 16a and 17a of the row decoding 16 and the column decoding 17. It is prevented thereby that further address signals pass to the decoders 16 and 17 during the memory access.

Also of significance in addition to the embodiments of the invention described above are further embodiments in which the word length of the memory is greater than 1 bit. Provided thereby in each case, given a word length of m bits, are m main memory areas 1, pre-charging circuits 9, read amplifiers 6, write circuits 7, intermediate memories 12, buffer amplifiers 13, 14 and data outputs or data inputs DA, DE. The outputs of the blocks 16 and 17 are then in each case connected to m mutually corresponding word and data lines or read amplifiers, write circuits, intermediate memories and buffer amplifiers. However, in this case the control circuit 28 is expediently connected only to the outputs 11a and 11b of one of the m read amplifiers.

Patent Claims

1. Semiconductor memory having a plurality of memory cells which can be connected via data lines (L_1 , \bar{L}_1) either to a write circuit (7) or to a read amplifier (6), and via the latter to a data input (DE) or data output (DA), in which an activatable precharging circuit (9) is provided which in the activated state charges the data lines to a predetermined potential, in which a signal change detector circuit (24) is present which deactivates the precharging circuit (9) when a signal change occurs, and in which the precharging circuit (9) is reactivated with a time delay after the signal change occurs, characterised in that a clock voltage generator (26) is provided which generates a first clock voltage which drives the precharging circuit and which is influenced by the signal change detector circuit (24) in such a way that when a signal change occurs it switches over the first clock voltage to a first voltage level which deactivates the precharging circuit (9), and in that the read amplifier (6) is connected to a control circuit (28) which influences the clock voltage generator (26) depending on the occurrence of an output signal at the read amplifier (6) in such a way that the first clock voltage is switched over to a second voltage level which activates the precharging circuit (9).

2. Semiconductor memory according to Claim 1, characterised in that the control circuit (28) sensitises the clock voltage generator (26) for driving by the signal change detector circuit (24) when the output signal of the read amplifier (6) is disconnected.

3. Semiconductor memory according to Claim 1 or 2, characterised in that the clock voltage generator (26) generates a second clock voltage for activating a column decoding means (17) which is switched over to a second voltage level, which activates the column decoding means (17), simultaneously with the switchover of the first clock voltage to the first voltage level, and in that the second clock voltage is switched over to a first voltage

level, which deactivates the column decoding means (17), before the switchover of the first clock voltage to the second voltage level.

4. Semiconductor memory according to Claim 3, characterised in that the second clock voltage additionally serves to activate a row decoding means (16) with its second voltage level.

5. Semiconductor memory according to one of the preceding claims, characterised in that a write/read controller (17) is provided, which activates the read amplifier (6) and an intermediate memory (12) connected downstream thereof for a read operation, and activates the read amplifier (6) together with the write circuit (7), but without the intermediate memory (12), for a write operation.

6. Semiconductor memory according to Claim 4, characterised in that connected upstream of the inputs of the row decoding means (16) and column decoding means (17) which receive the address signals is a gate circuit (19a) which is driven by means of the second clock voltage in such a way that it inhibits during the occurrence of the second voltage level of said second clock voltage.

7. Semiconductor memory according to one of Claims 1 to 6, characterised in that the clock voltage generator (26) contains two field-effect transistors (P1, N1) of different channel types, the drain terminals of which are connected to a first node (K1), the source terminal of the first field-effect transistor (P1) being connected to the supply voltage (V_{DD}) and the source terminal of the second (N1) being connected to reference potential (V_{SS}), in that the gate terminal of the first field-effect transistor (P1) represents an input of the clock voltage generator (26) that is connected to the signal change detector circuit, in that the gate terminal of the second field-effect transistor (N1) represents to (sic) an input (27) of the clock voltage generator that is connected to the control circuit (28), in that the first node (K1) is

connected directly to the first input of a NOR gate (39) and to the second input thereof via a delay circuit (40), and in that the first output (29) of the clock voltage generator is connected to the output of the NOR gate (39) and the second output (30) of the clock voltage generator is connected to the first node (K1).

8. Semiconductor memory according to Claim 7, characterised in that the gate terminal of the second field-effect transistor (N1) is connected to the output of a NAND gate (36), the first input of which represents the input (27) of the clock voltage generator that is connected to the control circuit (28), and the second input (37) of which receives a chip select signal.

9. Semiconductor memory according to one of Claims 7 or 8, characterised in that the gate terminal of the second field-effect transistor (N1) is connected to the gate terminal of a third field-effect transistor (P2), which is of the same channel type as the first and is inserted with its source-drain path between the source terminal of the first field-effect transistor (P1) and a terminal (35') which receives the supply voltage.

10. Semiconductor memory according to one of Claims 7 to 9, characterised in that the first node (K1) is connected to a hold circuit comprising two cross-coupled inverters (I1, I2).

11. Semiconductor memory according to one of the preceding claims, characterised in that the control circuit (28) contains three field-effect transistors of a first channel type (NE1 to NE3), two of which are connected via their gate terminals to two outputs (11a, 11b) of the read amplifier (6), in that said two field-effect transistors (NE1, NE2) are connected via their drain terminals to two circuit nodes (52, 53) and via their source terminals to the drain terminal of the third field-effect transistor (NE3), which is connected with its source terminal to reference potential and is connected with its gate terminal to a control input (55), in that the two circuit nodes (52, 53) are connected via the

source-drain paths of in each case one further field-effect transistor (PE1, PE2) of the second channel type to terminals (56, 57) which are connected to the supply voltage, the gate terminal of one of said further field-effect transistors being connected to the drain terminal of the other one in each case, and in that the two circuit nodes (52, 53) are connected on the one hand to one another via a compensation transistor (PE3), the gate of which is connected to the control input (55), and via an inverter (I3, I4) in each case to the inputs of a NOR gate (58), the output of which is connected to the output (28a) of the control circuit (28).

12. Semiconductor memory according to one of Claims 1 to 10, characterised in that the control circuit (28) comprises two inverters (I3, I4) connected to the outputs (11a, 11b) of the read amplifier (6), the outputs of which inverters are connected to the inputs of a NOR gate (58), and in that the output of the NOR gate is connected to the output of the control circuit (28).

13. Semiconductor memory according to one of Claims 1 to 10, characterised in that the control circuit (28) contains three field-effect transistors of the first channel type (NE11 to NE13), two of which are connected via their gate terminals to two outputs (11a, 11b) of the read amplifier (6), in that one of said two field-effect transistors (NE11) is connected via its drain terminal to a first internal circuit node (52) and the other (NE12) is connected via its drain terminal to a first output node (53), in that said two field-effect transistors are connected via their source terminals to the drain terminal of the third field-effect transistor (NE13), which is connected with its source terminal to reference potential and is connected with its gate terminal to a control input (55), in that the first internal node (52) and the first output node (53) are connected on the one hand to one another via a first compensation transistor (PE13), and via the source-drain paths of in each case one additional field-effect transistor (PE11, PE12) of

the second channel type to terminals (56, 57) which receive the supply voltage, the gate terminals of the two additional field-effect transistors being connected to the drain terminal of one of them, in that three additional field-effect transistors (NE21 to NE23) of the first channel type are provided, which are connected, with the exception of the drain terminals of the first two field-effect transistors (NE21, NE22), in accordance with the three field-effect transistors of the first channel type, in that the drain terminal of the first additional field-effect transistor (NE22) is connected to a second internal circuit node (52') and the drain terminal of the second additional field-effect transistor (NE21) is connected to a second output node (53'), in that the second internal node (52') and the second output node (53') are connected on the one hand to one another via a second compensation transistor (PE23) and via the source-drain paths of in each case one further additional field-effect transistor (PE21, PE22) to the terminals (56, 57) which receive the supply voltage, the gate terminals of the further additional field-effect transistors being connected to the drain terminal of one of them, in that the gate terminals of the first and the second compensation transistor (PE13, PE23) are connected to the control input (55), and in that the first and the second output nodes (53, 53') are connected via an inverter (I5, I6) in each case to the inputs of a NOR gate (61), the output of which is connected to the output (28a) of the control circuit (28).

List of reference symbols

1	Main memory area
2, 3	Terminals
4, 5	Nodes
6	Read amplifier
7	Write circuit
8	Outputs of 9
9	Precharging circuit
10	Control input
11a, 11b	Outputs of 6
12	Intermediate memory
13, 14	Buffer amplifiers
15	Input of 7
16	Row decoding
17	Column decoding
18	Lines
19	Buffer amplifier
20	Inputs
21	Lines
22, 23	Output lines
24	Signal change detector circuit
25	Output of 24
26	Clock voltage generator
27	Input of 26
28	Control circuit
29, 30	Outputs of 26
31, 32	Lines
33	Intersection
34	Output signal
35	Terminal
36	NAND gate
37	Input of 36
38	Buffer amplifier
39	NOR gate
40	Delay circuit
41	Buffer amplifier
42	Leading edge

43	Trailing edge
44	Terminal
45	Gate terminal
46	Source terminal
47	Node
48, 49	Terminals
50	p-Channel load part
51...53	Nodes
54	Terminal
55	Gate terminal
56...57	Terminals
58	NOR gate
59	Buffer amplifier
60	Trailing edge
61	NOR gate
T1...T4	Field-effect transistors
T5, T6	Selection transistors
L, \bar{L}	Data lines
WL	Word lines
DA	Data output
DE	Data input

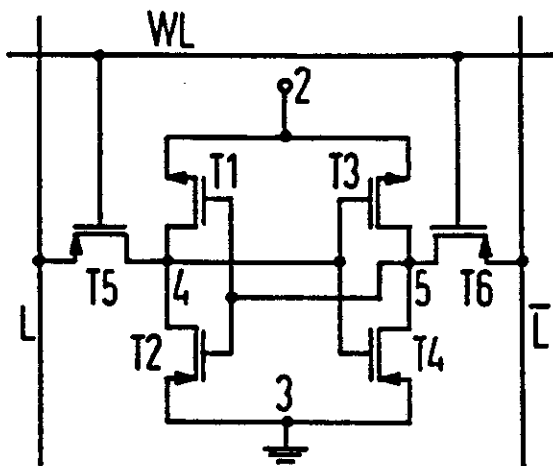
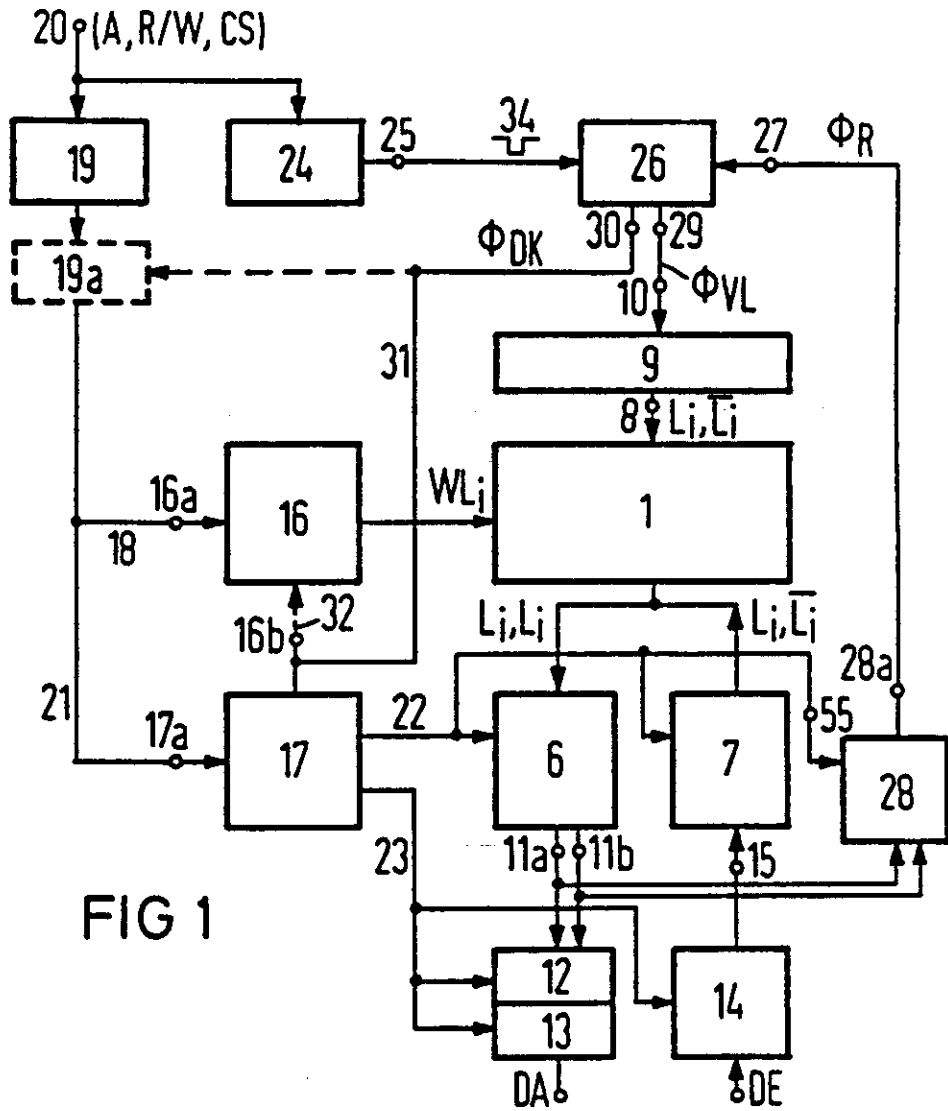


FIG 3

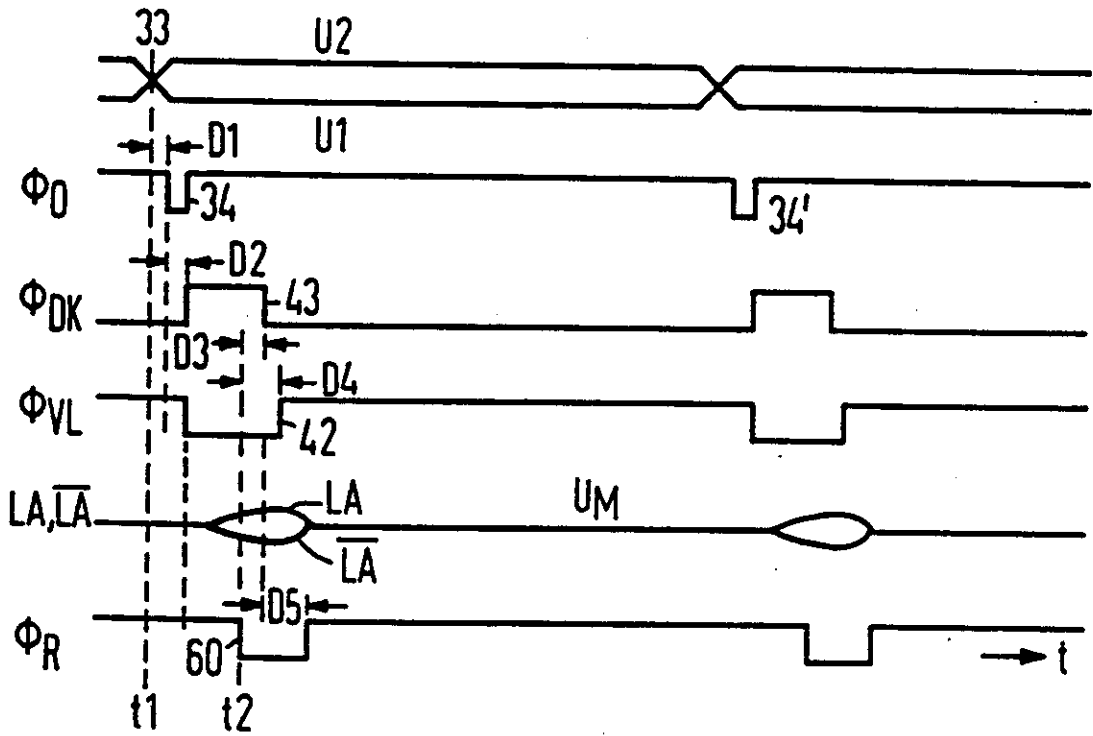


FIG 4

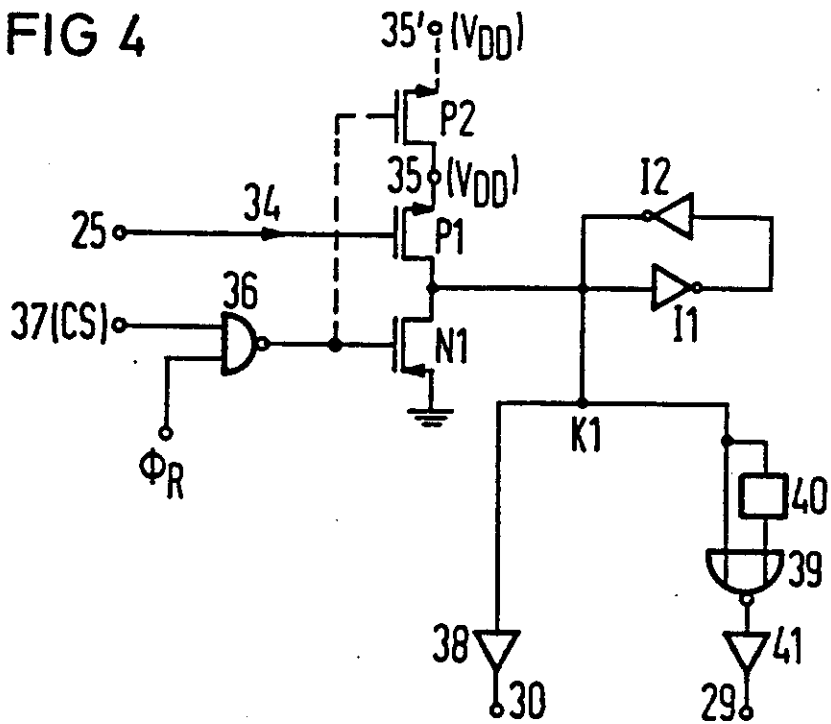


FIG 5

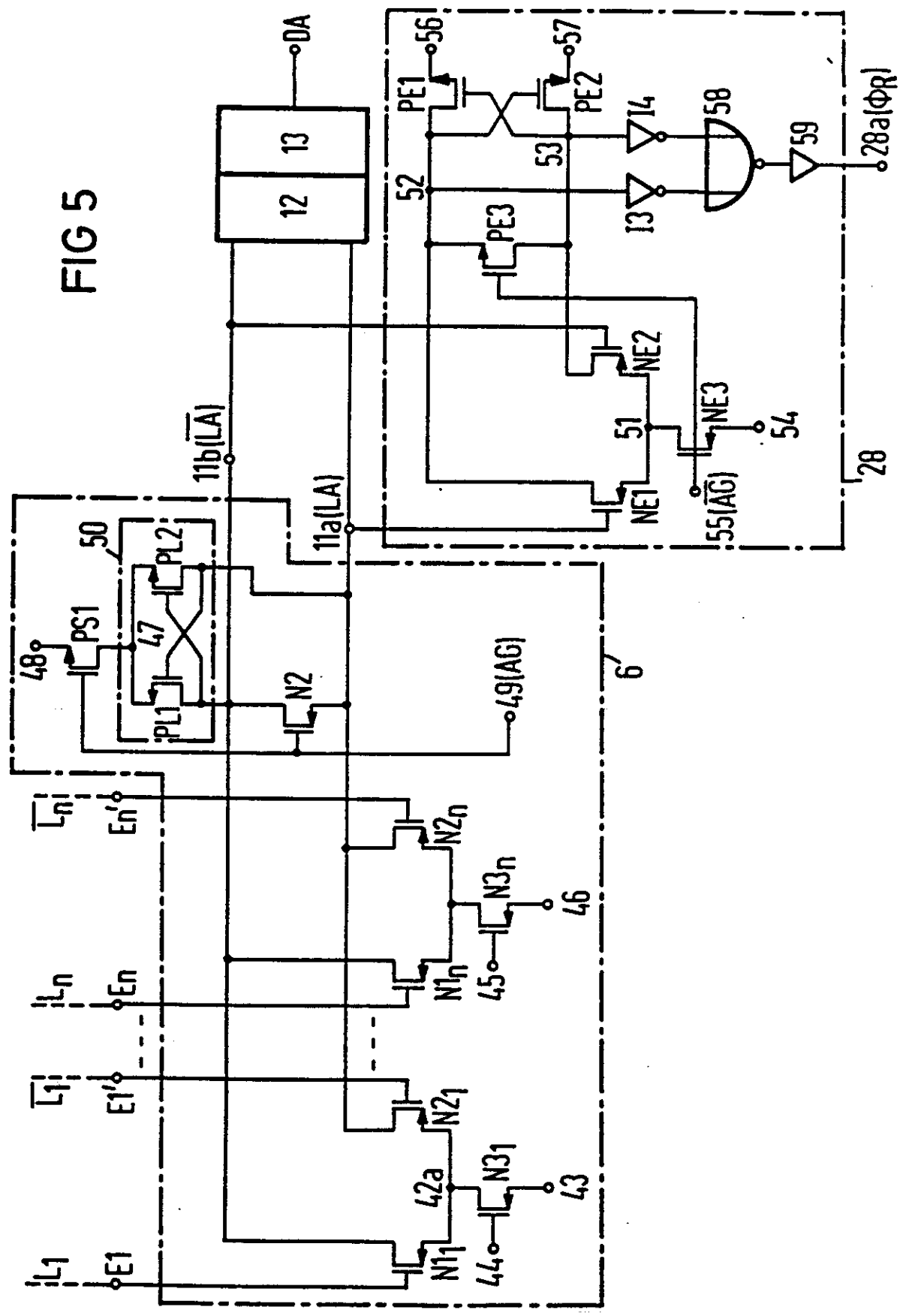
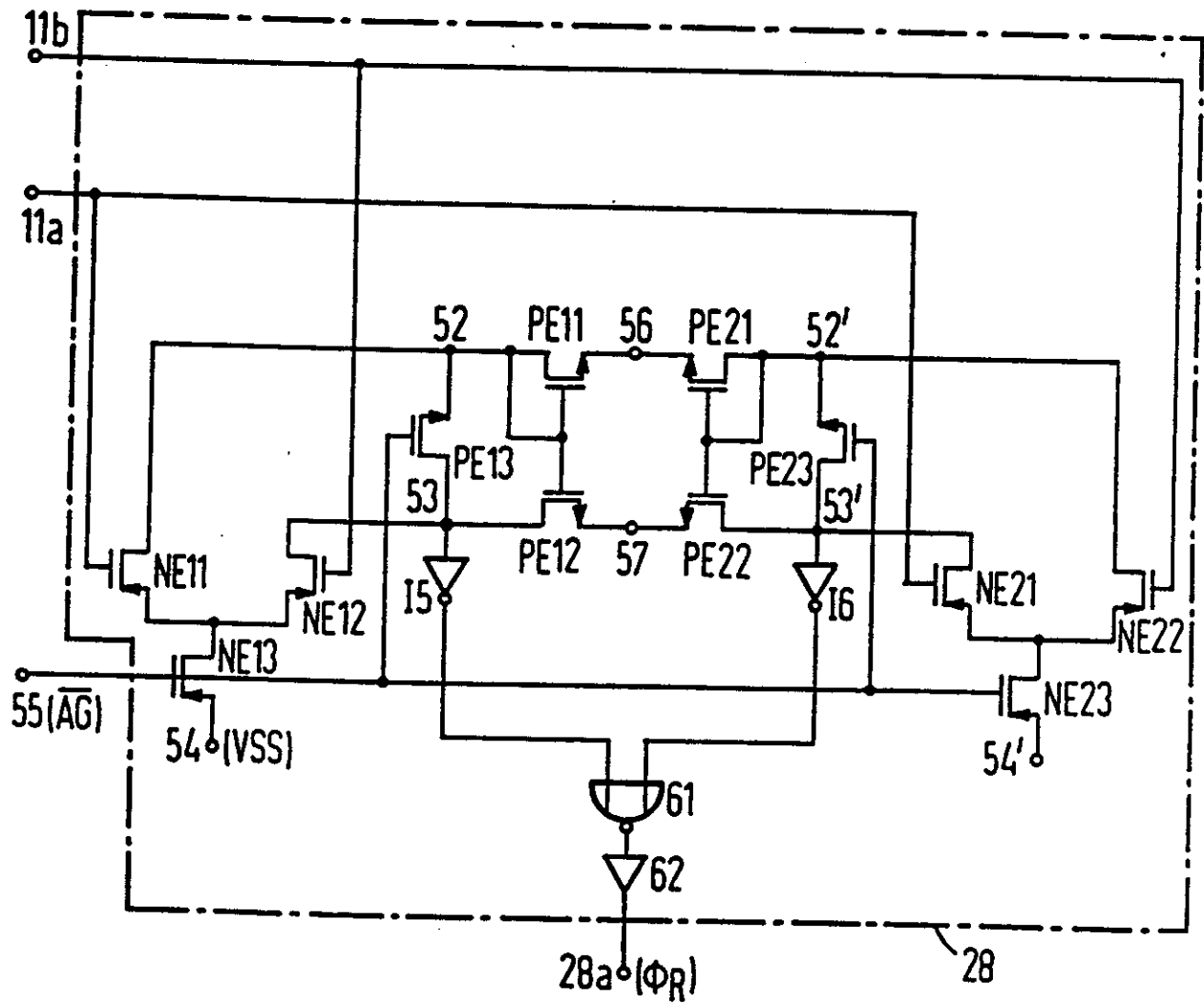


FIG 6



REGISTER ENTRY FOR EP0304591

European Application No EP88110880.7 filing date 07.07.1988

Application in German

Priority claimed:

18.08.1987 in Federal Republic of Germany - doc: 3727548

Designated States DE FR GB IT NL AT

Title SEMICONDUCTOR MEMORY WITH SIGNAL CHANGE DETECTOR CIRCUIT.

Applicant/Proprietor

SIEMENS AKTIENGESELLSCHAFT BERLIN UND MÜNCHEN, Incorporated in the Federal Republic of Germany, Wittelsbacherplatz 2, D-8000 München 2, Federal Republic of Germany [ADP No. 50908391001]

Inventor

DR. RER. NAT. HANS-JÜRGEN MATTAUSCH, Am Brunnen 25, D-8011 Kirchheim, Federal Republic of Germany [ADP No. 56360746001]

Classified to

G11C

Address for Service

SIEMENS GROUP SERVICES LIMITED, Intellectual Property Department, Roke Manor, Old Salisbury Lane, ROMSEY, Hampshire, SO51 0ZN, United Kingdom [ADP No. 05886494002]

Publication No EP0304591 dated 01.03.1989 and granted by EPO 03.03.1993.

Publication in German

Examination requested 19.09.1990

Patent Granted with effect from 03.03.1993 (Section 25(1)) with title SEMICONDUCTOR MEMORY WITH SIGNAL CHANGE DETECTOR CIRCUIT.. Translation filed 04.05.1993

16.07.1990 EPO: Search report published on 16.08.1990

Entry Type 25.11 Staff ID.

Auth ID. EPT

01.02.1993 Notification from EPO of change of Applicant/Proprietor details from

SIEMENS AKTIENGESELLSCHAFT BERLIN UND MÜNCHEN, Incorporated in the Federal Republic of Germany, Wittelsbacherplatz 2, D-8000 München 2, Federal Republic of Germany [ADP No. 50908391001]

to
SIEMENS AKTIENGESELLSCHAFT, Incorporated in the Federal Republic of Germany, Wittelsbacherplatz 2, W-8000 München 2, Federal Republic of Germany [ADP No. 50908391001]

Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

01.02.1993 Notification from EPO of change of Inventor details from
DR. RER. NAT. HANS-JÜRGEN MATTAUSCH, Am Brunnen 25, D-8011
Kirchheim, Federal Republic of Germany [ADP No. 56360746001]
to
DR. RER. NAT. HANS-JÜRGEN MATTAUSCH, Am Brunnen 25, W-8011
Kirchheim, Federal Republic of Germany [ADP No. 60633211001]
Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

02.02.1993 FILE RAISED.

Entry Type 10.1 Staff ID. ER1 Auth ID. AA

11.05.1993 SIEMENS GROUP SERVICES LIMITED, Intellectual Property Department,
Roke Manor, Old Salisbury Lane, ROMSEY, Hampshire, SO51 0ZN, United
Kingdom [ADP No. 05886494002]
registered as address for service
Entry Type 8.11 Staff ID. RL2 Auth ID. F54

**** END OF REGISTER ENTRY ****

0A80-01
EP

OPTICS - PATENTS

22/04/94

16:16:39
PAGE: 1

RENEWAL DETAILS

PUBLICATION NUMBER EP0304591

PROPRIETOR(S)

Siemens Aktiengesellschaft, Incorporated in the Federal Republic of
Germany, Wittelsbacherplatz 2, W-8000 München 2, Federal Republic
of Germany

DATE FILED 07.07.1988

DATE GRANTED 03.03.1993

DATE NEXT RENEWAL DUE 07.07.1994

DATE NOT IN FORCE

DATE OF LAST RENEWAL 18.06.1993

YEAR OF LAST RENEWAL 06

STATUS PATENT IN FORCE