

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 22 日(22.12.2016)



(10) 国際公開番号

WO 2016/203341 A1

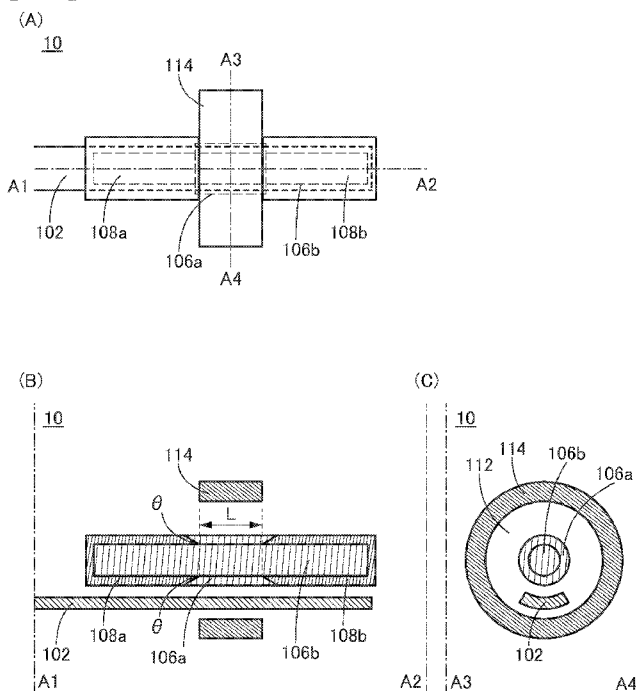
- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/8242 (2006.01)
C23C 14/08 (2006.01) H01L 27/088 (2006.01)
G11C 11/405 (2006.01) H01L 27/10 (2006.01)
H01L 21/28 (2006.01) H01L 27/108 (2006.01)
H01L 21/425 (2006.01) H01L 29/06 (2006.01)
H01L 21/477 (2006.01) H01L 29/41 (2006.01)
H01L 21/8234 (2006.01) H01L 29/417 (2006.01)
- (21) 国際出願番号: PCT/IB2016/053315
- (22) 国際出願日: 2016 年 6 月 7 日(07.06.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-122732 2015 年 6 月 18 日(18.06.2015) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY CO.,
LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷 3 9
8 Kanagawa (JP).
- (72) 発明者: 山崎舜平(YAMAZAKI, Shunpei); 〒2430036
神奈川県厚木市長谷 3 9 8 株式会社半導体エネ
ルギー研究所内 Kanagawa (JP). 松田慎平(MAT-
SUDA, Shinpei); 〒2430036 神奈川県厚木市長谷 3
9 8 株式会社半導体エネルギー研究所内
Kanagawa (JP). 鈴木陽夫(SUZUKI, Akio); 〒2430036
神奈川県厚木市長谷 3 9 8 株式会社半導体エネ
ルギー研究所内 Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LR, LS,
LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図 1]



(57) Abstract: To provide a transistor resistant to short channel effects. This semiconductor device includes: a first electrical conductor provided in the shape of a ring; an oxide semiconductor having an elongated region which passes through to the inside of the first electrical conductor or ring; a first insulator provided between the first electrical conductor and the oxide semiconductor; a second insulator provided between the first electrical conductor and the first insulator; and a second electrical conductor provided passing through to the inside of the first electrical conductor ring; wherein the second electrical conductor is provided in the second insulator.

(57) 要約: 短チャネル効果に耐性を有するトランジスタを提供する。環状に設けられた第 1 の導電体と、第 1 の導電体の環の内側を通して伸長した領域を有する酸化物半導体と、第 1 の導電体と酸化物半導体との間に設けられた第 1 の絶縁体と、第 1 の導電体と第 1 の絶縁体との間に設けられた第 2 の絶縁体と、第 1 の導電体の環の内側を通して設けられた第 2 の導電体と、を有し、第 2 の導電体は、第 2 の絶縁体中に設けられる。



ロシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明細書

発明の名称

半導体装置

技術分野

[0001]

本発明は、例えば、トランジスタおよび半導体装置に関する。または、本発明は、例えば、トランジスタおよび半導体装置の製造方法に関する。または、本発明は、例えば、表示装置、発光装置、照明装置、蓄電装置、記憶装置、プロセッサ、電子機器に関する。または、表示装置、液晶表示装置、発光装置、記憶装置、電子機器の製造方法に関する。または、表示装置、液晶表示装置、発光装置、記憶装置、電子機器の駆動方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、発光装置、照明装置、電気光学装置、半導体回路および電子機器は、半導体装置を有する場合がある。

背景技術

[0004]

電子機器を構成するCPU、メモリなどの様々な集積回路（IC）において、シリコンからなるトランジスタが広く用いられている。電子機器の高性能化、小型化、軽量化に伴い、集積回路は高集積化され、トランジスタのサイズは微細化している。これに従って、トランジスタ作製のプロセスルールも、45nm、32nm、22nmと年々小さくなっている。

[0005]

このように、トランジスタの微細化が進むことで、短チャネル効果と呼ばれる問題が生じている。短チャネル効果とは、トランジスタの微細化（チャネル長（L）の縮小）に伴って顕在化する電気特性の劣化であり、ドレイン電極の電界の効果がソース電極にまでおよぶことに起因するものである。短チャネル効果の具体例としては、しきい値電圧の低下、サブスレッショルドスイング値の増大、漏れ電流の増大などがある。

[0006]

短チャネル効果への対策の一つとして、ナノワイヤトランジスタが挙げられる（特許文献1参照。）。ナノワイヤトランジスタとは、直径数nm乃至数十nm程度の極めて細い円柱状のシリコンを活性層に用いたトランジスタである。シリコンの延伸方向と交差してゲートがシリコンを囲む構造をしており、全周囲を囲んだゲート電極によってドレイン電極の電界がソース電極まで影響することを防ぐことができる。

[先行技術文献]

[特許文献]

[0007]

[特許文献1]特開2011-211127号公報

発明の概要

発明が解決しようとする課題

[0008]

しかしながら、シリコンを用いたナノワイヤトランジスタの、非導通時のリーク電流は、数 $\mu\text{A}/\mu\text{m}$ 程度であり、さらにゲート電圧0Vにおけるリーク電流を低減することが求められている。

[0009]

そこで、本発明の一態様は、短チャネル効果に耐性を有するトランジスタを提供することを課題の一とする。または、ノーマリーオフの電気特性を有するトランジスタを提供することを課題の一とする。または、非導通時のリーク電流の小さいトランジスタを提供することを課題の一とする。または、サブスレッショルドスイング値の小さいトランジスタを提供することを課題の一とする。または、チャネル長の短い微細構造において、安定した電気特性を有するトランジスタを提供することを課題の一とする。

[0010]

または、該トランジスタを有する半導体装置を提供することを課題の一とする。または、該半導体装置を有するモジュールを提供することを課題の一とする。または、該半導体装置、または該モジュールを有する電子機器を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。または、新規なモジュールを提供することを課題の一とする。または、新規な電子機器を提供することを課題の一とする。

[0011]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0012]

本発明の一態様は、環状に設けられた第1の導電体と、第1の導電体の環の内側を通して伸長した領域を有する酸化物半導体と、第1の導電体と、酸化物半導体との間に設けられた第1の絶縁体と、第1の導電体と、第1の絶縁体との間に設けられた第2の絶縁体と、第1の導電体の環の内側を通して設けられた第2の導電体と、を有し、第2の導電体は、第2の絶縁体中に設けられる半導体装置である。

[0013]

また、本発明の一態様は、上記の発明において、酸化物半導体に接して、第1の導電体を間に挟んで設けられた第3の導電体及び第4の導電体と、を有し、第3の導電体と第4の導電体の間の距離は2nm以上30nm以下であることを特徴とする半導体装置である。

[0014]

また、本発明の一態様は、上記の発明において、酸化物半導体の伸長方向に略垂直な面における断面形状は、略円形状であることを特徴とする半導体装置である。

[0015]

また、本発明の一態様は、上記の発明において、酸化物半導体の伸長方向に略垂直な面における断面形状は、略多角形状であることを特徴とする半導体装置である。

[0016]

また、本発明の一態様は、上記の発明において、半導体装置は、基板上に設けられており、基板の上面は酸化物半導体の伸長方向に略平行であることを特徴とする半導体装置である。

[0017]

また、本発明の一態様は、上記の発明において、半導体装置は、基板上に設けられており、基板の上面は酸化物半導体の伸長方向に略垂直であることを特徴とする半導体装置である。

[0018]

また、本発明の一態様は、上記の発明において、第1の絶縁体は、インジウム、元素M (Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf) 及び亜鉛のうち少なくとも一以上を有する半導体装置である。

[0019]

また、本発明の一態様は、基板上に、第1の方向に伸長して設けられた第1の導電体と、第1の導電体上に設けられた第1の絶縁体と、第1の絶縁体上に設けられた、開口を有する第2の絶縁体と、第2の絶縁体に形成された開口の中に、第1の方向に略垂直である第2の方向に伸長して設けられた第2の導電体と第2の絶縁体及び第2の導電体上に設けられた第3の絶縁体と、第3の絶縁体上に設けられた第4の絶縁体と、第3の絶縁体上に、第4の絶縁体を間に挟んで設けられた第3の導電体及び第4の導電体と、第4の絶縁体、第3の導電体及び第4の導電体の上面に接して、第2の方向に伸長して設けられた酸化物半導体と、酸化物半導体の上面及び側面と、第3の導電体の側面に接して、第5の絶縁体を間に挟んで第6の導電体と対向して設けられた第5の導電体と、酸化物半導体の上面及び側面と、第4の導電体の側面に接して、第5の絶縁体を間に挟んで第5導電体と対向して設けられた第6の導電体と、第5の導電体及び第6の導電体上に設けられ、第5の導電体と第6の導電体の間に開口を有する第6の絶縁体と、酸化物半導体の上面、第5の導電体及び第6の導電体の側面、第6の絶縁体の側面と接して設けられた第5の絶縁体と、第5の絶縁体の上面に接して設けられた第7の絶縁体と、第7の絶縁体の上面に接して設けられた第7の導電体と、を有し、第1の方向に略垂直な面の断面において、第4の絶縁体と第5の絶縁体は、酸化物半導体を囲むように設けられ、第3の絶縁体と第7の絶縁体は、第4の絶縁体、酸化物半導体及び第5の絶縁体を囲むように設けられ、第1の導電体と第7の導電体は、第1乃至第3の絶縁体及び第7の絶縁体を囲むように設けられることを特徴とする半導体装置である。

[0020]

また、本発明の一態様は、上記の発明において、第4の絶縁体及び第5の絶縁体は、インジウム、元素M (Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf) 及び亜鉛のうち少なくとも一以上を有する半導体装置である。

[0021]

また、本発明の一態様は、上記の発明において、酸化物半導体は、インジウム、元素M (Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf)、亜鉛および酸素を有することを特徴とする半導体装置である。

発明の効果

[0022]

短チャネル効果に耐性を有するトランジスタを提供することができる。または、ノーマリーオフの電気特性を有するトランジスタを提供することができる。または、非導通時のリーク電流の小さいトランジスタを提供することができる。または、サブスレッショルドスイング値の小さいトランジスタを提供することができる。または、チャネル長の短い微細構造において、安定した電気特性を有するトランジスタを提供することができる。

[0023]

または、該トランジスタを有する半導体装置を提供することができる。または、該半導体装置を有するモジュールを提供することができる。または、該半導体装置、または該モジュールを有する電子機器を提供することができる。または、新規な半導体装置を提供することができる。または、新規なモジュールを提供することができる。または、新規な電子機器を提供することができる。

[0024]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0025]

[図1] 本発明の一態様に係るトランジスタを説明する上面図および断面図。

[図2] 本発明の一態様に係るトランジスタを説明する断面図。

[図3] 本発明の一態様に係るトランジスタを説明する断面図。

[図4] 本発明の一態様に係るトランジスタを説明する断面図。

[図5] 本発明の一態様に係るトランジスタの作製方法を説明する断面図。

[図6] 本発明の一態様に係るトランジスタの作製方法を説明する断面図。

[図7] 本発明の一態様に係るトランジスタの作製方法を説明する断面図。

[図8] 本発明の一態様に係るトランジスタに係るバンド図。

[図9] 数値計算に用いたトランジスタのモデルを示す模式図。

[図10] 数値計算で求めたポテンシャルを表す図。

[図11] CAAC-OSおよび単結晶酸化物半導体のXRDによる構造解析を説明する図、ならびにCAAC-OSの制限視野電子回折パターンを示す図。

[図12] CAAC-OSの断面TEM像、ならびに平面TEM像およびその画像解析像。

[図13] nc-OSの電子回折パターンを示す図、およびnc-OSの断面TEM像。

[図14] alike OSの断面TEM像。

[図15] In-Ga-Zn酸化物の電子照射による結晶部の変化を示す図。

[図16] 本発明の一態様に係る半導体装置を示す回路図。

[図17] 本発明の一態様に係る記憶装置を示す回路図。

[図18] 本発明の一態様に係る記憶装置を示す回路図。

[図19] 本発明の一態様を説明するための回路図およびタイミングチャート。

[図 2 0] 本発明の一態様を説明するためのグラフおよび回路図。

[図 2 1] 本発明の一態様を説明するための回路図およびタイミングチャート。

[図 2 2] 本発明の一態様を説明するための回路図およびタイミングチャート。

[図 2 3] 本発明の一態様に係る半導体装置を示すブロック図。

[図 2 4] 本発明の一態様に係る半導体装置を示す回路図。

[図 2 5] 本発明の一態様に係る電子機器を示す斜視図。

[図 2 6] 本実施例に用いたトランジスタのモデルを示す模式図。

[図 2 7] 本実施例の計算結果を示すグラフ。

発明を実施するための形態

[0026]

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

[0027]

以下の実施の形態に示す構成は、実施の形態に示す他の構成に対して適宜、適用、組み合わせ、又は置き換えなどを行って、本発明の一態様とすることができる。

[0028]

なお、図において、大きさ、膜（層）の厚さ、または領域は、明瞭化のために誇張されている場合がある。

[0029]

なお、本明細書において、「膜」という表記と、「層」という表記と、を互いに入れ替えることが可能である。

[0030]

また、電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。一般的に、電位（電圧）は、相対的なものであり、基準の電位からの相対的な大きさによって決定される。したがって、「接地電位」などと記載されている場合であっても、電位が 0 V であるとは限らない。例えば、回路で最も低い電位が、「接地電位」となる場合もある。または、回路で中間くらいの電位が、「接地電位」となる場合もある。その場合には、その電位を基準として、正の電位と負の電位が規定される。

[0031]

なお、第 1、第 2 として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」などと適宜置き換えて説明することができる。また、本明細書などに記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0032]

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」は境界が曖昧であり、厳密に区別できない場合

がある。したがって、本明細書に記載の「半導体」は、「絶縁体」と言い換えることができる場合がある。同様に、本明細書に記載の「絶縁体」は、「半導体」と言い換えることができる場合がある。

[0033]

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する場合がある。また、「半導体」と「導電体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「導電体」と言い換えることができる場合がある。同様に、本明細書に記載の「導電体」は、「半導体」と言い換えることができる場合がある。

[0034]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS (Density of State) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

[0035]

なお、チャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル長は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0036]

チャネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル幅は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0037]

なお、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル幅（以下、実効的なチャネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャネル幅（以下、見かけ上のチャネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャネル幅が、トランジスタの上面図において示される見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有する

トランジスタでは、半導体の側面及び下面に形成されるチャネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャネル幅よりも、実際にチャネルの形成される実効的なチャネル幅の方が大きくなる。

[0038]

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0039]

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

[0040]

(実施の形態1)

本実施の形態では、本発明の一態様に係る半導体装置の構成について、図1乃至図7を用いて説明する。

[0041]

<トランジスタの構成>

以下では、本発明の一態様に係る半導体装置の一例としてトランジスタの構成について説明する。

[0042]

図1(A)乃至図1(C)を用いてトランジスタ10の構成について説明する。図1(A)はトランジスタ10の上面図である。図1(B)は図1(A)の一点鎖線A1-A2に対応する断面図であり、図1(C)は図1(A)の一点鎖線A3-A4に対応する断面図である。なお、一点鎖線A1-A2で示す領域では、トランジスタ10のチャネル長方向における構造を示しており、一点鎖線A3-A4で示す領域では、一点鎖線A1-A2に垂直な方向における構造を示している。なお、トランジスタのチャネル長方向とは、ソース(ソース領域またはソース電極)及びドレイン(ドレイン領域またはドレイン電極)間において、キャリアが移動する方向を意味する。また、図1(A)、図1(B)において、図面が煩雑になることを避けるため、絶縁体112など一部の構造を省略して表現している。

[0043]

トランジスタ10は、環状に設けられた導電体114と、導電体114の環の内側を通して伸長した領域を有する半導体106bと、導電体114と半導体106bとの間に設けられた絶縁体106aと、導電体114と絶縁体106aとの間に設けられた絶縁体112と、導電体114の環の内側を通して設けられた導電体102と、を有する。ここで、導電体102は絶縁体112中に設けられている。また、半導体106bに接して、導電体114を間に挟んで対向して設けられた導電体108a及び導電体108bと、を有する。

[0044]

ここで、絶縁体106a及び絶縁体112は、絶縁膜又は絶縁層ということもできる。また、導電体102、導電体108a、導電体108b及び導電体114は、導電膜又は導電層ということもで

きる。また、半導体106bは、半導体膜又は半導体層ということもできる。

[0045]

なお、詳細は後述するが、絶縁体106aは、単独で用いる場合、導電体、半導体または絶縁体として機能させることができる物質を用いる場合がある。しかしながら、半導体106bと接してトランジスタを形成する場合、電子は半導体106b、および半導体106bと絶縁体106aの界面近傍を流れ、絶縁体106aは当該トランジスタのチャネルとして機能しない領域を有する。このため、本明細書などにおいては、絶縁体106aを導電体及び半導体と記載せず、絶縁体と記載するものとする。

[0046]

トランジスタ10において、半導体106bは活性層として機能し、導電体114はゲート電極として機能し、絶縁体112はゲート絶縁膜として機能し、導電体108aと導電体108bはソース電極またはドレイン電極として機能する。

[0047]

半導体106bは、図1(B)に示すように、少なくとも導電体114の環の内側を通る部分において、伸長して設けられており、例えば紐状、棒状又は柱状などの形状をとる。また、図1(C)に示すように、半導体106bの伸長方向に略垂直な断面における断面形状は略円形状であることが好ましい。図1(C)における半導体106bの幅(半導体106bが円形なら直径と呼ぶこともできる)は、数nm乃至数十nm程度であり、例えば、1nm以上50nm以下、好ましくは2nm以上30nm以下とすればよい。なお、本明細書等において、略円形とは、真円だけでなく、楕円などの真円から外れた円形も含むものとする。

[0048]

このように、半導体106bは幅数nm乃至数十nm程度の細長いワイヤー状の構造体なので、ナノワイヤと呼ぶことができる。また、図1(A)乃至(C)に示すように、絶縁体106a、導電体108a、導電体108b、絶縁体112、導電体102及び導電体114を含めても細長いワイヤー状の構造体なので、これらを含めてナノワイヤと呼ぶこともできる。また、トランジスタ10はナノワイヤを用いたトランジスタなので、ナノワイヤトランジスタと呼ぶこともできる。

[0049]

絶縁体106aは、図1(B)に示すように、半導体106bと導電体114が重なる領域の少なくとも一部において、半導体106bに接して設けられる。また、図1(C)に示すように、半導体106bの伸長方向(A1-A2方向)に略垂直な断面において、絶縁体106aは半導体106bに接して同心円状に設けられる。

[0050]

導電体108a及び導電体108bは、図1(B)に示すように、側面が絶縁体106aと接して、互いに対向して設けられることが好ましい。また、図示していないが、半導体106bの伸長方向(A1-A2方向)に略垂直な断面において、導電体108a及び導電体108bは半導体106bを包み込むように設けられることが好ましい。

[0051]

また、図1(B)に示すように、トランジスタ10のチャネル長Lは、導電体108aと導電体108bの距離となっている。導電体108aと導電体108bの距離、すなわちトランジスタ10の

チャンネル長 L は、数 nm 乃至数十 nm 程度とすればよく、例えば、 2 nm 以上 30 nm 以下とすることが好ましい。

[0052]

また、図1 (B) に示すように、導電体108a及び導電体108bの側面端部がテーパ形状を有することが好ましい。具体的には導電体108a及び導電体108bの側面端部の傾斜角 θ を 30° 以上 90° 未満、好ましくは 45° 以上 80° 未満、より好ましくは 45° 以上 60° 未満とする。このように、導電体108a及び導電体108bの側面端部をテーパ形状とすることで、より導電体108aと導電体108bの距離を短くすることができ、トランジスタ10のチャンネル長 L を短くすることができる。

[0053]

導電体114は、図1 (B) (C) に示すように、半導体106b、絶縁体106a及び導電体102の少なくとも一部を囲むように環状に設けられている。なお、本明細書等において、環状とは、輪環だけでなく、多角環などの形状も含むものとする。または、導電体114は半導体106b、絶縁体106a及び導電体102の少なくとも一部の周囲を囲むことができればよい。例えば、導電体114が閉路状の構造を含む構造とすればよい。ここで、導電体114は、半導体106bの導電体108aと導電体108bに挟まれた領域（半導体106bのチャンネル形成領域と呼ぶこともできる。）の少なくとも一部と重なるように形成されることが好ましい。

[0054]

絶縁体112は、絶縁体106aと導電体114の間を埋めるように形成されることが好ましい。また、絶縁体112によって、半導体106b、導電体102及び導電体114がそれぞれ絶縁されていることが好ましい。このため、絶縁体112を複数の絶縁体を組み合わせて形成してもよい。例えば、絶縁体106aと導電体102の間に形成された絶縁体と、導電体102と導電体114の間に形成された絶縁体と、を組み合わせる絶縁体112としてもよい。

[0055]

導電体102は、導電体114の環の内側を通して設けられており、絶縁体112を介して絶縁体106aと導電体114との間に形成されている。また、図1 (C) に示すように、半導体106bの伸長方向（A1－A2方向）に略垂直な断面において、導電体102の幅は、例えば半導体106bの幅と同程度にすればよい。ただし、導電体102の幅はこれに限られず、適宜設定することができる。また、半導体106bの伸長方向（A1－A2方向）に略垂直な断面において、導電体102の形状は、半導体106bと同心円状の弧を有する形状としてもよい。ただし、導電体102の形状はこれに限られず、適宜設定することができる。

[0056]

トランジスタ10は基板上に設けられるが、基板の上面に対して半導体106bの伸長方向（A1－A2方向）が略平行になるようにトランジスタ10を形成してもよい。また、基板の上面に対して半導体106bの伸長方向（A1－A2方向）が略垂直になるようにトランジスタ10を形成してもよい。

[0057]

<半導体>

以下、半導体106bの詳細な構成について説明する。

[0058]

なお、本項目においては、半導体106bとともに絶縁体106aの詳細な構成についても説明する。

[0059]

半導体106bは、例えば、インジウムを含む酸化物半導体である。半導体106bは、例えば、インジウムを含むと、キャリア移動度（電子移動度）が高くなる。また、半導体106bは、元素Mを含むと好ましい。元素Mは、好ましくは、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHfを表すとする。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素Mは、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、半導体106bは、亜鉛を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

[0060]

ただし、半導体106bは、インジウムを含む酸化物半導体に限定されない。半導体106bは、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物などの、インジウムを含まず、亜鉛を含む酸化物半導体、ガリウムを含む酸化物半導体、スズを含む酸化物半導体などであっても構わない。

[0061]

例えば、絶縁体106aは、半導体106bを構成する酸素以外の元素一種以上、または二種以上から構成される酸化物半導体である。半導体106bを構成する酸素以外の元素一種以上、または二種以上から絶縁体106aが構成されるため、絶縁体106aと半導体106bとの界面において、欠陥準位が形成されにくい。

[0062]

絶縁体106a及び半導体106bは、少なくともインジウムを含むと好ましい。なお、絶縁体106aがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが50atomic%未満、Mが50atomic%より高く、さらに好ましくはInが25atomic%未満、Mが75atomic%より高いとする。また、半導体106bがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが25atomic%より高く、Mが75atomic%未満、さらに好ましくはInが34atomic%より高く、Mが66atomic%未満とする。ただし、絶縁体106aがインジウムを含まなくても構わない場合がある。例えば、絶縁体106aが酸化ガリウムであっても構わない。なお、絶縁体106a及び半導体106bに含まれる各元素の原子数が、簡単な整数比にならなくても構わない。

[0063]

例えば、スパッタリング法を用いて成膜する場合、絶縁体106aに用いるターゲットの金属元素の原子数比の代表例としては、In:M:Zn=1:2:4、In:M:Zn=1:3:2、In:M:Zn=1:3:4、In:M:Zn=1:3:6、In:M:Zn=1:3:8、In:M:Zn=1:4:3、In:M:Zn=1:4:4、In:M:Zn=1:4:5、In:M:Zn=1:4:6、In:M:Zn=1:6:3、In:M:Zn=1:6:4、In:M:Zn=1:6:5、In:M:Zn=1:6:6、In:M:Zn=1:6:7、In:M:Zn=1:6:8、In:

M : Z n = 1 : 6 : 9 等がある。

[0064]

また、例えば、スパッタリング法を用いて成膜する場合、半導体106bに用いるターゲットの金属元素の原子数比の代表例としては、 $I n : M : Z n = 1 : 1 : 1$ 、 $I n : M : Z n = 1 : 1 : 1.2$ 、 $I n : M : Z n = 2 : 1 : 1.5$ 、 $I n : M : Z n = 2 : 1 : 2.3$ 、 $I n : M : Z n = 2 : 1 : 3$ 、 $I n : M : Z n = 3 : 1 : 2$ 、 $I n : M : Z n = 4 : 2 : 4.1$ 等がある。特に、スパッタリングターゲットとして、原子数比が $I n : G a : Z n = 4 : 2 : 4.1$ を用いる場合、成膜される半導体106bの原子数比は、 $I n : G a : Z n = 4 : 2 : 3$ 近傍となる場合がある。

[0065]

半導体106bは、例えば、エネルギーギャップが大きい酸化物を用いる。半導体106bのエネルギーギャップは、例えば、2.5 eV以上4.2 eV以下、好ましくは2.8 eV以上3.8 eV以下、さらに好ましくは3 eV以上3.5 eV以下とする。ここで、絶縁体106aのエネルギーギャップは、半導体106bのエネルギーギャップより大きい。

[0066]

半導体106bは、絶縁体106aよりも電子親和力の大きい酸化物を用いる。例えば、半導体106bとして、絶縁体106aよりも電子親和力の0.07 eV以上1.3 eV以下、好ましくは0.1 eV以上0.7 eV以下、さらに好ましくは0.15 eV以上0.4 eV以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。言い換えると、絶縁体106aの伝導帯下端のエネルギー準位は、半導体106bの伝導帯下端のエネルギー準位より真空準位に近い。

[0067]

このとき、ゲート電圧を印加すると、絶縁体106a及び半導体106bのうち、電子親和力の大きい半導体106bにチャンネルが形成される。なお、高いゲート電圧を印加すると、絶縁体106aの半導体106bとの界面近傍においても電流が流れる場合がある。

[0068]

上記の通り、絶縁体106aは、単独で用いる場合、導電体、半導体または絶縁体として機能させることができる物質からなる。しかしながら、半導体106bと積層させてトランジスタを形成する場合、電子は半導体106b、または半導体106bと絶縁体106aの界面近傍を流れ、絶縁体106aは当該トランジスタのチャンネルとして機能しない領域を有する。このため、本明細書などにおいては、絶縁体106aを半導体と記載せず、絶縁体と記載するものとする。なお、絶縁体106aを絶縁体と記載するのは、あくまで半導体106bと比較してトランジスタの機能上絶縁体に近い機能を有するためなので、絶縁体106aとして、半導体106bに用いることができる物質を用いる場合もある。

[0069]

ここで、絶縁体106aと半導体106bとの間には、絶縁体106aと半導体106bとの混合領域を有する場合がある。混合領域は、欠陥準位密度が低くなる。そのため、絶縁体106aと半導体106bの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド図となる（図8参照。）。なお、絶縁体106aと半導体106bは、それぞれの界面を明確に判別できない場合がある。

[0070]

このとき、電子は、絶縁体106a中ではなく、半導体106b中を主として移動する。上述したように、絶縁体106aと半導体106bとの界面における欠陥準位密度を低くすることによって、半導体106b中で電子の移動が阻害されることが少なく、トランジスタのオン電流を高くすることができる。

[0071]

本実施の形態に示す絶縁体106a及び半導体106b、特に半導体106bは、不純物濃度が低く、欠陥準位密度の低い（酸素欠損の少ない）酸化物半導体であり、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶことができる。高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、該酸化物半導体にチャネル領域が形成されるトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーモリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。さらに、高純度真性または実質的に高純度真性である酸化物半導体は、オフ電流が著しく小さく、チャネル幅 W が $1 \times 10^6 \mu\text{m}$ でチャネル長 L が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が1Vから10Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{A}$ 以下という特性を得ることができる。

[0072]

したがって、上記高純度真性、または実質的に高純度真性の酸化物半導体にチャネル領域が形成されるトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとすることができる。なお、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。不純物としては、水素、窒素、アルカリ金属、またはアルカリ土類金属等がある。

[0073]

絶縁体106a及び半導体106bに含まれる水素は、金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損を形成する。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。特に酸素欠損にトラップされた水素は、半導体のバンド構造に対して浅いドナー準位を形成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーモリーオン特性となりやすい。このため、絶縁体106a及び半導体106bは水素ができる限り低減されていることが好ましい。具体的には、絶縁体106a及び半導体106bにおいて、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる水素濃度を、 $2 \times 10^{20} \text{atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{atoms/cm}^3$ 以下、好ましくは $1 \times 10^{18} \text{atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ 以下とする。

[0074]

絶縁体106a及び半導体106bにおいて、第14族元素の一つであるシリコンや炭素が含まれると、絶縁体106a及び半導体106bにおいて酸素欠損が増加し、n型化してしまう。このため、絶縁体106a及び半導体106bにおけるシリコンや炭素の濃度と絶縁体106a及び半導体106bとの界面近傍のシリコンや炭素の濃度（SIMS分析により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0075]

また、絶縁体106a及び半導体106bにおいて、SIMS分析により得られるアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流が増大してしまうことがある。このため、絶縁体106a及び半導体106bのアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。

[0076]

また、絶縁体106a及び半導体106bに窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオン特性となりやすい。従って、半導体106bにおいて、窒素はできる限り低減されていることが好ましい、例えば、SIMS分析により得られる窒素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下にすることが好ましい。

[0077]

また、半導体106bなどの導電体108a又は導電体108bと接する界面近傍に低抵抗領域が形成されることがある。低抵抗領域は、主に、半導体106bが接した導電体108a又は導電体108bに酸素を引き抜かれる、または導電体108a又は導電体108bに含まれる導電材料が半導体106b中の元素と結合することにより形成される。このような低抵抗領域が形成されることにより、導電体108a又は導電体108bと半導体106bとの接触抵抗を低減することが可能となるのでトランジスタ10のオン電流を増大させることができる。

[0078]

なお、上述の絶縁体106a及び半導体106bの2層構造は一例である。例えば、絶縁体106aを設けない単層構造としてもよいし、絶縁体106aまたは半導体106bとして例示した絶縁体、半導体又は導電体のいずれかをさらに有するn層構造（nは3以上の整数）としても構わない。

[0079]

なお、酸化物半導体の構造については、後述する実施の形態において詳細に説明を行う。

[0080]

<チャネル部のポテンシャルの計算>

ここで、酸化物半導体膜を用いたトランジスタのモデルについて数値計算を行って、チャネル部のポテンシャル障壁の高さについて評価した結果について説明する。

[0081]

図9に数値計算に用いたトランジスタのモデルの模式図を示す。図9に示すように、数値計算に用いたモデルでは、ソース電極とドレイン電極の間に半導体膜が形成され、ソース電極、半導体膜及びドレイン電極の上にゲート絶縁膜が形成され、ゲート絶縁膜の上にゲート電極が形成される。なお、

図9中の、 ϵ_s は半導体膜の誘電率、 ϵ_{ox} はゲート絶縁膜の誘電率、 t_s は半導体膜の厚さ、 t_{ox} はゲート絶縁膜の厚さである。数値計算では、 ϵ_s の比誘電率を15、 ϵ_{ox} の比誘電率を4.1とし、真空の誘電率を $8.854187817 \times 10^{-12} \text{ F/m}$ とした。また、 t_s を15 nm、 t_{ox} を10 nmとした。また、ソース電極とドレイン電極の距離（チャンネル長）をLとする。

[0082]

図9に示すトランジスタについて、図中に斜線で示した、チャンネル部となる半導体膜中の微小な区間x乃至x+dxにガウスの法則を適用する。ここで酸化半導体膜を用いたトランジスタは、nチャンネル型の蓄積型のトランジスタであり、以下の式(1)で表される。

[0083]

[数1]

$$-\epsilon_s t_s \left[-\frac{d\phi(x)}{dx} + \frac{d\phi(x+dx)}{dx} \right] - \epsilon_{ox} \frac{V_G - V_{FB} - \phi(x)}{t_{ox}} dx = -e N_C \exp\left(\frac{\phi(x)}{k_B T}\right) t_s dx \quad (1)$$

[0084]

ここで、 $\phi(x)$ は位置xにおけるポテンシャル（表面ポテンシャル）、 $\phi(x+dx)$ は位置x+dxにおけるポテンシャル（表面ポテンシャル）、 V_G はゲート電圧、 V_{FB} はフラット・バンド電圧、eは素電荷、 N_C は実効状態密度、 k_B はボルツマン定数、Tは絶対温度である。数値計算では、 $V_G = 0 \text{ V}$ 、 $V_{FB} = 0.4 \text{ V}$ 、 $N_C = 5.00 \times 10^{18} \text{ 個/cm}^3$ 、 $T = 300 \text{ K}$ とした。

[0085]

また、比較対象として、nチャンネル型の反転型のトランジスタを想定すると、当該トランジスタでは、以下の式(2)で表される。

[0086]

[数2]

$$-\epsilon_s t_s \left[-\frac{d\phi(x)}{dx} + \frac{d\phi(x+dx)}{dx} \right] - \epsilon_{ox} \frac{V_G - V_{FB} - \phi(x)}{t_{ox}} dx = -e N_A t_s dx \quad (2)$$

[0087]

ここで、 N_A はアクセプター密度であり、数値計算では $N_A = 1.00 \times 10^8 \text{ 個/cm}^3$ とした。

[0088]

以上の式(1)及び式(2)を変形するとポアソン方程式が得られる。当該ポアソン方程式を数値計算してチャンネル部分のポテンシャルを解析した。蓄積型の式(1)及び反転型の式(2)それぞれにおいて、 $L = 1 \mu\text{m}$ 、 300 nm 、 100 nm 、 60 nm 、 30 nm 及び 10 nm のモデルについて数値計算を行った。なお、ガウス・ザイデル法に従って、数値計算を行った。

[0089]

図10(A)及び図10(B)に蓄積型のチャンネル部のポテンシャル及び反転型のチャンネル部のポテンシャルの数値計算の結果を示す。図10(A)及び図10(B)は、横軸にx[nm]をとり、縦軸に $-e\phi(x)$ [eV]をとる。また、図10(C)及び図10(D)に、図10(A)及び図10(B)の横軸xをLで規格化したグラフを示す。

[0090]

図10(A)(C)と図10(B)(D)を比較すると、 $L=1\mu\text{m}$ 、 300nm 及び 100nm のモデルでは、ポテンシャルがほぼ同程度である。これに対して、 $L=60\text{nm}$ 、 30nm 及び 10nm のモデルでは、蓄積型のモデルのポテンシャルが反転型のモデルのポテンシャルより大きくなっており、 L が短くなるにつれてその傾向が顕著に表れている。

[0091]

このように、 $L=100\text{nm}$ 未満のチャネル長が短いトランジスタにおいて、酸化半導体膜を用いた蓄積型トランジスタは、シリコンなどの反転型トランジスタよりも、 $V_G=0\text{V}$ でのバリア障壁が高いことが示された。よって、酸化半導体膜を用いた蓄積型トランジスタでは、 $L=100\text{nm}$ 未満のチャネル長が短い構造においても、しきい値電圧を 0V より大きくすることができる。つまり、酸化半導体膜を用いた蓄積型トランジスタは、シリコンなどの反転型トランジスタよりも、短チャネル効果に対する耐性を有しているといえることができる。

[0092]

また、上記実施の形態に示すように、OS膜中の不純物濃度を低減し、高純度真性または実質的に高純度真性にすることで、さらにキャリア密度を低減させることができるので、より短チャネル効果に対する耐性を強くすることができる。

[0093]

さらに、本実施の形態に示すように、酸化半導体膜をゲート電極で囲む構造のトランジスタを形成することで、より短チャネル効果に耐性を有するトランジスタを形成することができる。例えば、チャネル長を 2nm 乃至 30nm 程度としても、良好なオフ電流特性を得られることが推測される。

[0094]

<絶縁体、導電体>

以下に、トランジスタ10の半導体以外の各構成要素について詳細な説明を行う。

[0095]

導電体102は、半導体106bの導電体108aと導電体108bに挟まれる領域において、少なくとも一部が重なることが好ましい。導電体102は、トランジスタ10のバックゲートとして機能する。このような導電体102を設けることにより、トランジスタ10のしきい値電圧の制御を行うことができる。しきい値電圧の制御を行うことによって、トランジスタ10のゲート(導電体114)に印加された電圧が低い、例えば印加された電圧が 0V 以下のときに、トランジスタ10が導通状態となることを防ぐことができる。つまり、トランジスタ10の電気特性を、よりノーマリーオフの方向にシフトさせることが容易になる。

[0096]

導電体102としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

[0097]

絶縁体112は、トランジスタ10において、導電体114及び導電体102に対してゲート絶縁

膜として機能する。絶縁体 1 1 2 は過剰酸素を有する絶縁体であることが好ましい。例えば、絶縁体 1 1 2 としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体 1 1 2 としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。好ましくは、酸化シリコンまたは酸化窒化シリコンを用いる。

[0098]

過剰酸素を有する絶縁体 1 1 2 を設けることにより、絶縁体 1 1 2 から絶縁体 1 0 6 a 及び半導体 1 0 6 b に酸素を供給することができる。当該酸素により、絶縁体 1 0 6 a 及び半導体 1 0 6 b の欠陥となる酸素欠損を低減することができる。これにより、絶縁体 1 0 6 a 及び半導体 1 0 6 b の欠陥準位密度を低減することができる。

[0099]

なお、本明細書などにおいて、過剰酸素とは、例えば、化学量論的組成を超えて含まれる酸素をいう。または、過剰酸素とは、例えば、加熱することで当該過剰酸素が含まれる膜又は層から放出される酸素をいう。過剰酸素は、例えば、膜や層の内部を移動することができる。過剰酸素の移動は、膜や層の原子間を移動する場合や、膜や層を構成する酸素と置き換わりながら玉突き的に移動する場合などがある。

[0100]

過剰酸素を有する絶縁体 1 1 2 は、昇温脱離ガス分光法分析 (TDS 分析) にて、100℃以上700℃以下または100℃以上500℃以下の表面温度の範囲で、酸素分子の脱離量が $1.0 \times 10^{14} \text{ molecule/cm}^2$ 以上 $1.0 \times 10^{16} \text{ molecule/cm}^2$ 以下、より好ましくは、 $1.0 \times 10^{15} \text{ molecule/cm}^2$ 以上 $5.0 \times 10^{15} \text{ molecule/cm}^2$ 以下となる。

[0101]

TDS 分析を用いた分子の放出量の測定方法について、酸素の放出量を例として、以下に説明する。

[0102]

測定試料を TDS 分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に比例する。そして標準試料との比較により、気体の全放出量を計算することができる。

[0103]

例えば、標準試料である所定の密度の水素を含むシリコン基板の TDS 分析結果、および測定試料の TDS 分析結果から、測定試料の酸素分子の放出量 (N_{O_2}) は、下に示す式で求めることができる。ここで、TDS 分析で得られる質量電荷比 32 で検出されるガスの全てが酸素分子由来と仮定する。 CH_3OH の質量電荷比は 32 であるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数 17 の酸素原子および質量数 18 の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

[0104]

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \alpha$$

[0105]

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 N_{H_2}/S_{H_2} とする。 S_{O_2} は、測定試料をTDS分析したときのイオン強度の積分値である。 α は、TDS分析におけるイオン強度に影響する係数である。上に示す式の詳細に関しては、特開平6-275697公報を参照する。なお、上記酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として一定量の水素原子を含むシリコン基板を用いて測定する。

[0106]

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

[0107]

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

[0108]

または、加熱処理によって酸素を放出する絶縁体は、過酸化ラジカルを含むこともある。具体的には、過酸化ラジカルに起因するスピン密度が、 $5 \times 10^{17} \text{ spins/cm}^3$ 以上であることをいう。なお、過酸化ラジカルを含む絶縁体は、電子スピン共鳴法(ESR: Electron Spin Resonance)にて、 g 値が2.01近傍に非対称の信号を有することもある。

[0109]

また、絶縁体112は、絶縁体112の外側からの不純物の拡散を防止する機能を有してもよい。

[0110]

導電体108a及び導電体108bは、それぞれトランジスタ10のソース電極またはドレイン電極のいずれかとして機能する。

[0111]

導電体108a及び導電体108bとしては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

[0112]

導電体114はトランジスタ10のゲート電極として機能する。導電体114としては、導電体102として用いることができる導電体を用いればよい。

[0113]

ここで、図1(C)に示すように、チャネル長方向に垂直な断面において、導電体114が半導体106bを取り囲む構造とすることにより、半導体106bの全周囲からゲート電界を掛けることができる。これにより、DIBL(Drain Induced Barrier Lowering)効果による非導通時のリーク電流の発生を低減することができる。

[0114]

DIBL効果とは、ドレイン電圧の印加による影響で、ソースと半導体との接合部におけるエネルギー障壁が減少するために、サブスレッショルド特性が劣化する効果である。ドレイン側領域の空乏層幅が広がることでソース側領域の電圧降下が大きくなる。特に本実施の形態に示すトランジスタのようにチャンネル長が短い場合、より顕著に効果が現れ、単チャンネル効果と呼ばれる場合もある。

[0115]

これに対して、本実施の形態に示すトランジスタ10では、半導体106bの全周囲からゲート電界を掛けることでドレイン側の空乏層の広がりを抑制することができる。これにより、トランジスタ10は、非導通時のリーク電流を低減し、サブスレッショルドスイング値を小さくし、ノーマリーオフの電気特性とすることができる。

[0116]

さらに、上述のように半導体106bに用いる酸化物半導体は蓄積型であり、チャンネル長が短い構造においても、しきい値電圧を0Vより大きくさせやすい。

[0117]

さらに、本実施の形態に示すトランジスタ10はバックゲートとして機能する導電体102が設けられており、容易にしきい値電圧の制御を行うことができる。

[0118]

以上のような構成とすることにより、短チャンネル効果に耐性を有するトランジスタを提供することができる。または、ノーマリーオフの電気特性を有するトランジスタを提供することができる。または、非導通時のリーク電流の小さいトランジスタを提供することができる。または、サブスレッショルドスイング値の小さいトランジスタを提供することができる。または、チャンネル長の短い微細構造において、安定した電気特性を有するトランジスタを提供することができる。

[0119]

<トランジスタ変形例>

以下、トランジスタ10の変形例について図2乃至図4を用いて説明する。なお、図2(A)乃至(F)、図3(A)(B)は、図1(B)及び図1(C)と同様に、トランジスタのチャンネル長方向の断面図とトランジスタのチャンネル幅方向の断面図になる。

[0120]

上記トランジスタ10において、半導体106bの伸長方向(A1-A2方向)に略垂直な断面における断面形状は略円形状としたが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、半導体106bの伸長方向(A1-A2方向)に略垂直な断面における断面形状を略多角形状としてもよい。なお、本明細書等において、略多角形とは、三角形、四角形などの厳密な多角形だけでなく、例えば多角形において角が丸みを帯びた形状も含むものとする。

[0121]

例えば、図2(A)(B)に示すトランジスタ10aは、半導体106bの伸長方向(A1-A2方向)に略垂直な断面における断面形状が、角が丸みを帯びた四角形状である点において、トランジスタ10と異なる。また、絶縁体106a、絶縁体112及び導電体114の同断面における形状が半導体106bの断面形状に対応している。

[0122]

また、例えば、図2(C)(D)に示すトランジスタ10bは、半導体106bの伸長方向(A1

－A 2 方向) に略垂直な断面における断面形状が、角が丸みを帯びた三角形状である点において、トランジスタ 1 0 と異なる。また、絶縁体 1 0 6 a、絶縁体 1 1 2 及び導電体 1 1 4 の同断面における形状が半導体 1 0 6 b の断面形状に対応している。

[0 1 2 3]

また、トランジスタ 1 0 a 及びトランジスタ 1 0 b では、半導体 1 0 6 b の伸長方向 (A 1－A 2 方向) に略垂直な断面における断面形状が正多角形に近い形状の例を示したが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図 2 (E) (F) に示すトランジスタ 1 0 c のように、半導体 1 0 6 b の伸長方向 (A 1－A 2 方向) に略垂直な断面における断面形状が、角が丸みを帯びた六角形状であり、正六角形と異なる形状にしてもよい。また、絶縁体 1 0 6 a、絶縁体 1 1 2 及び導電体 1 1 4 の同断面における形状が半導体 1 0 6 b の断面形状に対応している。

[0 1 2 4]

また、図 3 (A) (B) に示すトランジスタ 1 0 d のように、導電体 1 0 2 が導電体 1 1 4 の外側に設けられている構成としてもよい。

[0 1 2 5]

また、図 3 (C) に示すトランジスタ 1 0 e のように、半導体 1 0 6 b、絶縁体 1 0 6 a、絶縁体 1 1 2 及び導電体 1 0 2 を含む複数のナノワイヤを、半導体 1 0 6 b の伸長方向が平行になるように配置して、一つの導電体 1 1 4 で各ナノワイヤを囲む構成としてもよい。このような構成とすることにより、1 本のナノワイヤでは小さいオン電流を、十分に大きくすることができる。

[0 1 2 6]

また、基板の上面に対してナノワイヤの伸長方向が略平行になるようにトランジスタ 5 0 を設ける例について図 4 (A) 乃至 (E) を用いて説明する。図 4 (A) はトランジスタ 5 0 の上面図である。図 4 (B) は図 4 (A) の一点鎖線 B 1－B 2 に対応する断面図であり、図 4 (C) は図 4 (A) の一点鎖線 B 3－B 4 に対応する断面図である。なお、一点鎖線 B 1－B 2 で示す領域では、トランジスタ 5 0 のチャネル長方向における構造を示しており、一点鎖線 B 3－B 4 で示す領域では、一点鎖線 B 1－B 2 に垂直な方向における構造を示している。また、図 4 (A) において、図面が煩雑になることを避けるため、絶縁体 1 6 2 など一部の構造を省略して表現している。

[0 1 2 7]

トランジスタ 5 0 は、基板 1 5 0 上に設けられた絶縁体 1 5 1 を有する。さらに、絶縁体 1 5 1 上に設けられた開口を有する絶縁体 1 5 7 を有する。さらに、当該開口中に B 3－B 4 方向に伸長して設けられた導電体 1 6 4 a を有する。さらに、導電体 1 6 4 a 上に設けられた絶縁体 1 6 2 a を有する。さらに、絶縁体 1 6 2 a 上に設けられた開口を有する絶縁体 1 6 2 b を有する。さらに、絶縁体 1 6 2 b に形成された開口の中に、B 1－B 2 方向に伸長して設けられた導電体 1 5 2 を有する。さらに、絶縁体 1 6 2 b 及び導電体 1 5 2 上に設けられた絶縁体 1 6 2 c を有する。さらに、絶縁体 1 6 2 c 上に設けられた絶縁体 1 5 6 a を有する。さらに、絶縁体 1 6 2 c 上に、絶縁体 1 5 6 a を間に挟んで設けられた導電体 1 5 8 c 及び導電体 1 5 8 d を有する。さらに、絶縁体 1 5 6 a、導電体 1 5 8 c 及び導電体 1 5 8 d の上面に接して、B 1－B 2 方向に伸長して設けられた半導体 1 5 6 b を有する。さらに、半導体 1 5 6 b の上面及び側面と、導電体 1 5 8 c の側面に接して、絶縁体 1 5 6 c を間に挟んで導電体 1 5 8 b と対向して設けられた導電体 1 5 8 a を有する。さらに、半導体 1 5 6 b の上面及び側面と、導電体 1 5 8 d の側面に接して、絶縁体 1 5 6 c を間に挟んで導電体 1 5

8 a と対向して設けられた導電体 1 5 8 b を有する。さらに、導電体 1 5 8 a 及び導電体 1 5 8 b 上に設けられ、導電体 1 5 8 a と導電体 1 5 8 b の間に開口を有する絶縁体 1 6 7 を有する。さらに、半導体 1 5 6 b の上面、導電体 1 5 8 a 及び導電体 1 5 8 b の側面、絶縁体 1 6 7 の側面と接して設けられた絶縁体 1 5 6 c を有する。さらに、絶縁体 1 5 6 c の上面に接して設けられた絶縁体 1 6 2 d を有する。さらに、絶縁体 1 6 2 d の上面に接して設けられた導電体 1 6 4 b を有する。

[0 1 2 8]

B 3－B 4 方向の断面において、絶縁体 1 5 6 a と絶縁体 1 5 6 c は、半導体 1 5 6 b を囲むように設けられており、絶縁体 1 5 6 a と絶縁体 1 5 6 c の側面端部は概略一致している。B 3－B 4 方向の断面において、絶縁体 1 6 2 c と絶縁体 1 6 2 d は、絶縁体 1 5 6 a、半導体 1 5 6 b 及び絶縁体 1 5 6 c を囲むように設けられており、絶縁体 1 6 2 c と絶縁体 1 6 2 d の側面端部は概略一致している。B 3－B 4 方向の断面において、導電体 1 6 4 a と導電体 1 6 4 b は、絶縁体 1 6 2 a 乃至絶縁体 1 6 2 d を囲むように設けられる。

[0 1 2 9]

トランジスタ 5 0 は、トランジスタ 1 0 と対応して設けられている。半導体 1 5 6 b は半導体 1 0 6 b に対応し、上述の半導体 1 0 6 b として用いることができる半導体を用いればよい。絶縁体 1 5 6 a 及び絶縁体 1 5 6 c は絶縁体 1 0 6 a に対応し、上述の絶縁体 1 0 6 a として用いることができる絶縁体または半導体を用いればよい。絶縁体 1 6 2 a 乃至絶縁体 1 6 2 d は絶縁体 1 1 2 に対応し、上述の絶縁体 1 1 2 として用いることができる絶縁体を用いればよい。導電体 1 5 2 は導電体 1 0 2 に対応し、上述の導電体 1 0 2 として用いることができる導電体を用いればよい。導電体 1 6 4 a 及び導電体 1 6 4 b は導電体 1 1 4 に対応し、上述の導電体 1 1 4 として用いることができる導電体を用いればよい。

[0 1 3 0]

また、トランジスタ 5 0 の変形例としてトランジスタ 5 0 a を図 4 (D) (E) に示す。図 4 (D) は図 4 (B) に対応しており、図 4 (E) は図 4 (C) に対応している。トランジスタ 5 0 a は、導電体 1 5 8 a (または導電体 1 5 8 b) の側面端部の傾斜角 θ_1 と絶縁体 1 6 7 の側面端部の傾斜角 θ_2 が一致していない点において、トランジスタ 5 0 と異なる。ここで、導電体 1 5 8 a 及び導電体 1 5 8 b の側面端部の傾斜角 θ_1 を 30° 以上 90° 未満、好ましくは 45° 以上 80° 未満、より好ましくは 45° 以上 60° 未満とすることが好ましい。また、絶縁体 1 6 7 の側面端部の傾斜角 θ_2 は、傾斜角 θ_1 より大きいことが好ましい。このように、導電体 1 5 8 a 及び導電体 1 5 8 b の側面端部をテーパ形状とすることで、より導電体 1 5 8 a と導電体 1 5 8 b の距離を短くすることができ、トランジスタ 5 0 a のチャンネル長 L を短くすることができる。

[0 1 3 1]

また、図 4 (D) に示すように、半導体 1 5 6 b は、導電体 1 5 8 a と導電体 1 5 8 b の間に導電体 1 5 8 a 及び導電体 1 5 8 b と重なった領域より膜厚の薄い領域を有することがある。これは、導電体 1 5 8 a 及び導電体 1 5 8 b を形成する際に、半導体 1 5 6 b の上面の一部を除去することにより形成される。半導体 1 5 6 b の上面には、導電体 1 5 8 a 及び導電体 1 5 8 b となる導電体を成膜した際に、低抵抗領域が形成される場合がある。このように、半導体 1 5 6 b の上面の導電体 1 5 8 a と導電体 1 5 8 b の間に位置する領域を除去することにより、半導体 1 5 6 b の上面の低抵抗領域にチャンネルが形成されることを防ぐことができる。また、以降の図面において、拡大図などで膜厚の

薄い領域を示さない場合でも、同様の膜厚の薄い領域が形成されている場合がある。

[0132]

＜トランジスタの作製方法＞

以下において、図5乃至図7を用いてトランジスタ50の作製方法について説明する。

[0133]

まずは、基板150を準備する。基板150は、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0134]

また、基板150として、トランジスタ作製時の加熱処理に耐えうる可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板150に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板150として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板150が伸縮性を有してもよい。また、基板150は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板150の厚さは、例えば、 $5\mu\text{m}$ 以上 $700\mu\text{m}$ 以下、好ましくは $10\mu\text{m}$ 以上 $500\mu\text{m}$ 以下、さらに好ましくは $15\mu\text{m}$ 以上 $300\mu\text{m}$ 以下とする。基板150を薄くすると、半導体装置を軽量化することができる。また、基板150を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板150上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

[0135]

可とう性基板である基板150としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。可とう性基板である基板150は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板150としては、例えば、線膨張率が $1\times 10^{-3}/\text{K}$ 以下、 $5\times 10^{-5}/\text{K}$ 以下、または $1\times 10^{-5}/\text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板150として好適である。

[0136]

次に、絶縁体151を成膜する。絶縁体151の成膜は、スパッタリング法、化学気相成長（CVD: Chemical Vapor Deposition）法、分子線エピタキシー（MBE: Molecular Beam Epitaxy）法またはパルスレーザ堆積（PLD: Pulsed Laser Deposition）法、原子層堆積（ALD: Atomic Layer Deposition）法などを用いて行うことができる。

[0137]

絶縁体151は、水素又は水をブロックする機能を有する絶縁体を用いる。絶縁体156a及び半導体156b近傍に設けられる絶縁体中の水素や水は、絶縁体156a及び半導体156b中にキャリアを生成する要因の一つとなる。これによりトランジスタ50の信頼性が低下するおそれがある。特に基板150としてスイッチ素子などのシリコン系半導体素子を設けた基板を用いる場合、当該半導体素子のダングリングボンドを終端するために水素が用いられ、当該水素がトランジスタ50まで拡散するおそれがある。これに対して水素又は水をブロックする機能を有する絶縁体151を設けることによりトランジスタ10の下層から水素又は水が拡散するのを抑制し、トランジスタ50の信頼性を向上させることができる。

[0138]

また、絶縁体151は酸素をブロックする機能も有することが好ましい。絶縁体151が絶縁体162c及び絶縁体162dから拡散する酸素をブロックすることにより、絶縁体162c及び絶縁体162dから絶縁体156a及び半導体156bに効果的に酸素を供給することができる。

[0139]

絶縁体151としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いることができる。これらを絶縁体151として用いることにより、酸素、水素又は水の拡散をブロックする効果を示す絶縁膜として機能することができる。また、絶縁体151としては、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。これらを絶縁体151として用いることにより、水素、水の拡散をブロックする効果を示す絶縁膜として機能することができる。

[0140]

次に、絶縁体157となる絶縁体を成膜する。絶縁体としては上述の絶縁体112として用いることができる絶縁体を用いればよい。絶縁体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0141]

次に、絶縁体上にレジストなどを形成し、該レジストなどを用いて加工し、開口部を有する絶縁体157を形成する。

[0142]

レジストは、対象物をエッチングなどによって加工した後で除去する。レジストの除去には、プラズマ処理または／およびウェットエッチングを用いる。なお、プラズマ処理としては、プラズマアッシングが好適である。レジストなどの除去が不十分な場合、0.001 volume %以上1 volume %以下の濃度のフッ化水素酸または／およびオゾン水などによって取り残したレジストなどを除去しても構わない。

[0143]

次に、導電体164aとなる導電体を成膜する。導電体164aとなる導電体としては、上述の導電体を用いることができる。導電体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0144]

次に、絶縁体157が露出するまで導電体を研磨し、導電体164aを形成する(図5(A)(B)参照。)。研磨は、CMP処理などによって行うことができる。

[0145]

次に、後の工程で絶縁体162aとなる絶縁体162eを成膜する。絶縁体162eとしては上述の絶縁体112として用いることができる絶縁体を用いればよい。絶縁体162eの成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0146]

次に、後の工程で絶縁体162bとなる絶縁体を成膜する。絶縁体としては上述の絶縁体112として用いることができる絶縁体を用いればよい。絶縁体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0147]

次に、絶縁体上にレジストなどを形成し、該レジストなどを用いて加工し、開口部を有する絶縁体162fを形成する。

[0148]

次に、導電体152となる導電体を成膜する。導電体152となる導電体としては、上述の導電体102として用いることができる導電体を用いればよい。導電体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0149]

次に、絶縁体162fが露出するまで導電体を研磨し、導電体152を形成する(図5(C)(D)参照。)。研磨は、CMP処理などによって行うことができる。

[0150]

次に、後の工程で絶縁体162cとなる絶縁体162gを成膜する。絶縁体162gとしては上述の絶縁体112として用いることができる絶縁体を用いればよい。絶縁体162gの成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。また、絶縁体162g中に含まれる水、または水素を低減するために基板を加熱しながら成膜を行ってもよい。

[0151]

次に、加熱処理を行うことが好ましい。加熱処理を行うことで、絶縁体162gなどに含まれる水、または水素をさらに低減させることができる。また、絶縁体162gに過剰酸素を有せしめることができる場合がある。加熱処理は、250℃以上650℃以下、好ましくは450℃以上600℃以下、さらに好ましくは520℃以上570℃以下で行えばよい。加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。加熱処理は減圧状態で行ってもよい。または、加熱処理は、不活性ガス雰囲気加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気加熱処理を行ってもよい。加熱処理は、ランプ加熱によるRTA装置を用いることもできる。RTA装置による加熱処理は、

炉と比べて短時間で済むため、生産性を高めるために有効である。

[0152]

次に、後の工程で絶縁体156aとなる絶縁体を成膜して、レジストなどを用いて加工し、絶縁体156dを形成する（図5（E）（F）参照。）。絶縁体156dとしては上述の絶縁体106aとして用いることができる絶縁体または半導体などを用いればよい。絶縁体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0153]

次に、後の工程で導電体158c及び導電体158dとなる導電体を成膜して、絶縁体156dが露出するまで導電体を研磨し、導電体158e及び導電体158fを形成する（図5（G）（H）参照。）。研磨は、CMP処理などによって行うことができる。導電体158e及び導電体158fとしては上述の導電体108a及び導電体108bとして用いることができる導電体を用いればよい。導電体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0154]

次に、半導体156bとなる半導体を成膜する。半導体としては上述の半導体106bとして用いることができる半導体を用いればよい。半導体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0155]

次に、加熱処理を行うことが好ましい。加熱処理を行うことで、半導体156bとなる半導体、絶縁体156dまたは絶縁体162g中の水、または水素をさらに低減させることができる。また、絶縁体162gに過剰酸素を有せしめることができる場合がある。加熱処理は、250℃以上650℃以下、好ましくは450℃以上600℃以下、さらに好ましくは520℃以上570℃以下で行えばよい。加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。加熱処理は減圧状態で行ってもよい。または、加熱処理は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行ってもよい。加熱処理によって、絶縁体156d、半導体156bとなる半導体の結晶性を高めることや、水素や水などの不純物を除去することなどができる。加熱処理は、ランプ加熱によるRTA装置を用いることもできる。RTA装置による加熱処理は、炉と比べて短時間で済むため、生産性を高めるために有効である。

[0156]

次に、半導体上にレジストなどを形成し、該レジストなどを用いて加工し、半導体156bを形成する。それから、導電体158e及び導電体158fの上にレジストなどを形成し、該レジストなどを用いて加工し、導電体158c及び導電体158dを形成する（図6（A）（B）参照。）。

[0157]

さらに半導体156b形成後に、加熱処理を行うことが好ましい。加熱処理を行うことで、半導体156b、絶縁体156dまたは絶縁体162g中の水、または水素をさらに低減させることができる。また、絶縁体162gに過剰酸素を有せしめることができる場合がある。加熱処理は、250℃以上650℃以下、好ましくは450℃以上600℃以下、さらに好ましくは520℃以上570℃以下で行えばよい。加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上

もしくは10%以上含む雰囲気で行う。加熱処理は減圧状態で行ってもよい。または、加熱処理は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行ってもよい。加熱処理によって、絶縁体156d、半導体156bの結晶性を高めることや、水素や水などの不純物を除去することなどができる。加熱処理は、ランプ加熱によるRTA装置を用いることもできる。RTA装置による加熱処理は、炉と比べて短時間で済むため、生産性を高めるために有効である。

[0158]

また、高密度プラズマ処理などを行ってもよい。高密度プラズマは、マイクロ波を用いて生成すればよい。高密度プラズマ処理では、例えば、酸素、亜酸化窒素などの酸化性ガスを用いればよい。または、酸化性ガスと、He、Ar、Kr、Xeなどの希ガスと、の混合ガスを用いてもよい。高密度プラズマ処理において、基板にバイアスを印加してもよい。これにより、プラズマ中の酸素イオンなどを基板側に引き込むことができる。高密度プラズマ処理は基板を加熱しながら行ってもよい。例えば、上記加熱処理の代わりに高密度プラズマ処理を行う場合、上記加熱処理の温度より低温で同様の効果を得ることができる。高密度プラズマ処理は、絶縁体156dの成膜前に行ってもよいし、後述する絶縁体167の開口形成後に行ってもよいし、後述する絶縁体156f形成後などに行ってもよい。

[0159]

次に、導電体158a及び導電体158bとなる導電体を成膜する。導電体上にレジストなどを形成し、該レジストなどを用いて加工し、導電体を島状に形成する。導電体としては上述の導電体108a及び導電体108bとして用いることができる導電体を用いればよい。導電体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0160]

次に、絶縁体167となる絶縁体を成膜する。絶縁体としては上述の絶縁体112として用いることができる絶縁体を用いればよい。絶縁体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0161]

次に、絶縁体上にレジストなどを形成し、該レジストなどを用いて加工し、絶縁体167、導電体158a及び導電体158bを形成する（図6（C）（D）参照。）。

[0162]

次に、後の工程で絶縁体156cとなる絶縁体156eを成膜する（図6（E）（F）参照。）。絶縁体156eとしては上述の絶縁体106aとして用いることができる絶縁体または半導体などを用いればよい。絶縁体156eの成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0163]

次に、絶縁体156e上にレジストなどを形成し、該レジストなどを用いて加工し、絶縁体156f及び絶縁体156aを形成する（図7（A）（B）参照。）。ここで、絶縁体156fと絶縁体156aのB3-B4方向の側面端部は概略一致するように形成される。

[0164]

次に、後の工程で絶縁体162dとなる絶縁体を成膜する。絶縁体としては上述の絶縁体112と

して用いることができる絶縁体または半導体などを用いればよい。絶縁体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0165]

次に、絶縁体上にレジストなどを形成し、該レジストなどを用いて加工し、絶縁体162a、絶縁体162b、絶縁体162c及び絶縁体162hを形成する（図7（C）（D）参照。）。ここで、絶縁体162a、絶縁体162b、絶縁体162c及び絶縁体162hのB3-B4方向の側面端部は概略一致するように形成される。

[0166]

次に、導電体164bとなる導電体を成膜する。導電体としては、上述の導電体114として用いることができる導電体を用いればよい。導電体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

[0167]

次に、導電体上から絶縁体167が露出するまで研磨をすることで、導電体164b、絶縁体162dおよび絶縁体156cを形成する（図7（E）（F）参照。）。導電体164bおよび絶縁体162dは、それぞれトランジスタ50のゲート電極およびゲート絶縁体としての機能を有する。上述した方法によって、導電体164bおよび絶縁体162dを自己整合的に形成することができる。

[0168]

さらに、保護絶縁膜として機能する絶縁体を成膜してもよい。絶縁体としては上述の絶縁体151として用いることができる絶縁体を用いればよい。絶縁体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。ここで、酸素を含む雰囲気中でスパッタリング法を用いて絶縁体の成膜をおこなうことにより、成膜と同時に絶縁体162d及び絶縁体167の表面近傍に酸素を添加することができる。

[0169]

次に、加熱処理を行うことが好ましい。加熱処理を行うことにより、絶縁体162c、絶縁体162d及び絶縁体167に添加した酸素を拡散させ、絶縁体156a、半導体156b、絶縁体156cに供給することができる。

[0170]

以上の工程により、本発明の一態様に係るトランジスタを作製することができる。

[0171]

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせて用いることができる。

[0172]

（実施の形態2）

本実施の形態では、本発明の一態様の半導体装置に含まれる酸化物半導体の詳細について、以下説明する。

[0173]

<酸化物半導体の構造>

以下では、酸化物半導体の構造について説明する。

[0174]

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS (c-axis-aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。

[0175]

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体およびnc-OSなどがある。

[0176]

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

[0177]

即ち、安定な酸化物半導体を完全な非晶質 (completely amorphous) 酸化物半導体とは呼べない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-like OSは、等方的でないが、鬆 (ボイドともいう。) を有する不安定な構造である。不安定であるという点では、a-like OSは、物性的に非晶質酸化物半導体に近い。

[0178]

<CAAC-OS>

まずは、CAAC-OSについて説明する。

[0179]

CAAC-OSは、c軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一種である。

[0180]

CAAC-OSをX線回折 (XRD: X-Ray Diffraction) によって解析した場合について説明する。例えば、空間群R-3mに分類されるInGaZnO₄の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図11 (A) に示すように回折角 (2θ) が31° 近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OSでは、結晶がc軸配向性を有し、c軸がCAAC-OSの膜を形成する面 (被形成面ともいう。)、または上面に略垂直な方向を向いていることが確認できる。なお、2θが31° 近傍のピークの他に、2θが36° 近傍にもピークが現れる場合がある。2θが36° 近傍のピークは、空間群Fd-3mに分類される結晶構造に起因する。そのため、CAAC-OSは、該ピークを示さないことが好ましい。

[0181]

一方、CAAC-OSに対し、被形成面に平行な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56° 近傍にピークが現れる。このピークは、InGaZnO₄の結

晶の(110)面に帰属される。そして、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸(ϕ 軸)として試料を回転させながら分析(ϕ スキャン)を行っても、図11(B)に示すように明瞭なピークは現れない。一方、単結晶 InGaZnO_4 に対し、 2θ を 56° 近傍に固定して ϕ スキャンした場合、図11(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、 a 軸および b 軸の配向が不規則であることが確認できる。

[0182]

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、 InGaZnO_4 の結晶を有するCAAC-OSに対し、CAAC-OSの被形成面に平行にプローブ径が300nmの電子線を入射させると、図11(D)に示すような回折パターン(制限視野電子回折パターンともいう。)が現れる場合がある。この回折パターンには、 InGaZnO_4 の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットが c 軸配向性を有し、 c 軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図11(E)に示す。図11(E)より、リング状の回折パターンが確認される。したがって、プローブ径が300nmの電子線を用いた電子回折によっても、CAAC-OSに含まれるペレットの a 軸および b 軸は配向性を有さないことがわかる。なお、図11(E)における第1リングは、 InGaZnO_4 の結晶の(010)面および(100)面などに起因すると考えられる。また、図11(E)における第2リングは(110)面などに起因すると考えられる。

[0183]

また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、CAAC-OSの明視野像と回折パターンとの複合解析像(高分解能TEM像ともいう。)を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を明確に確認することができない場合がある。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

[0184]

図12(A)に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

[0185]

図12(A)より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは1nm以上のものや、3nm以上のものがあることがわかる。したがって、ペレットを、ナノ結晶(nc: nanocrystal)と呼ぶこともできる。また、CAAC-OSを、CANC(C-Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-OSの膜を被形成面または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

[0186]

また、図12(B)および図12(C)に、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像を示す。図12(D)および図12(E)は、それぞれ図12(B)および図12(C)を画像処理した像である。以下では、画像処理の方法について説明する。まず、図12(B)を高速フーリエ変換(FFT: Fast Fourier Transform)処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 2.8 nm^{-1} から 5.0 nm^{-1} の間の範囲を残すマスク処理する。次に、マスク処理したFFT像を、逆高速フーリエ変換(IFFT: Inverse Fast Fourier Transform)処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。

[0187]

図12(D)では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部である。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

[0188]

図12(E)では、格子配列の揃った領域と、別の格子配列の揃った領域と、の間に格子配列の向きが変化している箇所を点線で示し、格子配列の向きの変化を破線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形や、五角形または／および七角形などが形成できる。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわかる。これは、CAAC-OSが、a-b面方向において原子配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0189]

以上に示すように、CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のペレット(ナノ結晶)が連結し、歪みを有した結晶構造となっている。よって、CAAC-OSを、CAAC crystal(c-axis-aligned a-b-plane-anchored crystal)と称することもできる。

[0190]

CAAC-OSは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥(酸素欠損など)の少ない酸化物半導体ともいえる。

[0191]

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

[0192]

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。例えば、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

[0193]

不純物および酸素欠損の少ないCAAC-OSは、キャリア密度の低い酸化物半導体である。具体的には、 8×10^{11} 個/cm³未満、好ましくは 1×10^{11} 個/cm³未満、さらに好ましくは 1×10^{10} 個/cm³未満であり、 1×10^{-9} 個/cm³以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-OSは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

[0194]

<nc-OS>

次に、nc-OSについて説明する。

[0195]

nc-OSをXRDによって解析した場合について説明する。例えば、nc-OSに対し、out-of-plane法による構造解析を行うと、配向性を示すピークが現れない。即ち、nc-OSの結晶は配向性を有さない。

[0196]

また、例えば、InGaZnO₄の結晶を有するnc-OSを薄片化し、厚さが34nmの領域に対し、被形成面に平行にプローブ径が50nmの電子線を入射させると、図13(A)に示すようなリング状の回折パターン(ナノビーム電子回折パターン)が観測される。また、同じ試料にプローブ径が1nmの電子線を入射させたときの回折パターン(ナノビーム電子回折パターン)を図13(B)に示す。図13(B)より、リング状の領域内に複数のスポットが観測される。したがって、nc-OSは、プローブ径が50nmの電子線を入射させることでは秩序性が確認されないが、プローブ径が1nmの電子線を入射させることでは秩序性が確認される。

[0197]

また、厚さが10nm未満の領域に対し、プローブ径が1nmの電子線を入射させると、図13(C)に示すように、スポットが略正六角状に配置された電子回折パターンを観測される場合がある。したがって、厚さが10nm未満の範囲において、nc-OSが秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。

[0198]

図13(D)に、被形成面と略平行な方向から観察したnc-OSの断面のCs補正高分解能TEM像を示す。nc-OSは、高分解能TEM像において、補助線で示す箇所などのように結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-OSに含まれる結晶部は、1nm以上10nm以下の大きさであり、特に1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体

を微結晶酸化物半導体(micro crystalline oxide semiconductor)と呼ぶことがある。nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-OSにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-OSの結晶部をペレットと呼ぶ場合がある。

[0199]

このように、nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0200]

なお、ペレット（ナノ結晶）間で結晶方位が規則性を有さないことから、nc-OSを、RANC(Random Aligned nanocrystals)を有する酸化物半導体、またはNANC(Non-Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。

[0201]

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

[0202]

<a-like OS>

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

[0203]

図14に、a-like OSの高分解能断面TEM像を示す。ここで、図14(A)は電子照射開始時におけるa-like OSの高分解能断面TEM像である。図14(B)は $4.3 \times 10^8 \text{ e}^-/\text{nm}^2$ の電子(e^-)照射後におけるa-like OSの高分解能断面TEM像である。図14(A)および図14(B)より、a-like OSは電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆または低密度領域と推測される。

[0204]

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

[0205]

試料として、a-like OS、nc-OSおよびCAAC-OSを準備する。いずれの試料もIn-Ga-Zn酸化物である。

[0206]

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いず

れも結晶部を有する。

[0207]

なお、 InGaZnO_4 の結晶の単位格子は、 $\text{In}-\text{O}$ 層を3層有し、また $\text{Ga}-\text{Zn}-\text{O}$ 層を6層有する、計9層が c 軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、 (009) 面の格子面間隔(d 値ともいう。)と同程度であり、結晶構造解析からその値は 0.29 nm と求められている。したがって、以下では、格子縞の間隔が 0.28 nm 以上 0.30 nm 以下である箇所を、 InGaZnO_4 の結晶部と見なした。なお、格子縞は、 InGaZnO_4 の結晶の $a-b$ 面に対応する。

[0208]

図15は、各試料の結晶部(22箇所から30箇所)の平均の大きさを調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図15より、 $a\text{-like OS}$ は、TEM像の取得などに係る電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。図15より、TEMによる観察初期においては 1.2 nm 程度の大きさだった結晶部(初期核ともいう。)が、電子(e^-)の累積照射量が $4.2 \times 10^8 e^-/\text{nm}^2$ においては 1.9 nm 程度の大きさまで成長していることがわかる。一方、 $nc\text{-OS}$ および $CAAC\text{-OS}$ は、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 e^-/\text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図15より、電子の累積照射量によらず、 $nc\text{-OS}$ および $CAAC\text{-OS}$ の結晶部の大きさは、それぞれ 1.3 nm 程度および 1.8 nm 程度であることがわかる。なお、電子線照射およびTEMの観察は、日立透過電子顕微鏡H-9000NARを用いた。電子線照射条件は、加速電圧を 300 kV 、電流密度を $6.7 \times 10^5 e^-/(\text{nm}^2 \cdot \text{s})$ 、照射領域の直径を 230 nm とした。

[0209]

このように、 $a\text{-like OS}$ は、電子照射によって結晶部の成長が見られる場合がある。一方、 $nc\text{-OS}$ および $CAAC\text{-OS}$ は、電子照射による結晶部の成長がほとんど見られない。即ち、 $a\text{-like OS}$ は、 $nc\text{-OS}$ および $CAAC\text{-OS}$ と比べて、不安定な構造であることがわかる。

[0210]

また、鬆を有するため、 $a\text{-like OS}$ は、 $nc\text{-OS}$ および $CAAC\text{-OS}$ と比べて密度の低い構造である。具体的には、 $a\text{-like OS}$ の密度は、同じ組成の単結晶の密度の 78.6% 以上 92.3% 未満である。また、 $nc\text{-OS}$ の密度および $CAAC\text{-OS}$ の密度は、同じ組成の単結晶の密度の 92.3% 以上 100% 未満である。単結晶の密度の 78% 未満である酸化物半導体は、成膜すること自体が困難である。

[0211]

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 である。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比]を満たす酸化物半導体において、 $a\text{-like OS}$ の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満である。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比]を満たす酸化物半導体において、 $nc\text{-OS}$ の密度および $CAAC\text{-OS}$ の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満である。

[0212]

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせるこ

により、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

[0213]

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、*a-like* OS、*nc*-OS、CAAC-OSのうち、二種以上を有する積層膜であってもよい。

[0214]

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせを用いることができる。

[0215]

(実施の形態3)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した半導体装置の回路の一例について説明する。

<回路>

以下では、本発明の一態様に係るトランジスタなどを利用した半導体装置の回路の一例について説明する。

[0216]

<CMOSインバータ>

図16(A)に示す回路図は、pチャネル型のトランジスタ2200とnチャネル型のトランジスタ2100を直列に接続し、かつそれぞれのゲートを接続した、いわゆるCMOSインバータの構成を示している。

[0217]

図16(A)に示した半導体装置は、半導体基板を用いてpチャネル型トランジスタを作製し、その上方にnチャネル型トランジスタを作製することにより、素子の占有面積を縮小することができる。即ち、半導体装置の集積度を高くすることができる。また、nチャネル型トランジスタと、pチャネル型トランジスタとを同一の半導体基板を用いて作製した場合と比べて、工程を簡略化することができるため、半導体装置の生産性を高くすることができる。また、半導体装置の歩留まりを高くすることができる。また、pチャネル型トランジスタは、LDD(Lightly Doped Drain)領域、シャロートレンチ構造、歪み設計などの複雑な工程を省略できる場合がある。そのため、nチャネル型トランジスタを、半導体基板を用いて作製する場合と比べて、生産性および歩留まりを高くすることができる場合がある。

[0218]

<CMOSアナログスイッチ>

また図16(B)に示す回路図は、トランジスタ2100とトランジスタ2200のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるCMOSアナログスイッチとして機能させることができる。

[0219]

<記憶装置1>

本発明の一態様に係るトランジスタを用いた、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を図17に示す。

[0220]

図17(A)に示す半導体装置は、第1の半導体を用いたトランジスタ3200と第2の半導体を用いたトランジスタ3300、および容量素子3400を有している。なお、トランジスタ3300としては、上述のトランジスタ2100と同様のトランジスタを用いることができる。

[0221]

トランジスタ3300は、オフ電流の小さいトランジスタが好ましい。トランジスタ3300は、例えば、酸化物半導体を用いたトランジスタを用いることができる。トランジスタ3300のオフ電流が小さいことにより、半導体装置の特定のノードに長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、またはリフレッシュ動作の頻度が極めて少なくすることが可能となるため、消費電力の低い半導体装置となる。

[0222]

図17(A)において、第1の配線3001はトランジスタ3200のソースと電氣的に接続され、第2の配線3002はトランジスタ3200のドレインと電氣的に接続される。また、第3の配線3003はトランジスタ3300のソース、ドレインの一方と電氣的に接続され、第4の配線3004はトランジスタ3300のゲートと電氣的に接続されている。そして、トランジスタ3200のゲート、およびトランジスタ3300のソース、ドレインの他方は、容量素子3400の電極の一方と電氣的に接続され、第5の配線3005は容量素子3400の電極の他方と電氣的に接続されている。

[0223]

図17(A)に示す半導体装置は、トランジスタ3200のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

[0224]

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300が導通状態となる電位にして、トランジスタ3300を導通状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート、および容量素子3400の電極の一方と電氣的に接続するノードFGに与えられる。即ち、トランジスタ3200のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という。）のどちらかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300が非導通状態となる電位にして、トランジスタ3300を非導通状態とすることにより、ノードFGに電荷が保持される（保持）。

[0225]

トランジスタ3300のオフ電流が小さいため、ノードFGの電荷は長期間にわたって保持される。

[0226]

次に情報の読み出しについて説明する。第1の配線3001に所定の電位（定電位）を与えた状態で、第5の配線3005に適切な電位（読み出し電位）を与えると、第2の配線3002は、ノードFGに保持された電荷量に応じた電位をとる。これは、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ3200のゲートにLowレベル電荷が与えられている場合の見か

け上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ3200を「導通状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードFGにHighレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 ($>V_{th_H}$) となれば、トランジスタ3200は「導通状態」となる。一方、ノードFGにLowレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 ($<V_{th_L}$) となっても、トランジスタ3200は「非導通状態」のままである。このため、第2の配線3002の電位を判別することで、ノードFGに保持されている情報を読み出すことができる。

[0227]

なお、メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。例えば、情報を読み出さないメモリセルにおいては、ノードFGに与えられた電荷によらずトランジスタ3200が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を第5の配線3005に与えることで所望のメモリセルの情報のみを読み出せる構成とすればよい。または、情報を読み出さないメモリセルにおいては、ノードFGに与えられた電荷によらずトランジスタ3200が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を第5の配線3005に与えることで所望のメモリセルの情報のみを読み出せる構成とすればよい。

[0228]

なお、上記においては、2種類の電荷をノードFGに保持する例について示したが、本発明に係る半導体装置はこれに限られるものではない。例えば、半導体装置のノードFGに3種類以上の電荷をノードに保持できる構成としてもよい。このような構成とすることにより、当該半導体装置を多値化して記憶容量の増大を図ることができる。

[0229]

<記憶装置2>

図17(B)に示す半導体装置は、トランジスタ3200を有さない点で図17(A)に示した半導体装置と異なる。この場合も図17(A)に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。

[0230]

図17(B)に示す半導体装置における、情報の読み出しについて説明する。トランジスタ3300が導通状態になると、浮遊状態である第3の配線3003と容量素子3400とが導通し、第3の配線3003と容量素子3400の間で電荷が再分配される。その結果、第3の配線3003の電位が変化する。第3の配線3003の電位の変化量は、容量素子3400の電極の一方の電位（または容量素子3400に蓄積された電荷）によって、異なる値をとる。

[0231]

例えば、容量素子3400の電極の一方の電位を V 、容量素子3400の容量を C 、第3の配線3003が有する容量成分を CB 、電荷が再分配される前の第3の配線3003の電位を $VB0$ とすると、電荷が再分配された後の第3の配線3003の電位は、 $(CB \times VB0 + CV) / (CB + C)$ となる。したがって、メモリセルの状態として、容量素子3400の電極の一方の電位が $V1$ と $V0$ ($V1 > V0$) の2つの状態をとるとすると、電位 $V1$ を保持している場合の第3の配線3003の

電位 $(= (CB \times VB0 + CV1) / (CB + C))$ は、電位 $V0$ を保持している場合の第3の配線3003の電位 $(= (CB \times VB0 + CV0) / (CB + C))$ よりも高くなることがわかる。

[0232]

そして、第3の配線3003の電位を所定の電位と比較することで、情報を読み出すことができる。

[0233]

この場合、メモリセルを駆動させるための駆動回路に上記第1の半導体が適用されたトランジスタを用い、トランジスタ3300として第2の半導体が適用されたトランジスタを駆動回路上に積層して配置する構成とすればよい。

[0234]

以上に示した半導体装置は、酸化物半導体を用いたオフ電流の小さいトランジスタを適用することで、長期にわたって記憶内容を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、またはリフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力の低い半導体装置を実現することができる。また、電力の供給がない場合（ただし、電位は固定されていることが好ましい）であっても、長期にわたって記憶内容を保持することが可能である。

[0235]

また、該半導体装置は、情報の書き込みに高い電圧が不要であるため、素子の劣化が起こりにくい。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行わないため、絶縁体の劣化といった問題が生じない。即ち、本発明の一態様に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上した半導体装置である。さらに、トランジスタの導通状態、非導通状態によって、情報の書き込みが行われるため、高速な動作が可能となる。

[0236]

<記憶装置3>

図17(A)に示す半導体装置（記憶装置）の変形例について、図18に示す回路図を用いて説明する。

[0237]

図18に示す半導体装置は、トランジスタ4100乃至トランジスタ4400と、容量素子4500及び容量素子4600と、を有する。ここでトランジスタ4100は、上述のトランジスタ3200と同様のトランジスタを用いることができ、トランジスタ4200乃至4400は、上述のトランジスタ3300と同様のトランジスタを用いることができる。なお、図18に示す半導体装置は、図18では図示を省略したが、マトリクス状に複数設けられる。図18に示す半導体装置は、配線4001、配線4003、配線4005乃至4009に与える信号又は電位に従って、データ電圧の書き込み、読み出しを制御することができる。

[0238]

トランジスタ4100のソース又はドレインの一方は、配線4003に接続される。トランジスタ4100のソース又はドレインの他方は、配線4001に接続される。なお図18では、トランジスタ4100の導電型をpチャネル型として示すが、nチャネル型でもよい。

[0239]

図18に示す半導体装置は、2つのデータ保持部を有する。例えば第1のデータ保持部は、ノード

FG 1に接続されるトランジスタ4400のソース又はドレインの一方、容量素子4600の一方の電極、及びトランジスタ4200のソース又はドレインの一方の間で電荷を保持する。また、第2のデータ保持部は、ノードFG 2に接続されるトランジスタ4100のゲート、トランジスタ4200のソース又はドレインの他方、トランジスタ4300のソース又はドレインの一方、及び容量素子4500の一方の電極の間で電荷を保持する。

[0240]

トランジスタ4300のソース又はドレインの他方は、配線4003に接続される。トランジスタ4400のソース又はドレインの他方は、配線4001に接続される。トランジスタ4400のゲートは、配線4005に接続される。トランジスタ4200のゲートは、配線4006に接続される。トランジスタ4300のゲートは、配線4007に接続される。容量素子4600の他方の電極は、配線4008に接続される。容量素子4500の他方の電極は、配線4009に接続される。

[0241]

トランジスタ4200乃至4400は、データ電圧の書き込みと電荷の保持を制御するスイッチとしての機能を有する。なおトランジスタ4200乃至4400は、非導通状態においてソースとドレインとの間を流れる電流（オフ電流）が低いトランジスタが用いられることが好適である。オフ電流が少ないトランジスタとしては、チャネル形成領域に酸化物半導体を有するトランジスタ（OSトランジスタ）であることが好ましい。OSトランジスタは、オフ電流が低い、シリコンを有するトランジスタと重ねて作製できる等の利点がある。なお図18では、トランジスタ4200乃至14の導電型をnチャネル型として示すが、pチャネル型でもよい。

[0242]

トランジスタ4200及びトランジスタ4300と、トランジスタ4400とは、酸化物半導体を用いたトランジスタであっても別層に設けることが好ましい。すなわち、図18に示す半導体装置は、図18に示すように、トランジスタ4100を有する第1の層4021と、トランジスタ4200及びトランジスタ4300を有する第2の層4022と、トランジスタ4400を有する第3の層4023と、で構成されることが好ましい。トランジスタを有する層を積層して設けることで、回路面積を縮小することができ、半導体装置の小型化を図ることができる。

[0243]

次いで、図18に示す半導体装置への情報の書き込み動作について説明する。

[0244]

最初に、ノードFG 1に接続されるデータ保持部へのデータ電圧の書き込み動作（以下、書き込み動作1とよぶ。）について説明する。なお、以下において、ノードFG 1に接続されるデータ保持部に書きこむデータ電圧を V_{D1} とし、トランジスタ4100の閾値電圧を V_{th} とする。

[0245]

書き込み動作1では、配線4003を V_{D1} とし、配線4001を接地電位とした後に、電氣的に浮遊状態とする。また配線4005、4006をハイレベルにする。また配線4007乃至4009をローレベルにする。すると、電氣的に浮遊状態にあるノードFG 2の電位が上昇し、トランジスタ4100に電流が流れる。電流が流れることで、配線4001の電位が上昇する。またトランジスタ4400、トランジスタ4200が導通状態となる。そのため、配線4001の電位の上昇につれて、ノードFG 1、FG 2の電位が上昇する。ノードFG 2の電位が上昇し、トランジスタ4100でゲ

ートとソースとの間の電圧 (V_{gs}) がトランジスタ 4100 の閾値電圧 V_{th} になると、トランジスタ 4100 を流れる電流が小さくなる。そのため、配線 4001、ノード FG1、FG2 の電位の上昇は止まり、 V_{D1} から V_{th} だけ下がった「 $V_{D1} - V_{th}$ 」で一定となる。

[0246]

つまり、配線 4003 に与えた V_{D1} は、トランジスタ 4100 に電流が流れることで、配線 4001 に与えられ、ノード FG1、FG2 の電位が上昇する。電位の上昇によって、ノード FG2 の電位が「 $V_{D1} - V_{th}$ 」となると、トランジスタ 4100 の V_{gs} が V_{th} となるため、電流が止まる。

[0247]

次に、ノード FG2 に接続されるデータ保持部へのデータ電圧の書き込み動作（以下、書き込み動作 2 とよぶ。）について説明する。なお、ノード FG2 に接続されるデータ保持部に書きこむデータ電圧を V_{D2} として説明する。

[0248]

書き込み動作 2 では、配線 4001 を V_{D2} とし、配線 4003 を接地電位とした後に、電氣的に浮遊状態とする。また配線 4007 をハイレベルにする。また配線 4005、4006、4008、4009 をローレベルにする。トランジスタ 4300 を導通状態として配線 4003 をローレベルにする。そのため、ノード FG2 の電位もローレベルにまで低下し、トランジスタ 4100 に電流が流れる。電流が流れることで、配線 4003 の電位が上昇する。またトランジスタ 4300 が導通状態となる。そのため、配線 4003 の電位の上昇につれて、ノード FG2 の電位が上昇する。ノード FG2 の電位が上昇し、トランジスタ 4100 で V_{gs} がトランジスタ 4100 の V_{th} になると、トランジスタ 4100 を流れる電流が小さくなる。そのため、配線 4003、FG2 の電位の上昇は止まり、 V_{D2} から V_{th} だけ下がった「 $V_{D2} - V_{th}$ 」で一定となる。

[0249]

つまり、配線 4001 に与えた V_{D2} は、トランジスタ 4100 に電流が流れることで、配線 4003 に与えられ、ノード FG2 の電位が上昇する。電位の上昇によって、ノード FG2 の電位が「 $V_{D2} - V_{th}$ 」となると、トランジスタ 4100 の V_{gs} が V_{th} となるため、電流が止まる。このとき、ノード FG1 の電位は、トランジスタ 4200、4400 共に非導通状態であり、書き込み動作 1 で書きこんだ「 $V_{D1} - V_{th}$ 」が保持される。

[0250]

図 18 に示す半導体装置では、複数のデータ保持部にデータ電圧を書きこんだのち、配線 4009 をハイレベルにして、ノード FG1、FG2 の電位を上昇させる。そして、各トランジスタを非導通状態として、電荷の移動をなくし、書きこんだデータ電圧を保持する。

[0251]

以上説明したノード FG1、FG2 へのデータ電圧の書き込み動作によって、複数のデータ保持部にデータ電圧を保持させることができる。なお書きこまれる電位として、「 $V_{D1} - V_{th}$ 」や「 $V_{D2} - V_{th}$ 」を一例として挙げて説明したが、これらは多値のデータに対応するデータ電圧である。そのため、それぞれのデータ保持部で 4 ビットのデータを保持する場合、16 値の「 $V_{D1} - V_{th}$ 」や「 $V_{D2} - V_{th}$ 」を取り得る。

[0252]

次いで、図 18 に示す半導体装置からの情報の読み出し動作について説明する。

[0253]

最初に、ノード FG 2 に接続されるデータ保持部へのデータ電圧の読み出し動作（以下、読み出し動作 1 とよぶ。）について説明する。

[0254]

読み出し動作 1 では、プリチャージを行ってから電氣的に浮遊状態とした、配線 4003 を放電させる。配線 4005 乃至 4008 をローレベルにする。また、配線 4009 をローレベルとして、電氣的に浮遊状態にあるノード FG 2 の電位を「 $V_{D2} - V_{th}$ 」とする。ノード FG 2 の電位が下がることで、トランジスタ 4100 に電流が流れる。電流が流れることで、電氣的に浮遊状態の配線 4003 の電位が低下する。配線 4003 の電位の低下につれて、トランジスタ 4100 の V_{gs} が小さくなる。トランジスタ 4100 の V_{gs} がトランジスタ 4100 の V_{th} になると、トランジスタ 4100 を流れる電流が小さくなる。すなわち、配線 4003 の電位が、ノード FG 2 の電位「 $V_{D2} - V_{th}$ 」から V_{th} だけ大きい値である「 V_{D2} 」となる。この配線 4003 の電位は、ノード FG 2 に接続されるデータ保持部のデータ電圧に対応する。読み出されたアナログ値のデータ電圧は A/D 変換を行い、ノード FG 2 に接続されるデータ保持部のデータを取得する。

[0255]

つまり、プリチャージ後の配線 4003 を浮遊状態とし、配線 4009 の電位をハイレベルからローレベルに切り替えることで、トランジスタ 4100 に電流が流れる。電流が流れることで、浮遊状態にあった配線 4003 の電位は低下して「 V_{D2} 」となる。トランジスタ 4100 では、ノード FG 2 の「 $V_{D2} - V_{th}$ 」との間の V_{gs} が V_{th} となるため、電流が止まる。そして、配線 4003 には、書き込み動作 2 で書きこんだ「 V_{D2} 」が読み出される。

[0256]

ノード FG 2 に接続されるデータ保持部のデータを取得したら、トランジスタ 4300 を導通状態として、ノード FG 2 の「 $V_{D2} - V_{th}$ 」を放電させる。

[0257]

次に、ノード FG 1 に保持される電荷をノード FG 2 に分配し、ノード FG 1 に接続されるデータ保持部のデータ電圧を、ノード FG 2 に接続されるデータ保持部に移す。ここで、配線 4001、4003 をローレベルとする。配線 4006 をハイレベルにする。また、配線 4005、配線 4007 乃至 4009 をローレベルにする。トランジスタ 4200 が導通状態となることで、ノード FG 1 の電荷が、ノード FG 2 との間で分配される。

[0258]

ここで、電荷の分配後の電位は、書きこんだ電位「 $V_{D1} - V_{th}$ 」から低下する。そのため、容量素子 4600 の容量値は、容量素子 4500 の容量値よりも大きくしておくことが好ましい。あるいは、ノード FG 1 に書きこむ電位「 $V_{D1} - V_{th}$ 」は、同じデータを表す電位「 $V_{D2} - V_{th}$ 」よりも大きくすることが好ましい。このように、容量値の比を変えること、予め書きこむ電位を大きくしておくことで、電荷の分配後の電位の低下を抑制することができる。電荷の分配による電位の変動については、後述する。

[0259]

次に、ノード FG 1 に接続されるデータ保持部へのデータ電圧の読み出し動作（以下、読み出し動

作2とよぶ。)について説明する。

[0260]

読み出し動作2では、プリチャージを行ってから電氣的に浮遊状態とした、配線4003を放電させる。配線4005乃至4008をローレベルにする。また、配線4009は、プリチャージ時にハイレベルとして、その後ローレベルとする。配線4009をローレベルとすることで、電氣的に浮遊状態にあるノードFG2を電位「 $V_{D1}-V_{th}$ 」とする。ノードFG2の電位が下がることで、トランジスタ4100に電流が流れる。電流が流れることで、電氣的に浮遊状態の配線4003の電位が低下する。配線4003の電位の低下につれて、トランジスタ4100の V_{gs} が小さくなる。トランジスタ4100の V_{gs} がトランジスタ4100の V_{th} になると、トランジスタ4100を流れる電流が小さくなる。すなわち、配線4003の電位が、ノードFG2の電位「 $V_{D1}-V_{th}$ 」から V_{th} だけ大きい値である「 V_{D1} 」となる。この配線4003の電位は、ノードFG1に接続されるデータ保持部のデータ電圧に対応する。読み出されたアナログ値のデータ電圧はA/D変換を行い、ノードFG1に接続されるデータ保持部のデータを取得する。以上が、ノードFG1に接続されるデータ保持部へのデータ電圧の読み出し動作である。

[0261]

つまり、プリチャージ後の配線4003を浮遊状態とし、配線4009の電位をハイレベルからローレベルに切り替えることで、トランジスタ4100に電流が流れる。電流が流れることで、浮遊状態にあった配線4003の電位は低して「 V_{D1} 」となる。トランジスタ4100では、ノードFG2の「 $V_{D1}-V_{th}$ 」との間の V_{gs} が V_{th} となるため、電流が止まる。そして、配線4003には、書き込み動作1で書きこんだ「 V_{D1} 」が読み出される。

[0262]

以上説明したノードFG1、FG2からのデータ電圧の読み出し動作によって、複数のデータ保持部からデータ電圧を読み出すことができる。例えば、ノードFG1及びノードFG2にそれぞれ4ビット(16値)のデータを保持することで計8ビット(256値)のデータを保持することができる。また、図18においては、第1の層4021乃至第3の層4023からなる構成としたが、さらに層を形成することによって、半導体装置の面積を増大させず記憶容量の増加を図ることができる。

[0263]

なお読み出される電位は、書きこんだデータ電圧より V_{th} だけ大きい電圧として読み出すことができる。そのため、書き込み動作で書きこんだ「 $V_{D1}-V_{th}$ 」や「 $V_{D2}-V_{th}$ 」の V_{th} を相殺して読み出す構成とすることができる。その結果、メモリセルあたりの記憶容量を向上させるとともに、読み出されるデータを正しいデータに近づけることができるため、データの信頼性に優れたものとすることができる。

[0264]

<記憶装置4>

図17(C)に示す半導体装置は、トランジスタ3500、第6の配線3006を有する点で図17(A)に示した半導体装置と異なる。この場合も図17(A)に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。また、トランジスタ3500としては上記のトランジスタ3200と同様のトランジスタを用いればよい。

[0265]

第6の配線3006は、トランジスタ3500のゲートと電氣的に接続され、トランジスタ3500のソース、ドレインの一方はトランジスタ3200のドレインと電氣的に接続され、トランジスタ3500のソース、ドレインの他方は第3の配線3003と電氣的に接続される。

[0266]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

[0267]

(実施の形態4)

本実施の形態では、上述の実施の形態で説明したOSトランジスタを適用可能な回路構成の一例について、図19乃至図22を用いて説明する。

[0268]

図19(A)にインバータの回路図を示す。インバータ800は、入力端子INの論理を反転した信号を出力端子OUTに出力する。インバータ800は、複数のOSトランジスタを有する。信号 S_{BG} は、OSトランジスタの電気特性を切り替えることができる信号である。

[0269]

図19(B)は、インバータ800の一例となる回路図である。インバータ800は、OSトランジスタ810、およびOSトランジスタ820を有する。インバータ800は、nチャネル型トランジスタで作製することができるため、CMOS(Complementary Metal Oxide Semiconductor)でインバータ(CMOSインバータ)を作製する場合と比較して、低コストで作製することが可能である。

[0270]

なおOSトランジスタを有するインバータ800は、Siトランジスタで構成されるCMOS上に配置することもできる。インバータ800は、CMOSの回路構成に重ねて配置できるため、インバータ800を追加する分の回路面積の増加を抑えることができる。

[0271]

OSトランジスタ810、820は、フロントゲートとして機能する第1ゲートと、バックゲートとして機能する第2ゲートと、ソースまたはドレインの一方として機能する第1端子、ソースまたはドレインの他方として機能する第2端子を有する。

[0272]

OSトランジスタ810の第1ゲートは、第2端子に接続される。OSトランジスタ810の第2ゲートは、信号 S_{BG} を供給する配線に接続される。OSトランジスタ810の第1端子は、電圧 V_{DD} を与える配線に接続される。OSトランジスタ810の第2端子は、出力端子OUTに接続される。

[0273]

OSトランジスタ820の第1ゲートは、入力端子INに接続される。OSトランジスタ820の第2ゲートは、入力端子INに接続される。OSトランジスタ820の第1端子は、出力端子OUTに接続される。OSトランジスタ820の第2端子は、電圧 V_{SS} を与える配線に接続される。

[0274]

図19(C)は、インバータ800の動作を説明するためのタイミングチャートである。図19(C)のタイミングチャートでは、入力端子INの信号波形、出力端子OUTの信号波形、信号 S_{BG} の信

号波形、およびOSトランジスタ810 (FET810) の閾値電圧の変化について示している。

[0275]

信号 S_{BG} はOSトランジスタ810の第2ゲートに与えることで、OSトランジスタ810の閾値電圧を制御することができる。

[0276]

信号 S_{BG} は、閾値電圧をマイナスシフトさせるための電圧 V_{BG_A} 、閾値電圧をプラスシフトさせるための電圧 V_{BG_B} を有する。第2ゲートに電圧 V_{BG_A} を与えることで、OSトランジスタ810は閾値電圧 V_{TH_A} にマイナスシフトさせることができる。また、第2ゲートに電圧 V_{BG_B} を与えることで、OSトランジスタ810は閾値電圧 V_{TH_B} にプラスシフトさせることができる。

[0277]

前述の説明を可視化するために、図20 (A) には、トランジスタの電気特性の一つである、 $V_g - I_d$ カーブを示す。

[0278]

上述したOSトランジスタ810の電気特性は、第2ゲートの電圧を電圧 V_{BG_A} のように大きくすることで、図20 (A) 中の破線840で表される曲線にシフトさせることができる。また、上述したOSトランジスタ810の電気特性は、第2ゲートの電圧を電圧 V_{BG_B} のように小さくすることで、図20 (A) 中の実線841で表される曲線にシフトさせることができる。図20 (A) に示すように、OSトランジスタ810は、信号 S_{BG} を電圧 V_{BG_A} あるいは電圧 V_{BG_B} というように切り替えることで、閾値電圧をプラスシフトあるいはマイナスシフトさせることができる。

[0279]

閾値電圧を閾値電圧 V_{TH_B} にプラスシフトさせることで、OSトランジスタ810は電流が流れにくい状態とすることができる。図20 (B) には、この状態を可視化して示す。図20 (B) に図示するように、OSトランジスタ810に流れる電流 I_B を極めて小さくすることができる。そのため、入力端子INに与える信号がハイレベルでOSトランジスタ820はオン状態 (ON) のとき、出力端子OUTの電圧を急峻に下降させることができる。

[0280]

図20 (B) に図示したように、OSトランジスタ810に流れる電流が流れにくい状態とすることができるため、図19 (C) に示すタイミングチャートにおける出力端子の信号波形831を急峻に変化させることができる。電圧VDDを与える配線と、電圧VSSを与える配線との間に流れる貫通電流を少なくすることができるため、低消費電力での動作を行うことができる。

[0281]

また、閾値電圧を閾値電圧 V_{TH_A} にマイナスシフトさせることで、OSトランジスタ810は電流が流れやすい状態とすることができる。図20 (C) には、この状態を可視化して示す。図20 (C) に図示するように、このとき流れる電流 I_A を少なくとも電流 I_B よりも大きくすることができる。そのため、入力端子INに与える信号がローレベルでOSトランジスタ820はオフ状態 (OFF) のとき、出力端子OUTの電圧を急峻に上昇させることができる。

[0282]

図20 (C) に図示したように、OSトランジスタ810に流れる電流が流れやすい状態とすることができるため、図19 (C) に示すタイミングチャートにおける出力端子の信号波形832を急峻

に変化させることができる。

[0283]

なお、信号 S_{BG} によるOSトランジスタ810の閾値電圧の制御は、OSトランジスタ820の状態が切り替わる以前、すなわち時刻 T_1 や T_2 よりも前に行うことが好ましい。例えば、図19(C)に図示するように、入力端子INに与える信号がハイレベルに切り替わる時刻 T_1 よりも前に、閾値電圧 V_{TH_A} から閾値電圧 V_{TH_B} にOSトランジスタ810の閾値電圧を切り替えることが好ましい。また、図19(C)に図示するように、入力端子INに与える信号がローレベルに切り替わる時刻 T_2 よりも前に、閾値電圧 V_{TH_B} から閾値電圧 V_{TH_A} にOSトランジスタ810の閾値電圧を切り替えることが好ましい。

[0284]

なお図19(C)のタイミングチャートでは、入力端子INに与える信号に応じて信号 S_{BG} を切り替える構成を示したが、別の構成としてもよい。たとえば閾値電圧を制御するための電圧は、フローティング状態としたOSトランジスタ810の第2ゲートに保持させる構成としてもよい。当該構成を実現可能な回路構成の一例について、図21(A)に示す。

[0285]

図21(A)では、図19(B)で示した回路構成に加えて、OSトランジスタ850を有する。OSトランジスタ850の第1端子は、OSトランジスタ810の第2ゲートに接続される。またOSトランジスタ850の第2端子は、電圧 V_{BG_B} （あるいは電圧 V_{BG_A} ）を与える配線に接続される。OSトランジスタ850の第1ゲートは、信号 S_F を与える配線に接続される。OSトランジスタ850の第2ゲートは、電圧 V_{BG_B} （あるいは電圧 V_{BG_A} ）を与える配線に接続される。

[0286]

図21(A)の動作について、図21(B)のタイミングチャートを用いて説明する。

[0287]

OSトランジスタ810の閾値電圧を制御するための電圧は、入力端子INに与える信号がハイレベルに切り替わる時刻 T_3 よりも前に、OSトランジスタ810の第2ゲートに与える構成とする。信号 S_F をハイレベルとしてOSトランジスタ850をオン状態とし、ノード N_{BG} に閾値電圧を制御するための電圧 V_{BG_B} を与える。

[0288]

ノード N_{BG} が電圧 V_{BG_B} となった後は、OSトランジスタ850をオフ状態とする。OSトランジスタ850は、オフ電流が極めて小さいため、オフ状態にし続けることで、一旦ノード N_{BG} に保持させた電圧 V_{BG_B} を保持することができる。そのため、OSトランジスタ850の第2ゲートに電圧 V_{BG_B} を与える動作の回数が減るため、電圧 V_{BG_B} の書き換えに要する分の消費電力を小さくすることができる。

[0289]

なお図19(B)および図21(A)の回路構成では、OSトランジスタ810の第2ゲートに与える電圧を外部からの制御によって与える構成について示したが、別の構成としてもよい。たとえば閾値電圧を制御するための電圧を、入力端子INに与える信号を基に生成し、OSトランジスタ810の第2ゲートに与える構成としてもよい。当該構成を実現可能な回路構成の一例について、図22(A)に示す。

[0290]

図22(A)では、図19(B)で示した回路構成において、入力端子INとOSトランジスタ810の第2ゲートとの間にCMOSインバータ860を有する。CMOSインバータ860の入力端子は、入力端子INに接続さえる。CMOSインバータ860の出力端子は、OSトランジスタ810の第2ゲートに接続される。

[0291]

図22(A)の動作について、図22(B)のタイミングチャートを用いて説明する。図22(B)のタイミングチャートでは、入力端子INの信号波形、出力端子OUTの信号波形、CMOSインバータ860の出力波形IN__B、およびOSトランジスタ810(FET810)の閾値電圧の変化について示している。

[0292]

入力端子INに与える信号の論理を反転した信号である出力波形IN__Bは、OSトランジスタ810の閾値電圧を制御する信号とすることができる。したがって、図20(A)乃至(C)で説明したように、OSトランジスタ810の閾値電圧を制御できる。例えば、図22(B)における時刻T4となるとき、入力端子INに与える信号がハイレベルでOSトランジスタ820はオン状態となる。このとき、出力波形IN__Bはローレベルとなる。そのため、OSトランジスタ810は電流が流れにくい状態とすることができ、出力端子OUTの電圧を急峻に下降させることができる。

[0293]

また図22(B)における時刻T5となるとき、入力端子INに与える信号がローレベルでOSトランジスタ820はオフ状態となる。このとき、出力波形IN__Bはハイレベルとなる。そのため、OSトランジスタ810は電流が流れやすい状態とすることができ、出力端子OUTの電圧を急峻に上昇させることができる。

[0294]

以上説明したように本実施の形態の構成では、OSトランジスタを有するインバータにおける、バックゲートの電圧を入力端子INの信号の論理にしたがって切り替える。当該構成とすることで、OSトランジスタの閾値電圧を制御することができる。OSトランジスタの閾値電圧の制御を入力端子INに与える信号によって制御することで、出力端子OUTの電圧を急峻に変化させることができる。また、電源電圧を与える配線間の貫通電流を小さくすることができる。そのため、低消費電力化を図ることができる。

[0295]

(実施の形態5)

本実施の形態においては、本発明の一態様に係るトランジスタや上述した記憶装置などの半導体装置を含むCPUの一例について説明する。

[0296]

<CPUの構成>

図23は、上述したトランジスタを一部に用いたCPUの一例の構成を示すブロック図である。

[0297]

図23に示すCPUは、基板1190上に、ALU1191(ALU: Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ11

93、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198、書き換え可能なROM1199、およびROMインターフェース1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図23に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図23に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

[0298]

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

[0299]

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

[0300]

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

[0301]

図23に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、上述したトランジスタや記憶装置などを用いることができる。

[0302]

図23に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。即ち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

[0303]

図24は、レジスタ1196として用いることのできる記憶素子1200の回路図の一例である。記憶素子1200は、電源遮断で記憶データが揮発する回路1201と、電源遮断で記憶データが揮発しない回路1202と、スイッチ1203と、スイッチ1204と、論理素子1206と、容量素子1207と、選択機能を有する回路1220と、を有する。回路1202は、容量素子1208と、トランジスタ1209と、トランジスタ1210と、を有する。なお、記憶素子1200は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していてもよい。

[0304]

ここで、回路1202には、上述した記憶装置を用いることができる。記憶素子1200への電源電圧の供給が停止した際、回路1202のトランジスタ1209のゲートにはGND(0V)、またはトランジスタ1209がオフする電位が入力され続ける構成とする。例えば、トランジスタ1209のゲートが抵抗等の負荷を介して接地される構成とする。

[0305]

スイッチ1203は、一導電型(例えば、nチャネル型)のトランジスタ1213を用いて構成され、スイッチ1204は、一導電型とは逆の導電型(例えば、pチャネル型)のトランジスタ1214を用いて構成した例を示す。ここで、スイッチ1203の第1の端子はトランジスタ1213のソースとドレインの一方に対応し、スイッチ1203の第2の端子はトランジスタ1213のソースとドレインの他方に対応し、スイッチ1203はトランジスタ1213のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ1213の導通状態または非導通状態)が選択される。スイッチ1204の第1の端子はトランジスタ1214のソースとドレインの一方に対応し、スイッチ1204の第2の端子はトランジスタ1214のソースとドレインの他方に対応し、スイッチ1204はトランジスタ1214のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ1214の導通状態または非導通状態)が選択される。

[0306]

トランジスタ1209のソースとドレインの一方は、容量素子1208の一对の電極のうち的一方、およびトランジスタ1210のゲートと電氣的に接続される。ここで、接続部分をノードM2とする。トランジスタ1210のソースとドレインの一方は、低電源電位を供給することのできる配線(例えばGND線)に電氣的に接続され、他方は、スイッチ1203の第1の端子(トランジスタ1213のソースとドレインの一方)と電氣的に接続される。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)はスイッチ1204の第1の端子(トランジスタ1214のソースとドレインの一方)と電氣的に接続される。スイッチ1204の第2の端子(トランジスタ1214のソースとドレインの他方)は電源電位VDDを供給することのできる配線と電氣的に接続される。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)と、スイッチ1204の第1の端子(トランジスタ1214のソースとドレインの一方)と、論理素子1206の入力端子と、容量素子1207の一对の電極のうち的一方と、は電氣的に接続される。ここで、接続部分をノードM1とする。容量素子1207の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(GND等)または高電源電位(VDD等)が入力される構成とすることができる。容量素子1207の一对の電極のうちの他方は、低電源電位を供給することのできる配線(例えばGND線)と電氣的に接続される。容量素子1208の一对の電極の

うちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1208の一对の電極のうちの他方は、低電源電位を供給することのできる配線（例えばGND線）と電氣的に接続される。

[0307]

なお、容量素子1207および容量素子1208は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

[0308]

トランジスタ1209のゲートには、制御信号WEが入力される。スイッチ1203およびスイッチ1204は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

[0309]

トランジスタ1209のソースとドレインの他方には、回路1201に保持されたデータに対応する信号が入力される。図24では、回路1201から出力された信号が、トランジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

[0310]

なお、図24では、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206および回路1220を介して回路1201に入力する例を示したがこれに限定されない。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路1201に入力されてもよい。例えば、回路1201内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

[0311]

また、図24において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる膜または基板1190にチャネルが形成されるトランジスタとすることができる。例えば、シリコン膜またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素子1200に用いられるトランジスタ全てを、チャネルが酸化物半導体で形成されるトランジスタとすることもできる。または、記憶素子1200は、トランジスタ1209以外にも、チャネルが酸化物半導体で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャネルが形成されるトランジスタとすることもできる。

[0312]

図24における回路1201には、例えばフリップフロップ回路を用いることができる。また、論理素子1206としては、例えばインバータやクロックドインバータ等を用いることができる。

[0313]

本発明の一態様に係る半導体装置では、記憶素子 1 2 0 0 に電源電圧が供給されない間は、回路 1 2 0 1 に記憶されていたデータを、回路 1 2 0 2 に設けられた容量素子 1 2 0 8 によって保持することができる。

[0 3 1 4]

また、酸化物半導体にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ 1 2 0 9 として用いることによって、記憶素子 1 2 0 0 に電源電圧が供給されない間も容量素子 1 2 0 8 に保持された信号は長期間にわたり保たれる。こうして、記憶素子 1 2 0 0 は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

[0 3 1 5]

また、スイッチ 1 2 0 3 およびスイッチ 1 2 0 4 を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路 1 2 0 1 が元のデータを保持しなおすまでの時間を短くすることができる。

[0 3 1 6]

また、回路 1 2 0 2 において、容量素子 1 2 0 8 によって保持された信号はトランジスタ 1 2 1 0 のゲートに入力される。そのため、記憶素子 1 2 0 0 への電源電圧の供給が再開された後、容量素子 1 2 0 8 によって保持された信号を、トランジスタ 1 2 1 0 の状態（導通状態、または非導通状態）に変換して、回路 1 2 0 2 から読み出すことができる。それ故、容量素子 1 2 0 8 に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

[0 3 1 7]

このような記憶素子 1 2 0 0 を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

[0 3 1 8]

記憶素子 1 2 0 0 を CPU に用いる例として説明したが、記憶素子 1 2 0 0 は、DSP (Digital Signal Processor)、カスタム LSI、PLD (Programmable Logic Device) 等の LSI、RF (Radio Frequency) デバイスにも応用可能である。

[0 3 1 9]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0 3 2 0]

(実施の形態 6)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した電子機器について説明する。

[0 3 2 1]

<電子機器>

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレーヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図25に示す。

[0322]

図25（A）は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイクロフォン905、スピーカー906、操作キー907、スタイラス908等を有する。なお、図25（A）に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

[0323]

図25（B）は携帯データ端末であり、第1筐体911、第2筐体912、第1表示部913、第2表示部914、接続部915、操作キー916等を有する。第1表示部913は第1筐体911に設けられており、第2表示部914は第2筐体912に設けられている。そして、第1筐体911と第2筐体912とは、接続部915により接続されており、第1筐体911と第2筐体912の間の角度は、接続部915により変更が可能である。第1表示部913における映像を、接続部915における第1筐体911と第2筐体912との間の角度にしたがって、切り替える構成としてもよい。また、第1表示部913および第2表示部914の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

[0324]

図25（C）はノート型パーソナルコンピュータであり、筐体921、表示部922、キーボード923、ポインティングデバイス924等を有する。

[0325]

図25（D）は電気冷凍冷蔵庫であり、筐体931、冷蔵室用扉932、冷凍室用扉933等を有する。

[0326]

図25（E）はビデオカメラであり、第1筐体941、第2筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944およびレンズ945は第1筐体941に設けられており、表示部943は第2筐体942に設けられている。そして、第1筐体941と第2筐体942とは、接続部946により接続されており、第1筐体941と第2筐体942の間の角度は、接続部946により変更が可能である。表示部943における映像を、接続部946における第1筐体941と第2筐体942との間の角度にしたがって切り替える構成としてもよい。

[0327]

図 25 (F) は自動車であり、車体 951、車輪 952、ダッシュボード 953、ライト 954 等を有する。

[0328]

なお、本実施の形態において、本発明の一態様について述べた。ただし、本発明の一態様は、これらに限定されない。つまり、本実施の形態などでは、様々な発明の態様が記載されているため、本発明の一態様は、特定の態様に限定されない。例えば、本発明の一態様として、トランジスタのチャンネル形成領域、ソースドレイン領域などが、酸化物半導体を有する場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソースドレイン領域などは、様々な半導体を有していてもよい。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソースドレイン領域などは、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、または、有機半導体などの少なくとも一つを有していてもよい。または例えば、場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソースドレイン領域などは、酸化物半導体を有していなくてもよい。

[実施例 1]

[0329]

本実施例では、本発明の一態様に係るトランジスタについてデバイスシミュレーションを行い、トランジスタの電気特性の確認を行った。

[0330]

本実施例では、上記実施の形態で示した、トランジスタ 10 に対応させてモデル 11 を作成し、モデル 11 に対してデバイスシミュレーションを行う。図 26 (A) (B) にモデル 11 の断面図を示す。図 26 (A) は上記実施の形態に示す図 1 (B) に対応しており、モデル 11 のチャンネル長方向の断面図である。また、図 26 (B) は上記実施の形態に示す図 1 (C) に対応しており、モデル 11 のチャンネル長方向に垂直な断面図である。

[0331]

ただし、トランジスタ 10 とは異なり、図 26 (A) に示すように、半導体 106b のチャンネル長方向の両端に低抵抗領域 106c 及び低抵抗領域 106d が設けられており、さらに低抵抗領域 106c の外側に導電体 108a が設けられ、低抵抗領域 106d の外側に導電体 108b が設けられている。また、絶縁体 112 は、図 26 (B) に示すように、導電体 114 の内側及び外側に連続して設けられており、導電体 114 の内側に設けられた部分は導電体 114 及び導電体 102 に対するゲート絶縁膜として機能する。

[0332]

ここで、絶縁体 106a は IGZO (134) を想定し、半導体 106b は IGZO (111) を想定した。また、低抵抗領域 106c 及び低抵抗領域 106d は半導体にドナーを添加してドナー密度 $1.0 \times 10^{19} / \text{cm}^3$ としたものを想定した。

[0333]

計算は、Silvaco 社デバイスシミュレータ ATLAS 3D を用いた。主な計算条件としては、

チャネル長 L （図26に示す導電体114の幅）を30nmとし、半導体106bの半径を10nmとし、絶縁体106aの膜厚を5nmとし、導電体114の膜厚を10nmとし、導電体102の膜厚を2nmとした。また、絶縁体112において、絶縁体106aと導電体114の間の膜厚は12nmとし、絶縁体106aと導電体102の間の膜厚は5nmとし、導電体114より外側の膜厚は10nmとした。また、以下の表1に、計算に用いた詳細なパラメータを示す。なお、表1において、伝導帯状態密度（ N_c ）は伝導帯下端における状態密度を示し、価電子帯状態密度（ N_v ）は価電子帯上端における状態密度を示す。

[0334]

[表1]

半導体 106b	電子親和力	4.7	eV
	バンドギャップ(E_g)	3.2	eV
	比誘電率	15	
	ドナー密度（真性）	6.60E-09	cm^{-3}
	電子移動度	10	cm^2/Vs
	正孔移動度	0.01	cm^2/Vs
	伝導帯状態密度(N_c)	5.00E+18	cm^{-3}
	価電子帯状態密度(N_v)	5.00E+18	cm^{-3}
	膜厚（半径）	10	nm
絶縁体 106a	電子親和力	4.5	eV
	バンドギャップ(E_g)	3.4	eV
	比誘電率	15	
	ドナー密度（真性）	1.40E-10	cm^{-3}
	電子移動度	0.1	cm^2/Vs
	正孔移動度	0.01	cm^2/Vs
	伝導帯状態密度(N_c)	5.00E+18	cm^{-3}
	価電子帯状態密度(N_v)	5.00E+18	cm^{-3}
	膜厚	5	nm
絶縁体 112	比誘電率	4.1	
	膜厚(導電体 114 の内側)	12	nm
	膜厚(導電体 114 の外側)	10	nm
導電体 114	仕事関数	4.7	
	膜厚	10	nm
導電体 102	仕事関数	4.7	
	膜厚	2	nm
導電体 108a, 108b	仕事関数	4.7	eV

[0335]

モデル11は、トランジスタ10と同様に、半導体106b、絶縁体106a、絶縁体112、導電体102、導電体114、導電体108a及び導電体108bを有する。ここで、半導体106b

は活性層として機能し、絶縁体 1 1 2 は導電体 1 0 4 及び導電体 1 0 2 に対するゲート絶縁膜として機能し、導電体 1 1 4 はゲート電極として機能し、導電体 1 0 2 はバックゲート電極として機能し、導電体 1 0 8 a はソース電極として機能し、導電体 1 0 8 b はドレイン電極として機能する。

[0 3 3 6]

デバイスシミュレーションを行って得た $I_d - V_g$ 特性（ドレイン電流－ゲート電圧特性）を図 2 7 に示す。図 2 7 において、横軸にゲート電圧 V_g [V]、縦軸にドレイン電流 I_d [A] をとる。 $I_d - V_g$ 特性の計算は、バックゲート電圧 V_{bg} を -3 V にした場合と、 V_{bg} を 0 V にした場合について行った。それぞれにおいて、ドレイン電圧を 0.1 V とし、ゲート電圧を -3.0 V から 3.0 V まで掃引させている。

[0 3 3 7]

図 2 7 に示すように、バックゲート電圧を印加していない ($V_{bg} = 0$ V) ときは、 $V_g = 0$ V においてトランジスタが導通状態となっているが、 $V_{bg} = -3$ V にしたときは、 $V_g = 0$ V においてトランジスタが非導通状態となっている。このように、バックゲート電圧を印加することにより、ノーマリーオフ型の $I_d - V_g$ 特性が得られることが示された。

[0 3 3 8]

このように、半導体 1 0 6 b を囲むようにゲート電極としての機能を有する導電体 1 1 4 を設け、バックゲートとして機能する導電体 1 0 2 を設けることにより、チャネル長が短い構造のトランジスタにおいても、ノーマリーオフの電気特性を与えることができる。

[符号の説明]

[0 3 3 9]

1 0 トランジスタ
1 0 a トランジスタ
1 0 b トランジスタ
1 0 c トランジスタ
1 0 d トランジスタ
1 0 e トランジスタ
1 1 モデル
1 4 トランジスタ
5 0 トランジスタ
5 0 a トランジスタ
1 0 2 導電体
1 0 4 導電体
1 0 6 a 絶縁体
1 0 6 b 半導体
1 0 6 c 低抵抗領域
1 0 6 d 低抵抗領域
1 0 8 a 導電体
1 0 8 b 導電体
1 1 2 絶縁体

1 1 4	導電体
1 5 0	基板
1 5 1	絶縁体
1 5 2	導電体
1 5 6 a	絶縁体
1 5 6 b	半導体
1 5 6 c	絶縁体
1 5 6 d	絶縁体
1 5 6 e	絶縁体
1 5 6 f	絶縁体
1 5 7	絶縁体
1 5 8 a	導電体
1 5 8 b	導電体
1 5 8 c	導電体
1 5 8 d	導電体
1 5 8 e	導電体
1 5 8 f	導電体
1 6 2	絶縁体
1 6 2 a	絶縁体
1 6 2 b	絶縁体
1 6 2 c	絶縁体
1 6 2 d	絶縁体
1 6 2 e	絶縁体
1 6 2 f	絶縁体
1 6 2 g	絶縁体
1 6 2 h	絶縁体
1 6 4 a	導電体
1 6 4 b	導電体
1 6 7	絶縁体
8 0 0	インバータ
8 1 0	OSトランジスタ
8 2 0	OSトランジスタ
8 3 1	信号波形
8 3 2	信号波形
8 4 0	破線
8 4 1	実線
8 5 0	OSトランジスタ
8 6 0	CMOSインバータ
9 0 1	筐体

9 0 2	筐体
9 0 3	表示部
9 0 4	表示部
9 0 5	マイクロフォン
9 0 6	スピーカー
9 0 7	操作キー
9 0 8	スタイラス
9 1 1	筐体
9 1 2	筐体
9 1 3	表示部
9 1 4	表示部
9 1 5	接続部
9 1 6	操作キー
9 2 1	筐体
9 2 2	表示部
9 2 3	キーボード
9 2 4	ポインティングデバイス
9 3 1	筐体
9 3 2	冷蔵室用扉
9 3 3	冷凍室用扉
9 4 1	筐体
9 4 2	筐体
9 4 3	表示部
9 4 4	操作キー
9 4 5	レンズ
9 4 6	接続部
9 5 1	車体
9 5 2	車輪
9 5 3	ダッシュボード
9 5 4	ライト
1 1 8 9	ROMインターフェース
1 1 9 0	基板
1 1 9 1	ALU
1 1 9 2	ALUコントローラ
1 1 9 3	インストラクションデコーダ
1 1 9 4	インタラプトコントローラ
1 1 9 5	タイミングコントローラ
1 1 9 6	レジスタ
1 1 9 7	レジスタコントローラ

1 1 9 8	バスインターフェース
1 1 9 9	ROM
1 2 0 0	記憶素子
1 2 0 1	回路
1 2 0 2	回路
1 2 0 3	スイッチ
1 2 0 4	スイッチ
1 2 0 6	論理素子
1 2 0 7	容量素子
1 2 0 8	容量素子
1 2 0 9	トランジスタ
1 2 1 0	トランジスタ
1 2 1 3	トランジスタ
1 2 1 4	トランジスタ
1 2 2 0	回路
2 1 0 0	トランジスタ
2 2 0 0	トランジスタ
3 0 0 1	配線
3 0 0 2	配線
3 0 0 3	配線
3 0 0 4	配線
3 0 0 5	配線
3 0 0 6	配線
3 2 0 0	トランジスタ
3 3 0 0	トランジスタ
3 4 0 0	容量素子
3 5 0 0	トランジスタ
4 0 0 1	配線
4 0 0 3	配線
4 0 0 5	配線
4 0 0 6	配線
4 0 0 7	配線
4 0 0 8	配線
4 0 0 9	配線
4 0 2 1	層
4 0 2 2	層
4 0 2 3	層
4 1 0 0	トランジスタ
4 2 0 0	トランジスタ

4 3 0 0	トランジスタ
4 4 0 0	トランジスタ
4 5 0 0	容量素子
4 6 0 0	容量素子

請求の範囲

[請求項1]

環状に設けられた第1の導電体と、
前記第1の導電体の環の内側を通して伸長した領域を有する酸化物半導体と、
前記第1の導電体と、前記酸化物半導体との間に設けられた第1の絶縁体と、
前記第1の導電体と、前記第1の絶縁体との間に設けられた第2の絶縁体と、
前記第1の導電体の環の内側を通して設けられた第2の導電体と、を有し、
前記第2の導電体は、前記第2の絶縁体中に設けられる半導体装置。

[請求項2]

請求項1において、
前記酸化物半導体に接して、前記第1の導電体を間に挟んで設けられた第3の導電体及び第4の導電体と、をさらに有し、
前記第3の導電体と前記第4の導電体の間の距離は2 nm以上30 nm以下であることを特徴とする半導体装置。

[請求項3]

請求項1または請求項2において、
前記酸化物半導体の伸長方向に略垂直な面における断面形状は、略円形状であることを特徴とする半導体装置。

[請求項4]

請求項1または請求項2において、
前記酸化物半導体の伸長方向に略垂直な面における断面形状は、略多角形状であることを特徴とする半導体装置。

[請求項5]

請求項1または請求項2において、
前記半導体装置は、基板上に設けられており、
前記基板の上面は、前記酸化物半導体の伸長方向に略平行であることを特徴とする半導体装置。

[請求項6]

請求項1または請求項2において、
前記半導体装置は、基板上に設けられており、
前記基板の上面は、前記酸化物半導体の伸長方向に略垂直であることを特徴とする半導体装置。

[請求項7]

請求項1または請求項2において、
前記第1の絶縁体は、インジウム、元素M (Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf) 及び亜鉛のうち少なくとも一以上を有することを特徴とする半導体装置。

[請求項8]

基板上に、第1の方向に伸長して設けられた第1の導電体と、
前記第1の導電体上に設けられた第1の絶縁体と、
前記第1の絶縁体上に設けられた、開口を有する第2の絶縁体と、
前記第2の絶縁体に形成された開口の中に、前記第1の方向に略垂直である第2の方向に伸長して

設けられた第2の導電体と

前記第2の絶縁体及び前記第2の導電体上に設けられた第3の絶縁体と、

前記第3の絶縁体上に設けられた第4の絶縁体と、

前記第3の絶縁体上に、前記第4の絶縁体を間に挟んで設けられた第3の導電体及び第4の導電体と、

前記第4の絶縁体、前記第3の導電体及び前記第4の導電体の上面に接して、第2の方向に伸長して設けられた酸化物半導体と、

前記酸化物半導体の上面及び側面と、前記第3の導電体の側面に接して、第5の絶縁体を間に挟んで第6の導電体と対向して設けられた第5の導電体と、

前記酸化物半導体の上面及び側面と、前記第4の導電体の側面に接して、第5の絶縁体を間に挟んで前記第5導電体と対向して設けられた前記第6の導電体と、

前記第5の導電体及び前記第6の導電体上に設けられ、前記第5の導電体と前記第6の導電体の間に開口を有する第6の絶縁体と、

前記酸化物半導体の上面、前記第5の導電体及び前記第6の導電体の側面、前記第6の絶縁体の側面と接して設けられた前記第5の絶縁体と、

前記第5の絶縁体の上面に接して設けられた第7の絶縁体と、

前記第7の絶縁体の上面に接して設けられた第7の導電体と、を有し、

前記第1の方向に略垂直な面の断面において、

前記第4の絶縁体と前記第5の絶縁体は、前記酸化物半導体を囲むように設けられ、

前記第3の絶縁体と前記第7の絶縁体は、前記第4の絶縁体、前記酸化物半導体及び前記第5の絶縁体を囲むように設けられ、

前記第1の導電体と前記第7の導電体は、前記第1乃至第3の絶縁体及び前記第7の絶縁体を囲むように設けられることを特徴とする半導体装置。

[請求項9]

請求項8において、

前記第4の絶縁体及び前記第5の絶縁体は、インジウム、元素M (Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf) 及び亜鉛のうち少なくとも一以上を有することを特徴とする半導体装置。

[請求項10]

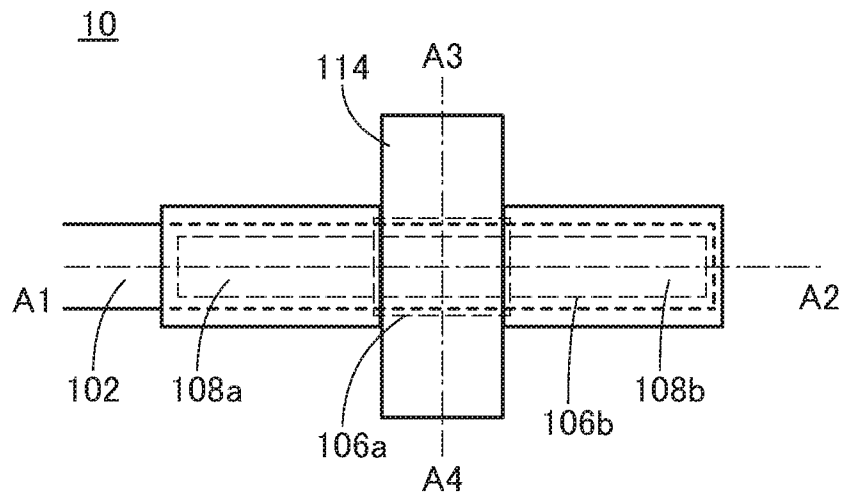
請求項1、請求項2、請求項8及び請求項9のいずれか一において、

前記酸化物半導体は、インジウム、元素M (Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf)、亜鉛および酸素を有することを特徴とする半導体装置。

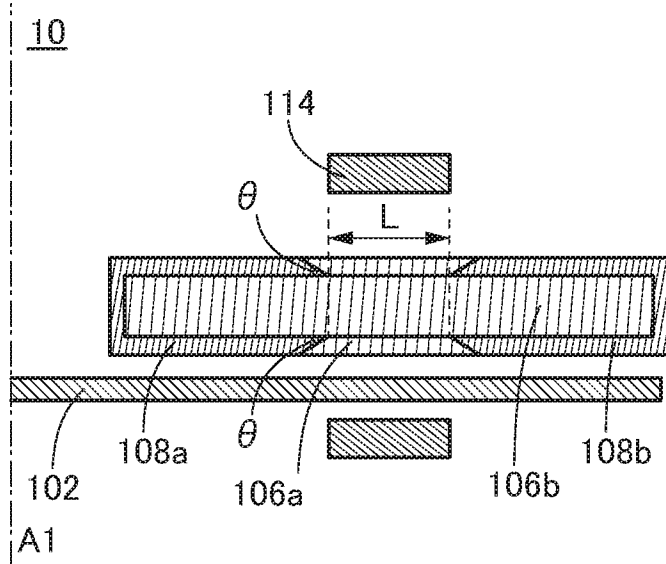
[図 1]

1/27

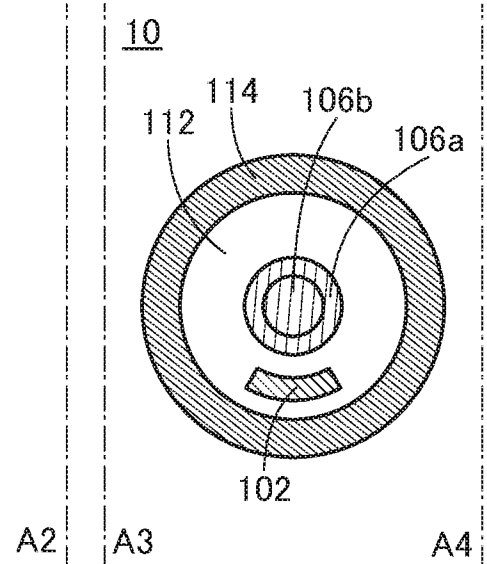
(A)



(B)



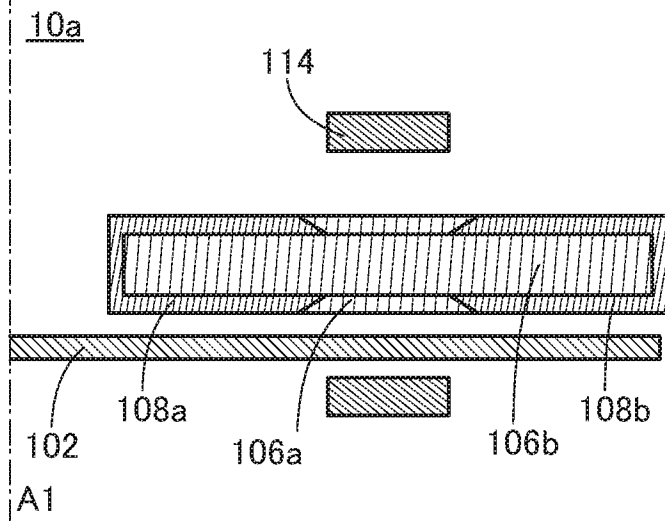
(C)



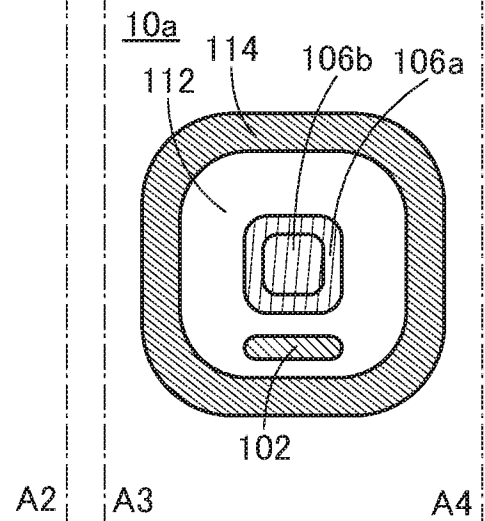
[図2]

2/27

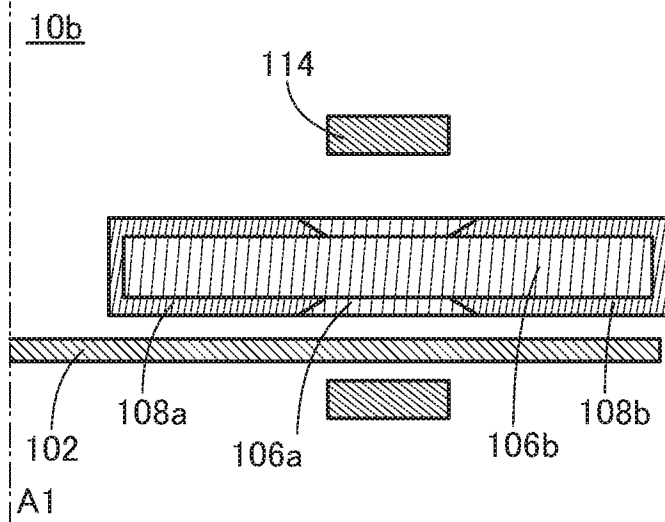
(A)



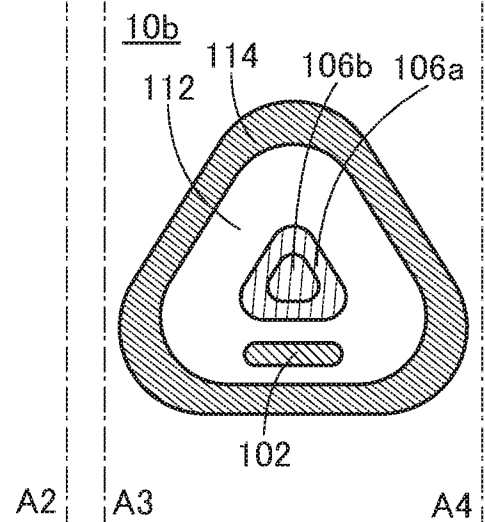
(B)



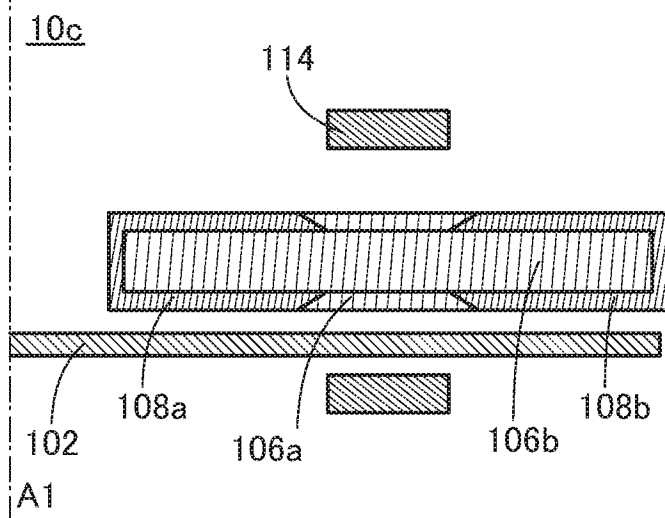
(C)



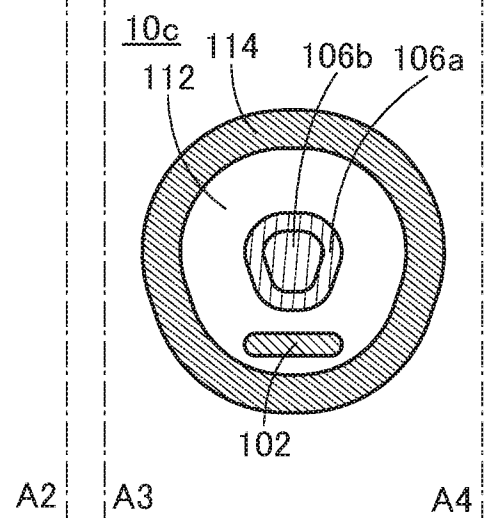
(D)



(E)



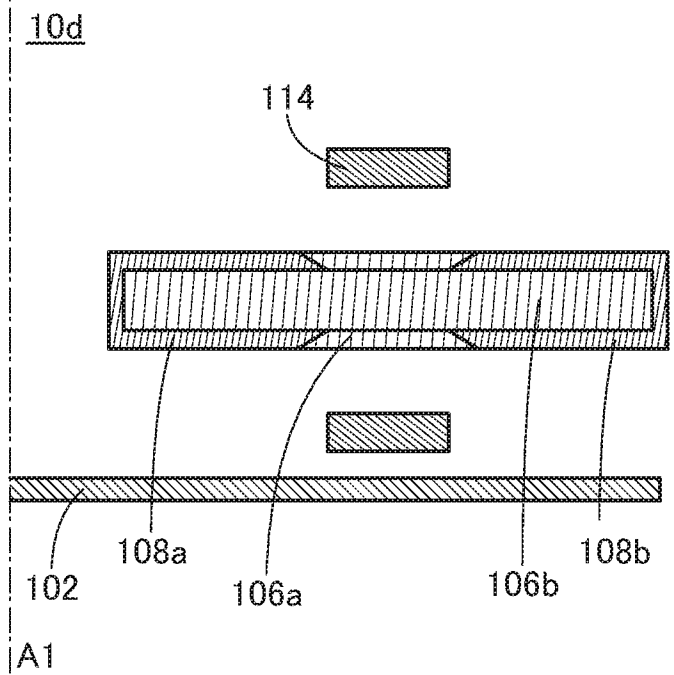
(F)



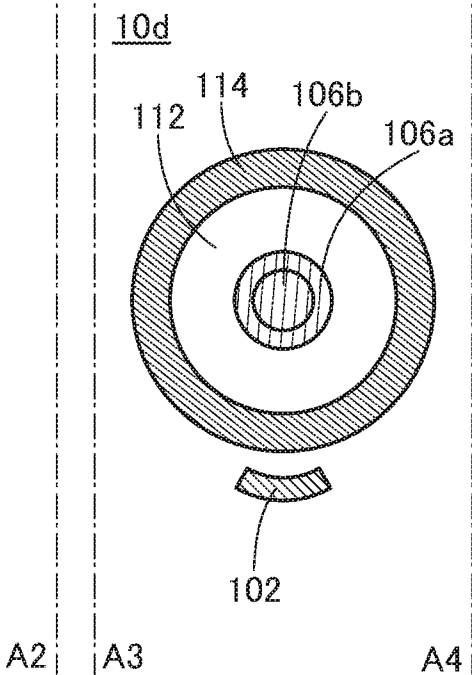
[図3]

3/27

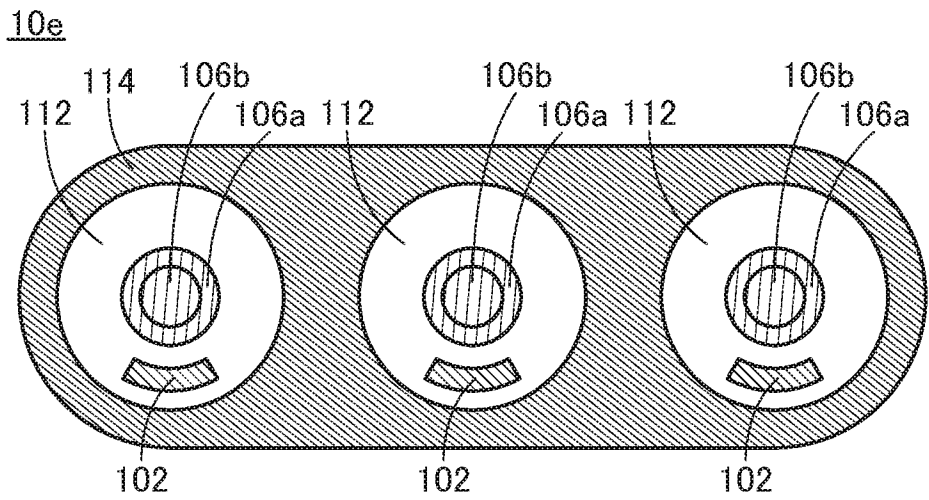
(A)



(B)

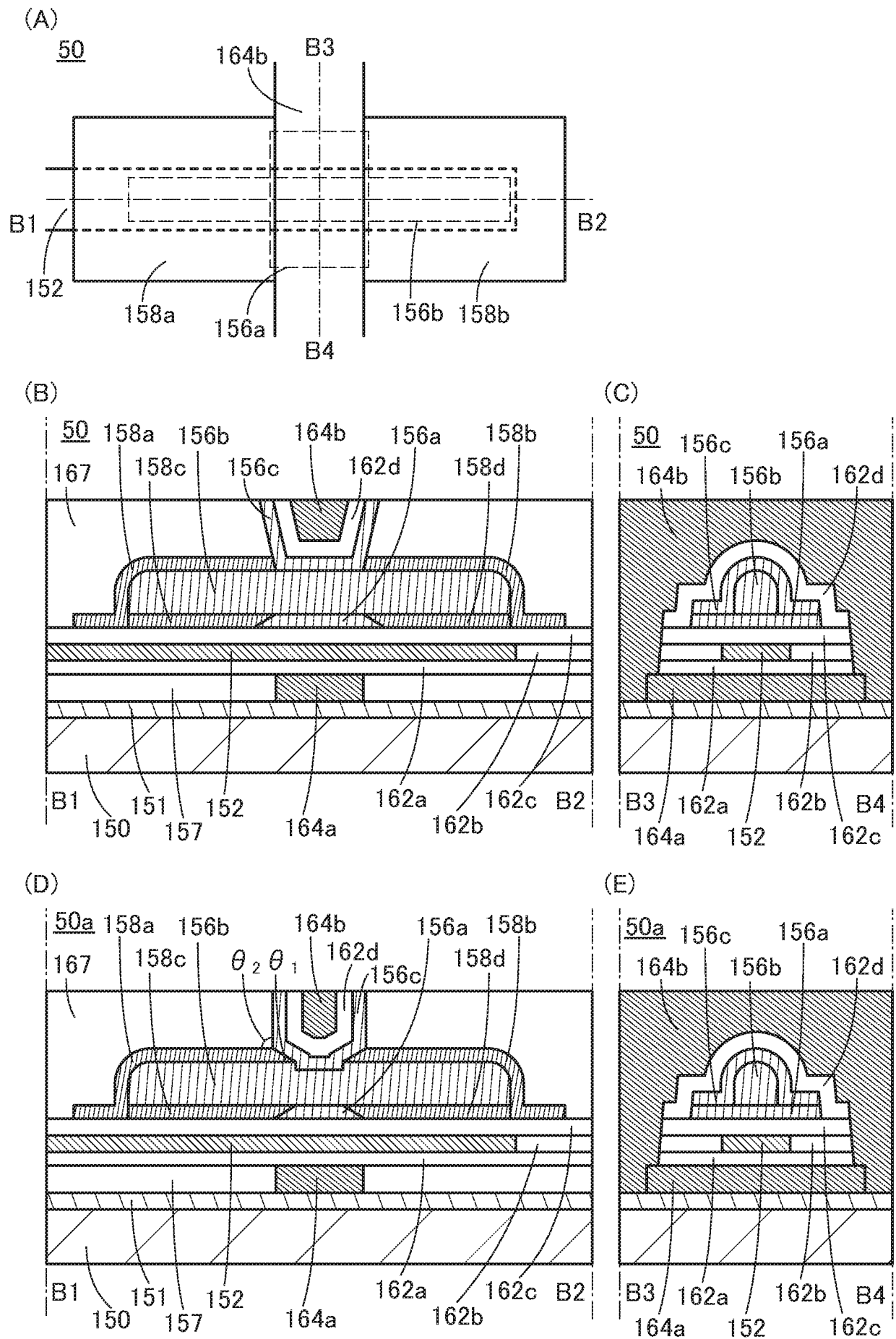


(C)



[図4]

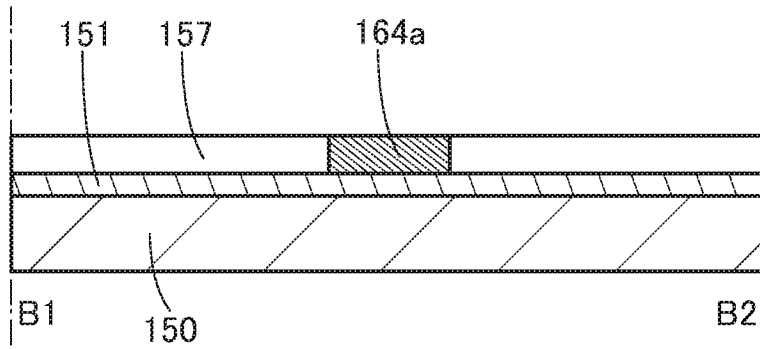
4/27



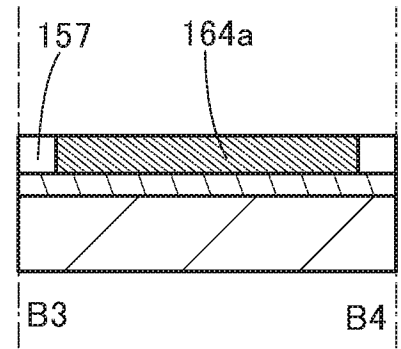
[図5]

5/27

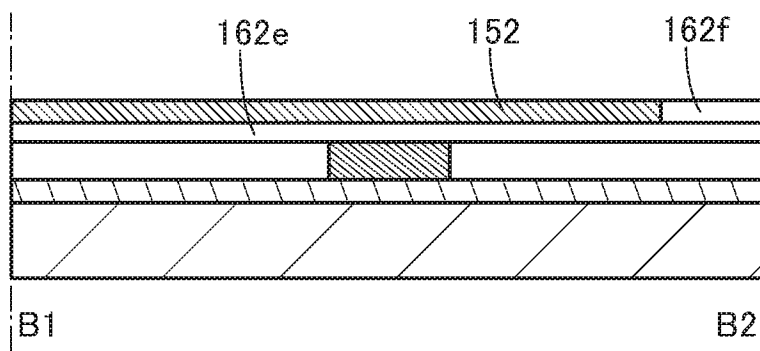
(A)



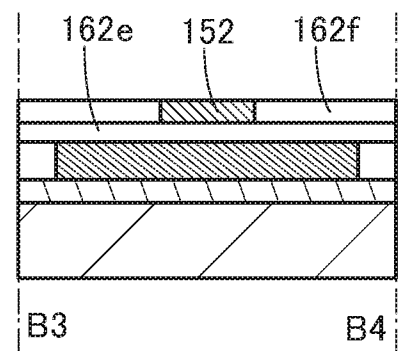
(B)



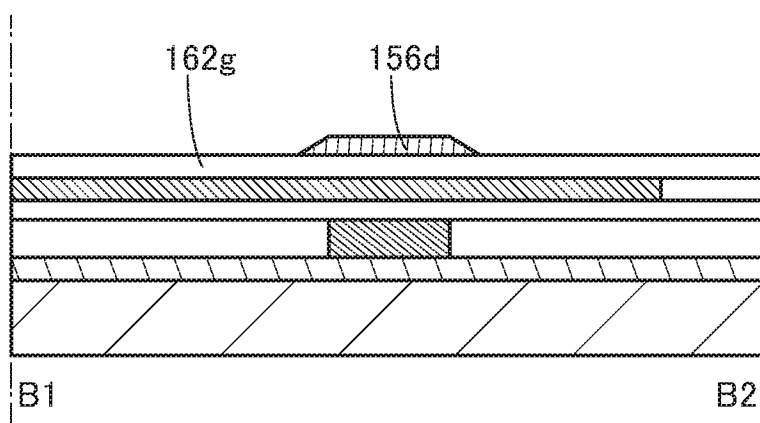
(C)



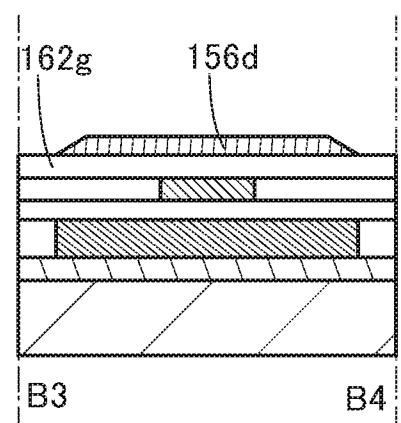
(D)



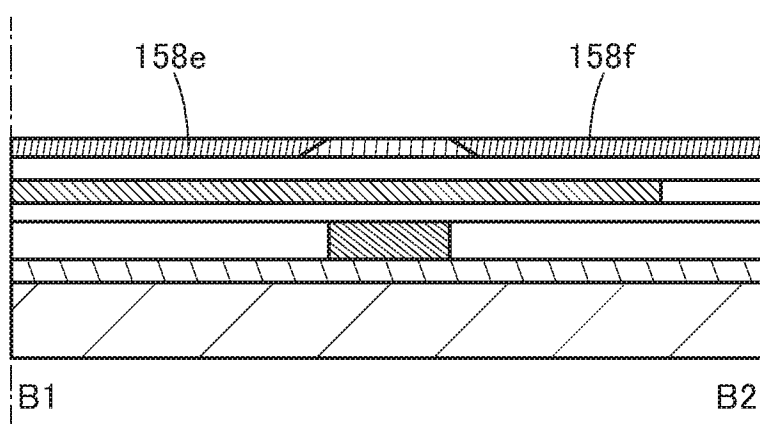
(E)



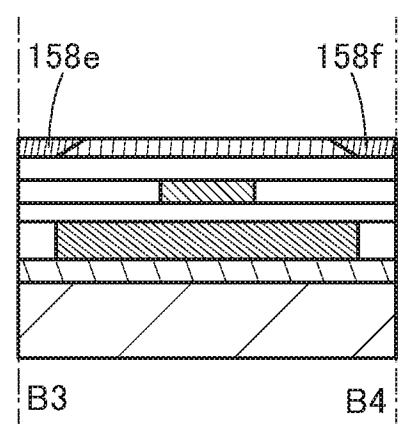
(F)



(G)

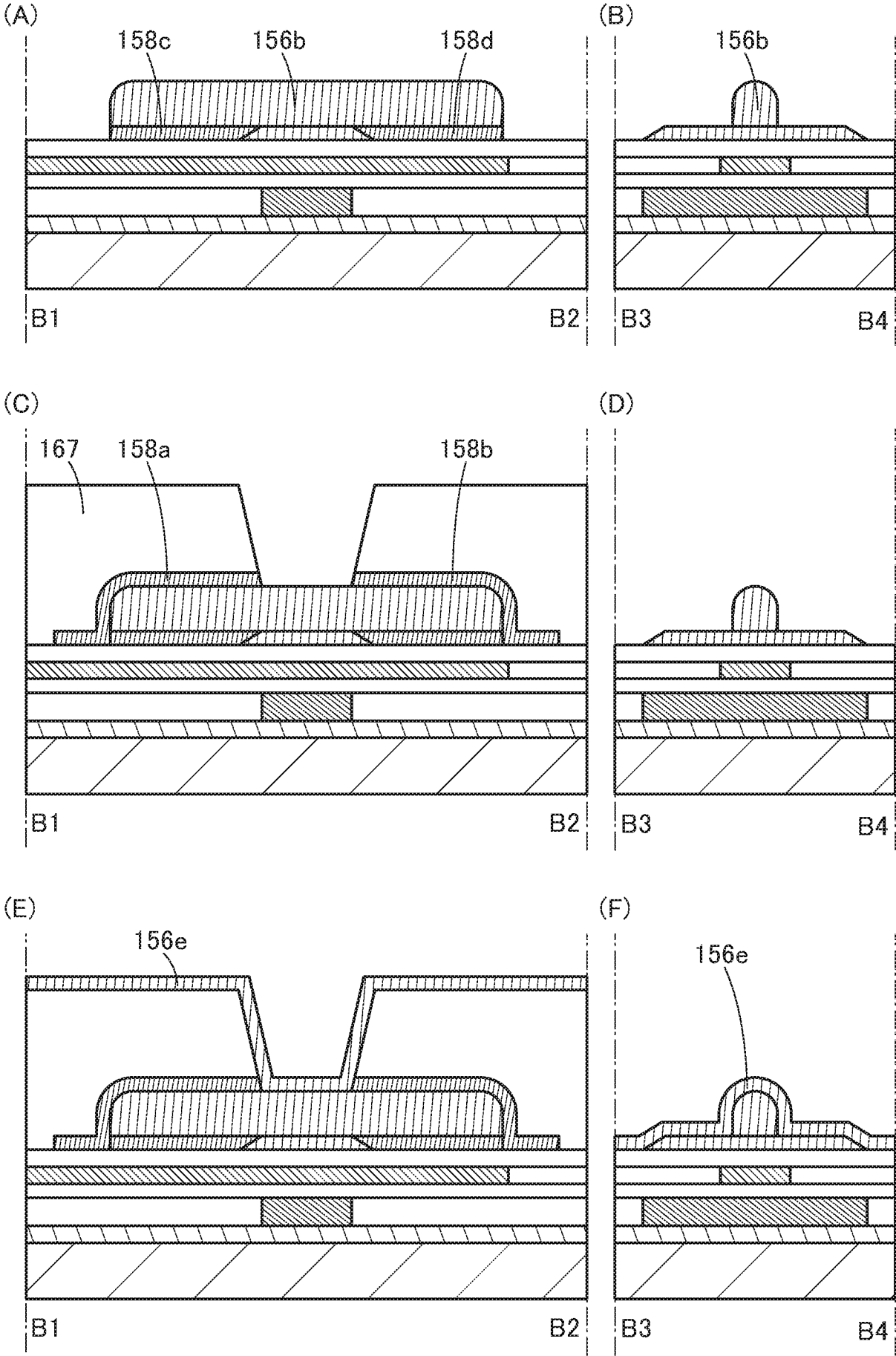


(H)



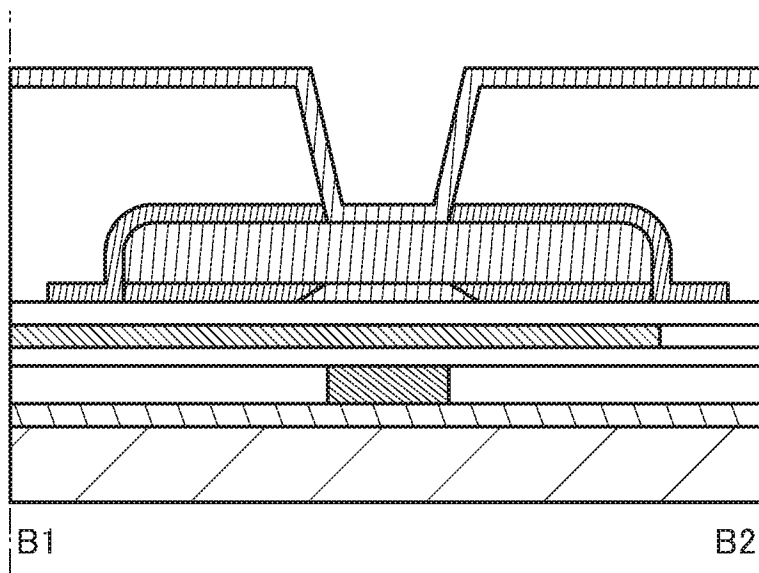
[図6]

6/27

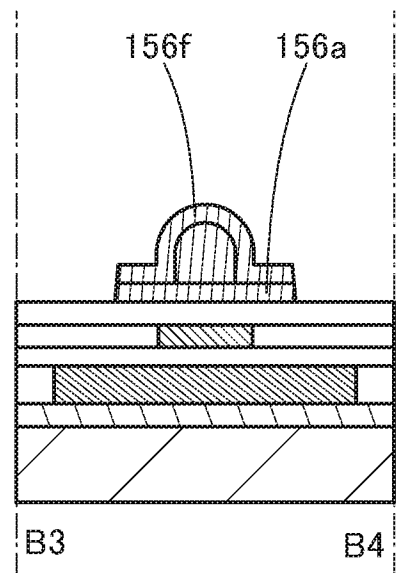


(A) [図7]

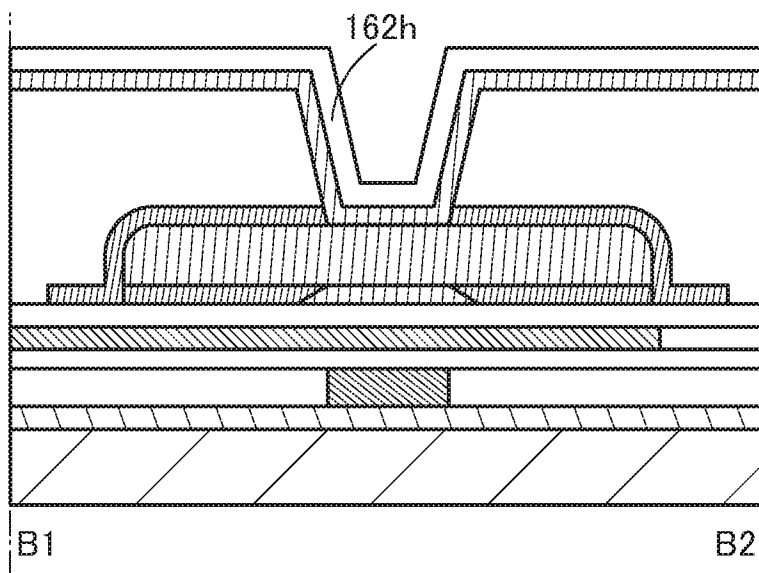
7/27



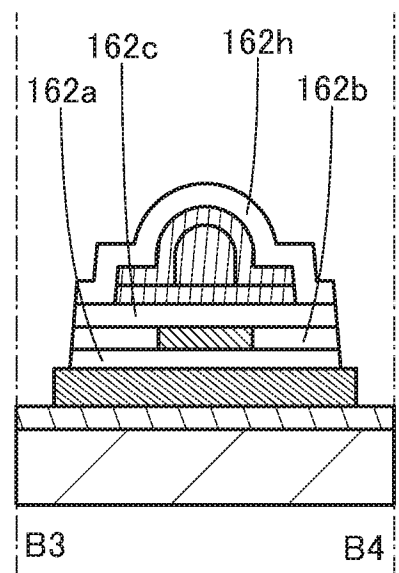
(B)



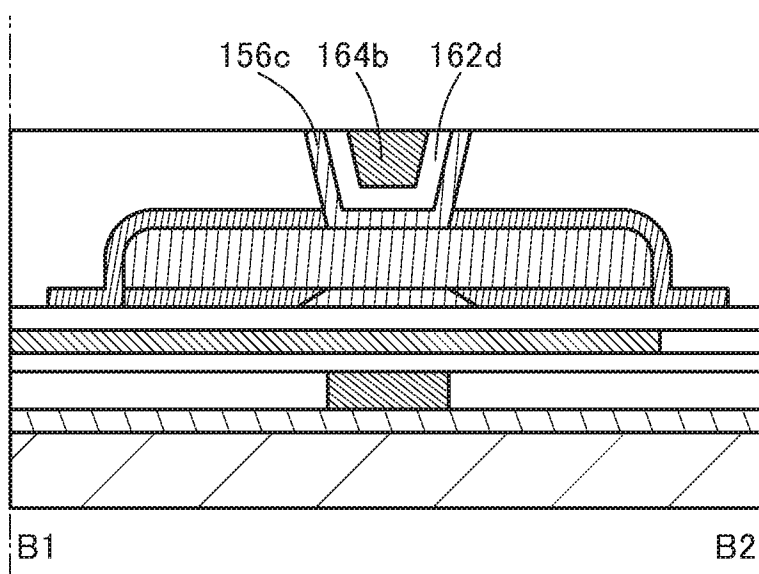
(C)



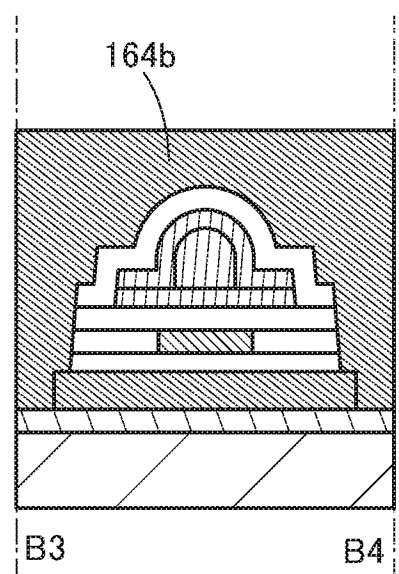
(D)



(E)

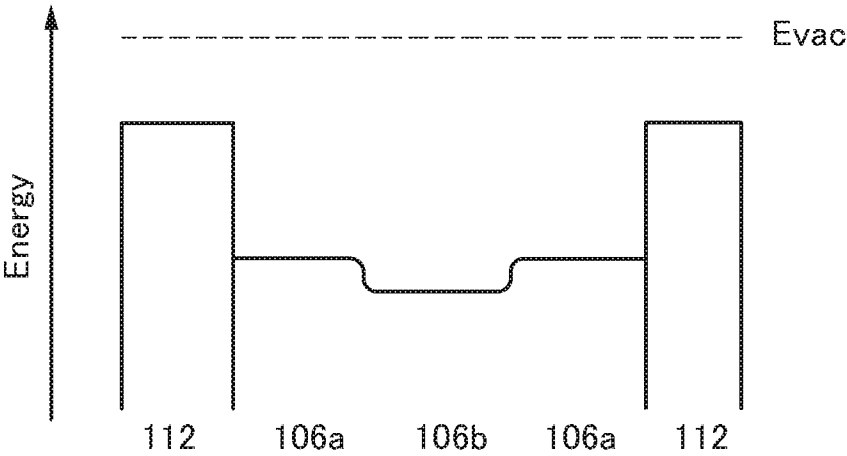


(F)

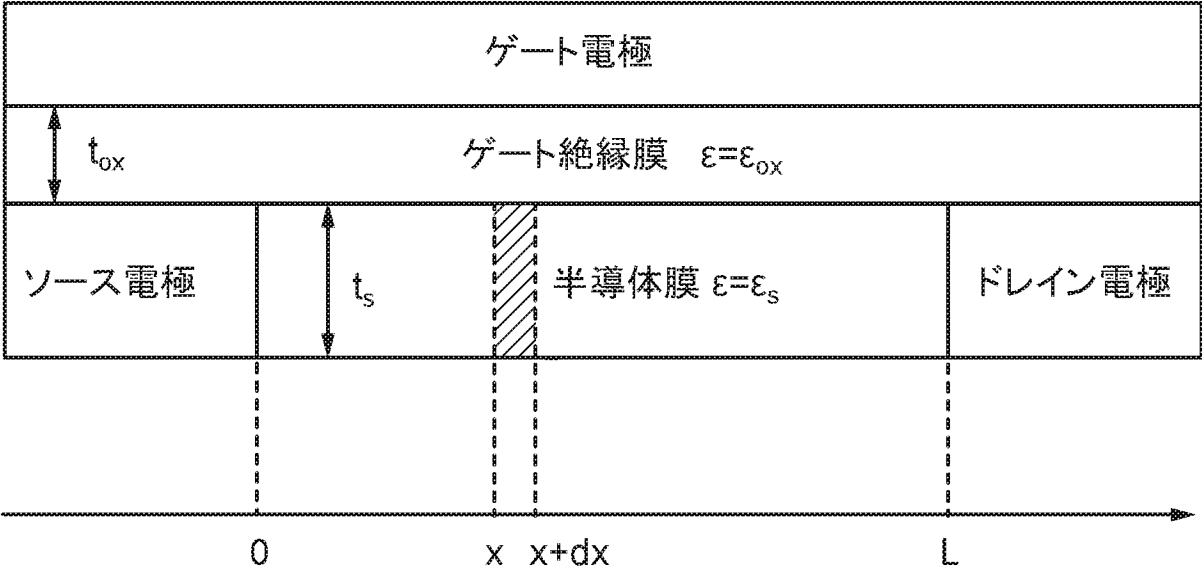


[図8]

8/27

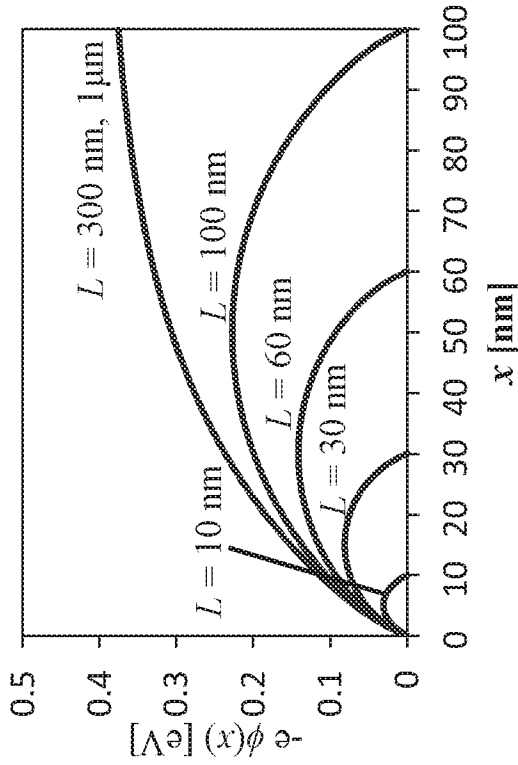


[図9]

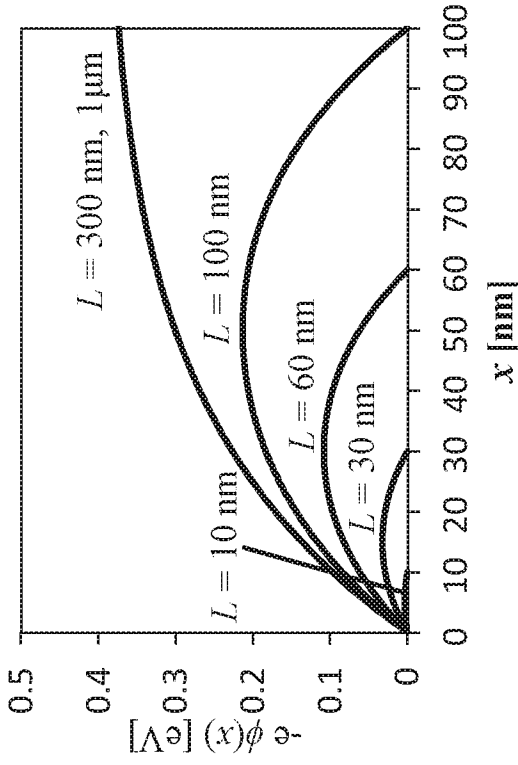


10/27

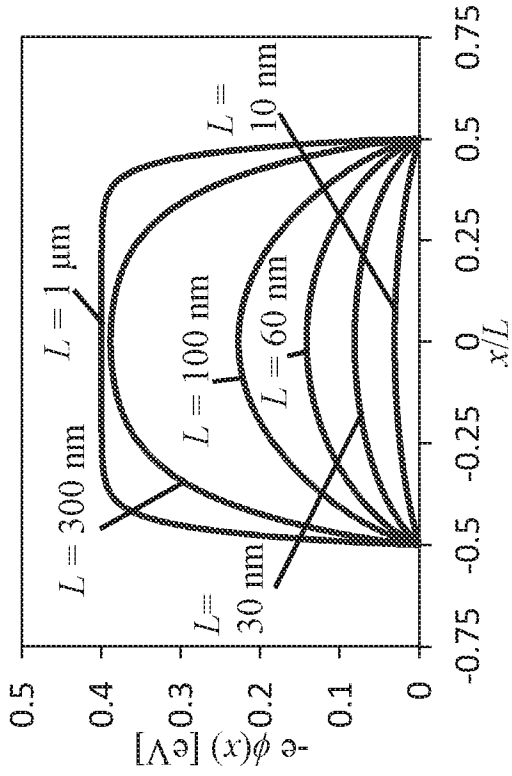
[Fig. 10] (A)



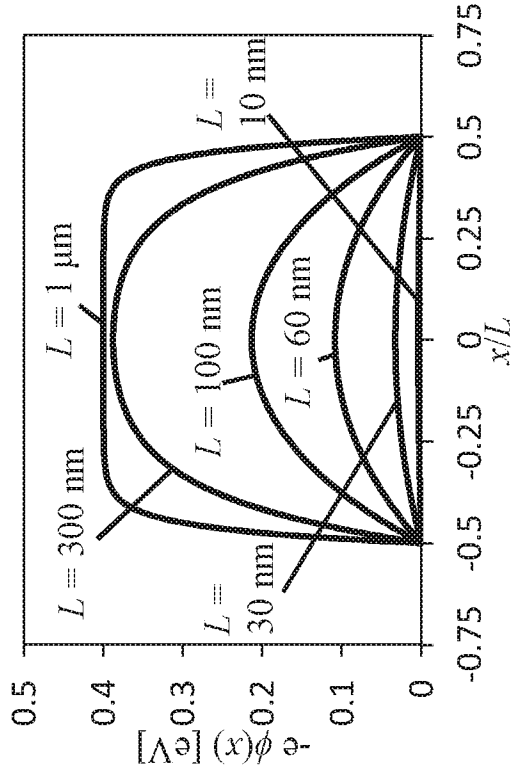
(B)



(C)



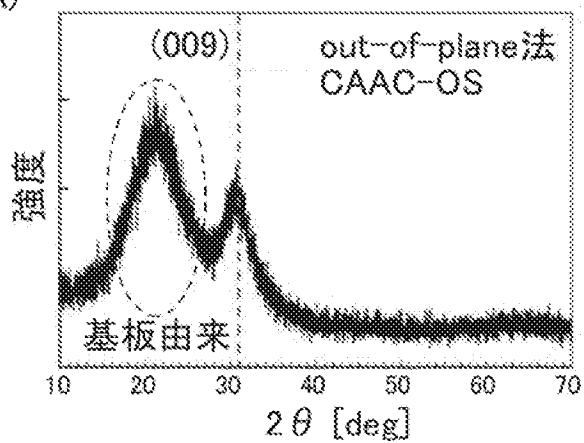
(D)



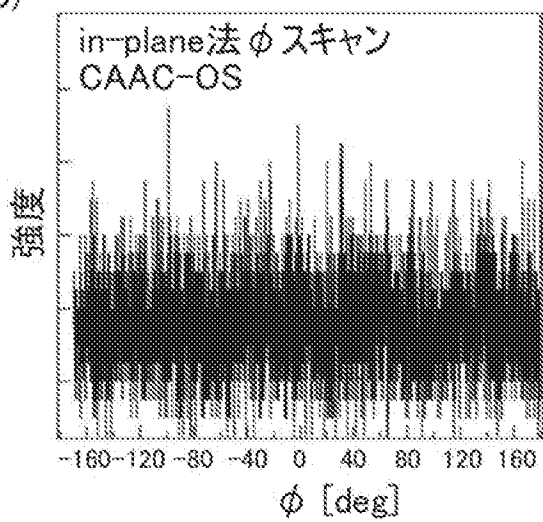
[図 11]

11/27

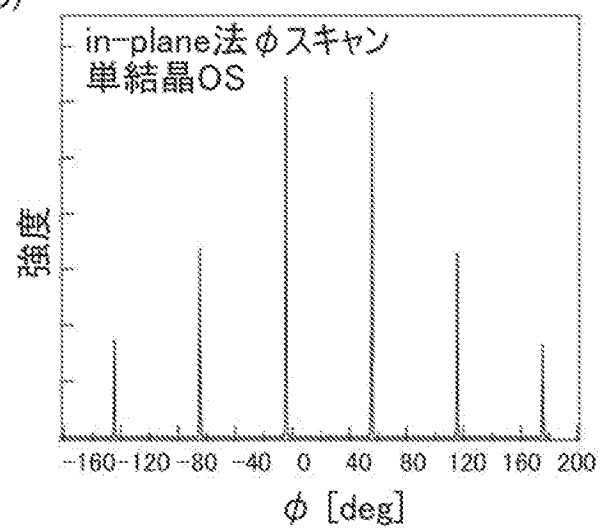
(A)



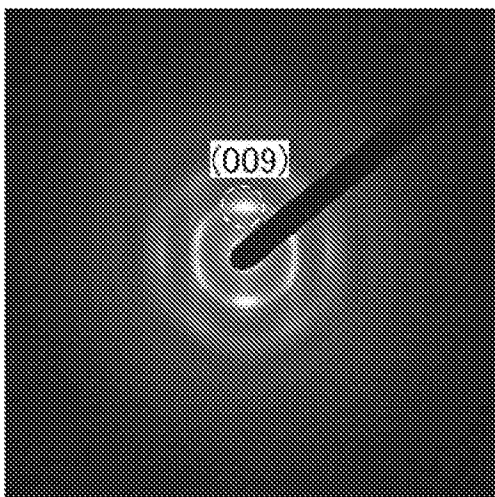
(B)



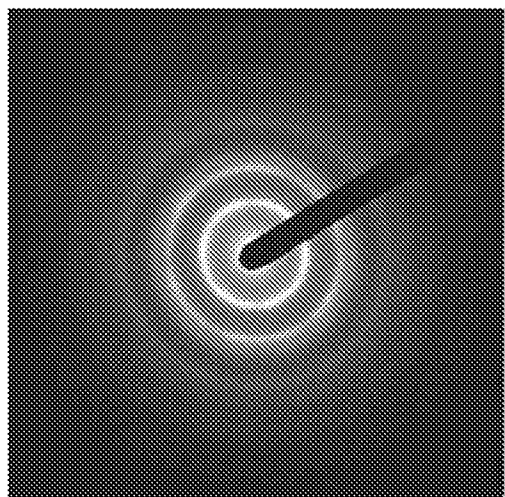
(C)



(D)



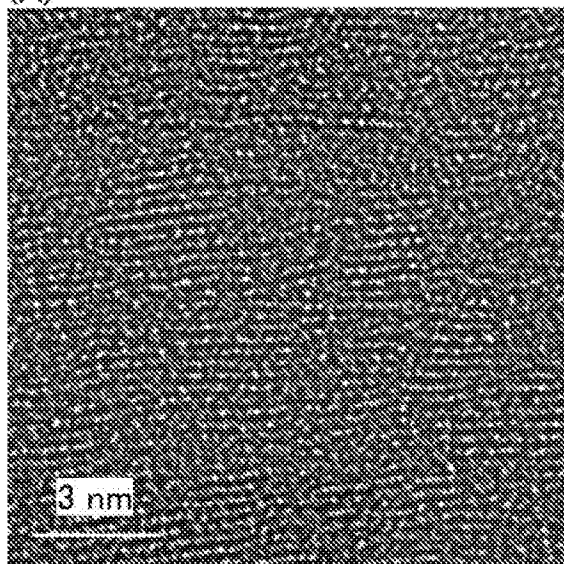
(E)



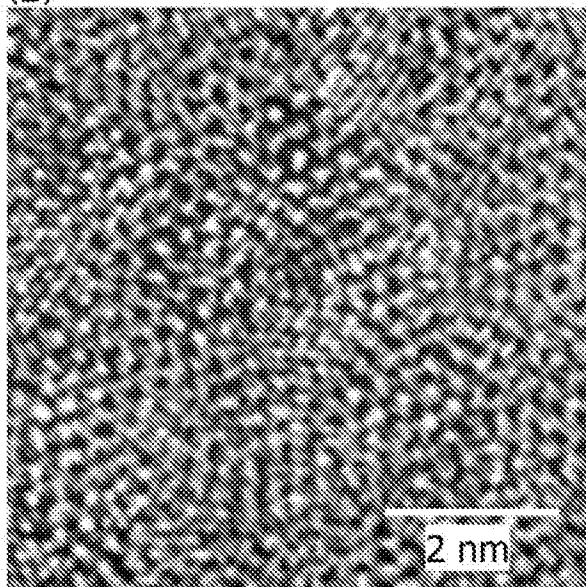
[図 12]

12/27

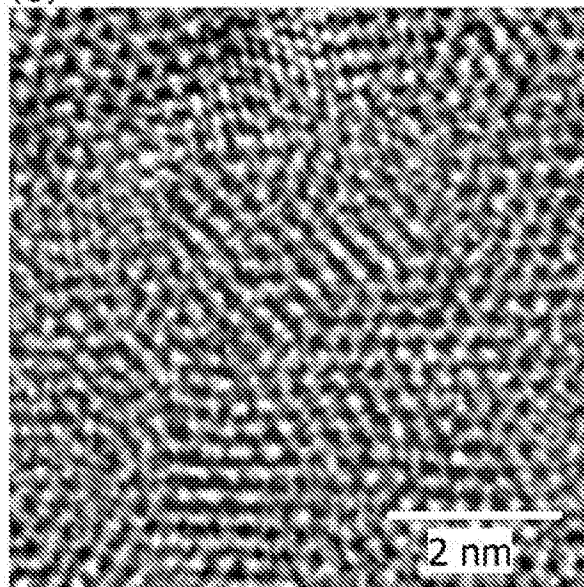
(A)



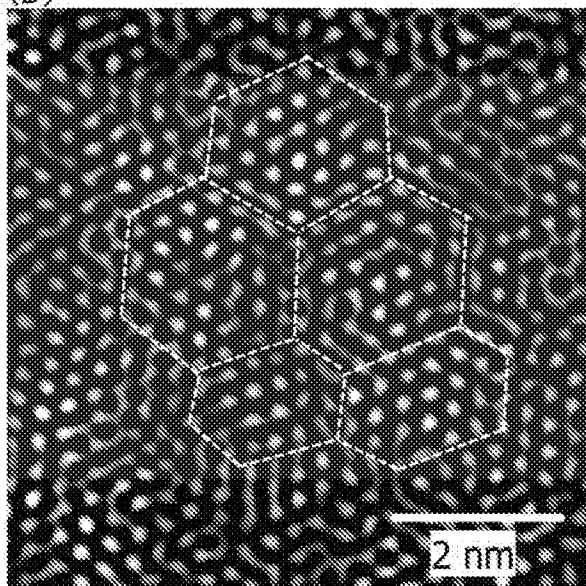
(B)



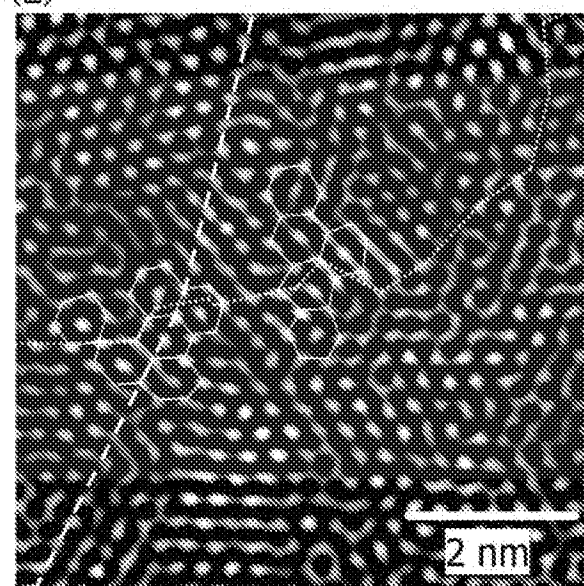
(C)



(D)



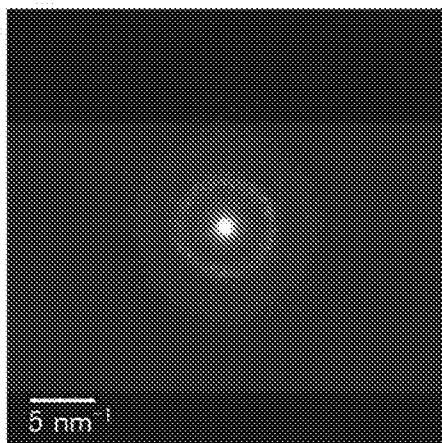
(E)



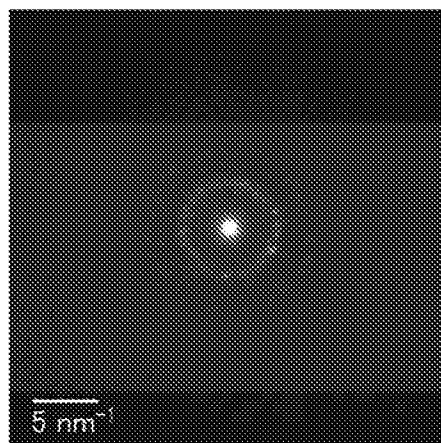
[図 13]

13/27

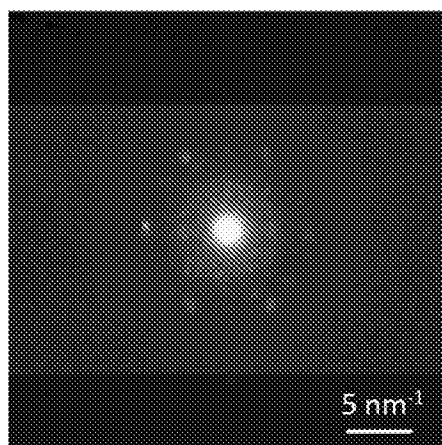
(A)



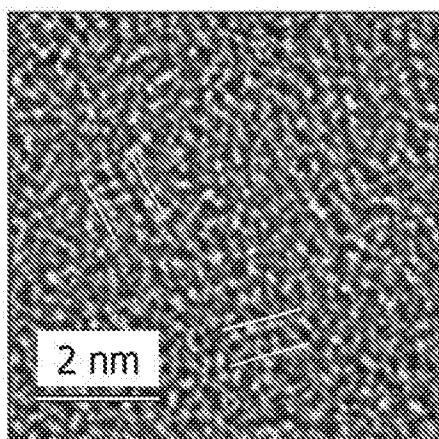
(B)



(C)



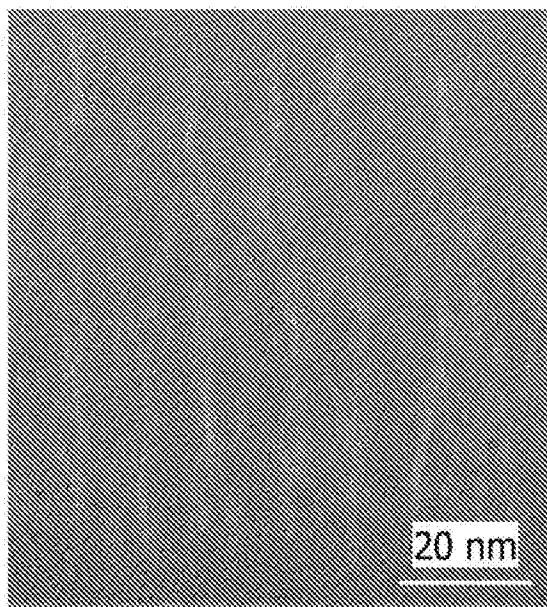
(D)



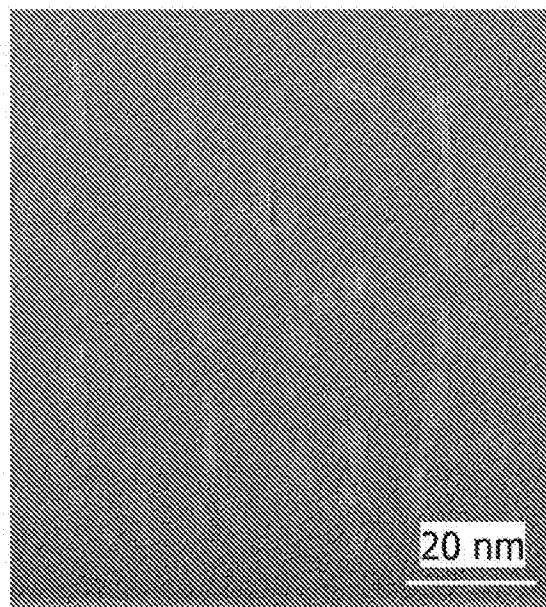
[図14]

14/27

(A)

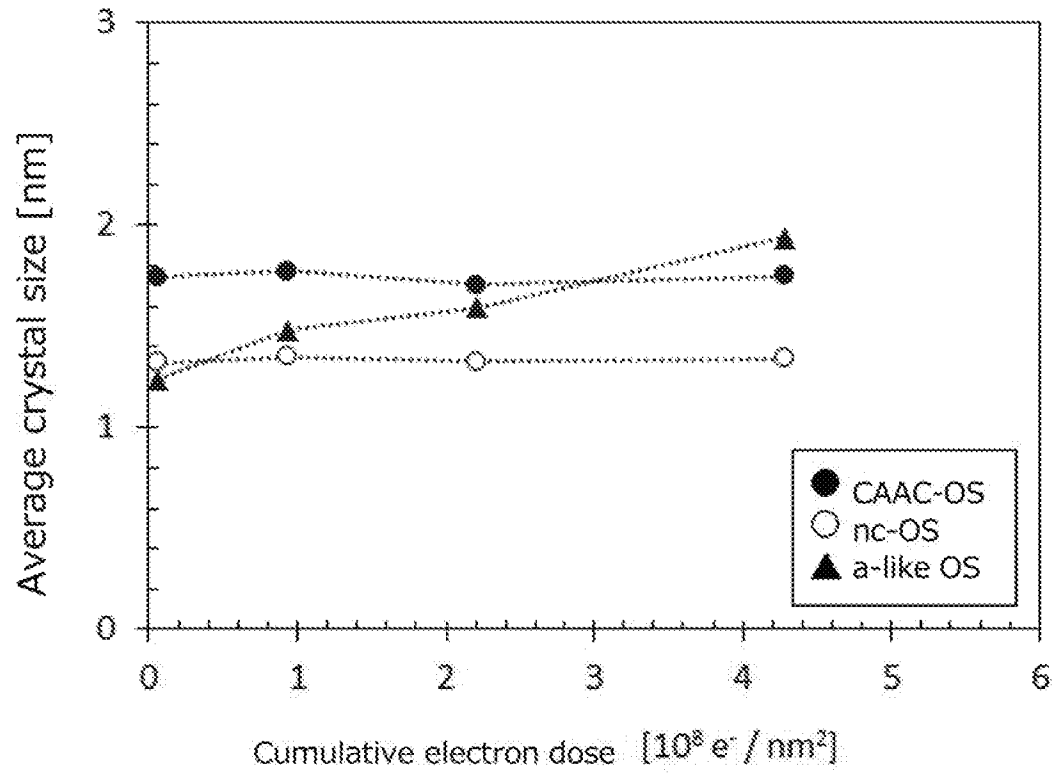


(B)



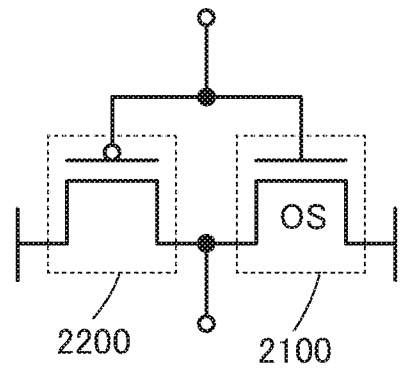
[図 15]

15/27

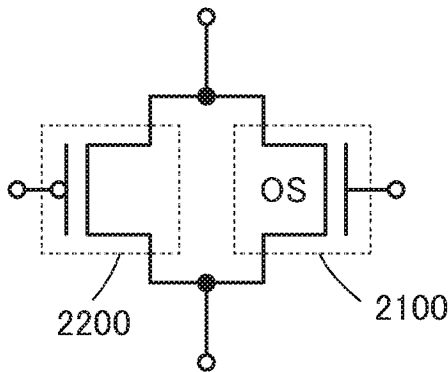


[図 16]

(A)



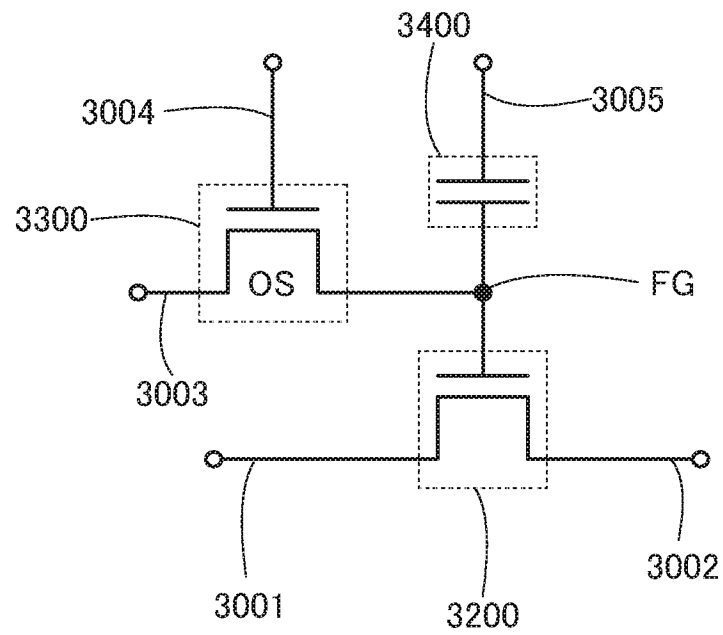
(B)



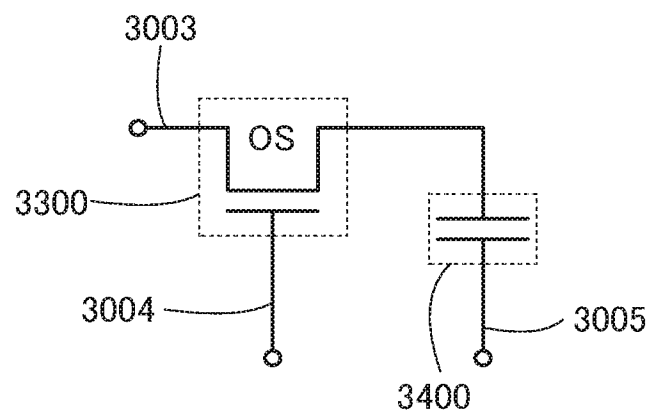
[圖 17]

17/27

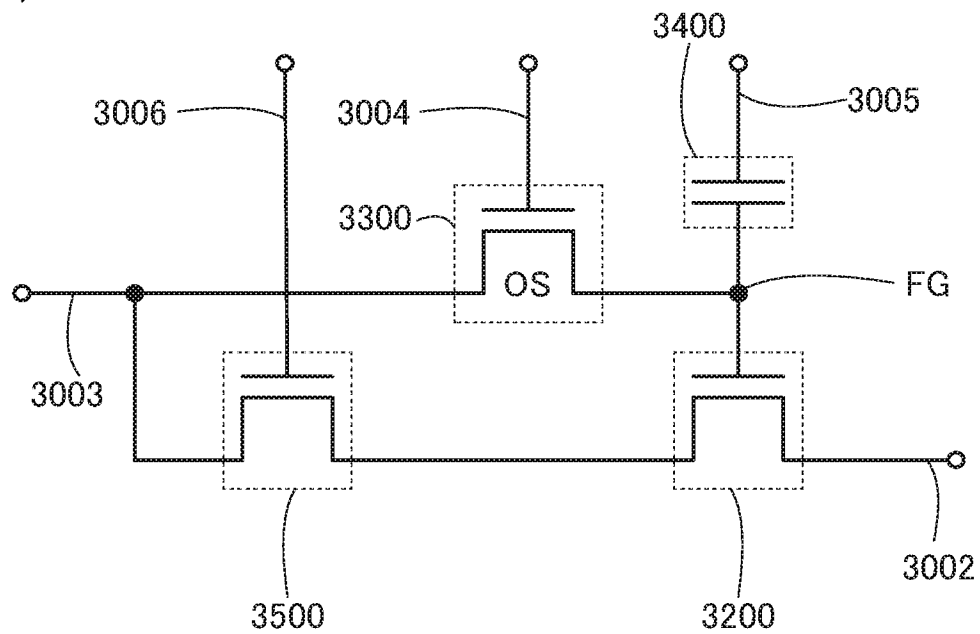
(A)



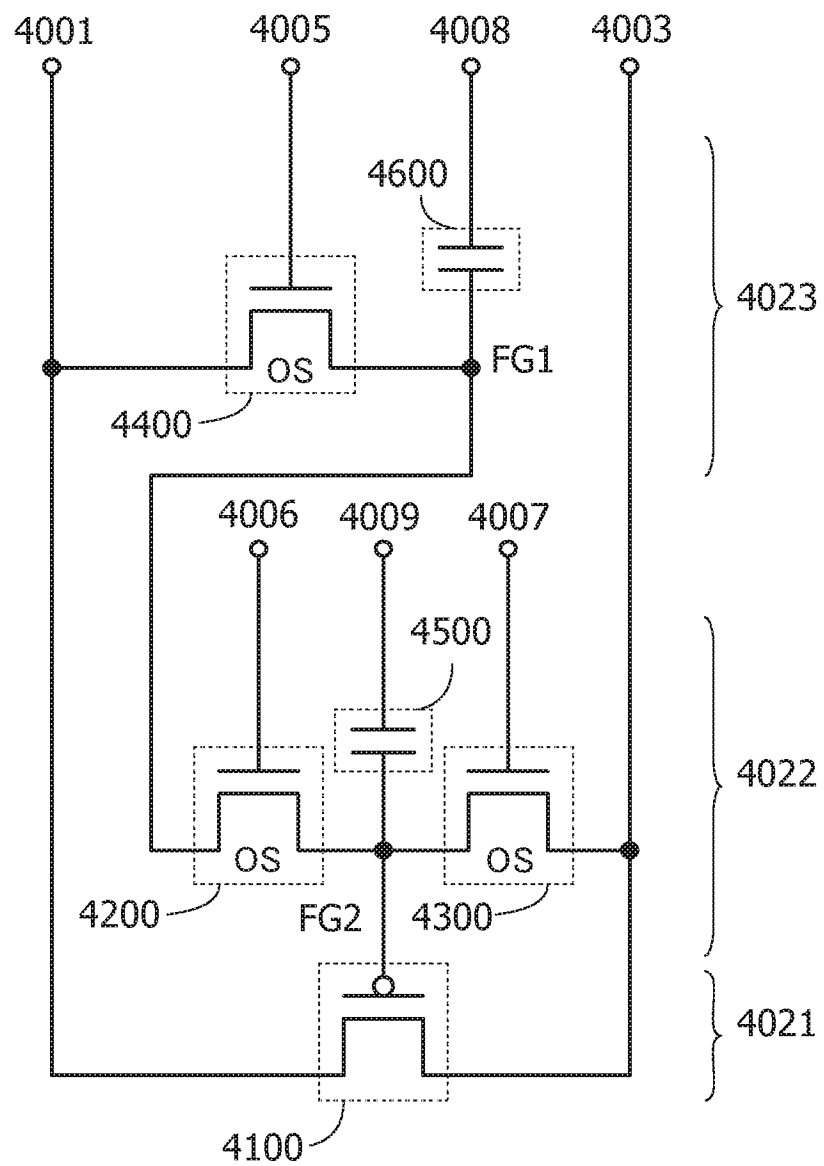
(B)



(C)

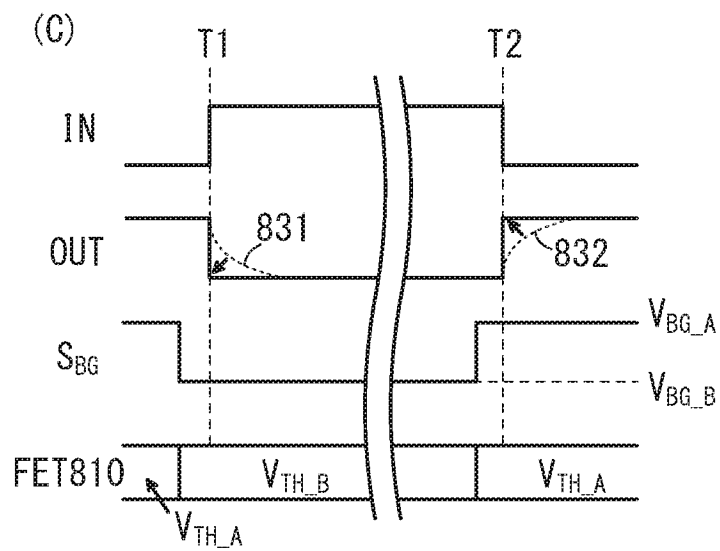
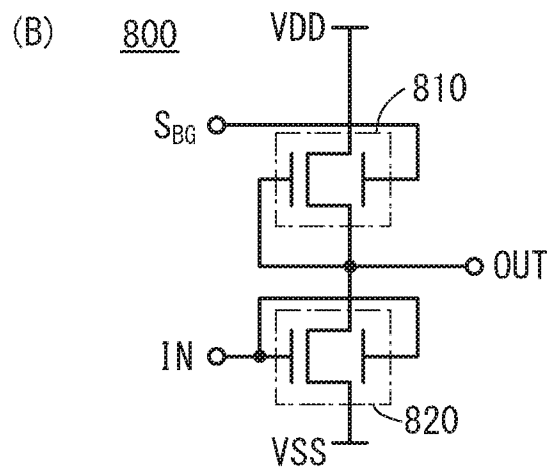
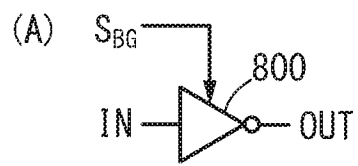


[図 18]



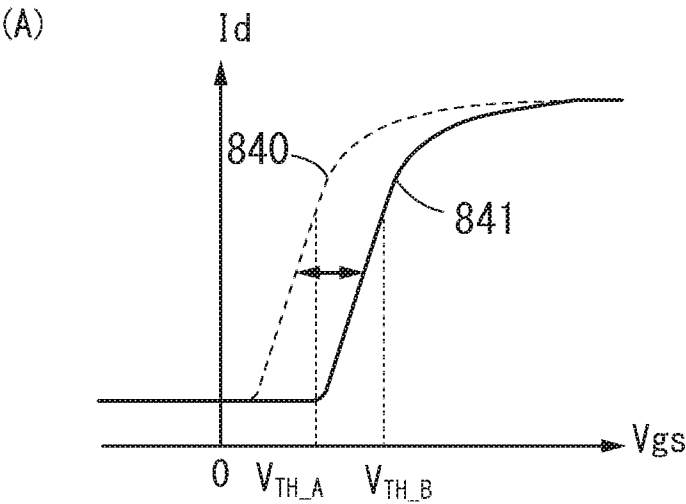
[ 19]

19/27

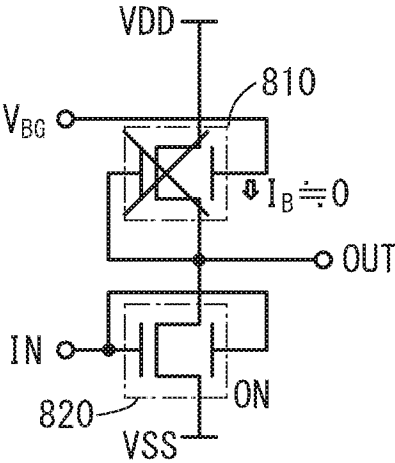


[図 20]

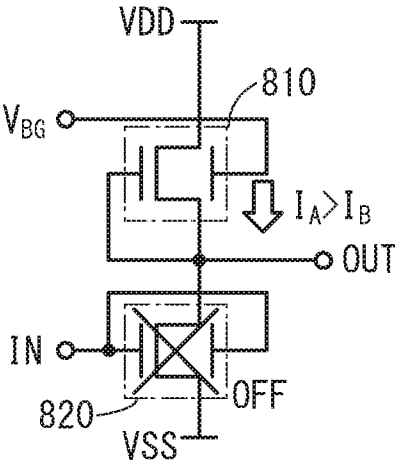
20/27



(B) V_{BG_B}

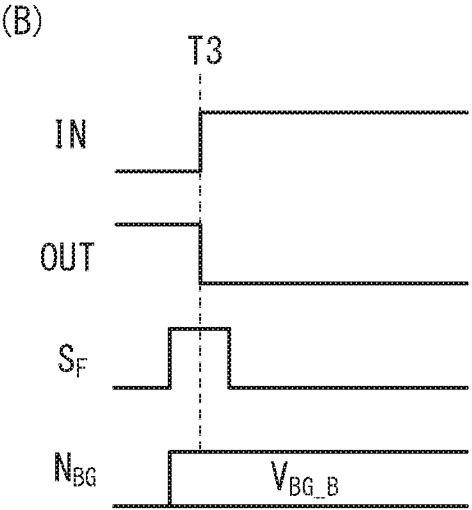
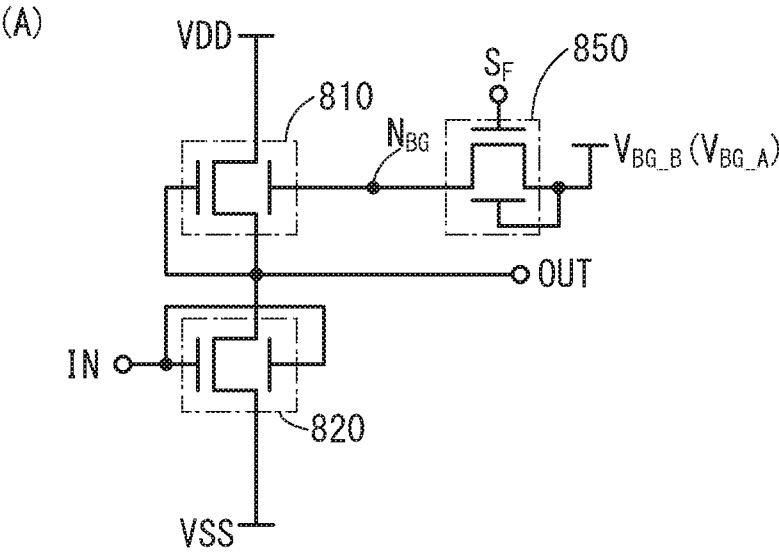


(C) V_{BG_A}



[図21]

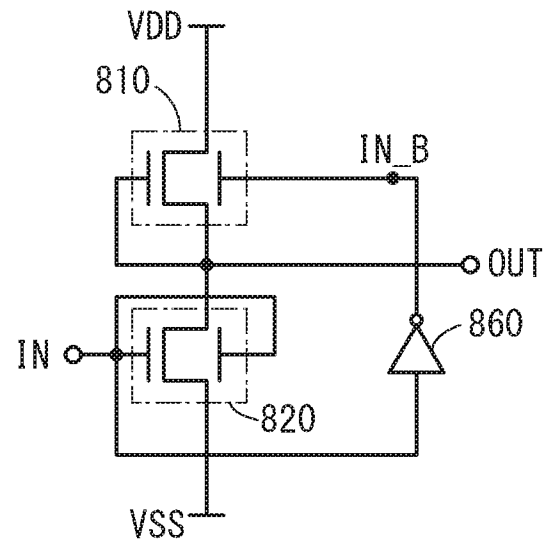
21/27



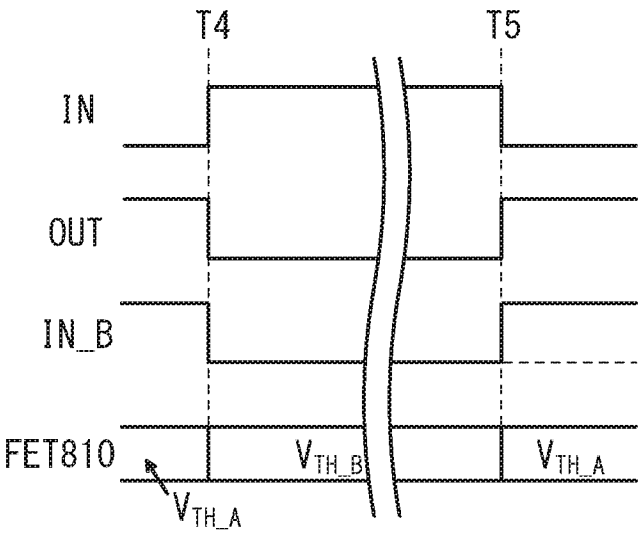
[図22]

22/27

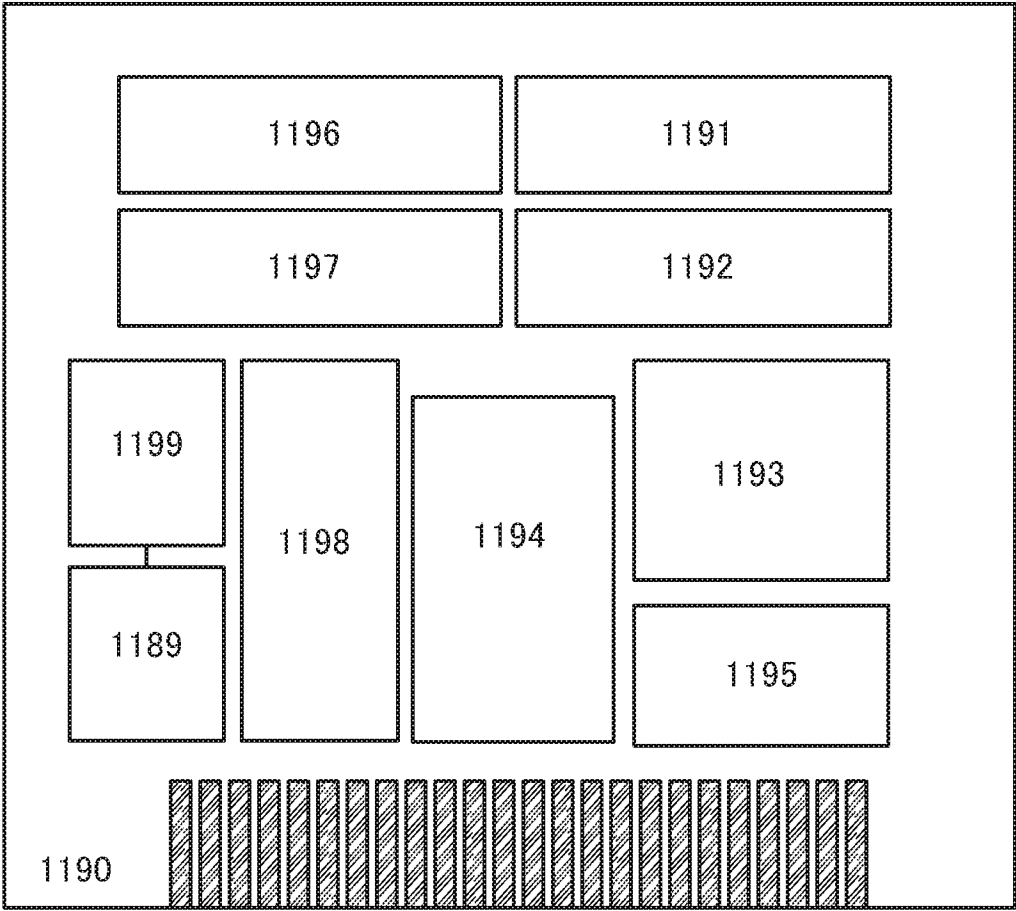
(A)



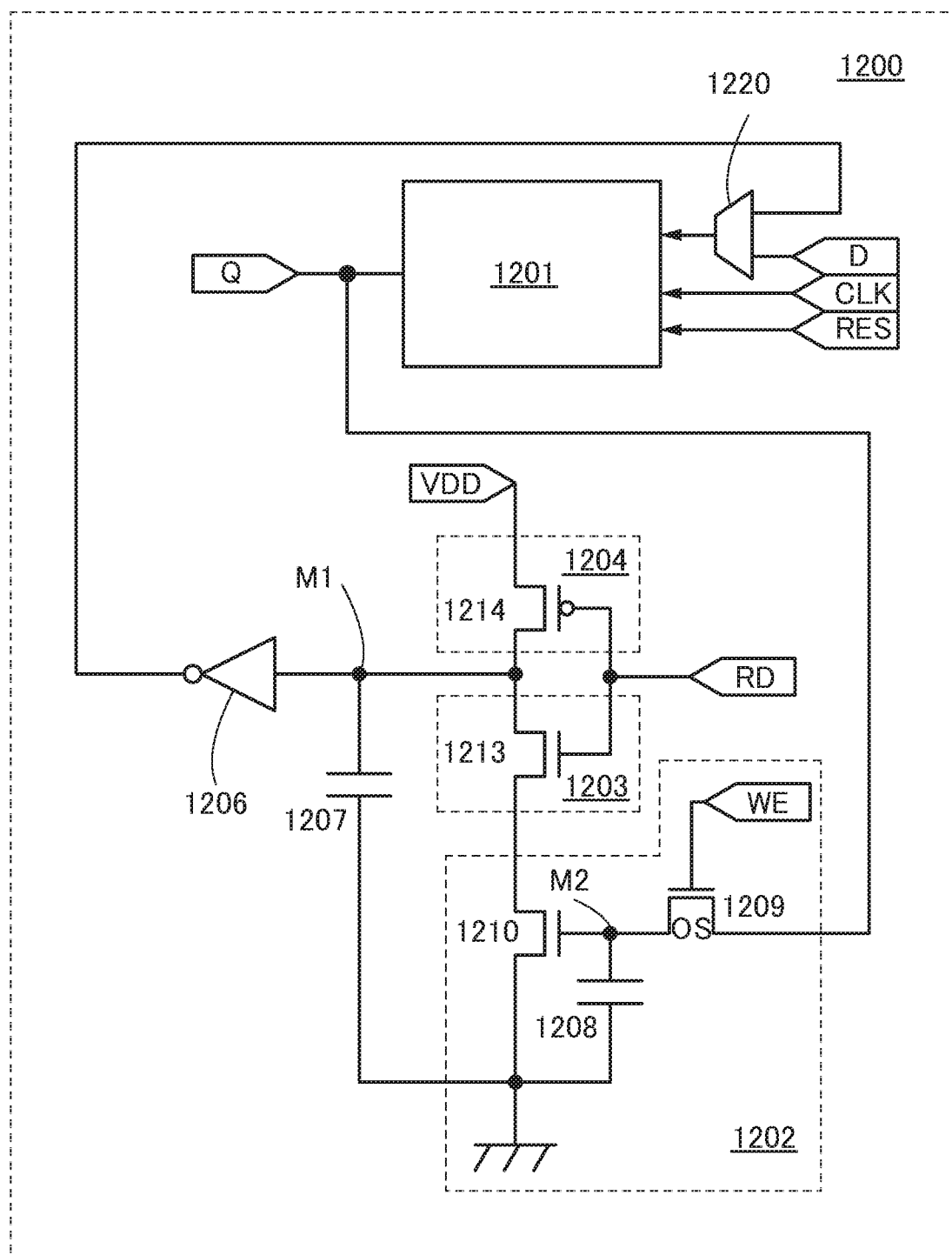
(B)



[図23]



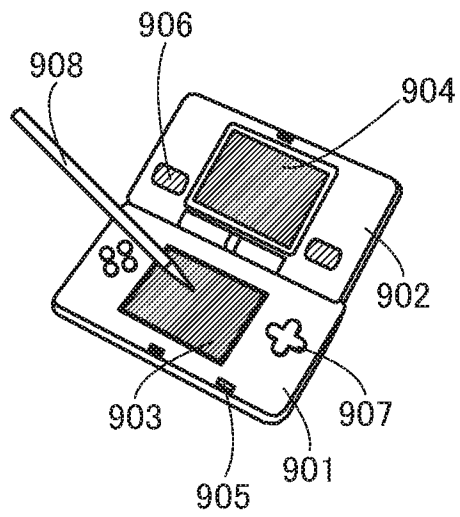
[图 24]



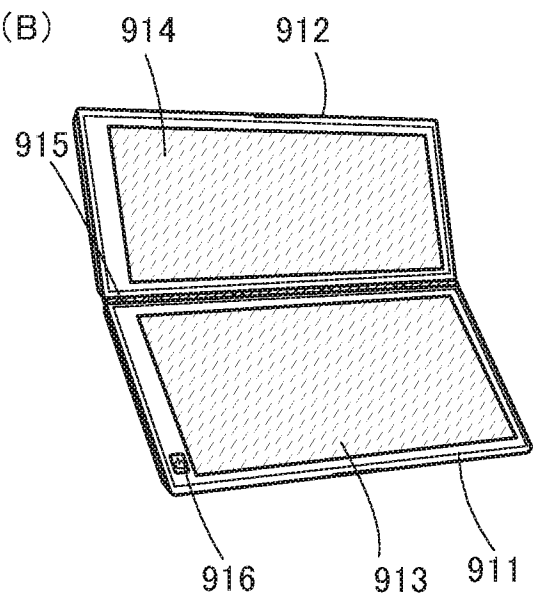
[図25]

25/27

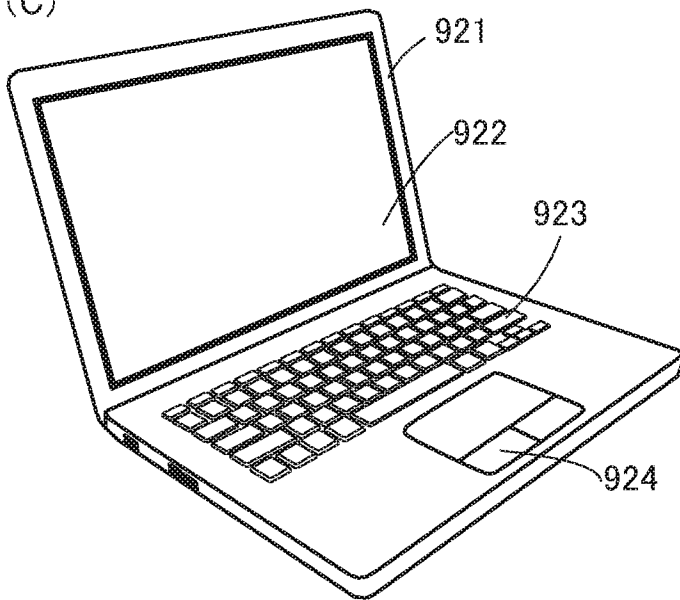
(A)



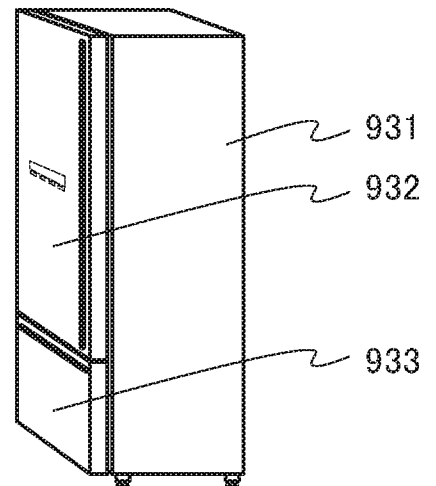
(B)



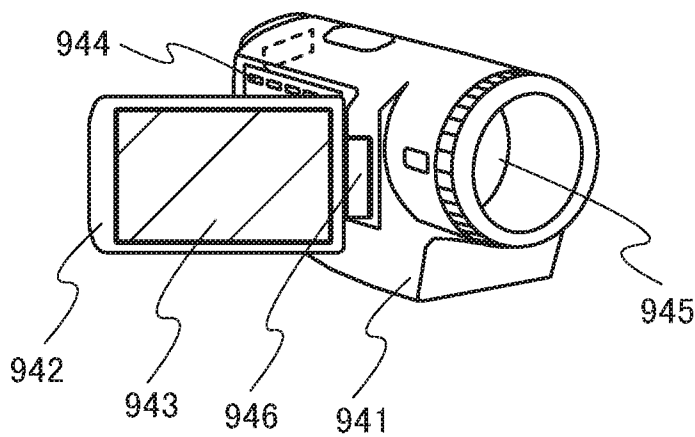
(C)



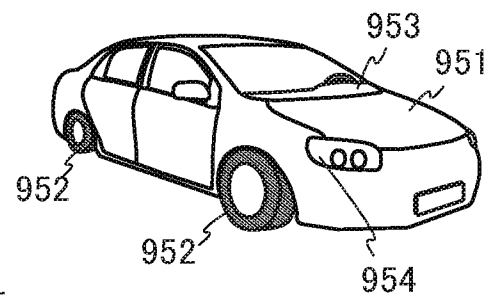
(D)



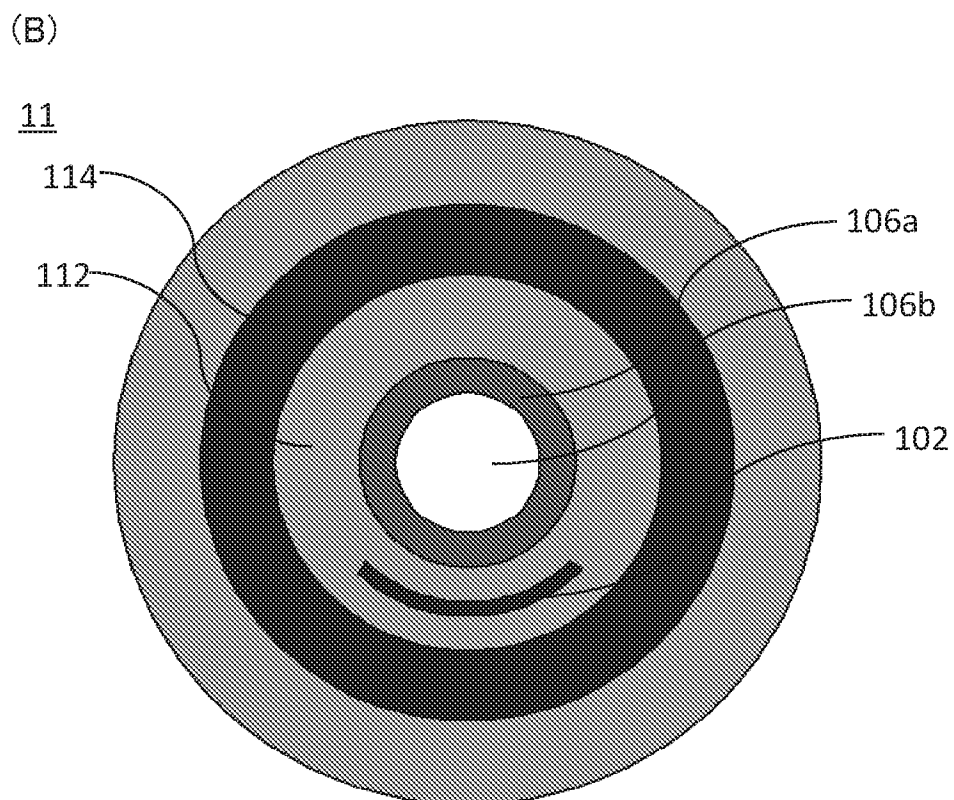
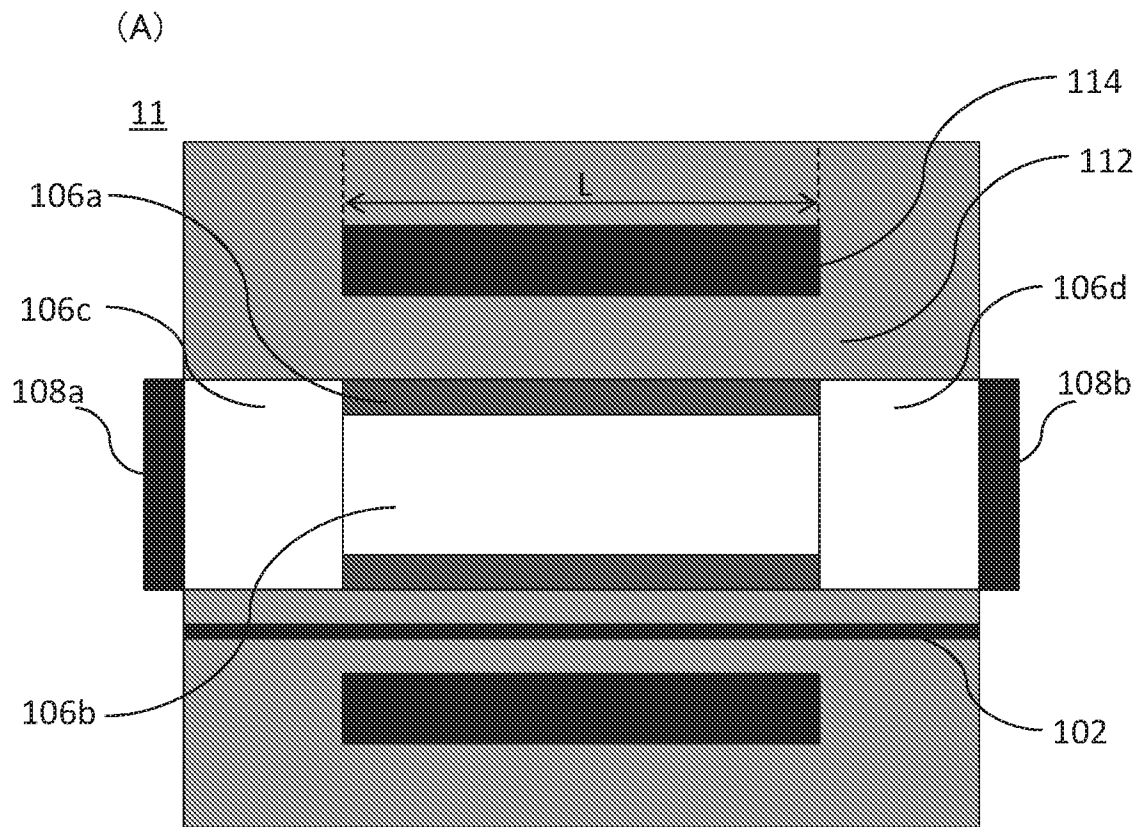
(E)



(F)

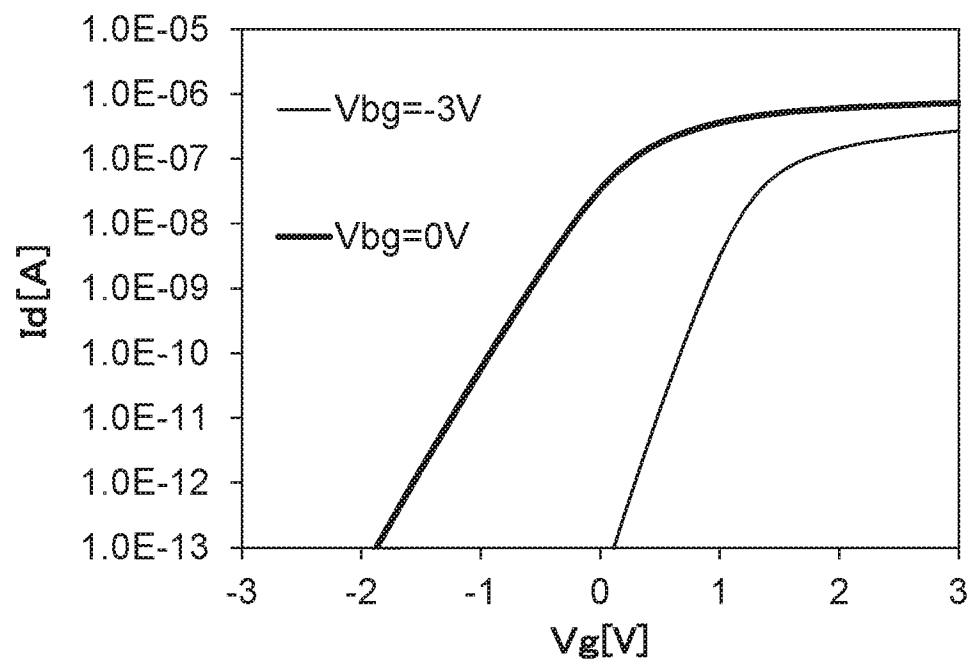


[図26]



27/27

[図27]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2016/053315

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, C23C14/08, G11C11/405, H01L21/28, H01L21/425, H01L21/477, H01L21/8234, H01L21/8242, H01L27/088, H01L27/10, H01L27/108, H01L29/06, H01L29/41, H01L29/417

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-84411 A (Semiconductor Energy Laboratory Co., Ltd.), 30 April 2015 (30.04.2015), paragraphs [0038] to [0168]; fig. 1 to 7 & US 2015/0076495 A1 paragraphs [0054] to [0183]; fig. 1 to 7	1-10
A	JP 2014-241404 A (Semiconductor Energy Laboratory Co., Ltd.), 25 December 2014 (25.12.2014), paragraphs [0143] to [0169]; fig. 5 to 6 & US 2014/0340608 A1 paragraphs [0163] to [0189]; fig. 5 to 6 & WO 2014/185480 A1 & TW 201501317 A & KR 10-2016-0009646 A	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 September 2016 (05.09.16)

Date of mailing of the international search report
13 September 2016 (13.09.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/053315

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-306183 A (Samsung Electronics Co., Ltd.), 18 December 2008 (18.12.2008), paragraphs [0015] to [0063]; fig. 1 to 20 & US 2008/0304328 A1 paragraphs [0028] to [0081]; fig. 1 to 20 & KR 10-2008-0107667 A & CN 101320755 A	1-10
A	WO 2009/151001 A1 (National Institute of Advanced Industrial Science and Technology), 17 December 2009 (17.12.2009), paragraphs [0013] to [0033]; fig. 1 to 33 & US 2011/0073842 A1 paragraphs [0068] to [0096]; fig. 1 to 33 & JP 5413782 B2	1-10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2016/053315

Continuation of A. CLASSIFICATION OF SUBJECT MATTER

(International Patent Classification (IPC))

*H01L29/786(2006.01)i, C23C14/08(2006.01)i, G11C11/405(2006.01)i,
H01L21/28(2006.01)i, H01L21/425(2006.01)i, H01L21/477(2006.01)i,
H01L21/8234(2006.01)i, H01L21/8242(2006.01)i, H01L27/088(2006.01)i,
H01L27/10(2006.01)i, H01L27/108(2006.01)i, H01L29/06(2006.01)i,
H01L29/41(2006.01)i, H01L29/417(2006.01)i*

(According to International Patent Classification (IPC) or to both national
classification and IPC)

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. 特別ページ参照

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/786, C23C14/08, G11C11/405, H01L21/28, H01L21/425, H01L21/477, H01L21/8234, H01L21/8242, H01L27/088, H01L27/10, H01L27/108, H01L29/06, H01L29/41, H01L29/417

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-84411 A（株式会社半導体エネルギー研究所） 2015.04.30, 段落[0038]-[0168], 図1-7 & US 2015/0076495 A1, 段落[0054]-[0183], 図1-7	1-10
A	JP 2014-241404 A（株式会社半導体エネルギー研究所） 2014.12.25, 段落[0143]-[0169], 図5-6 & US 2014/0340608 A1, 段落[0163]-[0189], 図5-6 & WO 2014/185480 A1 & TW 201501317 A & KR 10-2016-0009646 A	1-10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

05.09.2016

国際調査報告の発送日

13.09.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

竹口 泰裕

5F

4054

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-306183 A (三星電子株式会社) 2008.12.18, 段落[0015]-[0063], 図 1-20 & US 2008/0304328 A1, 段落[0028]-[0081], 図 1-20 & KR 10-2008-0107667 A & CN 101320755 A	1-10
A	WO 2009/151001 A1 (独立行政法人産業技術総合研究所) 2009.12.17, 段落[0013]-[0033], 図 1-33 & US 2011/0073842 A1, 段落[0068]-[0096], 図 1-33 & JP 5413782 B2	1-10

発明の属する分野の分類

H01L29/786(2006.01)i, C23C14/08(2006.01)i, G11C11/405(2006.01)i,
H01L21/28(2006.01)i, H01L21/425(2006.01)i, H01L21/477(2006.01)i,
H01L21/8234(2006.01)i, H01L21/8242(2006.01)i, H01L27/088(2006.01)i,
H01L27/10(2006.01)i, H01L27/108(2006.01)i, H01L29/06(2006.01)i, H01L29/41(2006.01)i,
H01L29/417(2006.01)i