公告本

申請日期： 89.9.15	案號： 89119087
類別： G11C 11/401	

（以上各欄由本局填註）

發明專利說明書 475174

一、發明名稱	中文	半導體記憶裝置
	英文	SEMICONDUCTOR MEMORY DEVICE
二、發明人	姓名（中文）	1.縣　政志
	姓名（英文）	1.Masashi AGATA
	國籍	1.日本
	住、居所	1.日本國大阪府大阪市西區九條3-19-4
三、申請人	姓名（名稱）（中文）	1.松下電器產業股份有限公司
	姓名（名稱）（英文）	1.Matsushita Electric Industrial Co., Ltd.
	國籍	1.日本
	住、居所（事務所）	1.日本國大阪府門真市大字門真1006番地
	代表人姓名（中文）	1.中村　邦夫
	代表人姓名（英文）	1.Kunio NAKAMURA

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	1999/09/16	特願平11-262154	有

有關微生物已寄存於　　寄存日期　　寄存號碼

無

五、發明說明 (1)

發明領域

本發明係關於一種資料之讀出動作可較寫入動作高速進行之半導體記憶裝置。

習知技術

半導體記憶裝置中，動態隨機存取記憶體(DRAM)多用為記憶大電容資料之元件。

以下，參考圖面，說明習知之DRAM裝置。

圖15係表示習知DRAM裝置中之記憶體核心部及其周邊電路。如圖15所示，DRAM裝置具有：記憶體核心部100，由記憶體次陣列110、感測放大器陣列120及選擇器130所構成；行解碼器140，接受由外部輸入之時鐘信號CLK及行位址等，對選擇器130送出切換資訊；Din緩衝器141，於將由外部輸入之寫入資料寫入至記憶體次陣列110時，接受所輸入之寫入資料；Dout緩衝器142，將由記憶體次陣列110讀出之讀出資料輸出至外部。

於記憶體次陣列110上，設有成行列狀之複數個記憶單元111，該複數個記憶單元111係由分別儲存資料之電荷蓄積用電容器112、及控制來自該電荷蓄積用電容器112外部之存取之單元電晶體113所構成。

感測放大器陣列120具有等化電路121，其對各位元線對BL、BLX供應預充電電位，並使位元線對BL、BLX互為等電位。於各位元線對BL、BLX上，設有偵測放大型之感測放大器電路125。

五、發明說明 (2)

選擇器130具有寫入用開關131，其於資料寫入時，基於來自行解碼器140之選擇信號WT，選擇性地連接Din緩衝器141及各位元線對BL、BLX。此外，選擇器130並具有讀出用開關133，其於資料讀出時，基於來自行解碼器140之選擇信號RD，選擇性地連接Dout緩衝器142及各位元線對BL、BLX，並偵測由位元線BL或位元互補線BLX所放大之電壓值(資料)，並更放大地輸出至互補資料匯流排DL、DLX。

以下，參考圖面，說明如上述所構成之DRAM裝置之資料寫入動作及讀出動作。

圖16係為習知DRAM裝置中之寫入動作及讀出動作之時序圖。

如圖16所示，首先，藉由指令ACT輸入列位址RA1。如此，藉由等化信號EQ轉移至低位準，而解除藉由所輸入之列位址RA1所選擇之記憶體次陣列110之位元線對BL、BLX之等化，接著，所選擇之字元線WL被活化。其後，藉由將感測放大器活化信號SAP、SAN中之SAP轉移至高位準，並將SAN轉移至低為準，而分別予以活化，使感測放大器電路125介著位元線對BL、BLX，偵測保持於記憶單元111之電荷，而將所偵測之位元線對BL、BLX之電位放大至高位準或低位準之電位。

其次，藉由輸入指令WRITE，而輸入行位址CA1及寫入資料D1，藉此，將寫入資料D1由Din緩衝器141傳送至互補資料匯流排DL、DL。接著，介著由行位址CA1所選擇之寫

五、發明說明 (3)

入用開關131，而重寫與位元線BL或位元互補線BLX相連接之記憶單元111之資料。

在此，於與列位址RA1為相同之位址且僅行位址相異時，例如將CA1更改為CA2而連續寫入資料時，輸入其次之指令WRITE，而輸入行位址CA2及寫入資料D2，進行與前述相同之寫入動作。所輸入並重寫之資料，直接藉由感測放大器電路125而放大。其後，藉由以預充電指令PRE使字元線WL非活化，而將做為資料之電荷儲存至記憶單元111之電荷蓄積用電容器112。

其次，說明資料之讀出動作。

此時，亦如圖16所示，藉由指令ACT輸入如列位址RA3。如此，藉由非活化之等化信號EQ，而解除由輸入之列位址RA3所選擇之記憶體次陣列110之位元線對BL、BLX之等化，接著，所選擇之字元線WL被活化。其後，藉由分別使感測放大器活化信號SAP、SAN活化，使感測放大器電路125介著位元線對BL、BLX偵測保持於記憶單元111之電荷，而將其放大至高位準或低位準。

其次，藉由輸入指令READ，而輸入行位址CA3，位元線對BL、BLX之資料介著讀出用開關133，而由互補資料匯流排DL、DLX所偵測且放大，而傳送至Dout緩衝器142做為讀出資料。接著，做為輸出資料Q3輸出至外部。

在此，於與列位址RA3為相同之位址，且僅有行位址為相異時，例如由CA3變成CA4而連續讀出時，輸出下一個指令READ，而輸入行位址CA4，進行與前述相同之讀出動

五、發明說明（4）

作，並輸出輸出資料Q4。顯現於位元線對BL、BLX之資料直接由感測放大器電路125所保持且放大，藉由以預充電指令PRE使字元線WL成為非活性，而使記憶單元111之電荷蓄積用電容器112再蓄積電荷。

圖17係為模式化表示如圖16所示而存取之記憶體核心部100。如圖17所示，於第1記憶體次陣列110A中，對於與字元線WL1相連接之記憶單元111，進行資料D1、D2之寫入，而於第2記憶體次陣列110B中，對於與字元線WL3相連接之記憶單元111，進行資料Q3、Q4之讀出。

又，亦開發一種DRAM裝置，其具備於對在一列位址，亦即1條字元線上具相異行位址之記憶單元，連續進行動作時，不輸入指令，而使行位址於DRAM內部自動改變之脈衝串計數器，不需逐次輸入指令，可連續存取預定周期之資料。

發明欲解決之課題

然而，於要求提升半導體記憶裝置性能時，如製圖用途中之影像資料讀出時般，該習知DRAM裝置具有之問題為：以於螢幕上顯示資料之動作決定系統整體之性能，而無法提升系統整體之性能。

有鑑於該習知問題，本發明之目的在於：可高速地讀出連續儲存之資料，特別是可高速地讀出可藉由一字元線存取之複數記憶單元之資料列。

五、發明說明 (5)

發明概要

為了達成該目的，本發明之構成係將半導體記憶裝置中之資料讀出周期，設為較資料寫入周期為短。或者，以資料讀出周期為基準，將資料寫入周期，設為讀出周期之大於2之整數倍。

具體而言，本發明之第1半導體記憶裝置具備：資料記憶機構，記憶資料；資料寫入機構，將資料寫入資料記憶機構；資料讀出機構，讀出儲存於資料記憶機構之資料，其特徵為：資料讀出機構基於外部時鐘信號產生讀出用時鐘信號，且資料寫入機構基於外部時鐘信號產生寫入用時鐘信號，而讀出用時鐘信號之周期，設定為較寫入用時鐘信號周期為短。

依據第1半導體記憶裝置，將基於外部時鐘信號所產生之讀出用時鐘信號之周期，設定為較基於外部時鐘信號所產生之寫入用時鐘信號之周期為短。如圖16所示，習知之半導體記憶裝置，寫入指令WRITE與讀出指令READ之輸入時序為相同。本發明之第1半導體記憶裝置，因使裝置內部所產生之讀出用時鐘信號之周期較寫入用時鐘信號之周期為短，而使得讀出指令之輸入時序較寫入指令之輸入時序為快，故可使資料之讀出動作較寫入動作更快速地進行。例如，資料記憶機構若係由藉由位元線存取，並能藉由字元線存取之行列狀之記憶單元陣列所構成，則於橫跨相異字元線之資料時，因一列位址與其他列位址當然分別輸入，故無法明顯使讀出動作高速化。因此，於相同之列

五、發明說明（6）

位址中僅行位址相異時，可由與一列位址上連續之行位址相對應之複數之記憶單元，快速地讀出一連串之資料。結果，於如影像資料般連續讀出時，極為有效。

本發明之第2半導體記憶裝置具備：記憶單元陣列，具有分別記憶資料之複數個記憶單元；輸入緩衝器，於將由外部輸入之寫入資料寫入複數個記憶單元中之任一個時，接受所輸入之寫入資料；輸出緩衝器，將由複數個記憶單元中之任一個所讀出之讀出資料，輸出至外部；資料匯流排，連接記憶單元陣列及輸入緩衝器，並連接記憶單元陣列及輸出緩衝器，其特徵為：將資料匯流排中之讀出資料之傳送周期，設定為較資料匯流排中之寫入資料之傳送周期為短。

依據第2半導體記憶裝置，因將資料匯流排中之讀出資料之傳送周期，設定為較資料匯流排中之寫入資料之傳送周期為短，使讀出指令之輸入時序較寫入指令之輸入時序為快，故資料之讀出動作可較寫入動作更快速地進行。又，與第1半導體記憶裝置相同，於相同列位址中僅行位址相異時，快速讀出對應連續行位址之一連串資料列之效果極為顯著。又，因讀出指令之輸入時序較寫入指令之輸入時序可快速進行，故於資料匯流排中，可使讀出動作時之信號之振幅較寫入動作時之信號之振幅為小。

第2半導體記憶裝置更具備：複數位元線，對於複數記憶單元，分別進行資料之讀出或資料之寫入；複數感測放大器，可偵測並放大複數位元線之各電位；選擇器，具

五、發明說明 (7)

有可連接對應複數感測放大器中由外部所指定位址之感測放大器及資料匯流排之切換開關，其特徵為：資料讀出時之切換開關之切換頻率，最好大於資料寫入時之切換開關之切換頻率。如此，選擇器可連接對應複數感測放大器中由外部所指定位址之感測放大器及資料匯流排，該選擇器所具有之切換開關之切換頻率，因資料讀出時較資料寫入時為大，故可確實地使資料匯流排中之讀出資料之傳送周期較寫入資料之傳送周期為短。

此時，選擇器最好由資料讀出用之選擇器及資料寫入用之選擇器所構成。如此，因可分別改變讀出資料之傳送周期及寫入資料之傳送周期，各可容易地個別設定資料之傳送周期。

第2半導體記憶裝置中，記憶單元之構成最好包含：電荷蓄積用電容器；第1單元電晶體，與第1字元線及第1位元線相連接，可對電荷蓄積用電容器進行存取；第2單元電晶體，與第2字元線及第2位元線相連接，可對電荷蓄積用電容器進行存取。如此，記憶單元可對電荷蓄積用電容器獨立進行動作，可得到所謂將存取第1單元電晶體之系統設為第1埠，而存取第2單元電晶體之系統設為第2埠之2T1C構成。

此時，資料匯流排最好包含：第1資料匯流排，與第1字元線及第1位元線相連接；第2資料匯流排，與第2字元線及第2位元線相連接，自記憶單元讀出資料時，由第1資料匯流排，依序輸出與一字元線相連接之複數記憶單元所

五、發明說明 (8)

儲存之資料，同時與該輸出動作相連續，由第2資料匯流排，依序輸出與其他字元線相連接之複數記憶單元所儲存之資料。如此，於資料讀出時，可由第1埠之一字元線連續讀出一連串之資料列，接著，由第2埠之其他字元線連續讀出一連串之其他資料列，此動作可以2埠交互動作。藉此，資料之讀出動作可極高速地進行。

第2半導體記憶裝置中，寫入資料之傳送周期最好藉由將外部時鐘信號之周期加以分頻而產生。如此，因寫入資料之傳送周期較讀出資料之傳送周期為長，故可使讀出資料之傳送周期較寫入資料之傳送周期確實縮短。

第2半導體記憶裝置中，連續寫入複數資料際之寫入資料之傳送周期，最好約為讀出資料之傳送周期之4倍。如此，因資料匯流排中之資料寫入時之振幅，無法如讀出時般地小，故若確保讀出時之至少4倍之周期，則可保證寫入動作。

第2半導體記憶裝置最好更具備：複數字元線，用以活化各記憶單元具有之單元電晶體；連續位址產生機構，於由記憶單元陣列讀出複數資料時，由自外部輸入之一位址，產生與於藉由該一位址所選擇之字元線上相連續之複數記憶單元相對應之一連串之位址。如此，因連續位址產生機構自動產生與於連續於一字元線上之複數記憶單元相對應之一連串之位址，故僅以一讀出指令，可做為產生一連串行位址之所謂脈衝串模式而動作，除了可簡化指令輸入處理外，並更能進行更高速之讀出動作。

五、發明說明 (9)

此時，寫入動作中之字元線之活化周期最好與讀出動作中之字元線之動作活化周期約相同。如此，因所謂之隨機周期約相同，故讀出動作及寫入動作及伴隨著此等動作之位址等之輸入周期可以相同周期進行。結果，因藉由僅以隨機周期所決定之周期，可輸入由外部所輸入之指令及位址，故裝置之指令控制更為容易。

較佳實施例之詳細說明

(第1實施形態)

參考圖面，說明本發明之第1實施形態。

圖1(a)及圖1(b)係為本發明之第1實施形態之半導體記憶裝置，(a)係表示與資料處理用之處理器匯流排連接之DRAM裝置之系統構成例，(b)係表示處理器及DRAM裝置形成於一晶片上之系統構成例。如圖1(a)所示，複數個DRAM裝置1A、1B介著記憶體匯流排2與處理器3相連接，處理器3對儲存於各DRAM裝置1A、1B之資料，進行讀出或更新。

又，於圖1(b)中，於半導體晶片4上形成DRAM裝置1及處理器3，兩者係介著記憶體匯流排2相互連接。

圖2係表示DRAM裝置1之詳細之方塊構成。如圖2所示，DRAM裝置1具有：記憶體陣列50a，做為由記憶單元(無圖示)配置成行列狀所成之資料記憶機構；感測放大器陣列50b，具有可偵測並放大由所選擇之記憶單元所讀出之電位之複數感測放大器電路(無圖示)；選擇器50c，選

五、發明說明 (10)

擇複數個感測放大器電路。在此，將記憶體陣列50a、感測放大器陣列50b及選擇器50c之3要素，稱為記憶體核心部50。此外，並具有：位址緩衝器61，接受由外部所輸入之位址信號；列解碼器62，對由位址緩衝器61所輸出之位址信號中之列位址進行解碼，並選擇記憶體陣列50a之字元線(無圖示)；行解碼器63，對由位址緩衝器61所輸出之位址信號中之行位址進行解碼，並將解碼結果輸出至選擇器50c。又，更具備：Dout(輸出)緩衝器64，於資料讀出時藉由感測放大器陣列50b而確定，將確定資料藉由選擇器50c而選擇，將所讀出之資料輸出至外部；Din(輸入)緩衝器65，於資料寫入時，接受由外部輸入之資料。又，對於決定裝置之動作時序之外部時鐘信號CLK及指示裝置動作之指令信號，於後說明。

圖3係表示記憶體核心部50及其周邊電路部之方塊構成。如圖3所示，記憶體核心部50配設有包含複數個成行列狀配置之記憶單元之複數記憶體次陣列51，而於各記憶體次陣列51上，設置感測放大器陣列52及選擇器53。對做為資料讀出機構及資料寫入機構之列解碼器62及行解碼器63，分別輸入限定由外部輸入之外部時鐘信號CLK、記憶單元之位址信號，及指示裝置動作之指令信號。又，列解碼器62與各記憶體次陣列51及各感測放大器陣列52相連接，對所接受之列位址加以解碼，並選擇性地將包含於記憶體次陣列51之記憶單元(無圖示)及包含於感測放大器陣列52之感測放大器電路等(無圖示)加以活化。行解碼器63

五、發明說明 (11)

與各選擇器53相連接，對所接受之行位址加以解碼，並介著資料匯流排(內部資料匯流排)66，選擇性地與包含於感測放大器陣列52之感測放大器電路、Dout緩衝器64或Din緩衝器65相連接。

圖4係表示記憶體核心部50之電路構成及周邊電路之一例。於圖4中，因將與圖3之構成要素相同之構成要素，賦予相同符號，故省略其說明。如圖4所示，於記憶體次陣列51上，成行列狀地設置複數個記憶單元10，複數個記憶單元10係由蓄積並保存分別成為資料之電荷之電荷蓄積用電容器11，及對該電荷蓄積用電容器11控制由外部之存取之單元電晶體12所構成。各單元電晶體12之源極，與電荷蓄積用電容器11之單元板成相反側之電極相連接；其汲極則與位元線BL(n)或位元互補線BLX(n)(但是，n為1≦n≦N之整數)相連接；其閘極則與位元線對BL、BLX分別交叉之字元線WL(m)(但是，m為1≦m≦M之整數)相連接。在此，例如將位元線個數N設為128，而將字元線之個數M亦設為128。

感測放大器陣列52具有等化電路15，等化電路15包含：第1NMOS電晶體16，個別設於位元線對BL、BLX，其源極與位元線BL相連接，於汲極接受預充電電位VBLP，於閘極接受等化信號EQ；第2NMOS電晶體17，其源極與位元互補線BLX相連接，其汲極接受預充電電位VBLP，其閘極接受等化信號EQ；等化電晶體18，於閘極接受等化信號EQ，由使位元線對BL、BLX成互等電位之NMOS電晶體所成。藉

五、發明說明 (12)

此，於等化信號EO被活化之期間中，各位元線對BL、BLX可接受預充電電位。又，具有CMOS交叉耦合型之感測放大器電路20，個別設於位元線對BL、BLX，接受感測放大器活化信號SAP、SAN，2個PMOS電晶體21及2個NMOS電晶體22相互交叉耦合。

選擇器53具有寫入用開關30，寫入用開關30包含：第1NMOS電晶體31，個別設於位元線對BL、BLX，於寫入動作時，其閘極接受來自行解碼器63之選擇信號WT，其汲極接受寫入資料Din，其源極與位元線BL相連接；第2NMOS電晶體32，其閘極接受選擇信號WT，其汲極接受寫入資料Din，其源極與位元互補線BLX相連接，寫入用開關30並選擇性地連接Din緩衝器65及各位元線對BL、BLX。

又，選擇器53並具有讀出用開關35，讀出用開關35包含：第1NMOS電晶體36，個別設於位元線對BL、BLX，於讀出動作時，其閘極接受來自行解碼器63之選擇信號RD，其汲極與資料匯流排66相連接；第2NMOS電晶體37，其閘極與位元線BLX或位元互補線BLX相連接，其源極接地，其汲極與第1NMOS電晶體之源極相連接，其中，該第2NMOS電晶體37將由各位元線對BL、BLX所放大之電壓值加以反向放大，且第1NMOS電晶體36選擇與Dout緩衝器64之連接。

本實施形態之行解碼器63具備寫入動作控制用之分頻器67，其由外部時鐘信號CLK之周期，將於資料寫入時輸出至寫入用開關30之選擇信號WT(=內部寫入用時鐘信號)之周期分頻成4倍。

五、發明說明 (13)

藉此，資料匯流排66之讀出資料Dout之傳送周期，成為寫入資料Din之傳送周期之4分之1。亦即，藉由採用如此之構成，因可於與一個資料之寫入動作為同等之期間，讀出4個連續資料，故可高速地由讀出來自以一字元線所存取之複數記憶單元之複數資料。

又，本實施形態之記憶體核心部50之各電路之電路構成僅為一例，當然亦可以具有同等功能之電路所構成。

以下，參考圖面，說明如上述所構成之DRAM裝置之資料之寫入動作及讀出動作。

圖5係表示本實施形態之DRAM裝置之寫入動作及讀出動作之時序圖。如圖5所示，首先，藉由指令ACT輸入列位址RA1。如此，藉由等化信號EQ轉移至低位準而成為非活性狀態，而解除由所輸入列位址RA1所選擇之記憶體次陣列51之位元線對BL、BLX之等化，接著，使選擇之字元線WL活化。其後，藉由使感測放大器活化信號SAP、SAN中之SAP轉移至高位準，且將SAN轉移至低位準而分別加以活化，感測放大器電路20介著位元線對BL、BLX，偵測保持於記憶單元10之電荷，將所偵測之位元線BL、BLX之電位放大成高位準或低位準。

其次，藉由輸入指令WRITE，而輸入行位址CA1及寫入資料D1，藉此，由Din緩衝器65將寫入資料D1傳送至資料匯流排66。接著，藉著行位址CA1所選擇之寫入用開關30，改寫與位元線BL或位元互補線BLX相連接之記憶單元10之資料。

五、發明說明 (14)

其次，與列位址RA1為相同位址，且僅有行位址相異時，例如於將CA1改為CA2，而連續寫入資料時，於最初之指令WRITE後接著輸入其他之指令WRITE。於本實施形態中，第2個指令WRITE介著行解碼器內63之分頻器67，以外部時鐘信號CLK之4周期分做為1周期，而藉由此周期進行寫入動作。因此，如圖5所示，於外部時鐘信號CLK之4周期後，藉由第2個指令WRITE，輸入行位址CA2及寫入資料D2，而再次執行寫入動作。所輸入及改寫之資料直接藉由感測放大器電路20而放大。其後，藉由以預充電指令PRE使字元線WL轉移至低位準成為非活性狀態，而於記憶單元10之電荷蓄積用電容器11儲存做為資料之電荷。接著，使等化信號EQ轉移至高位準而加以活化，進行位元線對BL、BLX之等化動作，成為備於其次之存取之待機狀態。

其次，說明資料之讀出動作。

此時，如圖5所示，亦藉由指令ACT而輸入列位址RA3。藉此，藉由被非活化之等化信號EQ，解除由輸入之列位址RA3所選擇之記憶體次陣列51之位元線對BL、BLX之等化，接著，使所選擇之字元線WL活化。其後，當感測放大器活化信號SAP、SAN分別被活化時，藉由感測放大器電路20，介著位元線對BL、BLX偵測保持於記憶單元10之電荷，將所偵測到之資料放大至高位準或低位準之電位，以做為電位差。

其次，藉由輸入指令READ，輸入行位址CA3，位元線對BL、BLX之資料介著讀出用開關35，由資料匯流排66偵

測並放大，並傳送至Dout緩衝器64做為讀出資料Dout。接著，輸出至外部做為輸出資料Q3，而完成讀出動作。

其次，說明與列位址RA3為相同位址且僅行位址相異時，如連續讀出CA4、CA5及CA6之情形。於此情形中，第2個至第4個指令READ與第1個指令READ相連續，亦即，與外部時鐘信號CLK之1周期同步輸入。一般而言，於讀出動作時，與寫入動作不同，因可縮小資料匯流排66之信號電壓之振幅(小振幅化)，故與寫入動作相比，可於短時間內完成，因此，可加速資料匯流排66上之傳送動作。此外，於寫入動作時，必須重寫由位元線BL或位元互補線BLX所放大之資料，因此無法輕易達到小振幅化。因此，如圖5所示，可於連續之時鐘周期達成高速之讀出動作。於外部時鐘信號CLK之每1周期輸入一連串之指令READ，而輸入行位址CA4、CA5及CA6，執行與前述相同之讀出動作，而輸出資料Q4、Q5及Q6亦與最初之輸出資料Q3相連續，於外部時鐘信號CLK之每1周期依序輸出。

其次，顯示於位元線對BL、BLX之資料，直接藉由感測放大器電路20保持且放大，藉由以預充電指令PRE使字元線WL非活化，而使電荷再蓄積於活化之記憶單元10之各電荷蓄積用電容器11中。其後，等化信號EQ被活化，位元線對BL、BLX之電位被等化，以備於其次之存取。

如此，依據本實施形態，可將儲存於以一字元線WL所活化之複數記憶單元10之資料，以寫入動作之動作期間tW之4分之1之動作期間tR加以讀出。圖6係模式的顯示如圖5

五、發明說明（16）

所示而存取之記憶體核心部50。廿圖6中，藉由對與圖4之構成要素為相同之構成要素賦予相同符號，而省略其說明。如圖6所示，於第1記憶體次陣列51A中，對於與字元線WL1相連接之記憶單元10，進行資料D1、D2之寫入，而於第2記憶體次陣列51B中，對於與字元線WL3相連接之記憶單元10，進行一連串資料Q3、Q4、Q5及Q6之讀出。

如上所述，一般而言，於繪圖用之半導體記憶裝置中，大多於寫入時，將藉由處理器3所處理之資料寫入任意位址，而於讀出時，則將輸出至螢幕上之影像資料加以讀出，於此時，頻繁地進行將一字元線WL上之資料連續讀出之動作。因此，於此時，與寫入動作相比，可高速地讀出以一字元線WL所活化之複數記憶單元10之資料，故可有效地加速影像資料之處理。

又，於本實施形態中，雖將寫入控制用之內部時鐘WT周期tW，分頻成外部時鐘CLK周期之4倍，但不限於此，亦可將外部時鐘信號CLK之1周期，縮短成足以進行讀出動作之程度即可，此時，將寫入用之內部時鐘WT之周期tW，加大分頻比使足以進行連續寫入動作之程度即可。

（第1實施形態之第1變形例）

以下，參考圖面，說明本發明之第1實施形態之第1變形例。

圖7係表示本實施形態之第1變形例中，半導體記憶裝置中之記憶體核心部50之電路構成及周邊電路之一例。於

五、發明說明（17）

圖7中，藉由對於與圖4之構成要素為相同之構成要素係賦予相同符號，而省略其說明。

本變形例之行解碼器63具有時序產生器68，其將寫入控制用之內部時鐘WT之周期tW設定為與外部時鐘信號CLK之周期為相同，反之，將讀出控制用之內部時鐘RD之周期tR設為外部時鐘信號CLK之周期之4分之1（4倍之頻率）而輸出。

於本變形例中，亦可將儲存於以一字元線WL活化之複數記憶單元10之資料，以寫入動作之動作期間tW之4分之1之動作期間tR讀出。

（第1實施形態之第2變形例）

以下，參考圖面，說明本實施形態之第2變形例。

圖8係表示本實施形態之第2變形例中，半導體記憶裝置中之記憶體核心部50之電路構成及周邊電路之一例。於圖8中，藉由對於與圖4之構成要素為相同之構成要素係賦予相同符號，而省略其說明。

本變形例之行解碼器63具有：時序產生器68，其將寫入動作之內部時鐘WT之周期tW設定為與外部時鐘信號CLK為相同，反之，將讀出動作之內部時鐘RD之周期tR設為外部時鐘信號CLK之周期之4分之1（4倍之頻率）而輸出；脈衝串計數器69，為如產生4資料或8資料連續之脈衝串位址之連續位址產生機構。

藉此，如圖9之時序圖所示之指令般，因可於DRAM裝

五、發明說明（18）

置內部產生於一字元線上連續之位址，故由外部僅需輸入行位址CA3即可，而不必輸入連續之位址。因此，即使為如此之構成，如圖6所示，對於由外部所輸入之行位址CA3，可連續讀出儲存於對應於1字元線WL3連續之行位址之記憶單元10之資料Q3、Q4、Q5及Q6。

亦即，藉由設置脈衝串計數器69，不必由外部連續輸入指令READ，結果，可達成存取容易且可進行更高速讀出動作之半導體記憶裝置。

又，脈衝串計數器69亦可設置於如具備圖4之分頻器67之DRAM裝置。

（第2實施形態）

以下，參考圖面，說明本發明之第2實施形態。

圖10係表示本發明之第2實施形態中，半導體記憶裝置中之記憶體核心部及其周邊電路部之方塊構成。又，本實施形態之半導體記憶裝置之整體構成，亦可為與第1實施形態相同之構成。

如圖10所示，本實施形態之記憶體核心部50，係為分別具有第1埠a及第2埠b之2埠之2埠構成，具有包含成行列狀配置之複數個記憶單元之複數記憶體次陣列55。以下，將第1埠a稱為a埠，而將第2埠b稱為b埠。藉由此2埠構成，於每一記憶體次陣列55，設置a埠用之第1感測放大器陣列52a及b埠用之第2感測放大器陣列52b、a埠用之第1選擇器53a及b埠用之第2選擇器53b。

五、發明說明 (19)

於a埠用之第1列解碼器62a、b埠用之第2列解碼器62b、a埠用之第1行解碼器63a及b埠用之第2行解碼器63b，分別輸入外部時鐘信號CLK、特定記憶單元之位址信號及指示裝置動作之指令信號。又，本實施形態之特徵係為；具有將第1行解碼器63a及第2行解碼器63b中之寫入用之內部時鐘信號周期加以分頻之分頻器67。

第1選擇器53a與第1資料匯流排66a相連接，第2選擇器53b與第2資料匯流排66b相連接。第1資料匯流排66a及第2資料匯流排66b，介著匯流排選擇器70，與Dout緩衝器64或Din緩衝器65相連接。

圖11係表示記憶體核心部50之電路構成及周邊電路之一例。於圖11中，藉由對於與圖4及圖10之構成要素為相同之構成要素係賦予相同符號，而省略其說明。如圖11所示，記憶體次陣列55所具有之各記憶單元10包含：電荷蓄積用電容器11，蓄積並保持分別成為資料之電荷；a埠用之第1單元電晶體13，控制來自對電荷蓄積用電容器11之外部之存取，b埠用之第2單元電晶體14，控制來自對電荷蓄積用電容器11之外部之存取。

第1單元電晶體13中，源極與電荷蓄積用電容器11中之單元板為相反側之電極相連接；汲極與a埠用之第1位元線BL(n)相連接；而閘極與第1位元線BL(n)a、或與b埠用之第2位元線BL(n)b分別交叉之a埠用第1字元線WL(m)a相連接。但是，設n為1≦n≦N之整數，而設m為1≦m≦M之整數。在此，將第1位元線BLa及第2位元線BLb之條數N分別

五、發明說明 (20)

設為128，而將第1字元線WLa及b埠用之第2字元線WLb之條數M分別設為64。

第2單元電晶體14中，源極與第1單元電晶體13之源極相共有；汲極與第2位元線BL(n)b相連接；而閘極與和第1字元線WL(m)a成平行延伸之第2字元線WL(m)b相連接。如此，本實施形態之記憶單元10具有可對一電荷蓄積用電容器11可分別獨立存取之2個單元電晶體13、14之所謂2TIC型之構成。

如圖11所示，與a埠用之第1感測放大器陣列52a及第1選擇器53a相連接之第1位元線BL(n)a之互補線BLX(n)a，係由對第1感測放大器陣列52a配置於與記憶體次陣列55為相反側區域之無圖示之記憶體次陣列而延伸。相同地，與b埠用之第2感測放大器陣列52b及第2選擇器53b相連接之第2位元線BL(n)b之互補線BLX(n)b，則由對第2感測放大器陣列52b配置於與記憶體次陣列55為相反側區域之無圖示之記憶體次陣列而延伸。

第1感測放大器陣列52a所具有之等化電路15，接受a埠用之第1等化信號EQa，而第1感測放大器陣列52a所具有之感測放大器電路20，則接受a埠用之第1感測放大器活化信號SAPa、SANa。另一方面，第2感測放大器陣列52b所具有之等化電路15，接受b埠用之第2等化信號EQb，而第2感測放大器陣列52b所具有之感測放大器電路20，則接受b埠用之第2感測放大器活化信號SAPb、SANb。

第1選擇器53a所具有之寫入用開關30及讀出用開關

五、發明說明（21）

35，與a埠用之第1資料匯流排66a相連接，而第2選擇器53b所具有之寫入用開關30及讀出席開關35，則與b埠用之第2資料匯流排66b相連接。

以下，參考圖面，說明如上述所構成之DRAM裝置中之資料之寫入動作及讀出動作。

圖12係表示本實施形態之DRAM裝置中之寫入動作及讀出動作之時序圖。如圖12所示，與第1實施形態相異，指令中無指令ACT，於輸入如指令WRITE或指令READ之時序中，列位址及行位址輸入做為一位址A1。因此，於本裝置中，是否由a埠及b埠之其一埠對記憶單元10進行存取，則係藉由指令輸入時之裝置狀態而選擇。

於寫入動作時，與指令WRITE同時輸入位址A1及資料D1。所輸入之位址A1於裝置內部中分別分為列位址及行位址。

在此，如圖12所示，說明資料之寫入指令WRITE輸入a埠之情形。

依據含於所輸入之位址A1之列位址，第1等化信號Eqa藉由轉移至低位準，而解除所選擇之記憶體次陣列55之第1位元線對BLa，BLXa之等化，接著，使選擇之第1字元線WLa活化。另一方面，對著由含於所輸入之位址A1之行位址所選擇之感測放大器電路20，由Din緩衝器65介著匯流排選擇器70，將寫入資料D1傳送至第1資料匯流排66a上，而藉由使由所活化之第1寫入控制信號Wta所選擇之寫入用開關30成為導通狀態，使所選擇之第1位元線Bla之電位藉

五、發明說明 (22)

所輸入之資料而更新。

其後，藉由分別活化第1感測放大器活化信號SAPa、SANa，而以a埠用之感測放大器電路20，放大所變更之第1位元線Bla之電位，此放大之電位，介著由所選擇中之第1字元線Wla所活化之第1單元電晶體13，而蓄積於記憶單元10之電荷蓄積用電容器11。

在此，決定裝置內中寫入動作時序之內部時鐘信號(=Wta、WTb)，係分頻外部時鐘信號CLK之頻率而使用。亦即，於本實施形態中，藉由寫入控制用之分頻器67，產生具有外部時鐘信號CLK之4倍周期之內部時鐘信號Wta、WTb，而於此內部時鐘信號Wta、WTb之1周期中，進行1次寫入動作。

其次，於連續進行寫入動作時，藉由於外部時鐘信號CLK之4周期後再度輸入之指令WRITE，而輸入位址A2及寫入資料D2，此次，使用b埠側之電路，執行同樣之寫入動作。接著，於寫入動作終了後，使用於裝置內所產生之預充電信號VBLP，使所選擇之第1字元線WLa或第2字元線WLb成為非活性狀態，其後，進行所選擇之第1位元線BLa或第2位元線BLb之等化動作，以備於其次之存取。

如此，於進行資料之寫入動作時，藉由交互存取a埠及b埠，如圖12所示，如第1字元線Wla於選擇中為活化狀態，而於轉移至非活性狀態前，可將其次之第2字元線WLb加以活化。結果，可高速進行寫入動作。

其次，說明資料之讀出動作。

五、發明說明（23）

於讀出動作時，亦與指令READ同時如輸入位址A51。所輸入之位址A51於裝置之內部中分成列位址及行位址。

首先，由含於所輸入之A51之列位址所選擇之記憶體次陣列55中之第1位元線對Bla、BLXa之等化，藉由第1等化信號Eqa對低位準之轉移而解除，接著，使所選擇之第1字元線WLa活化。

其後，藉由分別活化第1感測放大器活化信號SAPa、SANa，感測放大器電路20介著第1位元線對Bla、BLXa偵測保持於記憶單元10之電荷，將其放大為高位準或低位準之電位並確定。

其次，藉由依含於所輸入之位址A51之行位址所選擇之讀出開關35，偵測由第1位元線Bla所確定之資料，且更將其反向並放大。所放大之資料介著匯流排選擇器70，做為讀出資料Q51而傳送至Dout緩衝器64，而輸出至外部。

在此，於以先前輸入之列位址為相同位址且僅行位址相異時，例如連續讀出位址A52、A53及A54時，於各與外部時鐘信號CLK為相同周期之指令READ，依序輸入位址A52、A53及A54。結果，以與A51時為同樣之動作且介著與A51時相同之a埠之電路而執行。

如上所述，與寫入動作相異，於讀出動作時，因可使第1資料匯流排66a及第2資料匯流排66b中之信號電壓為小振幅化，故對一列位址，可達成複數次之讀出動作。於本實施形態中，如圖12所示，於寫入周期之一周期分中可執行4次之讀出動作。

五、發明說明 (24)

其次，顯示於第1位元線對Bla、BLXa之資料直接藉由感測放大器電路20保持並放大，於讀出動作終了後藉由於內部中所產生之預充電指令，使第1字元線Wla成為非活性狀態，使得活化之記憶單元10之各電荷蓄積用電容器11再次蓄積電荷。其後，第1等化信號Eqa被活化，而第1位元線對Bla、BLXa之電位被等化，以備於其次之存取。

如此，依據本實施形態，可將儲存於以一字元線Wla、WLb所活化之複數記憶單元10之資料，以寫入動作之動作期間tW之4分之1之動作期間tR讀出。又，如圖12所示，於通過如此4周期之一連串之讀出動作後，再進行讀出動作，藉由指令READ如輸入位址A61～A64，以與前述之位址A51～A54為同樣動作且此次係介著b埠之電路，而執行讀出動作，並輸入一連串之讀出資料Q61、Q62、Q63及Q64。

如此，藉由發揮2T1C型之記憶單元10之特性，而交互存取a埠及b埠，而達成無間斷且極高速之讀出動作。

圖13係為模式地表示如圖12所示所存取之記憶體核心部50。於圖13中，藉由對與圖11之構成要素為相同之構成要素，賦予相同符號，而省略其說明。如圖13所示，於第1記憶體次陣列55A中，對於與第1字元線WL1a相連接之記憶單元10，進行資料D1之寫入，而對於與第2字元線WL2b連接之記憶單元10，進行資料D2之寫入。於第2記憶體次陣列55B中，對於與第1字元線WL5a相連接之記憶單元10，進行一連串資料Q51、Q52、Q53及Q54之讀出，而對於與第

五、發明說明 (25)

2字元線WL6b相連接之記憶單元10，則進行一連串資料Q61、Q62、Q63及Q64之讀出。此外，於第3記憶體次陣列55C中，對於與第1字元線WL7a相連接之記憶單元10，進行一連串資料Q71、Q72、Q73及Q74之讀出，而對於與第2字元線WL8b相連接之記憶單元10，進行一連串資料Q81、Q82、Q83及Q84之讀出。

又，雖然與第1實施形態相同，將寫入控制用之內部時鐘WT之周期tW，分頻成外部時鐘CLK之周期之4倍，但不限於此，亦可將外部時鐘信號CLK之一周期縮短為可充分進行讀出動作之程度，此時，將寫入用之內部時鐘WT之周期tW，加大分頻比使足以進行連續寫入動作之程度即可。

又，除了將寫入控制用之內部時鐘WT之周期tW分頻為外部時鐘CLK之周期外，亦可將讀出控制用之內部時鐘RD之周期tR設為外部時鐘CLK之周期之4分之1。

此外，與第1實施形態相同，亦可藉由於讀出動作時起動之行解碼器63a、63b上附加脈衝串計數器，而對由外部所輸入之位址，於內部自動產生於一字元線上連續之位址。如此，因不必於每一時鐘周期輸入位址，故可得到存取容易之半導體記憶裝置。

圖14係為本實施形態中採用脈衝串模式時之寫入動作及讀出動作之時序圖。如圖14所示，讀出動作與寫入之隨機周期(字元線WLa、WLb之動作周期)係構成為相同周期。藉此，伴隨著讀出動作及寫入動作之位址輸入之周期(tCOM)全部皆可於相同之4周期達成。結果，藉由僅以隨

五、發明說明（26）

機周期所決定之周期，而輸入由外部輸入之指令及位址之簡單控制，即可高速且不間斷地將資料讀出。

發明效果

依據本發明之半導體記憶體裝置，因將基於外部時鐘信號所產生之讀出用時鐘信號之周期，設定為較基於外部時鐘信號所產之寫入用時鐘信號之周期為短，故可高速地由與於一列位址上連續之行位址相對應之複數記憶單元，讀出一連串之資料。

又，當記憶單元係採用由2個電晶體及1個電容器所構成之2埠構成時，於資料讀出時，由第1埠之一字元線連續讀出一連串之資料列，接著，由第2埠之其他字元線，連續讀出一連串之其他資料，藉由交互進行此動作，而可極高速地進行資料之讀出動作。

圖式之簡單說明

圖1：(a)及(b)係表示本發明之第1實施形態中之半導體記憶裝置之系統構成，其中，(a)係為表示與資料處理用之處理器匯流排連接之DRAM裝置之方塊構成圖，(b)係表示將處理器及DRAM裝置形成於一晶片上時之方塊構成圖。

圖2：本發明之第1實施形態之半導體記憶裝置之方塊構成圖。

圖3：本發明之第1實施形態之半導體記憶裝置中之記憶體核心部及其周邊電路部之方塊構成圖。

圖4：本發明之第1實施形態之半導體記憶裝置中之記憶體核心部及其周邊電路部之電路圖。

圖5：本發明之第1實施形態之半導體記憶裝置中之動作時序之時序圖。

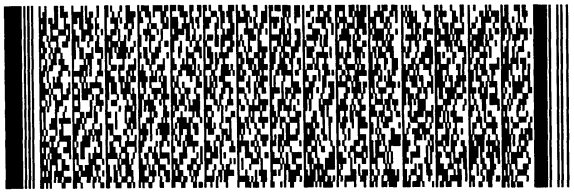
圖6：表示本發明之第1實施形態之半導體記憶裝置之記憶體核心部，其以圖5之動作時序所存取之狀態之模式圖。

圖7：本發明之第1實施形態之第1變形例之半導體記憶裝置中之記憶體核心部及其周邊電路部之電路圖。

圖8：本發明之第1實施形態之第2變形例之半導體記憶裝置中之記憶體核心部及其周邊電路部之電路圖。

圖9：本發明之第1實施形態之第2變形例之半導體記憶裝置中之動作時序之時序圖。

圖10：本發明之第2實施形態之半導體記憶裝置中之



圖式簡單說明

記憶體核心部及其周邊電路部之方塊構成圖。

圖11：本發明之第2實施形態之半導體記憶裝置中之記憶體核心部及其周邊電路部之電路圖。

圖12：本發明之第2實施形態之半導體記憶裝置中之動作時序之時序圖。

圖13：表示本發明之第2實施形態之半導體記憶裝置之記憶體核心部，其以圖12之動作時序所存取狀態之模式圖。

圖14：本發明之第2實施形態之半導體記憶裝置中之以脈衝串模式之之動作時序之時序圖。

圖15：習知半導體記憶裝置中之記憶體核心部及其周邊電路部之方塊構成圖。

圖16：習知半導體記憶裝置中之動作時序之時序圖。

圖17：表示習知半導體記憶裝置之記憶體核心部，其以圖16之動作時序所存取狀態之模式圖。

符號說明

1 ~ DRAM裝置
1A ~ DRAM裝置
1B ~ DRAM裝置
2 ~ 記憶體匯流排
3 ~ 處理器
4 ~ 半導體晶片
10 ~ 記憶單元

圖式簡單說明

11 ~ 電荷蓄積用電容器
12 ~ 單元電晶體
13 ~ 第1單元電晶體
14 ~ 第2單元電晶體
15 ~ 等化電路
16 ~ 第1NMOS電晶體
17 ~ 第2NMOS電晶體
20 ~ 感測放大器電路
21 ~ PMOS電晶體
22 ~ NMOS電晶體
30 ~ 寫入用開關
31 ~ 第1NMOS電晶體
32 ~ 第2NMOS電晶體
35 ~ 讀出用開關
36 ~ 第1NMOS電晶體
37 ~ 第2NMOS電晶體
50 ~ 記憶體核心部
50a ~ 記憶體陣列(資料記憶機構)
50b ~ 感測放大器陣列
50c ~ 選擇器
51 ~ 記憶體次陣列
51A ~ 第1記憶體次陣列
51B ~ 第2記憶體次陣列
52 ~ 感測放大器陣列

圖式簡單說明

52a ~ 第1感測放大器陣列
52b ~ 第2感測放大器陣列
53 ~ 選擇器
53a ~ 第1選擇器
53b ~ 第2選擇器
55 ~ 記憶體次陣列
55A ~ 第1記憶體次陣列
55B ~ 第2記憶體次陣列
55C ~ 第3記憶體次陣列
61 ~ 位址緩衝器
62 ~ 列解碼器(資料寫入機構/資料讀出機構)
62a ~ 第1列解碼器
62b ~ 第2列解碼器
63 ~ 行解碼器(資料寫入機構/資料讀出機構)
63a ~ 第1行解碼器
63b ~ 第2行解碼器
64 ~ Dout緩衝器(輸出緩衝器)
65 ~ Din緩衝器(輸入緩衝器)
66 ~ 資料匯流排
66a ~ 第1資料匯流排
66b ~ 第2資料匯流排
67 ~ 分頻器
68 ~ 時序產生器
69 ~ 脈衝串計數器(連續位址產生機構)

圖式簡單說明

70 ~ 匯流排選擇器

四、中文發明摘要　（發明之名稱：半導體記憶裝置）

本發明旨在使高速地讀出可藉由一字元線所存取之複數資料列。

本發明之半導體記憶裝置1，具備：記憶體次陣列51，由記憶單元10成行列狀配置所成；感測放大器陣列52，具有可放大位元線對BL、BLX電位之複數個感測放大器電路20；選擇器53，選擇複數個感測放大器電路20。於行解碼器63上，設有寫入動作控制用分頻器67，其由外部時鐘信號CLK之周期，將於資料寫入時輸出至寫入用開關30之寫入控制用選擇信號WT之周期分頻成4倍。

英文發明摘要　（發明之名稱：SEMICONDUCTOR MEMORY DEVICE）

The semiconductor memory device of the invention includes: a data storage section for storing data thereon; a data write section for writing data on the storage section; and a data read section for reading out the data stored on the storage section. The read section generates a read clock signal responsive to an external clock signal, and the write section generates a write clock signal responsive to the external clock signal. And one cycle of the read clock signal is

四、中文發明摘要　（發明之名稱：半導體記憶裝置）

英文發明摘要　（發明之名稱：SEMICONDUCTOR MEMORY DEVICE）

set shorter than one cycle of the write clock signal.

六、申請專利範圍

1. 一種半導體記憶裝置，其具備：資料記憶機構，用以記憶資料；資料寫入機構，用以將資料寫入該資料記憶機構；資料讀出機構，用以讀出儲存於該資料記憶機構之資料；

其特徵為：該資料讀出機構基於外部時鐘信號產生讀出用時鐘信號，且該資料寫入機構基於該外部時鐘信號產生寫入用時鐘信號，而該讀出用時鐘信號之周期，設定為較該寫入用時鐘信號周期為短。

2. 一種半導體記憶裝置，其具備：記憶單元陣列，具有分別記憶資料之複數個記憶單元；輸入緩衝器，於將由外部輸入之寫入資料寫入該複數個記憶單元中之任一個時，接受所輸入之寫入資料；輸出緩衝器，將由該複數個記憶單元中之任一個所讀出之讀出資料，輸出至外部；資料匯流排，連接該記憶單元陣列及該輸入緩衝器，並連接該記憶單元陣列及該輸出緩衝器；

其特徵為：將該資料匯流排中之該讀出資料之傳送周期，設定為較該資料匯流排中之該寫入資料之傳送周期為短。

3. 如申請專利範圍第2項之半導體記憶裝置，其更具備：複數位元線，對於該複數記憶單元，分別進行資料之讀出或資料之寫入；複數感測放大器，可偵測並放大該複數位元線之各電位；選擇器，具有可連接對應該複數感測放大器中由外部所指定位址之感測放大器及該資料匯流排之切換開關；

六、申請專利範圍

其特徵為：資料讀出時之該切換開關之切換頻率，最好大於資料寫入時之該切換開關之切換頻率。

4. 如申請專利範圍第3項之半導體記憶裝置，其中，該選擇器係由資料讀出用選擇器及資料寫入用選擇器所構成。

5. 如申請專利範圍第2項之半導體記憶裝置，其中，該記憶單元之構成包含：電荷蓄積用電容器；第1單元電晶體，與第1字元線及第1位元線相連接，可對該電荷蓄積用電容器進行存取；第2單元電晶體，與第2字元線及第2位元線相連接，可對該電荷蓄積用電容器進行存取。

6. 如申請專利範圍第5項之半導體記憶裝置，其中，該資料匯流排包含：第1資料匯流排，與該第1字元線及第1位元線相連接；第2資料匯流排，與該第2字元線及第2位元線相連接；

其特徵為：由該記憶單元讀出資料時，由該第1資料匯流排依序輸出與一字元線相連接之複數個記憶單元所儲存之資料，且與該輸出動作相連續，由該第2資料匯流排依序輸出與其他字元線所連接之複數個記憶單元所儲存之資料。

7. 如申請專利範圍第2項之半導體記憶裝置，其中，該寫入資料之傳送周期，係藉由將外部時鐘信號之周期加以分頻而產生。

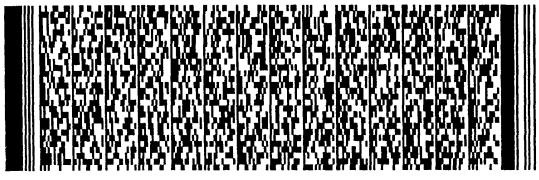
8. 如申請專利範圍第2項之半導體記憶裝置，其中，連續寫入複數個資料時之該寫入資料之傳送周期，約為該

六、申請專利範圍

讀出資料之傳送周期之4倍。

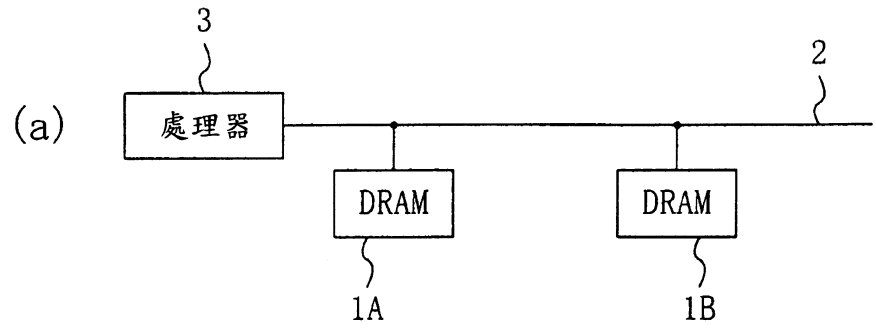
9. 如申請專利範圍第2項之半導體記憶裝置，其更具備：複數字元線，用以活化各記憶單元具有之單元電晶體；連續位址產生機構，於由該記憶單元陣列讀出複數資料時，由自外部輸入之一位址，產生與於藉由該一位址所選擇之字元線上相連續之複數記憶單元相對應之一連串之位址。

10. 如申請專利範圍第9項之半導體記憶裝置，其中，寫入動作中之該字元線之活化周期與讀出動作中之該字元線之動作活化周期約相同。



89119087

圖式



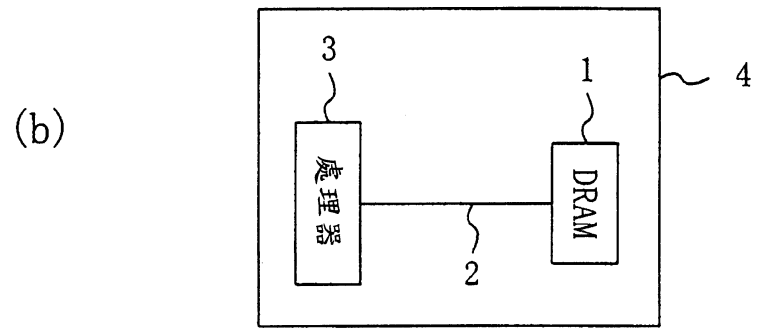


圖 1

圖式

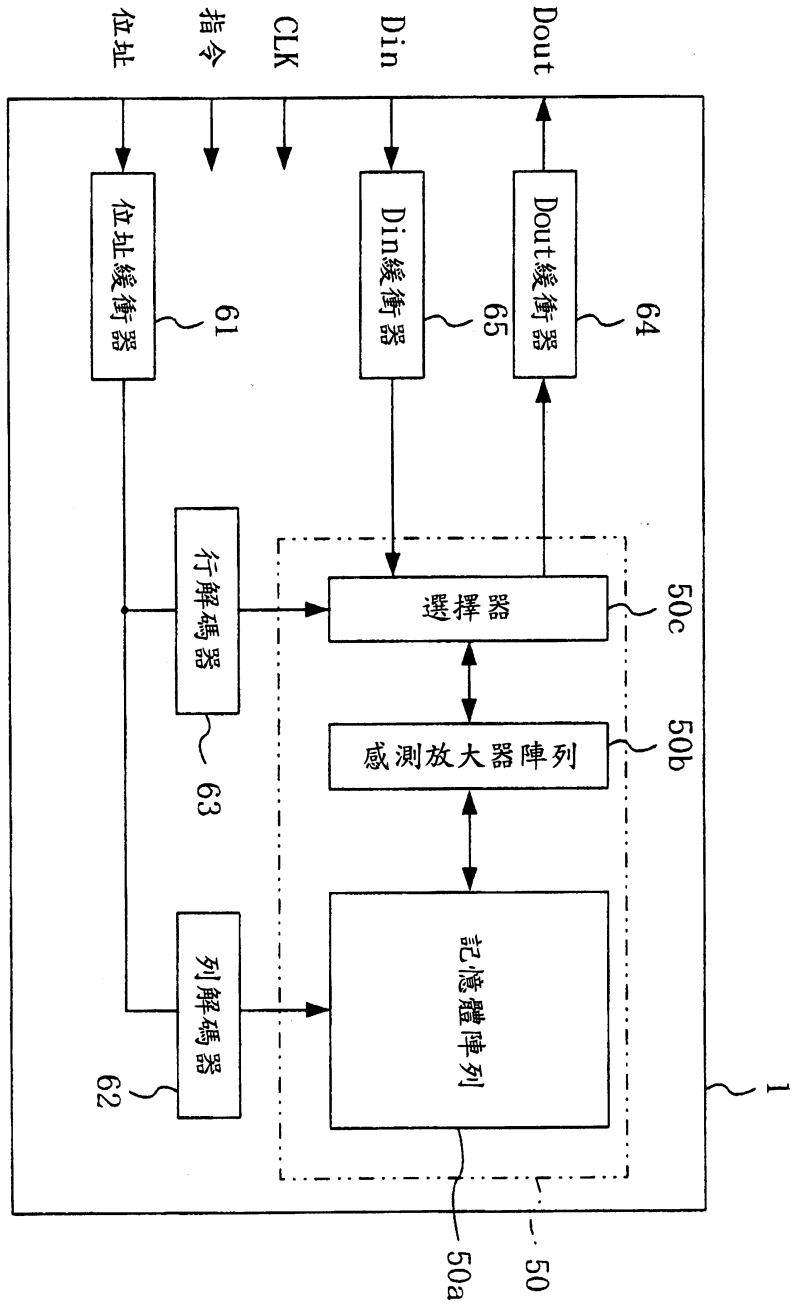

位址
指令
CLK
Din
Dout
位址緩衝器
61
Din緩衝器
65
Dout緩衝器
64
行解碼器
63
選擇路
50c
感測放大器陣列
50b
列解碼器
62
記憶體陣列
50a
50
1

圖 2

圖式

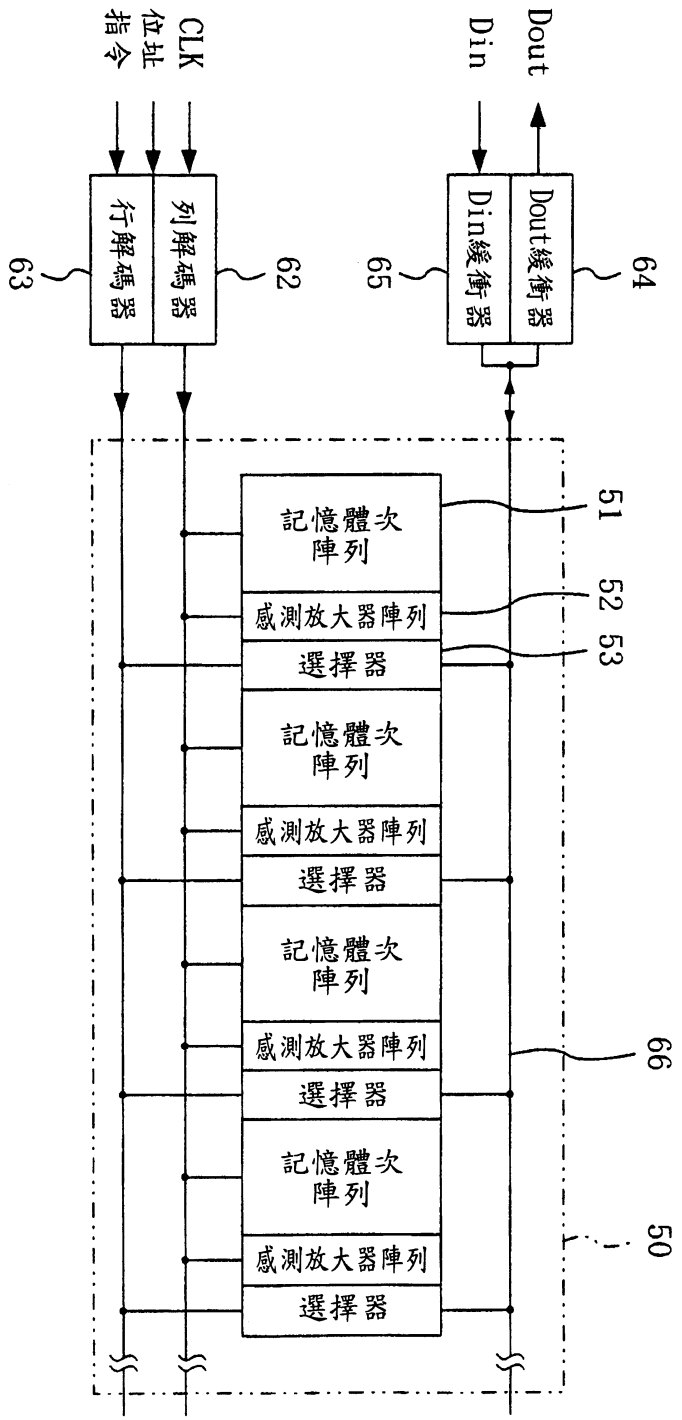

CLK
位址
指令
Dout
Din
列解碼器
行解碼器
Dout緩衝器
Din緩衝器
62
63
64
65
記憶體次陣列
感測放大器陣列
選擇器
51
52
53
66
50

圖 3

圖式

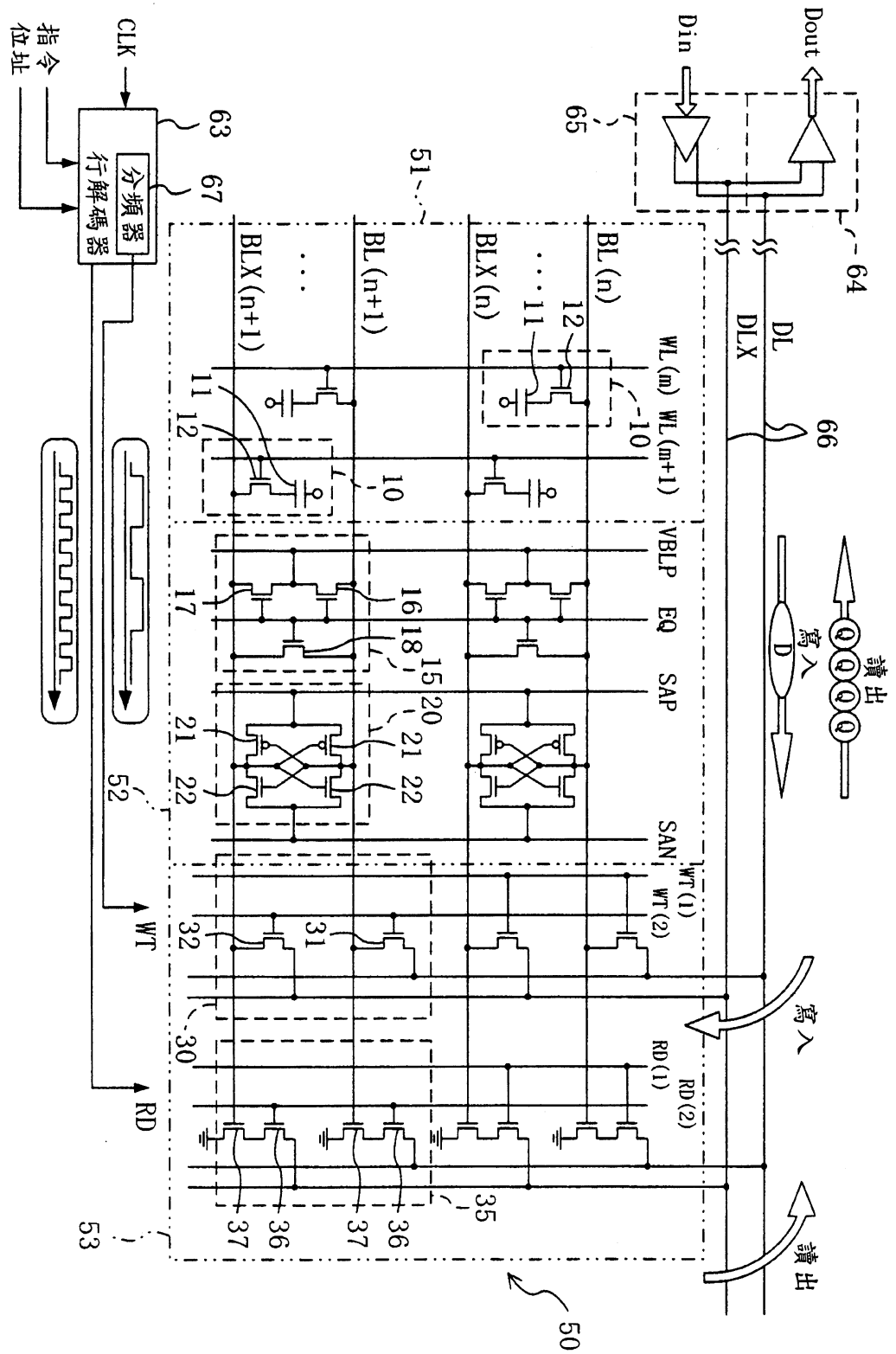

Dout
Din
65
64
DL
DLX
66
BL(n)
BLX(n)
BL(n+1)
BLX(n+1)
WL(m)
WL(m+1)
VBLP
EQ
SAP
SAN
WT(1)
WT(2)
RD(1)
RD(2)
CLK
指令
位址
分頻器
行解碼器
63
67
51
52
53
50
WT
RD
讀出
寫入
D
Q

圖 4

圖式

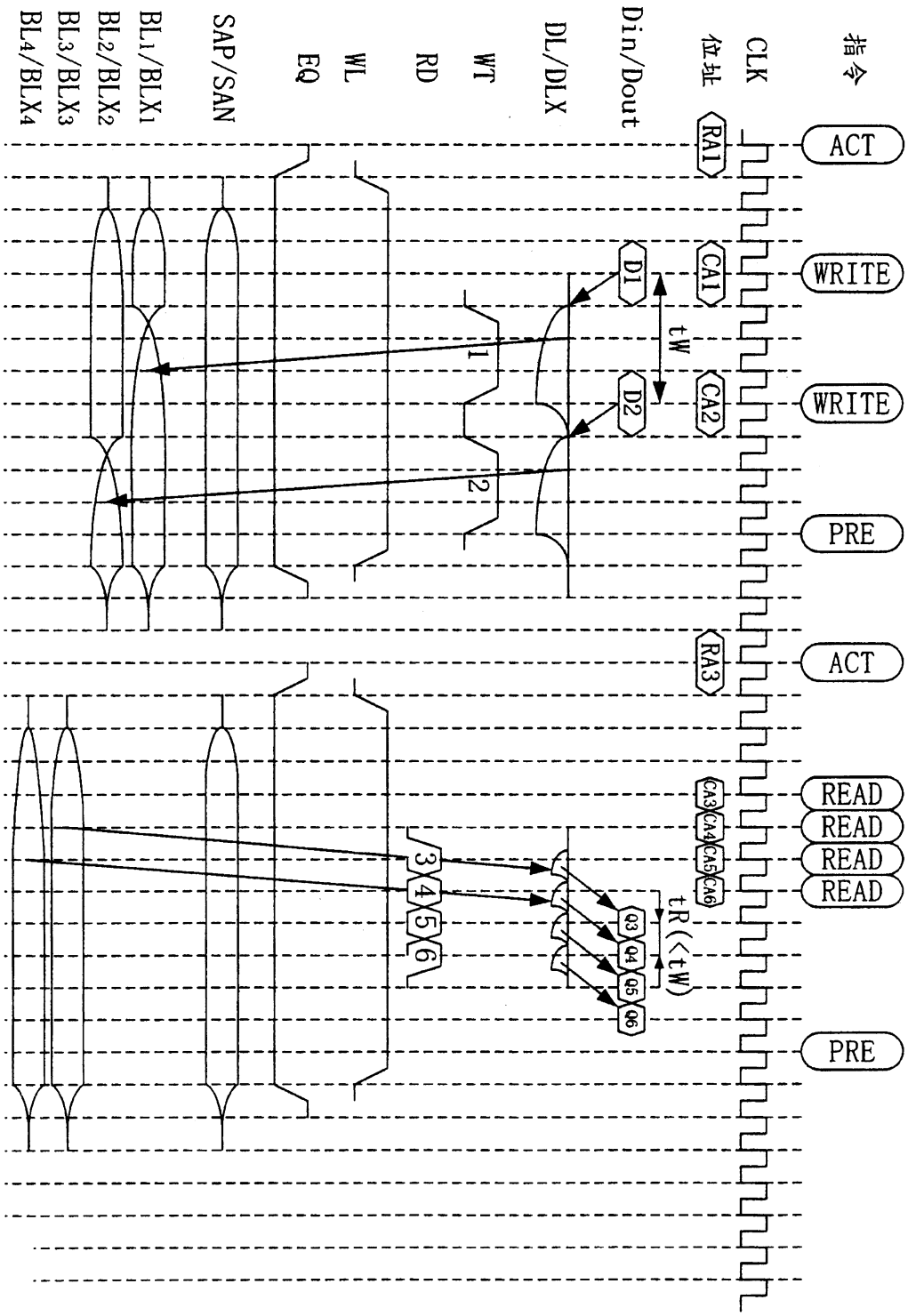
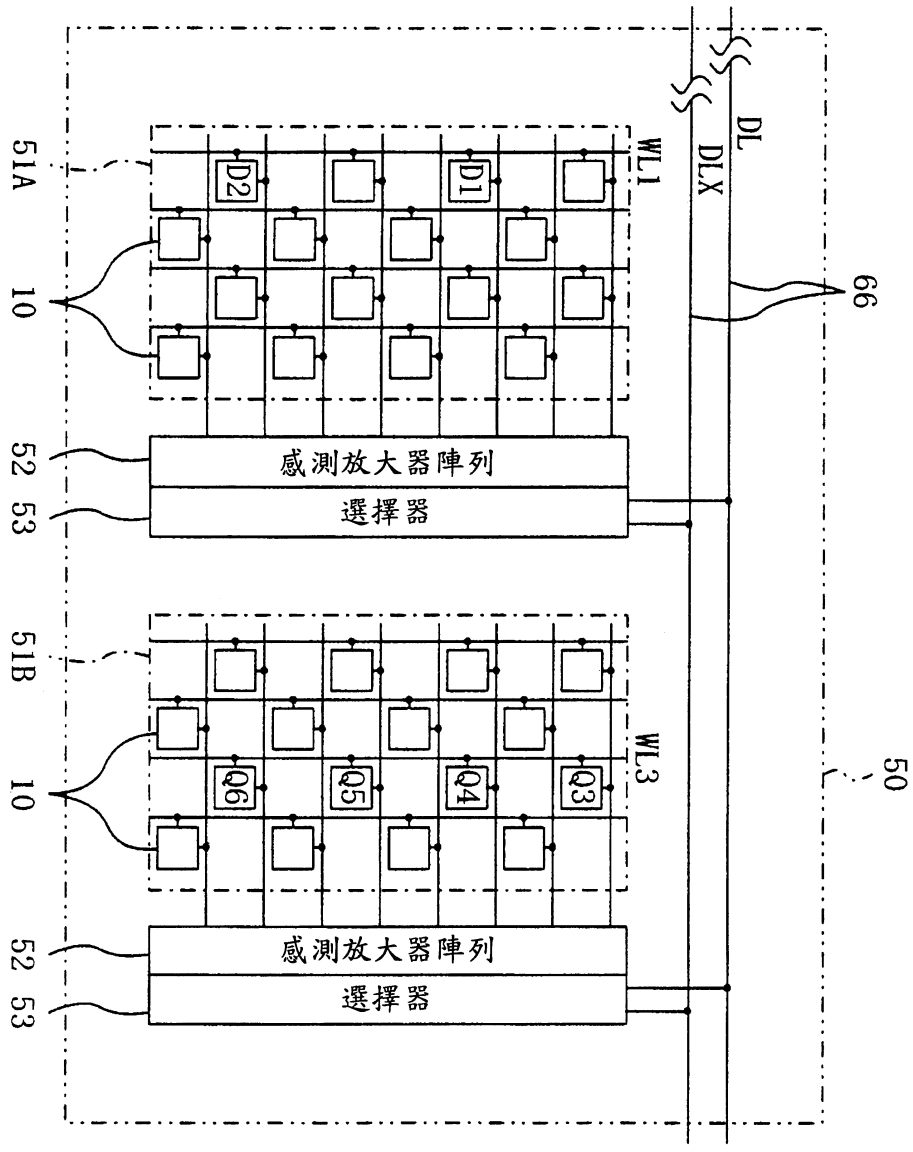

指令
CLK
位址
Din/Dout
DL/DLX
WT
RD
WL
EQ
SAP/SAN
BL1/BLX1
BL2/BLX2
BL3/BLX3
BL4/BLX4
ACT
WRITE
WRITE
PRE
ACT
READ
READ
READ
READ
PRE
RA1
CA1
CA2
RA3
CA3
CA4
CA5
CA6
D1
D2
Q3
Q4
Q5
Q6
tW
tR (<tW)
1
2
3
4
5
6

圖 5

圖式

圖 6



圖式

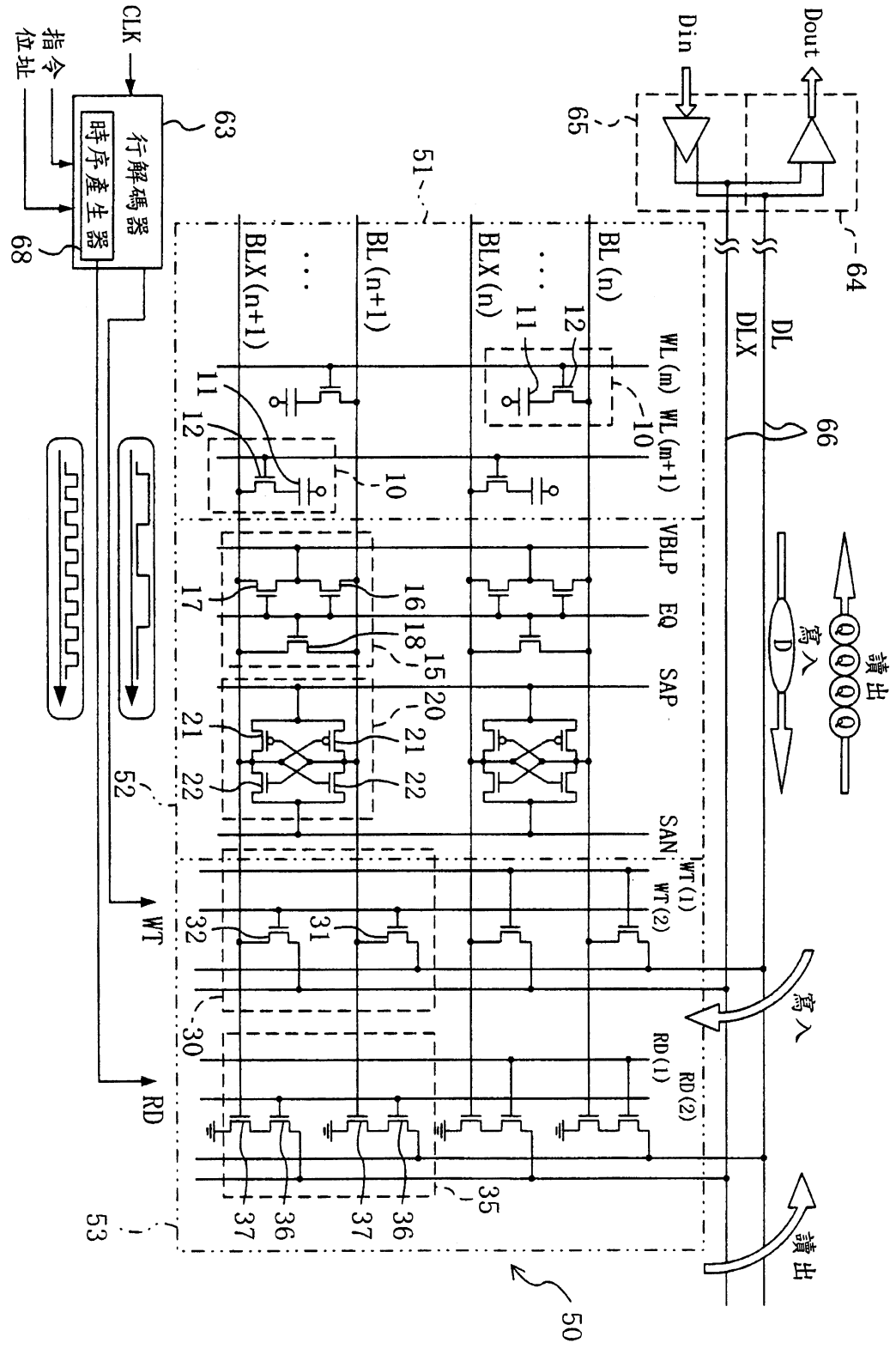

CLK
指令
位址
行解碼器
時序產生器
63
68
Din
Dout
65
64
DL
DLX
66
51
BL(n)
BLX(n)
BL(n+1)
BLX(n+1)
WL(m)
WL(m+1)
VBLP
EQ
SAP
SAN
WT(1)
WT(2)
RD(1)
RD(2)
10
11
12
15
16
17
18
20
21
22
30
31
32
35
36
37
52
53
50
WT
RD
讀出
寫入
D
Q

圖 7

圖式

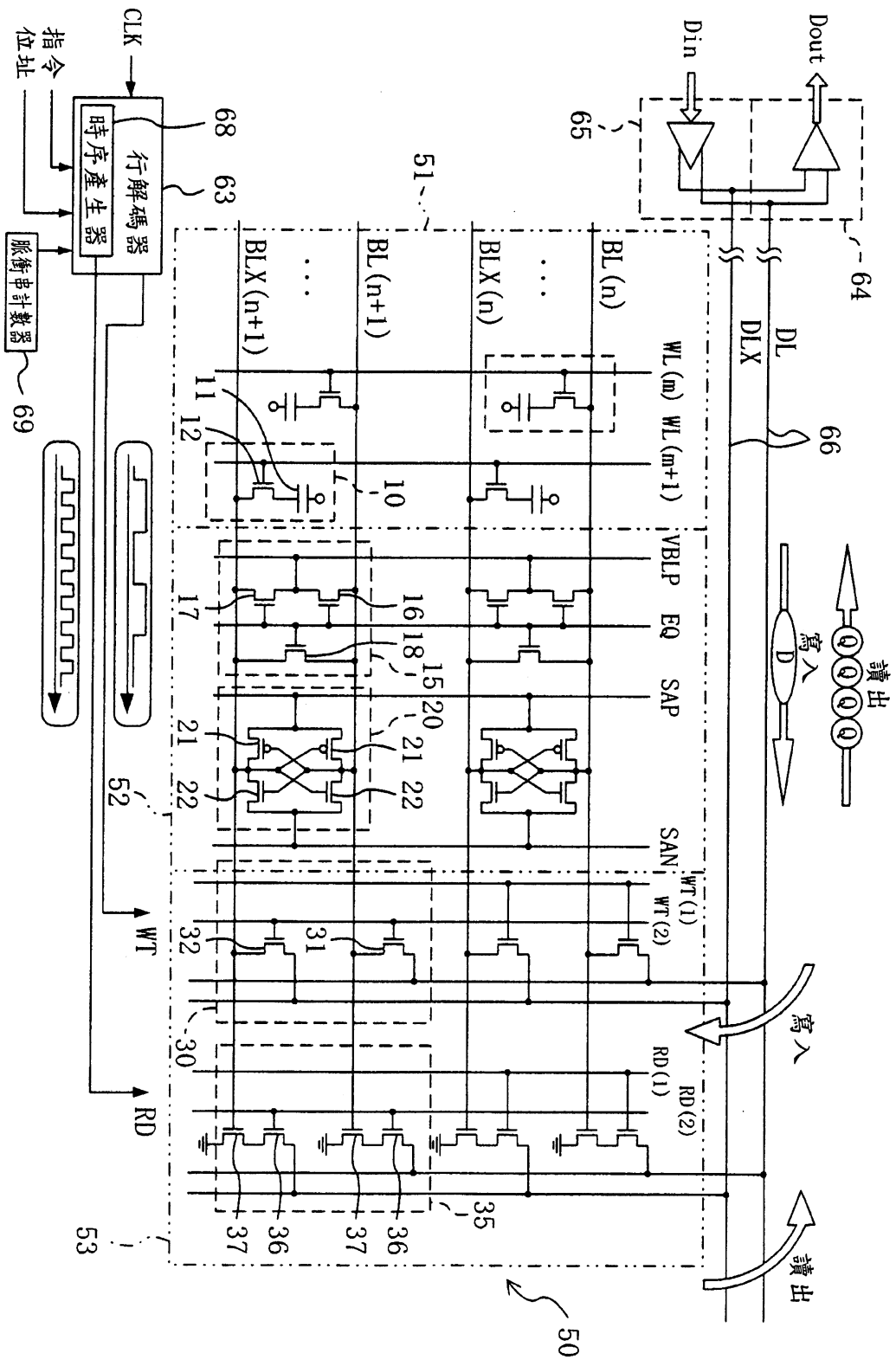

CLK
指令
位址
行解碼器
時序產生器
脈衝串計數器
68
63
69
Din
Dout
65
64
DL
DLX
66
BL(n)
BLX(n)
BL(n+1)
BLX(n+1)
WL(m)
WL(m+1)
VBLP
EQ
SAP
SAN
WT(1)
WT(2)
RD(1)
RD(2)
WT
RD
讀出
寫入
D
Q
10
11
12
15
16
17
18
20
21
22
30
31
32
35
36
37
50
51
52
53

圖 8

圖式

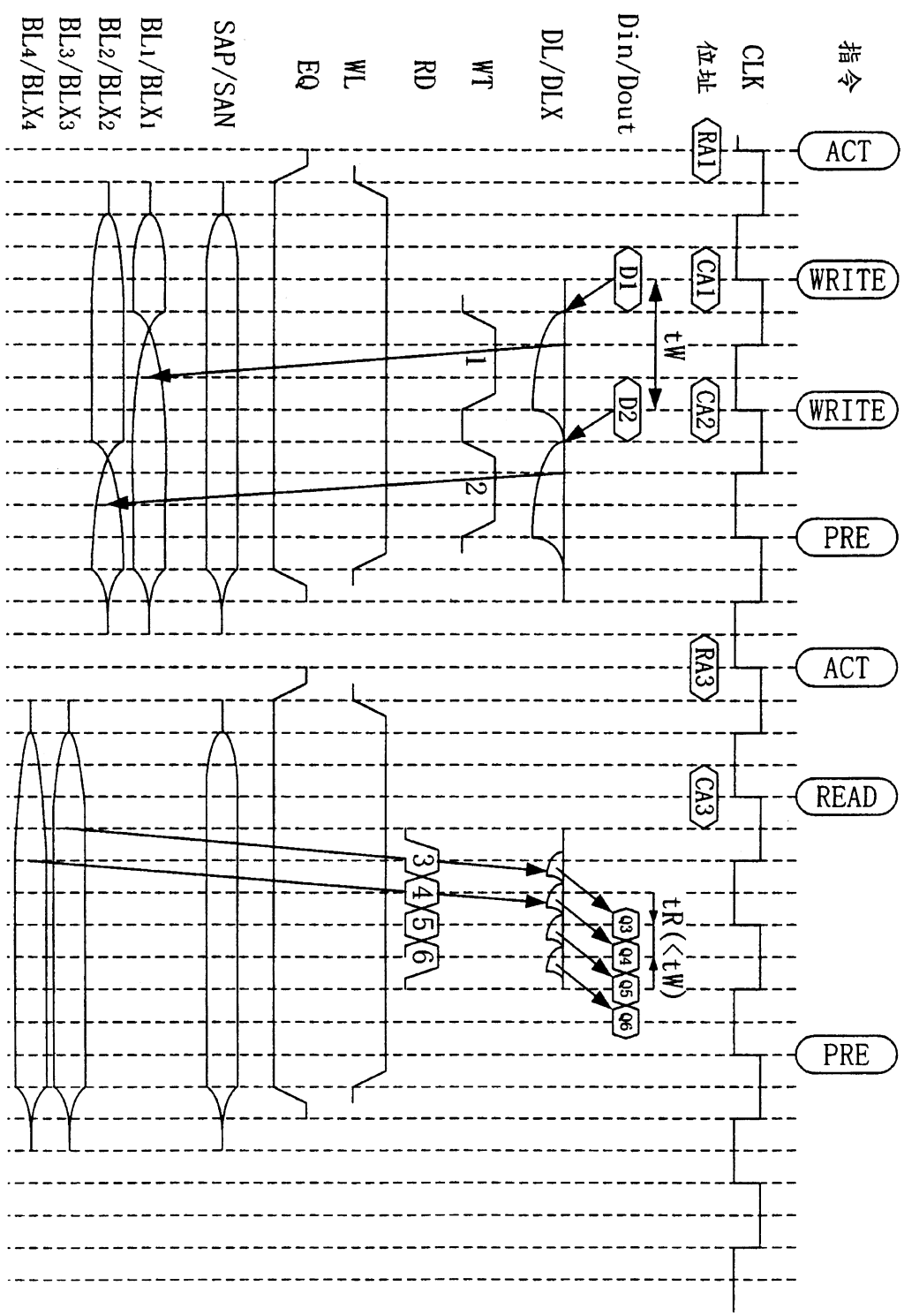

指令
CLK
位址
Din/Dout
DL/DLX
WT
RD
WL
EQ
SAP/SAN
BL1/BLX1
BL2/BLX2
BL3/BLX3
BL4/BLX4
ACT
WRITE
WRITE
PRE
ACT
READ
PRE
RA1
CA1
CA2
RA3
CA3
D1
D2
tW
tR(<tW)
1
2
3
4
5
6
Q3
Q4
Q5
Q6

圖 9

圖式

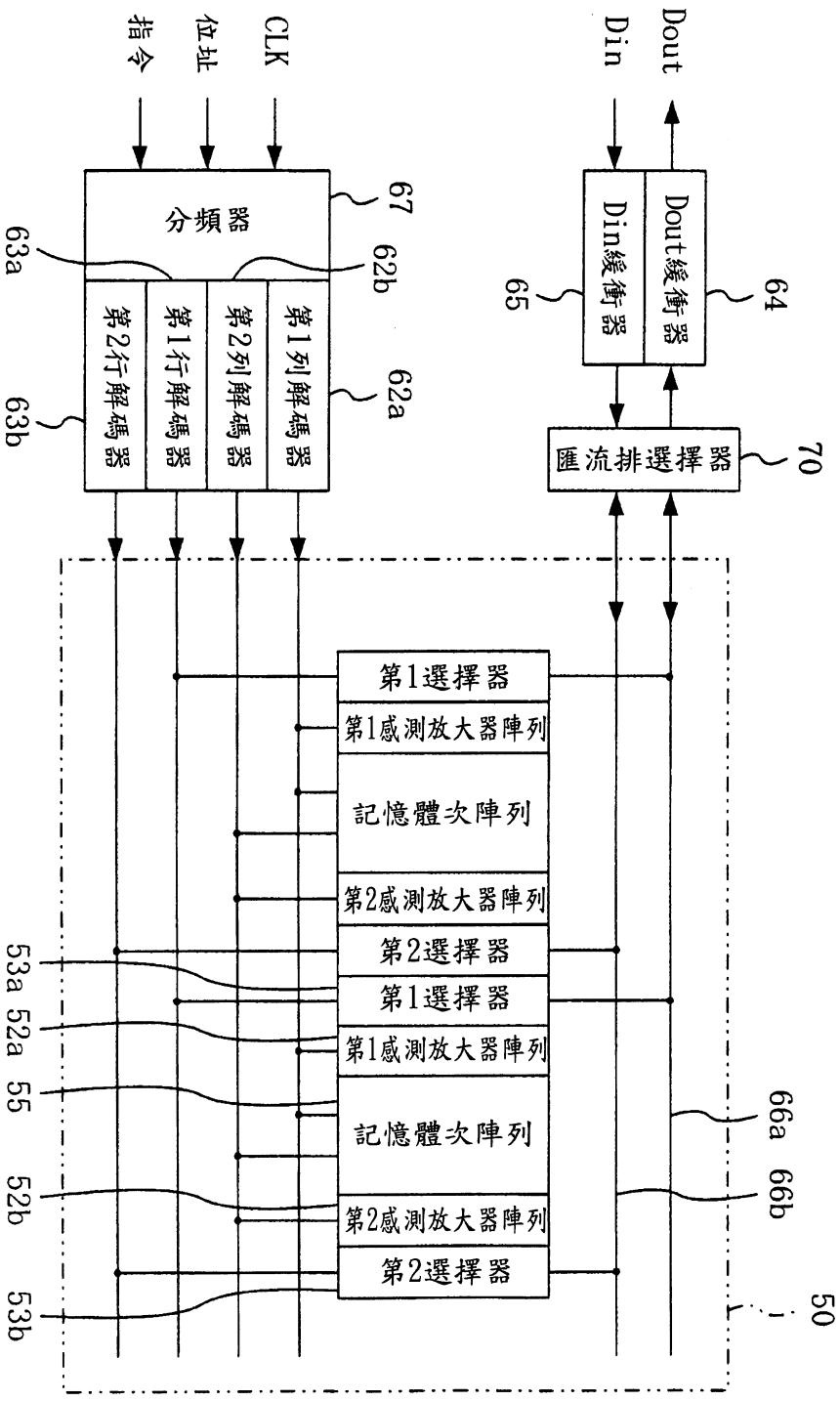

指令
位址
CLK
Dout
Din
67
分頻器
63a
62b
65
64
Din緩衝器
Dout緩衝器
第2行解碼器
第1行解碼器
第2列解碼器
第1列解碼器
63b
62a
匯流排選擇器
70
第1選擇器
第1感測放大器陣列
記憶體次陣列
第2感測放大器陣列
第2選擇器
第1選擇器
第1感測放大器陣列
記憶體次陣列
第2感測放大器陣列
第2選擇器
53a
52a
55
52b
53b
66a
66b
50

圖 10

圖式

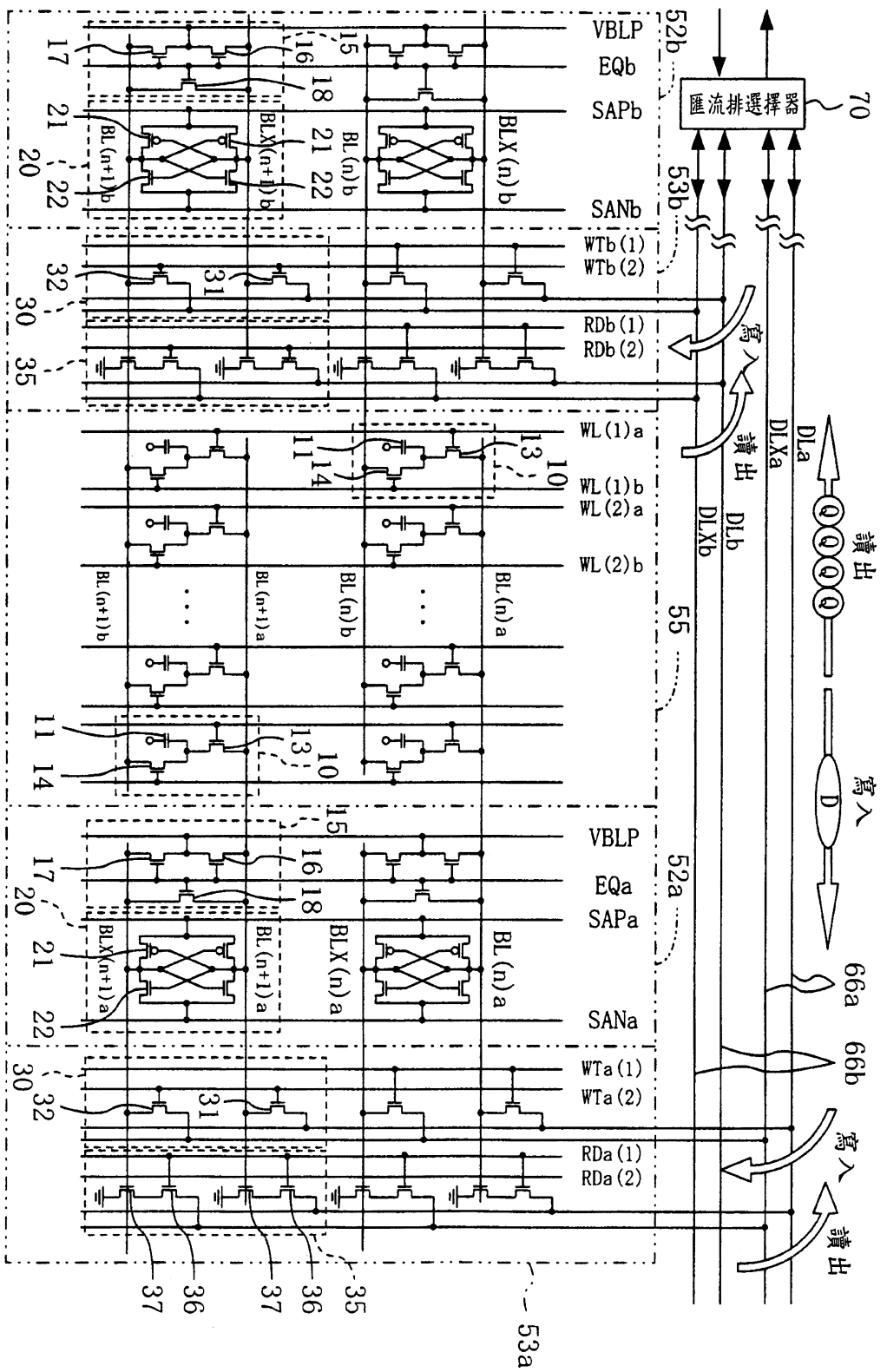

VBLP
EQb
SAPb
SANb
WTb(1)
WTb(2)
RDb(1)
RDb(2)
WL(1)a
WL(1)b
WL(2)a
WL(2)b
VBLP
EQa
SAPa
SANa
WTa(1)
WTa(2)
RDa(1)
RDa(2)
BLX(n)b
BL(n)b
BL(n)a
BLX(n)a
BL(n+1)b
BLX(n+1)b
BL(n+1)a
BLX(n+1)a
匯流排選擇器
70
52b
53b
52a
53a
55
寫入
讀出
DLa
DLXa
DLb
DLXb
Q
D
66a
66b
寫入
讀出

圖 11

圖式

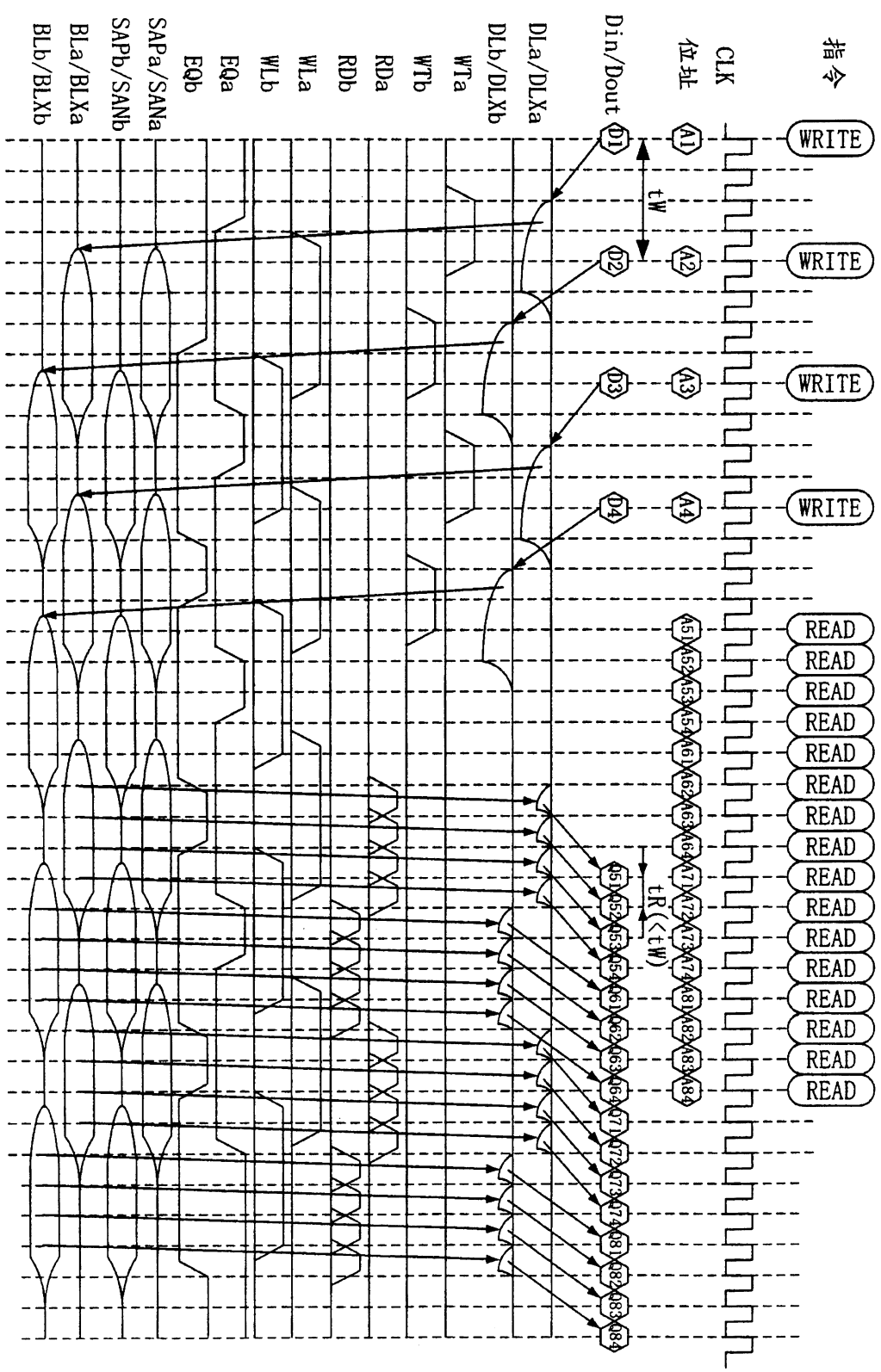

指令
CLK
位址
Din/Dout
DLa/DLXa
DLb/DLXb
WTa
WTb
WLa
WLb
RDa
RDb
EQa
EQb
SAPa/SANa
SAPb/SANb
BLa/BLXa
BLb/BLXb
WRITE
READ
tW
tR(<tW)

圖 12

圖式

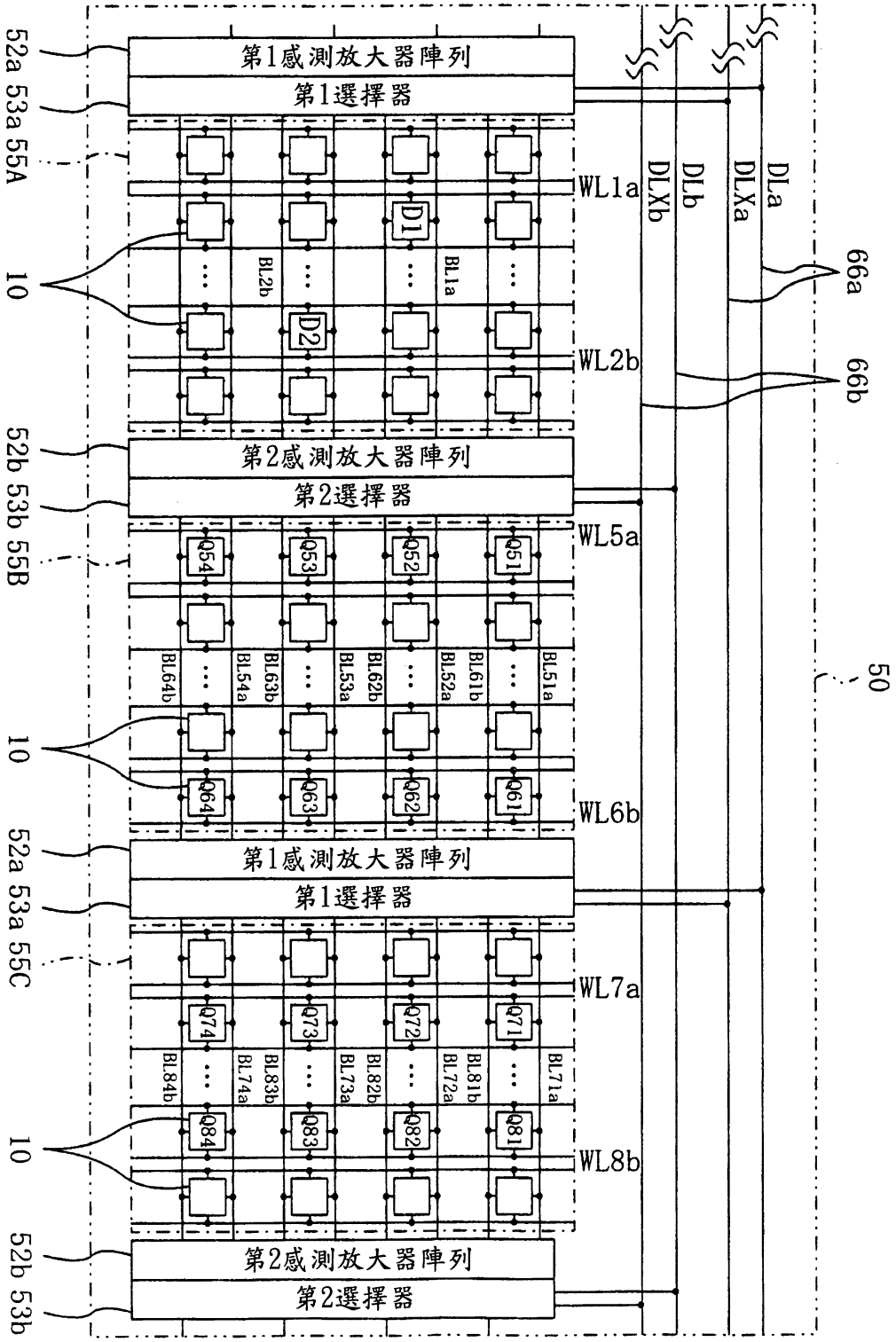

第1感測放大器陣列
第1選擇器
第2感測放大器陣列
第2選擇器
第1感測放大器陣列
第1選擇器
第2感測放大器陣列
第2選擇器
WL1a
WL2b
WL5a
WL6b
WL7a
WL8b
DLa
DLXa
DLb
DLXb
66a
66b
50
52a 53a 55A
10
52b 53b 55B
10
52a 53a 55C
10
52b 53b
D1
D2
Q51
Q52
Q53
Q54
Q61
Q62
Q63
Q64
Q71
Q72
Q73
Q74
Q81
Q82
Q83
Q84
BL1a
BL2b
BL51a
BL52a
BL61b
BL53a
BL62b
BL54a
BL63b
BL64b
BL71a
BL72a
BL81b
BL73a
BL82b
BL74a
BL83b
BL84b

圖 13

圖式

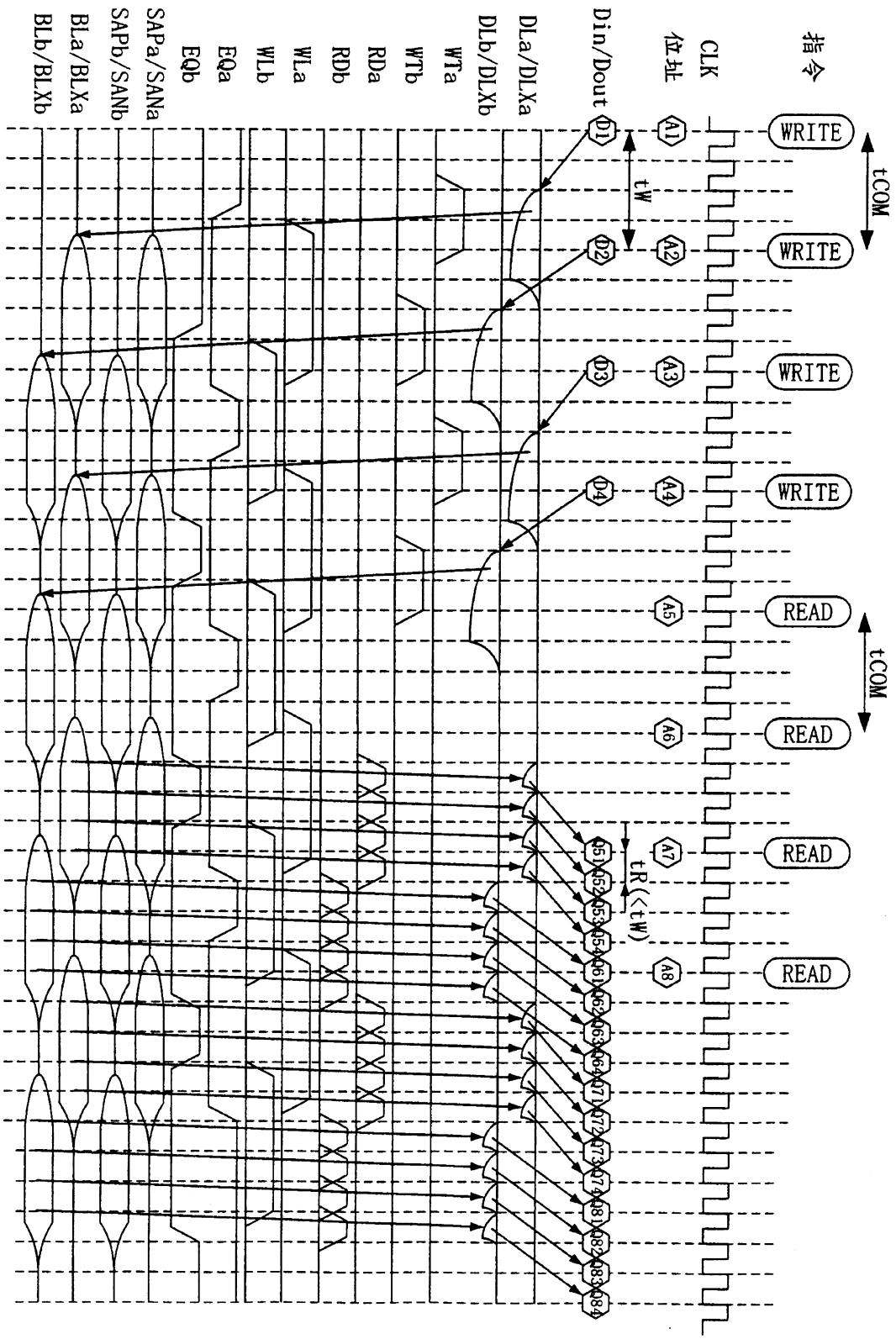

指令
CLK
位址
Din/Dout
DLa/DLXa
DLb/DLXb
WTa
WTb
WLa
WLb
RDa
RDb
EQa
EQb
SAPa/SANa
SAPb/SANb
BLa/BLXa
BLb/BLXb
WRITE
READ
tCOM
tW
tR(<tW)
A1
A2
A3
A4
A5
A6
A7
A8
D1
D2
D3
D4
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
Q9
Q10
Q11
Q12
Q13
Q14
Q15
Q16

圖 14

圖式

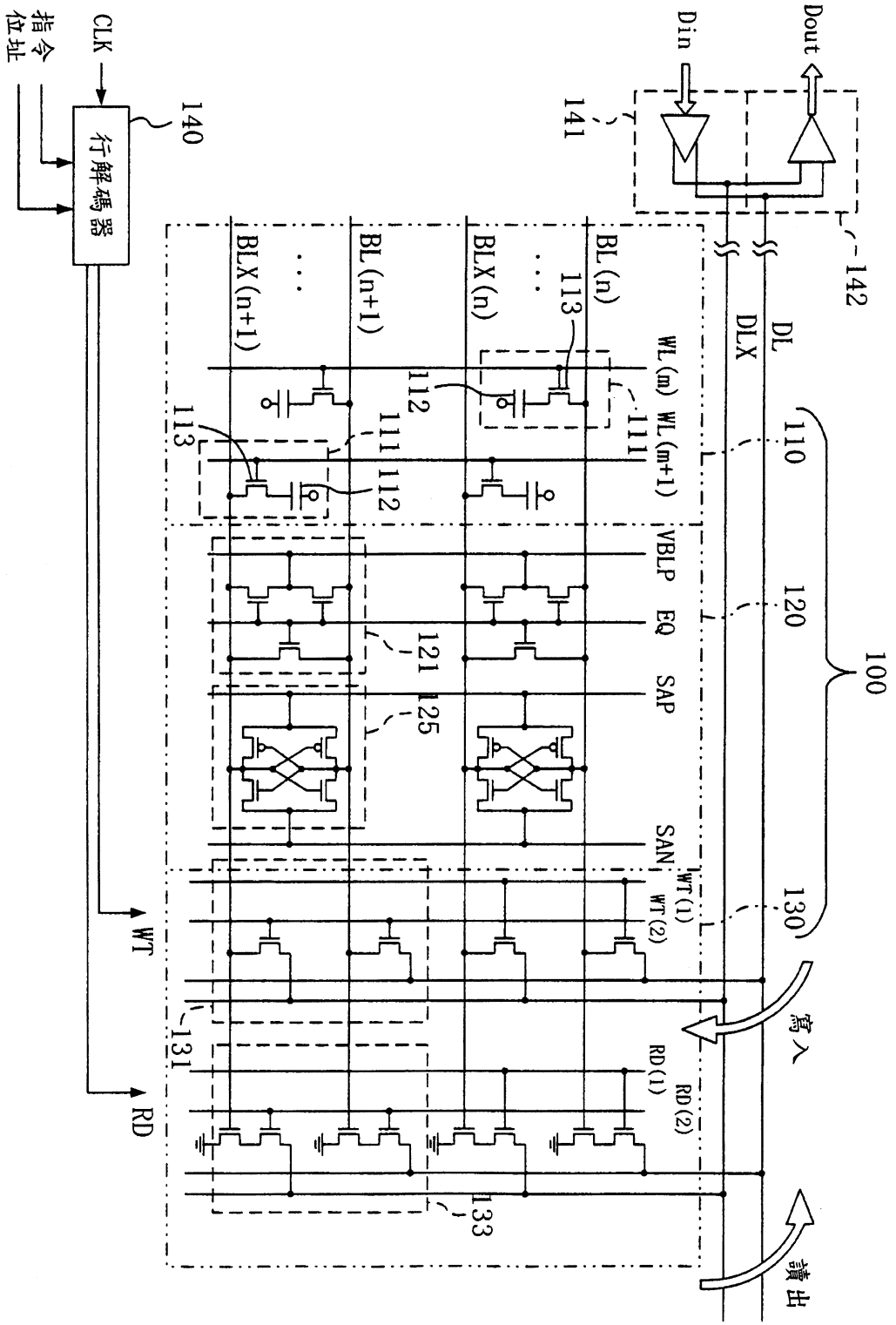

Dout
Din
142
141
DL
DLX
110
120
100
130
寫入
讀出
BL(n)
BLX(n)
BL(n+1)
BLX(n+1)
113
112
111
WL(m)
WL(m+1)
VBLP
EQ
SAP
SAN
121
125
WT(1)
WT(2)
RD(1)
RD(2)
131
133
WT
RD
140
行解碼器
CLK
指令
位址

圖 15

圖式

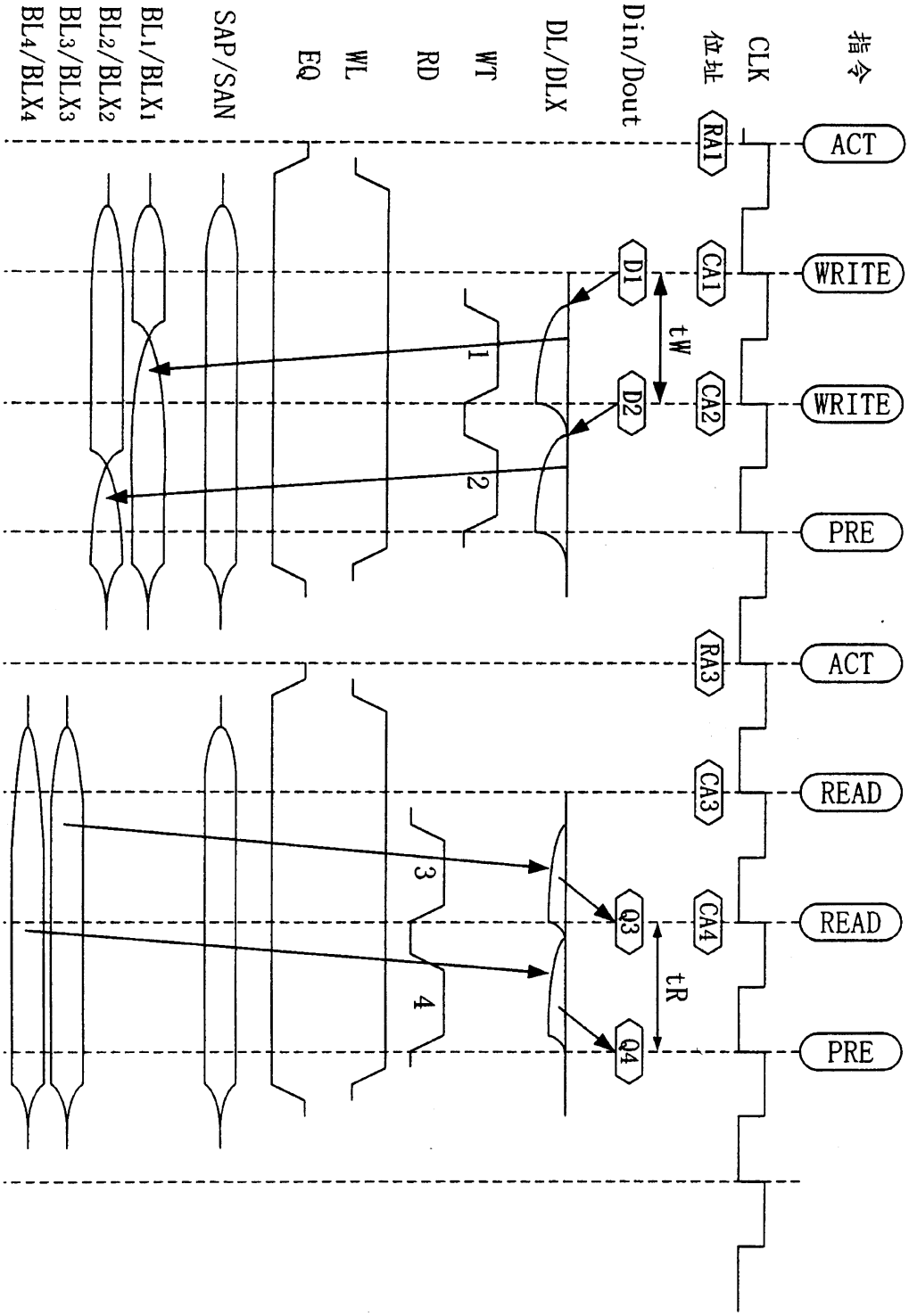

指令
CLK
位址
Din/Dout
DL/DLX
WT
RD
WL
EQ
SAP/SAN
BL1/BLX1
BL2/BLX2
BL3/BLX3
BL4/BLX4
ACT
WRITE
WRITE
PRE
ACT
READ
READ
PRE
RA1
CA1
CA2
RA3
CA3
CA4
D1
D2
Q3
Q4
tW
tR
1
2
3
4

圖 16

圖式

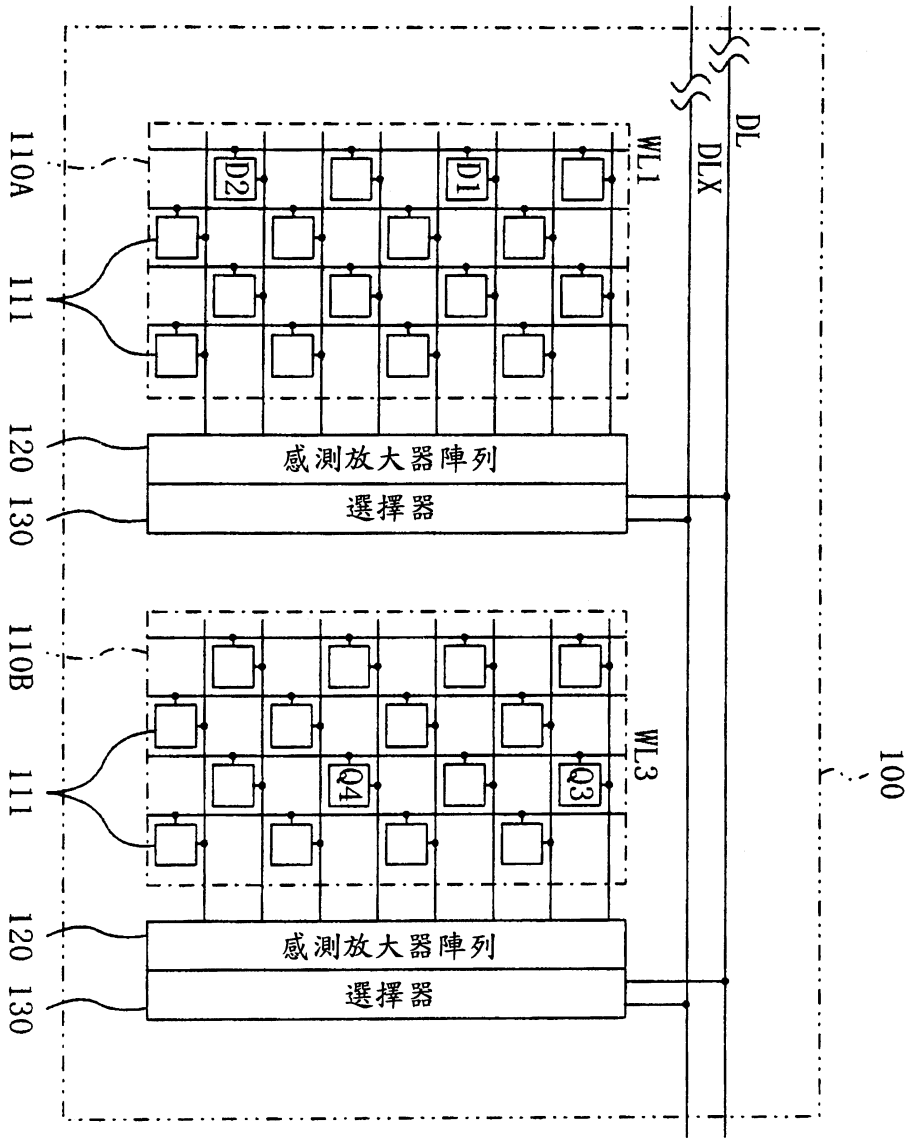

DL
DLX
WL1
WL3
D2
D1
Q4
Q3
110A
111
120
130
感測放大器陣列
選擇器
110B
111
120
130
感測放大器陣列
選擇器
100

圖 17