



(12) **DEMANDE DE BREVET EUROPEEN**

(43) Date de publication:  
**19.12.2001 Bulletin 2001/51**

(51) Int Cl.7: **G05F 3/24**

(21) Numéro de dépôt: **00202059.2**

(22) Date de dépôt: **13.06.2000**

(84) Etats contractants désignés:  
**AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU**  
**MC NL PT SE**  
 Etats d'extension désignés:  
**AL LT LV MK RO SI**

(71) Demandeur: **EM Microelectronic-Marin SA**  
**2074 Marin (CH)**

(72) Inventeur: **Descombes, Arthur**  
**3210 Kerzers (CH)**

(74) Mandataire: **Ravenel, Thierry Gérard Louis et al**  
**I C B, Ingénieurs Conseils en Brevets SA, 7, rue**  
**des Sors**  
**2074 Marin (CH)**

(54) **Procédé et dispositif de génération d'un courant indépendant de la température**

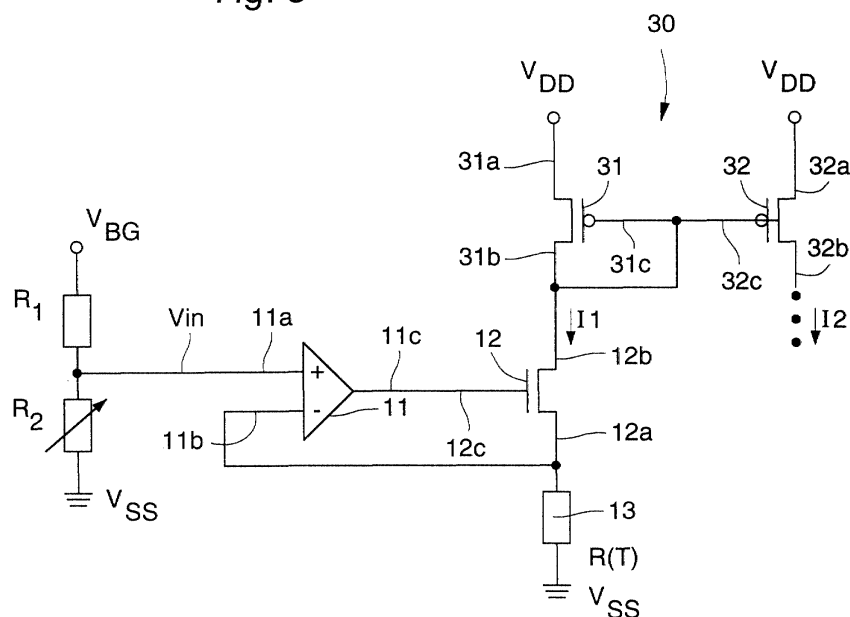
(57) Il est décrit un procédé ainsi qu'un dispositif de génération d'un courant (I1) sensiblement indépendant en température. Pour produire ce courant (I1), on utilise un circuit générateur de courant conventionnel comportant un amplificateur opérationnel (11) commandant un transistor (12) ayant l'une (12a) de ses électrodes de courant (12a, 12b) connectée à une résistance (13) ainsi qu'à une borne d'entrée (11b) de l'amplificateur opérationnel (11).

Selon l'invention, on applique une tension d'entrée (Vin) stable en température sur l'autre borne d'entrée

(11a) de l'amplificateur opérationnel (11), et on agence ce dernier pour qu'il présente une tension d'offset (Vos (T)) entre ses bornes d'entrées (11a, 11b) ayant une dépendance en température, cette tension d'offset (Vos (T)) ainsi que la tension d'entrée (Vin) étant ajustées pour compenser la dépendance en température de la résistance (13) de telle sorte que le courant généré (I1) est sensiblement indépendant de la température.

Selon l'invention, on agit notamment sur la géométrie de la paire différentielle de l'amplificateur opérationnel (11) pour produire la tension d'offset (Vos(T)).

**Fig. 5**



## Description

$$I_1 = \frac{V_{in}}{R} \quad (1)$$

**[0001]** La présente invention concerne généralement le domaine des circuits générateurs de courant. Plus particulièrement, la présente invention se rapporte à un procédé de génération d'un courant sensiblement indépendant de la température ainsi qu'à un dispositif permettant de mettre en oeuvre ce procédé.

**[0002]** Les circuits générateurs de courant, communément connus sous les appellations "sources de courant" ("current sources") ou "récepteurs de courant" ("current sinks") sont des éléments importants dans la conception de nombreux circuits électriques et électroniques. La figure 1 montre un exemple d'un circuit générateur de courant de l'art antérieur repéré globalement par la référence numérique 10. Ce circuit générateur de courant 10 constitue un circuit générateur de courant commandé en tension.

**[0003]** Le circuit générateur de courant 10 comprend typiquement un moyen d'amplification formé d'un amplificateur opérationnel ou amplificateur différentiel 11, un transistor 12 et une résistance 13. L'amplificateur opérationnel 11 comporte une borne d'entrée positive (entrée non inverseuse) 11a sur laquelle est appliquée une tension d'entrée référencée  $V_{in}$ , une borne d'entrée négative (entrée inverseuse) 11b et une sortie 11c. Ce moyen d'amplification 11 fournit une tension à sa sortie 11c en réponse à une différence entre les tensions appliquées respectivement à ses première et seconde bornes d'entrée 11a et 11b.

**[0004]** Le transistor 12 est formé dans cette exemple d'un transistor n-MOS à effet de champ dont la grille 12c est connectée à la sortie 11c de l'amplificateur opérationnel 11. La source 12a du transistor 12 est connectée à l'entrée négative 11b de l'amplificateur opérationnel 11 ainsi qu'à une première borne de la résistance 13. L'autre borne de la résistance 13 est connectée à un potentiel d'alimentation ou potentiel de référence  $V_{ss}$ . Ce potentiel de référence  $V_{ss}$  est typiquement défini comme le potentiel le plus négatif du circuit ou masse du circuit à 0 volts. Un autre potentiel d'alimentation  $V_{dd}$  (non illustré dans la figure 1) est également existant. Les potentiels  $V_{ss}$  et  $V_{dd}$  constituent des tensions d'alimentation du circuit, et notamment de l'amplificateur opérationnel 11.

**[0005]** Selon le circuit générateur de courant de la figure 1, la branche drain-source 12a-12b du transistor MOS 12 est traversée par un courant référencé  $I_1$ . L'analyse de ce circuit est directe. L'amplificateur opérationnel 11 modifie la tension à sa sortie 11c de sorte que la tension présente à son entrée négative 11b soit sensiblement égale à la tension présente à son entrée positive 11a, c'est-à-dire sensiblement égale à la tension d'entrée  $V_{in}$ . La tension aux bornes de la résistance 13 est ainsi sensiblement égale à la tension d'entrée  $V_{in}$ , de sorte que le courant  $I_1$  traversant la branche drain-source du transistor MOS 12 est donné par :

où  $R$  est la valeur de la résistance 13. Le courant  $I_1$  généré est ainsi proportionnel à la tension d'entrée  $V_{in}$  appliquée sur l'entrée positive 11a de l'amplificateur opérationnel.

**[0006]** Le circuit générateur 10 de la figure 1 forme un récepteur de courant ou "current sink", c'est-à-dire qu'un courant  $I_1$  est drainé à partir du drain 12b du transistor 12 vers le potentiel le plus négatif  $V_{ss}$ . Une modification du circuit 10 de la figure 1 permet de former une source de courant. La figure 2 illustre un circuit générateur repéré 20 montrant une telle modification. Des références numériques identiques sont utilisées pour indiquer les éléments déjà présentés, c'est-à-dire l'amplificateur opérationnel 11, le transistor MOS 12 et la résistance 13.

**[0007]** En complément des éléments déjà mentionnés, le circuit générateur 20 de la figure 2 comprend typiquement un miroir de courant 30 constitué de premier et second transistors p-MOS à effet de champ repérés respectivement 31 et 32. Les sources 31a et 32a des transistors 31 et 32 sont connectées au potentiel d'alimentation le plus positif  $V_{dd}$ . La grille 31c et le drain 31b du transistor 31 sont connectés ensemble au drain 12b du transistor 12 et la grille 32c du transistor 32 est connectée à la grille 31c du transistor 31.

**[0008]** Le miroir de courant 30 fonctionne ainsi de manière à "copier" le courant  $I_1$  et produire un courant  $I_2$  image du courant  $I_1$  dans la branche drain-source du transistor 32. Conformément à ce qui est typiquement connu dans le domaine, un facteur de proportionnalité peut être introduit dans le miroir par un choix adéquat des rapports largeur sur longueur de canal  $W/L$  des transistors MOS 31, 32 afin de multiplier ou diviser le courant  $I_1$ .

**[0009]** Le circuit 20 de la figure 2 peut bien évidemment encore être modifié pour que le miroir de courant comprennent d'autres branches, par exemple un troisième transistor MOS à effet de champ 33 comme indiqué dans la figure 2 afin de produire un troisième courant  $I_3$ .

**[0010]** Un problème des circuits générateurs de courant illustrés aux figures 1 et 2 réside notamment dans la dépendance en température des courants générés. Typiquement, on utilise, d'une part, comme tension d'entrée  $V_{in}$  une tension stable en température telle une tension de référence de bandgap égale à environ 1.2 volts. Cette tension de référence de bandgap présente une relative faible dépendance en température, de l'ordre de 50 ppm/°C.

**[0011]** Afin de réaliser la résistance 13, on cherche d'autre part à utiliser une résistance dont le coefficient de température est relativement peu élevé. Pour des raisons de conception, on cherche également à réaliser la résistance 13 sous forme intégrée et ne pas faire appel à une résistance externe au circuit. Diverses solutions existent en technologie CMOS pour concevoir des ré-

sistances intégrées. On peut toutefois constater que le coefficient de température de ces résistances intégrées reste relativement élevé par rapport à la stabilité en température d'une tension de référence de bandgap. A titre d'exemple, une résistance intégrée de type Rpoly, c'est-à-dire une résistance intégrée formée d'une couche de polysilicium, présente typiquement un coefficient de température de l'ordre de + 0.07%/°C, soit un coefficient de température qui reste sensiblement important par rapport à la stabilité d'une tension de référence de bandgap.

**[0012]** L'homme du métier constate rapidement qu'il ne dispose pas de manière satisfaisante, en technologie CMOS, de résistances intégrées dont les coefficients en température sont suffisamment faibles. Dans l'optique de réaliser un circuit générateur de courant du type susmentionné, le courant produit au moyen d'un tel circuit présentera donc une dépendance en température essentiellement due à la dépendance en température de la résistance intégrée employée.

**[0013]** Un but général de la présente invention est donc de proposer un procédé de génération d'un courant sensiblement indépendant en température au moyen d'un circuit générateur de courant du type susmentionné.

**[0014]** Un autre but de la présente invention est de proposer un dispositif permettant de mettre en oeuvre le procédé susmentionné, à savoir un circuit générateur de courant palliant aux inconvénients rencontrés avec l'utilisation de résistances intégrées et agencé pour produire un courant sensiblement indépendant en température.

**[0015]** Encore un autre but de la présente invention est de proposer une solution qui n'implique que peu de modifications du circuit générateur de courant et qui s'avère en conséquence simple et peu coûteux à fabriquer par rapport aux solutions déjà existantes.

**[0016]** Afin de répondre à ces buts, la présente invention a pour premier objet un procédé de génération d'un courant sensiblement indépendant en température dont les caractéristiques sont énoncées à la revendication 1.

**[0017]** La présente invention a pour autre objet un circuit générateur de courant dont les caractéristiques sont énoncées à la revendication 5.

**[0018]** La présente invention repose sur la constatation par l'inventeur de la possibilité de compenser la dépendance en température du courant due à la résistance employée en agissant sur la géométrie de la paire différentielle de transistors de l'amplificateur opérationnel utilisé, et ceci afin de générer volontairement une tension d'offset entre les bornes d'entrées de cet amplificateur opérationnel, cette tension d'offset étant ajustée pour présenter une dépendance en température compensant la dépendance en température de la résistance employée.

**[0019]** En effet, l'inventeur a pu constater qu'en agencant l'amplificateur opérationnel de manière à créer un déséquilibre géométrique entre les deux transistors de

la paire différentielle de cet amplificateur, une tension d'offset entre les bornes d'entrées de l'amplificateur était générée, cette tension d'offset présentant une dépendance en température sensiblement linéaire pouvant être ajustée en jouant sur la géométrie des transistors de la paire différentielle, notamment par le biais de leur rapport dimensionnel largeur sur longueur de canal W/L.

**[0020]** Un avantage de la présente invention réside dans sa simplicité de mise en oeuvre ainsi que dans le faible coût de modification. De plus, la tension d'offset de l'amplificateur opérationnel peut être ajustée de manière à présenter indépendamment un coefficient de température positif ou négatif selon que l'on agit sur l'un ou l'autre des transistors de la paire différentielle. Il est ainsi possible de compenser la dépendance en température de résistances présentant soit un coefficient de température positif ou négatif.

**[0021]** D'autres caractéristiques et avantages de la présente invention apparaîtront plus clairement à la lecture de la description détaillée qui suit, faite en référence aux dessins annexés donnés à titre d'exemples non limitatifs et dans lesquels :

- la figure 1, déjà présentée, montre un exemple schématique d'un circuit générateur de courant de l'art antérieur formant un récepteur de courant ou "current sink";
- la figure 2, déjà présentée, montre un exemple schématique d'un circuit générateur de courant de l'art antérieur formant une source de courant;
- la figure 3 présente un premier exemple schématique d'un amplificateur opérationnel ou amplificateur différentiel pouvant être utilisé dans le cadre de la présente invention;
- la figure 4 présente un autre exemple schématique d'un amplificateur opérationnel ou amplificateur différentiel pouvant également être utilisé dans le cadre de la présente invention; et
- la figure 5 présente d'un exemple de mise en oeuvre de la présente invention comportant un diviseur résistif sur l'entrée positive de l'amplificateur opérationnel afin de dériver une tension d'entrée adéquate à partir d'une référence de tension stable en température, telle une tension de bandgap.

**[0022]** Dans le cadre de la présente invention, on fait appel à un circuit générateur de courant conforme aux illustrations des figures 1 et 2. On ne décrira pas à nouveau les éléments constitutifs de ce circuit générateur de courant qui ont déjà été présentés en préambule et on se contentera de se référer aux références des figures 1 et 2 déjà discutées.

**[0023]** On définira maintenant ce que l'on entend par "paire différentielle" dans le cadre de la présente invention. Les amplificateurs opérationnels ou amplificateur différentiels présentent typiquement une paire de transistors montés selon un agencement différentiel et dont

les électrodes de commande sont respectivement connectées aux bornes d'entrée de l'amplificateur.

**[0024]** A titre d'illustration, la figure 3 montre schématiquement un exemple d'un amplificateur opérationnel pouvant être utilisé comme moyen d'amplification 11 du circuit générateur de courant selon la présente invention.

**[0025]** L'amplificateur opérationnel illustré à la figure 3, repéré globalement par la référence numérique 11 conformément aux illustrations des figures 1 et 2, comporte ainsi une paire différentielle de transistors, repérée 110, comportant deux transistors p-MOS 111 et 112 dont les sources 111a et 112a sont connectées ensemble. Les grilles 111c et 112c des transistors de la paire différentielle 110 forment respectivement les bornes d'entrée 11a et 11b de l'amplificateur opérationnel 11.

**[0026]** Les sources 111a et 112a des transistors de la paire différentielle 110 sont connectées au drain 113b d'un transistor p-MOS 113 dont la source 113a est connectée au potentiel d'alimentation Vdd. La grille 113c de ce transistor 113 est commandée par une tension de polarisation VBIAS.

**[0027]** L'amplificateur opérationnel 11 de la figure 3, comporte par ailleurs deux miroirs de courant 121 et 124 comprenant chacun deux transistors n-MOS 122 et 123, respectivement 125 et 126. Les sources 122a, 123a, 125a et 126a de ces transistors sont connectées au potentiel d'alimentation ou masse Vss. Les grilles 122c et 123c des transistors 122, 123 ainsi que le drain 122b du transistor 122 sont connectés ensemble au drain 111b du premier transistor 111 de la paire différentielle 110. De même, les grilles 125c et 126c des transistors 125, 126 ainsi que le drain 125b du transistor 125 sont connectés ensemble au drain 112b du deuxième transistor 112 de la paire différentielle 110.

**[0028]** Finalement, l'amplificateur opérationnel 11 de la figure 3 comporte encore un autre miroir de courant 130 comprenant deux transistors p-MOS 131 et 132. Les sources 131a et 132a de ces transistors sont connectées au potentiel d'alimentation Vdd alors que les drains 131b et 132b sont respectivement connectés aux drains 126b et 123b des transistors 126 et 123 des miroirs de courant 124 et 121. De plus, les grilles 131c et 132c des transistors 131 et 132 ainsi que le drain 131b du transistor 131 sont connectés ensemble. La sortie 11c de l'amplificateur opérationnel est formée du noeud de connexion entre le drain 132b du transistor 132 et le drain 123b du transistor 123.

**[0029]** A titre de seconde illustration, la figure 4 montre schématiquement un autre exemple d'un amplificateur opérationnel pouvant être utilisé comme moyen d'amplification 11 du circuit générateur de courant selon la présente invention.

**[0030]** L'amplificateur opérationnel illustré à la figure 4, repéré globalement par la référence numérique 11 conformément aux illustrations des figures 1 et 2, comporte ainsi une paire différentielle de transistors, repérée 210, comportant deux transistors p-MOS 211 et 212

dont les sources 211a et 212a sont connectées ensemble. Les grilles 211c et 212c des transistors de la paire différentielle 210 forment respectivement les bornes d'entrée 11a et 11b de l'amplificateur opérationnel 11.

**[0031]** Les sources 211a et 212a des transistors de la paire différentielle 210 sont connectées au drain 213b d'un transistor p-MOS 213 dont la source 213a est connectée au potentiel d'alimentation Vdd. La grille 213c de ce transistor 213 est commandée par une tension de polarisation VBIAS.

**[0032]** L'amplificateur opérationnel 11 de la figure 3, comporte par ailleurs un miroir de courant 220 comprenant deux transistors n-MOS 221 et 222. Les sources 221a, 222a de ces transistors sont connectées au potentiel d'alimentation ou masse Vss. Les grilles 221c et 222c des transistors 221, 222 ainsi que le drain 222b du transistor 222 sont connectés ensemble au drain 212b du second transistor 212 de la paire différentielle 210. Le drain 221b du transistor 221 est connecté au drain 211b du premier transistor 211 de la paire différentielle 210.

**[0033]** L'amplificateur opérationnel 11 de la figure 4 comporte par ailleurs une branche connectée entre les potentiels d'alimentation Vdd et Vss comportant un transistor p-MOS 231 et un transistor n-MOS 232. La source 231a du transistor 231 est connectée au potentiel d'alimentation Vdd, alors que la grille 231c de ce transistor est connectée à la tension de polarisation VBIAS. La source 232a du transistor 232 est connectée au potentiel de masse Vss alors que la grille 232c de ce transistor est connectée au noeud de connexion entre le drain 211b du transistor 211 de la paire différentielle et le drain 221b du transistor 221 du miroir de courant 220. Les drains 231b et 232b des transistors 231 et 232 sont connectés ensemble et forment la sortie 11c de l'amplificateur opérationnel.

**[0034]** Les amplificateurs opérationnels illustrés aux figures 3 et 4 ne sont donnés ici qu'à titre d'exemple non limitatif afin d'illustrer le concept de la présente invention. Il va de soi que d'autres schéma d'amplificateurs opérationnels permettant de répondre aux objectifs de la présente invention peuvent être envisagés par l'homme du métier.

**[0035]** Que l'on choisisse l'un ou l'autre des exemples d'amplificateurs opérationnels des figures 3 et 4, ou un autre amplificateur opérationnel analogue, on s'assure d'une part, selon la présente invention, que l'amplificateur opérationnel travaille en faible inversion, c'est-à-dire que les transistors de la paire différentielle de l'amplificateur opérationnel 11, fonctionnent avec une tension grille-source inférieure à la tension de seuil de ces transistors.

**[0036]** Afin d'assurer que les amplificateurs opérationnels des figures 3 et 4 fonctionnent en faible inversion, on agit par exemple sur le courant produit par le transistor 113, respectivement 213, de l'amplificateur opérationnel (voir figure 3 ou 4) par le biais de la tension de polarisation VBIAS appliquée sur la grille 113c, res-

pectivement 213c, de ce transistor. En agissant de la sorte afin de faire fonctionner l'amplificateur opérationnel en faible inversion, on assure, comme on le verra plus tard, un comportement thermique sensiblement linéaire de la tension d'offset générée.

**[0037]** Selon la présente invention, on agence d'autre part l'amplificateur opérationnel 11 afin qu'il présente une tension d'offset Vos(T) entre ses première et seconde bornes d'entrées 11a, 11b ayant une dépendance en température. Cette tension d'offset Vos(T) est ajustée selon la présente invention pour présenter une dépendance en température permettant de compenser la dépendance en température de la résistance 13.

**[0038]** Pour produire cette tension d'offset Vos(T), on peut agir directement sur le rapport dimensionnel largeur sur longueur de canal W/L de chaque transistor de la paire différentielle. Plus spécifiquement, la tension d'offset Vos(T), en faible inversion, peut être exprimée sous la forme suivante :

$$Vos(T) = \frac{kT}{q} \ln X \quad (2)$$

où

$$X = \frac{(W/L)_2}{(W/L)_1} \quad (3)$$

T étant la température absolue en degrés Kelvin.

**[0039]** Les facteurs  $(W/L)_1$  et  $(W/L)_2$  sont définis comme les rapports largeur sur longueur de canal W/L des transistors formant la paire différentielle de l'amplificateur opérationnel 11.

**[0040]** On constate aisément de l'expression (2) que la tension Vos(T) présente une dépendance sensiblement linéaire en température. De plus, selon que l'on agit sur les rapports dimensionnels W/L de l'un ou l'autre des transistors de la paire différentielle, on comprendra que l'on peut produire une tension d'offset Vos(T) ayant un coefficient de température positif ou négatif.

**[0041]** A titre d'exemple, par un choix tel que le rapport dimensionnel W/L de chaque transistor de la paire différentielle résulte en ce que le rapport X de l'expression (3) vaut sensiblement 16, la tension d'offset Vos(T) vaut, à une température de l'ordre de 300°K, environ 72 mV avec un coefficient de température d'environ +0.24 mV/°K.

**[0042]** On peut également réécrire l'expression (2) ci-dessus comme suit:

$$Vos(T) = Vos,o + \beta(T - To) \quad (4)$$

où Vos,o est la valeur de la tension d'offset à une température donnée To, par exemple 300°K, et  $\beta$  est le coefficient de température en V/°K de la tension d'offset.

**[0043]** De (2) et (4), on voit aisément que :

$$\beta = \frac{k}{q} \ln X \quad (5)$$

et

$$Vos,o = \beta To \quad (6)$$

**[0044]** En tenant compte de la présence de la tension d'offset Vos(T), l'expression (1) du courant I1 produit par le circuit générateur de courant devient alors :

$$I1 = \frac{Vin + Vos(T)}{R(T)} \quad (7)$$

**[0045]** La résistance R en fonction de la température peut quant à elle être exprimée comme suit :

$$R(T) = Ro(1 + \alpha(T - To)) \quad (8)$$

où Ro est la valeur de résistance à la température To donnée et  $\alpha$  est le coefficient de température en °K<sup>-1</sup> de la résistance.

**[0046]** De (4), (7) et (8), on arrive donc à la conclusion que pour produire un courant I1 sensiblement indépendant de la température, il est nécessaire que l'expression suivante soit sensiblement satisfaite :

$$\frac{\beta}{Vin + Vos,o} = \alpha \quad (9)$$

**[0047]** A titre d'exemple, pour compenser un coefficient de température de la résistance de l'ordre de + 0.1% °K<sup>-1</sup> au moyen d'un amplificateur différentiel dont la paire différentielle présente un rapport X, selon l'expression (3) ci-dessus, valant sensiblement 16, c'est-à-dire avec Vos,o = 72 mV et  $\beta = 0.24$  mV/°K, une tension Vin valant sensiblement 168 mV permet de satisfaire l'expression (9) ci-dessus.

**[0048]** Afin de produire, une telle tension d'entrée, il est par exemple possible de diviser une tension de référence stable en température telle une tension de bandgap VBG du facteur adéquat, par exemple par un diviseur résistif R1, R2 comme illustré dans la figure 5. Avantagusement, il convient de pouvoir ajuster le facteur de division de la tension de bandgap VBG, par exemple au moyen d'un ajustement de la valeur de l'une des résistances R1, R2 du diviseur résistif, par exemple au moyen d'une résistance R2 réglable.

**[0049]** La figure 5 montre ainsi un exemple schématique de mise en oeuvre de la présente invention constituant une source de courant. Cette source de courant est sensiblement analogue à la source de courant conventionnelle illustrée en figure 2. On ne décrira pas à nouveau les éléments déjà présentés en référence à la figure 2, à savoir l'amplificateur opérationnel 11, le tran-

sistor MOS 12, la résistance 13 et le miroir de courant 30 permettant de générer un deuxième courant 12 image du courant I1 parcourant la branche drain-source du transistor 12.

[0050] Comme déjà mentionné, le circuit de la figure 5 comporte un diviseur résistif comprenant deux résistances R1 et R2 connectées en série entre, d'une part, une tension de référence stable en température, telle une tension de bandgap VBG, et, d'autre part, la tension d'alimentation ou masse Vss. L'entrée positive 11a de l'amplificateur opérationnel 11 est connectée entre les deux résistances R1 et R2 de sorte que la valeur de la tension d'entrée Vin appliquée sur cette borne d'entrée 11a est déterminée dans un rapport R1/R2 de la tension de référence VBG. Les valeurs des résistances R1 et R2 sont déterminées pour produire une tension d'entrée adéquate Vin permettant de satisfaire l'objectif recherché amplement discuté précédemment.

[0051] On notera bien évidemment que le diviseur résistif formé des résistances R1, R2 n'affecte nullement la stabilité en température de la tension de référence VBG. On notera de plus que l'homme du métier peut parfaitement envisager d'autres solutions équivalentes permettant de diviser la tension de référence de bandgap VBG pour produire une valeur adéquate de tension d'entrée Vin, par exemple au moyen d'un diviseur capacitif.

[0052] On comprendra que diverses modifications peuvent être apportées au procédé et au dispositif décrits dans la présente description sans sortir du cadre de l'invention. En particulier, on rappellera notamment que les exemples d'amplificateurs opérationnels des figures 3 et 4 pouvant être utilisés et modifiés selon la présente invention pour répondre au problème posé ne sont nullement limitatif et que tout autre amplificateur opérationnel susceptible de fonctionner en faible inversion peut être utilisé dans le cadre de la présente invention.

## Revendications

1. Procédé de génération d'un courant (11) au moyen d'un circuit générateur de courant (10) couplé à des première et seconde tensions d'alimentation (Vss, Vdd) comportant :
  - un moyen d'amplification (11) pour fournir une tension de commande à une sortie (11c) dudit moyen d'amplification (11) en réponse à une différence entre des première (Vin) et seconde tensions d'entrée appliquées respectivement à des première (11a) et seconde (11b) bornes d'entrée dudit moyen d'amplification (11);
  - un premier transistor (12) ayant une première électrode de courant (12a), une électrode de commande (12c) connectée à ladite sortie (11c) du moyen d'amplification (11) pour rece-

- voir ladite tension de commande, et une seconde électrode de courant (12b) couplée à ladite seconde tension d'alimentation (Vdd); et
- un moyen formant résistance (13) ayant une première borne connectée à ladite seconde borne d'entrée (11b) du moyen d'amplification (11) ainsi qu'à ladite première électrode de courant (12a) dudit transistor (12), et une seconde borne connectée à ladite première tension d'alimentation (Vss), ce moyen formant résistance (13) ayant une valeur de résistance (R(T)) présentant une dépendance en température,

ce circuit générateur de courant (10) générant un premier courant (11) au travers desdites première et seconde électrodes de courant (12a, 12b) dudit premier transistor (12) sensiblement proportionnel à ladite première tension d'entrée (Vin),

**caractérisé en ce que** ladite première tension d'entrée (Vin) est une tension sensiblement stable en température, **en ce que** l'on fait fonctionner ledit moyen d'amplification (11) en faible inversion, et **en ce que** l'on agence ledit moyen d'amplification (11) afin qu'il présente une tension d'offset (Vos(T)) entre ses dites première et seconde bornes d'entrées (11a, 11b) ayant une dépendance en température, cette tension d'offset (Vos(T)) ainsi que ladite première tension d'entrée (Vin) étant ajustées pour compenser sensiblement la dépendance en température dudit moyen formant résistance (13) de telle sorte que ledit premier courant généré (I1) est sensiblement indépendant de la température.

2. Procédé selon la revendication 1, **caractérisé en ce que** ledit moyen d'amplification (11) est un amplificateur opérationnel comportant une paire différentielle (110; 210) de transistors (111, 112; 211, 212) dont les électrodes de commande (111c, 112c; 211c, 212c) forment respectivement lesdites première et seconde bornes d'entrée (11a, 11b) du moyen d'amplification (11), et **en ce que** l'on génère ladite tension d'offset (Vos(T)) en agissant sur la géométrie de ladite paire différentielle (110; 210) de transistors (111, 112; 211, 212).
3. Procédé selon la revendication 2, **caractérisé en ce que** l'on génère ladite tension d'offset (Vos(T)) en agissant sur le rapport largeur sur longueur de canal W/L des transistors (111, 112; 211, 212) de ladite paire différentielle (110; 210).
4. Procédé selon la revendication 3, **caractérisé en ce que** ladite tension d'offset (Vos(T)) est donnée par l'expression suivante :

$$Vos(T) = \frac{kT}{q} \ln X$$

où

$$X = \frac{(W/L)_2}{(W/L)_1}$$

$(W/L)_1$  et  $(W/L)_2$  étant définis comme les rapports largeur sur longueur de canal W/L des transistors (111, 112; 211, 212) formant ladite paire différentielle (110; 210), le facteur X et ladite première tension d'entrée ( $V_{in}$ ) étant ajustés pour compenser la dépendance en température dudit moyen formant résistance (13) de sorte que ledit premier courant (I1) donné par l'expression suivante :

$$I_1 = \frac{V_{in} + V_{os}(T)}{R(T)}$$

est sensiblement indépendant de la température.

5. Circuit générateur de courant couplé à des première et seconde tensions d'alimentation ( $V_{ss}$ ,  $V_{dd}$ ) comportant :

- un moyen d'amplification (11) pour fournir une tension de commande à une sortie (11c) dudit moyen d'amplification (11) en réponse à une différence entre des première ( $V_{in}$ ) et seconde tensions d'entrée appliquées respectivement à des première (11a) et seconde (11b) bornes d'entrée dudit moyen d'amplification (11);
- un premier transistor (12) ayant une première électrode de courant (12a), une électrode de commande (12c) connectée à ladite sortie (11c) du moyen d'amplification (11) pour recevoir ladite tension de commande, et une seconde électrode de courant (12b) couplée à ladite seconde tension d'alimentation ( $V_{dd}$ ); et
- un moyen formant résistance (13) ayant une première borne connectée à ladite seconde borne d'entrée (11b) du moyen d'amplification (11) ainsi qu'à ladite première électrode de courant (12a) dudit transistor (12), et une seconde borne connectée à ladite première tension d'alimentation ( $V_{ss}$ ), ce moyen formant résistance (13) présentant une dépendance en température,

ce circuit générateur de courant (10) générant un premier courant (I1) au travers desdites première et seconde électrodes de courant (12a, 12b) dudit premier transistor (12) sensiblement proportionnel à ladite première tension d'entrée ( $V_{in}$ ),

**caractérisé en ce que** ladite première tension d'entrée ( $V_{in}$ ) est une tension sensiblement stable en température, et **en ce que** ledit moyen d'amplification (11) est agencé pour fonctionner en faible inversion et présente une tension d'offset

( $V_{os}(T)$ ) entre ses dites première et seconde bornes d'entrées (11a, 11b) ayant une dépendance en température, cette tension d'offset ( $V_{os}(T)$ ) ainsi que ladite première tension d'entrée ( $V_{in}$ ) étant ajustées pour compenser la dépendance en température dudit moyen formant résistance (13) de telle sorte que ledit premier courant généré (I1) est sensiblement indépendant de la température.

6. Circuit générateur de courant selon la revendication 5, **caractérisé en ce que** ledit moyen d'amplification (11) est un amplificateur opérationnel comportant une paire différentielle (110; 210) de transistors (111, 112; 211, 212) dont les électrodes de commande (111c, 112c; 211c, 212c) forment respectivement lesdites première et seconde bornes d'entrée (11a, 11b) du moyen d'amplification (11), et **en ce que** la géométrie de ladite paire différentielle (110; 210) de transistors (111, 112; 211, 212) est agencée pour produire ladite tension d'offset ( $V_{os}(T)$ ).

7. Circuit générateur de courant selon la revendication 6, **caractérisé en ce que** ladite tension d'offset ( $V_{os}(T)$ ) est produite en agissant sur le rapport largeur sur longueur de canal W/L des transistors (111, 112; 211, 212) de ladite paire différentielle (110; 210).

8. Circuit générateur de courant selon la revendication 7, **caractérisé en ce que** ladite tension d'offset ( $V_{os}(T)$ ) est donnée par l'expression suivante :

$$V_{os}(T) = \frac{kT}{q} \ln X$$

où

$$X = \frac{(W/L)_2}{(W/L)_1}$$

$(W/L)_1$  et  $(W/L)_2$  étant définis comme les rapports largeur sur longueur de canal W/L des transistors (111, 112; 211, 212) formant ladite paire différentielle (110; 210), le facteur X et ladite première tension d'entrée ( $V_{in}$ ) étant ajustés pour compenser la dépendance en température dudit moyen formant résistance (13) de sorte que ledit premier courant (I1) donné par l'expression suivante :

$$I_1 = \frac{V_{in} + V_{os}(T)}{R(T)}$$

est sensiblement indépendant de la température.

9. Circuit générateur de courant selon l'une quelconque des revendications 5 à 8, **caractérisé en ce**

**que** ladite première tension d'entrée ( $V_{in}$ ) est dérivée d'une tension de référence de bandgap (VBG).

10. Circuit générateur de courant selon l'une quelconque des revendications 5 à 9, **caractérisé en ce que** ledit transistor (12) est un transistor MOS à effet de champ de type n. 5
  
11. Circuit générateur de courant selon l'une quelconque des revendications 5 à 10, **caractérisé en ce que** ledit circuit comporte en outre un miroir de courant (30) comprenant des second (31) et troisième (32) transistors comportant chacun une électrode de commande (31c, 32c) et des première (31a, 32a) et seconde (31b, 32b) électrodes de courant, lesdites premières électrodes de courant (31a, 32a) des second et troisième transistors (31, 32) étant connectées à ladite seconde tension d'alimentation ( $V_{dd}$ ), lesdites électrodes de commande (31c, 32c) des second et troisième transistors (31, 32) ainsi que ladite seconde électrode de courant (31b) du deuxième transistor (31) étant connectées à ladite seconde électrode de courant (32b) dudit premier transistor (12), ledit miroir de courant (30) produisant, au travers desdites première et seconde électrodes de courant (32a, 32b) du troisième transistor (32), un second courant (12) image dudit premier courant (11). 10  
15  
20  
25
  
12. Circuit générateur de courant selon la revendication 10, **caractérisé en ce que** lesdits second et troisième transistors (31, 32) sont des transistors MOS à effet de champ de type p. 30
  
13. Circuit générateur de courant selon l'une quelconque des revendications 5 à 12, **caractérisé en ce que** ledit moyen formant résistance (13) est une résistance intégrée. 35

40

45

50

55



Fig. 1

( ART ANTERIEUR )

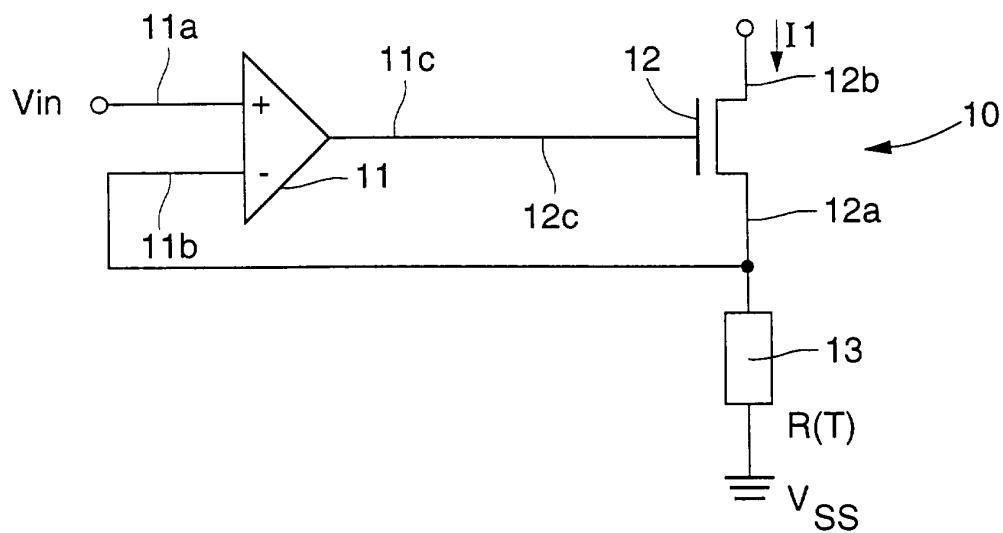


Fig. 2

( ART ANTERIEUR )

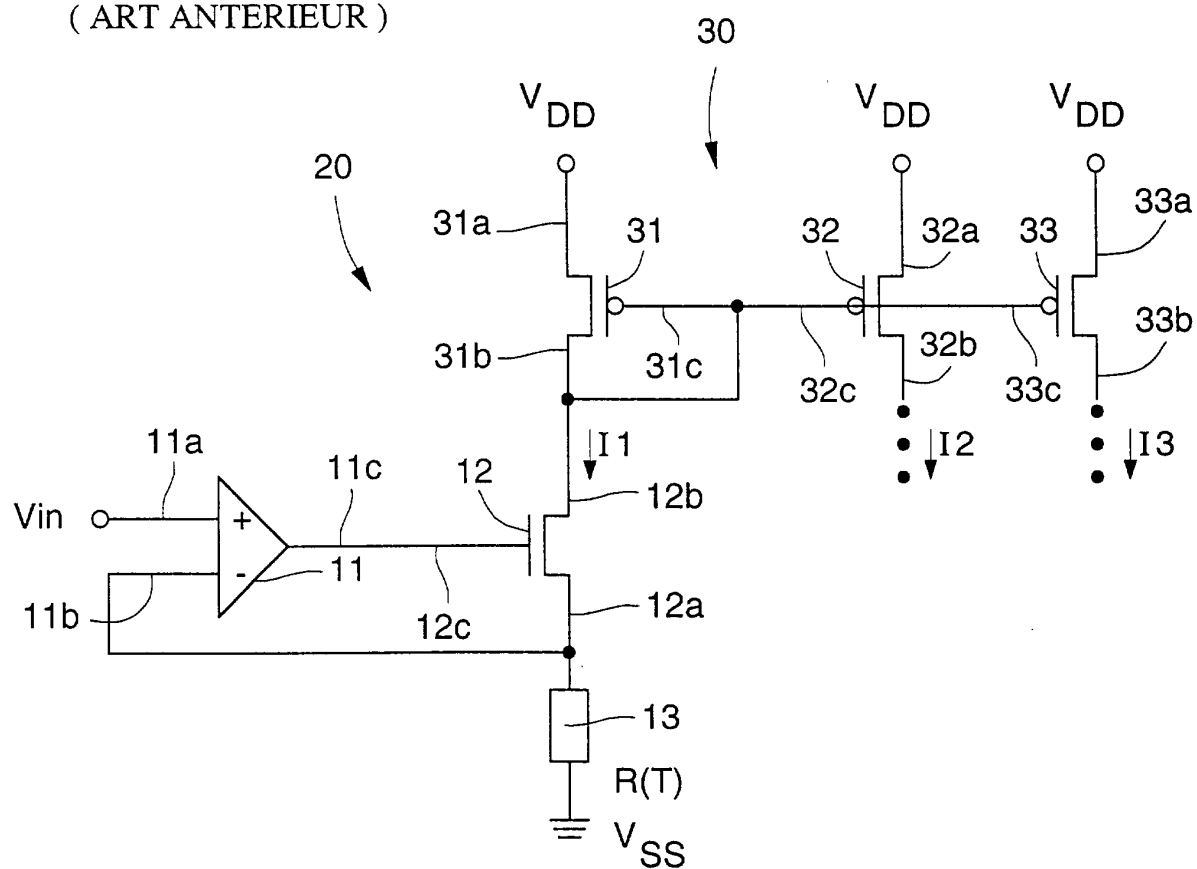
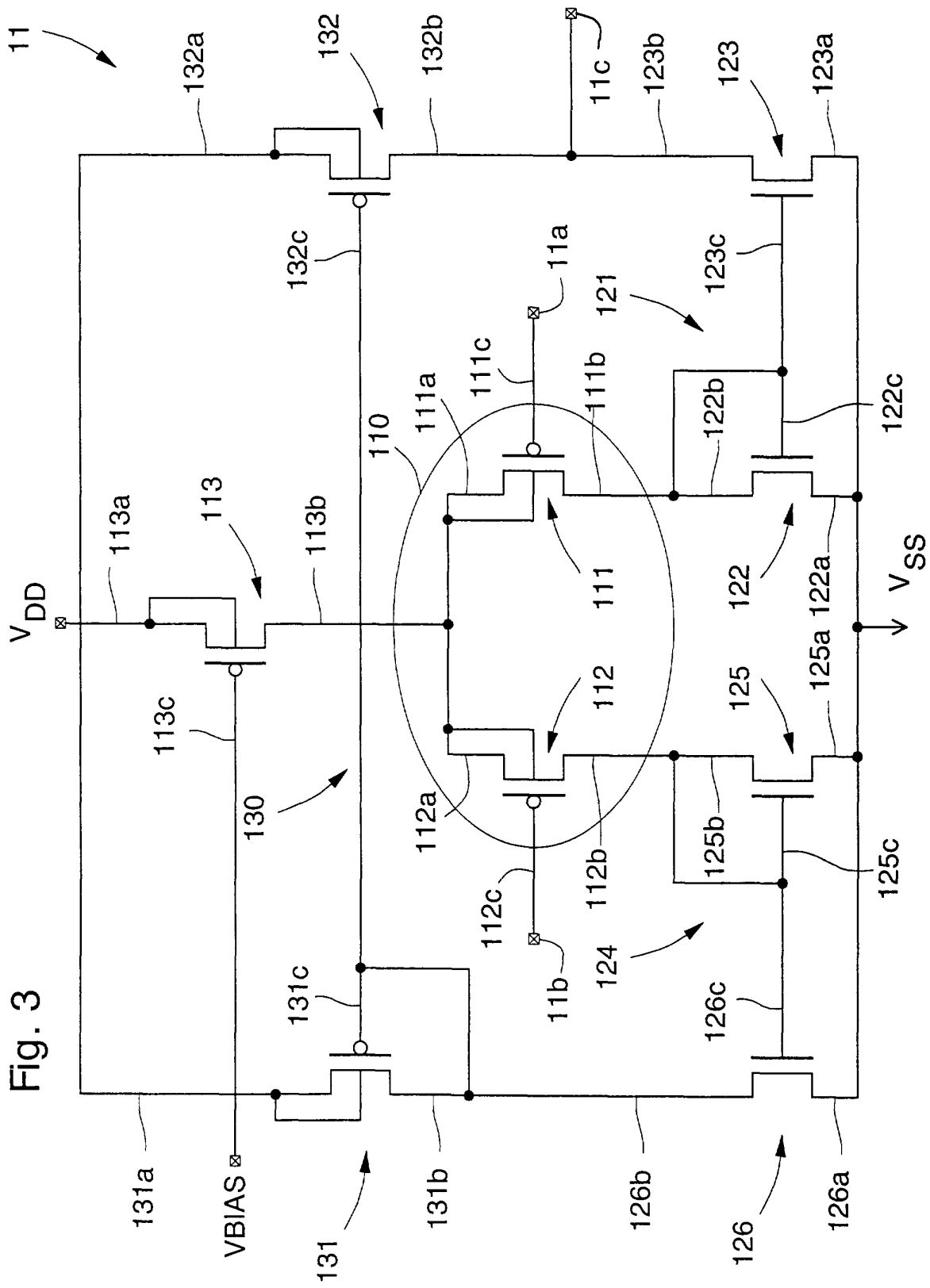


Fig. 3



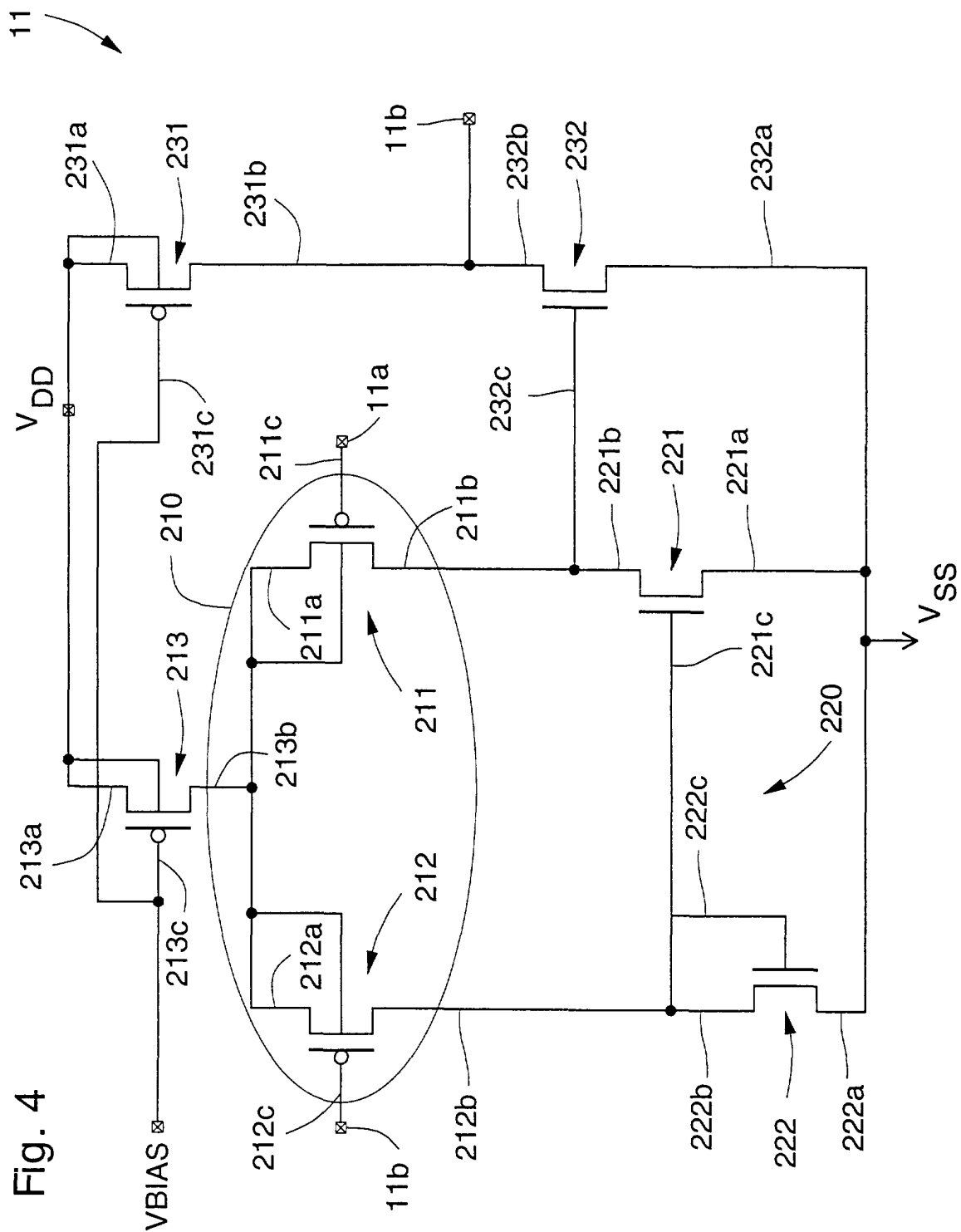
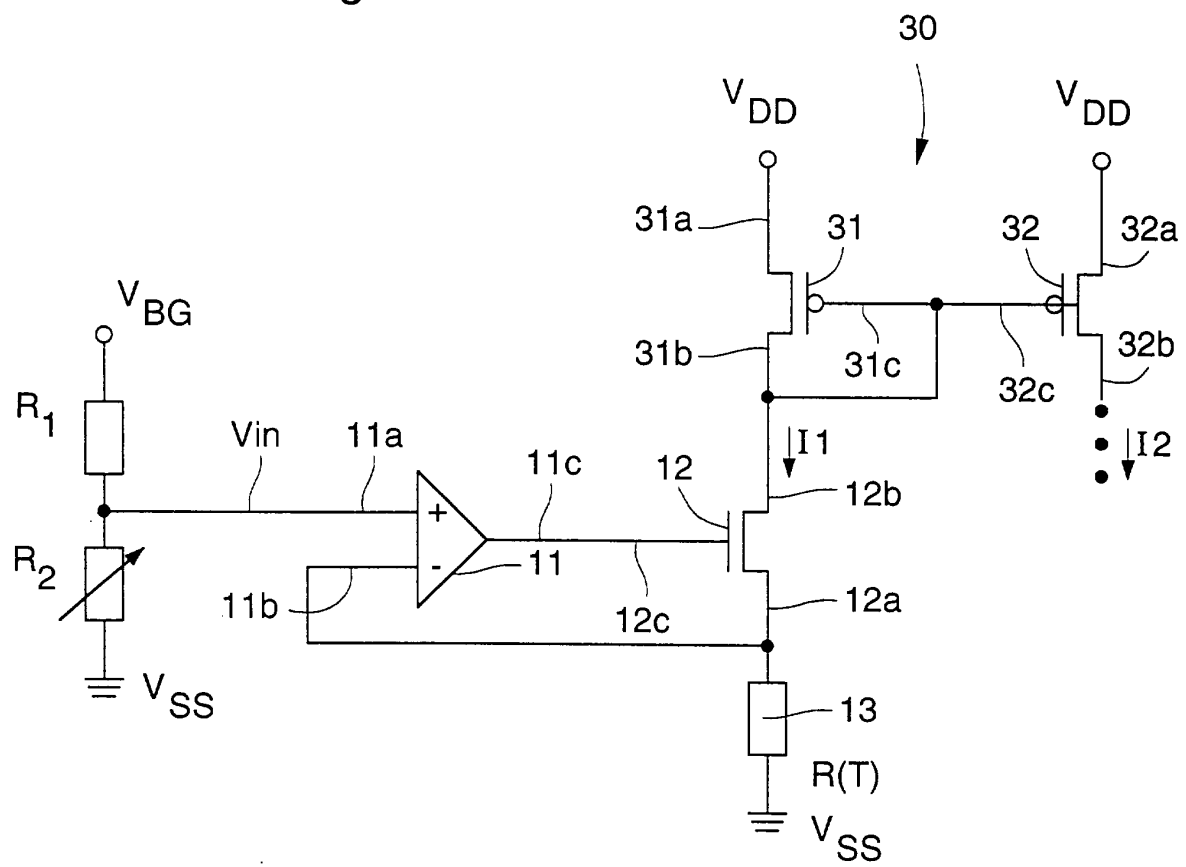


Fig. 4

Fig. 5





Office européen  
des brevets

# RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande  
EP 00 20 2059

| DOCUMENTS CONSIDERES COMME PERTINENTS                                                                                                                                                                                                                                |                                                                                                                                                                                    |                                                                                                                                                                                                                                                                          |                                           |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------|
| Catégorie                                                                                                                                                                                                                                                            | Citation du document avec indication, en cas de besoin, des parties pertinentes                                                                                                    | Revendication concernée                                                                                                                                                                                                                                                  | CLASSEMENT DE LA DEMANDE (Int.Cl.7)       |
| Y                                                                                                                                                                                                                                                                    | US 5 933 051 A (OKADA YOSHIO ET AL)<br>3 août 1999 (1999-08-03)<br>* figures 3,5 *                                                                                                 | 1,5                                                                                                                                                                                                                                                                      | G05F3/24                                  |
| Y                                                                                                                                                                                                                                                                    | ---<br>PATENT ABSTRACTS OF JAPAN<br>vol. 1999, no. 01,<br>29 janvier 1999 (1999-01-29)<br>& JP 10 284949 A (ASAHI KASEI MICRO SYST KK), 23 octobre 1998 (1998-10-23)<br>* abrégé * | 1,5                                                                                                                                                                                                                                                                      |                                           |
| A                                                                                                                                                                                                                                                                    | ---<br>US 5 805 004 A (MUELLER BERND ET AL)<br>8 septembre 1998 (1998-09-08)<br>* abrégé; figure *                                                                                 | 1,5                                                                                                                                                                                                                                                                      |                                           |
| A                                                                                                                                                                                                                                                                    | ---<br>US 5 982 226 A (RINCON-MORA GABRIEL A)<br>9 novembre 1999 (1999-11-09)<br>* abrégé; figure *                                                                                | 1,5                                                                                                                                                                                                                                                                      |                                           |
|                                                                                                                                                                                                                                                                      |                                                                                                                                                                                    |                                                                                                                                                                                                                                                                          | DOMAINES TECHNIQUES RECHERCHES (Int.Cl.7) |
|                                                                                                                                                                                                                                                                      |                                                                                                                                                                                    |                                                                                                                                                                                                                                                                          | G05F                                      |
| Le présent rapport a été établi pour toutes les revendications                                                                                                                                                                                                       |                                                                                                                                                                                    |                                                                                                                                                                                                                                                                          |                                           |
| Lieu de la recherche<br><b>LA HAYE</b>                                                                                                                                                                                                                               |                                                                                                                                                                                    | Date d'achèvement de la recherche<br><b>21 novembre 2000</b>                                                                                                                                                                                                             | Examineur<br><b>Lampe, S</b>              |
| CATEGORIE DES DOCUMENTS CITES<br>X : particulièrement pertinent à lui seul<br>Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie<br>A : arrière-plan technologique<br>O : divulgation non-écrite<br>P : document intercalaire |                                                                                                                                                                                    | T : théorie ou principe à la base de l'invention<br>E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date<br>D : cité dans la demande<br>L : cité pour d'autres raisons<br>.....<br>& : membre de la même famille, document correspondant |                                           |

EPO FORM 1503 03/82 (P04C02)

**ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE  
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.**

EP 00 20 2059

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.

Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

21-11-2000

| Document brevet cité<br>au rapport de recherche | Date de<br>publication | Membre(s) de la<br>famille de brevet(s)     | Date de<br>publication                 |
|-------------------------------------------------|------------------------|---------------------------------------------|----------------------------------------|
| US 5933051 A                                    | 03-08-1999             | JP 6350355 A<br>DE 4420041 A<br>KR 164248 B | 22-12-1994<br>15-12-1994<br>20-03-1999 |
| JP 10284949 A                                   | 23-10-1998             | AUCUN                                       |                                        |
| US 5805004 A                                    | 08-09-1998             | DE 19508027 A<br>JP 8265051 A               | 12-09-1996<br>11-10-1996               |
| US 5982226 A                                    | 09-11-1999             | AUCUN                                       |                                        |

EPO FORM P0460

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82