

公告本

302546

申請日期	84 年 1 月 17 日
案 號	84100386
類 別	Int. Cl. 6 H01L 27/11

A4
C4

302546

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	用以辨識由現場可程式陣列 (FPGA) 所接收之位元流是否為 FPGA 所需之方法和裝置
	英 文	Method and apparatus for verifying whether a bitstream received by a field programmable gate array (FPGA) is intended for that FPGA
二、發明 創作人	姓 名	(1) 梁渭波 Leung, Wai-Bor
	國 籍	(1) 美國
	住、居所	(1) 美國賓州·威斯可席維爾·賽理拉大道五一七 ○號 5170 Celia Drive, Wescosville, Pennsylvania 18106, USA
三、申請人	姓 名 (名稱)	(1) 美國電話電報股份有限公司 AT&T Corp.
	國 籍	(1) 美國
	住、居所 (事務所)	(1) 美國紐約州·紐約市美州大道三十二號 32 Avenue of the Americas, New York, NY 10013-2412, U.S.A.
	代 表 人 姓 名	(1) 皮·汪爾德 Wilde, P. V. D.

裝

訂

線

302546

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， ☐有 ☐無主張優先權
美國 1994 年 11 月 23 日 08/344802 ☒無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明領域：

本發明大致係關於積體電路，尤係關於現場可程式開陣列。

發明背景

積體電路傳統上實施單一功能，或者實施由軟體程式界定的一些其他功能。然而，無論在那一種情形中，於設計積體電路時即已固定了實施電路功能的邏輯架構。最近所開發的一些積體電路，其邏輯架構可在製造之後改變之。例如，現已開發出一種現場可程式開陣列（Field Programmable Gate Array；簡稱FPGA），使用者可在製造點以外的地方構建FPGA的邏輯功能。FPGA係用於實施隨機邏輯網路、資料路由器、代碼轉換器、指令解碼器、狀態定序器、及各種其他的功能。

使用者可利用熔線（fuse）技術完成FPGA的程式設定，此種熔線技術涉及對所製造的整合式晶片做實體上的修改，以便連接或斷開整合式晶片中的各元件；亦可利用記憶體的程序設定而完成FPGA的程序設定，此種記憶體的程式設定涉及在整合式晶片上對多個記憶位元的設定。這些記憶位元又控制整合式晶片各元件的連接。一FPGA通常包含一陣列的邏輯單元及互連資源。可設定每一邏輯單元而實施一特定功能。利用各互連資源而完成信號傳送。當設定多個邏輯單元而實施一些邏輯功能，並利用各互連資源傳送信號時，即可實施一個所需的邏輯電

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(2)

路。

對於一採用諸如靜態隨機存取記憶體(S R A M) 的 F P G A , 經由讀取一位元流並將此位元流儲存在一組態記憶體中, 即可定義此 F P G A 之功能。一位元流通常包含一起始碼(header)、若干資料框(data frame) , 及一結尾碼(trailer)。然而, 用於陣列大小不同或邏輯容量不同的諸 F P G A 晶片之資料框長度, 通常是不同的。如果針對某一陣列大小的位元流被傳送到一具有不同陣列大小的 F P G A 晶片, 則可能會發生問題。例如, 可能錯誤偵測一資料框的開始, 且可能將停止位元視為組態資料。也可能對晶片做錯誤的組態設定, 而導致輸入-輸出的衝突或內部信號的衝突。因此, 晶片可能浪費掉許多電源, 因而傷害到或破壞掉晶片的電氣特性及其他特性。此外, 如果將 F P G A 晶片的輸入緩衝器改變成輸出緩衝器時, 則可能損及連接到此 F P G A 的其他晶片。縱然目標 F P G A 的陣列大小與位元流的大小一致, 不同的 F P G A 也有不同的佈線結構。因此, 最好能提供一種可驗證一特定位元流的目標 F P G A 之機制, 以便能偵測到並防止位元流與 F P G A 間之不相符。

發明概述:

根據本發明原理的現場可程式閘陣列(F P G A) 可適當地包含一陣列的可程式邏輯單元(Programmable Logic Cell; 簡稱 P L C) , 這一陣列的 P L C 具有至少一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

個可程式功能單元(Programmable Function Unit簡稱 P F U)，及若干相關的佈線資源。此 F P G A 亦包含：複數個可程式輸入／輸出單元(Programmable Input/output Cell；簡稱 P I C)，複數個可程式記憶單元，以及一組態邏輯電路。此 F P G A 亦包含一驗證單元，用以驗證該 F P G A 所接收的位元流是否為該 F P G A 所需。

在一實施例中，驗證單元可適當地包含一驗證電路，該驗證電路設有一比較器電路，而一固定線路式識別碼係永久性地儲存在該比較器電路中。當一包含目標 F P G A 的識別碼之位元流為該 F P G A 所接收時，將所接收的識別碼與固定線路式識別碼比較。F P G A 因而驗證所接收的位元流是否為其所需。亦可易於想出其他的驗證配置。本發明亦揭露使用此種 F P G A 的方法。

若參照下列詳細說明及各附圖，將易於了解本發明的其他特徵及優點。

附圖簡述：

圖 1 是一現場可程式閘陣列(F P G A)的功能方塊圖。

圖 2 示出一根據本發明原理的位元流實施例。

圖 3 是 F P G A 的組態邏輯電路之功能方塊圖。

圖 4 是在根據本發明原理的組態邏輯電路中記憶體控制器之功能方塊圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

圖 5 是一驗證電路實施例之電路圖，該驗證電路係用於圖 4 所示記憶體控制器之驗證單元。

圖 6 示出可用來起動同位核對的附加電路。

圖 7 是一流程圖，示出使用根據本發明原理的 F P G A 之方法步驟。

詳細說明：

圖 1 是一現場可程式閘陣列 (F P G A) (1 0 0) 之功能方塊圖。F P G A (1 0 0) 包含一陣列的可程式邏輯單元 (簡稱 P L C) (1 1 0)。最好以複數個可程式輸入／輸出單元 (P I C) 圍繞該 P L C (1 1 0) 陣列。每一 P I C 可適當地包含必要的若干輸入－輸出緩衝器，用以連接各鉗墊。各 P I C (1 2 0) 亦可包含在各鉗墊與各 P L C 之間連接信號所需的若干佈線資源 (1 2 1)。

在若干可程式功能單元 (P F U) (1 1 1) 中執行各邏輯功能，此種可程式功能單元在本門技術中亦稱為可組態的邏輯單元。P L C (1 1 0) 陣列因而具有至少一個 P F U。然而，每一 P L C 最好是包含一個單一的可程式功能單元 (P F U)。該等 P L C (1 1 0) 亦設有若干相關的佈線資源 (1 1 2)。F P G A (1 0 0) 亦包含複數個可程式記憶單元 (1 1 3)，例如隨機存取記憶體 (R A M)，可抹除可程式唯讀記憶體 (F P R O M)，電氣式可抹除可程式唯讀記憶體 (E E P R O M) 等。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

佈線資源(112)，(121)通常包含切換電路及若干金屬互連分段。將指示使用者所設定邏輯電路本質之組態資料儲存在各記憶單元(113)中。可便於以行的方式組織成各記憶單元(113)，因而對各記憶單元(113)的每一讀取指令或寫入指令都涉及整行的記憶單元。

當使用者想要使用FPGA晶片(100)來執行一特定功能或作業時，必須利用一位元流對FPGA晶片(100)設定程式。組態邏輯電路(150)係用來處理使用者輸入FPGA(100)的組態資料，組態邏輯電路(150)並係用來寫入各組態記憶體單元(113)之內容。控制信號在該陣列的可程式邏輯單元(110)，可程式輸入-輸出單元(120)，記憶單元(113)，與組態邏輯電路(150)之間傳送。同樣地，組態資料及解碼後的記憶體位址係在各PLC(110)，PIC(120)，記憶單元(113)，與組態邏輯電路(150)之間傳送。組態邏輯電路(150)亦可接收諸如由使用者產生的重定信號等組態信號。

圖2示出根據本發明原理的一位元流實施例。此位元流包含一起始碼框，該起始碼框包含諸如指示框類型的數個位元之二進位碼，以及含有起始碼資訊的若干額外位元。此起始碼框可以適當地若干停止位元結束。根據本發明之原理，此位元流亦包含一識別框。在一較佳實施例中，該識別框之格式類似於資料框，以便儘量減少硬體資源的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

耗用。在本較佳實施例中，識別框包含用來指示框的類型之數個位元，以及用於位址欄位的數個位元。識別框亦包含一識別欄位及若干停止位元。在本較佳實施例中，對於所有的陣列大小，識別框的長度都相同，且其長度小於位元流可被輸入的最小 F P G A 之資料框。識別欄位的寬度可以是諸如六十四個位元。最好應對停止位元的數目加以選擇，使識別框的總長度等於目標 F P G A 的資料框長度。

識別框的識別欄位包含識別資料，此識別資料包括目標 F P G A 類型的識別碼。在本發明的一實施例中，在識別欄位的六十四個位元中只有諸如二十個位元將被用來作為特有的識別碼。而可將其餘位元用於其他應用。例如，在一較佳實施例中，係根據識別欄位中之同位核對位元轉換位址欄位的頭兩個位元。例如，同位核對位元可以是識別欄位中之第一個位元。因此，如果同位核對位元是諸如二進位「1」，則將位址欄位的頭兩個位元視為識別框及資料框的同位核對位元。另一方面，如果同位核對位元是二進位「0」，則抑制同位核對，並將位址欄位的頭兩個位元視為資料框的位址位元。然後可將識別欄位的其餘位元用於其他應用。

圖 2 所示之位元流至少包括一個資料框。一個典型的資料框包含：用來指示框類型的數個位元，用於位址欄位的數個位元，用於指定組態資料的多個位元，以及若干停止位元。在一較佳實施例中，識別框係在位元流中所有的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

資料框之前。然而，亦可將識別框置於位元流中之任何位置。最後，位元流包含一用來指示此位元流結束的結尾碼。此結尾碼可適當地包含：用來指示框類型的數個位元，用來指定結尾碼資訊的若干額外位元，以及若干停止位元。

圖 3 是 F P G A (1 0 0) 的組態邏輯電路 (1 5 0) 之功能方塊圖。在一較佳實施例中，組態邏輯電路 (1 5 0) 包含一邊界掃描控制器 (3 0 1)，用以實施 I E E E 標準 1 1 4 9 . 1 - 1 9 9 0 中規定的“標準測試近接埠及邊界掃描架構”。此一標準是一定義完備的協定，該協定可確保不同供應商所提供配備邊界掃描的裝置間之互通性。邊界掃描控制器 (3 0 1) 可讓使用者有效率地測試一印刷電路板上各積體電路間之互連，並可測試積體電路本身。邊界掃描控制器 (3 0 1) 接收“聯合測試集團”輸入信號，並將控制信號傳送到一組態資料處理器 (3 0 2)，及一組態控制器 (3 0 3)。

組態資料處理器 (3 0 2) 接收並讀取位元流，並在必要時將位元流中所含的資訊串列化。組態資料處理器 (3 0 2) 亦可接收用來指示使用者所選晶片及作業模式之信號，並可接收適當的時脈信號或定時信號。可以一次諸如一個位元組或一個位元之方式接收位元流。組態資料控制器然後將位元流中所含之資訊及時脈信號傳送到組態邏輯電路 (1 5 0) 中的其他單元。

組態控制器 (3 0 3) 決定組態程序作業的適當順序

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

。組態控制器(3 0 3)亦接收組態信號，並決定重定程序及重新設定組態程序的適當順序。

一資料框處理器(3 0 4)接收組態資料處理器(3 0 2)之資料，而決定資料框之類型，並儲存資料框位址，且計算同位核對位元。資料框處理器(3 0 4)然後將資料框位址傳送到一記憶體控制器(3 0 5)。記憶體控制器(3 0 5)除了接收資料框位址，並接收資料框所含的資訊，及位元流的識別框所含的資訊。亦可在組態邏輯電路(1 5 0)的各單元之間傳送控制信號。

圖4是記憶體控制器(3 0 5)之功能方塊圖。記憶體控制器(3 0 5)包含：一同步或非同步定時信號產生器(4 0 1)，一位址解碼器(4 0 2)，及一資料移位暫存器(4 0 3)。根據本發明之原理，記憶體控制器(3 0 5)亦包含一驗證單元(4 0 4)，該驗證單元(4 0 4)包含一將於下文中詳述的驗證電路。記憶體控制器(3 0 5)中之每一單元皆可自組態控制器(3 0 3)接收控制信號。同樣地，產生本身寫入脈波的定時信號產生器(4 0 1)將定時信號傳送到位址解碼器(4 0 2)，資料移位暫存器(4 0 3)，及驗證單元(4 0 4)。

位址解碼器(4 0 2)自資料框處理器(3 0 4)接收資料框位址，並對此資料框位址解碼。資料移位暫存器(4 0 3)將視目前正在處理的框之類型為何，而接收組態資料或識別資料。如果框之位址欄位指示正在處理一識別框，則資料移位暫存器將在接收到頭六十四個位元之後

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

達到填滿狀態。然後將識別資料傳送到驗證單元 (4 0 4)，該驗證單元 (4 0 4) 包含一 F P G A 驗證電路。如同將於下文中配合圖 5 而詳述的，F P G A 驗證電路中之一比較器電路被起動，以便將二十個位元的識別碼比對驗證單元 (4 0 4) 中所儲存的或固定線路的識別碼。一個錯誤處理電路轉換所得到的結果，並在接腳 (4 1 3) 上提供一識別錯誤信號，用以指示是要進行組態程序還是要進入備用模式。驗證單元 (4 0 4) 亦可處理識別欄位所含的其餘位元，例如同位核對位元。記憶體控制器 (3 0 5) 中之每一單元都可接收及傳送控制信號。

如果正在處理一資料框，則當資料移位暫存器 (4 0 3) 被填滿時，即將其內容驅動到一連接到各記憶單元 (1 1 3) 的組態資料匯流排 (4 1 2) 上。在此同時，位址解碼器 (4 0 2) 驅動一已解碼之記憶體位址匯流排 (4 1 1)，而該匯流排起動一行記憶單元。

圖 5 是用於驗證單元 (4 0 4) 的一驗證電路 (5 0 0) 實施例之電路圖。驗證電路 (5 0 0) 接收一接腳 (5 0 1) 上的檢查識別信號。此檢查識別信號是由資料框處理器 (3 0 4) 所產生，且於正在處理的框的位址欄位指示其為識別框時，該檢查識別信號係為數位高位準信號。此檢查識別信號係作為一正反器 (5 0 2) 的 D 輸入。在一接腳 (5 0 3) 上產生一時脈信號，此時脈信號係作為正反器 (5 0 2) 的時脈信號。在一較佳實施例中，可以習知之方式將接腳 (5 0 3) 上的時脈信號送到兩

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

個反相器，以便在將此時脈信號傳送到正反器 (5 0 2) 之前先做緩衝。在接腳 (5 0 6) 上亦產生一起始信號。自每一組態程序開始的某一段時間中，起始信號是數位低位準信號，而作為重定脈波，以便迫使正反器 (5 0 2) 的 Q 輸出為數位低位準。

檢查識別信號及正反器 (5 0 2) Q 輸出端的互補信號係作為一“反及”閘 (5 0 7) 的兩個輸入信號。在接腳 (5 0 1) 上的檢查識別信號變成數位高位準時，一接腳 (5 0 8) 上，“反及”閘 (5 0 7) 的輸出將變成數位低位準。“反及”閘 (5 0 7) 的輸出將於下一時脈週期回到數位高位準。將接腳 (5 0 8) 上標示為“移位暫存器容量”的信號傳送到資料移位暫存器 (4 0 3)。當“移位暫存器容量”信號是數位低位準時，可視為已填滿了資料移位暫存器的六十四個位元之容量，而此容量係對應於識別框的識別欄位寬度。當“移位暫存器容量”信號是數位高位準時，可視為已填滿了一位元容量，而此位元容量係對應於每一資料框中組態資料之位元數。

驗證電路 (5 0 0) 亦接收一接腳 (5 2 0) 上的“移位暫存器已填滿”信號。一旦資料移位暫存器已被填滿，則移位暫存器已填滿信號將變成高位準。移位暫存器已填滿信號及檢查識別信號係作為一“反及”閘 (5 2 1) 的兩個輸入。當檢查識別信號及移位暫存器已填滿信號皆為數位高位準信號時，識別資料係置於移位暫存器 (4 0 3) 中，且已準備好做驗證。“反及”閘 (5 2 1)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

的輸出然後將為數位低位準，而作為一“反及”閘 (5 4 0) 的第一輸入。因此，當檢查識別信號及移位暫存器已填滿信號皆為數位高位準時，“反及”閘 (5 4 0) 即被起動。

“反及”閘 (5 4 0) 的一第二輸入即是比較器電路的輸出 (5 3 5)，該比較器電路可適當地包含複數個經適當互連的場效電晶體 (F E T)。更具體而言，此比較器電路可適當地包含一 p 型 F E T (5 2 2) 及一 n 型 (F E T (5 2 3)，這兩個 F E T 係成為提升組態。如圖 5 所示，F E T (5 2 2) 之吸極係連接到一電源 (5 2 4)。F E T (5 2 2) 之源極係連接到 F E T (5 2 3) 之吸極，且 F E T (5 2 3) 之源極係連接到接地點 (5 2 6)。“反及”閘 (5 2 1) 之輸出係作為 F E T (5 2 2)，(5 2 3) 之閘極信號。

比較器電路一 n 型 F E T 陣列 (以 5 3 1 為代表)。陣列 (5 3 1) 中之 F E T 數目等於為特定 F P G A 所設的特有識別碼中之位元數。因此，如果特有的固定線路式識別碼包含諸如二十個位元時，則陣列 (5 3 1) 中將有二十個 F E T。陣列 (5 3 1) 中 F E T 之連接方式為：每一 F E T 的吸極係連接到 F E T (5 2 2) 之源極，及 F E T (5 2 3) 之吸極。陣列 (5 3 1) 中每一 F E T 之源極係連接到接地點 (5 2 6)。

陣列 (5 3 1) 中每一 F E T 之閘極信號係以固定線路方式耦合到位元流的識別框所指定識別碼中一特定位元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

之真實信號，或其互補信號。可適當地將各反相器用來提供識別碼中一些特定位元之互補信號，使識別框指定了目標 F P G A 的正確識別碼，陣列 (5 3 1) 中各有 F E T 的閘極信號皆為數位低位準信號。若陣列 (5 3 1) 中所有 F E T 之閘極信號皆為低位準時，則比較器電路中作為「反或」閘 (5 4 0) 隨即產生一數位低 (5 4 0) 第二輸入的輸出 (5 3 5) 將為數位高位準。「反或」閘 (5 4 0) 隨即產生一數位低位準信號，作為其輸出。在此種方式下，可在驗證單元 (4 0 4) 中對 F P G A 的特有識別碼作永久性的儲存及驗證。

相反地，如果識別框所指定的識別碼並不符合目標 F P G A 特有的固定線路式識別碼時，則陣列 (5 3 1) 中至少有一個 F E T 的閘極信號將為數位高位準。因此，比較器電路的輸出 (5 3 5) 將為數位低位準。如果已如上述方式起動「反或」閘 (5 4 0) 來驗證識別框中所含之識別碼時，則「反或」閘 (5 4 0) 將產生一數位高位準信號，作為其輸出。

「反或」閘 (5 4 0) 之輸出係傳送經過一反相器 (5 4 1)。因此，如果一位元流的識別框中所含之識別碼符合 F P G A 中以固定線路式儲存的特有識別碼時，則反相器 (5 4 1) 之輸出將為數位高位準。此數位高位準信號將指示：此識別碼已被驗證為正確，且該位元流即為目標 F P G A 所需。如果此位元流的識別框中所含之識別碼不符合 F P G A 中以固定線路式儲存的特有識別碼時，則

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

反相器 (5 4 1) 之輸出將為數位低位準。此數位低位準信號將指示：此識別碼已被驗證為不正確，且該位元流不為目標 F P G A 所需。

然後將反相器 (5 4 1) 之輸出信號傳送到一正反器電路，該正反器電路將產生一識別錯誤信號。如果識別框中之識別碼並不符合儲存在比較器電路中之識別碼時，則識別錯誤信號將變成數位高位準且被鎖定，換言之，此識別錯誤信號在使用者重新設定 F P G A 晶片 (1 0 0) 之前將不會改變。尤其是，反相器 (5 4 1) 的輸出係作為一“反及”閘 (5 4 2) 的第一輸入。“反及”閘 (5 4 2) 的輸出係作為一正反器 (5 4 4) 的 D 輸入。

可以很方便的將正反器 (5 4 4) 的組態設定成類似的正反器 (5 0 2) 之方式。將接腳 (5 0 3) 上所產生的時脈信號提供給正反器 (5 4 4) 作為其時脈信號。如前文所述，可以習知之方式將接腳 (5 0 3) 上的時脈信號傳送通過兩個反相器，以便在將時脈信號傳送到正反器 (5 4 4) 之前先作緩衝。接腳 (5 0 6) 上產生的起始信號係作為一重定脈波，以便迫使正反器 (5 4 4) 的 Q 輸出在每一次組態程序開始時成為數位低位準。將正反器 (5 4 4) 的 Q 輸出信號傳送通過一反相器 (5 4 3)。反相器 (5 4 3) 之輸出係作為“反及”閘 (5 4 2) 的第二輸入，以及另一反相器 (5 5 0) 之輸入。反相器 (5 5 0) 之輸出即是一接腳 (4 1 3) 上的識別錯誤信號，此識別錯誤信號的起始值為數位低位準，用以指示並無

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

錯誤。

如果反相器 (5 4 1) 的輸出變成低位準，則正反器 (5 4 4) 的 Q 輸入將於下一時脈週期產生一數位高位準信號。此數位高位準信號指示在驗證程序中發生了一個錯誤，且此數位高位準信號經由反相器 (5 4 3) ， (5 5 0) 傳送到組態控制器 (3 0 3) 。此 F P G A 然後將進入一備用模式。可將一驗證錯誤信號提供給使用者，以便指示：此識別碼被驗證為不正確。在備用模式中，暫停組態程序，直到使用者重新設定 F P G A 晶片 (1 0 0) 為止。由於在識別碼指示位元流並非針對特定的 F P G A 時即暫停組態程序，所以本發明之裝置及方法可協助避免損及 F P G A 晶片及連接到此 F P G A 晶片的其他晶片。

雖然上文已說明了驗證電路的一特定實施例，但是對本門技術具有一般知識者當可了解，可採用不同的邏輯電路來執行對所接收識別碼作驗證之功能，以及提供適當信號之功能。例如，在一替代實施例中，比較器電路將包含複數個互斥“或”閘，其中每一互斥“或”閘至少具有兩個輸入。一組輸入將對應於識別框中所含識別碼之各位元。第二組輸入係連接到電源 (5 2 4) 或接地點 (5 2 6) ，連接方式將視永久儲存在驗證單元 (4 0 4) 的特定識別碼而定。同樣地，可利用軟體執行對所接收識別碼作驗證之功能，及提供適當信號之功能。此外，雖然驗證單元及驗證電路是本較佳實施例中組態邏輯電路的一部分，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

但是亦可將驗證單元及驗證電路置於根據本發明原理的 F P G A 晶片中之任何位置。

圖 6 示出可配合驗證電路 (5 0 0) 使用以便起動同位核對的附加電路 (6 0 0)。同位核對起動電路 (6 0 0) 包含一“反及”閘 (6 0 1)，用以接收檢查識別信號，移位暫存器已填滿信號，以及同位核對信號，作為輸入信號。在一較佳實施例中，識別框的識別欄位中所指定之同位核對位元決定同位核對信號之值。因此，如果使用者所指定的同位核對位元是諸如數位“1”時，則同位核對信號的值將是數位高位準。

“反及”閘 (6 0 1) 之輸出係作為另一“反及”閘 (6 0 2) 之第一輸入。“反及”閘 (6 0 2) 及包含一正反器 (6 0 4) 的附加邏輯電路之組態方式為圖 5 所示正反器電路之鏡像電路，其中圖 5 所示正反器電路包含“反及”閘 (5 4 2) 及正反器 (5 4 4)。接腳 (5 0 3) 上所產生的時脈信號提供給正反器 (6 0 4)，作為其時脈信號。如前文所述，可以習知之方式使時脈信號傳送通過兩個反相器，以便在將時脈信號完送到正反器 (6 0 4) 之前先作緩衝。接腳 (5 0 6) 上所產生的起始信號係作為重定脈波，以便在每一次組態程序開始時迫使正反器 (6 0 4) 的 Q 輸出成為數位低位準。將正反器 (6 0 4) 的 Q 輸出信號傳送通過反相器 (6 0 3)。反相器 (6 0 3) 的輸出係作為“反及”閘 (6 0 2) 的第二輸入，以及另一反相器 (6 1 0) 之輸入。反相器 (

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

6 1 0) 的輸出即是一接腳 (6 1 1) 上的同位核對起動信號，此同位核對起動信號的起始值是數位低位準，用以指示同位核對並未被起動。

當“反及”閘 (6 0 1) 的所有三個輸入信號 (包括同位核對信號) 都是高位準時“反及”閘 (6 0 1) 的輸出變成低位準。正反器 (6 0 4) 的 Q 輸入隨即於下一時脈週期產生一數位高位準信號。此數位高位準信號指示同位核對被啟動了，且此數位高位準信號經由反相器 (6 0 3)，(6 1 0) 傳送到資料框處理器 (3 0 4)，且可如前文所述在資料框處理器 (3 0 4) 執行同位核對。

圖 7 是一流程圖，圖中示出使用一根據本發明原理的 F P G A 之方法步驟。如步驟 (7 0 1) 所示，產生一具有識別碼的位元流。如步驟 (7 0 2) 所示，在 F P G A 中接收此位元流。然後如步驟 (7 0 3) 所示，產生一信號，用以指示此識別碼已準備好作驗證。如步驟 (7 0 5) 所示，利用此識別碼驗證：此位元流是否為此特定 F P G A 所需。如果此位元流並非為該特定 F P G A 所需，則如步驟 (7 0 7) 所示，此 F P G A 進入一備用模式。如上文所述，於備用模式中，在使用者重新設定此 F P G A 之前組態程序被暫停。可將一信號傳送給使用者，以便指示該識別碼被驗證為不正確。另一方面，如果此位元流為該特定 F P G A 所需，則如步驟 (7 0 9) 所示，該 F P G A 處理此位元流中指定的任何組態資料，並將

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

此組態資料儲存在各可程式記憶單元中。

雖然業已參照若干特定實施例說明了本發明，但是我們當了解，對本門技術具有一般知識者將易於作出在本發明精神及範圍內的其他配置。因此，本發明只受限於下述之申請專利範圍。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：)

用以辨識由現場可程式閘陣列 (F P G A) 所接收之位元流是否為 F P G A 所需之方法和裝置

本申請案說明了一種現場可程式閘陣列 (F P G A) , 該 F P G A 在將組態資料寫入各可程式記憶單元之前, 先驗證一送入之位元流是否為該 F P G A 所需。此位元流具有一識別框, 該識別框包含一目標 F P G A 之識別碼, 一記憶體控制器中之驗證電路根據該識別碼而驗證此位元流是否為該 F P G A 所需。如果此位元流係為該 F P G A 所需, 則處理組態資料, 並將該組態資料儲存在各可程式記憶單元中。如果此位元流並不為該 F P G A 所需, 則該 F P G A 可進入一備用模式, 並在使用者重新設定該 F P G A 之前暫停組態程序。對於 F P G A 因接收針對不同大小的記憶體單元陣列之位元流所可能發生之損害, 此驗證電路可協助避免此種損害。

英文發明摘要(發明之名稱：)

METHOD AND APPARATUS FOR VERIFYING WHETHER A BITSTREAM
RECEIVED BY A FIELD PROGRAMMABLE GATE ARRAY
(FPGA) IS INTENDED FOR THAT FPGA

Abstract

A field programmable gate array (FPGA) which verifies that an incoming bitstream is intended for it prior to writing configuration data to programmable memory cells is described. The bitstream has an identification frame which includes an identification code for the targeted FPGA. A verification circuit in a memory controller verifies whether the bitstream is intended for the FPGA based upon the identification code. If the bitstream is intended for the FPGA, the configuration data is processed and stored in the programmable memory cells. If the bitstream is not intended for the FPGA, the FPGA may enter a standby mode, and the configuration process may be halted until a user resets the FPGA. The verification circuit can help prevent damage that may occur to the FPGA when bitstreams intended for a different size memory cell array are received by the FPGA.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種現場可程式閘陣列 (Field Programmable Gate Array; 簡稱 F P G A) , 包含 :

一可程式邏輯單元 (Programmable Logic Cell; 簡稱 P L C) 陣列 , 該 P L C 陣列具有至少一個可程式功能單元 (Programmable Function Unit; 簡稱 P F U) , 及若干相關的佈線資源 ;

複數個可程式輸入 / 輸出單元 (Programmable Input / Output Cell; 簡稱 P I C) , 複數個可程式記憶單元 , 以及一組態邏輯電路 ; 以及

一驗證單元 , 用以驗證該 F P G A 所接收的一位元流是否為該 F P G A 所需。

2. 如申請專利範圍第 1 項之 F P G A , 其中該驗證單元包含一驗證電路。

3. 如申請專利範圍第 2 項之 F P G A , 其中該驗證電路包含一比較器電路 , 該比較器電路設有一固定線路式識別碼。

4. 如申請專利範圍第 3 項之 F P G A , 其中比較器電路將該位元流中所含的一識別碼與該固定線路式識別碼比較。

5. 如申請專利範圍第 4 項之 F P G A , 其中該驗證電路提供一信號 , 用以指示該位元流中所含的識別碼是否符合該固定線路式識別碼。

6. 如申請專利範圍第 5 項之 F P G A , 其中如果該位元流中所含的識別碼不符合該固定線路式識別碼 , 則該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

F P G A 進入一備用模式。

7 . 如申請專利範圍第 4 項之 F P G A , 又包含一正反器電路, 用以提供一鎖定信號, 該鎖定信號指示該位元流中所含的識別碼不符合該固定線路式識別碼。

8 . 如申請專利範圍第 2 項之 F P G A , 其中該驗證電路將該位元流中所含的一識別碼與儲存在該驗證電路中之一識別碼比較。

9 . 如申請專利範圍第 1 項之 F P G A , 其中該驗證單元將該位元流中所含的一識別碼與儲存在該驗證單元中之一識別碼比較。

1 0 . 如申請專利範圍第 4 項之 F P G A , 其中該 F P G A 又包含信號產生裝置, 用以產生一指示該位元流中所含之該識別碼已準備要被該驗證電路所驗證之信號。

1 1 . 如申請專利範圍第 4 項之 F P G A , 其中該 F P G A 又包含信號產生電路, 用以產生一指示該位元流中所含之該識別碼已準備要被該驗證電路所驗證之信號。

1 2 . 如申請專利範圍第 1 項之 F P G A , 其中該等複數個可程式記憶單元包括隨機存取記憶體 (R A M) 。

1 3 . 如申請專利範圍第 1 項之 F P G A , 其中該等複數可程式記憶單元包括可抹除可程式唯讀記憶體 (E P R O M) 。

1 4 . 如申請專利範圍第 1 項之 F P G A , 其中該等複數個可程式記憶單元包括電氣式抹除可程式唯讀記憶體。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1 5 . 一種使用現場可程式閘陣列 (F P G A) 之方法，包含下列各步驟：

產生一包含一識別碼的位元流；

在該現場可程式閘陣列 (F P G A) 中接收該位元流；以及

根據該識別碼驗證該位元流是否為該現場可程式閘陣列 (F P G A) 所需。

1 6 . 如申請專利範圍第 1 5 項之方法，其中該驗證步驟包含下列步驟：將該識別碼與儲存在該 F P G A 中之一識別碼比較。

1 7 . 如申請專利範圍第 1 5 項之方法，其中該驗證步驟包含下列步驟：將該識別碼與永久儲存在該 F P G A 中之一識別碼比較。

1 8 . 如申請專利範圍第 1 6 項之方法，又包含下列步驟：產生一信號，用以指示該位元流中之識別碼已準備好作驗證。

1 9 . 如申請專利範圍第 1 6 項之方法，又包含下列步驟：如果該位元流中之識別碼不符合該 F P G A 中所儲存之識別碼，則進入一備用模式。

2 0 . 如申請專利範圍第 1 6 項之方法，其中該位元流又包含組態資料，且其中該方法又包含下列步驟：如果該位元流中之識別碼符合該 F P G A 中所儲存之識別碼，則處理該組態資料。

2 1 . 如申請專利範圍第 1 5 項之方法，又包含在該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

F P G A 中處理組態資料之步驟，其中該驗證步驟係發生在該處理步驟之前。

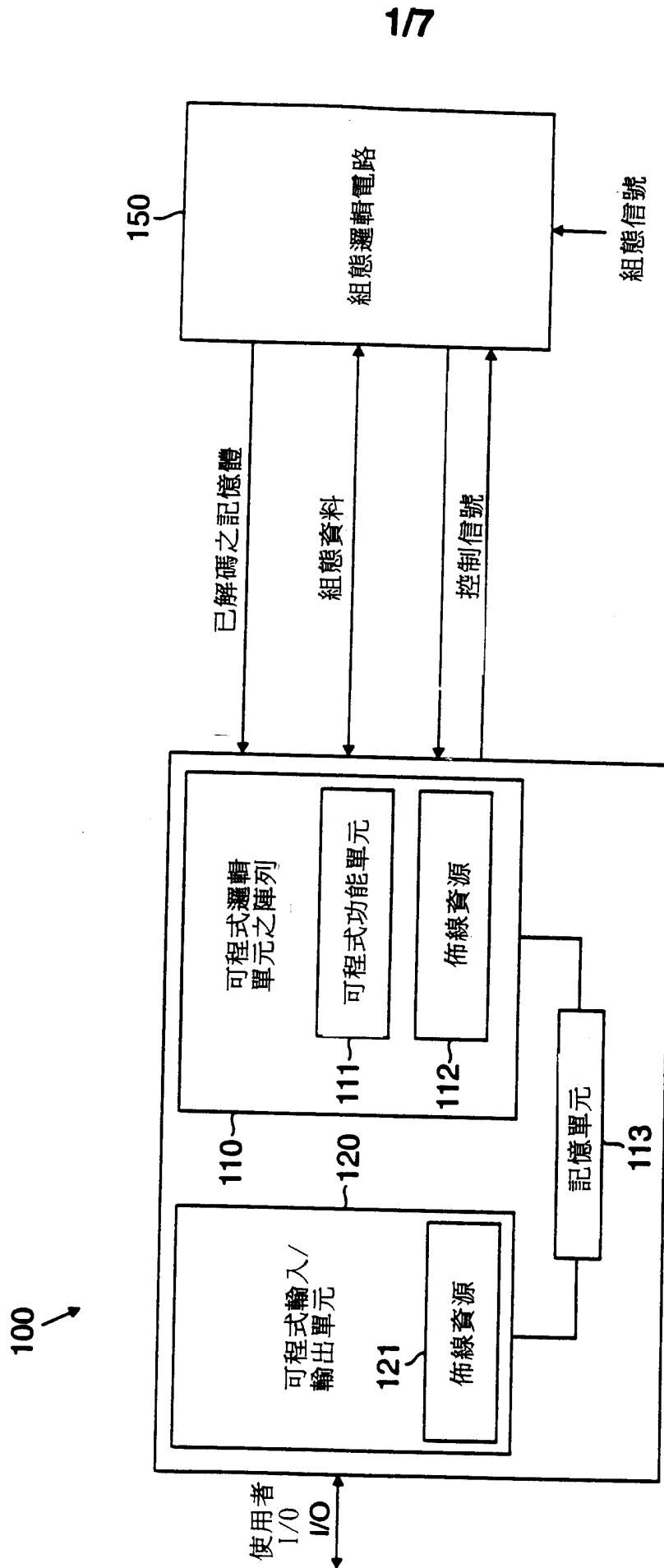
(請先閱讀背面之注意事項再填寫本頁)

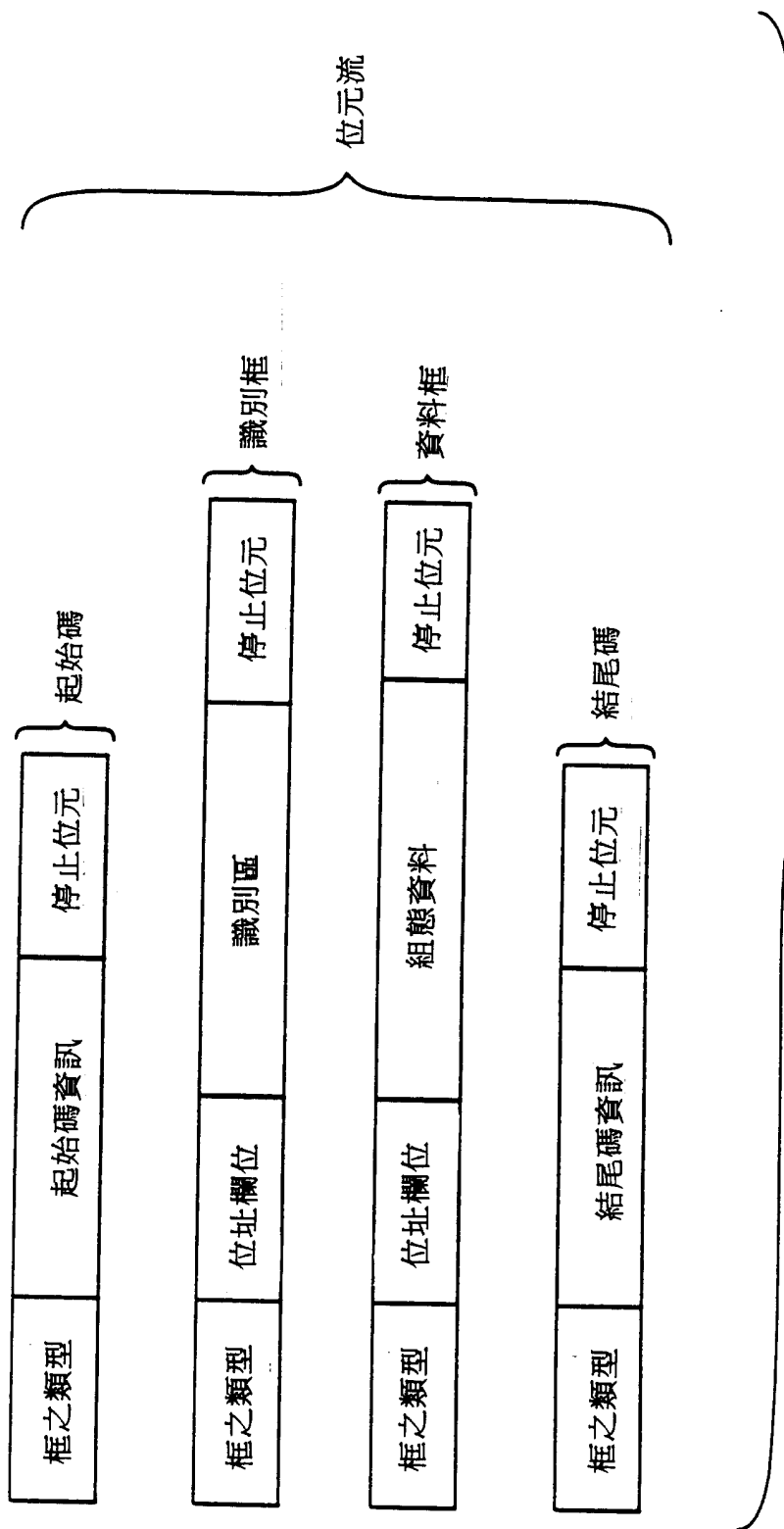
裝

訂

線

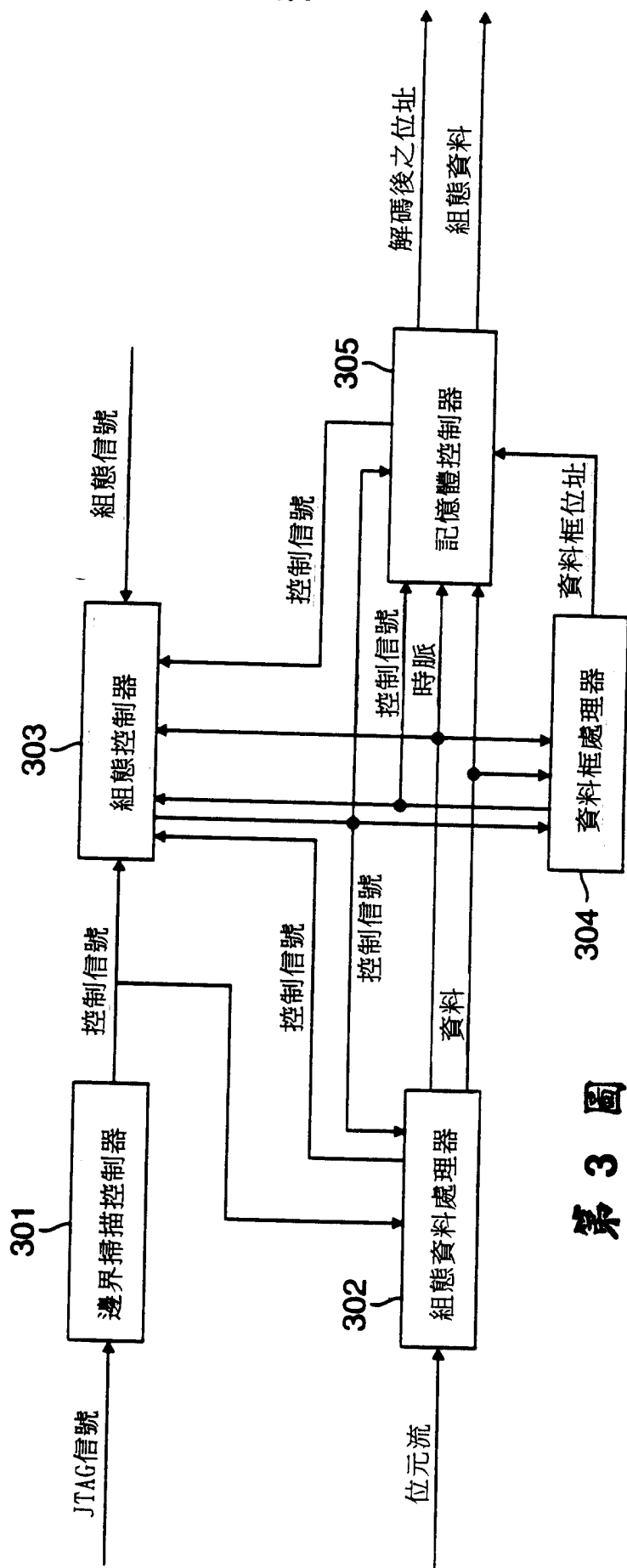
第 1 圖





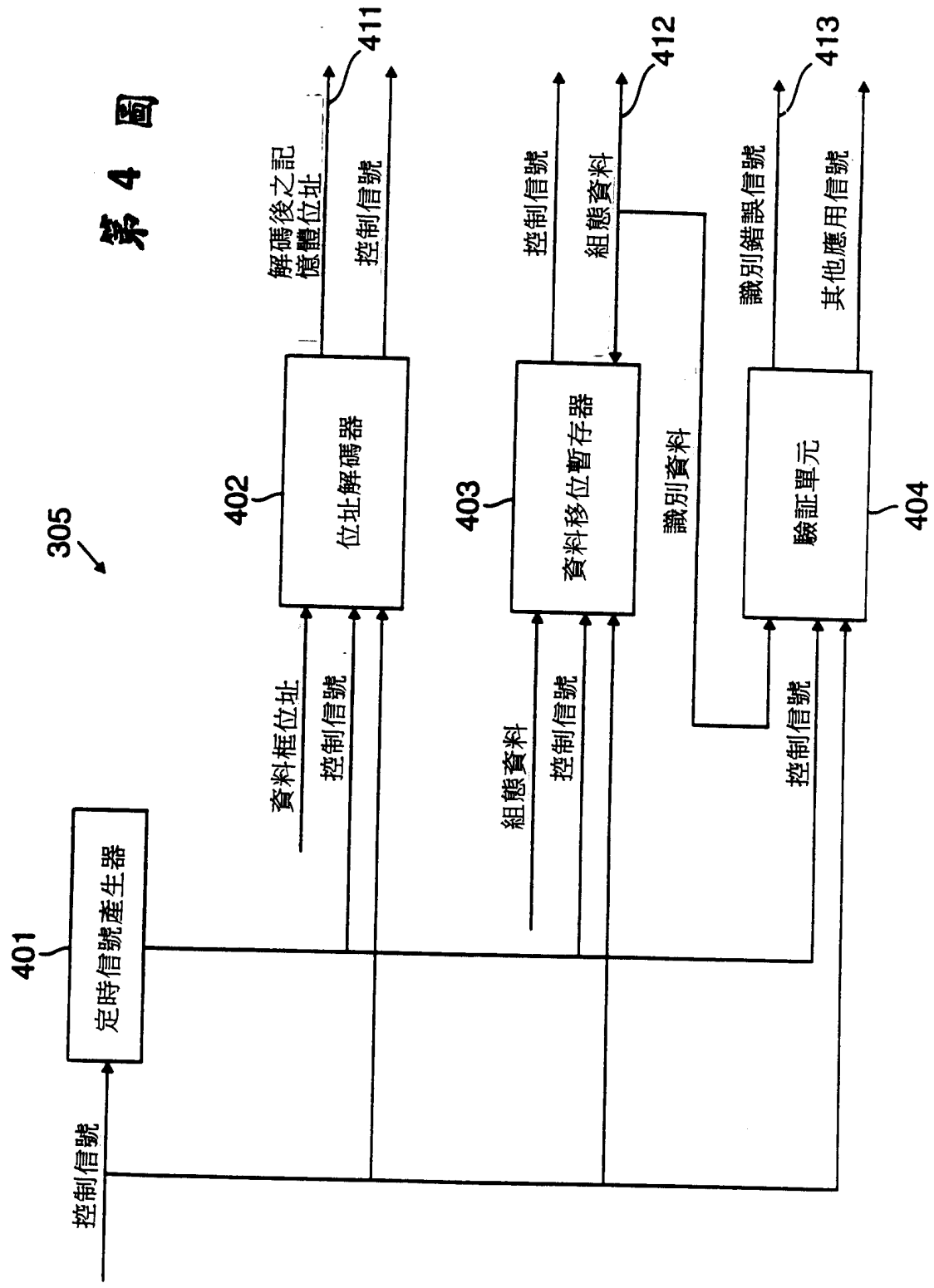
第 2 圖

150

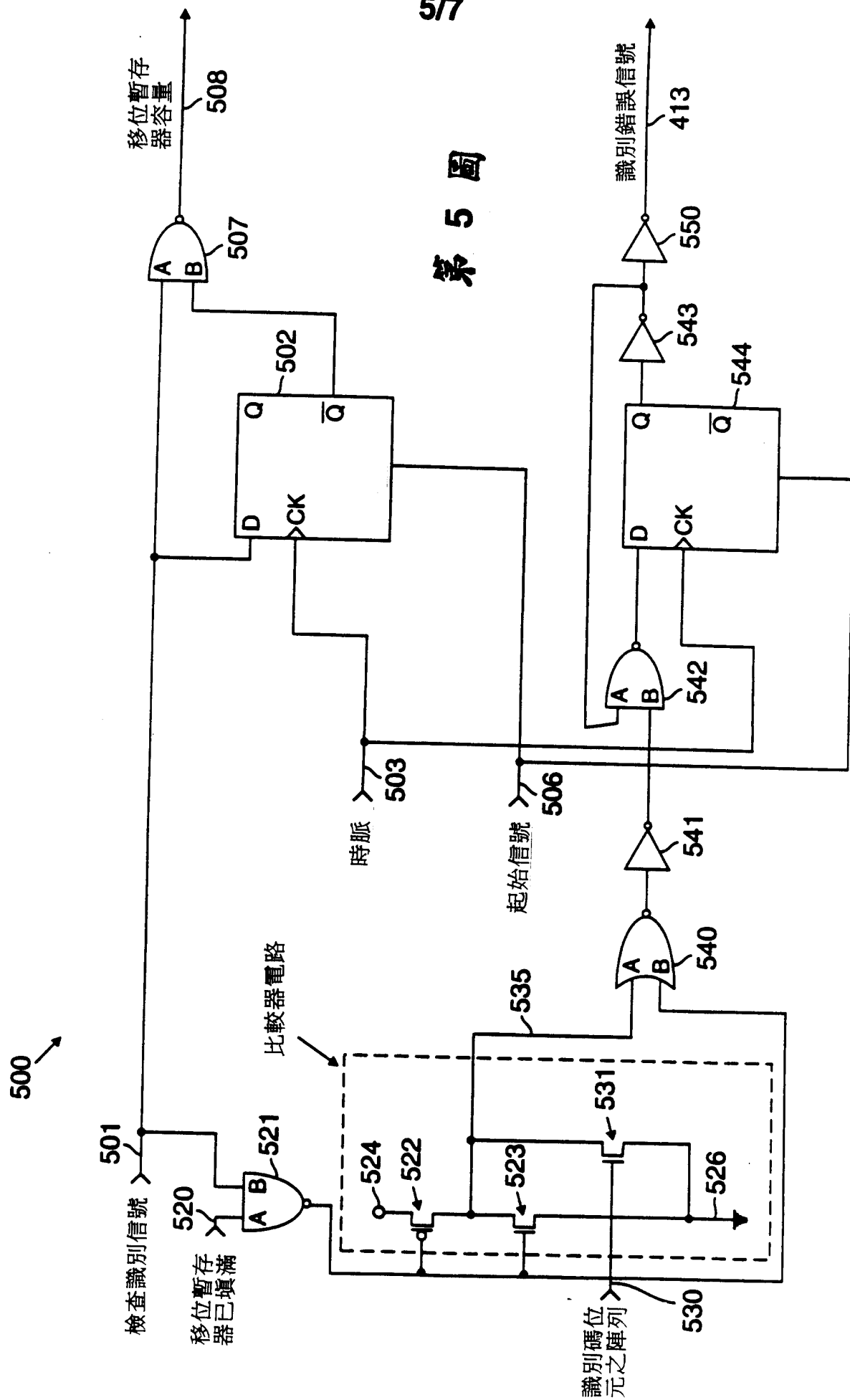


第 3 圖

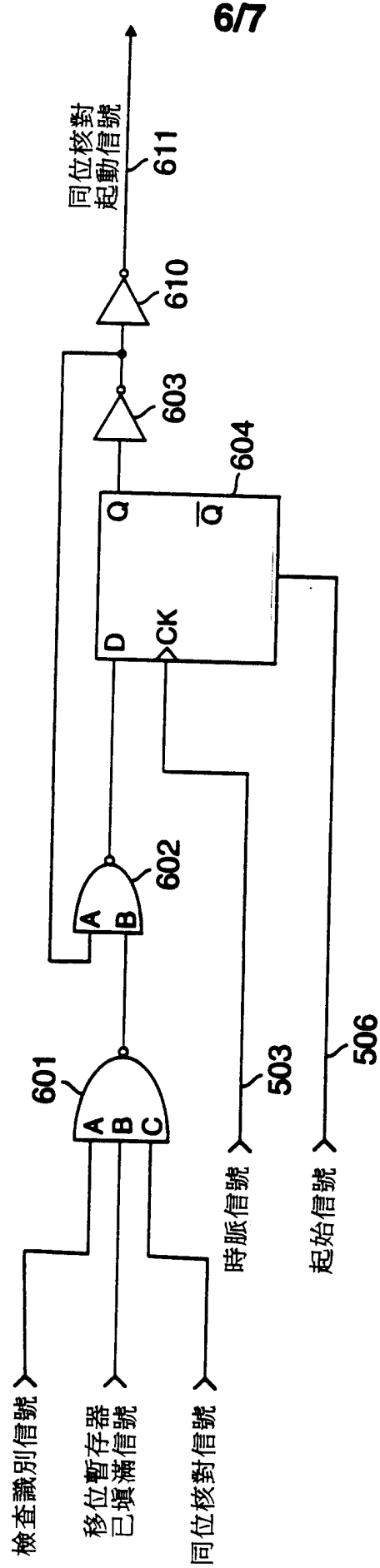
第 4 圖



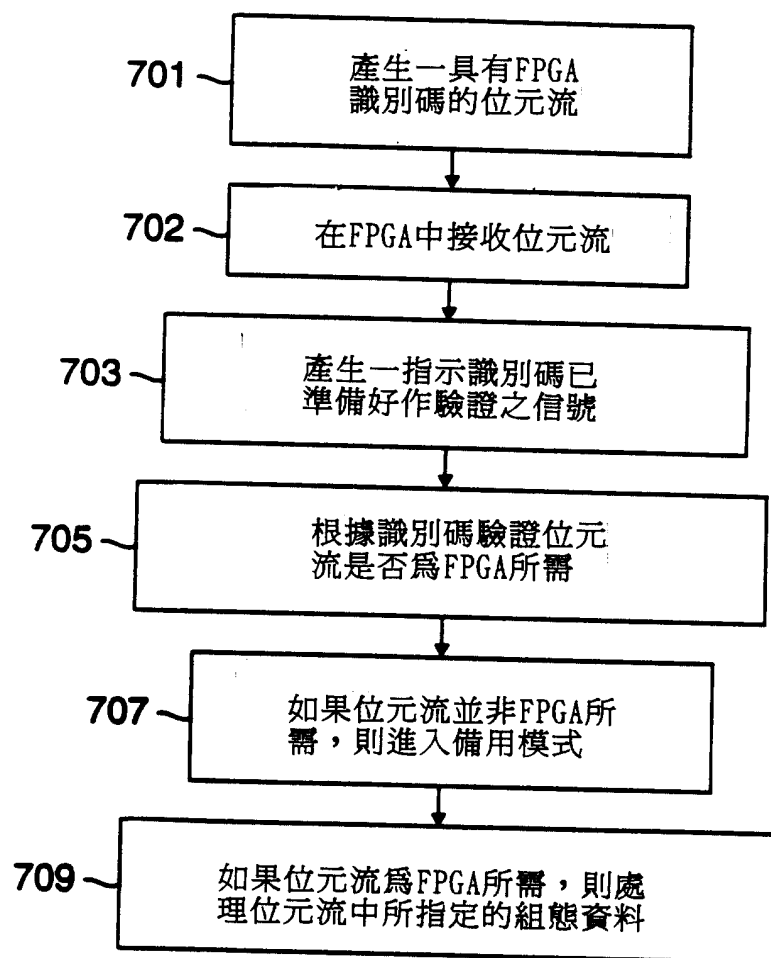
阿
5
張



600 →



第 6 圖



第 7 圖