

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5377657号
(P5377657)

(45) 発行日 平成25年12月25日 (2013.12.25)

(24) 登録日 平成25年10月4日 (2013.10.4)

(51) Int.Cl.

F I

H O 1 L 25/065 (2006.01)

H O 1 L 25/08 Z

H O 1 L 25/18 (2006.01)

H O 1 L 21/88 J

H O 1 L 25/07 (2006.01)

H O 1 L 21/3205 (2006.01)

H O 1 L 21/768 (2006.01)

請求項の数 8 (全 11 頁) 最終頁に続く

(21) 出願番号 特願2011-532892 (P2011-532892)
 (86) (22) 出願日 平成21年9月28日 (2009.9.28)
 (86) 国際出願番号 PCT/JP2009/066831
 (87) 国際公開番号 W02011/036819
 (87) 国際公開日 平成23年3月31日 (2011.3.31)
 審査請求日 平成23年9月12日 (2011.9.12)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100159651
 弁理士 高倉 成男
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

電極を有する第1の基板を用意する工程と、
 貫通孔を有する第2の基板を用意する工程と、
 前記第1の基板と前記第2の基板との間に絶縁層を介在させた状態で前記第1の基板上
 に前記第2の基板を積層する工程と、
 前記第2の基板をマスクとして用いて前記絶縁層をエッチングして、前記貫通孔下の前
 記絶縁層に前記電極に達する開口を形成する工程と、
 前記貫通孔及び前記開口を導電物で埋める工程と、
 を備えたことを特徴とする半導体装置の製造方法。

10

【請求項 2】

前記貫通孔の内面には絶縁膜が形成されている
 ことを特徴とする請求項1に記載の方法。

【請求項 3】

前記絶縁層をエッチングする際に用いるエッチャントに対して、前記絶縁層のエッチン
 グレートは前記絶縁膜のエッチングレートよりも高い
 ことを特徴とする請求項2に記載の方法。

【請求項 4】

前記絶縁膜上には導電性のバリア膜が形成されている
 ことを特徴とする請求項2に記載の方法。

20

【請求項 5】

前記絶縁層をエッチングする際に用いるエッチャントに対して、前記絶縁層のエッチングレートは前記バリア膜のエッチングレートよりも高いことを特徴とする請求項 4 に記載の方法。

【請求項 6】

前記絶縁層の材料は、ベンゾシクロブテン、ポリイミド、シリコン酸化物及びシリコン窒化物から選択されることを特徴とする請求項 1 に記載の方法。

【請求項 7】

前記貫通孔を有する第 2 の基板を用意する工程は、前記貫通孔を形成するための予備的な穴にダミー材料を充填する工程と、前記予備的な穴に充填されたダミー材料を前記第 2 の基板の裏面側から露出させる工程と、前記ダミー材料を除去する工程と、を含むことを特徴とする請求項 1 に記載の方法。

10

【請求項 8】

前記貫通孔を有する第 2 の基板を用意する工程は、前記貫通孔を形成するための予備的な穴にダミー材料を充填する工程と、前記予備的な穴に充填されたダミー材料を前記第 2 の基板の裏面側から露出させる工程と、を含み、

前記第 2 の基板を積層した後に前記ダミー材料を除去する

ことを特徴とする請求項 1 に記載の方法。

【発明の詳細な説明】

20

【技術分野】**【0001】**

本発明は、半導体装置の製造方法に関する。

【背景技術】**【0002】**

半導体装置（半導体集積回路装置）のより一層の高集積化及び高速化をはかる観点から、3次元集積回路（LSI）装置が提案されている。3次元LSIでは、TSV（Through Silicon Via）と呼ばれる貫通電極を用いて基板間の電氣的接続が行われる。

【0003】

3次元LSIでは通常、上下の基板を加圧してバンプ同士を圧着させた後、基板間の隙間に接着剤を充填することで基板の貼り合わせを行っている。しかしながら、この方法では、上下の基板を加圧する際にLSI中の素子が大きなダメージを受けるおそれがある。また、基板間の隙間が狭いと、基板間の隙間に接着剤を充填することが困難になる。

30

【0004】

上述したような問題に対して、特許文献 1 には以下のような方法が開示されている。まず、基板（ウエハ）に貫通孔を形成し、貫通孔の内面に絶縁膜を形成する。続いて、基板の裏面を研磨した後、基板の裏面に絶縁層を形成する。さらに、裏面の絶縁層をパターニングした後、基板同士を貼り合わせる。その後、貫通孔に導電性材料を充填することで、基板間の電氣的な接続を行う。しかしながら、この方法では、ラフネスの大きい基板の裏面に形成された絶縁層をパターニングするため、十分な加工精度が得られないという問題がある。

40

【0005】

このように、従来は3次元LSIを効果的に作製することが困難であった。

【先行技術文献】**【特許文献】****【0006】**

【特許文献 1】特開 2005 - 197339 号公報

【発明の概要】**【発明が解決しようとする課題】****【0007】**

50

本発明は、３次元ＬＳＩを効果的に作製することが可能な半導体装置の製造方法を提供することを目的としている。

【課題を解決するための手段】

【０００８】

本発明の一視点に係る半導体装置の製造方法は、電極を有する第１の基板を用意する工程と、貫通孔を有する第２の基板を用意する工程と、前記第１の基板と前記第２の基板との間に絶縁層を介在させた状態で前記第１の基板上に前記第２の基板を積層する工程と、前記第２の基板をマスクとして用いて前記絶縁層をエッチングして、前記貫通孔下の前記絶縁層に前記電極に達する開口を形成する工程と、前記貫通孔及び前記開口を導電物で埋める工程と、を備える。

10

【発明の効果】

【０００９】

本発明によれば、３次元ＬＳＩを効果的に作製することが可能な半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【００１０】

【図１】図１は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

【図２】図２は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

20

【図３】図３は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

【図４】図４は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

【図５】図５は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

【図６】図６は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

【図７】図７は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

30

【図８】図８は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

【図９】図９は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

【図１０】図１０は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

【図１１】図１１は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

【図１２】図１２は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

40

【図１３】図１３は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

【図１４】図１４は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

【図１５】図１５は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

【図１６】図１６は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

【図１７】図１７は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

50

【図 1 8】図 1 8 は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

【図 1 9】図 1 9 は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

【図 2 0】図 2 0 は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

【図 2 1】図 2 1 は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

【図 2 2】図 2 2 は、実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図である。

10

【図 2 3】図 2 3 は、実施形態の第 1 の変更例に係る半導体装置の構成を模式的に示した断面図である。

【図 2 4】図 2 4 は、実施形態の第 2 の変更例に係る半導体装置の構成を模式的に示した断面図である。

【発明を実施するための形態】

【0011】

以下、本発明の実施形態を図面を参照して説明する。

【0012】

図 1 ~ 図 2 2 は、本発明の実施形態に係る半導体装置の製造方法を模式的に示した断面図である。本実施形態では、3 層構造の 3 次元 L S I を例に説明する。

20

【0013】

図 1 ~ 図 8 は、第 1 層目の基板の製造工程を示した図である。

【0014】

まず、図 1 に示すように、集積回路が形成された基板を用意する。図 1 において、102 は半導体基板であるシリコン基板（シリコンウエハ）、104 はシリコン基板 102 の表面領域に形成された回路領域、106 は回路の接続端子となるトップメタル層、108 はパッシベーション膜を示している。

【0015】

次に、図 2 に示すように、エッチングによって基板に穴 110 を形成する。このエッチングには、R I E（reactive ion etching）等の異方性エッチングを用いる。エッチングガスとしては、S F₆ 及び O₂ の混合ガス、或いは S F₆、O₂ 及び C₄F₈ の混合ガスを用いることができる。

30

【0016】

次に、図 3 に示すように、穴 110 の内面に沿って絶縁膜 112 を堆積する。絶縁膜 112 の材料には、シリコン酸化物、シリコン窒化物、有機シリカ等を用いることができる。また、絶縁膜 112 の堆積方法には、プラズマ C V D（chemical vapor deposition）法や熱 C V D 法等を用いることができる。

【0017】

次に、図 4 に示すように、絶縁膜 112 をパターニングして、トップメタル層 106 の上面に穴を形成するとともに、トップメタル層 106 と後述する貫通電極 116 とを接続する配線のための溝を形成する。

40

【0018】

次に、図 5 に示すように、導電性のバリア膜 114 を形成する。バリア膜 114 を設けることにより、穴 110 等を埋める導電性材料がシリコン基板中へ拡散することを防止できる。バリア膜 114 には、T a、T a N、T i N 等のバリアメタル或いはポリシリコンを用いることができる。また、バリア膜 114 の堆積方法には、熱 C V D 法、A L D（atomic layer deposition）法、プラズマ C V D 法、反応性スパッタリング法或いはイオン化スパッタリング法等を用いることができる。なお、穴 110 等を埋める導電性材料としてポリシリコンを用いる場合には、バリア膜 114 の形成工程を省略してもよい。

【0019】

50

次に、図 6 に示すように、導電性材料 1 1 6 を全面に堆積し、この導電性材料 1 1 6 によって穴 1 1 0 並びに図 4 の工程で形成した穴及び溝を埋める。導電性材料 1 1 6 には、Cu、W、Al 或いはポリシリコン等を用いることができる。また、導電性材料 1 1 6 の堆積方法には、PVD (physical vapor deposition) 法、CVD 法、メッキ法或いは LPCVD 法等を用いることができる。

【0020】

次に、図 7 に示すように、CMP (chemical mechanical polishing) によって導電性材料 1 1 6 を研磨する。これにより、穴及び溝以外に形成されている導電性材料 1 1 6 を除去する。その結果、穴 1 1 0 内に電極が形成される。

【0021】

次に、図 8 に示すように、基板の裏面側から機械研磨及びエッチングを行い、電極 1 1 6 を露出させる。これにより、TSV (Through Silicon Via) 構造の貫通電極 1 1 6 が得られる。

【0022】

図 9 ~ 図 1 4 は、第 2 層目の基板の製造工程を示した図である。

【0023】

まず、図 9 に示すように、集積回路が形成された基板を用意する。図 9 において、202 は半導体基板であるシリコン基板 (シリコンウエハ)、204 はシリコン基板 202 の表面領域に形成された回路領域、206 は回路の接続端子となるトップメタル層、208 はパッシベーション膜を示している。

【0024】

次に、図 10 に示すように、エッチングによって基板に穴 2 1 0 を形成する。このエッチングには、図 2 の工程で示した方法と同様の方法を用いることができる。

【0025】

次に、図 11 に示すように、穴 2 1 0 の内面に沿って絶縁膜 2 1 2 を堆積する。絶縁膜 2 1 2 の材料や堆積方法には、図 3 の工程で示したのと同様の材料や堆積方法を用いることができる。

【0026】

次に、図 12 に示すように、絶縁膜 2 1 2 をパターニングして、トップメタル層 206 の上面に穴を形成するとともに、トップメタル層 206 と後述する貫通電極 2 1 8 とを接続する配線のための溝を形成する。

【0027】

次に、図 13 に示すように、導電性のバリア膜 2 1 4 を形成する。このバリア膜 2 1 4 の材料や堆積方法には、図 5 の工程で示したのと同様の材料や堆積方法を用いることができる。なお、穴 2 1 0 等を埋める導電性材料としてポリシリコンを用いる場合には、バリア膜 2 1 4 の形成工程を省略してもよい。

【0028】

次に、図 14 に示すように、基板の裏面側から機械研磨及びエッチングを行い、貫通孔 2 1 6 を形成する。なお、研磨及びエッチングによる貫通孔入り口へのダメージを防止するために、研磨及びエッチングを行う前に、貫通孔 2 1 6 となる穴 2 1 0 内にポリシリコン等のダミー材料を充填しておいてもよい。この場合、研磨及びエッチングによって基板の裏面側からダミー材料を露出させた後にダミー材料を除去すればよい。ダミー材料として用いるポリシリコンは、シランガスを用いた LPCVD 法で形成することができる。

【0029】

3 層目の基板は、2 層目の基板と同様の工程によって製造することができるため、説明は省略する。

【0030】

図 15 ~ 図 22 は、第 1 層目から第 3 層目の基板を積層する工程を示した図である。

【0031】

まず、図 15 ~ 図 18 に示すように、第 1 層目の基板 (第 1 の基板) 100 上に第 2 層

10

20

30

40

50

目の基板（第2の基板）200を積層する。具体的には、以下の通りである。

【0032】

まず、図15に示すように、第1層目の基板（第1の基板）100上に絶縁層400を形成し、絶縁層400上に第2層目の基板（第2の基板）200を積層する。このとき、第1の基板100の貫通電極116の中心と第2の基板200の貫通孔216の中心とが一致するようにアライメントを行う。絶縁層400には、ポリイミドやベンゾシクロブテン（BCB）等の樹脂を用いることができる。また、絶縁層400にシリコン酸化膜やシリコン窒化膜を用いることも可能である。

【0033】

次に、図16に示すように、第2の基板200をマスクとして用いて絶縁層400をエッチングして、貫通孔216直下の絶縁層400に貫通電極116に達する開口を形成する。すなわち、貫通孔216を通してエッチャントを絶縁層400に供給し、貫通孔216と同一の平面形状を有する開口を絶縁層400に形成する。このエッチングの際に、貫通孔216の内面（内壁）に形成された絶縁膜212及びバリア膜214が消失しないようにするため、絶縁層400を絶縁膜212及びバリア膜214に対して選択的にエッチングする。すなわち、絶縁層400をエッチングする際に用いるエッチャントに対して、絶縁層400のエッチングレートが絶縁膜212のエッチングレート及びバリア膜214のエッチングレートよりも高くなるようにする。貫通孔216の内面の最上層にバリア膜214が形成されている場合には、絶縁層400としてポリイミドやベンゾシクロブテン（BCB）等の樹脂を用いることができる。また、絶縁層400にシリコン酸化膜やシリコン窒化膜を用いることも可能である。また、バリア膜214を形成せずに、貫通孔216の内面の最上層に絶縁膜212が形成されている場合には、絶縁膜212としてシリコン酸化膜を用い、絶縁層400としてポリイミドやベンゾシクロブテン（BCB）等の樹脂を用いることができる。このとき、エッチングガスに CF_4 及び O_2 の混合ガスを用いてRIEを行うことで、ポリイミドやBCBを選択的にエッチングすることができる。

【0034】

なお、図14の工程で貫通孔216内にダミー材料を充填しておいた場合には、図16の工程の前にダミー材料を除去しておく。具体的には、図15の工程で第1の基板100と第2の基板200とを積層する前或いは積層した後に、ダミー材料を除去する。第2の基板200を積層した後にダミー材料を除去する場合には、第2の基板200を積層する際の貫通孔入り口へのダメージを防止することができる。なお、ダミー材料としてポリシリコンを用いた場合には、エッチングガスに CF_4 及び O_2 の混合ガスを用いたRIE又はプラズマエッチングによってダミー材料を除去することができる。

【0035】

次に、図17に示すように、導電性材料（導電物）218を全面に堆積する。この導電性材料218によって、貫通孔216、貫通孔216直下の絶縁層400に形成した開口、図13の工程でトップメタル層206の上面に形成した穴及び配線用の溝を埋める。この導電性材料218の材料や堆積方法には、図6の工程で示したのと同様の材料や堆積方法を用いることができる。

【0036】

次に、図18に示すように、CMPによって導電性材料218を研磨する。これにより、穴や溝以外に形成されている導電性材料218が除去される。その結果、貫通孔216及び貫通孔216直下の開口に貫通電極218が形成される。すなわち、絶縁層400に形成された開口を介して、貫通電極116と貫通電極218とが接続される。

【0037】

次に、図19～図22に示すように、第2層目の基板（第2の基板）200上に第3層目の基板（第3の基板）300を積層する。なお、第3の基板の基本的な積層工程は第2の基板の積層工程と同様であるため、すでに説明した事項の説明は省略する。

【0038】

まず、図19に示すように、第2層目の基板（第2の基板）200上に絶縁層500を

10

20

30

40

50

形成し、絶縁層 500 上に第 3 層目の基板（第 3 の基板）300 を積層する。このとき、第 2 の基板 200 の貫通電極 218 の中心と第 3 の基板 300 の貫通孔 316 の中心とが一致するようにアライメントを行う。

【0039】

次に、図 20 に示すように、第 3 の基板 300 をマスクとして用いて絶縁層 500 をエッチングして、貫通孔 316 直下の絶縁層 500 に貫通電極 218 に達する開口を形成する。すなわち、貫通孔 316 を通してエッチャントを絶縁層 500 に供給し、貫通孔 316 と同一の平面形状を有する開口を絶縁層 500 に形成する。

【0040】

次に、図 21 に示すように、導電性材料（導電物）318 を全面に堆積する。この導電性材料 318 によって、貫通孔 316、貫通孔 316 直下の絶縁層 500 に形成した開口、トップメタル層 306 の上面に形成した穴及び配線用の溝を埋める。

10

【0041】

次に、図 22 に示すように、CMP によって導電性材料 318 を研磨する。これにより、穴や溝以外に形成されている導電性材料 318 が除去される。その結果、貫通孔 316 及び貫通孔 316 直下の開口に貫通電極 318 が形成される。すなわち、絶縁層 500 に形成された開口を介して、貫通電極 218 と貫通電極 318 とが接続される。

【0042】

以上のようにして、絶縁層 400 に形成された開口及び絶縁層 500 に形成された開口を介して、貫通電極 116、218 及び 318 が接続された構造が得られる。

20

【0043】

以上のように、本実施形態では、第 1 の基板 100 と第 2 の基板 200 との間に介在した絶縁層 400 を第 2 の基板 200 をマスクとして用いてエッチングすることで、貫通孔 216 下の絶縁層 400 に開口を形成し、貫通孔及び開口を導電物で埋めて貫通電極を形成している。このように、第 2 の基板 200 をマスクとして用いてエッチングを行うため、製造工程を簡略化することができるとともに、積層された基板の電極同士を確実に接続することができる。第 2 の基板と第 3 の基板との関係についても同様である。したがって、特性や信頼性に優れた半導体装置を簡単な工程で製造することができる。

【0044】

また、基板の裏面側からではなく表面側からパターニングを行うため、高精度で微細加工を行うことができ、高密度のパターンを形成することができる。また、バンプを用いて接続を行うものではないため、バンプ接続時の加圧によるダメージを無くすことができ、信頼性の高い半導体装置を得ることができる。

30

【0045】

図 23 は、本実施形態の第 1 の変更例に係る半導体装置の構成を模式的に示した断面図である。上述した実施形態では、貫通電極同士の中心が互いに一致するようにしたが、図 23 に示すように貫通電極同士の中心が一致していなくてもよい。図 23 の例では、第 2 の基板 200 の貫通電極 218 とトップメタル層 206 との接続部分が実質的に電極として機能し、第 2 の基板 200 の貫通電極 218 と第 3 の基板 300 の貫通電極 318 とが電氣的に接続される。このような構成であっても、上述した効果と同様の効果を得ることが可能である。

40

【0046】

図 24 は、本実施形態の第 2 の変更例に係る半導体装置の構成を模式的に示した断面図である。本変更例では、第 1 の基板 100 に貫通電極が形成されていない部分が存在し、第 2 の基板 200 の貫通電極 218 が第 1 の基板のトップメタル層 106 に接続されている。このような構成であっても、上述した効果と同様の効果を得ることが可能である。

【0047】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。

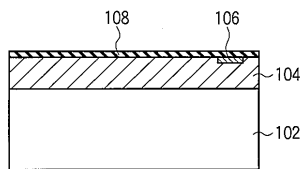
【符号の説明】

50

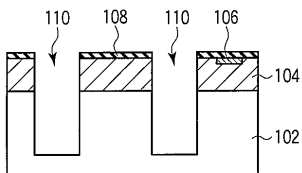
【 0 0 4 8 】

1 0 0、2 0 0、3 0 0 ... 基板	1 0 2、2 0 2 ... シリコン基板
1 0 4、2 0 4 ... 回路領域	1 0 6、2 0 6 ... トップメタル層
1 0 8、2 0 8 ... パッシベーション膜	1 1 0、2 1 0 ... 穴
1 1 2、2 1 2、3 1 2 ... 絶縁膜	1 1 4、2 1 4、3 1 4 ... バリア膜
1 1 6、2 1 8、3 1 8 ... 貫通電極	2 1 6、3 1 6 ... 貫通孔
4 0 0、5 0 0 ... 絶縁層	

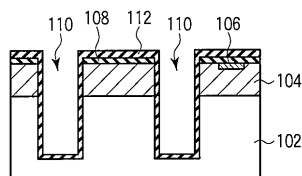
【 図 1 】



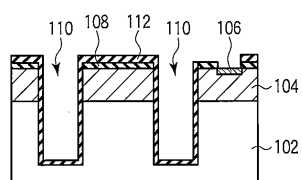
【 図 2 】



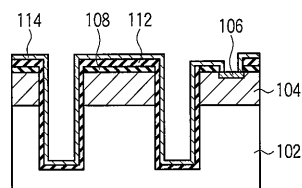
【 図 3 】



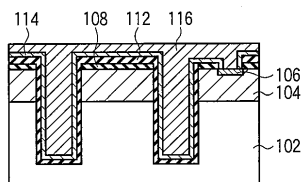
【 図 4 】



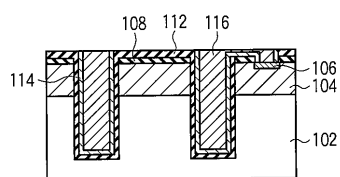
【 図 5 】



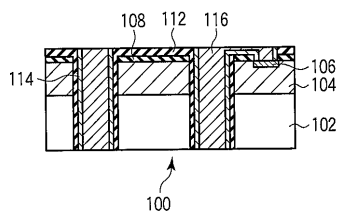
【 図 6 】



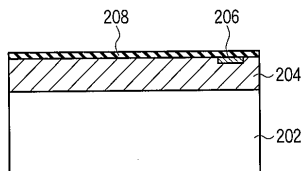
【 図 7 】



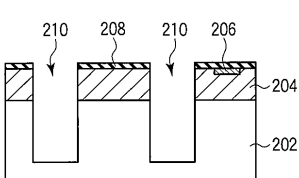
【図 8】



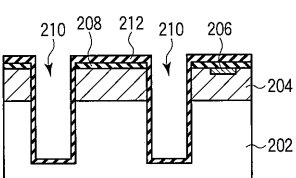
【図 9】



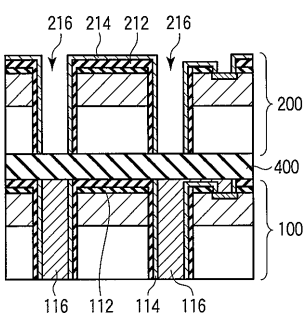
【図 10】



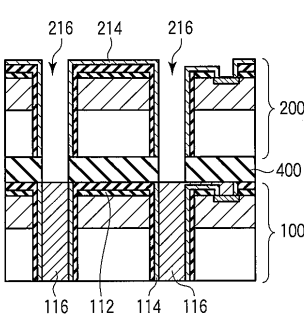
【図 11】



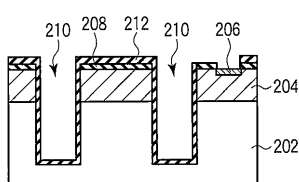
【図 15】



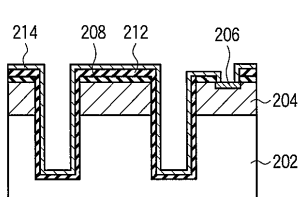
【図 16】



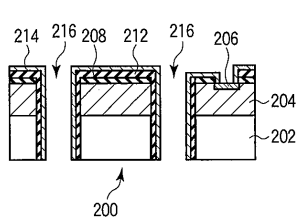
【図 12】



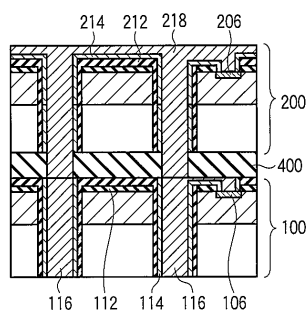
【図 13】



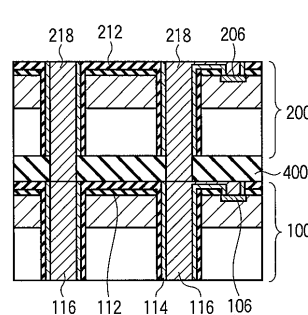
【図 14】



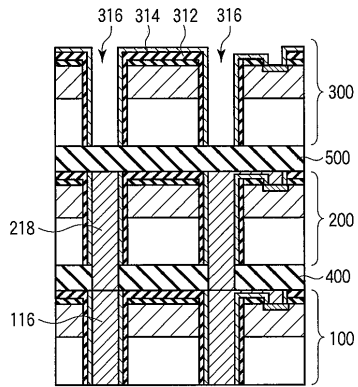
【図 17】



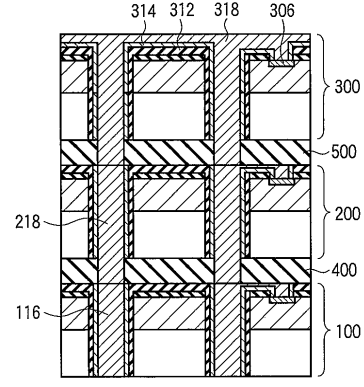
【図 18】



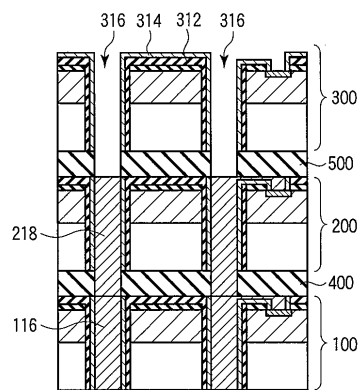
【図 19】



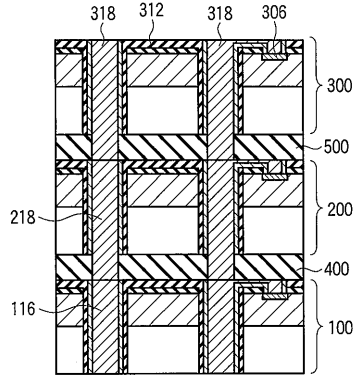
【図 21】



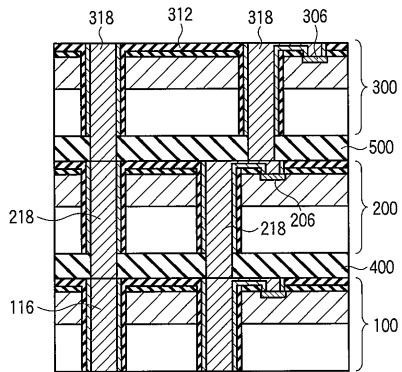
【図 20】



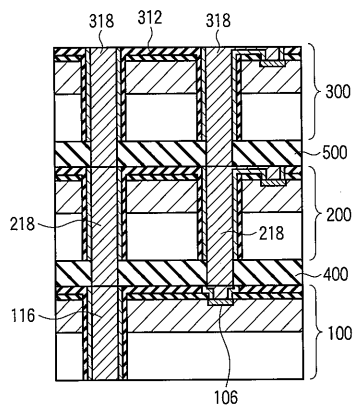
【図 22】



【図 23】



【図 24】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 23/522 (2006.01)

(74)代理人 100075672

弁理士 峰 隆司

(74)代理人 100095441

弁理士 白根 俊郎

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100103034

弁理士 野河 信久

(74)代理人 100119976

弁理士 幸長 保次郎

(74)代理人 100153051

弁理士 河野 直樹

(74)代理人 100140176

弁理士 砂川 克

(74)代理人 100158805

弁理士 井関 守三

(74)代理人 100124394

弁理士 佐藤 立志

(74)代理人 100112807

弁理士 岡田 貴志

(74)代理人 100111073

弁理士 堀内 美保子

(74)代理人 100134290

弁理士 竹内 将訓

(72)発明者 安部 恵子

日本国東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 宮本 靖史

(56)参考文献 特開2006-287211(JP,A)

特開2003-197855(JP,A)

特開2004-039667(JP,A)

特開2009-004722(JP,A)

特開2009-004593(JP,A)

特開2009-141010(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 5 / 0 0 - 2 5 / 1 8

H 0 1 L 2 1 / 3 2 0 5

H 0 1 L 2 1 / 7 6 8

H 0 1 L 2 3 / 5 2 2