



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0059509
(43) 공개일자 2012년06월08일

(51) 국제특허분류(Int. Cl.)
H01L 31/10 (2006.01) H01L 31/04 (2006.01)
(21) 출원번호 10-2012-7004336
(22) 출원일자(국제) 2010년08월02일
심사청구일자 없음
(85) 번역문제출일자 2012년02월20일
(86) 국제출원번호 PCT/JP2010/063436
(87) 국제공개번호 WO 2011/024629
국제공개일자 2011년03월03일
(30) 우선권주장
JP-P-2009-194223 2009년08월25일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
이소베 아츠오
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
하리마 노리코
일본 636-0013 나라켄 기타카츠라기군 오지초 모
토마치 2-15-9
(뒷면에 계속)
(74) 대리인
장훈

전체 청구항 수 : 총 16 항

(54) 발명의 명칭 반도체 장치 및 그 제작 방법

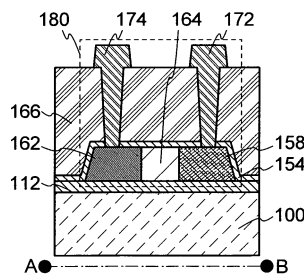
(57) 요약

개시된 발명의 실시형태의 목적은, 우수한 특성을 갖는 광전 변환 소자를 포함하는 반도체 장치를 제공하는 것이다. 개시된 발명의 실시형태의 목적은 단순한 공정을 통해 우수한 특성을 갖는 광전 변환 장치를 포함하는 반도체 장치를 제공하는 것이다. 광 투과성 기관, 광 투과성 기관 위의 절연층, 및 절연층 위의 광전 변환 소자를 포함하는 반도체 장치가 제공된다. 광전 변환 소자는, 광전 변환의 효과를 갖는 반도체 영역, 제 1 도전형을 갖는 반도체 영역, 및 제 2 도전형을 갖는 반도체 영역을 포함하는 단결정 반도체층; 제 1 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 1 전극; 및 제 2 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 2 전극을 포함한다.

대표도

도 1b

단면도



(72) 발명자

마츠모토 노리코

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

시모무라 아키히사

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

노다 고타이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

야마와키 가즈코

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

구로카와 요시유키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

이케다 다카유키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

하마다 다카시

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

특허청구의 범위

청구항 1

광 투과성 기관;

상기 광 투과성 기관 위의 절연층; 및

상기 절연층 위의 광전 변환 소자를 포함하는 반도체 장치로서,

상기 광전 변환 소자는:

광전 변환의 효과를 갖는 반도체 영역, 제 1 도전형성을 갖는 반도체 영역, 및 제 2 도전형성을 갖는 반도체 영역을 포함하는 단결정 반도체층;

상기 제 1 도전형성을 갖는 상기 반도체 영역에 전기적으로 접속된 제 1 전극; 및

상기 제 2 도전형성을 갖는 상기 제 2 반도체 영역에 전기적으로 접속된 제 2 전극을 포함하는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 절연층은 유기실란을 포함하는 산화 실리콘막인, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 절연층 위에 트랜지스터가 제공되는, 반도체 장치.

청구항 4

광 투과성 기관;

상기 광 투과성 기관 위의 제 1 절연층;

상기 제 1 절연층 위에 선택적으로 형성된 차광층;

상기 차광층 위의 제 2 절연층; 및

상기 제 2 절연층 위의 광전 변환 소자를 포함하는 반도체 장치로서,

상기 광전 변환 소자는:

광전 변환의 효과를 갖는 반도체 영역, 제 1 도전형성을 갖는 반도체 영역, 및 제 2 도전형성을 갖는 반도체 영역을 포함하는 단결정 반도체층;

상기 제 1 도전형성을 갖는 상기 반도체 영역에 전기적으로 접속된 제 1 전극; 및

상기 제 2 도전형성을 갖는 상기 반도체 영역에 전기적으로 접속된 제 2 전극을 포함하는, 반도체 장치.

청구항 5

제 4 항에 있어서,

상기 제 2 절연층은 유기실란을 포함하는 산화 실리콘막인, 반도체 장치.

청구항 6

제 4 항에 있어서,

상기 제 2 절연층 위에 트랜지스터가 제공되는, 반도체 장치.

청구항 7

광 투과성 기관;

상기 광 투과성 기관 위의 절연층; 및

상기 절연층 위의 광전 변환 소자 및 트랜지스터를 포함하는 반도체 장치로서,

상기 광전 변환 소자는:

광전 변환의 효과를 갖는 반도체 영역, 제 1 도전형성을 갖는 반도체 영역, 및 제 2 도전형성을 갖는 반도체 영역을 포함하는 제 1 단결정 반도체층;

상기 제 1 도전형성을 갖는 상기 반도체 영역에 전기적으로 접속된 제 1 전극; 및

상기 제 2 도전형성을 갖는 상기 반도체 영역에 전기적으로 접속된 제 2 전극을 포함하고,

상기 트랜지스터는:

채널 형성 영역, 소스 영역, 및 드레인 영역을 포함하는 제 2 단결정 반도체층;

상기 제 2 단결정 반도체층 위의 게이트 절연막;

상기 게이트 절연막 위의 게이트 전극;

상기 소스 영역에 전기적으로 접속된 소스 전극; 및

상기 드레인 영역에 전기적으로 접속된 드레인 전극을 포함하고,

상기 제 1 단결정 반도체층 및 상기 제 2 단결정 반도체층은 상기 절연층 위에 형성되고,

상기 제 1 단결정 반도체층의 두께는 상기 제 2 단결정 반도체층의 두께보다 큰, 반도체 장치.

청구항 8

제 7 항에 있어서,

상기 절연층은 유기실란을 포함하는 산화 실리콘막인, 반도체 장치.

청구항 9

광전 변환 소자를 포함하는 반도체 장치를 제작하는 방법으로서:

이온으로 단결정 반도체 기판을 조사하여, 상기 단결정 반도체 기판에서 취화 영역(embrittled region)을 형성하는 단계;

상기 단결정 반도체 기관 및 광 투과성 기관을 절연층을 개재하여 함께 접합하는 단계;

상기 취화 영역에서 상기 단결정 반도체 기판을 분리하여, 상기 광 투과성 기관 위에 단결정 반도체층을 형성하는 단계;

상기 단결정 반도체층을 가공하여, 섬형상 단결정 반도체층을 형성하는 단계;

상기 섬형상 단결정 반도체층에 제 1 불순물 원소 및 제 2 불순물 원소를 선택적으로 첨가하여, 광전 변환의 효과를 갖는 반도체 영역, 제 1 도전형성을 갖는 반도체 영역, 및 제 2 도전형성을 갖는 반도체 영역을 형성하는 단계;

상기 제 1 도전형성을 갖는 상기 반도체 영역에 전기적으로 접속된 제 1 전극을 형성하는 단계; 및

상기 제 2 도전형성을 갖는 상기 반도체 영역에 전기적으로 접속된 제 2 전극을 형성하는 단계를 포함하는, 광전 변환 소자를 포함하는 반도체 장치 제작 방법.

청구항 10

제 9 항에 있어서,

상기 절연층은 유기실란을 포함하는 산화 실리콘막인, 광전 변환 소자를 포함하는 반도체 장치 제작 방법.

청구항 11

광전 변환 소자를 포함하는 반도체 장치를 제작하는 방법으로서:

이온으로 단결정 반도체 기판을 조사하여, 상기 단결정 반도체 기판에서 취화 영역을 형성하는 단계;

광 투과성 기판 위에 제 1 절연층을 형성하고, 상기 제 1 절연층 위에 차광층을 형성하는 단계;

상기 단결정 반도체 기판 및 상기 차광층이 형성된 상기 광 투과성 기판을 제 2 절연층을 개재하여 함께 접합하는 단계;

상기 취화 영역에서 상기 단결정 반도체 기판을 분리하여, 상기 광 투과성 기판 위에 단결정 반도체층을 형성하는 단계;

상기 단결정 반도체층을 가공하여, 섬형상 단결정 반도체층을 형성하는 단계;

상기 섬형상 단결정 반도체층에 제 1 불순물 원소 및 제 2 불순물 원소를 선택적으로 첨가하여, 광전 변환의 효과를 갖는 반도체 영역, 제 1 도전형을 갖는 반도체 영역, 및 제 2 도전형을 갖는 반도체 영역을 형성하는 단계;

상기 제 1 도전형을 갖는 상기 반도체 영역에 전기적으로 접속된 제 1 전극을 형성하는 단계; 및

상기 제 2 도전형을 갖는 상기 반도체 영역에 전기적으로 접속된 제 2 전극을 형성하는 단계를 포함하는, 광전 변환 소자를 포함하는 반도체 장치 제작 방법.

청구항 12

제 11 항에 있어서,

상기 제 2 절연층은 유기실란을 포함하는 산화 실리콘막인, 광전 변환 소자를 포함하는 반도체 장치 제작 방법.

청구항 13

광전 변환 소자 및 트랜지스터를 포함하는 반도체 장치를 제작하는 방법으로서:

이온으로 단결정 반도체 기판을 조사하여, 상기 단결정 반도체 기판에서 취화 영역을 형성하는 단계;

광 투과성 기판 위에 제 1 절연층을 형성하고, 상기 제 1 절연층 위에 차광층을 형성하는 단계;

상기 단결정 반도체 기판 및 상기 차광층이 형성된 상기 광 투과성 기판을 제 2 절연층을 개재하여 함께 접합하는 단계;

상기 취화 영역에서 상기 단결정 반도체 기판을 분리하여, 상기 광 투과성 기판 위에 단결정 반도체층을 형성하는 단계;

상기 단결정 반도체층을 가공하여, 제 1 섬형상 단결정 반도체층 및 제 2 섬형상 단결정 반도체층을 형성하는 단계;

상기 제 1 섬형상 단결정 반도체층에 제 1 불순물 원소 및 제 2 불순물 원소를 선택적으로 첨가하여, 광전 변환의 효과를 갖는 반도체 영역, 제 1 도전형을 갖는 반도체 영역, 및 제 2 도전형을 갖는 반도체 영역을 형성하는 단계;

상기 제 1 도전형을 갖는 상기 반도체 영역에 전기적으로 접속된 제 1 전극을 형성하는 단계;

상기 제 2 도전형을 갖는 상기 반도체 영역에 전기적으로 접속된 제 2 전극을 형성하여, 상기 광전 변환 소자를 형성하는 단계;

상기 제 2 섬형상 단결정 반도체층에 상기 제 1 불순물 원소 및 상기 제 2 불순물 원소를 선택적으로 첨가하여, 채널 형성 영역, 소스 영역, 및 드레인 영역을 형성하는 단계;

상기 제 2 섬형상 단결정 반도체층 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 위에 게이트 전극을 형성하는 단계; 및

상기 소스 영역에 전기적으로 접속된 소스 전극을 형성하고, 상기 드레인 영역에 전기적으로 접속된 드레인 전극을 형성하여, 트랜지스터를 형성하는 단계를 포함하는, 광전 변환 소자 및 트랜지스터를 포함하는 반도체

장치 제작 방법.

청구항 14

제 13 항에 있어서,

상기 제 2 절연층은 유기실란을 포함하는 산화 실리콘막인, 광전 변환 소자 및 트랜지스터를 포함하는 반도체 장치 제작 방법.

청구항 15

광전 변환 소자 및 트랜지스터를 포함하는 반도체 장치를 제작하는 방법으로서:

이온으로 단결정 반도체 기판을 조사하여, 상기 단결정 반도체 기판에서 취화 영역을 형성하는 단계;

광 투과성 기판 위에 제 1 절연층을 형성하고, 상기 제 1 절연층 위에 차광층을 형성하는 단계;

상기 차광층을 가공하여, 제 1 섬형상 차광층 및 제 2 섬형상 차광층을 포함하는 복수의 섬형상 차광층들을 형성하는 단계;

상기 복수의 섬형상 차광층들을 커버하기 위해 평탄성을 갖는 제 2 절연층을 형성하는 단계;

상기 단결정 반도체 기판 및 상기 제 2 절연층이 형성된 상기 광 투과성 기판을 제 3 절연층을 개재하여 함께 접합하는 단계;

상기 취화 영역에서 상기 단결정 반도체 기판을 분리하여, 상기 광 투과성 기판 위에 상기 복수의 섬형상 차광층들과 오버랩하는 섬형상 단결정 반도체층을 형성하는 단계;

상기 제 1 섬형상 차광층과 오버랩하는 상기 섬형상 단결정 반도체층에 제 1 불순물 원소 및 제 2 불순물 원소를 선택적으로 첨가하여, 광전 변환의 효과를 갖는 반도체 영역, 제 1 도전형을 갖는 반도체 영역, 및 제 2 도전형을 갖는 반도체 영역을 형성하는 단계;

상기 제 1 도전형을 갖는 상기 반도체 영역에 전기적으로 접속된 제 1 전극을 형성하는 단계;

상기 제 2 도전형을 갖는 상기 반도체 영역에 전기적으로 접속된 제 2 전극을 형성하여, 상기 광전 변환 소자를 형성하는 단계;

상기 제 2 섬형상 차광층과 오버랩하는 상기 섬형상 단결정 반도체층에 상기 제 1 불순물 원소 및 상기 제 2 불순물 원소를 선택적으로 첨가하여, 채널 형성 영역, 소스 영역, 및 드레인 영역을 형성하는 단계;

상기 제 2 섬형상 차광층과 오버랩하는 상기 섬형상 단결정 반도체층 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 위에 게이트 전극을 형성하는 단계; 및

상기 소스 영역에 전기적으로 접속된 소스 전극을 형성하고, 상기 드레인 영역에 전기적으로 접속된 드레인 전극을 형성하여, 트랜지스터를 형성하는 단계를 포함하는, 광전 변환 소자 및 트랜지스터를 포함하는 반도체 장치 제작 방법.

청구항 16

제 15 항에 있어서,

상기 제 2 절연층은 유기실란을 포함하는 산화 실리콘막인, 광전 변환 소자 및 트랜지스터를 포함하는 반도체 장치 제작 방법.

명세서

기술분야

본 발명은 SOI(silicon on insulator) 기판을 포함하는 반도체 장치 및 이 반도체 장치의 제작 방법에 관한 것이다.

배경기술

[0001]

[0002] 유리 기판 위에 광전 변환 소자(예를 들어, 광 센서)를 형성하는 경우, 몇몇 경우에서 광전 변환의 효과를 갖는 반도체층에 대해 다결정 실리콘이 사용된다(예를 들어, 특허문헌 1 참조). 다결정 실리콘은, 저온의 프로세스를 통해 형성될 수 있기 때문에, 유리 기판과 같은 내열성이 낮은 기판 위에 쉽게 형성된다는 이점을 갖는다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 공개특허공보 평 10-79522호

발명의 내용

해결하려는 과제

[0004] 그러나, 단결정 실리콘의 경우와 비교하여 다결정 실리콘의 경우에는, 암전류(dark current)의 양이 큰 경향이 있다. 또한, 결함들로 인해 캐리어들이 트랩(trap)되고, 광 조사시의 전류가 감소된다는 문제가 존재한다. 따라서, 다결정 실리콘을 사용하는 경우에는, 충분한 광 감도를 가지는 광전 변환 소자를 제작하는 것이 어렵다.

[0005] 상기 문제의 관점에서, 개시된 발명의 일 실시형태의 목적은, 뛰어난 특성을 갖는 광전 변환 소자를 포함하는 반도체 장치를 제공하는 것이다. 개시된 발명의 실시형태의 목적은, 간단한 공정을 통해 뛰어난 특성을 갖는 광전 변환 장치를 포함하는 반도체 장치를 제공하는 것이다.

과제의 해결 수단

[0006] 개시된 발명의 실시형태에서, 광 투과성 기판 위의 단결정 반도체층을 이용하여 광전 변환 소자가 형성된다. 그 상세가 후술된다.

[0007] 개시된 발명의 실시형태는, 광 투과성 기판; 광 투과성 기판 위의 절연층; 및 절연층 위의 광전 변환 소자를 포함하는 반도체 장치이다. 광전 변환 소자는 광전 변환의 효과를 갖는 반도체 영역, 제 1 도전형을 갖는 반도체 영역, 및 제 2 도전형을 갖는 반도체 영역을 포함하는 단결정 반도체층; 제 1 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 1 전극; 및 제 2 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 2 전극을 포함한다. 상기 구조에서, 광전 변환 소자에 추가하여 절연층 위에 트랜지스터가 제공될 수 있다.

[0008] 개시된 본 발명의 다른 실시형태는, 광전 변환 소자를 형성하는 단계들을 포함하는 반도체 장치를 제작하는 방법이다. 광전 변환 소자는, 단결정 반도체 기판을 이온으로 조사하여 단결정 반도체 기판에 취화 영역(embrittled region)을 형성하는 단계; 절연층을 개재하여 단결정 반도체 기판 및 광 투과성 기판을 함께 접합하는 단계; 취화 영역에서 단결정 반도체 기판을 분리하여 광 투과성 기판 위에 단결정 반도체층을 형성하는 단계; 단결정 반도체층을 가공하여 섬형상 반도체층을 형성하는 단계; 섬형상 반도체층에 제 1 불순물 원소 및 제 2 불순물 원소를 선택적으로 첨가하여 광전 변환의 효과를 갖는 반도체 영역, 제 1 도전형을 갖는 반도체 영역, 및 제 2 도전형을 갖는 반도체 영역을 형성하는 단계; 제 2 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 1 전극을 형성하는 단계; 및 제 1 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 2 전극을 형성하는 단계를 포함하는 방법에 의해 형성된다. 상기 방법에서, 트랜지스터가 광전 변환 소자에 추가하여 절연층 위에 형성될 수 있다.

[0009] 개시된 발명의 다른 실시형태는, 광 투과 기판; 광 투과성 기판 위의 제 1 절연층; 제 1 절연층 위에 선택적으로 형성된 차광층; 차광층 위의 제 2 절연층; 및 제 2 절연층 위의 광전 변환 소자를 포함하는 반도체 장치이다. 광전 변환 소자는, 광전 변환의 효과를 갖는 반도체 영역, 제 1 도전형을 갖는 반도체 영역, 및 제 2 도전형을 갖는 반도체 영역을 포함하는 단결정 반도체층; 제 1 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 1 전극; 및 제 2 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 2 전극을 포함한다. 상기 구조에서, 트랜지스터가 광전 변환 소자에 추가하여 제 2 절연층 위에 제공될 수 있다.

[0010] 개시된 발명의 다른 실시형태는, 광전 변환 소자를 형성하는 단계들을 포함하는 반도체 장치를 제작하는 방법이다. 광전 변환 소자는, 단결정 반도체 기판을 이온으로 조사하여 단결정 반도체 기판에 취화 영역을 형성하

는 단계; 광 투과성 기관 위에 제 1 절연층을 형성하고 제 1 절연층 위에 차광층을 형성하는 단계; 제 2 절연층을 개재하여 단결정 반도체 기관과, 차광층이 형성된 광 투과성 기관을 함께 접합하는 단계; 취화 영역에서 단결정 반도체 기관을 분리하여 광 투과성 기관 위에 단결정 반도체층을 형성하는 단계; 단결정 반도체층을 가공하여 섬형상 반도체층을 형성하는 단계; 섬형상 반도체층에 제 1 불순물 원소 및 제 2 불순물 원소를 선택적으로 첨가하여 광전 변환의 효과를 갖는 반도체 영역, 제 1 도전형을 갖는 반도체 영역, 및 제 2 도전형을 갖는 반도체 영역을 형성하는 단계; 제 1 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 1 전극을 형성하는 단계; 및 제 2 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 2 전극을 형성하는 단계를 포함하는 방법에 의해 형성된다. 상기 방법에서, 트랜지스터가 광전 변환 소자에 추가하여 제 2 절연층 위에 형성될 수 있다.

[0011] 개시된 발명의 다른 실시형태는, 광전 변환 소자 및 트랜지스터를 형성하는 단계들을 포함하는 반도체 장치를 제작하는 방법이다. 광전 변환 소자 및 트랜지스터는, 단결정 반도체 기관을 이온으로 조사하여 단결정 반도체 기관에 취화 영역을 형성하는 단계; 광 투과성 기관 위에 제 1 절연층을 형성하고 제 1 절연층 위에 차광층을 형성하는 단계; 제 2 절연층을 개재하여 단결정 반도체 기관과 차광층이 형성된 광 투과성 기관을 함께 접합하는 단계; 취화 영역에서 단결정 반도체 기관을 분리하여 광 투과성 기관 위에 단결정 반도체층을 형성하는 단계; 단결정 반도체층을 가공하여 제 1 섬형상 반도체층 및 제 2 섬형상 반도체층을 형성하는 단계; 제 1 섬형상 반도체층에 제 1 불순물 원소 및 제 2 불순물 원소를 선택적으로 첨가하여 광전 변환의 효과를 갖는 반도체 영역, 제 1 도전형을 갖는 반도체 영역, 및 제 2 도전형을 갖는 반도체 영역을 형성하는 단계; 제 1 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 1 전극을 형성하는 단계; 제 2 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 2 전극을 형성하여, 광전 변환 소자를 형성하는 단계; 제 2 섬형상 반도체층에 제 1 불순물 원소 또는 제 2 불순물 원소를 선택적으로 첨가하여 채널 형성 영역, 소스 영역, 및 드레인 영역을 형성하는 단계; 제 2 섬형상 반도체층 위에 게이트 절연막을 형성하는 단계; 및 트랜지스터가 형성되도록 소스 영역에 전기적으로 접속된 소스 전극 및 드레인 영역에 전기적으로 접속된 드레인 전극을 형성하는 단계를 포함하는 방법에 의해 형성된다.

[0012] 개시된 발명의 다른 실시형태는 광전 변환 소자 및 트랜지스터를 형성하는 단계들을 포함하는 반도체 장치를 제작하는 방법이다. 광전 변환 소자 및 트랜지스터는, 단결정 반도체 기관을 이온으로 조사하여 단결정 반도체 기관에 취화 영역을 형성하는 단계; 광 투과성 기관 위에 제 1 절연층을 형성하고 제 1 절연층 위에 차광층을 형성하는 단계; 차광층을 가공하여, 제 1 섬형상 차광층 및 제 2 섬형상 차광층을 포함하는 복수의 섬형상 차광층을 형성하는 단계; 평탄성을 갖는 제 2 절연층을 형성하여 복수의 섬형상 차광층을 커버하는 단계; 제 3 절연층을 개재하여 단결정 반도체 기관과 제 2 절연층이 형성된 광 투과성 기관을 함께 접합하는 단계; 취화 영역에서 단결정 반도체 기관을 분리하여 광 투과성 기관 위에 복수의 섬형상 차광층과 오버랩하는 섬형상 반도체층들을 형성하는 단계; 제 1 섬형상 차광층과 오버랩하는 섬형상 반도체층에 제 1 불순물 원소 및 제 2 불순물 원소를 선택적으로 첨가하여 광전 변환의 효과를 갖는 반도체 영역, 제 1 도전형을 갖는 반도체 영역, 및 제 2 도전형을 갖는 반도체 영역을 형성하는 단계; 제 1 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 1 전극을 형성하는 단계; 제 2 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 2 전극을 형성하여, 광전 변환 소자를 형성하는 단계; 제 2 섬형상 차광층과 오버랩하는 섬형상 반도체층에 제 1 불순물 원소 또는 제 2 불순물 원소를 선택적으로 첨가하여 채널 형성 영역, 소스 영역, 및 드레인 영역을 형성하는 단계; 제 2 섬형상 차광층과 오버랩하는 섬형상 반도체층 위에 게이트 절연막을 형성하는 단계; 및 게이트 절연막 위에 게이트 전극을 형성하는 단계; 및 트랜지스터가 형성되도록 소스 영역에 전기적으로 접속된 소스 전극 및 드레인 영역에 전기적으로 접속된 드레인 전극을 형성하는 단계를 포함하는 방법에 의해 형성된다.

[0013] 개시된 발명의 다른 실시형태는, 광 투과성 기관, 광 투과성 기관 위의 절연층, 및 절연층 위의 광전 변환 소자와 트랜지스터를 포함하는 반도체 장치이다. 광전 변환 소자는, 광전 변환의 효과를 갖는 반도체 영역, 제 1 도전형의 반도체 영역, 및 제 2 도전형의 반도체 영역을 포함하는 제 1 단결정 반도체층; 제 1 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 1 전극; 및 제 2 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 2 전극을 포함한다. 트랜지스터는 채널 형성 영역, 소스 영역 및 드레인 영역을 포함하는 제 2 단결정 반도체층; 제 2 단결정 반도체층 위의 게이트 절연막; 게이트 절연막 위의 게이트 전극; 소스 영역에 전기적으로 접속된 소스 전극; 및 드레인 영역에 전기적으로 접속된 드레인 전극을 포함한다. 제 1 단결정 반도체층 및 제 2 단결정 반도체층은 절연층 위에 형성된다. 제 1 단결정 반도체층의 두께는 제 2 단결정 반도체층의 두께보다 크다.

[0014] 개시된 발명의 다른 실시형태는, 광전 변환 소자 및 트랜지스터를 형성하는 단계들을 포함하는 반도체 장치를 제작하는 방법이다. 광전 변환 소자 및 트랜지스터는, 단결정 반도체 기관을 이온으로 조사하여 단결정 반도체

체 기판에 취화 영역을 형성하는 단계; 절연층을 개재하여 단결정 반도체 기판과 광 투과성 기판을 함께 접합하는 단계; 취화 영역에서 단결정 반도체 기판을 분리하여 광 투과성 기판 위에 단결정 반도체층을 형성하는 단계; 단결정 반도체층의 일부를 얇게 하여 제 1 단결정 반도체 영역 및 그 제 1 단결정 반도체 영역보다 작은 두께를 갖는 제 2 단결정 반도체 영역을 형성하는 단계; 제 1 단결정 반도체 영역을 가공하여 제 1 섬형상 반도체층을 형성하는 단계; 제 2 단결정 반도체 영역을 가공하여 제 2 섬형상 반도체층을 형성하는 단계; 제 1 섬형상 반도체층에 제 1 불순물 원소 및 제 2 불순물 원소를 선택적으로 첨가하여 광전 변환의 효과를 갖는 반도체 영역, 제 1 도전형을 갖는 반도체 영역, 및 제 2 도전형을 갖는 반도체 영역을 형성하는 단계; 제 1 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 1 전극을 형성하는 단계; 제 2 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 2 전극을 형성하여, 광전 변환 소자를 형성하는 단계; 제 2 섬형상 반도체층에 제 1 불순물 원소 또는 제 2 불순물 원소를 선택적으로 첨가하여 채널 형성 영역, 소스 영역, 및 드레인 영역을 형성하는 단계; 제 2 섬형상 반도체층 위에 게이트 절연막을 형성하는 단계; 게이트 절연막 위에 게이트 전극을 형성하는 단계; 및 트랜지스터가 형성되도록 소스 영역에 전기적으로 접속된 소스 전극 및 드레인 영역에 전기적으로 접속된 드레인 전극을 형성하는 단계를 포함하는 방법에 의해 형성된다.

[0015] 개시된 발명의 다른 실시형태는, 광전 변환 소자 및 트랜지스터를 형성하는 단계들을 포함하는 반도체 장치를 제작하는 방법이다. 광전 변환 소자 및 트랜지스터는, 단결정 반도체 기판을 이온으로 조사하여 단결정 반도체 기판에 취화 영역을 형성하는 단계; 절연층을 개재하여 단결정 반도체 기판과 광 투과성 기판을 함께 접합하는 단계; 취화 영역에서 단결정 반도체 기판을 분리하여 광 투과성 기판 위에 단결정 반도체층을 형성하는 단계; 단결정 반도체층의 일부를 두껍게 하여 제 1 단결정 반도체 영역 및 그 제 1 단결정 반도체 영역보다 작은 두께를 갖는 제 2 단결정 반도체 영역을 형성하는 단계; 제 1 단결정 반도체 영역을 가공하여 제 1 섬형상 반도체층을 형성하는 단계; 제 2 단결정 반도체 영역을 가공하여 제 2 섬형상 반도체층을 형성하는 단계; 제 1 섬형상 반도체층에 제 1 불순물 원소 및 제 2 불순물 원소를 선택적으로 첨가하여 광전 변환의 효과를 갖는 반도체 영역, 제 1 도전형을 갖는 반도체 영역, 및 제 2 도전형을 갖는 반도체 영역을 형성하는 단계; 제 1 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 1 전극을 형성하는 단계; 제 2 도전형을 갖는 반도체 영역에 전기적으로 접속된 제 2 전극을 형성하여, 광전 변환 소자를 형성하는 단계; 제 2 섬형상 반도체층에 제 1 불순물 원소 또는 제 2 불순물 원소를 선택적으로 첨가하여 채널 형성 영역, 소스 영역, 및 드레인 영역을 형성하는 단계; 제 2 섬형상 반도체층 위에 게이트 절연막을 형성하는 단계; 게이트 절연막 위에 게이트 전극을 형성하는 단계; 및 트랜지스터가 형성되도록 소스 영역에 전기적으로 접속된 소스 전극 및 드레인 영역에 전기적으로 접속된 드레인 전극을 형성하는 단계를 포함하는 방법에 의해 형성된다.

[0016] 일반적으로, 용어 "SOI 기판"은 절연 표면 위에 실리콘 반도체층이 제공되는 반도체 기판을 의미한다. 본 명세서 등에서, 용어 "SOI 기판"은 또한, 절연 표면 위에 실리콘 이외의 재료를 사용하여 형성된 반도체층이 제공되는 반도체 기판을 포함한다. 즉, "SOI 기판"에 포함된 반도체층은 실리콘 반도체층에 한정되지 않는다. 또한, 본 명세서 등에서, 반도체 기판은, 반도체 재료만을 사용하여 형성된 기판 뿐만 아니라 반도체 재료를 포함하는 모든 기판들을 의미한다. 즉, 본 명세서 등에서, "SOI 기판"은 또한 반도체 기판의 카테고리에 포함된다.

[0017] 본 명세서 등에서, 용어 "단결정"은, 특정 결정축이 포커싱될 때, 그 결정축의 방향이 시료의 어느 부분에 있어서도 동일한 방향으로 배향되는 결정을 의미한다. 즉, 단결정은 결정축들의 방향이 결정 결함 또는 덩글링 본드를 포함하더라도 상술한 바와 같이, 균일한 결정을 포함한다.

[0018] 또한, 본 명세서 등에서, 용어 "반도체 장치"는, 반도체 특성을 이용함으로써 동작할 수 있는 모든 장치들을 의미한다. 예를 들어, 표시 장치 및 집적 회로가 반도체 장치의 카테고리에 포함된다. 또한, 본 명세서 등에서, 표시 장치는, 발광 표시 장치, 액정 표시 장치, 및 전기영동 소자를 포함하는 표시 장치를 포함한다. 발광 장치는 발광 소자를 포함하고, 액정 표시 장치는 액정 소자를 포함한다. 발광소자는, 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고, 구체적으로는 무기 EL(Electro Luminescence), 유기 EL 등을 포함한다.

발명의 효과

[0019] 개시된 발명의 실시형태에서, 광전 변환 소자는 광 투과성 기판 위의 단결정 반도체층을 사용하여 형성된다. 따라서, 높은 광 감도를 갖는 광전 변환 소자가 광 투과성 기판 위에 제공되는 반도체 장치가 제공될 수 있다.

[0020] 개시된 발명의 실시형태에서, 광전 변환 소자가 단결정 반도체의 단일층을 사용하여 형성된다. 따라서, 반도체

체 장치의 제작 공정들은, 광전 변환 소자가 반도체층들의 적층 구조로 형성되는 경우에 비교하여 간략화될 수 있다.

도면의 간단한 설명

[0021]

도 1a는 반도체 장치의 일례를 나타내는 평면도이고 도 1b는 단면도.
 도 2a 내지 도 2f는 반도체 장치에 사용되는 SOI 기판의 제작 방법의 일례를 나타내는 단면도.
 도 3a 내지 도 3c는 반도체 장치에 사용되는 SOI 기판의 제작 방법의 일례를 나타내는 단면도.
 도 4a 내지 도 4h는 반도체 장치의 제작 방법의 일례를 나타내는 단면도.
 도 5는 광전 변환 소자의 도즈량과 전류 사이의 관계를 도시한 도면.
 도 6은 광전 변환 소자의 휘도-전류 특성을 도시하는 그래프.
 도 7a는 반도체 장치의 일례를 나타내는 평면도이고 도 7b는 단면도.
 도 8은 반도체 장치의 일례를 나타내는 단면도.
 도 9a 내지 도 9g는 반도체 장치에 사용되는 SOI 기판의 제작 방법의 일례를 나타내는 단면도.
 도 10a 내지 도 10h는 SOI 기판 및 반도체 장치의 제작 방법의 일례를 나타내는 단면도.
 도 11a 내지 도 11h는 반도체 장치의 제작 방법의 일례를 나타내는 단면도.
 도 12a 및 도 12b는 반도체 장치의 일례를 나타내는 평면도.
 도 13a 내지 도 13g는 반도체 장치에 사용되는 SOI 기판의 제작 방법의 일례를 나타내는 단면도.
 도 14a 내지 도 14f는 SOI 기판 및 반도체 장치의 제작 방법의 일례를 나타내는 단면도.
 도 15a 내지 도 15g는 반도체 장치에 사용되는 SOI 기판의 제작 방법의 일례를 나타내는 단면도.
 도 16a 내지 도 16h는 SOI 기판 및 반도체 장치의 제작 방법의 일례를 나타내는 단면도.
 도 17a 내지 도 17h는 반도체 장치의 제작 방법의 일례를 나타내는 단면도.
 도 18a는 반도체 장치의 일례를 나타내는 평면도이고 도 18b는 단면도.
 도 19a 내지 도 19d는 반도체 장치의 제작 방법의 일례를 나타내는 단면도.
 도 20a 내지 도 20d는 반도체 장치의 제작 방법의 일례를 나타내는 단면도.
 도 21a 내지 도 21c는 SOI 기판 및 반도체 장치의 제작 방법의 일례를 나타내는 단면도.
 도 22는 광전 변환 소자의 휘도-전류 특성을 도시하는 그래프.
 도 23a는 반도체 장치의 일례를 나타내는 평면도이고 도 23b는 단면도.
 도 24a 내지 도 24c는 반도체 장치의 제작 방법의 일례를 나타내는 단면도.
 도 25a는 반도체 장치의 일례를 나타내는 평면도이고 도 25b는 단면도.
 도 26a 내지 도 26d는 반도체 장치의 제작 방법의 일례를 나타내는 단면도.
 도 27a 내지 도 27d는 반도체 장치의 제작 방법의 일례를 나타내는 단면도.
 도 28a 내지 도 28c는 반도체 장치의 제작 방법의 일례를 나타내는 단면도.

발명을 실시하기 위한 구체적인 내용

[0022]

이하, 실시형태들이 도면을 사용하여 상세하게 설명된다. 본 발명이 실시형태들의 설명에 한정되지 않고, 본 명세서 등에서 개시된 발명의 사상으로부터 일탈하는 일 없이 모드들 및 상세들이 다양한 방식으로 변경될 수 있다는 것이 당업자에게 있어 자명하다는 것에 유의한다. 상이한 실시형태의 구조가, 적절히 조합에 의해 구현될 수 있다. 이 도면들을 참조한 본 발명의 설명에 대해, 동일 부분을 나타내는 참조 부호가 상이한 도면 전반적으로 공통으로 사용되며, 반복되는 설명은 생략된다.

- [0023] (실시형태 1)
- [0024] 이러한 실시형태에서, 반도체 장치 및 그 제작 방법이 도면들을 참조하여 설명될 것이다. 특히, 광전 변환 소자를 구비하는 반도체 장치 및 그 제작 방법이 설명될 것이다.
- [0025] (구성)
- [0026] 개시된 발명의 실시형태에 관한 광전 변환 소자(180)는 광 투과성 베이스 기관(100) 위에 제공된(도 1a 및 도 1b 참조). 여기서, 도 1b는 도 1a의 라인 A-B를 따라 취해진 단면에 대응한다.
- [0027] 광전 변환 소자(180)는 광전 변환의 효과를 갖는 반도체 영역(164), 제 1 도전형(여기서는 p형 도전형)을 갖는 반도체 영역(158), 및 제 2 도전형(여기서는 n형 도전형)을 갖는 반도체 영역(162)을 포함하는 섬형상 단결정 반도체층; 섬형상 단결정 반도체층을 커버하도록 형성되는 절연층(154) 및 절연층(166); 제 1 도전형을 갖는 반도체 영역(158)에 전기적으로 접속된 제 1 전극(172); 및 제 2 도전형을 갖는 반도체 영역(162)에 전기적으로 접속된 제 2 전극(174)을 포함한다. 여기서, 제 1 도전형을 갖는 반도체 영역(158) 및 제 2 도전형을 갖는 반도체 영역(162)은 광전 변환의 효과를 갖는 반도체 영역(164)에 인접하고, 광전 변환의 효과를 갖는 반도체 영역(164)에 의해 서로 분리된다. 제 1 도전형과 제 2 도전형은 서로 교환가능할 수 있다.
- [0028] 또한, 베이스 기관(100)과 광전 변환 소자(180) 사이에는 절연층(112)이 형성된다. 이 절연층(112)은 광전 변환 소자(180)를 베이스 기관(100)에 고정시키는 기능을 갖는다.
- [0029] 광전 변환 소자(180)의 동작은 이하와 같다. 광전 변환 소자(180)에 있어서, 광전 변환의 효과를 갖는 반도체 영역(164)에 광이 입사하면, 이 반도체 영역에는 전자 및 정공이 생성된다. 제 1 도전형을 갖는 반도체 영역(158)과 제 2 도전형을 갖는 반도체 영역(162) 사이의 영역에 외부로부터 전압이 인가되어 있지 않은 경우에(무-바이어스(non-bias)의 경우에), 생성된 전자들은 자기-정합(self-aligned) 전기장의 영향으로 인해 n형 반도체 영역을 향한 방향으로 흐른다. 유사한 방식으로, 생성된 정공은, p형 반도체 영역을 향한 방향으로 흐른다. 외부로부터 전압이 인가되는 경우에(예를 들어, 역바이어스가 인가되는 경우에), 자기-정합 전기장 및 외부로부터의 전압의 영향으로 인해 전자 및 정공이 흐른다.
- [0030] 발생한 전류의 광 강도에 대한 의존성을 이용함으로써, 광 센서가 형성될 수 있다. 또한, 광에 의한 기전력을 광전 변환 소자의 외부로 추출함으로써, 발전 시스템이 획득될 수 있다.
- [0031] 여기서, 광전 변환 소자에 포함된 섬형상 반도체층의 결정성은 단결정인 것이 바람직하다. 특히, 광전 변환의 효과를 갖는 반도체 영역(164)의 결정성은 단결정이다. 단결정의 반도체 재료로서는, 예를 들어, 단결정 실리콘이 사용될 수 있다. 단결정 반도체가 광전 변환 소자에서 사용될 때, 비정질 반도체 또는 다결정 반도체를 사용하는 경우와 비교하여, 암전류(광 조사가 실시되지 않을 때의 전류)의 양이 감소될 수 있다. 또한, 단결정 반도체가 광전 변환 소자에서 사용될 때, 다결정 반도체를 사용하는 경우와 비교하여, 광 조사가 실시될 때의 전류가 증가될 수 있다. 따라서, 광 센서로서의 감도가 향상된다. 또한, 단결정 반도체를 이용하는 것에 따라, 광전 변환 효율이 향상된다. 이들의 효과는 결함 등으로 인한 광 생성 캐리어들의 트랩이 충분히 억제될 수 있기 때문에 획득된다.
- [0032] 또한, 여기서 나타내는 바와 같이, 베이스 기관의 광 투과성 때문에, 대상물로부터의 광(대상물로부터의 반사광 등)이 베이스 기관측으로부터 입사하는 구성(광이 베이스 기관측으로부터 검출되는 구성)이 이용될 수 있다. 이러한 경우에서, 대상물의 광이 전극(또는 배선) 측으로부터 입사하는 경우와 비교하여, 소자 레이아웃의 자유도가 향상된다. 이러한 방식으로, 베이스 기관이 광 투과성을 가질 때, 베이스 기관이 광 투과성을 가지지 않는 경우와 비교하여, 집적화가 용이하게 실시될 수 있다는 장점이 있다.
- [0033] (제작 공정들)
- [0034] 다음으로, 광전 변환 소자의 제작 공정들에 대해 설명한다. 먼저, 광전 변환 소자의 제작에 사용될 수 있는 SOI 기관의 제작 공정들이 도 2a 내지 도 2f 및 도 3a 내지 도 3c를 참조하여 설명된다. 그 후, SOI 기관이 사용되는 광전 변환 소자의 제작 공정들이 도 4a 내지 도 4h를 참조하여 설명된다.
- [0035] (SOI 기관의 제작 공정들 - 베이스 기관의 가공)
- [0036] 먼저, 광 투과성 베이스 기관(100)이 준비된다(도 2a 참조).
- [0037] 광 투과성 베이스 기관(100)으로서, 절연체로 형성된 기관이 사용될 수 있다. 그 특정한 예들이 다음과 같다: 알루미늄오실리케이이트 유리, 알루미늄오보로실리케이이트 유리, 및 바륨 보로실리케이이트 유리와 같은 전자 산업에서

사용된 다양한 유리 기판; 석영 기판; 세라믹 기판; 및 사파이어 기판. 유리 기판이 봉산보다 더 많은 양의 산화 바륨을 포함할 때, 더욱 실용적인 내열 유리가 얻어질 수 있다는 것에 유의한다. 따라서, 유리 기판이 내열성을 가질 필요가 있을 때, 산화 바륨의 양이 봉산의 양보다 크도록 산화 바륨 및 봉산을 포함하는 유리 기판을 사용하는 것이 바람직하다. 이러한 실시형태에서, 베이스 기판(100)으로서 유리 기판이 사용되는 경우의 설명이 제공된다. 베이스 기판(100)으로서 더 큰 사이즈를 가질 수 있고 염가의 유리 기판이 사용될 때, 비용 절감이 달성될 수 있다.

[0038] 베이스 기판(100)의 표면은 바람직하게는 미리 세정된다. 구체적으로는, 베이스 기판(100)에 대해, 염산 과수(HPM), 황산 과수(SPM), 암모니아과수(APM), 희불화수소산(DHF) 등을 사용함으로써 초음파 세정이 실시된다. 이와 같은 세정 처리를 통해, 베이스 기판(100)의 표면 평탄성이 향상될 수 있고, 베이스 기판(100)의 표면상에 잔존하는 연마 입자들이 제거될 수 있다.

[0039] 또한, 베이스 기판(100)의 표면에는, 질소를 함유하는 절연층(예를 들어, 질화 실리콘(SiN_x), 질화 산화 실리콘(SiN_xO_y)($x>y$) 등을 포함하는 절연층)이 형성될 수 있다는 것에 유의한다. 이러한 방식으로, 질소를 함유하는 절연층이 형성될 때, 베이스 기판에 함유되는 나트륨(Na)과 같은 불순물 원소의 반도체에 대한 확산이 억제될 수 있다.

[0040] 본 명세서 등에서, 산화 질화물은, 질소(원자수)보다 많은 산소(원자수)를 함유하는 물질을 칭한다는 것에 유의한다. 예를 들어, 산화 질화 실리콘은, 산소가 50 원자% 이상 70 원자% 이하, 질소가 0.5 원자% 이상 15 원자% 이하, 실리콘이 25 원자% 이상 35 원자% 이하, 수소가 0.1 원자% 이상 10 원자% 이하의 범위에서 함유되는 물질을 칭한다. 또한, 질화 산화물은, 질소 함유량(원자수)이 산소 함유량(원자수)을 초과하는 물질을 의미한다. 예를 들어, 질화 산화 실리콘이란, 산소가 5 원자% 이상 30 원자% 이하, 질소가 20 원자% 이상 55 원자% 이하, 실리콘이 25 원자% 이상 35 원자% 이하, 수소가 10 원자% 이상 30 원자% 이하의 범위에서 함유되는 물질을 칭한다. 상기 범위들은, 측정이 러더포드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 또는 수소 전방 산란법(HFS: Hydrogen Forward scattering Spectrometry)을 사용하여 실시된 경우의 범위들이라는 것에 유의한다. 또한, 구성 원소의 함유 비율의 합계는, 최대 100 원자%이다.

[0041] (SOI 기판의 제작 공정들: 단결정 반도체 기판의 가공)

[0042] 다음으로, 본드 기판으로서 단결정 반도체 기판(110)이 준비된다(도 2b 참조). 이러한 실시형태에서, 베이스 기판(100)이 가공된 이후에, 본드 기판으로서 단결정 반도체 기판(110)이 가공되지만, 개시된 발명의 실시형태는 이에 한정되는 것으로 해석되지 않는다. 단결정 반도체 기판의 가공이 베이스 기판의 가공 이전에 실시될 수도 있다. 다르게는, 베이스 기판 및 본드 기판이 동시에 가공될 수도 있다.

[0043] 단결정 반도체 기판(110)으로서, 단결정 실리콘 기판, 단결정 게르마늄 기판, 또는 단결정 실리콘 게르마늄 기판과 같은 주기율표의 제 14 족에 속하는 원소들로 형성된 단결정 반도체 기판이 사용될 수 있다. 다르게는, 갈륨 비소 기판, 인듐 인 기판 등의 화합물의 단결정 반도체 기판이 사용될 수도 있다. 시판되는 실리콘 기판들의 통상의 예들은 직경 5 인치(125 mm), 직경 6 인치(150 mm), 직경 8 인치(200 mm), 직경 12 인치(300 mm), 직경 16 인치(400 mm) 사이즈의 원형 실리콘 기판들이다. 단결정 반도체 기판(110)의 형상은 원형에 한정되지 않고, 단결정 반도체 기판(110)은 예를 들어, 직사각형 형상 등으로 가공된 기판일 수도 있다는 것에 유의한다. 다르게는, 단결정 반도체 기판(110)은, CZ법 또는 FZ(플로팅 존)법을 사용하여 제작될 수 있다.

[0044] 이러한 실시형태에서, 본드 기판으로서 집적 회로에 대해 단결정 실리콘 기판을 사용하는 경우가 설명되지만, 개시된 발명의 실시형태는 이러한 구조에 한정되는 것으로 해석되지 않는다는 것에 유의한다. 예를 들어, 태양 전지급의 단결정 실리콘 기판이 사용될 수도 있다. 다르게는, 단결정 실리콘 기판을 포함하는 단결정 반도체 기판이 사용될 수 있다. 제작될 광전 변환 소자의 특성을 고려하면, 단결정 반도체 기판을 사용하는 것이 바람직하다는 것에 유의한다.

[0045] 단결정 반도체 기판(110)의 표면에 절연층(112)이 형성된다(도 2c 참조). 오염물 제거의 관점에서, 절연층(112)의 형성 이전에, 황산 과수(SPM), 암모니아 과수(APM), 염산 과수(HPM), 희불화수소산(DHF), FPM(불화수소산, 과산화수소수, 순수의 혼합액) 등으로 단결정 반도체 기판(110)의 표면을 세정하는 것이 바람직하다. 다르게는, 희불화수소산과 오존수가 세정을 위해 교대로 토출될 수도 있다.

[0046] 절연층(112)은 산화 실리콘막, 산화 질화 실리콘막 등의 단층으로, 또는 이들 막들의 적층으로 형성될 수 있다. 절연층(112)을 제작하기 위해 열산화법, CVD법, 스퍼터링법 등이 이용될 수 있다. 절연층(112)이 CVD법에

의해 형성될 때, 테트라에톡시실란(약칭: TEOS, 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$)과 같은 유기 실란을 사용하여 산화 실리콘막이 형성되는 것이 바람직하다.

[0047] 이러한 실시형태에서, 단결정 반도체 기판(110)에 열산화 처리를 실시함으로써, 절연층(112)(여기서, 산화 실리콘막)이 형성된다.

[0048] 열산화 처리는, 할로겐이 첨가된 산화 분위기에서 실시되는 것이 바람직하다. 예를 들어, 염소(Cl)가 첨가된 산화성 분위기에서 단결정 반도체 기판(110)에 열산화 처리를 실시함으로써, 절연층(112)이 염소 산화를 통해 형성된다. 이러한 경우에서, 절연층(112)은 염소 원자를 함유하는 절연층이다.

[0049] 절연층(112)에 함유된 염소 원자는 절연층(112)에서 변형을 형성한다. 그 결과, 절연층(112)의 물 흡수율이 증가되고, 물의 확산 속도가 증가된다. 다시 말해, 절연층(112)의 표면에 물이 존재하는 경우에, 그 표면에 존재하는 물은 절연층(112)으로 빠르게 흡수될 수 있고, 거기로 확산될 수 있다. 따라서, 물에 의해 야기된 불량 본딩이 억제될 수 있다.

[0050] 또한, 절연층(112)에 함유된 염소 원자로, 외인성의 불순물인 중금속(예를 들어, Fe, Cr, Ni, Mo 등)이 포집될 수 있어서, 단결정 반도체 기판(110)의 오염이 방지될 수 있다. 또한, 베이스 기판(100)에 접합한 이후에, 베이스 기판(100)으로부터의 나트륨(Na)과 같은 불순물이 고정될 수도 있어서, 단결정 반도체 기판(110)의 오염이 방지될 수 있다.

[0051] 절연층(112)에 함유된 할로겐 원자는 염소 원자에 한정되지 않는다는 것에 유의한다. 절연층(112)에는 불소 원자가 함유될 수도 있다. 예를 들어, 단결정 반도체 기판(110)의 표면이 불소로 산화되는 방법이 사용될 수 있다. 불소 산화의 예로서, 단결정 반도체 기판(110)이 HF 용액에 침지되고, 그 후 산화성 분위기에서 열산화 처리가 실시되는 방법, NF_3 를 산화성 분위기에 첨가하여 열산화 처리를 실시하는 방법 등이 제공된다.

[0052] 다음으로, 전계에 의해 가속된 이온이 단결정 반도체 기판(110)에 첨가됨으로써, 단결정 반도체 기판(110)의 소정의 깊이에서 결정 구조가 손상되는 취화 영역(114)이 형성된다(도 2d 참조)는 것에 유의한다. 또한, 이온의 첨가 처리 이전에, 단결정 반도체 기판(110)의 표면 및 절연층(112)의 표면이 세정되는 것이 바람직하다.

[0053] 취화 영역(114)이 형성되는 깊이는, 이온의 운동 에너지, 질량, 전하, 이온의 입사각 등에 의해 조절될 수 있다. 취화 영역(114)은, 이온의 평균 침입 깊이와 거의 동일한 깊이에 형성된다. 따라서, 이온이 첨가되는 깊이로, 단결정 반도체 기판(110)으로부터 분리될 단결정 반도체층의 두께가 조절될 수 있다. 예를 들어, 단결정 반도체층의 두께가, 대략 10 nm 이상 $1\mu\text{m}$ 이도록 평균 침입 깊이가 조절될 수도 있다. 광전 변환 장치의 특징은, 단결정 반도체층의 두께가 소정의 두께이상일 때 대폭 향상되는 경향이 있다. 따라서, 예를 들어, 단결정 반도체층은 100 nm 이상의 두께로 형성되는 것이 바람직하다.

[0054] 상기 이온의 조사 처리는, 이온 도핑 장치 또는 이온 주입 장치로 실시될 수 있다. 이온 도핑 장치의 통상의 예로서, 프로세스 가스의 플라즈마 여기가 실시되고 피처리체가 생성된 모든 종류의 이온종들에 의해 조사되는 비질량 분리형의 장치가 있다. 이러한 장치에서, 피처리체는 질량 분리하지 않고 플라즈마의 이온종으로 조사된다. 이와 반대로, 이온 주입 장치는 질량 분리 장치이다. 이온 주입 장치에서, 플라즈마의 이온종의 질량 분리가 실시되고, 소정의 질량들을 갖는 이온종으로 피처리체가 조사된다.

[0055] 이러한 실시형태에서, 이온 도핑 장치가 수소를 단결정 반도체 기판(110)에 첨가하기 위해 사용되는 예가 설명된다. 수소 가스로서 수소를 함유하는 가스가 사용된다. 조사를 위해 사용된 이온에 대해서는, H_3^+ 의 비율이 높게 설정되는 것이 바람직하다. 구체적으로는, H^+ , H_2^+ , H_3^+ 의 총량에 대해 H_3^+ 의 비율이 50% 이상(보다 바람직하게는 80% 이상)이 되도록 설정되는 것이 바람직하다. H_3^+ 의 비율을 높이는 것으로, 이온 조사의 효율이 향상될 수 있다.

[0056] 첨가될 이온은 수소의 이온으로 한정되지 않는다는 것에 유의한다. 헬륨 등의 이온이 첨가될 수도 있다. 또한, 첨가될 이온은 하나의 종류의 이온으로 한정되지 않고, 복수의 종류의 이온이 첨가될 수도 있다. 예를 들어, 이온 도핑 장치를 이용하여 수소와 헬륨으로 동시에 조사를 실시하는 경우에, 다른 공정들에서 수소 및 헬륨의 조사를 실시하는 경우에 비교하여 공정들의 수가 감소될 수 있고, 이후에 형성될 단결정 반도체층의 표면 거칠기의 증가가 억제될 수 있다.

[0057] 이온 도핑 장치를 이용하여 취화 영역(114)이 형성될 때, 중금속이 또한 첨가될 수도 있지만, 할로겐 원자를

함유하는 절연층(112)을 통해 이온 조사가 실시됨으로써, 중금속으로 인한 단결정 반도체 기판(110)의 오염이 방지될 수 있다는 것에 유의한다.

[0058] (SOI 기판의 제작 공정들: 기판의 접합)

[0059] 다음으로, 베이스 기판(100)의 표면과 단결정 반도체 기판(110)의 표면이 서로 대향하고, 베이스 기판(100)의 표면과 절연층(112)의 표면이 서로 밀착된다는 것에 유의한다. 따라서, 베이스 기판(100)과 단결정 반도체 기판(110)이 함께 접합된다(도 2e 참조).

[0060] 접합이 실시될 때, 베이스 기판(100)의 일부 또는 단결정 반도체 기판(110)의 일부에 0.001 N/cm^2 이상 100 N/cm^2 이하의 압력이 인가되는 것이 바람직하다. 특히, 1 N/cm^2 이상 20 N/cm^2 이하의 압력이 인가되는 것이 바람직하다. 압력이 인가되는 부분에서 베이스 기판(100)과 절연층(112) 사이의 접합이 생성되고, 그 부분으로부터 자발적인 접합이 전체 표면 전반적으로 진행된다. 이러한 접합은, 반 데르 발스의 힘 또는 수소 접합의 작용하에서 실행되고, 실온에서 실시될 수 있다.

[0061] 단결정 반도체 기판(110) 및 베이스 기판(100)이 함께 접합되기 이전에, 함께 접합될 표면들에 대해 표면 처리를 실시하는 것이 바람직하다는 것에 유의한다. 표면 처리에 의해, 함께 접합될 표면들 사이의 계면에서의 접합 강도가 향상될 수 있다.

[0062] 표면 처리로서, 웨트 처리, 드라이 처리, 또는 웨트 처리와 드라이 처리의 조합이 사용될 수 있다. 다르게는, 상이한 웨트 처리와 조합하여 웨트 처리가 사용될 수도 있거나, 상이한 드라이 처리와 조합하여 드라이 처리가 사용될 수도 있다.

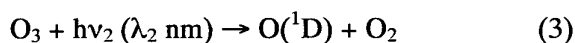
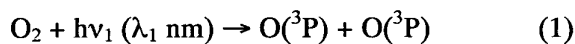
[0063] 웨트 처리의 예들로서, 오존수를 사용한 오존 처리(오존수 세정), 메가소닉 세정, 또는 2-유체 세정(순수나 수소 첨가 물과 같은 기능성 물 및 질소와 같은 캐리어 가스가 함께 스프레이되는 방법) 등이 제공될 수 있다. 드라이 처리의 예들로서, 자외선 처리, 오존 처리, 플라즈마 처리, 바이어스 인가 플라즈마 처리, 또는 라디칼 처리 등이 제공될 수 있다. 피처리체(단결정 반도체 기판, 단결정 반도체 기판상에 형성된 절연층, 지지 기판, 또는 지지 기판상에 형성된 절연층)에 대한 상술한 표면 처리는 피처리체의 표면상의 친수성 및 청정성을 향상시키는 효과를 갖는다. 그 결과, 기판들 사이의 접합 강도가 향상될 수 있다.

[0064] 웨트 처리는 피처리체의 표면에 부착하는 큰 먼지 등의 제거에 효과적이다. 드라이 처리는 피처리체의 표면에 부착하는 유기 물질과 같은 미소한 먼지의 제거 또는 분해에 효과적이다. 자외선 처리와 같은 드라이 처리가 실시된 후, 세정과 같은 웨트 처리가 실시되는 경우가 피처리체의 표면이 청정화 및 친수화될 수 있고, 피처리체의 표면의 워터마크의 생성이 억제될 수 있기 때문에 바람직하다.

[0065] 드라이 처리로서, 오존 또는 일중항산소(singlet oxygen)와 같은 활성 상태에 있는 산소를 사용하여 표면 처리를 실시하는 것이 바람직하다. 오존 또는 일중항산소와 같은 활성 상태에 있는 산소는 피처리체 표면에 접합된 유기 물질이 효과적으로 제거 또는 분해될 수 있게 한다. 또한, 오존 또는 일중항산소와 같은 활성 상태에 있는 산소를 사용하는 처리는 200 nm 미만의 파장을 갖는 자외광을 사용하는 처리와 조합될 수 있어서, 피처리체 표면에 접합된 유기 물질이 더욱 효과적으로 제거될 수 있다. 이하, 이에 대한 특정한 설명이 이루어진다.

[0066] 예를 들어, 산소를 함유하는 분위기하에서 자외광을 이용한 조사는, 피처리체의 표면 처리를 실시하기 위해 실시된다. 산소를 함유하는 분위기하에서, 200 nm 미만의 파장을 갖는 자외광 및 200 nm 이상의 파장을 갖는 자외광을 이용한 조사가 실시될 수도 있어서, 오존 및 일중항산소가 생성될 수 있다. 다르게는, 180 nm 미만의 파장을 갖는 자외광을 이용한 조사가 실시될 수도 있어서, 오존 및 일중항산소가 생성될 수 있다.

[0067] 산소를 함유하는 분위기하에서, 200 nm 미만의 파장을 포함하는 광 및 200 nm 이상의 파장을 포함하는 광으로 조사를 실시함으로써 발생하는 반응들의 예들이 설명된다.

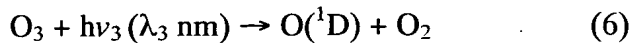
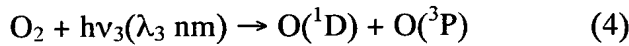


[0068]

[0069] 상기 반응식 (1)에서, 산소(O_2)를 함유하는 분위기하에서 200 nm 미만의 파장($\lambda_1 \text{ nm}$)을 포함하는 광($h\nu_1$)을

이용한 조사가 실시되어, 기저 상태의 산소 원자($O(^3P)$)를 생성한다. 다음으로, 반응식 (2)에서, 기저 상태의 산소 원자($O(^3P)$)와 산소(O_2)가 서로 반응하여 오존(O_3)을 생성한다. 그 후, 반응식 (3)에서, 생성된 오존(O_3)을 함유하는 분위기하에서 200 nm 이상의 파장(λ_2 nm)을 갖는 광($h\nu_2$)을 이용한 조사가 실시되어, 여기 상태의 일중항산소($O(^1D)$)를 생성한다. 산소를 함유하는 분위기하에서, 자외선중 200 nm 미만의 파장을 포함하는 광을 이용한 조사가 실시되어, 오존을 생성하면서, 자외선중 200 nm 이상의 파장을 포함하는 광을 이용한 조사가 실시되어, 오존을 분해함으로써 일중항산소를 생성한다. 상술한 표면 처리는, 예를 들어, 산소를 함유하는 분위기하에서 저압 수은 램프를 이용한 조사($\lambda_1=185$ nm, $\lambda_2=254$ nm)에 의해 실시될 수 있다.

[0070] 산소를 함유하는 분위기하에서, 180 nm 미만의 파장을 갖는 자외광을 이용한 조사에 의해 야기되는 반응의 예가 아래에 설명된다.



[0071]

[0072] 상기 반응식 (4)에서, 산소(O_2)를 함유하는 분위기하에서 180 nm 미만의 파장(λ_3 nm)을 갖는 광($h\nu_3$)을 이용한 조사가 실시되어, 여기 상태의 일중항산소 ($O(^1D)$)와 기저 상태의 산소 원자($O(^3P)$)를 생성한다. 다음으로, 반응식 (5)에서, 기저 상태의 산소 원자($O(^3P)$)와 산소(O_2)가 서로 반응하여, 오존(O_3)을 생성한다. 반응식 (6)에서, 생성된 오존(O_3)을 함유하는 분위기하에서 180 nm 미만의 파장(λ_3 nm)을 포함하는 광을 이용한 조사가 실시되어, 여기 상태의 일중항산소와 산소를 생성한다. 산소를 함유하는 분위기하에서, 자외선중 180 nm 미만의 파장을 포함하는 광을 이용한 조사가 실시되어, 오존을 생성하고 오존 또는 산소를 분해함으로써 일중항산소를 생성한다. 상술한 표면 처리는, 예를 들어, 산소를 함유하는 분위기하에서 Xe 엑시머 UV 램프를 이용한 조사에 의해 실시될 수 있다.

[0073] 200 nm 미만의 파장을 갖는 자외광에 의해 피처리체 표면에 접합된 유기 물질의 화학 결합이 절단되고, 오존 또는 일중항산소에 의해 피처리체 표면에 접합된 유기 물질 또는 화학 결합이 절단된 유기 물질이 산화 분해되어 제거될 수 있다. 상술한 바와 같은 표면 처리는, 피처리체 표면의 친수성 및 청정성을 강화할 수 있고, 접합을 바람직하게 만들 수 있다.

[0074] 접합이 실시된 이후에, 접합 강도를 향상시키기 위한 열처리가 실시될 수도 있다. 이러한 열처리는, 취화 영역(114)에서 분리가 발생하지 않는 온도(예를 들어, 실온 이상 400℃ 미만)에서 실시된다는 것에 유의한다. 이러한 온도 범위의 온도에서 가열하면서, 베이스 기판(100) 및 절연층(112)이 함께 접합될 수도 있다. 열처리는, 확산노, 저항 가열노와 같은 가열노, RTA(순간 열 어닐링; rapid thermal annealing) 장치, 마이크로파 가열 장치 등을 사용하여 실시될 수 있다. 상기 온도 조건은 단지 예이고, 개시된 발명의 실시형태가 이러한 예에 한정되는 것으로서 해석되어서는 안된다.

[0075] (SOI 기판의 제작 공정들: 단결정 반도체층의 형성)

[0076] 다음으로, 예를 들어, 400℃ 이상 또는 베이스 기판(100)의 내열 온도 이하의 온도에서 열 처리가 실시되어, 단결정 반도체 기판(110)을 취화 영역(114)에서 분리함으로써, 베이스 기판(100)상에, 절연층(112)을 개재하여 단결정 반도체층 (116)이 형성된다(도 2f 및 도 3a 참조).

[0077] 열 처리가 실시될 때, 취화 영역(114)에 형성되는 마이크로보이드에는 첨가된 원소가 분자로서 석출되어, 마이크로보이드의 내부 압력이 상승된다. 상승된 압력은, 취화 영역(114)에서 크랙을 발생시켜, 취화 영역(114)을 따라 단결정 반도체 기판(110)이 분리된다. 절연층(112)이 베이스 기판(100)에 접합되기 때문에, 베이스 기판(100) 위에는 단결정 반도체 기판(110)으로부터 분리된 단결정 반도체층(116)이 잔존한다.

[0078] 다음으로, 단결정 반도체층(116)의 표면이 레이저 빔(130)으로 조사됨으로써, 표면의 평탄성이 향상되고, 결함의 수가 저감된 단결정 반도체층(118)이 형성된다(도 3b 및 도 3c 참조).

[0079] 레이저 빔(130)을 이용한 조사에 의해 단결정 반도체층(116)이 부분적으로 용융되는 것이 바람직하다는 것에

유의한다. 단결정 반도체층(116)이 완전하게 용융된 경우에는, 액상이 된 이후에 무질서한 핵 생성으로 인해 미결정화되어, 그것의 결정성이 저하하기 때문이다. 한편, 부분 용융함으로써, 용융되어 있지 않은 고상 부분에 기초하여 결정 성장이 진행된다. 따라서, 단결정 반도체층(116)이 완전하게 용융되는 경우와 비교하여 결정 품질이 향상될 수 있다. 또한, 절연층(112)으로부터의 산소, 질소 등의 혼합이 억제될 수 있다. 상기 설명에서의 "부분 용융"은, 단결정 반도체층(116)의 상면으로부터 절연층(112)의 계면의 상부층까지의 레이저 빔의 조사를 이용한 단결정 반도체층(116)의 용융을 의미한다(즉, 단결정 반도체층(116)의 두께보다 작다)는 것에 유의한다. 다시 말해, 이것은 단결정 반도체층(116)의 상위 부분이 액상으로 용융되지만, 하위 부분은 용융되지 않고 고상으로 남아 있다는 것을 칭한다. 또한, 용어 "완전 용융"은, 단결정 반도체층(116)이 단결정 반도체층(116)과 절연층(112) 사이의 계면까지 용융되어 액체 상태에 있다는 것을 의미한다.

[0080] 상술한 레이저 빔의 조사에 대해, 펄스 발진 레이저를 사용하는 것이 바람직하다. 이것은, 고에너지 펄스 레이저 빔이 부분적으로 용융된 상태를 용이하게 생성할 수 있기 때문이다. 발진 주파수는, 1 Hz 이상 10 MHz 이하가 바람직하지만 이에 한정되지 않는다. 펄스 레이저의 예들로는, Ar 레이저, Kr 레이저, 엑시머(ArF, KrF, XeCl) 레이저, CO₂ 레이저, YAG 레이저, YVO₄ 레이저, YLF 레이저, YAlO₃ 레이저, GdVO₄ 레이저, Y₂O₃ 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 구리 증기 레이저, 금 증기 레이저 등을 포함한다. 부분 용융을 초래할 수 있으면, 연속파 레이저가 사용될 수도 있다. 연속파 레이저의 예는, Ar 레이저, Kr 레이저, CO₂ 레이저, YAG 레이저, YVO₄ 레이저, YLF 레이저, YAlO₃ 레이저, GdVO₄ 레이저, Y₂O₃ 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 헬륨 카드뮴 레이저 등을 포함한다.

[0081] 레이저 빔(130)의 파장은, 단결정 반도체층(116)에 의해 레이저 빔이 흡수되도록 파장이 선택될 필요가 있다. 그 파장은, 레이저 빔의 표피 깊이(skin depth) 등을 고려하여 결정될 수도 있다. 예를 들어, 파장은 250 nm 이상 700 nm 이하의 범위에서 설정될 수 있다. 또한, 레이저 빔(130)의 에너지 밀도는, 레이저 빔(130)의 파장, 레이저 빔(130)의 표피 깊이, 단결정 반도체층(116)의 막 두께 등을 고려하여 결정될 수 있다. 레이저 빔(130)의 에너지 밀도는, 예를 들어, 300 mJ/cm² 이상 800 mJ/cm² 이하의 범위에서 설정될 수도 있다. 상기 에너지 밀도의 범위는, 펄스 레이저로서 XeCl 엑시머 레이저(파장: 308 nm)가 사용될 때의 일례라는 것에 유의한다.

[0082] 레이저 빔(130)을 이용한 조사는, 대기 분위기와 같은 산소를 함유하는 분위기, 또는 질소 분위기나 아르곤 분위기와 같은 불활성 분위기에서 실시될 수 있다. 불활성 분위기중에서 레이저 빔(130)을 이용한 조사를 실시하기 위해, 레이저 빔(130)을 이용한 조사는 기밀성 챔버에서 실시될 수도 있고 이 챔버내의 분위기는 제어될 수도 있다. 챔버가 사용되지 않는 경우에서, 레이저 빔(130)으로 조사되는 표면에 질소 가스와 같은 불활성 가스를 내뿜는 것으로, 불활성 분위기가 얻어질 수 있다.

[0083] 질소 분위기와 같은 불활성 분위기에서의 조사가, 대기 분위기에서의 조사보다 단결정 반도체층(116)의 평탄성을 향상시키는데 더욱 효과적이라는 것에 유의한다. 또한, 불활성 분위기가 대기 분위기보다 크랙 또는 리지의 발생을 억제하는 효과가 높고, 레이저 빔(130)에 적용가능한 에너지 밀도의 범위가 넓어진다. 레이저 빔(130)을 이용한 조사는, 감압 분위기에서 실시될 수도 있다는 것에 유의한다. 감압 분위기에서 레이저 빔(130)을 이용한 조사가 실시되는 경우에, 불활성 분위기에서의 조사에 의해 획득된 바와 동일한 효과가 획득될 수 있다.

[0084] 이러한 실시형태에서는, 단결정 반도체층(116)의 분리를 위한 열처리 이후에, 레이저 빔(130)을 이용한 조사 처리가 실시되지만, 개시된 발명의 실시형태는 이것에 한정되는 것으로서 해석되지 않는다. 단결정 반도체층(116)의 분리를 위한 열처리 이후에, 단결정 반도체층(116)의 표면에서 다수의 결함을 포함하는 영역을 제거하기 위해 에칭 처리가 실시될 수도 있다. 그 후, 레이저 빔(130)을 이용한 조사 처리가 실시될 수도 있다. 다르게는, 단결정 반도체층(116) 표면의 평탄성이 향상된 이후에, 레이저 빔(130)을 이용한 조사 처리가 실시될 수도 있다. 에칭 처리는, 웨트 에칭 또는 드라이 에칭일 수도 있다는 것에 유의한다.

[0085] 또한, 레이저 빔(130)을 이용한 조사 처리 이전에, 단결정 반도체층(116)의 표면이 세정되는 것이 바람직하다.

[0086] 레이저 빔(130)을 이용한 조사가 상술한 바와 같이 실시된 이후에, 단결정 반도체층(116)을 박막화하는 공정이 실시될 수도 있다. 단결정 반도체층(116)을 박막화하기 위해, 드라이 에칭 및 웨트 에칭 중 일방, 또는 양자의 조합이 이용될 수도 있다.

[0087] 상기 공정들을 통해, 표면의 거칠기가 저감된 단결정 반도체층(118)을 갖는 SOI 기판이 획득될 수 있다(도 3c

참조).

[0088] (광전 변환 소자의 제작 공정들)

[0089] 다음으로, SOI 기판을 이용해 광전 변환 소자(180)를 제작하는 공정들이 설명될 것이다. 먼저, 상기 공정들에 따라, 베이스 기판(100) 위에 절연층(112) 및 단결정 반도체층(118)이 제공되는 구조를 갖는 SOI 기판이 준비된다(도 4a 참조).

[0090] 단결정 반도체층(118)에는, 붕소, 알루미늄, 갈륨과 같은 소량의 p형 불순물 원소, 또는 인, 비소와 같은 소량의 n형 불순물 원소가 첨가될 수도 있다. 불순물 원소가 첨가되는 영역, 및 첨가될 불순물 원소의 종류는, 적절히 변경될 수 있다.

[0091] 그 후, 마스크(150)가 단결정 반도체층(118) 위에 형성된다. 단결정 반도체층(118)이 마스크(150)를 사용하여 패터닝되어서, 광전 변환 소자에 사용되는 섬형상 반도체층(152)이 형성된다(도 4b 참조). 마스크(150)는, 레지스트 재료를 사용하여 포토리소그래피 등에 의해 형성될 수 있다. 또한, 패터닝시의 에칭 처리로서, 웨트 에칭 또는 드라이 에칭이 이용될 수 있다.

[0092] 다음으로, 반도체층(152)을 커버하도록 절연층(154)이 형성된다(도 4c 참조). 절연층(154)은 반드시 형성되지 않아도 되지만, 절연층(154)이 형성되는 경우에, 이후에 실시되는 불순물 원소의 첨가에 반도체층(152)에 대한 손상을 억제할 수 있다. 이러한 실시형태에서, 플라즈마 CVD법에 의해, 단층의 산화 실리콘막이 형성된다는 것에 유의한다. 다르게는, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈 등을 포함하는 막이, 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.

[0093] 플라즈마 CVD법 이외의 제작 방법으로서, 스퍼터링법 또는 고밀도 플라즈마 처리에 의한 산화 또는 질화를 사용하는 방법이 제공될 수 있다. 고밀도 플라즈마 처리는, 예를 들어, 헬륨, 아르곤, 크립톤, 또는 크세논과 같은 희가스, 산소 가스, 산화 질소 가스, 암모니아 가스, 질소 가스, 수소 가스 등과 같은 혼합 가스를 사용하여 실시된다. 이러한 경우에서, 마이크로파의 도입에 의해 플라즈마를 여기함으로써, 저전자 온도 및 고밀도를 갖는 플라즈마가 생성될 수 있다. 이와 같은 고밀도의 플라즈마에 의해 생성된 산소 라디칼(OH 라디칼이 포함될 수도 있음) 또는 질소 라디칼(NH 라디칼이 포함될 수도 있음)에 의해, 반도체층(152)의 표면이 산화 또는 질화될 때, 1 nm 이상 20 nm 이하, 바람직하게는 2 nm 이상 10 nm 이하의 두께를 갖는 절연층(154)이 형성될 수 있다.

[0094] 고밀도 플라즈마 처리에 의한 반도체층의 산화 또는 질화는 고상 반응이기 때문에, 절연층(154)과 반도체층(152) 사이의 계면 준위 밀도가 충분히 감소될 수 있다. 특히, 반도체층이 단결정인 경우에는, 고밀도 플라즈마 처리를 사용함으로써 반도체층의 표면이 고상 반응에 의해 산화되더라도, 높은 균일성 및 충분히 낮은 계면 준위 밀도를 갖는 절연층(154)이 형성될 수 있다.

[0095] 다르게는, 반도체층(152)을 열산화함으로써, 절연층(154)이 형성될 수도 있다. 이러한 열 산화의 경우에서, 어느 정도의 내열성을 갖는 베이스 기판(100)을 사용하는 것이 필요하다.

[0096] 또한, 절연층(154)에 함유된 수소가, 수소를 함유하는 절연층(154)의 형성 이후에, 350℃ 이상 450℃ 이하의 온도에서 열처리를 실시함으로써, 반도체층(152)으로 확산될 수도 있다. 이러한 경우에서, 절연층(154)은 플라즈마 CVD법에 의해 질화 실리콘 또는 질화 산화 실리콘을 사용하여 형성될 수 있다. 또한, 프로세스 온도는 350℃ 이하로 설정되는 것이 바람직하다. 이러한 방식으로, 반도체층(152)에 수소를 공급함으로써, 반도체층(152)에서의 결함, 및 절연층(154)과 반도체층(152) 사이의 계면에 있어서의 결함이 효과적으로 저감될 수 있다.

[0097] 다음으로, 마스크(156)가 절연층(154) 위에 선택적으로 형성되고, 반도체층(152)의 일부에 제 1 도전형을 부여하는 불순물 원소가 첨가된다. 따라서, 제 1 도전형을 갖는 반도체 영역(158)이 형성된다(도 4d 참조). 여기에서, 제 1 도전형을 부여하는 불순물 원소로서 붕소가 이용되고 제 1 도전형은 p형 도전형이지만, 개시된 발명의 실시형태에 이에 한정되지 않는다. 제 1 도전형을 부여하는 불순물 원소로서 알루미늄 등이 사용될 수도 있다. 또한, 제 1 도전형이 n형 도전형인 경우에서, 인이나 비소 등이 사용될 수도 있다. 마스크(156)는, 마스크(150)와 유사한 방식으로 형성될 수도 있다.

[0098] 구체적으로는, 예를 들어, 대략 $3.0 \times 10^{14} \text{ cm}^{-2}$ 내지 $1.0 \times 10^{17} \text{ cm}^{-2}$ 의 도즈량으로 10kV 내지 40kV의 가속 전압에서 원료 가스로서 B_2H_6 를 사용하여 붕소가 첨가될 수도 있다. 불순물 원소의 첨가의 조건은, 요구되는 특성 에 따라 적절히 변경될 수 있다. 도즈량이 감소될 때, 암전류가 감소되는 경향이 있다. 이것은, 저도즈량 조

건하에 불순물이 첨가될 때 반도체층(152)에 대한 손상이 작아서, 결함으로 인한 전류가 생성되지 않고, 고도조각 조건으로 불순물이 첨가될 때 반도체층(152)의 손상이 커져서 결함으로 인한 캐리어 트랩이 생성되기 때문이다. 제 1 도전형을 갖는 반도체 영역(158)의 형성 이후에, 마스크(156)가 제거된다는 것에 유의한다.

[0099] 그 후, 마스크(160)가 절연층(154) 위에 선택적으로 형성되고, 반도체층(152)의 일부에 제 2 도전형을 부여하는 불순물 원소가 첨가된다. 따라서, 제 2 도전형을 갖는 반도체 영역(162)이 형성되고, 제 1 도전형을 부여하는 불순물 원소 및 제 2 도전형을 부여하는 불순물 원소가 첨가되지 않은 광전 변환의 효과를 갖는 반도체 영역(164)이 형성된다(도 4e 참조). 제 2 도전형은 제 1 도전형과는 상이하다. 즉, 제 1 도전형이 p형일 때, 제 2 도전형은 n형이며, 제 1 도전형이 n형일 때, 제 2 도전형은 p형이다. 여기에서, 제 2 도전형을 부여하는 불순물 원소로서 인이 사용되고 제 2 도전형은 n형이다. 다르게는, n형을 부여하는 불순물 원소로서, 비소 등이 사용될 수 있다. 마스크(160)는, 마스크(150) 또는 마스크(156)와 유사한 방식으로 형성된다.

[0100] 구체적으로는, 예를 들어, 대략 $1.0 \times 10^{14} \text{ cm}^{-2}$ 내지 $5.0 \times 10^{16} \text{ cm}^{-2}$ 의 도즈량으로 10kV 내지 40kV의 가속 전압에서 원료 가스로서 PH_3 를 사용하여 인이 첨가될 수도 있다. 불순물 원소의 첨가의 조건은, 요구되는 특성에 따라 적절히 변경될 수 있다. 제 1 도전형을 부여하는 불순물 원소를 첨가하는 경우와 유사한 방식으로, 도즈량이 감소될 때 암전류가 억제될 수 있다. 제 2 도전형을 갖는 반도체 영역(162)의 형성 이후에, 마스크(160)는 제거된다.

[0101] 제 1 도전형을 부여하는 불순물 원소 및 제 2 도전형을 부여하는 불순물 원소의 첨가는, 광전 변환의 효과를 갖는 반도체 영역(164)의 폭이 $0.1 \mu\text{m}$ 내지 $20 \mu\text{m}$, 바람직하게는 $3 \mu\text{m}$ 내지 $10 \mu\text{m}$ 가 되도록 실시된다는 것에 유의한다. 물론, 마스크(156) 및 마스크(160)의 가공 정밀도가 허용하면, 반도체 영역(164)의 폭은 $0.1 \mu\text{m}$ 이하일 수 있다.

[0102] 여기서, 도즈량이 변화되는 경우에서의 광전 변환 소자의 특성이 도 5에 예시되어 있다. 도 5에서, 세로축은 전류(A)를 나타낸다. 원은 1000 cd/m^2 의 광 조사시의 전류(광전류)를 나타내고, X 마크는 광 조사가 실시되지 않을 때의 전류(암전류)를 나타낸다. 도 5의 좌측(조건 A)에서, 제 1 도전형을 부여하는 불순물 원소(여기서는 붕소)의 도즈량은 $3.0 \times 10^{15} \text{ cm}^{-2}$ 이고, 제 2 도전형을 부여하는 불순물 원소(여기서는 인)의 도즈량은 $1.0 \times 10^{15} \text{ cm}^{-2}$ 이다. 도 5의 우측(조건 B)에서는, 제 1 도전형을 부여하는 불순물 원소의 도즈량을 $1.0 \times 10^{16} \text{ cm}^{-2}$ 이고, 제 2 도전형을 부여하는 불순물 원소의 도즈량을 $5.0 \times 10^{15} \text{ cm}^{-2}$ 이다. 조건들 양자에서, 가속 전압은 20 kV라는 것에 유의한다. 또한, 다른 파라미터들은 조건 A 및 조건 B 양자에서 동일하다.

[0103] 도 5로부터, 첨가된 불순물의 도즈량이 큰 도즈량의 경우(조건 B)와 비교하여 어느 정도 작은 경우(조건 A)에, 암전류가 억제된다는 것이 발견될 수 있다.

[0104] 그 후, 반도체층(152) 및 절연층(154)을 커버하도록 절연층(166)이 형성된다(도 4f 참조). 절연층(166)이 반드시 제공되지 않더라도, 절연층(166)이 형성될 때, 알칼리 금속 또는 알칼리 토금속과 같은 불순물 원소가 반도체층(152)에 침입하는 것이 방지될 수 있다. 또한, 형성될 광전 변환 소자의 표면을 평탄화될 수 있다.

[0105] 절연층(166)은, 예를 들어, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 산화 알루미늄과 같은 재료를 사용하여 형성될 수 있다. 이러한 실시형태에서, 절연층(166)은, CVD법에 의해 형성되는 대략 300 nm의 두께의 산화 질화 실리콘막과 대략 600 nm의 두께의 산화 실리콘막의 적층 구조로 형성된다. 물론, 개시된 발명의 실시형태는 이에 한정되지 않는다. 단층 구조 또는 3층 이상의 적층 구조가 이용될 수 있다.

[0106] 상기 재료들 이외에, 절연층(166)은, 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리아미드, 에폭시와 같은 내열성을 갖는 유기 재료를 사용하여 형성될 수 있다. 이러한 유기 재료 이외에, 예를 들어, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(포스포실리케이트 유리), BPSG(보로포스포실리케이트 유리)를 사용하는 것이 또한 가능하다. 여기서, 실록산계 수지란, 실록산계 재료를 출발 재료로서 사용하여 형성된 Si-O-Si 결합을 포함하는 수지에 대응한다. 아래의 방법들 : CVD법, 스퍼터링 법, SOG법, 스핀 코팅, 딥 코팅, 스프레이 코팅, 또는 액적 토출법(잉크젯법, 스크린 인쇄법, 오프셋 인쇄법)과 같은 방법, 또는 닥터 나이프, 롤 코터, 커튼 코터, 또는 나이프 코터와 같은 도구(장비)가 그 재료에 따라, 적절하게 이용될 수 있다.

[0107] 다음으로, 반도체층(152)이 부분적으로 노출되도록 절연층(154) 및 절연층(166)에 콘택트홀(168) 및 콘택트홀(170)이 형성된다(도 4g 참조). 여기서 구체적으로, 제 1 도전형을 갖는 반도체 영역(158) 및 제 2 도전형을

갖는 반도체 영역(162)이 부분적으로 노출되도록, 콘택트홀(168) 및 콘택트홀(170)이 형성된다. 콘택트홀(168) 및 콘택트홀(170)은 마스크의 선택적 형성 이후에 에칭 처리 등에 의해 형성될 수 있다. 에칭 처리로서, 에칭 가스로서 CHF_3 와 He의 혼합 가스를 사용한 드라이 에칭이 이용될 수 있지만, 개시된 발명의 실시형태는 이에 한정되지 않는다.

[0108] 콘택트홀을 통해 반도체층(152)과 접촉하는 도전층이 형성되고, 그 후, 제 1 전극(172) 및 제 2 전극(174)이 형성되도록 패터닝된다(도 4h 참조). 제 1 전극(172) 및 제 2 전극(174)이 형성되는 도전층은, CVD법, 스퍼터링법, 증착법 등에 의해 형성될 수 있다. 구체적으로는, 도전층의 재료로서, 알루미늄(Al), 텅스텐(W), 티타늄(Ti), 탄탈(Ta), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 구리(Cu), 금(Au), 은(Ag), 망간(Mn), 네오디뮴(Nd), 탄소(C), 규소(Si) 등이 사용될 수 있다. 다르게는, 상술한 재료를 주성분으로 함유하는 합금 또는 상술한 재료를 함유하는 화합물이 사용될 수도 있다. 도전층은 단층 구조 또는 적층 구조를 가질 수도 있다는 것에 유의한다.

[0109] 알루미늄을 주성분으로서 함유하는 합금의 예로서, 알루미늄을 주성분으로서 함유하고 니켈을 또한 함유하는 합금이 제공될 수 있다. 또한, 알루미늄을 주성분으로서 함유하고, 또한 니켈과 탄소 또는 규소의 하나 또는 둘을 함유하는 합금이 그 예로서 또한 제공될 수 있다. 알루미늄 및 알루미늄 실리콘(Al-Si)은 낮은 저항값을 갖고, 저렴하기 때문에, 알루미늄 및 알루미늄 실리콘은 제 1 전극(172) 및 제 2 전극(174)을 형성하는 재료로서 적합하다. 특히, 알루미늄 실리콘은, 패터닝시에 레지스트 베이킹(resist baking)으로 인한 힐록(hillock)의 생성이 억제될 수 있기 때문에 바람직하다. 또한, 규소 대신에, 알루미늄에 대략 0.5%의 Cu가 혼합된 재료가 사용될 수도 있다.

[0110] 제 1 전극(172) 및 제 2 전극(174) 각각이 적층 구조를 갖도록 도전층이 적층구조로 형성되는 경우에, 예를 들어, 배리어막, 알루미늄 실리콘막, 및 배리어막의 적층 구조; 배리어막, 알루미늄 실리콘막, 질화 티타늄막, 및 배리어막의 적층 구조 등이 사용될 수 있다. 배리어막은 티타늄, 티타늄의 질화물, 몰리브덴 또는 몰리브덴의 질화물 등을 사용하여 형성된 막을 칭한다는 것에 유의한다. 배리어막들의 사이에 알루미늄 실리콘막이 개재되도록 도전막을 형성함으로써, 알루미늄 또는 알루미늄 실리콘의 힐록의 발생이 더 방지될 수 있다. 높은 환원성을 갖는 원소인 티타늄을 사용하여 배리어막이 형성될 때, 제 1 도전형을 갖는 반도체 영역(158) 및 제 2 도전형을 갖는 반도체 영역(162) 위에 얇은 산화막이 형성되더라도, 배리어막에 함유된 티타늄에 의해 그 산화막이 환원되어서, 제 1 도전형을 갖는 반도체 영역(158)과 제 1 전극(172) 사이, 및 제 2 도전형을 갖는 반도체 영역(162)과 제 2 전극(174) 사이의 양호한 콘택트가 획득될 수 있다. 다르게는, 복수의 배리어막을 적층하는 것이 또한 가능하다. 그 경우에서, 예를 들어, 바닥으로부터 티타늄, 질화 티타늄, 알루미늄 실리콘, 티타늄, 및 질화 티타늄의 5개 층 구조, 또는 5개보다 많은 층들의 적층 구조가 이용될 수 있다.

[0111] 도전층으로서, WF_6 가스와 SiH_4 가스를 사용하여 화학 기상 성장법에 의해 형성된 텅스텐 실리사이드가 사용될 수도 있다. 다르게는, WF_6 의 수소 환원에 의해 형성된 텅스텐이 도전층으로 사용될 수도 있다.

[0112] 이러한 방식으로, 광 투과성 베이스 기판(100)상에, 광전 변환 소자(180)가 형성된다.

[0113] (광전 변환 소자의 특성)

[0114] 다음으로, 상기 방법에 따라 얻어진 광전 변환 소자의 특성(휘도-전류 특성)의 일례가 설명될 것이다(도 6 참조). 도 6에서, 세로축은 소자의 전류(A)를 나타내고, 가로축은 소자에 조사되는 광의 휘도(cd/m^2)를 나타낸다.

[0115] 여기에서, 아래의 2개의 종류의 광전 변환 소자 : 이러한 실시형태에 설명된 방법에 의해 형성된 광전 변환 소자(특히, 베이스 기판으로서 유리 기판이 사용된 광전 변환 소자 : c-Si on glass), 및 유리 기판 위의 다결정 실리콘(p-Si on glass)을 사용하여 형성된 광전 변환 소자가 조사 대상이다. 광전 변환 소자의 반도체층의 두께가 서로 약간 상이하고, 이것은 60 nm(c-Si on glass) 및 50 nm(p-Si on glass)이고, 다른 조건은 동일하다. 또한, 측정은 0.5 V의 역바이어스 전압이 인가되면서 실시된다.

[0116] 도 6으로부터, 이러한 실시형태에 따라 형성된 광전 변환 소자로 획득된 전류가 유리 기판 위의 다결정 실리콘을 사용하여 형성된 광전 변환 소자로 획득된 것보다 대략 5배 크다는 것이 발견된다.

[0117] 이러한 방식으로, 광 투과성 베이스 기판 위에 형성된 단결정 반도체층을 사용하여 광전 변환 소자가 형성될 때, 다결정 실리콘을 사용하여 광전 변환 소자가 형성되는 경우와 비교하여, 소자 특성이 향상될 수 있다. 또

한, 광 투과성 베이스 기판 위에 형성된 단결정 반도체층이 사용될 때, 기판측으로부터 광이 입사할 수 있어서, 우수한 특성의 광전 변환 소자가 형성될 수 있다.

[0118] 이러한 실시형태에서 설명된 구조는 다른 실시형태에 설명된 임의의 다른 구조와 적절히 조합됨으로써 구현될 수 있다는 것에 유의한다.

[0119] (실시형태 2)

[0120] 이러한 실시형태에서, 반도체 장치 및 그 제작 방법의 일례가 도면을 참조하여 설명된다. 구체적으로는, 광전 변환 소자의 하방에 광전 변환 소자와 오버랩하는 차광층을 구비하는 반도체 장치 및 그 제작 방법이 설명될 것이다.

[0121] 개시된 발명의 실시형태에 관련된 광전 변환 소자(180)는, 광 투과성 기판(100) 위에 제공된 차광층(204) 위에 형성된다(도 7 참조). 여기서, 도 7b는 도 7a의 라인 A-B를 따른 단면에 대응한다.

[0122] 광전 변환 소자(180)는, 횡접합 핀(pin) 다이오드이며, 광전 변환의 효과를 갖는 반도체 영역(164), 제 1 도전형을 갖는 반도체 영역(158), 및 제 2 도전형을 갖는 반도체 영역(162)을 포함하는 섬형상 단결정 반도체층; 제 1 도전형을 갖는 반도체 영역(158)에 전기적으로 접속된 제 1 전극(172); 및 제 2 도전형을 갖는 반도체 영역(162)에 전기적으로 접속된 제 2 전극(174)을 포함한다. 제 1 전극(172) 및 제 2 전극(174)은, 콘택트홀을 통해 제 1 도전형을 갖는 반도체 영역(158) 및 제 2 도전형을 갖는 반도체 영역(162) 각각에 전기적으로 접속된다. 콘택트홀은 섬형상 산화 반도체층을 커버하도록 형성되는 절연층(154) 및 절연층(166)에 형성된다. 이전의 실시형태는 광전 변환 소자, 절연층, 기판의 특정한 구조 및 그 제작 공정을 참조할 수 있다. 이러한 실시형태에서는, 광 투과성 기판(100) 위에 절연층(206)을 개재하여 광을 차단할 수 있는 차광층(204)이 제공되고, 광전 변환 소자(180)가 차광층(204) 위에 제공되고, 이 광전 변환 소자는 절연층(112)을 개재하여 차광층(204)과 오버랩한다.

[0123] 광전 변환 소자(180)와 오버랩하도록 차광층(204)을 제공함으로써, 광 투과성 기판(100)에 대해 제공된 광원으로부터의 광이, 광 센서로서 기능하는 광전 변환 소자(180)와 직접적으로 부딪히는 것이 방지될 수도 있다. 광전 변환 소자(180)에 포함된 섬형상 단결정 반도체층보다 큰 폭을 갖는 차광층(204)이 형성될 때, 광전 변환 소자(180)에 광이 직접적으로 부딪히는 것이 더욱 확실하게 방지될 수 있다.

[0124] 도 8은 광전 변환 소자(180)와 광의 입사 방향 사이의 관계를 예시한다. 절연층(166) 및 절연층(500) 위에 컬러 필터(502)가 제공된다. 광원(504)이 광 투과성 기판(100) 측에 제공되고, 피검출물(506)이 대향하는 기판(도시 생략) 측에 배열될 때, 대향하는 기판측 상의 피검출물(506)은 광원(504)으로부터의 광(508)으로 조사된다. 그 후, 광전 변환 소자(광 센서)는 피검출물(506)으로부터의 반사광(510)을 수광한다. 이러한 경우에서, 광원(504), 컬러 필터(502), 및 차광층(204)이 대향 기판측에 제공되고, 피검출물이 광 투과성 기판(100)측 상에 제공되는 경우와 비교하여, 컬러 필터와 광전 변환 소자 사이에서 광이 전달되는 거리가 감소될 수도 있다. 따라서, 컬러 혼잡이 억제될 수 있다.

[0125] 차광층(204)이 광 투과성 기판(100)측 상에 제공되는 구조가, 이미지들을 캡처하는 접촉 영역 센서들이 터치 패널의 전체 표시 스크린에 배열되는 표시 장치에서의 이미지 캡처의 해상도를 향상시키기 위해, 작은 피치를 갖는 더욱 소형화된 화소들이 필요할 때, 더욱 효율적이다.

[0126] 또한, 제 1 전극(172) 및 제 2 전극(174)은, 절연층(154) 및 절연층(166)에 형성된 콘택트홀을 통해 제 1 도전형을 갖는 반도체 영역(158) 및 제 2 도전형을 갖는 반도체 영역(162)에 각각 전기적으로 접속된다, 즉, 제 1 전극(172) 및 제 2 전극(174)은 광전 변환의 효과를 갖는 반도체 영역(164)을 사이에 두고 차광층(204)에 대향하는 측면 상에 차광벽이 되도록 제공된다. 따라서, 상이한 컬러로 인접하는 컬러 필터를 투과한 경사 방향으로부터의 광이 방지될 수 있어서, 컬러 분리가 양호하게 실시될 수 있고 컬러 혼잡이 더 억제될 수 있다.

[0127] 또한, 전압이 차광층(204)에 인가되는 구조가 이용될 수도 있다. 차광층(204)에 인가되는 전압을 제어함으로써, 광전 변환 소자(180)의 전극으로서 차광층(204)이 사용될 수 있다. 따라서, 전자 및 정공의 발생 또는 흐름이 제어될 수 있다.

[0128] 다음으로, 기판 위에 광전 변환 소자 및 트랜지스터를 제작하는 공정들이 도 9a 내지 도 9g 및 도 10a 내지 도 10h를 참조하여 설명될 것이다.

[0129] 먼저, 광 투과성 베이스 기판(100)과 본드 기판으로서 기능하는 단결정 반도체 기판(110)이 준비된다(도 9a 및 도 9b 참조). 상기 실시형태를 참조할 수 있는 베이스 기판(100) 및 단결정 반도체 기판(110)의 상세는 여

기에서 생략된다.

- [0130] 다음으로, 베이스 기판(100) 표면상에, 절연층(202), 차광층(204), 및 절연층(206)이 이러한 순서로 적층된다(도 9c 참조).
- [0131] 절연층(202)은 예를 들어, 산화 실리콘막, 질화 실리콘막, 질화 산화 실리콘막, 산화 질화 실리콘막, 질화 알루미늄막, 산화 알루미늄막 등을 사용하여 단층으로, 또는 적층으로 형성될 수 있다. 절연층(202)으로서 질소를 함유하는 절연층이 형성될 때, 베이스 기판에 포함되는 나트륨(Na)과 같은 불순물 원소의 반도체에 대한 확산이 억제될 수 있다. 열산화법, CVD법, 스퍼터링법 등이 절연층(202)을 제작하기 위해 사용될 수 있다.
- [0132] 차광층(204)은 텅스텐, 몰리브덴, 탄탈, 티타늄, 니오븀, 니켈, 코발트, 지르코늄, 또는 아연과 같은 내열성을 갖는 금속막으로 형성되는 것이 바람직하다. 특히, 몰리브덴 또는 텅스텐을 사용하는 것이 바람직하다. 다르게는, 카본 블랙, 저차 산화 티타늄과 같은 흑색 안료를 포함하는 유기 수지가 사용될 수 있다. 다르게는, 크롬을 사용하는 막이, 차광층(204)으로서 사용될 수 있다. 또한, 내열성 이외에 내산화성을 갖는 재료가 차광층(204)으로서 사용되는 것이 바람직하다. 차광층(204)은, 스퍼터링법, 증착법 등을 사용하여 형성될 수 있다.
- [0133] 차광층(204) 위에 형성된 절연층(206)은, 예를 들어, 산화 실리콘막, 질화 실리콘막, 질화 산화 실리콘막, 산화 질화 실리콘막, 질화 알루미늄막, 산화 알루미늄막 등을 사용하여 단층으로, 또는 적층으로 형성될 수 있다. 특히, 산화 알루미늄이 절연층(206)으로 사용되는 것이 바람직하다. 이것은, 산화 알루미늄이 차광층(204)과의 양호한 밀착성을 갖기 때문이다. 또한, 산화 알루미늄은 양호한 평탄성을 갖고, 차광층(204)의 표면의 요철을 완화시킬 수 있다. 따라서, 산화 알루미늄의 사용은 베이스 기판(100)과 단결정 반도체 기판(110) 사이의 양호한 접합을 가능하게 한다. 절연층(206)을 제작하기 위해 열산화법, CVD법, 스퍼터링법 등이 이용될 수 있다.
- [0134] 취화 영역(114)이 단결정 반도체 기판(110)의 표면으로부터 소정의 깊이로 형성되고, 베이스 기판(100) 및 단결정 반도체 기판(110)은 절연층(202), 차광층(204), 절연층(206), 및 절연층(112)을 개재하여 접합된다(도 9d 및 도 9e 참조).
- [0135] 절연층(112)은 예를 들어, 산화 실리콘막, 산화 질화 실리콘막 등의 단층으로 또는 적층으로 형성될 수 있다. 그 상세한 설명에 대해서는 상기 언급한 실시형태를 참조할 수 있다. 여기서는, 단결정 반도체 기판(110) 위에 절연층(112)이 형성되지만, 절연층(112)은 단결정 반도체 기판을 커버하도록 열산화법에 의해 형성될 수도 있다.
- [0136] 취화 영역(114)은, 운동 에너지를 갖는 수소 등의 이온을 단결정 반도체 기판(110)에 첨가함으로써 형성될 수 있다. 그 상세한 설명에 대하여는 상기 언급한 실시형태를 참조할 수 있다.
- [0137] 접합은, 베이스 기판(100) 및 단결정 반도체 기판(110)이, 절연층(202), 차광층(204), 절연층(206), 및 절연층(112)을 개재하여 서로 밀착하게 배치된 후, 베이스 기판(100) 또는 단결정 반도체 기판(110)의 일부에 1 N/cm^2 이상 500 N/cm^2 이하의 압력이 인가되는 것으로 실시된다. 그 후, 절연층(206) 및 절연층(112)은 압력인 가부로부터 함께 접합되기 시작되고, 접합이 자발적으로 전체 영역으로 확산된다. 이러한 접합은, 반 데르 발스력 또는 수소 결합의 작용하에서 실시되고, 실온에서 실시될 수 있다.
- [0138] 단결정 반도체 기판(110) 및 베이스 기판(100)이 함께 접합되기 이전에, 함께 접합될 표면이 표면 처리되는 것이 바람직하다는 것에 유의한다. 표면 처리는, 단결정 반도체 기판(110)과 베이스 기판(100) 사이의 접합 계면에서의 접합 강도를 향상시킬 수 있다. 표면 처리의 상세에 대해서는 상기 실시형태가 참조될 수 있다.
- [0139] 접합이 실시된 이후에, 접합 강도를 향상시키기 위한 열처리가 실시될 수도 있다는 것에 유의한다. 이러한 열 처리는, 취화 영역(114)에서의 분리가 생기지 않는 온도(예를 들어, 실온 이상 및 400°C 미만)에서 실시된다. 다르게는, 이러한 온도 범위의 온도에서 가열되면서, 베이스 기판(100) 위의 절연층(206) 및 절연층(112)이 함께 접합될 수도 있다. 열처리는, 확산노, 저항 가열노등의 가열노, RTA(rapid thermal annealing) 장치, 마이크로파 가열 장치 등을 사용하여 실시될 수 있다.
- [0140] 다음으로, 단결정 반도체 기판(110)이 열처리에 의해 취화 영역(114)으로부터 분리됨으로써, 차광층(204)이 형성된 베이스 기판(100)상에, 절연층(112)을 개재하여 단결정 반도체층(116)이 형성된다(도 9f 및 도 9g 참조). 단결정 반도체 기판(110)의 표면의 단부는 그 표면 연마 처리로부터 발생한 곡률을 갖는(carved) 표면 형상(에지 롤 오프라 칭함)으로 인해 광 투과성 기판에 접합되지 않는다는 것에 유의한다.

- [0141] 열처리가 실시될 때, 첨가된 원소가 취화 영역(114)에 형성된 마이크로보이드에서 분자로서 석출되어, 마이크로보이드의 내부의 압력이 상승된다. 상승된 압력은 취화 영역(114)에서 크랙을 발생시켜, 단결정 반도체 기판(110)이 취화 영역(114)을 따라 분리된다. 절연층(112)이 절연층(206)에 접합되기 때문에, 베이스 기판(100) 위에는 단결정 반도체 기판(110)으로부터 분리된 단결정 반도체층(116)이 잔존한다.
- [0142] 다음으로, 단결정 반도체층(116)의 표면이 레이저 빔(130)으로 조사됨으로써, 표면의 평탄성이 향상되고, 결함의 수가 저감되는 단결정 반도체층(118)이 형성된다(도 10a 및 도 10b 참조). 레이저 빔(130)을 이용한 조사의 상세는 상기 실시형태를 참조할 수 있다.
- [0143] 그 후, 마스크(150)가 단결정 반도체층(118) 위에 형성되고, 마스크(150)를 사용하여 단결정 반도체층(118)이 패터닝(가공)되어서, 광전 변환 소자에 대한 섬형상 반도체층(152)이 형성된다(도 10c 및 도 10d 참조). 마스크(150)는, 레지스트 재료를 사용하는 포토리소그래피 등에 의해 형성될 수 있다. 또한, 패터닝시의 에칭 처리로서, 웨트 에칭 또는 드라이 에칭이 이용될 수 있다. 여기서, 단결정 반도체층(118)이 패터닝되어, BCl_3 , CF_4 및 O_2 의 혼합 가스를 반응 가스로서 사용하는 드라이 에칭에 의해 섬형상 반도체층(152)을 형성한다. 도면은 개략도라는 것에 유의한다. 따라서, 전체 단결정 반도체층(118)에 대한 섬형상 반도체층(152)의 크기와 같은 스케일은 몇몇 경우에서 실제 스케일과는 상이하다.
- [0144] 마스크(150)가 제거되고, 그 후, 섬형상 반도체층(152) 각각을 커버하도록 마스크(250)가 형성된다(도 10e 참조). 마스크(250)는, 레지스트 재료를 사용한 포토리소그래피 등에 의해 형성될 수 있다.
- [0145] 그 후, 절연층(112) 및 절연층(206)은 마스크(250)를 사용하여 에칭된다(도 10f 참조). 에칭 처리로서, 웨트 에칭 또는 드라이 에칭이 이용될 수 있다. 여기서, 반응 가스로서 CHF_3 와 He의 혼합 가스를 사용한 드라이 에칭이 이용되지만, 이러한 실시형태는 이에 한정되지 않는다.
- [0146] 다음으로, 차광층(204)이 마스크(250)를 사용하여 패터닝되어, 섬형상 차광층(208)이 형성된다(도 10g 참조). 패터닝시의 에칭 처리로서, 웨트 에칭 또는 드라이 에칭이 이용될 수 있다. 여기서, 차광층(204)은 Cl_2 , CF_4 및 O_2 의 혼합 가스를 반응 가스로서 사용한 드라이 에칭에 의해 패터닝되어 섬형상 차광층(208)을 형성한다. 그 후, 마스크(250)가 제거된다(도 10h 참조). 따라서, 섬형상 차광층(208)과 오버랩하고, 각각의 섬형상 차광층(208)보다 작은 폭을 갖는 섬형상 반도체층(152)이 획득될 수 있다. 다음으로, 다른 실시형태에 설명된 바와 같이, 섬형상 반도체층(152)을 이용하여 광전 변환 소자가 형성된다.
- [0147] 상기 방법에 따라 형성된 반도체 장치에서, 섬형상 차광층(208)이 섬형상 반도체층(152)과 오버랩하는 영역 위에 선택적으로 형성되기 때문에, 광 투과성 기판을 투과한 광이 광전 변환 소자(180)에 직접 조사되는 것이 방지될 수 있다. 광전 변환 소자와 일부 공통의 제작 공정들을 사용하여, 광전 변환 소자의 형성과 동시에 섬형상 반도체층(152)을 사용하여 트랜지스터가 형성될 수 있다는 것에 유의한다. 또한, 이러한 경우에서, 트랜지스터의 활성층과 오버랩하도록 차광층을 형성함으로써, 광으로 인한 채널 누설 전류의 발생이 억제될 수 있다.
- [0148] 여기에서, 섬형상 차광층(208)보다 작은 폭을 갖는 섬형상 반도체층(152)이 획득되는 공정들이 설명된다는 것에 유의한다. 그러나, 다르게는, 도 10d의 공정 이후에, 충분한 차광 효과가 얻어질 수 있는 한, 차광층(204)은 마스크(150)를 사용하여 패터닝될 수도 있어서, 섬형상 반도체층(152)과 거의 동일한 형상을 갖는 섬형상 차광층(208)이 형성될 수도 있다.
- [0149] 다음으로, 차광층의 배열이 도 10a 내지 도 10h와는 상이한 제작 방법을 도면을 참조하여 설명한다. 특히, 터치 패널의 표시부로서 기능하는 영역에서의 차광층의 일부만이 제거되어 개구부가 형성되는 반도체 장치의 제작 방법이 도 11a 내지 도 11h를 참조하여 설명될 것이다.
- [0150] 도 11a는 도 10b에 대응한다. 차광층(204) 위에 단결정 반도체층(118)의 형성으로부터, 마스크(150)를 이용하여 섬형상 반도체층(152)의 형성까지의 공정들에 대해, 도 9a 내지 도 9g, 도 10a 내지 도 10d, 및 그 설명이 참조될 수 있다. 따라서, 섬형상 반도체층(152)이 차광층(204)이 형성된 베이스 기판(100) 위에 형성된다(도 11d 참조). 도면은 개략도라는 것에 유의한다. 따라서, 도면에서의 전체 단결정 반도체층(118)에 대한 섬형상 반도체층(152)의 크기와 같은 스케일은 몇몇 경우들에서 실제 스케일과 상이하다.
- [0151] 다음으로, 섬형상 반도체층(152)을 커버하도록 터치 패널의 표시부로서 기능하는 영역 이외의 영역(개구부)에 마스크(252)가 형성된다. 마스크(252)를 사용하여 에칭이 실시되어, 개구부에서의 절연층(112) 및 절연층(206)이 제거된다(도 11e 및 도 11f 참조). 에칭 처리로서, 웨트 에칭 또는 드라이 에칭이 이용될 수 있다.

여기에서, 반응 가스로서 CHF_3 와 He의 혼합 가스를 사용한 드라이 에칭이 이용되지만, 이러한 실시형태는 이에 한정되지 않는다.

- [0152] 다음으로, 차광층(204)이 마스크(250)를 사용하여 에칭된다(도 11g 참조). 패터닝시의 에칭 처리로서, 웨트 에칭 또는 드라이 에칭이 이용될 수 있다. 여기서, 반응 가스로서 Cl_2 , CF_4 및 O_2 의 혼합 가스를 사용하여 드라이 에칭이 실시된다. 그 후, 마스크(252)가 제거된다(도 10h 참조). 따라서, 표시부로서 기능하는 영역에서만 차광층이 제거됨으로써, 섬형상 반도체층(152)과 오버랩하는 영역에 차광층이 제공되는 반도체 장치가 획득될 수 있다.
- [0153] 도 12a 및 도 12b는, 본 발명의 실시형태에 관련되는 광전 변환 소자 및 트랜지스터를 구비한 반도체 장치의 일 화소의 구조가, 광 투과성 기관층으로부터 예시되는 평면도의 예들이다.
- [0154] 도 12a는, 광전 변환 소자(180) 및 트랜지스터(190)와 같은 소자마다 차광층이 형성되는 구조를 예시한다. 차광층(240)은, 적어도 광전 변환 소자(180)의 광전 변환의 효과를 갖는 반도체 영역이 광으로 조사되지 않도록, 섬형상 단결정 반도체층과 거의 동일한 형상을 갖거나 섬형상 단결정 반도체층보다 큰 폭을 갖도록 제공되는 것이 바람직하다. 차광층(240)이 광전 변환 소자(180)의 반도체층보다 큰 폭을 가질 때, 광 투과성 기관(100) 층으로부터 수직 및 경사 방향의 광의 입사가 방지될 수 있다.
- [0155] 도 12b는, 차광층(204)이 터치 패널의 화소 표시 영역(210) 이외의 전체 영역 위에 제공되는 구조를 예시한다. 광전 변환 소자(180) 및 트랜지스터(190)는 광 투과성 기관 위에 제공된 차광층(204) 위에 형성되기 때문에, 광 투과성 기관층으로부터의 광이 광전 변환 소자(180) 및 트랜지스터(190)에 직접 부딪히는 것이 방지될 수 있다. 그 결과, 광 센서의 기능의 신뢰성이 향상될 수 있다.
- [0156] 이러한 실시형태에서, 차광층이 광 투과성 베이스 기관층 상에 형성된다. 따라서, 예를 들어, 본드 기관으로서 기능하는 복수의 단결정 반도체 기관이 단결정 반도체 기관보다 큰 크기를 갖는 하나의 베이스 기관에 접합되는 경우에서, 차광층은 단결정 반도체 기관마다 형성될 필요가 없어서, 성막 장치에 대한 부담이 감소될 수 있고 제작 공정들이 감소될 수 있다.
- [0157] 이러한 실시형태에 설명된 구조는, 다른 실시형태들에 설명된 임의의 구조들과 적절하게 조합하여 사용될 수 있다.
- [0158] (실시형태 3)
- [0159] 이러한 실시형태에서, 차광층과 오버랩하는 광전 변환 소자를 구비한 반도체 장치의 제작 방법이, 상기 실시형태와는 상이하게 도 13a 내지 도 13g 및 도 14a 내지 도 14f를 참조하여 설명될 것이다. 도면은 개략도라는 것에 유의한다. 따라서, 도면에서의 스케일은 몇몇 경우들에서 실제 스케일과는 상이하다.
- [0160] 먼저, 광 투과성 베이스 기관(100) 및 본드 기관으로서 기능하는 단결정 반도체 기관(110)이 준비된다. 베이스 기관(100)의 표면 위에는, 절연층(202), 차광층(204), 및 절연층(206)이 이러한 순서로 적용된다(도 13a 및 도 13b 참조). 상기 실시형태를 참조할 수 있는, 베이스 기관(100), 단결정 반도체 기관(110), 절연층(202), 차광층(204), 및 절연층(206)의 상세는 여기에서 생략된다.
- [0161] 그 후, 마스크(250)가 절연층(206) 위에 형성된다. 이 마스크(250)를 사용하여, 절연층(206) 및 차광층(204)이 이러한 순서로 에칭되어, 섬형상 차광층(208)이 형성된다(도 13c 참조). 마스크(250)는 레지스트 재료를 사용하는 포토리소그래피 등에 의해 형성될 수 있다. 에칭 처리로서, 웨트 에칭 또는 드라이 에칭이 이용될 수 있다. 여기서, 절연층(206)은 반응 가스로서 CHF_3 와 He의 혼합 가스를 사용하여 드라이 에칭함으로써 에칭되고, 차광층(204)은 반응 가스로서 Cl_2 , CF_4 및 O_2 의 혼합 가스를 사용하여 드라이 에칭함으로써 에칭되지만, 이러한 실시형태는 이에 한정되지 않는다.
- [0162] 다음으로, 마스크(250)가 제거되고, 그 후, 절연층(212) 및 절연층(214)이 섬형상 차광층(208) 및 절연층(206) 위에 형성된다(도 13d 참조).
- [0163] 절연층(212)은, 예를 들어, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 산화 알루미늄과 같은 재료를 사용하여 형성될 수 있다. 이러한 실시형태에서, 절연층(212)은 CVD법에 의해 산화 실리콘막을 사용하여 형성된다. 물론, 개시된 발명의 실시형태가 이에 한정되지는 않는다. 2층, 또는 3층 이상을 갖는 적층 구조가 이용될 수 있다.
- [0164] 절연층(214)은, 예를 들어, 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리아미드, 또는 에폭시와 같은 평탄성

을 갖는 유기 재료를 사용하여 형성될 수 있다. 이러한 유기 재료들 외에, 저유전율 재료(저-k 재료), 실록산계 수지, PSG(포스포실리케이트 유리), BPSG(보로포스포실리케이트 유리) 등을 또한 사용할 수 있다. 아래의 방법들: CVD법, 스퍼터링법, SOG법, 스핀 코팅, 딥 코팅, 스프레이 코팅, 액적 토출법(예를 들어, 잉크젯법, 스크린 인쇄, 오프셋 인쇄)과 같은 방법 또는 닥터 나이프, 롤 코터, 커튼 코터, 또는 나이프 코터와 같은 도구(장비)가 그 재료에 따라, 적절히 사용될 수 있다.

[0165] 그 후, 평탄성을 갖는 절연층(214), 및 섬형상 차광층(208) 및 절연층(206)의 형상을 반영하는 절연층(212)이 에칭백되어, 평탄성을 갖는 절연층(216)이 형성된다(도 13e 참조). 에칭백 대신에 CMP법에 의한 평탄화 처리가 실시될 수도 있다는 것에 유의한다. 이러한 실시형태에서, 평탄성을 갖는 절연층(216)이 섬형상 차광층(208) 위에 형성되기 때문에, 단결정 반도체 기판과 베이스 기판의 접합이 적절하게 실시되는 한은 절연층(206)이 제공될 필요는 없다.

[0166] 취화 영역(114)이 단결정 반도체 기판(110)의 표면으로부터 소정의 깊이로 형성되고, 베이스 기판(100) 및 단결정 반도체 기판(110)은 절연층(202), 절연층(216), 및 절연층(112)을 개재하여 함께 접합된다(도 13f 및 도 13g 참조).

[0167] 절연층(112)은, 예를 들어, 산화 실리콘막, 산화 질화 실리콘막 등의 단층, 또는 적층으로 형성될 수 있다. 이에 대한 상세한 설명에 대해서는 상기 언급한 실시형태를 참조할 수 있다.

[0168] 취화 영역(114)은, 운동 에너지를 갖는 수소 등의 이온을 단결정 반도체 기판(110)에 조사함으로써 형성될 수 있다. 이에 대한 상세한 설명에 대해서는 상기 언급한 실시형태를 참조할 수 있다.

[0169] 접합은 아래와 같이 실시된다: 섬형상 차광층(208)이 제공된 베이스 기판(100) 및 단결정 반도체 기판(110)이, 절연층(202), 절연층(216), 및 절연층(112)을 개재하여 서로 밀착 배치되고, 그 후, 1 N/cm^2 이상 500 N/cm^2 이하의 압력이 베이스 기판(100) 또는 단결정 반도체 기판(110)의 일부에 인가된다. 그 후, 절연층(216) 및 절연층(112)이 압력-인가부로부터 함께 접합되기 시작하고, 접합은 자발적으로 전체 영역으로 확산한다. 이러한 접합은, 반 데르 발스력 또는 수소 결합의 작용하에서 실시되고, 실온에서 실시될 수 있다.

[0170] 단결정 반도체 기판(110) 및 베이스 기판(100)이 함께 접합되기 이전에, 서로에 접합될 표면들이 표면 처리되는 것이 바람직하다. 표면 처리는, 단결정 반도체 기판(110)과 베이스 기판(100) 사이의 접합 계면에서의 접합 강도를 향상시킬 수 있다. 표면 처리의 상세는 상기 실시형태를 참조할 수 있다.

[0171] 접합이 실시된 이후에, 접합 강도를 향상시키기 위한 열처리가 실시될 수도 있다는 것에 유의한다. 이러한 열처리는, 취화 영역(114)에서의 분리가 생기지 않는 온도(예를 들어, 실온 이상 내지 400°C 미만)에서 실시된다. 이러한 온도 범위의 온도에서 가열하면서, 베이스 기판(100) 위의 절연층(216) 및 절연층(112)이 함께 접합될 수도 있다. 열처리는, 확산노, 저항 가열노와 같은 가열노, RTA 장치, 마이크로파 가열 장치 등을 사용하여 실시될 수 있다.

[0172] 다음으로, 단결정 반도체 기판(110)이 열처리에 의해 취화 영역(114)에서 분리됨으로써, 단결정 반도체층(116)은 차광층(208)이 제공된 베이스 기판(100) 위에, 절연층(112)을 개재하여 형성된다(도 14a 참조). 단결정 반도체 기판(110)의 표면의 단부는 그 표면 연마 처리로부터 발생하는 곡물을 갖는 표면 형상(에지 롤 오프라 칭함)으로 인해, 광 투과성 기판에 접합되지 않는다.

[0173] 열처리가 실시될 때, 취화 영역(114)에 형성되어 있는 마이크로보이드에서 첨가된 원소가 분자로서 석출되어, 마이크로보이드의 내부의 압력이 상승된다. 상승된 압력은 취화 영역(114)에서 크랙을 발생시켜, 단결정 반도체 기판(110)이 취화 영역(114)을 따라 분리된다. 절연층(112)이 절연층(206)에 접합되기 때문에, 베이스 기판(100) 위에는 단결정 반도체 기판(110)으로부터 분리된 단결정 반도체층(116)이 잔존한다.

[0174] 다음으로, 단결정 반도체층(116)의 표면이 레이저 빔(130)으로 조사됨으로써, 표면의 평탄성이 향상되고, 결합의 수가 저감된 단결정 반도체층(118)이 형성된다(도 14b 및 도 14c 참조). 레이저 빔(130)을 이용한 조사의 상세에 대해서는 상기 실시형태가 참조될 수 있다.

[0175] 그 후, 마스크(150)가 섬형상 차광층(208)과 오버랩하는 영역의 단결정 반도체층(118) 위에 형성되고, 단결정 반도체층(118)이 마스크(150)를 사용하여 패터닝(가공)됨으로써, 광전 변환 소자에 대한 섬형상 반도체층(152)이 형성된다(도 14d 내지 도 14f 참조). 마스크(150)는, 레지스트 재료를 사용하는 포토리소그래피 등에 의해 형성될 수 있다. 다르게는, 마스크(150)는, 레지스트가 기판(100) 위에 형성되고, 마스크들로서 차광층(208)을 사용하여 기판(100)의 이면으로부터 노광이 실시되고, 그 후, 현상이 실시되는 방식으로 형성될 수

있다. 패터닝시의 에칭 처리로서, 웨트 에칭 또는 드라이 에칭이 이용될 수 있다. 여기서, 반응 가스로서 BCl_3 , CF_4 및 O_2 의 혼합 가스를 사용하여 드라이 에칭함으로써 단결정 반도체층(118)이 패터닝되어 섬형상 반도체층(152)을 형성한다. 섬형상 반도체층(152)이 섬형상 차광층(208)과 거의 동일한 형상을 갖거나 섬형상 차광층(208)보다 작은 크기를 갖는 것이 바람직하다. 섬형상 차광층(208)이 베이스 기판(100) 측으로부터 관찰될 때, 섬형상 차광층(208)이 섬형상 차광층(208)에 의해 완전하게 가려지는 것이 바람직하다.

[0176] 다음으로, 마스크(150)는 제거된다(도 14f 참조). 이러한 방식으로, 섬형상 차광층(208)과 오버랩하는 섬형상 반도체층(152)이 획득될 수 있다. 다음으로, 다른 실시형태에서 설명되는 바와 같이, 섬형상 반도체층(152)을 사용하여 광전 변환 소자가 형성된다.

[0177] 상기 방법에 따라 형성된 반도체 장치에서, 섬형상 차광층(208)이 섬형상 반도체층(152)과 오버랩하는 영역 위에 선택적으로 형성되기 때문에, 광 투과성 기판을 투과한 광이 광전 변환 소자(180)에 직접 조사되는 것이 방지될 수 있다. 트랜지스터가, 광전 변환 소자와 공통인 몇몇 제작 공정들을 사용하여, 광전 변환 소자의 형성과 동시에 섬형상 반도체층(152)을 이용하여 형성될 수도 있다는 것에 유의한다. 또한, 이러한 경우에서, 트랜지스터의 활성층과 오버랩하도록 차광층을 형성함으로써, 광으로 인한 채널 누설 전류의 발생이 억제될 수 있다.

[0178] 이러한 실시형태에서, 차광층은 광 투과성 베이스 기판측 상에 미리 선택적으로 형성될 수 있다. 따라서, 섬형상 반도체층을 형성하는 에칭의 수가 감소될 수 있다. 또한, 에치백 처리가 실시되기 때문에, 광 투과성 기판의 표면이 양호한 평탄성을 갖고, 표면상의 오염물 등이 제거될 수 있다. 그 결과, 단결정 반도체층이 베이스 기판 위에 형성될 때, 단결정 반도체층에서의 결함의 발생이 억제될 수 있다.

[0179] 이러한 실시형태에서의 구조는 다른 실시형태들에서 설명된 임의의 구조와 적절하게 조합하여 사용될 수 있다.

[0180] (실시형태 4)

[0181] 이러한 실시형태에서, 차광층과 오버랩하는 광전 변환 소자를 구비한 반도체 장치의 제작 방법에서의 제작 공정들이 도 15a 내지 도 15g, 도 16a 내지 도 16h, 및 도 17a 내지 도 17h를 참조하여 설명될 것이다. 이 제작 공정들은 상기 실시형태의 제작 공정들과는 상이하다. 특히, 차광층이 본드 기판측 상에 형성되는 광전 변환 소자의 제작 방법이 설명될 것이다. 도면들이 개략도들이라는 것에 유의한다. 따라서, 도면들에서의 스케일은 몇몇 경우들에서 실제 스케일과는 상이하다.

[0182] 먼저, 광 투과성 베이스 기판(100), 및 본드 기판으로서 기능하는 단결정 반도체 기판(110)이 준비된다(도 15a 및 도 15b 참조). 상기 실시형태를 참조할 수 있는 베이스 기판(100) 및 단결정 반도체 기판(110)의 상세는 여기에서 생략된다.

[0183] 이러한 실시형태에서, 단결정 반도체 기판(110)에 열산화 처리를 실시함으로써, 절연층(112)(여기서는, 산화 실리콘막)이 형성된다.

[0184] 열산화 처리는, 할로젠이 첨가된 산화성 분위기중에서 실시되는 것이 바람직하다. 예를 들어, 단결정 반도체층(110)은 염소(Cl)가 첨가된 산화성 분위기중에서 열산화 처리가 되어서, 절연층(112)이 염소 산화를 통해 형성될 수 있다. 이러한 경우에서, 절연층(112)은 염소 원자를 함유하는 절연층이다. 절연층(112)이 불소 원자를 함유할 수도 있다는 것에 유의한다.

[0185] 다음으로, 전계에 의해 가속된 이온이 단결정 반도체 기판(110)에 첨가됨으로써, 결정 구조가 손상되는 취화 영역(114)이 단결정 반도체 기판(110)의 소정의 깊이에서 형성된다(도 15c 참조). 이온의 첨가 처리 이전에, 단결정 반도체 기판(110)의 표면 및 절연층(112)의 표면이 세정되는 것이 바람직하다는 것에 유의한다. 이온의 첨가의 상세한 설명에 대해서는 상기 언급한 실시형태를 참조할 수도 있다.

[0186] 다음으로, 차광층(204) 및 절연층(206)이 이러한 순서로 절연층(112) 위에 적층된다(도 15d 참조).

[0187] 차광층(204)은, 텅스텐, 몰리브덴, 탄탈, 티타늄, 니오븀, 니켈, 코발트, 지르코늄, 또는 아연과 같은 내열성을 갖는 금속으로 형성된 막을 사용하여 형성되는 것이 바람직하다. 특히, 몰리브덴 또는 텅스텐을 사용하는 것이 바람직하다. 다르게는, 카본 블랙 또는 저차 산화 티타늄과 같은 흑색 안료를 포함하는 유기 수지가 사용될 수 있다. 다르게는, 크롬을 사용하는 막이 차광층(204)으로서 사용될 수 있다. 또한, 차광층(204)으로서 내열성을 갖는 것 이외에 내산화성을 갖는 재료가 사용되는 것이 바람직하다. 차광층(204)은, 스퍼터링법, 증착법 등을 사용하여 형성될 수 있다.

- [0188] 절연층(206)은, 예를 들어, 산화 실리콘막, 질화 실리콘막, 질화 산화 실리콘막, 산화 질화 실리콘막, 질화 알루미늄막, 산화 알루미늄막 등을 사용하여 단층으로, 또는 적층으로 형성될 수 있다. 특히, 산화 알루미늄이 절연층(206)으로 사용되는 것이 바람직하다. 이것은, 산화 알루미늄이 차광층(204)과 양호한 밀착성을 갖기 때문이다. 또한, 산화 알루미늄은 양호한 평탄성을 갖고, 차광층(204)의 표면의 요철을 완화시킬 수 있다. 따라서, 산화 알루미늄의 사용은, 베이스 기판(100)과 단결정 반도체 기판(110) 사이의 양호한 접합을 가능하게 한다. 절연층(206)을 제작하기 위해, 열산화법, CVD법, 스퍼터링법 등이 이용될 수 있다.
- [0189] 다음으로, 차광층(204) 및 절연층(206)이 형성된 단결정 반도체 기판(110)과 베이스 기판(100)이 함께 접합된다(도 15e 참조).
- [0190] 접합은 다음과 같이 실시된다: 베이스 기판(100) 및 단결정 반도체 기판(110)이, 절연층(112), 차광층(204), 및 절연층(206)을 개재하여 서로 밀착 배치되고, 그 후, 베이스 기판(100) 또는 단결정 반도체 기판(110)의 일부에 1 N/cm^2 이상 500 N/cm^2 이하의 압력이 인가된다. 그 후, 베이스 기판(100) 및 절연층(206)은 압력 인가부로부터 함께 접합되기 시작하고, 접합은 자발적으로 전체 영역으로 확산한다. 이러한 접합은, 반 데르 발스력 또는 수소 결합의 작용하에서 실시되고, 실온에 실시될 수 있다. 베이스 기판(100)의 표면 위에, 질소를 함유하는 절연층(예를 들어, 질화 실리콘(SiN_x), 질화 산화 실리콘(SiN_xO_y)($x > y$))을 함유하는 절연층이 형성될 수도 있다는 것에 유의한다. 질소를 함유하는 절연층이 형성될 때, 베이스 기판에 함유된 나트륨(Na)과 같은 불순물 원소가 반도체로 확산하는 것이 방지될 수 있다.
- [0191] 단결정 반도체 기판(110) 및 베이스 기판(100)이 함께 접합되기 이전에, 서로에 접합될 표면들이 표면 처리되는 것이 바람직하다는 것에 유의한다. 표면 처리는 단결정 반도체 기판(110)과 베이스 기판(100) 사이의 접합 계면에서의 접합 강도를 향상시킬 수 있다. 표면 처리의 상세에 대해서는 상기 실시형태가 참조될 수도 있다.
- [0192] 접합이 실시된 이후에, 접합 강도를 향상시키기 위한 열처리가 실시될 수도 있다는 것에 유의한다. 접합 강도를 향상시키기 위한 열처리의 상세에 대해서는 상기 실시형태가 참조될 수 있다.
- [0193] 다음으로, 단결정 반도체 기판(110)이 열처리에 의해 취화 영역(114)에서 분리됨으로써, 단결정 반도체층(116)이 베이스 기판(100) 위에 형성된다(도 15f 및 도 15g 참조).
- [0194] 열처리가 실시될 때, 취화 영역(114)에 형성되어 있는 마이크로보이드에서, 첨가된 원소가 분자로서 추출되고, 마이크로보이드의 내부의 압력이 상승된다. 상승된 압력은 취화 영역(114)에서 크랙을 발생시켜, 단결정 반도체 기판(110)이 취화 영역(114)을 따라 분리된다. 절연층(206)이 베이스 기판(100)에 접합되기 때문에, 베이스 기판(100) 위에는, 단결정 반도체 기판(110)으로부터 분리된 단결정 반도체층(116)이 잔존한다.
- [0195] 다음으로, 단결정 반도체층(116)의 표면이 레이저 빔(130)으로 조사됨으로써, 표면의 평탄성이 향상되고 결합의 수가 저감된 단결정 반도체층(118)이 형성된다(도 16a 및 도 16b 참조). 레이저 빔(130)을 이용한 조사의 상세에 대해서는 상기 실시형태가 참조될 수 있다.
- [0196] 이러한 실시형태에서는, 단결정 반도체층(116)의 분리에 대한 열처리 이후에, 레이저 빔(130)을 이용한 조사 처리가 실시되지만, 개시된 발명의 실시형태는 이에 한정되는 것으로 해석되지 않는다. 단결정 반도체층(116)의 분리에 대한 열처리 이후에, 단결정 반도체층(116)의 표면에서 다수의 결합을 포함하는 영역을 제거하기 위해 에칭 처리가 실시될 수도 있다. 그 후, 레이저 빔(130)을 이용한 조사 처리가 실시될 수도 있다. 다르게는, 단결정 반도체층(116)의 표면의 평탄성이 향상된 이후에, 레이저 빔(130)을 이용한 조사 처리가 실시될 수도 있다. 에칭 처리는 웨트 에칭 또는 드라이 에칭일 수도 있다는 것에 유의한다.
- [0197] 상술한 바와 같이 레이저 빔(130)을 이용한 조사가 실시된 이후에, 트랜지스터의 활성층에 대해 사용된 영역의 단결정 반도체층(118)을 선택적으로 박막화하는 공정이 실시될 수도 있다. 단결정 반도체층(118)을 박막화하기 위해, 드라이 에칭 또는 웨트 에칭의 일방, 또는 양자의 조합이 이용될 수도 있다.
- [0198] 그 후, 마스크(150)가 단결정 반도체층(118) 위에 형성되고, 이 마스크(150)를 사용하여 단결정 반도체층(118)이 패터닝(가공)됨으로써, 광전 변환 소자에 대한 섬형상 반도체층(152)이 형성된다(도 16c 및 도 16d 참조). 마스크(150)는, 레지스트 재료를 사용하는 포토리소그래피 등에 의해 형성될 수 있다. 또한, 패터닝시의 에칭 처리로서, 웨트 에칭 또는 드라이 에칭이 이용될 수 있다. 여기서, 단결정 반도체층(118)이 패터닝되어서, 반응 가스로서 BCl_3 , CF_4 및 O_2 의 혼합 가스를 사용하여 드라이 에칭함으로써 섬형상 반도체층(152)이 형성된다.
- [0199] 마스크(150)가 제거되고, 그 후, 섬형상 반도체층(152)을 각각 커버하도록 마스크(250)가 형성된다(도 16e 참

조). 마스크(250)는 레지스트 재료를 사용하여 포토리소그래피 등에 의해 형성될 수 있다.

[0200] 그 후, 마스크(250)를 사용하여 절연층(112)이 에칭된다(도 16f 참조). 에칭 처리로서, 웨트 에칭 또는 드라이 에칭이 이용될 수 있다. 여기서, 반응 가스로서 CHF_3 와 He의 혼합 가스를 사용하는 드라이 에칭이 이용되지만, 이러한 실시형태는 이에 한정되지 않는다.

[0201] 다음으로, 마스크(250)를 사용하여 차광층(204)이 패터닝됨으로써, 섬형상 차광층(208)이 형성된다(도 16g 참조). 패터닝시의 에칭 처리로서, 웨트 에칭 또는 드라이 에칭이 이용될 수 있다. 여기서, 차광층(204)이 반응 가스로서 Cl_2 , CF_4 및 O_2 의 혼합 가스를 사용하여 드라이 에칭함으로써 패터닝되어, 섬형상 차광층(208)을 형성하지만, 이러한 실시형태는 이에 한정되지 않는다. 그 후, 마스크(250)가 제거된다(도 16h 참조). 따라서, 섬형상 차광층(208)과 오버랩하고, 각각의 섬형상 차광층(208)보다 작은 폭을 각각 갖는 섬형상 반도체층(152)이 획득될 수 있다. 다음으로, 다른 실시형태에서 설명되는 바와 같이, 섬형상 반도체층(152)을 사용하여 광전 변환 소자가 형성된다.

[0202] 상기 방법에 따라 형성된 반도체 장치에서, 섬형상 반도체층(152)과 오버랩하고, 각각의 섬형상 반도체층(152)보다 큰 폭을 각각 갖는 섬형상 차광층(208)이 선택적으로 형성되기 때문에 광 투과성 기판을 투과한 광이 광전 변환 소자(180)에 직접 조사되는 것이 방지될 수 있다. 트랜지스터가, 광전 변환 소자와 공통인 몇몇 제작 공정들을 사용하여, 광전 변환 소자의 형성과 동시에 섬형상 반도체층(152)을 사용하여 형성될 수 있다는 것에 유의한다. 또한, 이러한 경우에서, 트랜지스터의 활성층과 오버랩하도록 차광층을 제공함으로써, 광으로 인한 채널 누설 전류의 발생이 억제될 수 있다.

[0203] 여기서, 섬형상 차광층(208)보다 작은 폭을 갖는 섬형상 반도체층(152)이 획득되는 공정들이 설명된다는 것에 유의한다. 그러나, 다르게는, 도 16d의 공정 이후에, 충분한 차광 효과가 획득될 수 있는 한, 차광층(204)이 마스크(150)를 사용하여 패터닝되어, 섬형상 반도체층(152)과 거의 동일한 형상을 갖는 섬형상 차광층(208)이 형성될 수도 있다.

[0204] 다음으로, 차광층의 배열이 도 16a 내지 도 16h와는 상이한 제작 방법이 도면을 참조하여 설명될 것이다. 특히, 터치 패널의 표시부로서 기능하는 영역의 차광층만이 제거되어 개구부가 형성되는 반도체 장치의 제작 방법이 도 17a 내지 도 17h를 참조하여 설명될 것이다.

[0205] 도 17a는 도 16b에 대응한다. 차광층(204) 위에 단결정 반도체층(118)의 형성으로부터 마스크(150)를 사용한 섬형상 반도체층(152)의 형성까지의 공정들에 대해, 도 15a 내지 도 15g, 도 16a 내지 도 16d, 및 이들의 설명이 참조될 수 있다. 따라서, 차광층(204)이 제공된 베이스 기판(100) 위에 섬형상 반도체층(152)이 형성된다(도 17d 참조).

[0206] 다음으로, 마스크(252)가 섬형상 반도체층(152)을 커버하도록 터치 패널의 표시부로서 기능하는 영역 이외의 영역(개구부)에 형성된다. 이 마스크(252)를 사용하여 에칭이 실시되어 개구부에서 절연층(112)을 제거한다(도 17e 및 도 17f 참조). 에칭 처리로서, 웨트 에칭 또는 드라이 에칭이 이용될 수 있다. 여기서, 반응 가스로서 CHF_3 와 He의 혼합 가스를 사용한 드라이 에칭이 이용되지만, 이러한 실시형태는 이에 한정되지 않는다.

[0207] 다음으로, 마스크(250)를 사용하여 차광층(204)이 에칭된다(도 17g 참조). 패터닝시의 에칭 처리로서, 웨트 에칭 또는 드라이 에칭이 이용될 수 있다. 여기서, 반응 가스로서 Cl_2 , CF_4 및 O_2 의 혼합 가스를 사용하여 드라이 에칭이 실시된다. 그 후, 마스크(252)가 제거된다(도 17h 참조). 따라서, 표시부로서 기능하는 영역에서만 차광층이 제거됨으로써, 섬형상 반도체층(152)과 오버랩하는 영역에 차광층이 제공되는 반도체 장치가 획득될 수 있다.

[0208] 이러한 실시형태에서, 차광층은 단결정 반도체 기판층 상에 형성되고, 차광층 위의 절연층과 광 투과성 베이스 기판이 함께 접합된다. 따라서, 베이스 기판 위에 절연층의 형성하지 않고 양호한 접합이 실시될 수 있기 때문에, 차광층이 베이스 기판층 상에 형성되는 경우와 비교하여 절연층의 수가 1 만큼 감소될 수 있고, 따라서, 제작 공정들의 수가 감소될 수 있다.

[0209] 이러한 실시형태에 설명된 구조는 다른 실시형태에 설명된 임의의 구조와 적절하게 조합하여 사용될 수 있다.

[0210] (실시형태 5)

[0211] 이러한 실시형태에서, 반도체 장치 및 그 제작 방법의 일례가 도면을 참조해 설명될 것이다. 특히, 광전 변환 소자 및 트랜지스터를 구비하는 반도체 장치 및 그 제작 방법이 설명될 것이다. 각 소자의 크기는 요구된 특

성에 따라 결정될 수 있다.

[0212] (구성)

[0213] 개시된 발명에 관련되는 광전 변환 소자(180) 및 트랜지스터(380)는, 광 투과성 베이스 기관(100) 위에 제공된다(도 18a 및 도 18b 참조). 여기서, 도 18b는 도 18a의 A-B를 따른 단면에 대응한다.

[0214] 광전 변환 소자(180)는, 광전 변환의 효과를 갖는 반도체 영역(164), 제 1 도전형(여기서, p형)을 갖는 반도체 영역(158), 및 제 2 도전형(여기서, n형)을 갖는 반도체 영역(162)을 포함하는 제 1 섬형상 단결정 반도체층(152); 제 1 섬형상 단결정 반도체층(152)을 커버하도록 형성된 절연층(154) 및 절연층(166); 제 1 도전형을 갖는 반도체 영역(158)에 전기적으로 접속된 제 1 전극(172); 및 제 2 도전형을 갖는 반도체 영역(162)에 전기적으로 접속된 제 2 전극(174)을 포함한다. 여기서, 제 1 도전형을 갖는 반도체 영역(158) 및 제 2 도전형을 갖는 반도체 영역(162)은 광전 변환의 효과를 갖는 반도체 영역(164)에 인접하고, 광전 변환의 효과를 갖는 반도체 영역(164)에 의해 분리된다. 물론, 제 1 도전형과 제 2 도전형은 서로 교환될 수 있다.

[0215] 트랜지스터(380)는, 채널 형성 영역(322), 소스 영역(323), 드레인 영역(324), LDD 영역(328), 및 LDD 영역(329)을 포함하는 제 2 섬형상 단결정 반도체층(352); 제 2 단결정 반도체층(352) 위의 게이트 절연막으로서 기능하는 절연층(154); 절연층(154) 위의 게이트 전극(375); 게이트 전극(375)을 커버하는 절연층(166); 소스 영역(323)에 전기적으로 접속된 전극(376); 및 드레인 영역(324)에 전기적으로 접속된 전극(377)을 포함한다. LDD 영역(328) 및 LDD 영역(329)을 포함하는 트랜지스터(380)가 이러한 실시형태에서 예로서 설명되지만, 개시된 발명의 실시형태는 이에 한정되지 않는다는 것에 유의한다. LDD 영역은 반드시 제공되지 않는다. 또한, LDD 영역이 상면으로부터 볼 때 게이트 전극과 오버랩하지 않는 예가 이러한 실시형태에서 설명되지만, 다르게는, LDD 영역이 게이트 전극과 오버랩하는 구조가 이용될 수도 있다.

[0216] 여기서 광전 변환 소자(180)에 포함된 제 1 단결정 반도체층(152)의 두께는, 트랜지스터(380)에 포함된 제 2 단결정 반도체층(352)의 두께보다 크다. 예를 들어 제 2 단결정 반도체층(352)의 두께는 5 nm 이상 100 nm 이하이고, 제 1 단결정 반도체층(152)의 두께는 제 2 단결정 반도체층(352)의 두께보다 클 수 있다. 제 2 단결정 반도체층(352)의 두께가 100 nm보다 큰 경우에, 트랜지스터가 광으로 조사될 때 오프 상태의 트랜지스터의 누설 전류가 때때로 대폭 상승된다. 따라서, 트랜지스터에 대해 사용되는 제 2 단결정 반도체층(352)의 두께가 작은 것이 바람직하다. 제 1 단결정 반도체층(152)의 두께는, 예를 들어, 100 nm 이상 1000 nm 이하일 수 있다.

[0217] 제 1 단결정 반도체층(152)의 두께가 클 경우에, 광전 변환 효율이 향상된다. 따라서, 광 센서로서의 감도가 향상된다. 또한, 광 센서가 미세화될 수 있다. 또한, 광 센서의 응답성이 향상되고, 예를 들어, 광 센서가 터치 패널에 대해 사용되는 경우에, 터치 패널의 응답 속도가 향상되어서, 그 조작성이 향상된다. 또한, 단결정 반도체가 사용될 때, 광전 변환 효율이 향상된다. 또한, 제 2 단결정 반도체층(352)의 두께가 작을 때, 오프 상태에서의 트랜지스터의 누설 전류가 감소될 수 있다. 제 2 단결정 반도체층(352)의 두께가 작을 때, 작은 채널 길이를 갖는 장치에서의 단 채널 효과가 억제될 수 있다. 또한, 트랜지스터가 완전 공핍형일 때에도 트랜지스터는 동작할 수 있다. 또한, 드레인 내압이 증가될 수 있다. 또한, 단결정 반도체가 사용될 때, 트랜지스터의 전기 특성이 향상될 수 있다.

[0218] 이러한 방식으로, 광 투과성 베이스 기관(100) 위에 제공된 반도체 장치에서, 광전 변환 소자(180)에 포함된 제 1 단결정 반도체층(152)의 두께가, 트랜지스터(380)에 포함된 제 2 단결정 반도체층(352)의 두께보다 클 때, 제 1 단결정 반도체층(152) 및 제 2 단결정 반도체층(352)이 동일한 두께를 갖는 경우와 비교하여, 오프 상태에서의 트랜지스터(380)의 누설 전류가 감소될 수 있고, 광전 변환 소자(180)의 광전 변환 효율이 향상될 수 있다.

[0219] 베이스 기관(100)과, 광전 변환 소자(180) 및 트랜지스터(380) 사이에, 절연층(112)이 제공된다. 이 절연층은, 광전 변환 소자(180) 및 트랜지스터(380)를 베이스 기관(100)에 고정하는 기능을 갖는다.

[0220] 광전 변환 소자(180)는 실시형태 1에서 설명한 바와 같이 동작한다. 전류는 광 센서에 대해 활용될 수 있는 광의 강도에 의존한다. 또한, 광으로 인한 기전력을 광전 변환 소자의 외부로 추출함으로써 발전 시스템이 획득될 수 있다.

[0221] 여기서, 광전 변환 소자 및 트랜지스터에 포함된 섬형상 반도체층의 결정성은 단결정인 것이 바람직하다. 적어도 광전 변환 소자에 포함된 광전 변환의 효과를 갖는 반도체 영역(164)의 결정성 및 트랜지스터에 포함된 채널 형성 영역(322)의 결정성은 단결정인 것이 바람직하다. 단결정의 반도체 재료로서, 단결정 실리콘이 사

용될 수 있다. 단결정 반도체가 광전 변환 소자에서 사용될 때, 비정질 반도체 또는 다결정 반도체를 사용하는 경우와 비교하여, 암전류(광 조사가 실시되지 않을 때의 전류)가 감소될 수 있다. 또한, 광전 변환 소자에서 단결정 반도체를 사용하여, 다결정 반도체를 사용하는 경우와 비교하여, 광 조사가 실시될 때의 전류가 증가될 수 있다. 따라서, 광 센서로서의 감도가 향상된다. 또한, 광 센서가 미세화될 수 있다. 또한, 단결정 반도체를 사용하여, 광전 변환 효율이 향상된다. 이들 효과는, 결함 등으로 인한 광생성 캐리어의 트랩이 충분히 억제될 수 있기 때문에 획득될 수 있다. 따라서, 단결정 반도체를 사용하여, 트랜지스터의 전기 특성이 향상될 수 있다.

[0222] 또한, 이러한 실시형태에 설명된 바와 같이, 베이스 기판의 광 투과성으로 인해, 광이 베이스 기판측으로부터 입사하는 구조가 이용될 수 있다. 이러한 경우에서, 소자 레이아웃의 자유도는, 피처리체의 광이 전극(또는 배선) 측으로부터 입사하는 경우와 비교하여 향상된다. 이러한 방식으로, 베이스 기판이 광 투과성을 가질 때, 광 투과성을 가지지 않는 베이스 기판의 경우와 비교하여, 집적화가 용이하게 실시될 수 있다는 이점이 있다.

[0223] (광전 변환 소자 및 트랜지스터의 제작 공정들)

[0224] 다음으로, 광전 변환 소자(180) 및 트랜지스터(380)의 제작 공정들이 설명될 것이다. 먼저, 실시형태 1에 설명된 SOI 기판의 제작 공정들에 따라 베이스 기판(100) 위에 절연층(112) 및 단결정 반도체층(118)이 형성되는 SOI 기판이 준비된다(도 19a 참조).

[0225] 붕소, 알루미늄, 또는 갈륨과 같은 미량의 p형 불순물 원소, 또는 인, 비소와 같은 미량의 n형 불순물 원소가 단결정 반도체층(118)에 첨가될 수도 있다. 불순물 원소가 첨가되는 영역, 및 그 영역에 첨가되는 불순물 원소의 종류는 적절하게 변경될 수 있다. 또한, 불순물을 첨가하는 타이밍은 적절하게 변경될 수 있다. 불순물이 트랜지스터에 대한 반도체 영역에 첨가되어, 임계값과 같은 전기 특성이 제어되는 것이 바람직하다. 한편, 광전 변환의 효과를 갖는 반도체 영역에 불순물이 첨가되지 않아도 된다.

[0226] 그 후, 마스크(340)가 단결정 반도체층(118) 위에 형성된다. 마스크(340)를 사용하여 에칭함으로써, 단결정 반도체층의 두께가 부분적으로 감소되어, 마스크(340)로 커버되는 제 1 단결정 반도체 영역(311) 및 제 1 단결정 반도체 영역(311)보다 작은 두께를 갖는 제 2 단결정 반도체 영역(321)이 형성된다(도 19b 참조). 박막화 공정에서, 마스크(340)는 레지스트 재료를 사용하는 포토리소그래피 등에 의해 형성될 수 있다. 또한, 에칭 처리로서, 웨트 에칭 또는 드라이 에칭이 이용될 수 있다.

[0227] 임계값을 제어하기 위해 불순물을 첨가하는 공정이 박막화 공정 이후에 실시될 수도 있다는 것에 유의한다. 두께가 감소되는 영역 및 임계값을 제어하기 위해 불순물이 첨가되는 영역이 트랜지스터 형성 영역이다. 따라서, 이들 공정들은 하나의 마스크를 사용하여 실시될 수 있다. 예를 들어, 임계값을 제어하기 위한 불순물이 박막화 공정에 대한 마스크(340)를 사용하여 첨가될 수 있다.

[0228] 그 후, 마스크(150) 및 마스크(350)가 제 1 단결정 반도체 영역(311) 및 제 2 단결정 반도체 영역(321) 위에 형성되고, 이 마스크(150) 및 마스크(350)를 사용하여 제 1 단결정 반도체 영역(311) 및 제 2 단결정 반도체 영역(321)이 패터닝된다. 이러한 방식으로, 광전 변환 소자로 사용된 제 1 섬형상 반도체층(152) 및 트랜지스터로 사용된 제 2 섬형상 반도체층(352)이 형성된다(도 19c 참조). 마스크(150) 및 마스크(350)는 마스크(340) 등과 유사한 방식으로 형성된다.

[0229] 박막화 공정이 섬형상 반도체층의 형성 이후에 실시될 수도 있다는 것에 유의한다. 다르게는, 제 1 및 제 2 섬형상 반도체층들은, 제 2 섬형상 반도체층이 제 1 섬형상 반도체층보다 작은 두께를 갖고; 제 1 마스크 및 제 1 마스크보다 작은 두께를 갖는 제 2 마스크가 하프-톤(half-tone) 마스크를 사용함으로써 섬형상 반도체층을 형성하기 위한 마스크로서 형성되고; 제 1 섬형상 반도체층 및 제 2 섬형상 반도체층이 제 1 마스크 및 제 2 마스크를 사용하여 형성되고, 제 1 마스크 및 제 2 마스크의 애싱이 실시되면서 섬형상 반도체층이 에칭되도록 형성될 수 있다.

[0230] 다음으로, 절연층(154)은 반도체층(152) 및 반도체층(352)을 커버하도록 형성된다(도 19d 참조). 반도체층(352) 위의 절연층(154)은 게이트 절연막으로서 기능한다. 절연층(154)은 반도체층(152) 위에 형성되지 않아도 된다. 그러나, 절연층(154)이 반도체층(152) 위에 형성되는 경우, 이후에 실시된 불순물의 첨가 공정에서의 반도체층(152)에 대한 손상이 억제될 수 있다. 이러한 실시형태에서 단층 실리콘 산화막이 플라즈마 CVD법에 의해 형성된다는 것에 유의한다. 다르게는, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈 등을 포함하는 막이 단층 구조 또는 적층 구조로 형성될 수도 있다.

- [0231] 그 후, 도전막이 절연층(154) 위에 형성되고 소정의 형상으로 가공(패터닝)되어, 트랜지스터의 게이트 전극으로서 기능하는 전극(375)이 반도체층(352)의 상방에 형성된다(도 20a 참조). 도전막은 CVD법, 스퍼터링법 등에 의해 형성된다. 도전막은, 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 니오븀(Nb)과 같은 재료를 사용하여 형성될 수 있다. 다르게는, 상술한 금속을 주성분으로 함유하는 합금 재료 또는 상술한 금속을 함유하는 화합물이 또한 사용될 수 있다. 또 다르게는, 도전성을 부여하는 불순물 원소로 반도체를 도핑함으로써 획득된 다결정 실리콘과 같은 반도체 재료가 사용될 수도 있다.
- [0232] 전극(375)은 단층 도전막 또는 적층된 복수의 도전막을 사용하여 형성될 수도 있다. 이러한 실시형태에서, 전극(375)은 질화 티타늄막이 하층으로서 사용되고 텅스텐막이 상층으로서 사용되는 2층 구조로 형성된다. 2층 구조의 경우에서, 예를 들어, 몰리브덴막, 티타늄막, 질화 티타늄막 등이 하층으로서 사용될 수도 있고, 알루미늄막, 텅스텐막 등이 상층으로서 사용될 수도 있다. 3층 구조의 경우에서, 몰리브덴막, 알루미늄막, 및 몰리브덴막의 적층 구조; 티타늄막, 알루미늄막, 및 티타늄막의 적층 구조 등이 사용될 수도 있다. 에칭 처리로서, 예를 들어, 드라이 에칭이 이용될 수도 있지만, 개시된 발명의 실시형태는 이에 한정되지 않는다.
- [0233] 전극(375)을 형성하기 위해 사용된 마스크가, 산화 실리콘 또는 질화 산화 실리콘과 같은 재료를 사용하여 형성될 수도 있다는 것에 유의한다. 이러한 경우에서, 산화 실리콘막, 질화 산화 실리콘막 등을 패터닝함으로써 마스크를 형성하는 공정이 추가로 필요하다. 에칭시의 마스크의 막 두께의 감소는, 레지스트 재료를 사용하는 경우보다 작아서, 더욱 정밀한 형상의 전극(375)이 형성될 수 있다. 다르게는, 마스크를 사용하지 않고 액적 토출법에 의해 적절한 패턴을 갖도록 전극(375)이 형성될 수도 있다. 여기서, 액적 토출법은, 소정의 조성물을 포함하는 액적이 토출 또는 분출되어 소정의 패턴을 형성하는 방법을 칭하고, 잉크젯법 등을 그 범주에 포함한다.
- [0234] 다르게는, 전극(375)은 ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법으로 에칭 조건(코일 형의 전극에 인가되는 전력량, 기판측 전극에 인가되는 전력량, 기판측 전극의 온도 등)을 적절히 조절하여 원하는 테이퍼 형상을 갖도록 도전막을 에칭함으로써 형성될 수 있다. 테이퍼 형상은 마스크의 형상에 따라 조절될 수 있다. 에칭 가스로서, 염소, 염화 붕소, 염화 규소, 사염화탄소와 같은 염소계 가스, 사불화탄소, 불화황, 불화 질소와 같은 불소계 가스, 또는 산소 등이 적절히 사용될 수 있다는 것에 유의한다.
- [0235] 전극(345)이 반도체층(352) 위의 트랜지스터의 게이트 전극으로서 기능하는 전극(375)의 형성과 동일한 공정에서 반도체층(152)상에 형성될 수도 있다는 것에 유의한다(도 23a 및 도 23b 참조). 여기서, 도 23b는 도 23a의 라인 A-B를 따라 취해진 단면에 대응한다. 전극(345)이 광전 변환 소자에 포함된 반도체층(152) 위에서 오버랩하도록 제공될 때, 상방으로부터 광전 변환 소자에 입사하는 광이 광전 변환의 효과를 갖는 반도체 영역(164)에 직접 부딪히는 것이 방지될 수 있다. 제 1 도전형을 갖는 반도체 영역(158) 및 제 2 도전형을 갖는 반도체 영역(162)이 반도체층(152)에 형성될 때, 전극(345)은 불순물 원소의 첨가를 위한 마스크의 일부로서 사용될 수 있다. 또한, 전극(345)의 전위를 제어함으로써, 광전 변환 소자의 특성이 제어될 수 있다. 특히, 광전 변환 소자가 공핍화되도록 전위가 인가되는 것이 바람직하다.
- [0236] 그 후, 마스크(356)가 반도체층(152)을 커버하도록 절연층(154) 위에 형성되고, 마스크로서 마스크(356) 및 전극(375)을 사용하여, 제 2 도전형을 부여하는 불순물 원소가 반도체층(352)의 일부에 첨가된다. 마스크(356)는 마스크(340) 등과 유사한 방법으로 형성될 수도 있다.
- [0237] 구체적으로는, 불순물 원소의 첨가로서, 예를 들어, 인이 원료 가스로서 PH_3 를 사용하여 $1.0 \times 10^{13} \text{ cm}^{-2}$ 의 도즈량으로 40 kV의 가속 전압에서 첨가될 수도 있다. 불순물 원소의 첨가의 조건은, 요구되는 특성에 의존하여 적절하게 변경될 수 있다. 불순물 영역(358)의 형성 이후에, 마스크(356)는 제거된다.
- [0238] 따라서, 제 2 도전형을 갖는 불순물 영역(358)이 형성된다(도 20b 참조). 불순물 영역(358)의 일부는 LDD 영역으로서 기능한다. 이러한 실시형태에서, 인이 제 2 도전형을 부여하는 불순물 원소로서 사용되어서, 제 2 도전형은 n형이지만, 개시된 발명의 실시형태는 이에 한정되지 않는다.
- [0239] LDD 영역이 본 예에 포함되지만, 개시된 발명의 실시형태는 이에 한정되지 않는다는 것에 유의한다. LDD 영역이 제공되지 않아도 된다. 이러한 경우에서, 불순물 영역(358)을 형성하는 공정은 필요하지 않다. 여기서, LDD 영역으로서 기능하는 불순물 영역(358)이 마스크로서 게이트 전극(375)을 사용하여 형성되는 예가 설명되지만, 개시된 발명의 실시형태는 이에 한정되지 않는다. LDD 영역으로서 기능하는 불순물 영역(358) 이후에, 게이트 전극이 형성될 수도 있다. 이러한 경우에서, LDD 영역이 게이트 전극과 오버랩하는 구조가 이용될 수 있다.

- [0240] 다음으로, 마스크(156)가 반도체층(352)을 커버하고, 반도체층(152)을 부분적으로 커버하도록 절연층(154) 위에 형성되고, 그 후, 제 1 도전형을 부여하는 불순물 원소가 반도체층(152)의 일부에 첨가된다. 따라서, 제 1 도전형을 갖는 반도체 영역(158)이 형성된다(도 20c 참조). 여기서, 제 1 도전형을 부여하는 불순물 원소로서 붕소가 첨가되고, 따라서, 제 1 도전형은 p형이지만, 개시된 발명의 실시형태는 이에 한정되지 않는다. 알루미늄 등이 제 1 도전형을 부여하는 불순물 원소로서 사용될 수도 있다. 다르게는, 제 1 도전형이 n형인 경우에서, 인, 비소 등이 사용될 수 있다. 마스크(156)는, 마스크(340) 등과 유사한 방식으로 형성될 수도 있다.
- [0241] 구체적으로는, 예를 들어, 붕소가 원료 가스로서 B_2H_6 를 사용하여 $1.0 \times 10^{16} \text{ cm}^{-2}$ 의 도즈량으로 40 kV의 가속 전압에서 첨가될 수도 있다. 불순물 원소의 첨가의 조건은, 요구되는 특성에 의존하여 적절하게 변경될 수 있다. 광전 변환 소자에서 도즈량이 감소될 때 암전류가 감소되는 경향이 있다. 이것은, 불순물 원소가 고도즈량 조건으로 첨가될 때, 반도체층(152)의 손상이 커져, 결함으로 인한 캐리어 트랩이 발생하는 반면, 불순물 원소가 저도즈량 조건으로 첨가될 때, 손상이 작아져, 결함으로 인한 전류가 발생되지 않기 때문이다. 한편, 트랜지스터에서 저항이 작을 수도 있도록 도즈량이 큰 것이 바람직하다. 따라서, 광전 변환 소자 및 트랜지스터의 불순물 첨가 공정은 요구되는 특성에 개별적으로 의존하여 실시될 수도 있다. 제 1 도전형을 갖는 반도체 영역(158)이 형성된 이후에, 마스크(156)는 제거된다는 것에 유의한다.
- [0242] 트랜지스터로서 p 채널 트랜지스터가 형성되는 경우, p 채널 트랜지스터의 불순물 영역이 제 1 도전형을 갖는 반도체 영역(158)의 형성과 동일한 타이밍에서 형성될 수 있다는 것에 유의한다.
- [0243] 그 후, 마스크(160)가 반도체층(152) 및 반도체층(352)을 부분적으로 커버하도록 절연층(154) 위에 형성되고, 그 후, 제 2 도전형을 부여하는 불순물 원소가 반도체층(152)의 일부 및 반도체층(352)의 일부에 첨가된다. 이전 공정에서 첨가된 불순물 원소와 동일한 도전형을 부여하는 불순물 원소가 보다 높은 농도로 반도체층(352)에 첨가된다는 것에 유의한다. 따라서, 제 2 도전형을 갖는 반도체 영역(162)은 광전 변환 소자로 사용된 반도체층(152)에서 형성되고, 동시에, 제 1 도전형을 갖는 불순물 원소 및 제 2 도전형을 갖는 불순물 원소가 첨가되지 않은 광전 변환의 효과를 갖는 반도체 영역(164)이 형성된다. 또한, 트랜지스터에 대해 이용된 반도체층(352)에서, 제 2 도전형을 갖는 소스 영역(323) 및 드레인 영역(324)이 형성되고, LDD 영역(328) 및 LDD 영역(329)이 마스크(160)로 커버되는 불순물 영역(358)에 형성되고, 채널 형성 영역(322)이 LDD 영역(328)과 LDD 영역(329) 사이에 형성된다(도 20d 참조). 제 2 도전형은 제 1 도전형과는 상이하다. 즉, 제 1 도전형이 p형일 때, 제 2 도전형은 n형이며, 제 1 도전형이 n형일 때, 제 2 도전형은 p형이다. 여기서, 인이 제 2 도전형을 부여하는 불순물 원소로서 사용되고, 따라서, 제 2 도전형은 n형이다. n형 도전성을 부여하는 불순물 원소로서, 인 이외에 비소가 사용될 수 있다. 마스크(160)는 마스크(340) 등과 유사한 방식으로 형성될 수도 있다.
- [0244] 구체적으로는, 예를 들어, 인이 원료 가스로서 PH_3 를 사용하여 $5.0 \times 10^{15} \text{ cm}^{-2}$ 의 도즈량으로 40 kV의 가속 전압에서 첨가될 수도 있다. 불순물 원소의 첨가의 조건은, 요구되는 특성에 의존하여 적절하게 변경될 수 있다. 제 1 도전형을 부여하는 불순물 원소의 첨가의 경우와 유사한 방식으로, 도즈량이 감소될 때 광전 변환 소자에서의 암전류가 억제될 수 있다. 제 2 도전형을 갖는 반도체 영역(162)이 형성된 이후에, 마스크(160)는 제거된다.
- [0245] 상술된 제 1 도전형을 부여하는 불순물 원소의 첨가 및 제 2 도전형을 부여하는 불순물 원소의 첨가는, 광전 변환의 효과를 갖는 반도체 영역(164)의 폭이 $0.1 \mu\text{m}$ 내지 $20 \mu\text{m}$, 바람직하게는 $3 \mu\text{m}$ 내지 $10 \mu\text{m}$ 이도록 실시된다는 것에 유의한다. 물론, 마스크(156) 및 마스크(160)의 가공 정밀도가 허용하면, 반도체 영역(164)의 폭은 $0.1 \mu\text{m}$ 이하일 수 있다.
- [0246] 다음으로, 절연층(166)은 반도체층(152), 반도체층(352), 전극(375), 및 절연층(154)을 커버하도록 형성된다(도 21a 참조). 절연층(166)이 광전 변환 소자에 대해 사용된 반도체층(152) 위에 반드시 제공될 필요는 없지만, 절연층(166)이 형성될 때, 알칼리 금속 또는 알칼리 토금속과 같은 불순물이 반도체층(152)에 진입하는 것이 방지될 수 있다. 또한, 형성될 광전 변환 소자의 표면이 평탄화될 수 있다. 또한, 하나의 절연층이 광전 변환 소자로 사용된 반도체층(152) 및 트랜지스터로 사용된 반도체층(352) 위에 형성될 때, 콘택트홀을 형성할 때의 조건은 균일해질 수 있다.
- [0247] 다음으로, 반도체층(152) 및 반도체층(352)이 부분적으로 노출되도록, 절연층(154) 및 절연층(166)에 콘택트홀(168), 콘택트홀(170), 콘택트홀(368) 및 콘택트홀(370)이 형성된다(도 21b 참조). 여기서, 구체적으로는, 제 1 도전형을 갖는 반도체 영역(158) 및 제 2 도전형을 갖는 반도체 영역(162)이 부분적으로 노출되도록, 콘

택트홀(168) 및 콘택트홀(170)이 형성된다. 또한, 소스 영역(323) 및 드레인 영역(324)이 노출되도록, 콘택트홀(368) 및 콘택트홀(370)이 형성된다. 콘택트홀(168), 콘택트홀(170), 콘택트홀(368) 및 콘택트홀(370)은 마스크의 선택적 형성 이후의 에칭 처리 등에 의해 형성될 수 있다. 에칭 처리로서, 예를 들어, 에칭 가스로서 CHF₃와 He의 혼합 가스를 사용하는 드라이 에칭이 이용될 수 있지만, 개시된 발명의 실시형태는 이에 한정되지 않는다.

[0248] 콘택트홀을 통해 반도체층(152) 및 반도체층(352)과 접촉하는 도전층이 형성된 후 패터닝되어, 제 1 전극(172), 제 2 전극(174), 전극(376) 및 전극(377)이 형성된다(도 21c 참조). 제 1 전극(172), 제 2 전극(174), 전극(376) 및 전극(377)이 형성되는 도전층은, CVD법, 스퍼터링법, 증착법 등에 의해 형성될 수 있다. 구체적으로는, 도전층의 재료로서, 알루미늄(Al), 텅스텐(W), 티타늄(Ti), 탄탈(Ta), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 구리(Cu), 금(Au), 은(Ag), 망간(Mn), 네오디뮴(Nd), 탄소(C), 규소(Si) 등이 사용될 수 있다. 또한, 상술한 재료를 주성분으로 함유하는 합금 또는 상술한 재료를 함유하는 화합물이 사용될 수도 있다. 도전층은 단층 구조 또는 적층 구조를 가질 수도 있다.

[0249] 알루미늄을 주성분으로 함유하는 합금의 예로서, 알루미늄을 주성분으로서 함유하고 니켈을 또한 함유하는 합금이 제공될 수 있다. 또한, 알루미늄을 주성분으로 함유하고, 니켈과, 탄소 및 규소 중 일방 또는 양방을 또한 함유하는 합금이 그 예로서 또한 제공될 수 있다. 알루미늄 및 알루미늄 실리콘(Al-Si)이 낮은 저항값을 갖고, 저렴하기 때문에, 제 1 전극(172), 제 2 전극(174), 전극(376) 및 전극(377)을 형성하는 재료로서 알루미늄 또는 알루미늄 실리콘이 적합하다. 특히, 알루미늄 실리콘은, 패터닝시에 레지스트 베이킹으로 인한 힐록이 발생하는 것을 방지할 수 있다. 또한, 규소 대신에, Cu가 대략 0.5%로 알루미늄에 혼합된 재료가 사용될 수도 있다.

[0250] 도전층이 적층 구조로 형성되어 제 1 전극(172), 제 2 전극(174), 전극(376) 및 전극(377) 각각이 적층 구조를 갖는 경우에, 예를 들어, 배리어막, 알루미늄 실리콘막, 및 배리어막의 적층 구조; 배리어막, 알루미늄 실리콘막, 질화 티타늄막, 및 배리어막의 적층 구조 등이 사용될 수도 있다. 배리어막은 티타늄, 티타늄의 질화물, 몰리브덴, 몰리브덴의 질화물 등을 사용하여 형성된 막을 칭한다는 것에 유의한다. 배리어막 사이에 알루미늄 실리콘막이 개재되도록 도전막을 형성함으로써, 알루미늄 또는 알루미늄 실리콘의 힐록의 발생이 더 방지될 수 있다. 높은 환원성을 갖는 원소인 티타늄을 사용하여 배리어막이 형성될 때, 제 1 도전형을 갖는 반도체 영역(158), 제 2 도전형을 갖는 반도체 영역(162), 소스 영역(323) 및 드레인 영역(324) 위에 얇은 산화막이 형성되더라도, 산화막은 배리어막에 포함된 티타늄에 의해 환원되어, 제 1 도전형을 갖는 반도체 영역(158)과 제 1 전극(172) 사이, 제 2 도전형을 갖는 반도체 영역(162)과 제 2 전극(174) 사이, 소스 영역(323)과 전극(376) 사이, 및 드레인 영역(324)과 전극(377) 사이의 양호한 콘택트가 획득될 수 있다. 다르게는, 복수의 배리어막을 적층하는 것이 가능하다. 그 경우, 예를 들어, 하층으로부터 적층되는 티타늄, 질화 티타늄, 알루미늄 실리콘, 티타늄, 및 질화 티타늄의 5층 구조 또는 5층보다 많은 적층 구조가 이용될 수 있다.

[0251] 도전층으로서, WF₆ 가스 및 SiH₄ 가스를 사용하는 화학 기상 성장법에 의해 형성된 텅스텐 실리사이드가 사용될 수도 있다. 다르게는, WF₆의 수소 환원에 의해 형성된 텅스텐이 도전층으로 사용될 수도 있다.

[0252] 이러한 방식으로, 광전 변환 소자(180) 및 트랜지스터(380)가 광 투과성 베이스 기판(100) 위에 형성된다.

[0253] (광전 변환 소자의 특성)

[0254] 다음으로, 상기 방법에 따라 얻어진 광전 변환 소자의 특성(휘도-전류 특성)의 일례가 설명될 것이다(도 22 참조). 도 22에서, 수직축은 전류(A)를 나타내고, 수평축은 소자가 조사되는 광의 휘도(cd/m²)를 나타낸다.

[0255] 이러한 실시형태에서 설명한 방법에 따라 제작되는 상이한 막 두께를 갖는 반도체층을 포함하는 3개 종류의 광전 변환 소자(특히, 베이스 기판으로서 유리 기판이 사용되는 광전 변환 소자: c-Si on glass)가 연구 대상이다. 반도체층의 두께는 서로 상이하다: 60 nm(c-Si on glass), 100 nm(c-Si on glass), 및 145 nm(c-Si on glass). 두께 이외의 조건은 동일하다. 또한, 측정은 0.5 V의 역바이어스 전압이 인가되면서 실시된다.

[0256] 도 22로부터, 이러한 실시형태에 설명한 방법에 따라 형성된 각각의 광전 변환 소자가 동일한 강도를 갖는 광으로 조사되는 경우에서, 반도체층의 두께가 클수록, 광전 변환 소자에 흐르는 전류가 증가된다는 것이 발견되었다. 145 nm(c-Si on glass)의 두께를 갖는 반도체층을 갖는 광전 변환 소자에서 흐르는 전류가, 60 nm(c-Si on glass)의 두께를 갖는 반도체층을 갖는 광전 변환 소자에서 흐르는 전류보다 대략 1.7배 크다는 것이 발견되었다.

- [0257] 이러한 방식으로, 광전 변환 소자가 큰 두께를 갖고 광 투과성 베이스 기판 위에 형성되는 단결정 반도체층을 사용하여 형성될 때, 광전 변환 효율 및 소자 특성이 향상될 수 있다. 따라서, 광 센서로서의 감도가 향상될 수 있다. 또한, 광 센서가 미세화될 수 있다.
- [0258] 이러한 실시형태에서, 광전 변환 소자(180) 및 트랜지스터(380)는 공통 공정들을 사용하여 광 투과성 베이스 기판(100) 위에 형성된다. 따라서, 마스크의 수가 감소될 수 있고, 따라서, 쓰루풋이 향상될 수 있다.
- [0259] 이러한 실시형태에 설명한 광전 변환 소자(180) 및 트랜지스터(380)는, 예를 들어, 광 센서를 각각 갖는 화소가 매트릭스로 배열되는 표시 장치로 사용될 수 있다. 표시 장치는, 광 센서 및 표시 소자를 갖는 화소를 포함한다. 예를 들어, 트랜지스터(380)는 표시 소자에 포함된 화소 전극에 전기적으로 접속되고 표시 소자의 구동을 제어하는 화소 트랜지스터로서 사용될 수 있고, 광전 변환 소자(180)는 광 센서로서 사용될 수 있다.
- [0260] 이러한 실시형태에서, 광전 변환 소자(180) 및 트랜지스터(380)가 제작될 때, 절연층(112) 및 단결정 반도체층(118)이 실시형태 1에 설명한 SOI 기판의 제작 공정들에 따라 베이스 기판(100) 위에 제공되는 SOI 기판이 사용된다. SOI 기판의 제작 공정들에 따라 제공된 단결정 반도체층을 부분적으로 박막화하는 공정을 실시함으로써, SOI 기판의 제작 공정들에 따라 제공된 단결정 반도체층의 두께를 최대로 하면서, 광전 변환 소자가 형성될 수 있다. 또한, 그 두께가 감소된 단결정 반도체층의 일부를 사용하여 트랜지스터가 형성될 수 있다. 따라서, SOI 기판의 제작 공정들에 따라 제공된 단결정 반도체층이 유효하게 활용되어서, 오프 상태에서의 트랜지스터의 누설 전류가 감소될 수 있고, 광전 변환 소자의 광전 변환 효율이 향상될 수 있다. 트랜지스터가 화소 트랜지스터로서 사용되는 경우에서, 오프 상태에서의 화소 트랜지스터의 누설 전류가 감소되고, 따라서, 화소 용량이 작아질 수 있다. 그 결과, 화소의 개구율을 향상될 수 있다.
- [0261] 이러한 실시형태에 설명된 구조가 다른 실시형태들에 설명된 임의의 다른 구조와 적절하게 조합되어 구현될 수 있다는 것에 유의한다.
- [0262] (실시형태 6)
- [0263] 이러한 실시형태에서, 광전 변환 소자 및 트랜지스터를 구비하는 반도체 장치의 다른 제작 방법이 설명된다. 이 제작 방법에서, 단결정 반도체층의 두께는 부분적으로 변경된다(증가 또는 감소된다). 먼저, SOI 기판의 제작 공정에 따라, 베이스 기판(100) 위에 절연층(112) 및 단결정 반도체층(118)이 제공되는 SOI 기판이 준비된다.
- [0264] 여기서, 전체 단결정 반도체층(118)을 박막화하는 공정이 실시될 수 있다. 단결정 반도체층(118)을 박막화하기 위해, 드라이 에칭 및 웨트 에칭 중 하나, 또는 에칭들의 조합이 이용될 수도 있다. 단결정 반도체층(118)을 박막화함으로써, 단결정 반도체층(118)은 트랜지스터에 대해 적합한 두께를 가질 수 있다. 예를 들어, 단결정 반도체층(118)의 두께는 5 nm 이상 100 nm 이하일 수 있다.
- [0265] 다음으로, 비정질 반도체층(390)이 단결정 반도체층(118) 위에 형성된다(도 24a 참조). 비정질 반도체층(390)이 형성되기 이전에, 단결정 반도체층(118)의 표면에 형성된 자연 산화층과 같은 산화층이 제거된다. 이것은, 산화층이 형성되는 경우에, 단결정 반도체층(118)과 비정질 반도체층(390) 사이에 산화층이 위치되어, 이후에 실시되는 열처리에서 고상 성장을 방해하기 때문이다. 산화층은 불화수소산을 포함하는 용액을 사용하여 제거될 수 있다. 특히, 단결정 반도체층(118)의 표면이 발수성을 나타낼 때까지, 불화수소산을 사용하여 프로세스가 실시될 수도 있다. 단결정 반도체층(118)의 표면으로부터 산화층의 제거는 발수성으로 확인될 수 있다. 또한, 비정질 반도체층(390)이 형성되기 이전에, 단결정 반도체층(118)의 표면상의 산화층은 NF_3 와 N_2 의 혼합 가스, NF_3 와 O_2 의 혼합 가스 등을 사용하여 표면을 에칭함으로써 제거될 수도 있다.
- [0266] 비정질 반도체층(390)은, 단결정 반도체층(118)을 형성하는 반도체 재료를 사용하여 형성될 수도 있고, 예를 들어, 비정질 실리콘층, 비정질 게르마늄층 등이, 플라즈마 CVD법에 의해 형성된다. 단결정 반도체층(118) 및 비정질 실리콘층(390)의 총 두께는 145 nm 이상, 바람직하게는 200 nm 이상이다. 성막 시간 및 성막 비용과 같은 사이클 타임 및 생산성이 고려될 때, 총 두께는 200 nm 이상 1000 nm 이하인 것이 바람직하다.
- [0267] 다음으로, 마스크(341)가 비정질 반도체층(390) 위에 형성된다. 비정질 반도체층(390)은 마스크(341)를 사용하여 패터닝되어 섬형상 비정질 반도체층(391)을 형성한다(도 24b 참조). 마스크(341)는, 레지스트 재료를 사용하는 포토리소그래피 등에 의해 형성될 수 있다. 또한, 에칭 처리로서, 웨트 에칭 또는 드라이 에칭이 이용될 수도 있다. 단결정 반도체층(118)을 박막화하는 공정은 비정질 반도체층(390)의 패터닝 이후에, 비정질 반도체층(390)의 패터닝에 대해 사용되는 마스크(341)를 사용하여 실시될 수 있다는 것에 유의한다.

- [0268] 또한, 비정질 반도체층(390)을 패터닝하는 공정에서, 마스크(341)와 오버랩하지 않는 비정질 반도체층의 모든 부분이 제거되지 않아도 된다. 이러한 경우에서, 마스크(341)로 커버되는 제 1 비정질 반도체층 및 제 1 비정질 반도체층보다 작은 두께를 갖는 제 2 단결정 반도체층이 형성된다.
- [0269] 그 후, 섬형상 비정질 반도체층(391)에 열처리를 하여 섬형상 비정질 반도체층(391)의 고상 성장을 실시함으로써, 비정질 반도체층(391)이 형성된 영역에 제 1 단결정 반도체 영역(392)이 형성되고, 제 1 단결정 반도체 영역(392)보다 작은 두께를 갖는 제 2 단결정 반도체 영역(393)이 형성된다(도 24c 참조).
- [0270] 이러한 열처리에 의해, 비정질 반도체층(391)의 고상 성장이 실시되어, 비정질 반도체층(391)의 단결정화가 달성된다. 비정질 반도체층(391)의 고상 성장에서, 단결정 반도체층(118)은 시드(seed) 결정으로서 기능하고, 단결정 반도체층(118) 위에 제공되는 비정질 반도체층(391)의 단결정화가 실시될 수 있다.
- [0271] 고상 성장을 위한 열처리는, RTA(rapid thermal anneal), 노, 밀리미터파 가열 장치 등과 같은 열처리 장치를 사용하여 실시될 수 있다. 또한, 레이저 빔 조사 또는 열 플라즈마 제트 조사에 의해 열처리가 실시될 수 있다. 열처리 장치의 가열 방법으로서, 저항 가열법, 램프 가열법, 가스 가열법, 전자파 가열법 등이 제공될 수 있다. 또한, RTA는, RTP(rapid thermal processing) 장치의 일종이라는 것에 유의한다.
- [0272] 일반적으로, 노는 외열식이며, 챔버 내부 및 피처리물은 열 평형 상태로 가열된다. 한편, RTA는 순간 가열(급속 가열)을 위해 사용되며, 피처리물에 에너지를 직접적으로 제공하여 챔버 및 피처리물을 열 평형 상태에서 가열한다. RTA 장치로서, 램프 가열법을 이용하는 LRTA(lamp rapid thermal anneal) 장치, 가열된 가스를 사용하는 가스 가열법을 이용하는 GRTA(gas rapid thermal anneal) 장치, 램프 가열법과 가스 가열법 양자를 이용한 RTA 장치 등이 제공될 수 있다. LRTA 장치는, 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등과 같은 램프로부터 방출된 광의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 상술한 램프로부터 방출된 광으로 인한 열복사, 및 램프로부터 방출된 광에 의해 가스를 가열하여, 가열된 가스로부터의 열전도에 의해, 피처리물을 가열하는 장치이다. 가스에 대해, 질소, 아르곤 등과 같은 희가스와 같은, 열처리에 의해 피처리물과 반응하지 않는 불활성 가스가 사용된다. 또한, LRTA 장치 및 GRTA 장치에는, 램프 뿐만 아니라, 저항 발열체와 같은 발열체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치가 제공될 수도 있다. 밀리미터파 가열 장치는, 밀리미터파의 복사에 의해 피처리물을 가열하는 장치이다. 밀리미터파 가열 장치에는, 저항 발열체 등과 같은 발열체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치가 제공될 수도 있다.
- [0273] RTA 장치가 사용될 때, 처리 온도는 500℃ 이상 750℃ 이하이고, 처리 시간은 0.5분 이상 3분 이하인 것이 바람직하다. 노가 사용될 때, 처리 온도는 500℃ 이상 600℃ 이하이고, 처리 시간은 1시간 이상 4시간 이하인 것이 바람직하다.
- [0274] 예를 들어, 단결정 실리콘층이 단결정 반도체층(118)으로서 적용되고, 비정질 실리콘층이 비정질 반도체층(390)으로서 형성된다. RTA 장치가 사용되고, 처리 온도가 750℃이고 처리 시간이 3 분이라는 조건하에 열처리가 실시되어, 비정질 실리콘층의 고상 성장이 실시되고 단결정 실리콘층이 획득될 수 있다.
- [0275] 이러한 방식으로, 비정질 반도체층이 단결정 반도체층의 일부 위에 형성되고, 비정질 반도체층의 고상 성장이 실시됨으로써, 단결정 반도체층이 부분적으로 후막화될 수 있다. 후막화된 단결정 반도체 영역(392)을 사용하여 광전 변환 소자가 형성될 수 있고, 단결정 반도체 영역(392)보다 작은 두께를 갖는 단결정 반도체 영역(393)을 사용하여 트랜지스터가 형성될 수 있다. 광전 변환 소자 및 트랜지스터의 이후의 제작 공정들은 다른 실시형태들에서 설명한 바와 유사한 방식으로 실시될 수도 있다. 단결정 반도체층이 광전 변환층으로 사용되는 이러한 경우에서, 막 두께의 증가에 의해 광전 변환 효율이 향상될 수 있다.
- [0276] 이러한 실시형태에서, 광전 변환 소자 및 트랜지스터가 제작될 때, 실시형태 1에 설명된 SOI 기판의 제작 공정들에 따라 베이스 기판(100) 위에 절연층(112) 및 단결정 반도체층(118)이 제공되는 SOI 기판이 사용된다. SOI 기판의 제작 공정들에 따라 제공된 단결정 반도체층을 부분적으로 후막화하는 공정을 실시함으로써, 광전 변환 소자 및 트랜지스터를 포함하는 반도체 장치에 있어서, 광전 변환 소자의 두께에 대한 선택의 범위가 넓어져, 광 센서로서의 감도가 향상될 수 있다. 또한, 광 센서가 미세화될 수 있고, 스캐닝의 기능이 향상된다. 또한, 광 센서의 응답성이 향상되고, 예를 들어, 광 센서가 터치 패널로 사용되는 경우에, 터치 패널의 응답 속도가 향상되어서, 그 조작성이 향상된다. 트랜지스터에 포함된 단결정 반도체층은 트랜지스터에 대해 적절한 두께를 가지고 형성될 수 있다. 따라서, SOI 기판의 제작 공정들에 따라 제공된 단결정 반도체층이 유효하게 활용되어서, 오프 상태에서의 트랜지스터의 누설 전류가 감소될 수 있고, 광전 변환 소자의 광전 변환 효율이 향상될 수 있다. 트랜지스터가 화소 트랜지스터로서 사용되는 경우에, 오프 상태에서의 화소 트랜지스터

의 누설 전류가 감소되어서, 화소 용량이 작게 될 수 있다. 그 결과, 화소의 개구율이 향상될 수 있다.

- [0277] 이러한 실시형태에 설명된 구조가 다른 실시형태들에 설명된 임의의 다른 구조와 적절하게 조합됨으로써 구현될 수 있다는 것에 유의한다.
- [0278] (실시형태 7)
- [0279] 이러한 실시형태에서, 반도체 장치 및 그 제작 방법의 일례가 도면을 참조하여 설명될 것이다. 특히, 광전 변환 소자 및 트랜지스터를 구비하는 반도체 장치 및 그 제작 방법에 대해, n 채널 트랜지스터 및 p 채널 트랜지스터가 트랜지스터로서 제작되는 경우가 설명될 것이다.
- [0280] (구성)
- [0281] 개시된 발명의 실시형태에 관련된 광전 변환 소자(180), n 채널 트랜지스터(380), 및 p 채널 트랜지스터(385)가 광 투과성 베이스 기판(100) 위에 제공된다(도 25a 및 도 25b 참조). 여기서, 도 25b는 도 25a의 라인 A-B를 따라 취해진 단면에 대응한다.
- [0282] 광전 변환 소자(180)는, 광전 변환의 효과를 갖는 반도체 영역(164), 제 1 도전형(여기서는 p형 도전형)을 갖는 반도체영역(158), 및 제 2 도전형(여기서는 n형 도전형)을 갖는 반도체 영역(162)을 포함하는 제 1 섬형상 반도체층(152); 제 1 섬형상 반도체층(152)을 커버하도록 형성되는 절연층(154) 및 절연층(166); 제 1 도전형을 갖는 반도체 영역(158)에 전기적으로 접속된 제 1 전극(172); 및 제 2 도전형을 갖는 반도체 영역(162)에 전기적으로 접속된 제 2 전극(174)을 포함한다.
- [0283] n 채널 트랜지스터(380)는, 채널 형성 영역(322), 소스 영역(323), 드레인 영역(324), LDD 영역(328), 및 LDD 영역(329)을 포함하는 제 2 섬형상 단결정 반도체층(352); 제 2 단결정 반도체층(352) 위의 게이트 절연막으로서 기능하는 절연층(154); 절연층(154) 위의 게이트 전극(375); 게이트 전극(375)을 커버하는 절연층(166); 소스 영역(323)에 전기적으로 접속된 전극(376); 및 드레인 영역(324)에 전기적으로 접속된 전극(377)을 포함한다. 이러한 실시형태에서 LDD 영역(328) 및 LDD 영역(329)을 포함하는 n 채널 트랜지스터(380)가 이러한 실시형태에서의 예로서 설명되지만, 개시된 발명의 실시형태가 이에 한정되지 않는다는 것에 유의한다. LDD 영역은 제공되지 않아도 된다. 또한, LDD 영역이 상면으로부터 볼 때 게이트 전극과 오버랩하지 않는 예가 이러한 실시형태에 설명되지만, 다르게는, LDD 영역이 게이트 전극과 오버랩하는 구조가 이용될 수도 있다.
- [0284] p 채널 트랜지스터(385)는 채널 형성 영역(332), 소스 영역(333), 및 드레인 영역(334)을 포함하는 제 3 섬형상 단결정 반도체층(361); 제 3 단결정 반도체층(361) 위의 게이트 절연막으로서 기능하는 절연층(154); 절연층(154) 위의 게이트 전극(374); 게이트 전극(374)을 커버하는 절연층(166); 소스 영역(333)에 전기적으로 접속된 전극(378); 및 드레인 영역(334)에 전기적으로 접속된 전극(379)을 포함한다. 이러한 실시형태에서 p 채널 트랜지스터(385)가 LDD 영역을 포함하지 않지만, 개시된 발명의 실시형태가 이에 한정되지 않는다는 것에 유의한다. LDD 영역이 제공될 수도 있다.
- [0285] 여기서, 광전 변환 소자(180)에 포함된 제 1 단결정 반도체층(152)의 두께는, n 채널 트랜지스터(380)에 포함된 제 2 단결정 반도체층(352)의 두께 및 p 채널 트랜지스터(385)에 포함된 제 3 단결정 반도체층(361)의 두께보다 크다.
- [0286] 절연층(112)이, 베이스 기판(100) 및 광전 변환 소자(180), 트랜지스터(380), 및 트랜지스터(385) 사이에 제공된다. 이 절연층은, 광전 변환 소자(180), 트랜지스터(380) 및 트랜지스터(385)를 베이스 기판(100)에 고정시키는 기능을 갖는다.
- [0287] (광전 변환 소자 및 트랜지스터의 제작 공정들)
- [0288] 다음으로, 광전 변환 소자(180), n 채널 트랜지스터(380) 및 p 채널 트랜지스터(385)의 제작 공정들이 설명될 것이다. 먼저, 실시형태 1에 설명된 SOI 기판의 제작 공정에 따라, 베이스 기판(100) 위에 절연층(112) 및 단결정 반도체층(118)이 제공되는 SOI 기판이 준비된다(도 26a 참조).
- [0289] 그 후, 마스크(340)가 단결정 반도체층(118) 위에 형성된다. 마스크(340)를 사용하여 에칭함으로써, 단결정 반도체층의 두께가 부분적으로 감소되어서, 마스크(340)로 커버된 제 1 단결정 반도체 영역(311) 및 제 1 단결정 반도체 영역(311)보다 작은 두께를 갖는 제 2 단결정 반도체 영역(321)이 형성된다(도 26b 참조).
- [0290] 그 후, 제 1 단결정 반도체 영역(311) 및 제 2 단결정 반도체 영역(321) 위에, 마스크(150), 마스크(350), 및 마스크(360)가 형성되고, 제 1 단결정 반도체 영역(311) 및 제 2 단결정 반도체 영역(321)은 마스크(150), 마

스크(350), 및 마스크(360)를 사용하여 패터닝된다. 이러한 방식으로, 광전 변환 소자로 사용된 제 1 섬형상 반도체층(152), n 채널 트랜지스터로 사용된 제 2 섬형상 반도체층(352), 및 p 채널 트랜지스터로 사용된 제 3 섬형상 반도체층(361)이 형성된다(도 26c 참조).

[0291] 다음으로, 절연층(154)이 반도체층(152), 반도체층(352), 및 반도체층(361)을 커버하도록 형성된다(도 26d 참조).

[0292] 그 후, 도전막이 절연층(154) 위에 형성되고 소정의 형상으로 가공(패터닝)되어서, 트랜지스터의 게이트 전극으로서 기능하는 전극(375) 및 전극(374)이 반도체층(352) 및 반도체층(361) 각각의 상방에 형성된다(도 27a 참조). 전극이 반도체층(352) 및 반도체층(361) 위에서 트랜지스터의 게이트 전극으로서 기능하는 전극(375) 및 전극(374)의 형성과 동시에 반도체층(152) 위에 형성될 수도 있다.

[0293] 그 후, 마스크(356)가 반도체층(152) 및 반도체층(361)을 커버하도록 절연층(154) 위에 형성되고, 제 2 도전형을 부여하는 불순물 원소가 마스크(356) 및 전극(375)을 마스크로서 사용하여 반도체층(352)의 일부에 첨가된다. 마스크(356)는 마스크(340) 등과 유사한 방식으로 형성될 수도 있다.

[0294] 구체적으로는, 불순물 원소의 첨가로서, 예를 들어, 인이 원료 가스로서 PH_3 를 사용하여 $1.0 \times 10^{13} \text{ cm}^{-2}$ 의 도즈량으로 40 kV의 가속 전압에서 첨가될 수도 있다. 불순물 원소의 첨가의 조건은, 요구되는 특성에 의존하여 적절히 변경될 수 있다. 불순물 영역(358)에 대한 형성 이후에, 마스크(356)는 제거된다.

[0295] 따라서, 제 2 도전형을 갖는 불순물 영역(358)이 형성된다(도 27b 참조). 불순물 영역(358)의 일부는 LDD 영역으로서 기능한다. 이러한 실시형태에서, 인이 제 2 도전형을 부여하는 불순물 원소로서 사용되고, 제 2 도전형은 n형이지만, 개시된 발명의 이러한 실시형태는 이에 한정되지 않는다.

[0296] 다음으로, 마스크(156)가 반도체층(352)을 커버하고 반도체층(152)을 부분적으로 커버하도록 절연층(154) 위에 형성된다. 그 후, 제 1 도전형을 부여하는 불순물 원소가 마스크(156) 및 전극(374)을 마스크로서 사용하여 반도체층(152)의 일부 및 반도체층(361)의 일부에 첨가된다. 따라서, 제 1 도전형을 갖는 반도체 영역(158)이 형성된다. 또한, 제 1 도전형을 갖는 소스 영역(333) 및 드레인 영역(334)이 p 채널 트랜지스터로 사용된 반도체층(361)에서 형성되고, 채널 형성 영역(322)이 소스 영역(333)과 드레인 영역(334) 사이에 형성된다(도 27c 참조). 이러한 실시형태에서, 붕소가 제 1 도전형을 부여하는 불순물 원소로서 첨가되어서, 제 1 도전형은 p형이지만, 개시된 발명의 실시형태는 이에 한정되지 않는다.

[0297] 구체적으로는, 예를 들어, 붕소가 원료 가스로서 B_2H_6 를 사용하여 $1.0 \times 10^{16} \text{ cm}^{-2}$ 의 도즈량으로 40kV의 가속 전압에서 첨가될 수도 있다. 불순물 원소의 첨가의 조건은, 요구되는 특성에 의존하여 적절히 변경될 수 있다. 광전 변환 소자에서 도즈량이 감소될 때, 암전류가 감소되는 경향이 있다. 이것은, 불순물 원소가 고도즈량으로 첨가될 때 반도체층(152)에 대한 손상이 커져서 결함으로 인한 캐리어 트랩이 생성되는 반면, 불순물 원소가 저도즈량 조건으로 첨가될 때 손상이 작아서 결함으로 인한 손상이 생성되지 않기 때문이다. 한편, 트랜지스터에서 도즈량이 크고, 저항이 작은 것이 바람직하다. 따라서, 광전 변환 소자의 불순물 첨가 공정 및 트랜지스터의 불순물 첨가 공정은 요구되는 특성에 의존하여 개별적으로 실시될 수도 있다. 제 1 도전형을 갖는 반도체 영역(158), 소스 영역(333), 및 드레인 영역(334)의 형성 이후에, 마스크(156)는 제거된다는 것에 유의한다.

[0298] 그 후, 마스크(160)가 반도체층(152) 및 반도체층(352)을 부분적으로 커버하도록 절연층(254) 위에 형성되고, 그 후, 제 2 도전형을 부여하는 불순물 원소가 반도체층(152)의 일부 및 반도체층(352)의 일부에 첨가된다. 이전의 공정에서 첨가된 불순물 원소와 동일한 도전형을 부여하는 불순물 원소가 더 높은 농도로 반도체층(352)에 첨가된다는 것에 유의한다. 따라서, 제 2 도전형을 갖는 반도체 영역(162), 및 제 1 도전형을 갖는 불순물 원소 및 제 2 도전형을 갖는 불순물 원소가 첨가되지 않은 광전 변환의 효과를 갖는 반도체 영역(164)이 광전 변환 소자로 사용된 반도체층(152)에서 형성된다. 또한, 제 2 도전형을 갖는 소스 영역(323) 및 드레인 영역(324)이 n 채널 트랜지스터로 사용된 반도체층(352)에 형성되고, LDD 영역(328) 및 LDD 영역(329)이 마스크(160)로 커버되는 불순물 영역(358)에서 형성되고, 채널 형성 영역(322)이 LDD 영역(328)과 LDD 영역(329) 사이에 형성된다(도 27d 참조).

[0299] 구체적으로는, 예를 들어, 인이 원료 가스로서 PH_3 를 사용하여 $5.0 \times 10^{15} \text{ cm}^{-2}$ 의 도즈량으로 40kV의 가속 전압에서 첨가될 수도 있다. 불순물 원소의 첨가의 조건은, 요구되는 특성에 의존하여 적절히 변경될 수 있다. 제 1

도전형을 부여하는 불순물 원소의 첨가의 경우와 유사한 방식으로, 도즈량이 감소될 때 광전 변환 소자에서의 암전류가 억제될 수 있다. 제 2 도전형을 갖는 반도체 영역(162)의 형성 이후에, 마스크(160)는 제거된다.

- [0300] 제 1 도전형을 부여하는 제 1 불순물 원소 및 제 2 도전형을 부여하는 제 2 불순물 원소의 첨가는, 광전 변환의 효과를 갖는 반도체 영역(164)의 폭이 $0.1\mu\text{m}$ 내지 $20\mu\text{m}$, 바람직하게는 $3\mu\text{m}$ 내지 $10\mu\text{m}$ 이도록 실시된다는 것에 유의한다. 물론, 마스크(156) 및 마스크(160) 가공 정밀도가 허용하면, 반도체 영역(164)의 폭은 $0.1\mu\text{m}$ 이하일 수 있다.
- [0301] 그 후, 반도체층(152), 반도체층(352), 반도체층(361), 전극(375), 전극(374), 및 절연층(154)을 커버하도록 절연층(166)이 형성된다(도 28a 참조).
- [0302] 다음으로, 반도체층(152), 반도체층(352), 및 반도체층(361)이 부분적으로 노출되도록, 콘택트홀(168), 콘택트홀(170), 콘택트홀(368) 및 콘택트홀(370), 콘택트홀(371) 및 콘택트홀(372)이 절연층(154) 및 절연층(166)에 형성된다(도 28b 참조).
- [0303] 그 후, 콘택트홀을 통해 반도체층(152), 반도체층(352), 및 반도체층(361)에 접촉하는 도전층이 형성된다. 도전층이 패터닝되어, 제 1 전극(172), 제 2 전극(174), 전극(376), 전극(377), 전극(378) 및 전극(379)이 형성된다(도 28c 참조).
- [0304] 이러한 실시형태에서, 광전 변환 소자(180), n 채널 트랜지스터(380), 및 p 채널 트랜지스터(385)가 공통의 공정들을 사용하여 광 투과성 베이스 기판(100) 위에 형성된다. 따라서, 광전 변환 소자 및 트랜지스터가 개별적으로 형성되는 경우와 비교하여, 마스크의 수가 감소될 수 있고 쓰루풋이 향상될 수 있다.
- [0305] 이러한 실시형태에 설명한 광전 변환 소자(180), n 채널 트랜지스터(380), 및 p 채널 트랜지스터(385)는, 예를 들어, 광 센서를 각각 갖는 화소가 매트릭스로 배열되는 표시 장치로 사용될 수 있다. 예를 들어, n 채널 트랜지스터(380) 및 p 채널 트랜지스터(385)는 표시 소자의 구동을 제어하는 주변 드라이버 및 화소 트랜지스터에 사용될 수 있고, 광전 변환 소자(180)는 광 센서로서 사용될 수 있다.
- [0306] 이러한 실시형태에서, 광전 변환 소자(180), n 채널 트랜지스터(380), 및 p 채널 트랜지스터(385)가 제작될 때, 실시형태 1에 설명한 SOI 기판의 제작 공정들에 따라 베이스 기판(100) 위에 절연층(112) 및 단결정 반도체층(118)이 제공되는 SOI 기판이 사용된다. SOI 기판의 제작 공정들에 따라 제공된 단결정 반도체층을 부분적으로 박막화하는 공정을 실시함으로써, SOI 기판의 제작 공정들에 따라 제공된 단결정 반도체층의 두께를 최대로 하면서 광전 변환 소자가 형성될 수 있다. 또한, 트랜지스터는 그 두께가 감소된 단결정 반도체층의 일부를 사용하여 형성될 수 있다. 따라서, SOI 기판의 제작 공정들에 따라 제공된 단결정 반도체층이 유효하게 활용되어서, 오프 상태에서의 트랜지스터의 누설 전류가 감소될 수 있고, 광전 변환 소자의 광전 변환 효율이 향상될 수 있다. 트랜지스터가 화소 트랜지스터로서 사용되는 경우에서, 오프 상태에서의 화소 트랜지스터의 누설 전류가 감소되어서, 화소 용량이 작게 될 수 있다. 그 결과, 화소의 개구율이 향상될 수 있다.
- [0307] 이러한 실시형태에서 설명한 구성은 다른 실시형태들에 설명한 임의의 다른 구성과 적절하게 조합됨으로써 구현될 수 있다.
- [0308] 본 출원은, 그 전체 내용이 참조로서 여기에 포함되는 2009년 8월 25일 일본 특허청에 출원된 일본 특허 출원 번호 2009-194223 호에 기초한다.

부호의 설명

- [0309] 100: 기판 110: 단결정 반도체 기판 112: 절연층 114: 취화 영역 116: 단결정 반도체층 118: 단결정 반도체층
130: 레이저 빔 150: 마스크 152: 반도체층 154: 절연층 156: 마스크 158: 반도체 영역
160: 마스크 162: 반도체 영역 164: 반도체 영역 166: 절연층 168: 콘택트홀
170: 콘택트홀 172: 전극 174: 전극 180: 광전 변환 소자 190: 트랜지스터
200: 기판 202: 절연층 204: 차광층 206: 절연층 208: 차광층 210: 화소 표시 영역
212: 절연층 214: 절연층 216: 절연층 240: 차광층 250: 마스크 252: 마스크 311: 단결정 반도체 영역
321: 단결정 반도체 영역 322: 채널 형성 영역 323: 소스 영역 324: 드레인 영역
328: LDD 영역 329: LDD 영역 332: 채널 형성 영역 333: 소스 영역 334: 드레인 영역
340: 마스크 341: 마스크 345: 전극 350: 마스크 352: 반도체층 356: 마스크 358: 불순물 영역
360: 마스크 361: 반도체층 368: 콘택트홀 370: 콘택트홀 371: 콘택트홀 372: 콘택트홀
374: 전극 375: 전극 376: 전극 377: 전극 378: 전극 379: 전극

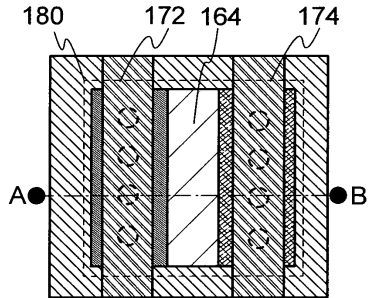
380: 트랜지스터 385: 트랜지스터 390: 비정질 반도체층 391: 비정질 반도체층 392: 단결정 반도체 영역
393: 단결정 반도체 영역 500: 절연층 502: 컬러 필터 504: 광원 506: 피검출물 508: 광 510: 반사광

도면

도면1

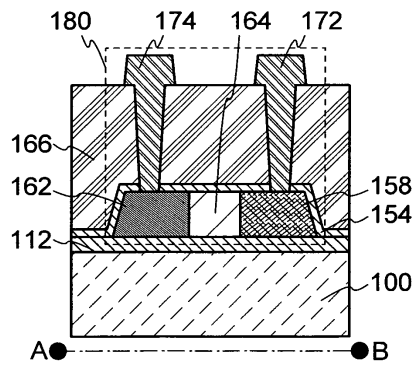
(a)

평면도

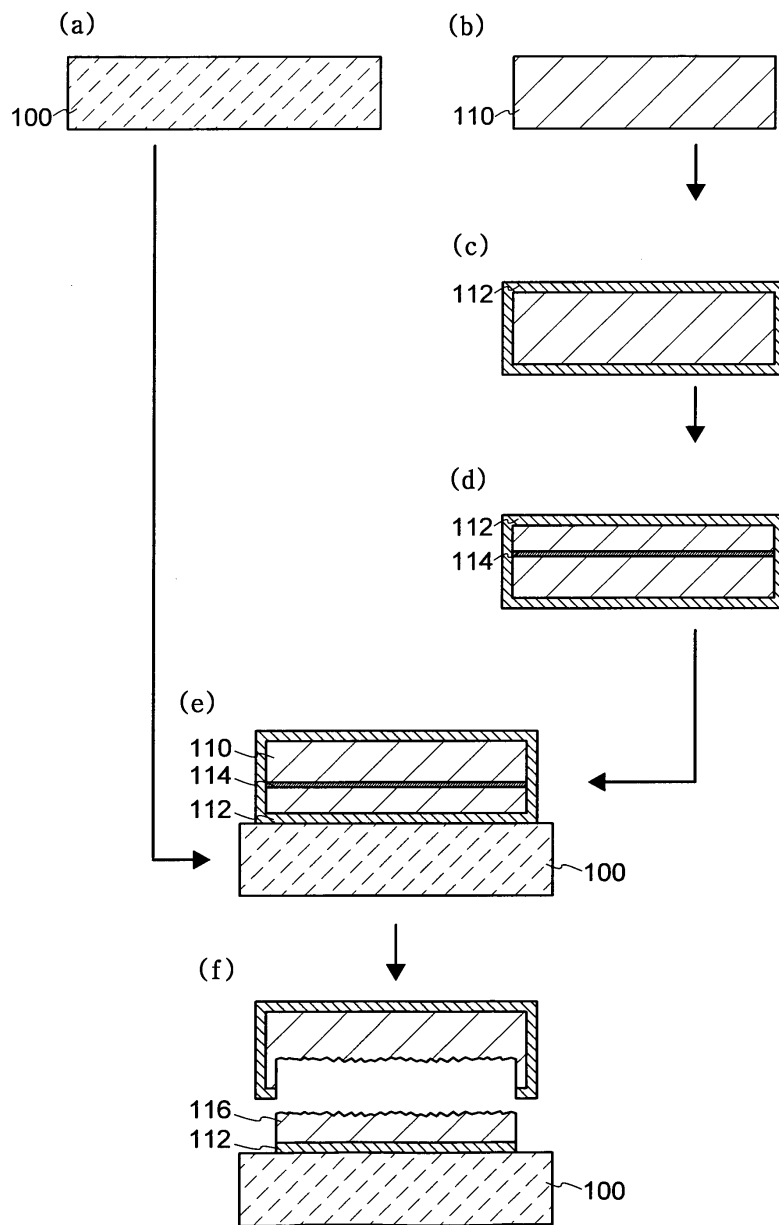


(b)

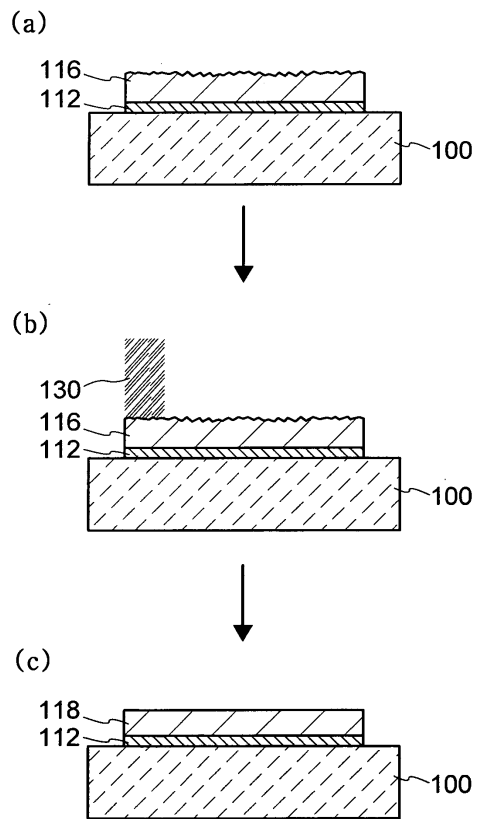
단면도



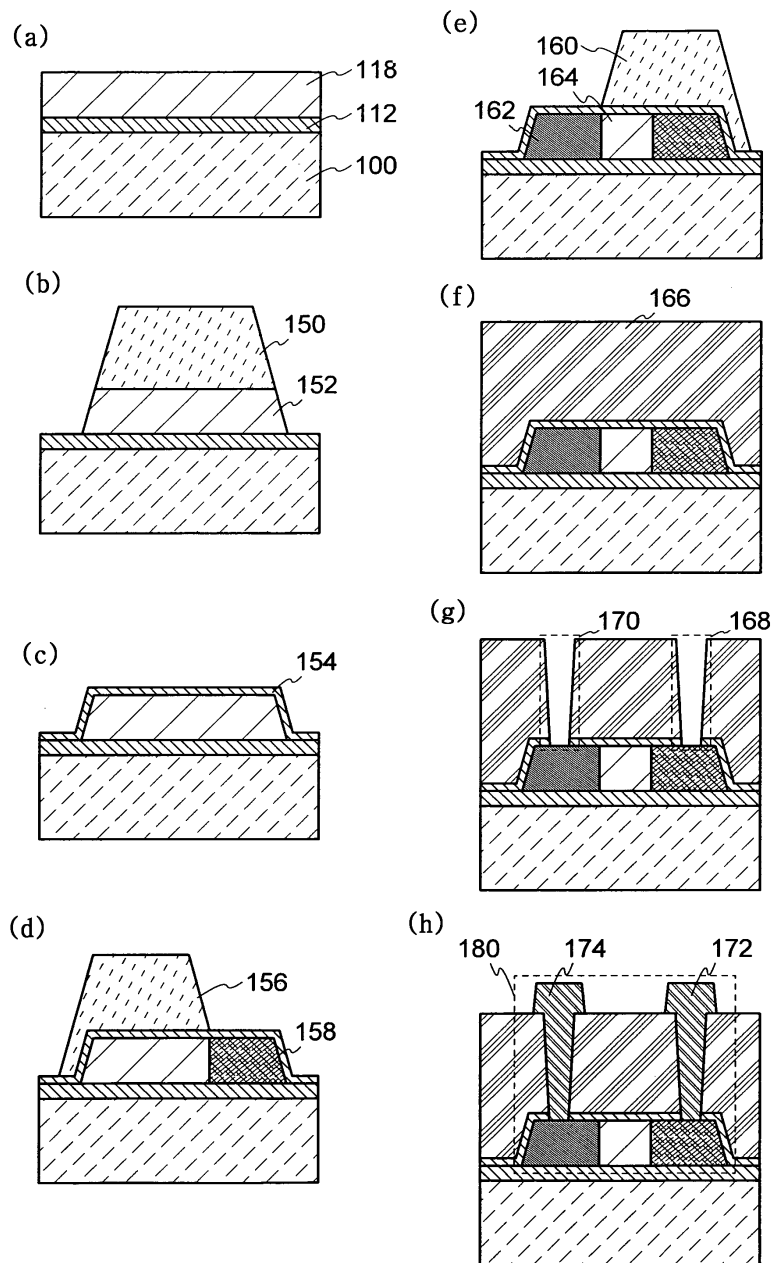
도면2



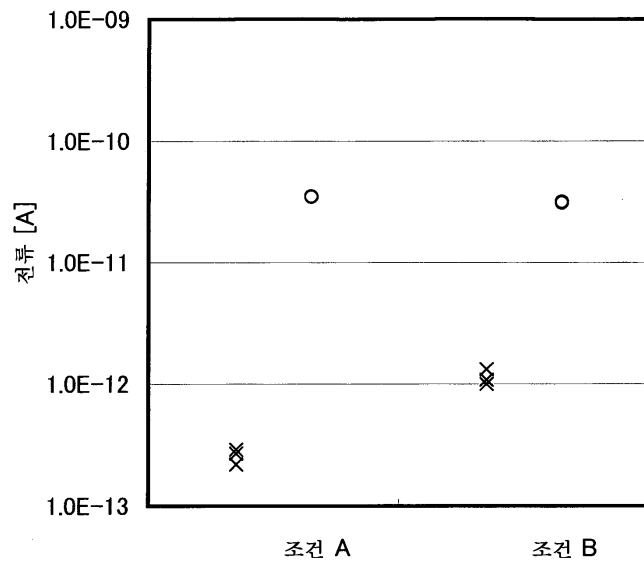
도면3



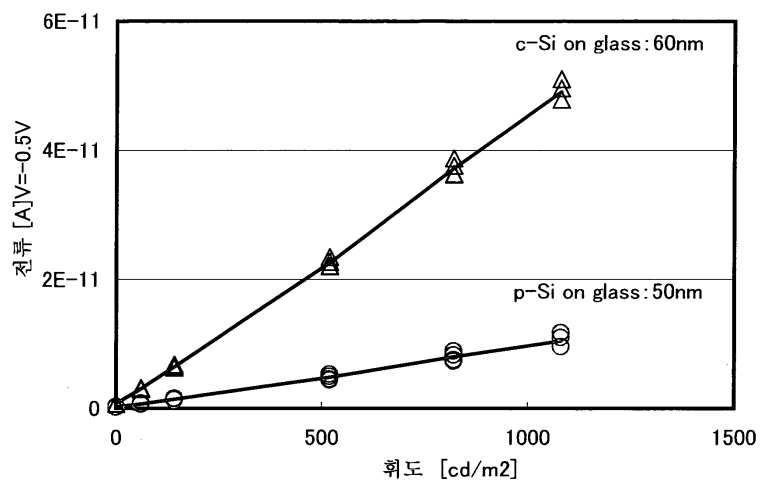
도면4



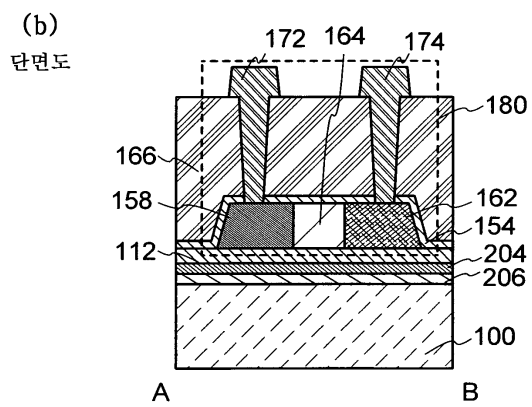
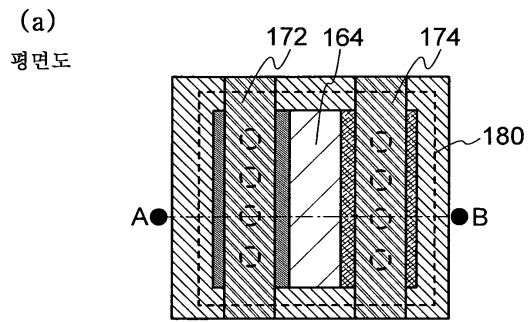
도면5



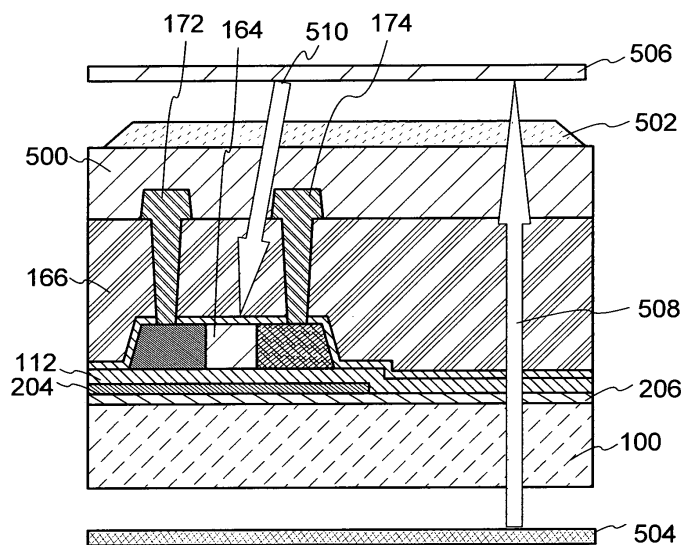
도면6



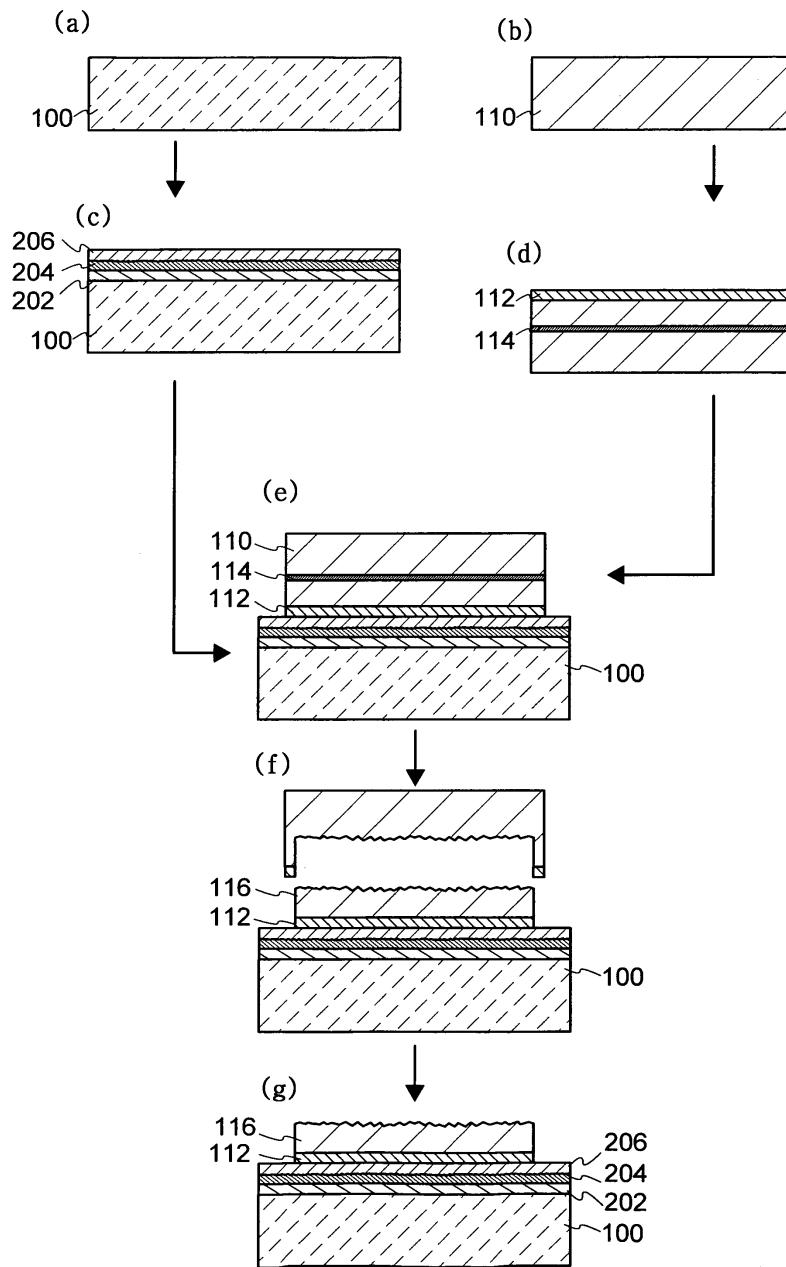
도면7



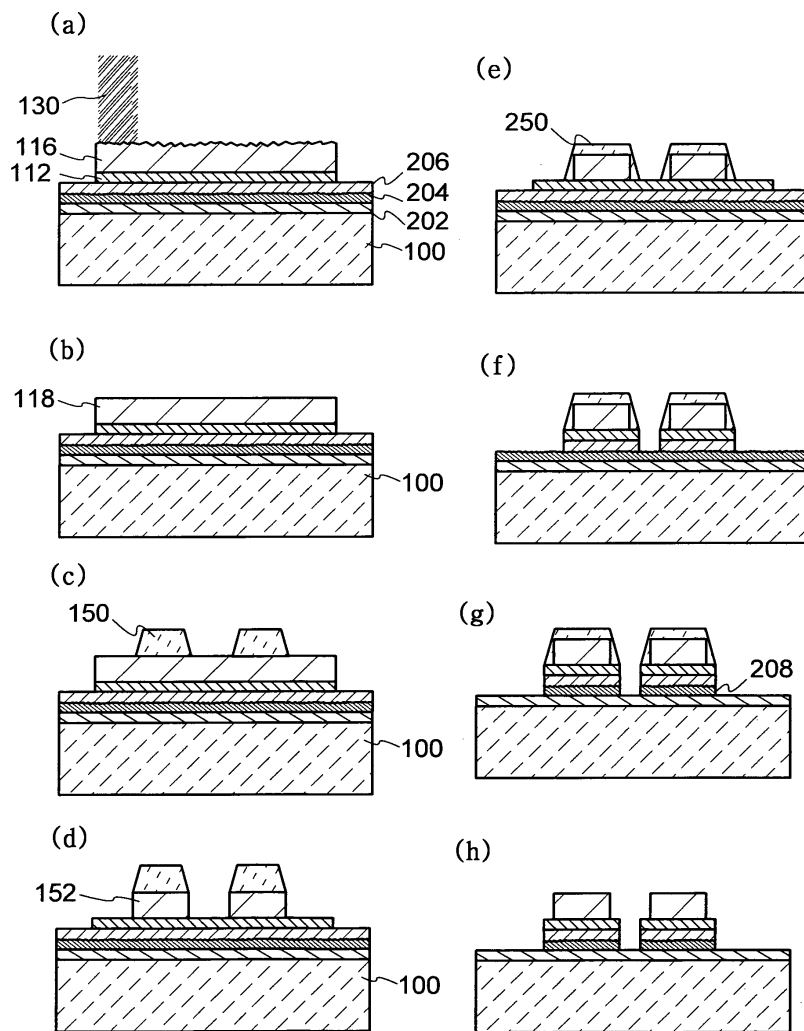
도면8



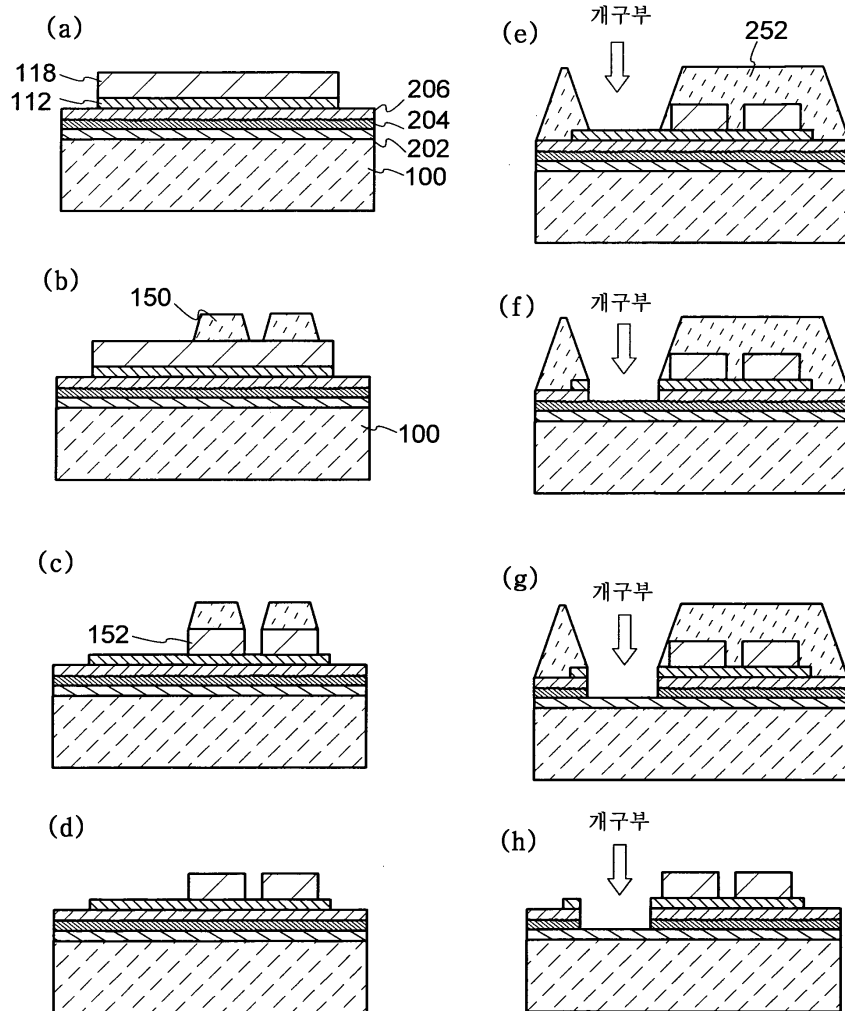
도면9



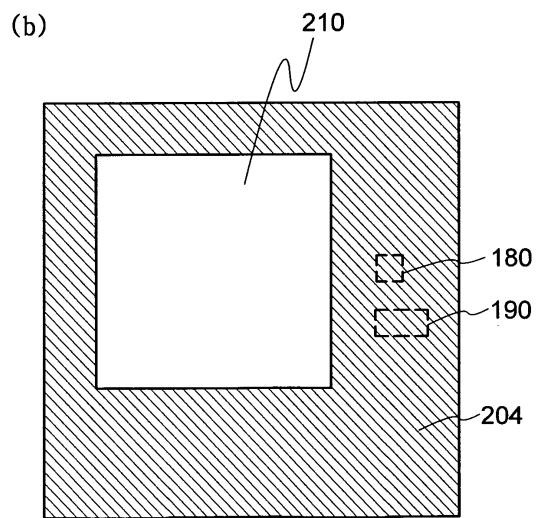
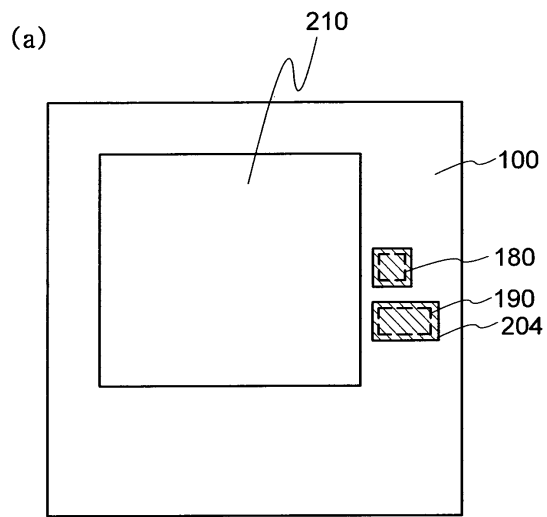
도면10



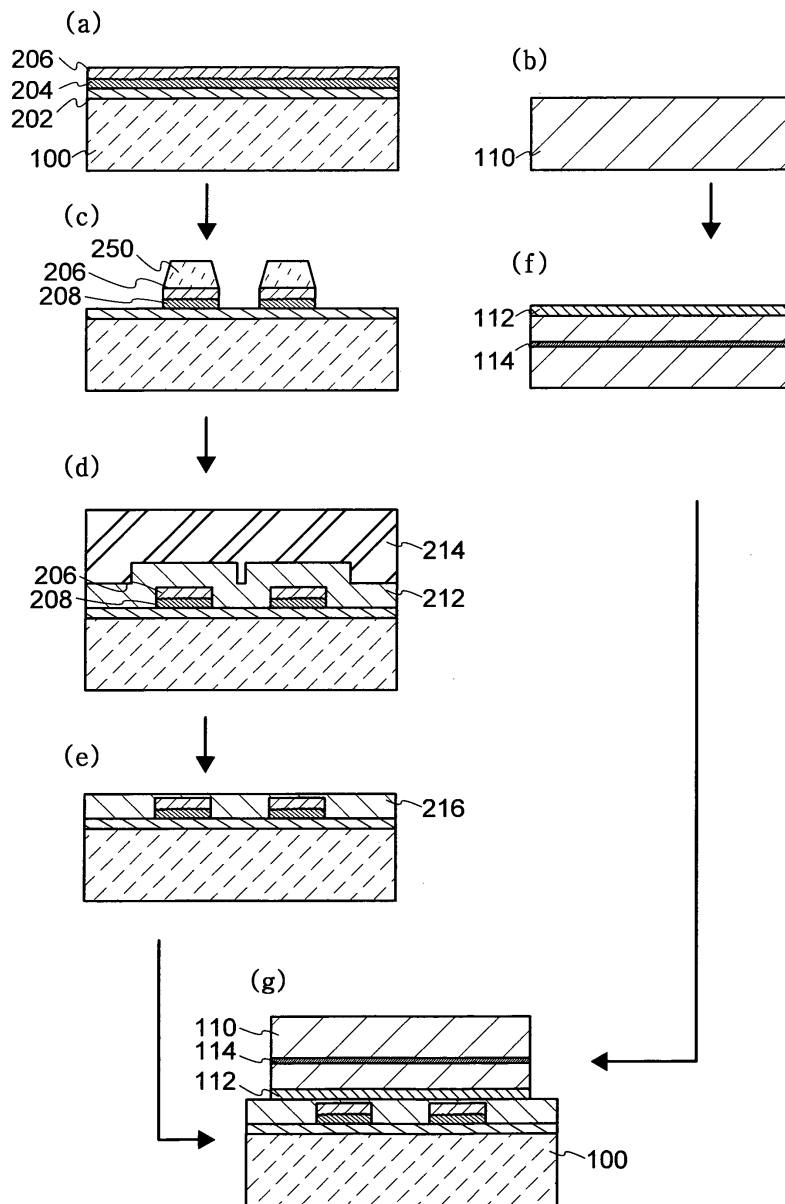
도면11



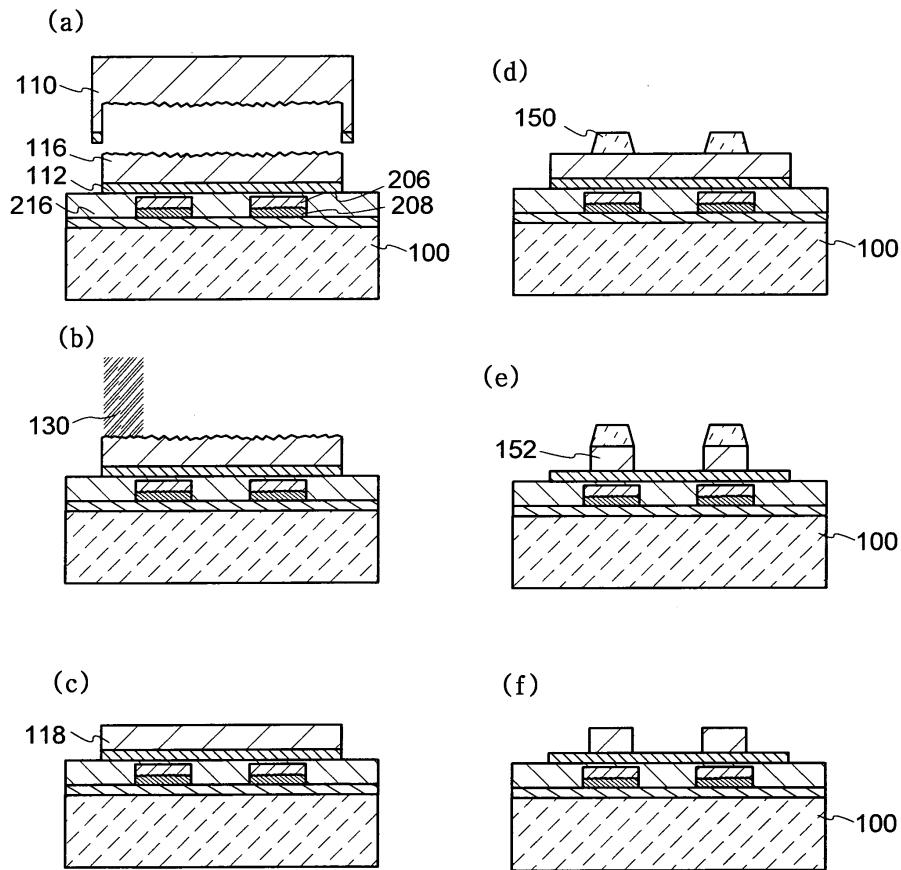
도면12



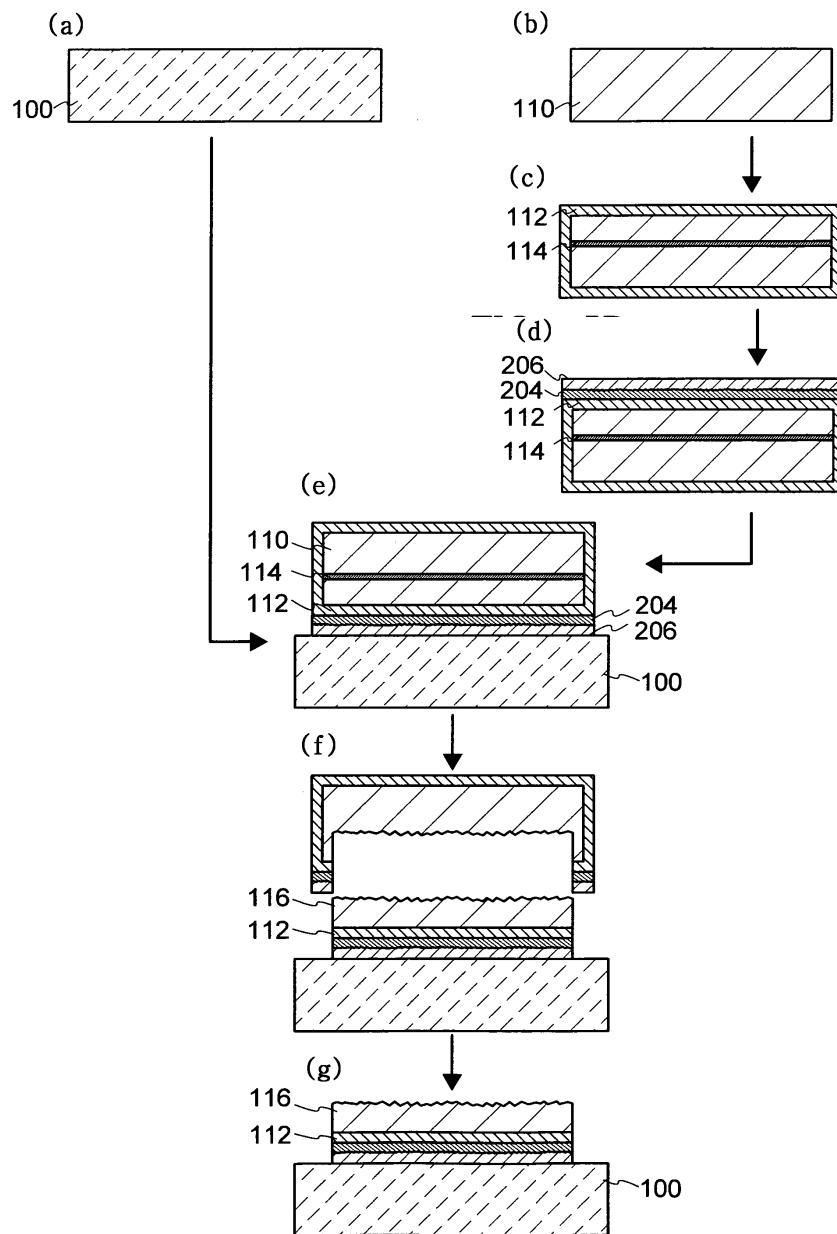
도면13



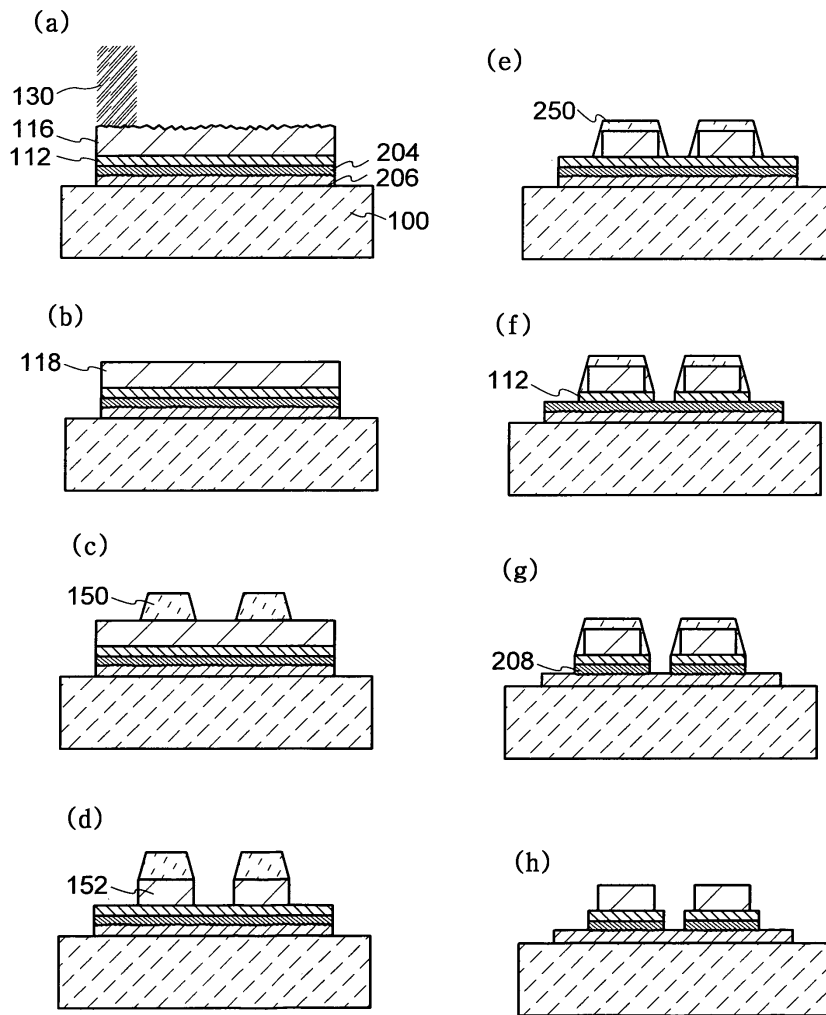
도면14



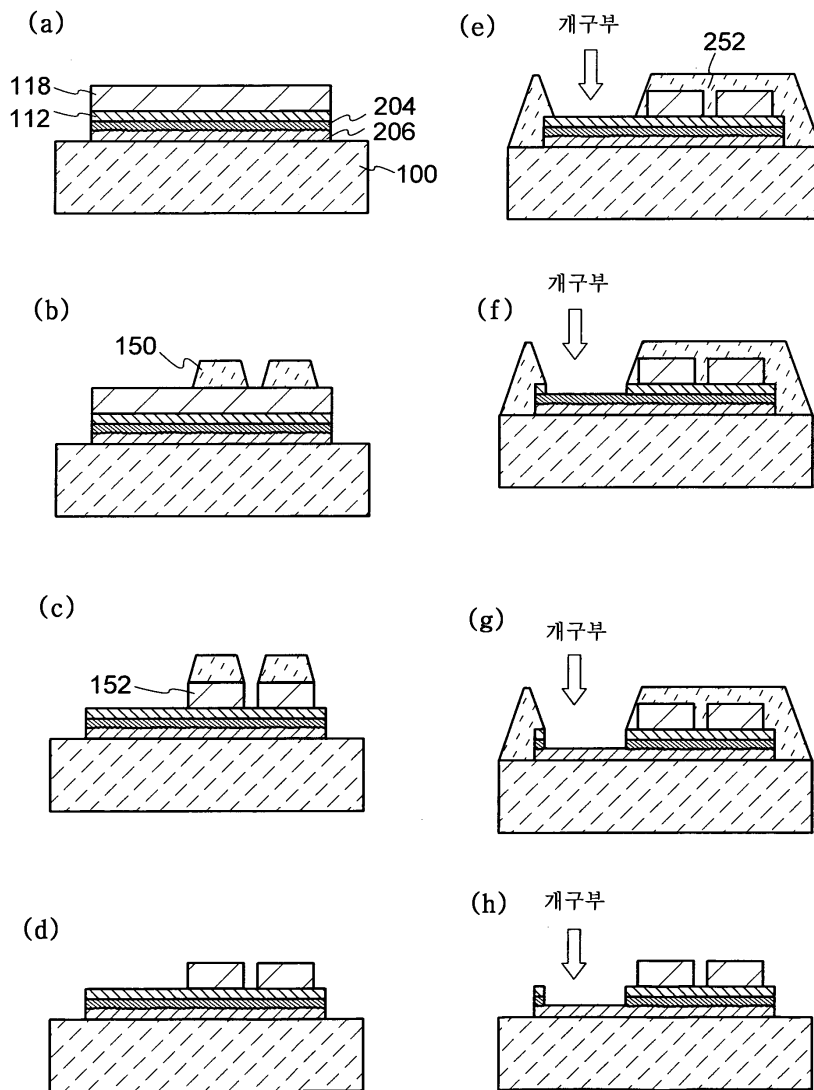
도면15



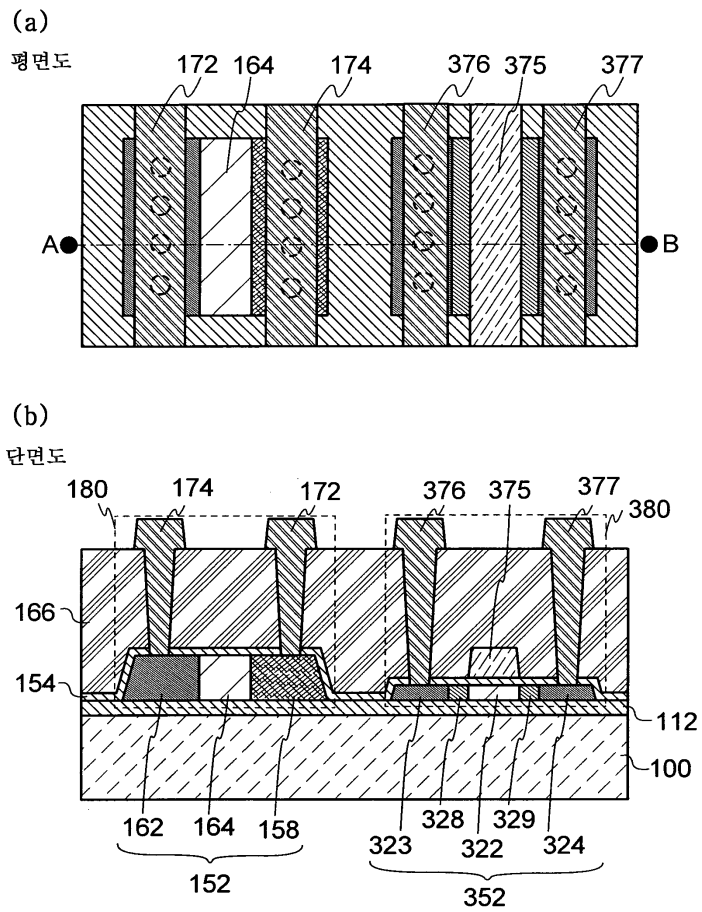
도면16



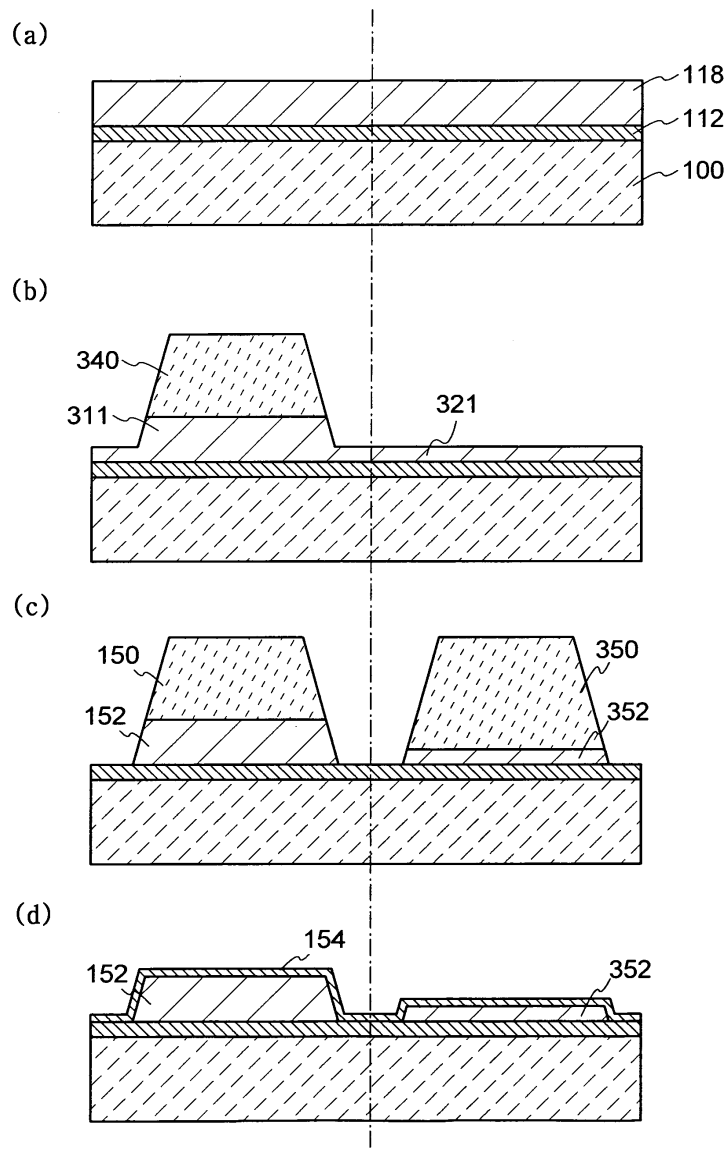
도면17



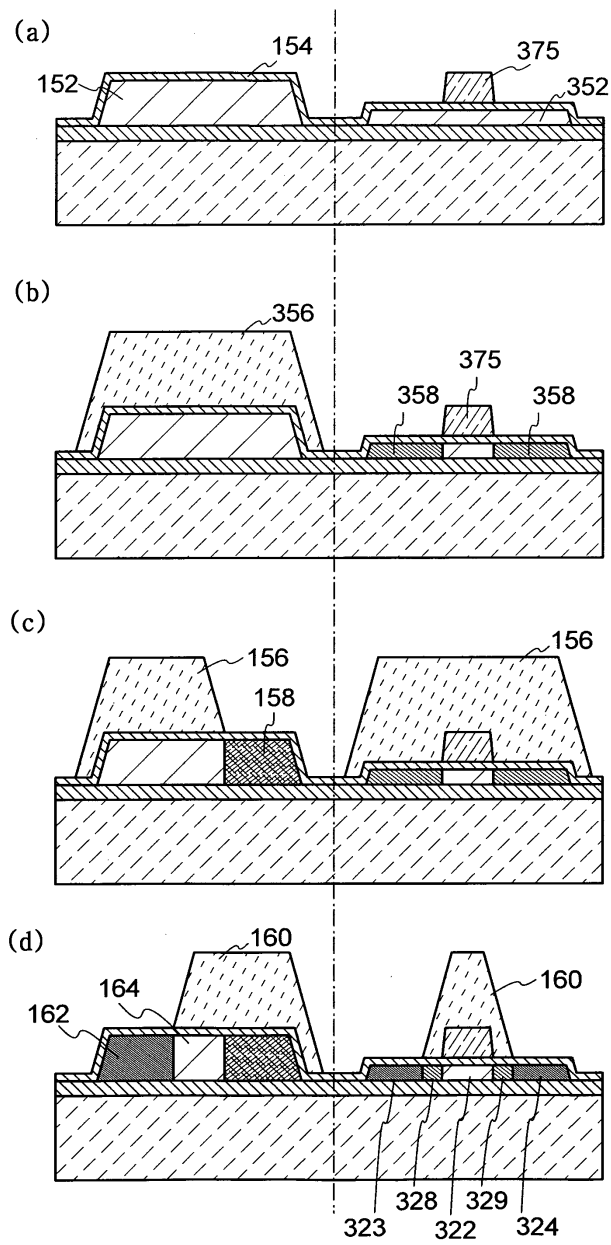
도면18



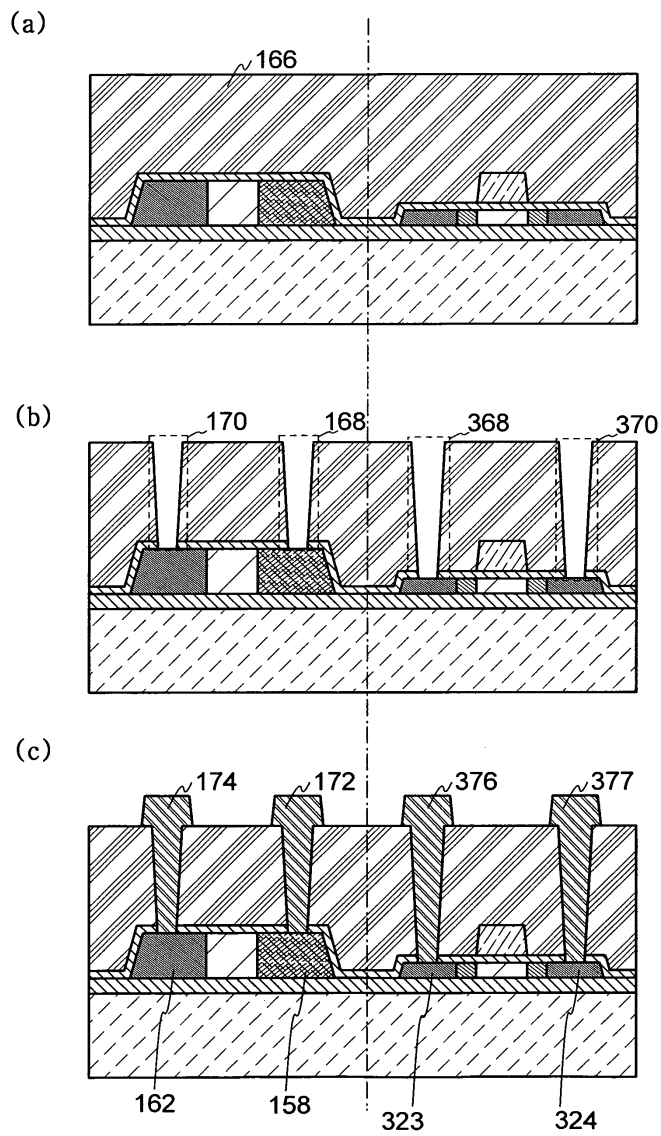
도면19



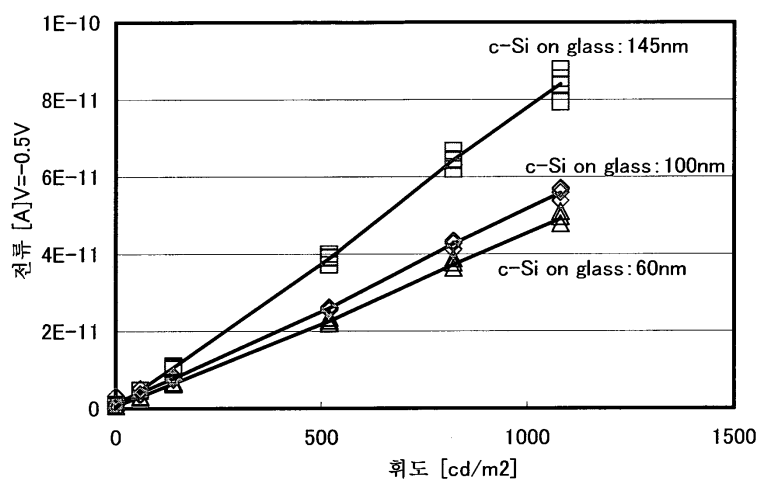
도면20



도면21



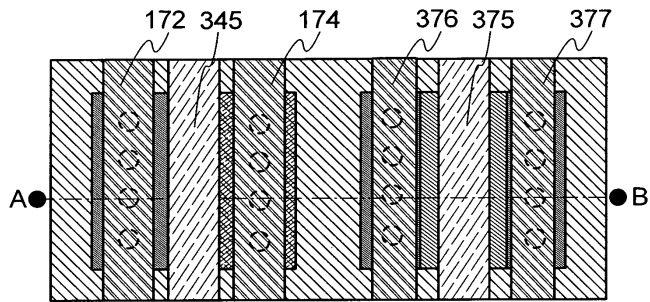
도면22



도면23

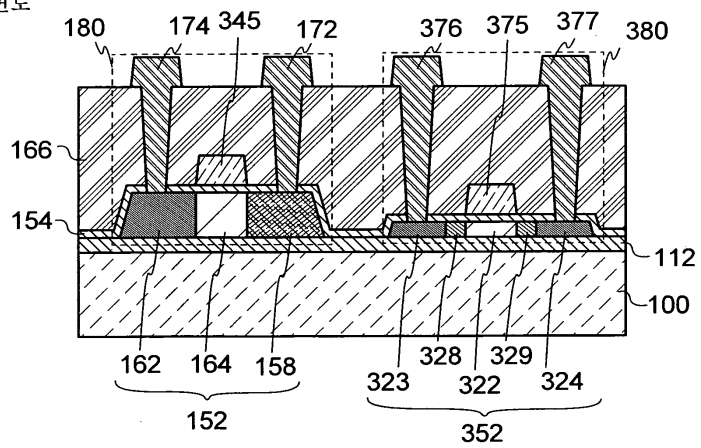
(a)

평면도

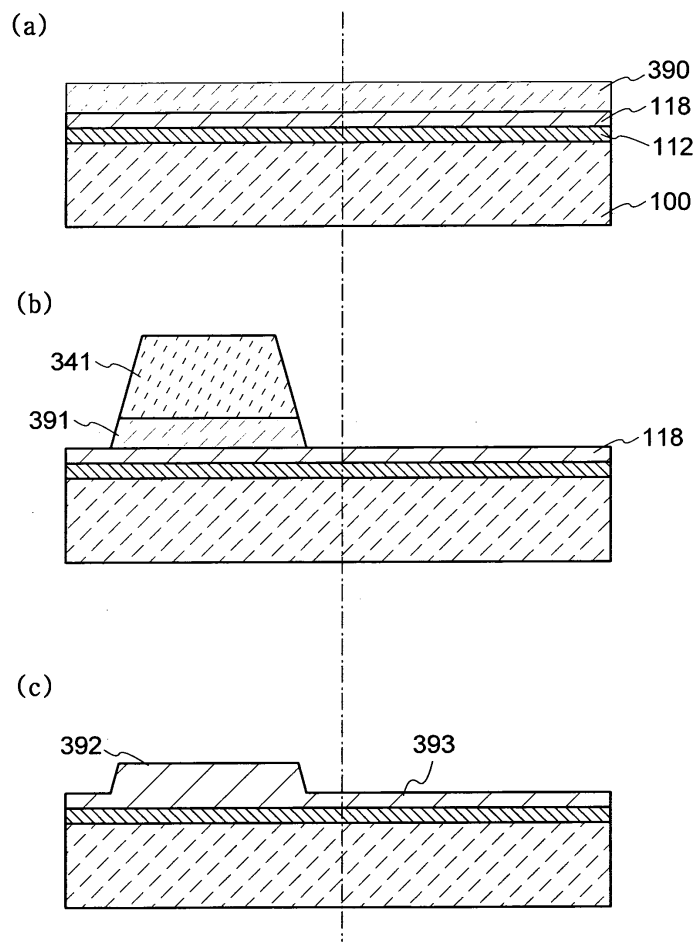


(b)

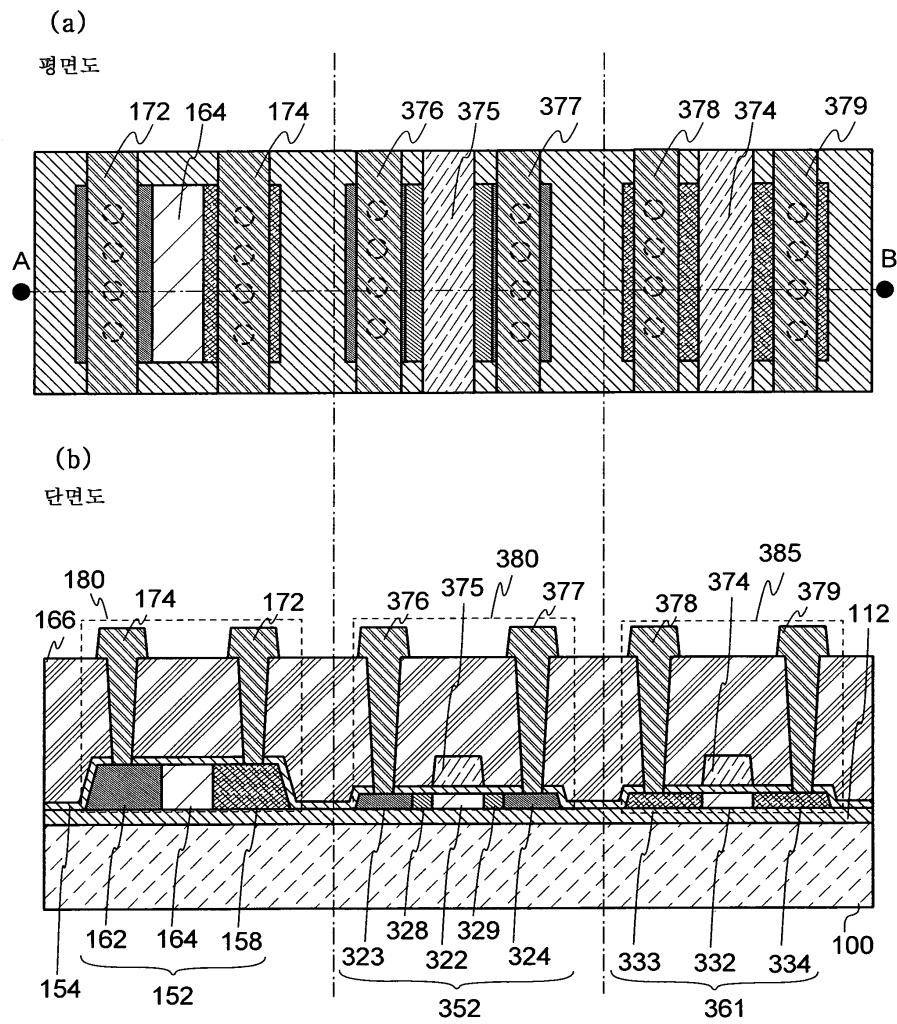
단면도



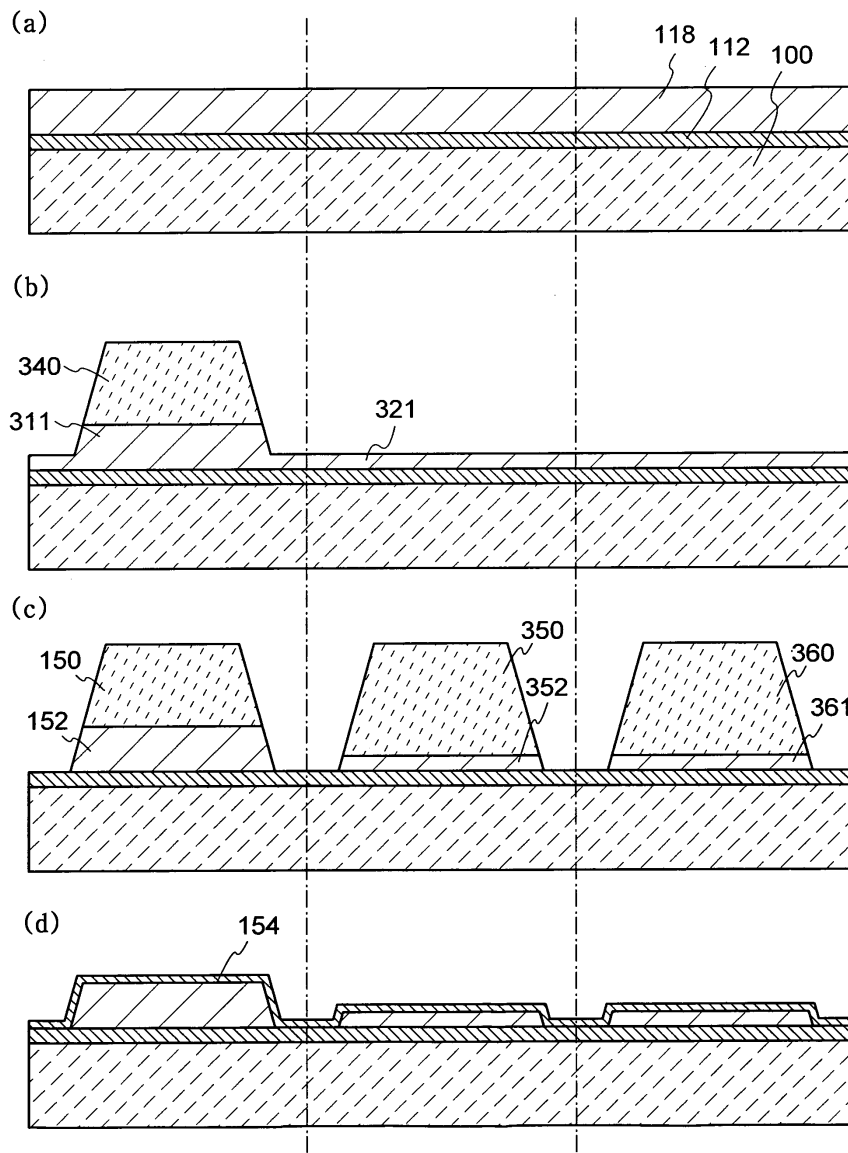
도면24



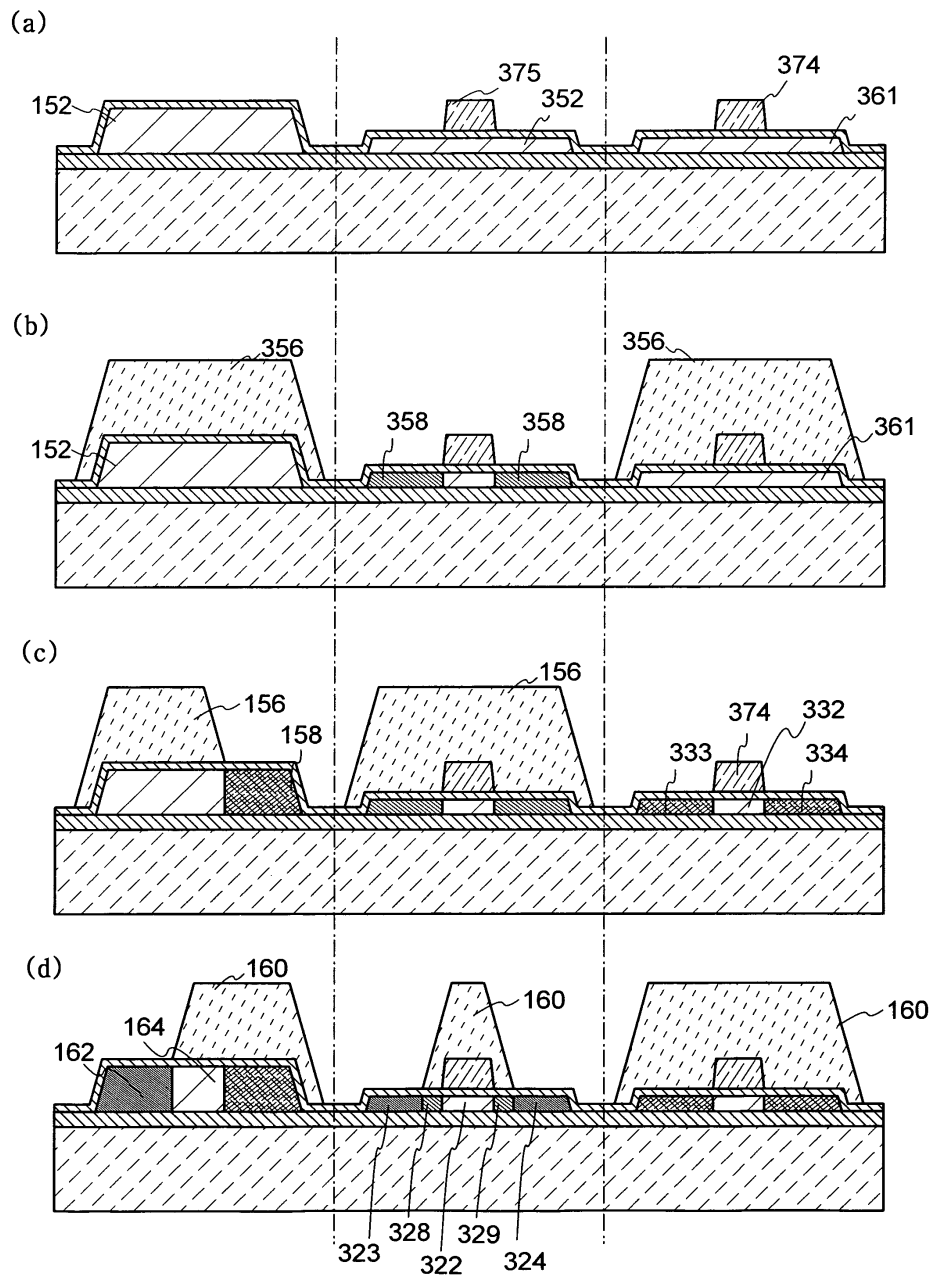
도면25



도면26



도면27



도면28

