



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년05월28일
(11) 등록번호 10-2109601
(24) 등록일자 2020년05월06일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2013-0003991
(22) 출원일자 2013년01월14일
심사청구일자 2018년01월10일
(65) 공개번호 10-2013-0086163
(43) 공개일자 2013년07월31일
(30) 우선권주장
JP-P-2012-010386 2012년01월20일 일본(JP)
(뒷면에 계속)
(56) 선행기술조사문헌
JP2011146694 A*
(뒷면에 계속)

(73) 특허권자
가부시킴가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 순페이
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시킴가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 4 항

심사관 : 나영준

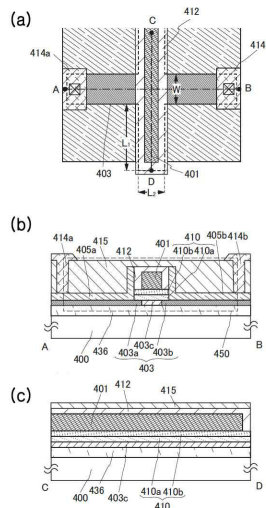
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 양호한 트랜지스터 특성을 갖고 산화물 반도체가 사용된 트랜지스터를 제공한다. 또한, 산화물 반도체가 사용된 트랜지스터를 갖는 신뢰성이 높은 반도체 장치를 제공한다.

산화물 반도체막, 게이트 절연막, 및 측면과 상면에 측벽 절연막이 제공된 게이트 전극이 차례로 적층된 트랜지스터를 갖는 반도체 장치에 있어서, 산화물 반도체막은 에칭 처리가 수행되어, 채널 길이 방향의 길이가 상이하게 되도록 십자형으로 형성되거나, 또는 소스 전극 및 드레인 전극보다 채널 폭 방향의 길이가 길게 되도록 형성된다. 또한, 산화물 반도체막과 접하도록 소스 전극 및 드레인 전극을 형성한다.

대표도 - 도1



(56) 선행기술조사문헌

JP2011166120 A*

US20070194379 A1*

US20080237665 A1*

US20090283763 A1*

*는 심사관에 의하여 인용된 문헌

(30) 우선권주장

JP-P-2012-010404 2012년01월20일 일본(JP)

JP-P-2012-010423 2012년01월20일 일본(JP)

명세서

청구범위

청구항 1

반도체 장치에 있어서,
산화물 반도체막으로서,
채널 형성 영역과 소스 영역과 드레인 영역을 포함하는 제 1 영역;
제 1 채널 폭 방향으로 연장된 제 2 영역; 및
상기 제 1 채널 폭 방향의 반대 방향인 제 2 채널 폭 방향으로 연장된 제 3 영역;
을 포함하는 상기 산화물 반도체막과;
상기 산화물 반도체막 위의 게이트 전극과;
상기 산화물 반도체막과 상기 게이트 전극 사이의 게이트 절연막을 포함하고,
상기 채널 형성 영역은 채널 길이 방향에서의 상기 소스 영역과 상기 드레인 영역 사이에 위치하고,
상기 채널 길이 방향에서의 상기 제 2 영역 및 상기 제 3 영역 각각의 길이는 상기 채널 길이 방향에서의 상기 제 1 영역의 길이보다 더 짧으며,
상기 제 2 영역 및 상기 제 3 영역은 불순물을 포함하지 않는 반면, 상기 소스 영역과 상기 드레인 영역은 상기 불순물을 포함하는, 반도체 장치.

청구항 2

제 1 항에 있어서,
상기 불순물은 질소, 인, 비소, 안티몬, 붕소, 알루미늄, 아르곤, 헬륨, 네온, 인듐, 불소, 염소, 티타늄, 및 아연으로 이루어진 군에서 선택된 하나 이상인, 반도체 장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1 항에 있어서,
상기 산화물 반도체막은 인듐 및 아연을 포함하는, 반도체 장치.

청구항 6

삭제

청구항 7

제 1 항에 있어서,
상기 산화물 반도체막은 위에서 볼 때 십자형을 갖는, 반도체 장치.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것이다.

[0002] 또한, 본 명세서에 있어서 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말하며, 전기 광학 장치, 반도체 회로, 및 전자 기기는 모두 반도체 장치이다.

배경 기술

[0003] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터(박막 트랜지스터(TFT)라고도 함)를 구성하는 기술이 주목을 받고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(표시 장치)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용될 수 있는 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있지만, 이 외 재료로서 산화물 반도체가 주목을 받고 있다.

[0004] 예를 들어, 트랜지스터의 활성층으로서 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함한 비정질 산화물이 사용된 트랜지스터가 개시되어 있다(특허문헌 1 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 특개2006-165528호 공보

발명의 내용

해결하려는 과제

[0006] 산화물 반도체막에 채널이 형성되는 트랜지스터는 가공의 조건 또는 가열 처리의 조건에 따라 전기적 특성이 변화될 수 있다. 이 변화는 산화물 반도체막의 형성 공정에 있어서 상기 산화물 반도체막으로부터 산소(O)가 탈리되는 것 등에 기인하는 것으로 생각된다. 또한, 산소(O)의 탈리는 산화물 반도체막 측면(단부면)에서 발생되기 쉬운 것이 알려져 있다. 즉, 산화물 반도체막에 채널이 형성되는 트랜지스터에서는 상기 산화물 반도체막 측면 근방의 영역이 저저항 영역이 되고, 상기 영역에 트랜지스터의 기생 채널이 형성되기 쉽다는 것이 알려져 있다. 또한, 그 기생 채널로 인하여 트랜지스터의 전기적 특성에 이상이 생기는 등 문제가 발생되고 있었다. 예를 들어, 트랜지스터의 전류-전압특성곡선이, 본래의 문턱값 전압보다 낮은 게이트 전압에서 상승하여 한 번 전류가 안정된 후, 다시 본래의 문턱값 전압에서 상승해서 오프와 같은 형상이 된다는 문제가 있었다.

[0007] 이상을 감안하여 양호한 트랜지스터 특성을 갖고 산화물 반도체가 사용된 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또한, 산화물 반도체가 사용된 트랜지스터를 갖는 신뢰성이 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

과제의 해결 수단

[0008] 본 발명의 일 형태에서는 에칭 처리가 수행되어 채널 길이 방향의 길이가 상이하게 되도록 십자형으로 형성된 산화물 반도체막, 또는 채널 폭 방향의 길이가 소스 전극 및 드레인 전극보다 긴 산화물 반도체막을 반도체 장치에 사용한다. 구체적으로는 이하와 같은 구성을 갖는다.

[0009] 본 발명의 일 형태는, 절연 표면 위에 제공되며 제 1 영역, 상기 제 1 영역의 일부를 끼우도록 제공된 제 2 영역 및 제 3 영역을 포함한 산화물 반도체막과, 산화물 반도체막 위에 제공된 게이트 절연막과, 게이트 절연막 위에 제 1 영역 내지 제 3 영역 각각의 적어도 일부와 중첩하여 제공된 게이트 전극과, 산화물 반도체막과 접하는 소스 전극 및 드레인 전극을 갖고, 제 1 영역은 게이트 전극과 중첩되는 채널 형성 영역과, 상기 채널 형성 영역에 접하는 제 1 저저항 영역 및 제 2 저저항 영역을 포함하고, 제 2 영역 및 제 3 영역의 채널 길이 방향의 길이는 제 1 영역의 채널 길이 방향의 길이보다 짧은 반도체 장치이다.

[0010] 또한, 본 발명의 다른 일 형태는, 절연 표면 위에 제공되며 제 1 영역, 상기 제 1 영역의 일부를 끼우도록 제공된 제 2 영역 및 제 3 영역을 포함한 산화물 반도체막과, 산화물 반도체막 위에 제공된 게이트 절연막과, 게이트 절연막 위에 제 1 영역 내지 제 3 영역 각각의 적어도 일부와 중첩하여 제공된 게이트 전극과, 게이트 전극의 측면 및 상면을 덮는 측벽 절연막과, 산화물 반도체막, 게이트 절연막의 측면, 및 측벽 절연막의 측면과 접하는 소스 전극 및 드레인 전극과, 소스 전극 및 드레인 전극 위에 제공된 층간 절연막을 갖고, 제 1 영역은 게이트 전극과 중첩되는 채널 형성 영역과, 상기 채널 형성 영역에 접하는 제 1 저저항 영역 및 제 2 저저항 영역을 포함하고, 제 2 영역 및 제 3 영역의 채널 길이 방향의 길이는 제 1 영역의 채널 길이 방향의 길이보다 짧은 반도체 장치이다.

[0011] 또한, 상기 구성에 있어서 측벽 절연막은 과잉 산소를 포함한 절연막인 것이 바람직하다.

[0012] 또한, 상기 구성에 있어서 하지 절연막이 절연 표면을 갖고, 상기 하지 절연막은 산화물 반도체막 측부터 차례로 적층된 제 1 산소 공급막과 제 1 배리어막의 적층막인 것이 바람직하다.

[0013] 또한, 상기 구성에 있어서 게이트 절연막은 산화물 반도체막 측부터 차례로 적층된 제 2 산소 공급막과 제 2 배

리어막의 적층막인 것이 바람직하다.

- [0014] 또한, 상기 구성에 있어서 산화물 반도체막의 제 2 영역에서의 주연(周緣)의 길이가 산화물 반도체막의 제 1 영역의 채널 폭 방향의 길이보다 길다.
- [0015] 또한, 상기 구성에 있어서 산화물 반도체막의 제 3 영역에서의 주연의 길이가 산화물 반도체막의 제 1 영역의 채널 폭 방향의 길이보다 크다.
- [0016] 또한, 상기 구성에 있어서 산화물 반도체막의 제 2 영역에서의 주연의 길이가 제 1 영역의 채널 폭 방향의 길이의 3배 이상이다.
- [0017] 또한, 본 발명의 다른 일 형태는 절연막 위에 제공된 게이트 전극과, 게이트 전극 위에 제공된 제 1 게이트 절연막 및 제 2 게이트 절연막과, 제 1 게이트 절연막 및 제 2 게이트 절연막을 개재(介在)하여 게이트 전극 위에 제공되는 산화물 반도체막으로서, 채널 영역과, 채널 영역을 끼우며 채널 영역과 접하는 제 1 영역 및 제 2 영역과, 채널 영역, 제 1 영역, 및 제 2 영역을 끼우며 채널 영역과 접하는 제 3 영역 및 제 4 영역을 포함한 상기 산화물 반도체막과, 제 1 영역에 접하여 제공된 소스 전극과, 제 2 영역에 접하여 제공된 드레인 전극과, 소스 전극, 드레인 전극, 및 산화물 반도체막 위에 제공된 제 1 절연막 및 제 2 절연막을 갖고, 산화물 반도체막은 제 1 산화물 반도체막 위에 제 2 산화물 반도체막이 적층됨으로써 제공되고, 제 1 영역, 제 2 영역, 제 3 영역, 및 제 4 영역의 각각은 적어도 게이트 전극과 중첩되고, 채널 길이와 제 1 영역의 채널 길이 방향의 길이와 제 2 영역의 채널 길이 방향의 길이의 합은 게이트 전극의 채널 길이 방향의 길이보다 길고, 채널 폭과 제 3 영역의 채널 폭 방향의 길이와 제 4 영역의 채널 폭 방향의 길이의 합은 제 1 영역 또는 제 2 영역의 채널 폭 방향의 길이보다 길고, 제 3 영역의 채널 폭 방향의 길이는 채널 길이보다 길고, 제 4 영역의 채널 폭 방향의 길이는 채널 길이보다 긴 반도체 장치이다.
- [0018] 또한, 상기 구성에 있어서 소스 전극은 제 1 배리어층과 제 1 배리어층 위에 제공된 제 1 저저항 재료층의 적층으로 구성되고, 게이트 전극은 제 2 배리어층과 제 2 배리어층 위에 제공된 제 2 저저항 재료층의 적층으로 구성된다.
- [0019] 또한, 상기 구성에 있어서 산화물 반도체막과 소스 전극이 접하는 면적은 제 1 영역의 면적과 같고, 산화물 반도체막과 드레인 전극이 접하는 면적은 제 2 영역의 면적과 같다.
- [0020] 또한, 상기 구성에 있어서 제 1 절연막의 두께는 제 2 절연막의 두께보다 크다.
- [0021] 또한, 상기 구성에 있어서 채널 길이가 50nm 미만이다.
- [0022] 또한, 상기 구성에 있어서 제 1 산화물 반도체막과 제 2 산화물 반도체막에는 각각 다른 조성의 금속 산화물을 사용한다.

발명의 효과

- [0023] 본 발명의 일 형태에서는 에칭 처리가 수행되어 채널 길이 방향의 길이가 상이하게 되도록 십자형으로 형성된 산화물 반도체막, 또는 소스 전극 및 드레인 전극보다 채널 폭 방향의 길이가 긴 산화물 반도체막을 사용하여 트랜지스터를 구성한다. 따라서, 트랜지스터의 소스 전극과 드레인 전극이 산화물 반도체막 측면(단부면) 근방의 영역(산소(O)가 탈리되는 것 등에 기인하여 저저항화된 영역)을 사이에 두고 전기적으로 접촉될 개연성을 저감시키는 것이 가능하게 된다. 즉, 양호한 트랜지스터 특성을 갖고 산화물 반도체가 사용된 트랜지스터를 제공할 수 있고, 산화물 반도체가 사용된 트랜지스터를 갖는 신뢰성이 높은 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

- [0024] 도 1a는 반도체 장치의 일 형태에 대하여 설명하는 평면도이고, 도 1b 및 도 1c는 반도체 장치의 일 형태에 대하여 설명하는 단면도.
- 도 2는 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.
- 도 3은 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.

- 도 4는 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.
- 도 5는 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.
- 도 6a는 반도체 장치의 일 형태에 대하여 설명하는 평면도이고, 도 6b 및 도 6c는 반도체 장치의 일 형태에 대하여 설명하는 단면도.
- 도 7은 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.
- 도 8은 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.
- 도 9는 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.
- 도 10은 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.
- 도 11a는 반도체 장치의 일 형태에 대하여 설명하는 평면도이고, 도 11b 및 도 11c는 반도체 장치의 일 형태에 대하여 설명하는 단면도.
- 도 12는 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.
- 도 13은 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.
- 도 14는 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.
- 도 15는 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.
- 도 16은 산화물 반도체막에 대하여 설명하는 도면.
- 도 17a는 반도체 장치의 일 형태를 도시한 단면도이고, 도 17b는 반도체 장치의 일 형태를 도시한 평면도이고, 도 17c는 반도체 장치의 일 형태를 도시한 회로도.
- 도 18a는 반도체 장치의 일 형태를 도시한 회로도이고, 도 18b는 반도체 장치의 일 형태를 도시한 사시도.
- 도 19a는 반도체 장치의 일 형태를 도시한 단면도이고, 도 19b는 반도체 장치의 일 형태를 도시한 평면도.
- 도 20은 반도체 장치의 일 형태를 도시한 단면도.
- 도 21은 반도체 장치의 일 형태를 도시한 회로도.
- 도 22는 반도체 장치의 일 형태를 도시한 블록도.
- 도 23은 반도체 장치의 일 형태를 도시한 블록도.
- 도 24는 반도체 장치의 일 형태를 도시한 블록도.
- 도 25는 본 발명의 일 형태의 전자 기기를 도시한 도면.
- 도 26a는 본 발명의 일 형태의 반도체 장치에 대하여 설명하는 블록도이고, 도 26b 및 도 26c는 그 일부의 회로도.
- 도 27a 내지 도 27c는 과잉 산소의 이동을 계산하는 데 사용한 모델도.
- 도 28은 도 27의 모델도의 계산 결과.
- 도 29는 산소 결손의 이동을 계산하는 데 사용한 모델도.
- 도 30은 도 29의 모델도의 계산 결과.
- 도 31은 실시예 트랜지스터의 단면 STEM상을 나타낸 도면.
- 도 32는 실시예 트랜지스터의 전기 특성 평가를 나타낸 도면.
- 도 33a는 반도체 장치의 일 형태에 대하여 설명하는 평면도이고, 도 33b 및 도 33c는 반도체 장치의 일 형태에 대하여 설명하는 단면도.
- 도 34는 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.
- 도 35는 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.

도 36은 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.

도 37a는 반도체 장치의 일 형태에 대하여 설명하는 평면도이고, 도 37b 및 도 37c는 반도체 장치의 일 형태에 대하여 설명하는 단면도.

도 38은 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.

도 39는 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.

도 40a는 반도체 장치의 일 형태에 대하여 설명하는 단면도이고, 도 40b는 반도체 장치의 일 형태에 대하여 설명하는 평면도.

도 41은 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.

도 42a는 반도체 장치의 일 형태에 대하여 설명하는 평면도이고, 도 42b 및 도 42c는 반도체 장치의 일 형태에 대하여 설명하는 단면도.

도 43은 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.

도 44는 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.

도 45는 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.

도 46은 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.

도 47은 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0025] 이하에서는 본 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 아니하며 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자이면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 기재된 실시형태의 내용에 한정하여 해석되는 것은 아니다. 또한, 도면을 사용하여 발명의 구성을 설명함에 있어서 같은 것을 가리키는 부호는 다른 도면간에서 공통적으로 사용한다. 또한, 같은 것을 가리킬 때에는 같은 해치 패턴을 사용하여 개별적으로는 부호를 붙이지 않는 경우가 있다. 또한, 편의상 게이트 절연막 등의 절연막을 상면도에 도시하지 않는 경우가 있다.
- [0026] 또한, 본 명세서 등에서 '위'나 '아래'라는 용어는 구성 요소의 위치 관계가 '바로 위' 또는 '바로 아래'임에 한정하는 것은 아니다. 예를 들어, '게이트 절연막 위의 게이트 전극'이라는 표현은 게이트 절연막과 게이트 전극 사이에 다른 구성 요소가 포함된 것을 제외하지 않는다.
- [0027] 또한, 본 명세서 등에서 '전극'이나 '배선'이라는 용어는 이들의 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들어, '전극'은 '배선'의 일부로서 사용될 수 있고 그 반대도 마찬가지이다. 또한, '전극'이나 '배선'이라는 용어는 복수의 '전극'이나 '배선'이 일체가 되어 형성되어 있는 경우도 그 범주에 포함한다.
- [0028] 또한, '소스'나 '드레인'의 기능은 다른 극성의 트랜지스터를 채용하는 경우나 회로 동작에서 전류의 방향이 변화되는 경우 등에는 교체될 수 있다. 그러므로, 본 명세서에 있어서 '소스'나 '드레인'이라는 용어는 교체하여 사용될 수 있는 것으로 한다.
- [0029] 또한, 본 명세서 등에 있어서 '전기적으로 접속'이라는 표현에는 '어떠한 전기적 작용을 갖는 것'을 통하여 접속된 경우가 포함된다. 여기서, '어떠한 전기적 작용을 갖는 것'은 접속 대상간에서의 전기 신호의 주고 받음을 가능하게 하는 것이면 특별히 제한을 받지 않는다.
- [0030] 예를 들어, '어떠한 전기적 작용을 갖는 것'에는 전극이나 배선 등이 그 범주에 포함된다.
- [0031] 또한, 이하의 설명에 있어서 '제 1', '제 2' 등 서수사는 설명의 편의상 붙인 것이며 그 개수를 한정하는 것은 아니다.
- [0032] (실시형태 1)
- [0033] 본 실시형태에서는 도 1a 내지 도 1c를 사용하여 반도체 장치의 일 형태에 대하여 설명한다. 도 1a는 반도체 장치가 갖는 트랜지스터의 상면도이고, 도 1b는 도 1a를 일점 쇄선 A-B(채널 길이 방향)에서 절단한

단면도이고, 도 1c는 도 1a를 일점 쇄선 C-D에서 절단한 단면도이다. 또한, 도면의 명료화를 위하여 도 1a에서는 도 1b 및 도 1c에 도시된 일부의 구성을 생략하여 도시하였다.

- [0034] 도 1a 내지 도 1c에 도시된 트랜지스터(450)는 하지 절연막(436)이 제공되어 절연 표면을 갖는 기판(400) 위에 채널 형성 영역(403c), 소스 영역(403a), 및 드레인 영역(403b)을 포함한 산화물 반도체막(403)과, 게이트 절연막(410)과, 게이트 전극(401)과, 게이트 전극(401)의 측면 및 상면에 제공된 측벽 절연막(412)과, 소스 영역(403a)과 증착되는 소스 전극(405a)과, 드레인 영역(403b)과 증착되는 드레인 전극(405b)과, 소스 전극(405a) 및 드레인 전극(405b) 위의 층간 절연막(415)과, 소스 전극(405a) 및 드레인 전극(405b)에 전기적으로 접속되는 배선층(414a) 및 배선층(414b)을 갖는다.
- [0035] 산화물 반도체막(403)은 도 16a에 도시된 바와 같이, 제 1 영역(431), 상기 제 1 영역(431)의 일부를 끼우도록 제공된 제 2 영역(432) 및 제 3 영역(433)을 포함하고, 제 1 영역(431) 내지 제 3 영역(433) 각각의 적어도 일부와 중첩하여 게이트 전극(401)이 제공된다. 또한, 도면의 명료화를 위하여 도 16a에 도시된 산화물 반도체막(403)의 해치 패턴을 달리하였다.
- [0036] 제 1 영역(431)은 게이트 전극(401)과 중첩되는 채널 형성 영역(403c)과, 상기 채널 형성 영역(403c)을 끼우고 이와 접하며 채널 형성 영역(403c)보다 저항이 낮은 한 쌍의 저저항 영역(상기 저저항 영역은 소스 영역, 드레인 영역으로서 기능하므로 소스 영역(403a) 및 드레인 영역(403b)이라고도 부름)을 포함하고, 제 2 영역(432) 및 제 3 영역(433)의 채널 길이 방향의 길이는 제 1 영역(431)의 채널 길이 방향의 길이보다 짧다.
- [0037] 또한, 게이트 전극(401)을 마스크로서 사용하여 산화물 반도체막(403)에 도펀트를 첨가하여, 산화물 반도체막(403)에 채널 형성 영역(403c)을 끼우고 채널 형성 영역(403c)보다 저항이 낮은 저저항 영역인, 도펀트를 포함한 소스 영역(403a), 드레인 영역(403b)을 형성한다. 또한, 이 때 제 2 영역(432) 및 제 3 영역(433)에서의 산화물 반도체막(403) 위에 레지스트마스크를 형성하여 도펀트가 첨가되지 않도록 한다. 이로써, 제 2 영역(432) 및 제 3 영역(433) 각각에 있어서 산화물 반도체막(403)의 주연이 저저항화되지 않게 되므로, 트랜지스터가 오프 상태일 때 산화물 반도체막(403)의 단부에 흐르는 누설 전류를 저감시킬 수 있다.
- [0038] 또한, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이(도 1a에 도시된 길이 L_1 의 2배와 길이 L_2 의 합계인 길이 $2L_1+L_2$)는 제 1 영역(431)의 채널 폭 방향의 길이(도 1a에 도시된 길이 W)보다 길다. 구체적으로는, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이를 제 1 영역(431)의 채널 폭 방향의 길이의 3배 이상, 바람직하게는 10배 이상으로 한다. 산화물 반도체막(403)이 제 1 영역(431)으로만 이루어진 형상인 경우에는 소스 전극 및 드레인 전극 사이의 누설 경로(leak path)는 도 1a에 도시된 길이 L_2 만이지만, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이를 길게 하면 누설 경로가 길어져, 주연에서의 저항 성분이 증대된다. 이에 의하여 트랜지스터가 오프 상태일 때 산화물 반도체막(403)의 단부에 기생 채널이 형성되는 것으로 인하여 누설 전류가 증대되는 것을 억제할 수 있다. 또한, 예를 들어 산화물 반도체막(403) 단부에서 산소가 빠지더라도, 산화물 반도체막(403)의 단부와 소스 전극(405a) 및 드레인 전극(405b)에 끼워진 채널 형성 영역(403c)이 떨어져 있기 때문에 트랜지스터(450)의 전기 특성이 영향을 받는 것을 저감시킬 수 있다. 따라서, 트랜지스터(450)의 전기 특성이 열화되는 것을 방지하여 전기 특성을 양호하게 할 수 있다.
- [0039] 도펀트는 산화물 반도체막(403)의 도전율을 변화시키는 불순물이다. 도펀트의 첨가 방법으로는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등을 사용할 수 있다.
- [0040] 채널 길이 방향으로 채널 형성 영역(403c)을 끼워서 소스 영역(403a) 및 드레인 영역(403b)을 포함한 산화물 반도체막(403)을 가짐으로써 상기 트랜지스터(450)는 온 특성(예를 들어, 온 전류 및 전계 효과 이동도)이 높고 고속 동작, 고속 응답이 가능하게 된다.
- [0041] 트랜지스터(450)를 갖는 반도체 장치의 제작 방법의 일례는 이하와 같다.
- [0042] 도 2a1은 트랜지스터의 제작 공정에 대하여 설명하기 위한 상면도이고, 도 2a2는 도 2a1을 일점 쇄선 A-B에서 절단한 단면도이고, 도 2a3은 도 2a1을 일점 쇄선 C-D에서 절단한 단면도이다. 또한, 이하에서 설명함에 있어서 도 2a1 내지 도 2a3을 합쳐 도 2a라고 부르는 경우가 있다. 또한 본 명세서에서 이후, 위와 같은 기재의 경우는 마찬가지로 한다.
- [0043] 우선, 절연 표면을 갖는 기판(400) 위에 하지 절연막(436)을 형성한다.
- [0044] 기판(400)으로서 사용될 수 있는 기판에 큰 제한은 없지만, 적어도 나중의 가열 처리에 견딜 수 있을 정도의 내

열성을 가질 필요가 있다. 예를 들어, 실리콘이나 탄소화 실리콘으로 이루어진 단결정 반도체 기판이나 다결정 반도체 기판, 실리콘 게르마늄으로 이루어진 화합물 반도체 기판, SOI(Silicon On Insulator) 기판 등을 적용할 수도 있다. 또한, 바륨 보로실리케이트 유리나 알루미늄 보로실리케이트 유리 등의 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 사용할 수 있다.

[0045] 또한, 기판(400)으로서 가요성 기판을 사용하여 반도체 장치를 제작하여도 좋다. 가요성을 갖는 반도체 장치를 제작하기 위해서는 가요성 기판 위에 산화물 반도체막(403)을 포함한 트랜지스터(450)를 직접 제작하여도 좋고, 다른 제작 기판에 산화물 반도체막(403)을 포함한 트랜지스터(450)를 제작하고 그 후 박리하고 가요성 기판에 전치(轉置)하여도 좋다. 또한, 제작 기판으로부터 산화물 반도체막(403)을 포함한 트랜지스터(450)를 박리하고 가요성 기판에 전치하기 위하여 제작 기판과 산화물 반도체막(403)을 포함한 트랜지스터(450) 사이에 박리층을 제공하면 좋다.

[0046] 기판(400)에 가열 처리를 수행하여도 좋다. 예를 들어, 고온의 가스를 사용하여 가열 처리를 수행하는 GRTA(Gas Rapid Thermal Anneal) 장치에 의하여 650℃로 1분 내지 5분 동안 가열 처리를 수행하면 좋다. 또한, GRTA에서 고온의 가스로서는 아르곤 등의 회가스, 또는 질소와 같은 가열 처리에 의하여 피처리물과 반응하지 않는 불활성 기체가 사용된다. 또한, 전기로(爐)에 의하여 500℃로 30분 내지 1시간 동안의 가열 처리를 수행하여도 좋다.

[0047] 하지 절연막(436)은 산화 실리콘, 산화 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 산화 하프늄, 산화 갈륨 등의 산화물 절연막, 또는 이들의 혼합 재료를 사용하여 형성할 수 있다.

[0048] 또한, 하지 절연막(436)과 기판(400) 사이에, 기판(400) 측에서 불순물이 침입되는 것을 방지하기 위한 배리어막으로서 질화물 절연막을 제공하여도 좋다. 질화물 절연막은 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 질화 산화 알루미늄, 또는 이들의 혼합 재료를 사용하여 형성할 수 있다.

[0049] 또한, 하지 절연막(436)의 산화물 절연막에는 가열 처리됨으로써 산소를 방출하는 절연막(산소 공급막)을 사용하면 바람직하다.

[0050] '가열 처리됨으로써 산소를 방출한다'란, TDS(Thermal Desorption Spectroscopy: 승온 탈리 가스 분광법) 분석에 있어서 산소 원자로 환산된 산소의 방출량이 1.0×10^{19} atoms/cm³ 이상, 바람직하게는 3.0×10^{19} atoms/cm³ 이상, 더 바람직하게는 1.0×10^{20} atoms/cm³ 이상, 더 바람직하게는 3.0×10^{20} atoms/cm³ 이상인 것을 말한다.

[0051] 여기서, TDS 분석에 의하여 산소 원자로 환산된 산소의 방출량을 측정하는 방법에 대하여 이하에서 설명한다.

[0052] TDS 분석에 의한 기체의 방출량은 스펙트럼의 적분값에 비례한다. 그러므로, 측정된 스펙트럼의 적분값과 표준 시료의 기준값의 비에 의하여 기체의 방출량을 계산할 수 있다. 표준 시료의 기준값은 소정의 원자 밀도를 갖는 시료에 있어서 스펙트럼의 적분값에 대한 원자 밀도의 비율을 말한다.

[0053] 예를 들어, 표준 시료인 소정의 밀도로 수소를 포함한 실리콘 웨이퍼의 TDS 분석 결과, 및 절연막의 TDS 분석 결과로부터, 절연막의 산소 분자의 방출량(N_{O2})은 수학적 (1)로 구할 수 있다. 여기서, TDS 분석으로 얻을 수 있는 질량 전하비(M/z)가 32로 검출되는 스펙트럼 모두가 산소 분자에서 유래하는 것임을 가정한다. M/z가 32인 것으로서 이 외에 CH₃OH가 있지만, 존재할 가능성이 낮으므로 여기서는 고려하지 않는다. 또한, 산소 원자의 동위체인 M/z가 17인 산소 원자, 및 M/z가 18인 산소 원자를 포함한 산소 분자에 대해서도 자연계에서 존재하는 비율이 매우 낮으므로 고려하지 않는다.

[0054] [수학적 (1)]

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha \quad (1)$$

[0055]

[0056] N_{H2}는 표준 시료로부터 탈리된 수소 분자를 밀도로 환산한 값을 나타낸다. S_{H2}는 표준 시료를 TDS에 의하여 분석한 스펙트럼의 적분값을 나타낸다. 여기서, 표준 시료의 기준값을 N_{H2}/S_{H2}로 한다. S_{O2}는 절연막을 TDS에 의하

여 분석한 스펙트럼의 적분값을 나타낸다. α 는 TDS에 의하여 분석한 스펙트럼 강도에 영향을 미치는 계수를 나타낸다. 수학적 (1)에 대한 자세한 사항에 대해서는 일본국 특개평6-275697호 공보를 참조한다. 또한, 상기 절연막의 산소 방출량은 ESCO, Ltd., 제조의 승온 탈리 분석 장치 EMD-WA1000S/W를 사용하고, 표준 시료로서 1×10^{16} atoms/cm²의 수소 원자를 포함한 실리콘 웨이퍼를 사용하여 측정한다.

- [0057] 또한, TDS 분석에서 산소의 일부는 산소 원자로서 검출된다. 산소 분자와 산소 원자의 비율은 산소 분자의 이온화율로부터 산출할 수 있다. 또한, 상술한 α 는 산소 분자의 이온화율을 포함하므로 산소 원자의 방출량을 평가함으로써 산소 원자의 방출량도 어림잡을 수 있다.
- [0058] 또한, N₂는 산소 분자의 방출량을 나타낸다. 산소 원자로 환산된 산소의 방출량은 산소 분자의 방출량의 2배가 된다.
- [0059] 또한, 과잉 산소를 포함한 절연막(화학량론적 조성을 넘는 산소를 포함한 절연막)의 수소 농도가 7.2×10^{20} atoms/cm³ 이상인 경우에는 트랜지스터의 초기 특성의 편차가 증대되거나, 트랜지스터의 전기 특성의 채널 길이 의존성이 증대되거나, 또한 BT 스트레스 시험에서 트랜지스터가 크게 열화되므로, 과잉 산소를 포함한 절연막의 수소 농도는 7.2×10^{20} atoms/cm³ 미만으로 한다. 즉, 산화물 반도체막의 수소 농도는 5×10^{19} atoms/cm³ 이하, 또 과잉 산소를 포함한 절연막의 수소 농도는 7.2×10^{20} atoms/cm³ 미만으로 하는 것이 바람직하다.
- [0060] 또한, 산화물 반도체막을 싸고 또 과잉 산소를 포함한 절연막의 외측에 배치되도록 산화물 반도체막의 산소 방출을 억제하는 블로킹막(A10_x 등)을 제공하면 바람직하다.
- [0061] 과잉 산소를 포함한 절연막 또는 블로킹막으로 산화물 반도체막을 싸므로써 산화물 반도체막에 있어서 산소의 함유량이 화학량론적 조성과 거의 일치되는 상태, 또는 화학량론적 조성보다 산소가 많은 과포화 상태로 할 수 있다. 예를 들어, 산화물 반도체막의 화학량론적 조성이 In:Ga:Zn:O=1:1:1:4[원자수비]인 경우, IGZO에 포함되는 산소의 원자수비는 4보다 많은 상태가 된다.
- [0062] 또한, 본 명세서에 있어서 산화 질화 실리콘 등의 '산화 질화물'이란, 그 조성에 있어서 질소보다 산소의 함유량이 많은 것을 말한다.
- [0063] 또한, 본 명세서에 있어서 질화 산화 실리콘 등의 '질화 산화물'이란, 그 조성에 있어서 산소보다 질소의 함유량이 많은 것을 말한다.
- [0064] 다음에, 하지 절연막(436) 위에 산화물 반도체막(403)을 형성한다(도 2a 참조).
- [0065] 산화물 반도체막(403)은 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펄스 레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 사용하여 성막된다. 또한, 산화물 반도체막(403)은 스퍼터링 타깃 표면에 대략 수직으로 복수의 기관 표면이 고정된 상태에서 성막을 수행하는 스퍼터링 장치를 사용하여 성막되어도 좋다. 산화물 반도체막(403)은 에칭 처리를 수행하여 십자형으로 형성한다. 또한, 이해하기 쉽게 하기 위하여 산화물 반도체막(403)을 제 1 영역(431), 제 2 영역(432), 제 3 영역(433)의 세 개 영역으로 나누었다. 제 1 영역(431)은 제 2 영역(432) 및 제 3 영역(433)에 끼워지도록 제공되고, 제 2 영역(432) 및 제 3 영역(433)의 채널 길이 방향의 길이는 제 1 영역(431)의 채널 길이 방향의 길이보다 짧다.
- [0066] 산화물 반도체막(403)을 성막할 때 산화물 반도체막(403)에 포함되는 수소 농도를 가능한 한 저감시키는 것이 바람직하다. 산화물 반도체막(403)에 포함되는 수소 농도를 저감시키기 위해서는, 예를 들어 스퍼터링법을 사용하여 성막하는 경우에는 스퍼터링 장치의 성막실 내로 공급하는 가스로서 수소, 물, 수산기, 또는 수소화물 등 불순물이 제거된 고순도의 희가스(대표적으로는 아르곤), 산소, 또는 희가스와 산소의 혼합 가스를 사용하는 것이 바람직하다.
- [0067] 또한, 성막실 내의 잔류 수분을 제거하면서 수소 및 물 등이 제거된 가스를 도입하여 성막함으로써 성막된 산화물 반도체막(403)에 포함되는 수소 농도를 저감시킬 수 있다. 성막실 내의 잔류 수분을 제거하기 위해서는 흡착형 진공 펌프, 예를 들어 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 터보 분자 펌프에 콜드 트랩이 제공된 것이어도 좋다. 크라이오 펌프는 예를 들어, 물(H₂O) 등 수소 원자를 포함한 화합물(더 바람직하게는 탄소 원자를 포함한 화합물도) 등의 배기 능력이 높으므로 이것을 사용하여 성막실을 배기하면 상기 성막실에서 성막된 산화물 반도체막(403)에 포함되는 불순물의 농도를 저감시킬 수 있다.

- [0068] 또한, 산화물 반도체막(403)을 스퍼터링법을 사용하여 성막하는 경우, 성막에 사용하는 금속 산화물 타깃의 상대 밀도를 90% 이상 100% 이하, 바람직하게는 95% 이상 100% 이하로 한다. 이것은 상대 밀도가 높은 금속 산화물 타깃을 사용함으로써, 성막된 산화물 반도체막(403)을 치밀한 막으로 할 수 있기 때문이다.
- [0069] 산화물 반도체막(403)의 재료로서는 예를 들어, In-M-Zn-O계 재료를 사용하면 좋다. 여기서, 금속 원소 M은 산소와의 결합 에너지가 In 및 Zn보다 높은 원소이다. 또는, In-M-Zn-O계 재료로부터 산소가 탈리되는 것을 억제하는 기능을 갖는 원소이다. 금속 원소 M의 작용에 의하여 산화물 반도체막에서의 산소 결손의 생성이 억제된다. 그러므로, 산소 결손에 기인하여 트랜지스터의 전기 특성이 변동되는 것을 저감시킬 수 있고 신뢰성이 높은 트랜지스터를 얻을 수 있다.
- [0070] 금속 원소 M은 구체적으로는 Al, Sc, Ti, V, Cr, Mn, Fe, Co, Ni, Ga, Y, Zr, Nb, Mo, Sn, La, Ce, Pr, Nd, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu, Hf, Ta, 또는 W로 하면 좋고, 바람직하게는 Al, Ti, Ga, Y, Zr, Ce, 또는 Hf로 한다. 금속 원소 M으로서는 상술한 원소 중에서 1종류 또는 2종류 이상을 선택하면 좋다. 또한, 금속 원소 M 대신에 Si나 Ge를 사용할 수도 있다.
- [0071] 여기서, In-M-Zn-O계 재료로 형성되는 산화물 반도체는 In의 농도가 높을수록 캐리어 이동도 및 캐리어 밀도가 높게 된다. 그러므로, In의 농도가 높을수록 도전율이 높은 산화물 반도체가 된다.
- [0072] 산화물 반도체막(403)은 예를 들어 비단결정을 가져도 좋다. 비단결정은 예를 들어 CAAC(C Axis Aligned Crystal), 다결정, 미결정, 비정질부를 갖는다. 비정질부는, 미결정 및 CAAC보다 결합 준위 밀도가 높다. 또한, 미결정은 CAAC보다 결합 준위 밀도가 높다. 또한, CAAC를 갖는 산화물 반도체를 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)라고 부른다.
- [0073] 산화물 반도체막은, 예를 들어 CAAC-OS를 가져도 좋다. CAAC-OS는 예를 들어 c축 배향되고, a축 또는/및 b축은 거시적으로 보면 정렬되어 있지 않다.
- [0074] 산화물 반도체막은 예를 들어 미결정을 가져도 좋다. 또한, 미결정을 갖는 산화물 반도체를 미결정 산화물 반도체라고 부른다. 미결정 산화물 반도체막은 예를 들어 막 중에 1nm 이상 10nm 미만의 사이즈의 미결정(나노결정)을 포함한다. 또는, 미결정 산화물 반도체막은 예를 들어 1nm 이상 10nm 미만의 결정부를 갖는 결정-비정질 혼상 구조의 산화물 반도체를 갖는다.
- [0075] 산화물 반도체막은 예를 들어 비정질부를 가져도 좋다. 또한, 비정질부를 갖는 산화물 반도체를 비정질 산화물 반도체라고 부른다. 비정질 산화물 반도체막은 예를 들어 원자 배열이 무질서한 막이고, 결정 성분을 갖지 않는다. 또는, 비정질 산화물 반도체막은 예를 들어 완전한 비정질이고, 결정부를 갖지 않는다.
- [0076] 또한, 산화물 반도체막이 CAAC-OS, 미결정 산화물 반도체, 비정질 산화물 반도체의 혼합막이어도 좋다. 혼합막은 예를 들어 비정질 산화물 반도체의 영역과, 미결정 산화물 반도체의 영역과, CAAC-OS의 영역을 갖는다. 또한, 혼합막은 예를 들어 비정질 산화물 반도체의 영역과, 미결정 산화물 반도체의 영역과, CAAC-OS의 영역의 적층 구조를 가져도 좋다.
- [0077] 또한, 산화물 반도체막은 예를 들어 단결정을 가져도 좋다.
- [0078] 산화물 반도체막은 복수의 결정부를 갖고, 상기 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되어 있는 것이 바람직하다. 또한, 상이한 결정부들간에서 a축 및 b축의 방향이 각각 상이하여도 좋다. 이와 같은 산화물 반도체막의 일례로서는, CAAC-OS막이 있다.
- [0079] CAAC-OS막은 완전한 비정질이 아니다. CAAC-OS막은 예를 들어 결정부 및 비정질부를 갖는 결정-비정질 혼상 구조를 갖는 산화물 반도체를 갖는다. 또한, 상기 결정부는 하나의 변이 100nm 미만인 입방체 내에 들어갈 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS막에 포함되는 비정질부와 결정부의 경계, 결정부와 결정부의 경계는 명확하지 않다. 또한, TEM에 의하여 CAAC-OS막에 명확한 입계(그레인 바운더리라고도 함)는 확인되지 않는다. 그러므로, CAAC-OS막에서는 입계에 기인하는 전자 이동도의 저하가 억제된다.
- [0080] CAAC-OS막에 포함되는 결정부는 예를 들어, c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 되도록 정렬되고 또 ab면에 수직인 방향에서 보아 금속 원자가 삼각 형상 또는 육각 형상으로 배열되고, c축에 수직인 방향에서 보아 금속 원자가 층 형상으로 배열되거나 또는 금속 원자와 산소 원자가 층 형상으로 배열되어 있다. 또한, 상이한 결정부들간에서 각각 a축 및 b축의 방향이 상이하여도 좋다. 본 명세서에서 단지 '수직'이라고 기재하는 경우, 80° 이상 100° 이하, 바람직하게는 85° 이상 95° 이하의 범위도 그

범주에 포함된다. 또한, 단지 '평행'이라고 기재하는 경우, -10° 이상 10° 이하, 바람직하게는 -5° 이상 5° 이하의 범위도 그 범주에 포함된다.

- [0081] 또한, CAAC-OS막에 있어서 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 형성 과정에서 산화물 반도체막 표면 측에서 결정을 성장시키는 경우, 피형성면 근방보다 표면 근방에서 결정부가 차지하는 비율이 높은 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가함으로써 상기 불순물 첨가 영역에서 결정부가 비정질화되는 경우도 있다.
- [0082] CAAC-OS막에 포함되는 결정부의 c축은 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 되도록 정렬되므로, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 다른 방향을 향할 수 있다. 또한, 결정부는 성막하였을 때, 또는 성막 후에 가열 처리 등의 결정화 처리를 수행하였을 때 형성된다. 따라서, 결정부의 c축은 CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 되도록 정렬된다.
- [0083] CAAC-OS막이 사용된 트랜지스터는 가시광이나 자외광의 조사로 인한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.
- [0084] 또한, CAAC-OS막은 다결정인 산화물 반도체 스퍼터링용 타겟을 사용하여 스퍼터링법으로 성막하는 것이 바람직하다. 상기 스퍼터링용 타겟에 이온이 충돌되면 스퍼터링용 타겟에 포함된 결정 영역이 ab면으로부터 벽개(劈開)하여 ab면에 평행한 면을 갖는 평판 형상 또는 펠릿(pellet) 형상의 스퍼터링 입자로서 박리될 수 있다. 이 경우, 상기 평판 형상 또는 펠릿 형상의 스퍼터링 입자가 결정 상태를 유지한 채 피성막면에 도달됨으로써 CAAC-OS막을 성막할 수 있다.
- [0085] 평판 형상의 스퍼터링 입자란, 예를 들어 ab면에 평행한 면의 원상당경이 3nm 이상 10nm 이하, 두께(ab면에 수직인 방향의 길이)가 0.7nm 이상 1nm 미만인 것을 말한다. 또한, 평판 형상의 스퍼터링 입자는 ab면에 평행한 면이 정삼각형 또는 정육각형이어도 좋다. 여기서, 면의 원상당경이란, 면의 면적과 같은 정원의 직경을 말한다.
- [0086] 또한, CAAC-OS막을 성막하기 위하여 이하의 조건을 적용하는 것이 바람직하다.
- [0087] 성막시의 기판 온도를 높게 함으로써 기판에 도달한 스퍼터링 입자의 마이그레이션(migration)이 일어난다. 구체적으로는, 기판 온도를 100°C 이상 740°C 이하, 바람직하게는 200°C 이상 500°C 이하로 하여 성막한다. 성막시의 기판 온도를 높게 함으로써 평판 형상의 스퍼터링 입자가 기판에 도달한 경우에 기판 위에서 마이그레이션이 일어나 스퍼터링 입자의 평탄한 면이 기판에 부착된다. 이 때, 스퍼터링 입자가 양으로 대전됨으로써 스퍼터링 입자끼리 반발하면서 기판에 부착되므로, 스퍼터링 입자가 치우쳐 불균일하게 겹치는 일이 없어 두께가 균일한 CAAC-OS막을 성막할 수 있다.
- [0088] 성막시의 불순물 혼입을 저감시킴으로써 불순물로 인하여 결정 상태가 흐트러지는 것을 억제할 수 있다. 예를 들어, 성막실 내에 존재하는 불순물 농도(수소, 물, 이산화탄소 및 질소 등)를 저감시키면 좋다. 또한, 가스 내의 불순물 농도를 저감시키면 좋다. 구체적으로는, 이슬점이 -80°C 이하, 바람직하게는 -100°C 이하인 가스를 사용한다.
- [0089] 또한, 가스 내의 산소의 비율을 높여 전력을 최적화시킴으로써 성막시의 플라즈마 대미지를 경감시키면 바람직하다. 가스 내의 산소의 비율은 30vol% 이상, 바람직하게는 100vol%로 한다.
- [0090] CAAC-OS막을 성막한 후에 가열 처리를 수행하여도 좋다. 가열 처리의 온도는 100°C 이상 740°C 이하, 바람직하게는 200°C 이상 500°C 이하로 한다. 또한, 가열 처리의 시간은 1분 이상 24시간 이하, 바람직하게는 6분 이상 4시간 이하로 한다. 또한, 가열 처리는 불활성 분위기 또는 산화성 분위기에서 수행하면 좋다. 바람직하게는, 불활성 분위기에서 가열 처리를 수행한 후에 산화성 분위기에서 가열 처리를 수행한다. 불활성 분위기에서 가열 처리를 수행함으로써, CAAC-OS막의 불순물 농도를 짧은 시간에 저감시킬 수 있다. 한편, 불활성 분위기에서 가열 처리를 수행하는 것으로 인하여 CAAC-OS막에 산소 결손이 생성될 수 있다. 이 경우에는 산화성 분위기에서의 가열 처리에 의하여 상기 산소 결손을 저감시킬 수 있다. 또한, 가열 처리를 수행함으로써 CAAC-OS막의 결정성을 더 높일 수 있다. 또한, 가열 처리는 1000Pa 이하, 100Pa 이하, 10Pa 이하, 또는 1Pa 이하의 감압하에서 수행하여도 좋다. 감압하에서는 더 짧은 시간에 CAAC-OS막의 불순물 농도를 저감시킬 수 있다.
- [0091] 이하에서, 스퍼터링용 타겟의 일례로서 In-Ga-Zn-O 화합물 타겟에 대하여 설명한다.

- [0092] InO_x 분말, GaO_y 분말, 및 ZnO_z 분말을 소정의 mol수비로 혼합시키고, 가압 처리를 수행한 후에 1000℃ 이상 1500℃ 이하의 온도로 가열 처리를 수행함으로써, 다결정인 In-Ga-Zn-O 화합물 타깃을 제작한다. 또한, X, Y, 및 Z는 임의의 정수이다. 여기서, InO_x 분말, GaO_y 분말, 및 ZnO_z 분말의 소정의 mol수비를, 예를 들어 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3, 또는 3:1:2로 한다. 또한, 분말의 종류, 및 그들을 혼합시키는 mol수비는, 제작하는 스퍼터링용 타깃에 따라 적절히 변경하면 좋다.
- [0093] 또한, 산화물 반도체막은 구리, 알루미늄, 염소 등의 불순물이 거의 포함되지 않은 고순도화된 것이 바람직하다. 트랜지스터의 제작 공정에 있어서, 상술한 불순물이 혼입되거나 또는 산화물 반도체막 표면에 부착될 우려가 없는 공정을 적절히 선택하는 것이 바람직하고, 상기 불순물이 산화물 반도체막 표면에 부착된 경우에는 옥살산이나 희석된 불산 등에 폭로시키거나, 또는 플라즈마 처리(N₂O 플라즈마 처리 등)를 수행하여 산화물 반도체막 표면의 불순물을 제거하는 것이 바람직하다. 구체적으로는, 산화물 반도체막의 구리 농도를 1×10^{18} atoms/cm³ 이하, 바람직하게는 1×10^{17} atoms/cm³ 이하로 한다. 또한, 산화물 반도체막의 알루미늄 농도를 1×10^{18} atoms/cm³ 이하로 한다. 또한, 산화물 반도체막의 염소 농도를 2×10^{18} atoms/cm³ 이하로 한다.
- [0094] 또한, 산화물 반도체막은 성막 직후에 있어서 화학량론적 조성보다 산소가 많은 과포화 상태인 것이 바람직하다. 예를 들어, 스퍼터링법을 사용하여 산화물 반도체막을 성막하는 경우에는 가스에서 산소가 차지하는 비율이 높은 조건으로 성막하는 것이 바람직하고, 특히 산소 분위기(산소 가스 100%)에서 성막하는 것이 바람직하다. 가스에서 산소가 차지하는 비율이 높은 조건, 특히 산소 가스 100%의 분위기에서 성막하면 예를 들어, 성막 온도를 300℃ 이상으로 하여도 막 내로부터 Zn이 방출되는 것을 억제할 수 있다.
- [0095] 산화물 반도체막은 수소 등의 불순물이 충분히 제거됨으로써, 또는 산소가 충분히 공급되어 산소 과포화의 상태가 됨으로써 고순도화된 것이 바람직하다. 구체적으로는, 산화물 반도체막의 수소 농도는 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다. 또한, 상술한 산화물 반도체막 내의 수소 농도는 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 측정된 경우의 것이다. 또한, 산소가 충분히 공급되어 산소 과포화의 상태로 하기 위하여 산화물 반도체막을 싸도록 과잉 산소를 포함한 절연막(SiO_x 등)을 산화물 반도체막에 접하도록 제공한다.
- [0096] 또한, 산화물 반도체막(403)은 복수의 산화물 반도체막이 적층된 구조를 가져도 좋다. 예를 들어, 산화물 반도체막(403)을 제 1 산화물 반도체막과 제 2 산화물 반도체막의 적층으로 하고, 제 1 산화물 반도체막과 제 2 산화물 반도체막에 다른 조성의 금속 산화물을 사용하여도 좋다. 예를 들어, 제 1 산화물 반도체막에 3원계 금속의 산화물을 사용하고, 제 2 산화물 반도체막에 2원계 금속의 산화물을 사용하여도 좋다. 또한, 예를 들어 제 1 산화물 반도체막과 제 2 산화물 반도체막 양쪽 모두에 3원계 금속의 산화물을 사용하여도 좋다.
- [0097] 또한, 제 1 산화물 반도체막과 제 2 산화물 반도체막의 구성 원소를 동일한 것으로 하고, 양자의 조성을 달리하여도 좋다. 예를 들어, 제 1 산화물 반도체막의 원자수비를 In:Ga:Zn=1:1:1로 하고, 제 2 산화물 반도체막의 원자수비를 In:Ga:Zn=3:1:2로 하여도 좋다. 또한, 제 1 산화물 반도체막의 원자수비를 In:Ga:Zn=1:3:2로 하고, 제 2 산화물 반도체막의 원자수비를 In:Ga:Zn=2:1:3으로 하여도 좋다.
- [0098] 이 때, 제 1 산화물 반도체막과 제 2 산화물 반도체막 중 게이트 전극에 가까운 측(채널 측)의 산화물 반도체막의 In과 Ga의 함유율을 In>Ga로 하면 좋다. 또한, 게이트 전극에서 먼 측(백 채널 측)의 산화물 반도체막의 In과 Ga의 함유율을 In<Ga로 하면 좋다.
- [0099] 산화물 반도체에서는 주로 중금속의 s궤도가 캐리어 전도에 기여하므로 In의 함유율을 많이 함으로써 s궤도의 오버 랩이 많아지는 경향이 있어 In>Ga의 조성을 갖는 산화물은 In<Ga의 조성을 갖는 산화물과 비교하여 높은 이동도를 구비한다. 또한, Ga는 In에 비하여 산소 결손의 형성 에너지가 크고 산소 결손이 발생되기 어려우므로, In<Ga의 조성을 갖는 산화물은 In>Ga의 조성을 갖는 산화물과 비교하여 안정된 특성을 구비한다.
- [0100] 채널 측에 In>Ga의 조성을 갖는 산화물 반도체를 적용하고, 백 채널 측에 In<Ga의 조성을 갖는 산화물 반도체를 적용함으로써 트랜지스터의 이동도 및 신뢰성을 더 향상시킬 수 있게 된다.
- [0101] 또한, 제 1 산화물 반도체막과 제 2 산화물 반도체막에 결정성이 상이한 산화물 반도체를 적용하여도 좋다. 즉, 단결정 산화물 반도체, 다결정 산화물 반도체, 비정질 산화물 반도체, 또는 CAAC-OS를 적절히 조합한 구성으로 하여도 좋다. 또한, 제 1 산화물 반도체막과 제 2 산화물 반도체막의 적어도 어느 한쪽에 비정질 산화물

반도체를 적용하면, 산화물 반도체막(403)의 내부 응력이나 외부에서의 응력이 완화되고 트랜지스터의 특성 편차가 저감되고, 또 트랜지스터의 신뢰성을 더 높일 수 있게 된다.

- [0102] 한편, 비정질 산화물 반도체는 수소 등 도너가 되는 불순물을 흡수하기 쉽고 또 산소 결손이 발생되기 쉬우므로 n형화되기 쉽다. 그러므로, 채널 측의 산화물 반도체막에는 CAAC-OS 등 결정성을 갖는 산화물 반도체를 적용하는 것이 바람직하다.
- [0103] 또한, 산화물 반도체막(403)을 3층 이상의 적층 구조로 하여 복수의 층의 결정성 산화물 반도체막에 비정질 산화물 반도체막이 끼워진 구조로 하여도 좋다. 또한, 결정성 산화물 반도체막과 비정질 산화물 반도체막이 교호로 적층된 구조로 하여도 좋다.
- [0104] 또한, 산화물 반도체막(403)을 복수의 층이 적층된 구조로 하는 경우의 상술한 구성은 각각 적절히 조합하여 사용할 수 있다.
- [0105] 또한, 산화물 반도체막(403)을 복수의 층이 적층된 구조로 하고, 각 산화물 반도체막을 형성한 후에 산소를 첨가하여도 좋다. 산소의 첨가는 산소 분위기하에서의 가열 처리나, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 산소를 포함한 분위기하에서의 플라즈마 처리 등을 사용하여 수행할 수 있다.
- [0106] 각 산화물 반도체막의 형성마다 산소를 첨가함으로써 산화물 반도체막 내의 산소 결손을 저감시키는 효과를 높일 수 있다.
- [0107] 다음에, 하지 절연막(436) 및 산화물 반도체막(403) 위에 게이트 절연막(409)을 형성한다(도 2b 참조). 또한, 게이트 절연막(409)은 적어도 나중엔 형성되는 게이트 전극(401) 아래에 있으면 좋다.
- [0108] 게이트 절연막(409)은 산소 공급막(409a)과 배리어막(409b)의 적층막으로 하는 것이 바람직하다. 산소 공급막(409a)은 하지 절연막(436)과 마찬가지로, 가열 처리됨으로써 산소를 방출하는 절연막이므로 산화물 반도체막 내의 산소 결손을 저감시킬 수 있다. 배리어막(409b)은 수분이나 수소가 산화물 반도체막(403)에 침입되어 확산되는 것을 억제할 수 있다. 또한, 산화물 반도체막(403)으로부터 산소가 빠지는 것을 억제할 수 있다. 산소 공급막(409a)의 재료로서는 산화 실리콘, 산화 갈륨, 산화 알루미늄, 산화 지르코늄, 산화 이트륨, 산화 하프늄, 산화 란탄, 산화 네오디뮴, 산화 탄탈, 질화 실리콘, 산화 질화 실리콘, 산화 질화 알루미늄, 또는 질화 산화 실리콘 등을 사용하여 형성할 수 있다. 또한, 배리어막(409b)의 재료로서는 산화 알루미늄막 등을 사용하여 형성할 수 있다. 산소 공급막(409a) 및 배리어막(409b)은 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여 형성할 수 있다.
- [0109] 본 실시형태에서는 산소 공급막(409a)으로서 산화 실리콘막을 형성하고 산소 분위기하에서 플라즈마 처리를 수행함으로써 산화 실리콘막에 산소를 첨가한다. 그 후, 산소 공급막(409a) 위에 알루미늄막을 형성하고 산소 분위기하에서 플라즈마 처리를 수행함으로써 알루미늄막에 산소를 첨가하여, 배리어막(409b)이 되는 산화 알루미늄막을 형성한다.
- [0110] 또한, 산화 실리콘막과 알루미늄막의 적층막을 차례로 형성하고 기판(400) 측에서 바이어스를 가하여 산화 실리콘막과 알루미늄막에 산소를 첨가함으로써, 산소 과잉의 산화 실리콘막 및 산화 알루미늄막을 형성할 수도 있다.
- [0111] 또한, 플라즈마 CVD법을 사용하여 산소의 첨가 처리를 거쳐 산소 과잉의 산화 실리콘막을 형성한 후에 스퍼터링법으로 산화 알루미늄막을 형성하여도 좋다.
- [0112] 다음에, 게이트 절연막(409) 위에 도전막을 형성하고 상기 도전막을 에칭하여, 게이트 전극(401)을 형성한다(도 2c 참조).
- [0113] 게이트 전극(401)은 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 크롬, 네오디뮴, 스칸듐 등의 금속 재료, 또는 이들을 주성분으로 하는 금속 재료를 사용하여 형성할 수 있다. 또한, 게이트 전극(401)으로서 인 등의 불순물 원소가 도핑된 다결정 실리콘막으로 대표되는 반도체막, 니켈 실리사이드 등의 실리사이드막을 사용하여도 좋다. 게이트 전극(401)은 단층 구조로 하여도 좋고 적층 구조로 하여도 좋다.
- [0114] 또한, 게이트 전극(401)의 재료로서는 산화 인듐 산화 주석, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 산화 인듐 산화 아연, 산화 실리콘이 첨가된 인듐 주석 산화물 등의 도전성 재료를 적용할 수도 있다. 또한, 상기 도전성 재료와 상기 금속 재료의 적층 구조로 할 수도 있다.

- [0115] 또한, 게이트 절연막(409)과 접하는 게이트 전극(401)의 한 층으로서, 질소를 포함한 금속 산화물, 구체적으로는 질소를 포함한 In-Ga-Zn-O막이나, 질소를 포함한 In-Sn-O막이나, 질소를 포함한 In-Ga-O막이나, 질소를 포함한 In-Zn-O막이나, 질소를 포함한 Sn-O막이나, 질소를 포함한 In-O막이나, 금속 질화막(InN, SnN 등)을 사용할 수 있다. 이들 막은 5eV(전자 볼트) 이상, 바람직하게는 5.5eV(전자 볼트) 이상의 일함수를 갖고 게이트 전극으로서 사용된 경우에 트랜지스터의 문턱값 전압을 플러스로 할 수 있고, 소위 노멀리-오프의 스위칭 소자를 실현할 수 있다.
- [0116] 또한, 산화물 반도체막(403)에 산소 도핑 처리를 수행하여 과잉 산소를 포함한 산화물 반도체막(403)을 형성하여도 좋다. 산소(산소 라디칼, 산소 원자, 산소 분자, 오존, 산소 이온(산소 분자 이온), 및/또는 산소 클러스터 이온)는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 사용하여 산화물 반도체막(403)에 도핑될 수 있다. 또한, 이온 주입법에는 가스 클러스터 이온 빔을 사용하여도 좋다. 산소 도핑 처리는 한 번에 전체 면에 대하여 수행하여도 좋고, 선형의 이온 빔 등을 사용하여 이동(scan: 주사)시켜 수행하여도 좋다.
- [0117] 예를 들어, 도핑되는 산소(산소 라디칼, 산소 원자, 산소 분자, 오존, 산소 이온(산소 분자 이온), 및/또는 산소 클러스터 이온)는 산소를 포함한 가스를 사용하여 플라즈마 발생 장치에 의하여 공급되어도 좋고, 또는 오존 발생 장치에 의하여 공급되어도 좋다. 보다 구체적으로는 예를 들어, 반도체 장치의 에칭 처리를 수행하기 위한 장치나, 레지스트마스크의 애싱을 수행하기 위한 장치 등을 사용하여 산소를 발생시켜 산화물 반도체막(403)을 처리할 수 있다.
- [0118] 산소 도핑 처리에는 산소를 포함한 가스를 사용할 수 있다. 산소를 포함한 가스로서는 산소, 산화 이질소(I), 이산화질소, 이산화탄소, 일산화탄소 등을 사용할 수 있다. 또한, 산소 도핑 처리에서 회가스를 사용하여도 좋다.
- [0119] 산소 도핑 처리에 있어서 예를 들어, 이온 주입법으로 산소 이온을 주입하는 경우, 도즈량을 1×10^{13} ions/cm² 이상 5×10^{16} ions/cm² 이하로 하면 좋다.
- [0120] 다음에, 제 2 영역(432) 및 제 3 영역(433)을 덮도록 레지스트마스크(425a) 및 레지스트마스크(425b)를 형성하고 상기 레지스트마스크(425a), 상기 레지스트마스크(425b), 및 게이트 전극(401)을 마스크로서 사용하여 산화물 반도체막(403)에 도펀트(421)를 첨가하여, 제 1 영역(431)에 소스 영역(403a), 드레인 영역(403b)을 형성한다. 또한, 제 1 영역(431)에서 도펀트(421)가 첨가되지 않은 영역은 채널 형성 영역(403c)으로서 기능한다(도 3a 참조).
- [0121] 제 2 영역(432) 및 제 3 영역(433)에서의 산화물 반도체막(403) 위에 레지스트마스크를 형성하여 도펀트가 첨가되지 않도록 함으로써 제 2 영역(432) 및 제 3 영역(433) 각각에 있어서 산화물 반도체막(403)의 주연이 저저항화되지 않게 되므로, 트랜지스터가 오프 상태일 때 산화물 반도체막(403)의 단부에 흐르는 누설 전류를 저감시킬 수 있다. 또한, 도펀트(421)가 첨가된 소스 영역(403a), 드레인 영역(403b)에서의 산화물 반도체막(403)에서는 결정 구조가 흐트러져 산화물 반도체막(403)이 비정질 상태가 된다. 비정질 산화물 반도체는 CAAC-OS막 등의 결정성을 갖는 채널 형성 영역(403c)으로부터 수소 등 도너가 되는 불순물을 흡수하기 쉽다. 그러므로, 양호한 트랜지스터 특성을 얻을 수 있다.
- [0122] 또한, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이(도 1a에 도시된 길이 L₁의 2배와 길이 L₂의 합계인 길이 2L₁+L₂)는 제 1 영역(431)의 채널 폭 방향의 길이(도 1a에 도시된 길이 W)보다 길다. 구체적으로는, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이를 제 1 영역(431)의 채널 폭 방향의 길이의 3배 이상, 바람직하게는 10배 이상으로 한다. 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이를 길게 하면 주연에서의 저항 성분이 증대된다. 이에 의하여 트랜지스터가 오프 상태일 때에 산화물 반도체막(403)의 단부에 기생 채널이 형성되는 것으로 인하여 누설 전류가 증대되는 것을 억제할 수 있다. 또한, 예를 들어 산화물 반도체막(403) 단부에서 산소가 빠져더라도, 산화물 반도체막(403)의 단부와 소스 전극(405a) 및 드레인 전극(405b)에 끼워진 채널 형성 영역(403c)이 떨어져 있기 때문에 트랜지스터(450)의 전기 특성이 영향을 받는 것을 저감시킬 수 있다. 따라서, 트랜지스터(450)의 전기 특성이 열화되는 것을 방지하여 전기 특성을 양호하게 할 수 있다.
- [0123] 도펀트(421)는 산화물 반도체막(403)의 도전율을 변화시키는 불순물이다. 도펀트(421)로서는, 15족 원소(대표적으로는 질소(N), 인(P), 비소(As), 및 안티몬(Sb)), 붕소(B), 알루미늄(Al), 아르곤(Ar), 헬륨(He), 네온

(Ne), 인듐(In), 불소(F), 염소(Cl), 티타늄(Ti), 및 아연(Zn) 중에서 선택되는 어느 하나 이상을 사용할 수 있다.

- [0124] 도펀트(421)는 첨가 방법에 따라서는 다른 막(예를 들어, 게이트 절연막(409))을 통과하여 산화물 반도체막(403)에 첨가될 수도 있다. 도펀트(421)의 첨가 방법으로는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등을 사용할 수 있다. 이 때, 도펀트(421)의 단일 이온, 또는 불화물 이온, 염화물 이온을 사용하면 바람직하다.
- [0125] 도펀트(421)의 첨가 공정은 가속 전압, 도즈량 등 주입 조건, 또는 도펀트(421)를 통과시키는 막의 두께를 적절히 설정하여 제어하면 좋다. 본 실시형태에서는 도펀트(421)로서 인을 사용하고 이온 주입법으로 인 이온을 주입한다. 또한, 도펀트(421)의 도즈량은 1×10^{13} ions/cm² 이상 5×10^{16} ions/cm² 이하로 하면 좋다.
- [0126] 소스 영역(403a), 드레인 영역(403b)에서의 도펀트(421)의 농도는 5×10^{18} /cm³ 이상 1×10^{22} /cm³ 이하인 것이 바람직하다.
- [0127] 도펀트(421)는 기관(400)을 가열하면서 첨가하여도 좋다.
- [0128] 또한, 산화물 반도체막(403)에 도펀트(421)를 첨가하는 처리는 여러 번 수행하여도 좋고 복수 종류의 도펀트를 사용하여도 좋다.
- [0129] 또한, 도펀트(421)의 첨가 처리 후에 가열 처리를 수행하여도 좋다. 가열 조건으로서 300℃ 이상 700℃ 이하, 바람직하게는 300℃ 이상 450℃ 이하로 1시간 동안, 산소 분위기하에서 수행하는 것이 바람직하다. 또한, 질소 분위기하, 감압하, 대기(초진조 에어)하에서 가열 처리를 수행하여도 좋다.
- [0130] 본 실시형태에서는 이온 주입법으로 산화물 반도체막(403)에 인(P) 이온을 주입한다. 또한, 인(P) 이온의 주입 조건으로서 가속 전압 30kV, 도즈량은 1.0×10^{15} ions/cm²로 한다. 또한, 산화물 반도체막(403)의 채널 길이를 60nm 미만으로 하는 것이 바람직하다.
- [0131] 따라서, 채널 형성 영역(403c)을 끼워 소스 영역(403a), 드레인 영역(403b)이 제공된 산화물 반도체막(403)이 형성된다. 또한, 본 실시형태에서는 게이트 전극(401)을 형성한 후에 도펀트(421)를 첨가하였지만, 이에 한정되지 않는다. 예를 들어, 측벽 절연막(412)을 형성한 후에 도펀트(421)를 첨가하여도 좋다.
- [0132] 다음에, 게이트 절연막(409) 및 게이트 전극(401) 위에 절연막(411)을 형성한다(도 3b 참조).
- [0133] 절연막(411)의 재료로서는 산화 실리콘, 산화 갈륨, 산화 알루미늄, 산화 지르코늄, 산화 이트륨, 산화 하프늄, 산화 란탄, 산화 네오디뮴, 산화 탄탈, 질화 실리콘, 산화 질화 실리콘, 산화 질화 알루미늄, 또는 질화 산화 실리콘 등을 사용하여 형성할 수 있다. 절연막(411)은 단층 구조이어도 좋고 적층 구조이어도 좋다.
- [0134] 다음에, 게이트 전극(401)이 노출되지 않도록 절연막(411)의 일부에 제거(연마) 처리를 수행하여 절연막(411a)을 형성한다(도 3c 참조).
- [0135] 제거 방법으로는 화학적 기계적 연마(Chemical Mechanical Polishing: CMP) 처리를 사용하는 것이 적합하다.
- [0136] 또한, 본 실시형태에서는 제거 처리에 CMP 처리를 사용하였지만, 다른 제거 방법을 사용하여도 좋다. 또는, CMP 처리 등의 연마 처리와, 에칭(드라이 에칭, 웨트 에칭) 처리나 플라즈마 처리 등을 조합하여도 좋다. 에칭 처리, 플라즈마 처리 등을 조합하여 제거 처리를 수행하는 경우, 공정의 순서는 특별히 한정되지 않고 절연막(411)의 재료, 두께, 및 표면의 요철 상태에 따라 적절히 설정하면 좋다.
- [0137] 또한, CMP 처리는 한 번만 수행하여도 좋고 여러 번 수행하여도 좋다. CMP 처리를 여러 번으로 나누어 수행하는 경우에는 연마 레이트가 높은 1차 연마를 수행한 후에 연마 레이트가 낮은 마무리 연마를 수행하는 것이 바람직하다. 이와 같이, 연마 레이트가 다른 연마를 조합함으로써 절연막(411a) 표면의 평탄성을 더 향상시킬 수 있다.
- [0138] 다음에, 절연막(411a) 위에 레지스트마스크(435)를 선택적으로 형성한다(도 4a 참조).
- [0139] 다음에, 레지스트마스크(435)를 사용하여 절연막(411a) 및 게이트 절연막(409)을 선택적으로 에칭함으로써 측벽 절연막(412), 및 산소 공급막(410a)과 배리어막(410b)의 적층막인 게이트 절연막(410)을 형성한다(도 4b 참조).
- [0140] 또한, 측벽 절연막(412)은 가열 처리됨으로써 산소를 방출하는 절연막(산소 공급막)인 것이 바람직하다. 이로써, 측벽 절연막(412)으로부터 게이트 절연막(410) 등을 통하여 산화물 반도체막(403)에 산소를 공급할 수

있다. 또한, 측벽 절연막(412)은 2층 이상의 적층 구조로 하여도 좋다. 본 실시형태에서는 CVD법으로 제 1 질화 산화 실리콘막을 30nm 형성한 후에 산소 분위기하에서 플라즈마 처리를 수행함으로써 질화 산화 실리콘막에 산소를 첨가하고, 제 2 질화 산화 실리콘막을 370nm 형성하고 제 1 질화 산화 실리콘막 및 제 2 질화 산화 실리콘막을 에칭하여 측벽 절연막(412)을 형성한다.

- [0141] 다음에, 산화물 반도체막(403) 및 측벽 절연막(412) 위에 도전막(405)을 형성하고, 도전막(405) 위에 층간 절연막(419)을 형성한다(도 4c 참조).
- [0142] 도전막(405)은 Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ag, Ta, Ru, 및 W를 1종류 이상 포함한 단체, 질화물, 산화물, 또는 합금을 단층 구조 또는 적층 구조로 사용하면 좋다. 또는, 적어도 In 및 Zn을 포함한 산화물 또는 산화 질화물을 사용하여도 좋다. 예를 들어, In-Ga-Zn-O-N계 재료 등을 사용하면 좋다.
- [0143] 층간 절연막(419)의 재료로서는 산화 실리콘, 산화 갈륨, 산화 알루미늄, 산화 지르코늄, 산화 이트륨, 산화 hafnium, 산화 란탄, 산화 네오디뮴, 산화 탄탈, 질화 실리콘, 산화 질화 실리콘, 산화 질화 알루미늄, 또는 질화 산화 실리콘 등을 사용하여 형성할 수 있다. 층간 절연막(419)은 단층 구조이어도 좋고 적층 구조이어도 좋다. 또한, 층간 절연막(419)은 게이트 절연막과 마찬가지로 산소 공급막과 배리어막이 적층된 구조이어도 좋다.
- [0144] 다음에, 측벽 절연막(412)이 노출되도록 층간 절연막(419) 및 도전막(405)의 일부에 제거(연마) 처리를 수행하여, 층간 절연막(415), 소스 전극(405a), 및 드레인 전극(405b)을 형성한다(도 5a 참조).
- [0145] 제거 방법으로서는 화학적 기계적 연마(CMP) 처리를 사용하는 것이 적합하다.
- [0146] 또한, 본 실시형태에서는 소스 전극(405a) 및 드레인 전극(405b) 상면의 높이와 측벽 절연막(412) 및 층간 절연막(415) 상면의 높이가 일치된다. 이와 같은 구성으로 함으로써, 나중에 수행되는 공정(트랜지스터를 갖는 반도체 장치나 전자 기기의 제작 공정 등)에서 형성되는 박막의 피복성을 향상시킬 수 있고 얇은 막이나 배선이 단선되는 것을 억제할 수 있다. 예를 들어, 소스 전극(405a) 및 드레인 전극(405b)과, 측벽 절연막(412) 및 층간 절연막(415)과의 사이에 높이 차가 있는 경우, 높이 차가 있는 부분을 덮는 막이나 배선이 단선되어 불량을 초래하지만, 소스 전극(405a) 및 드레인 전극(405b) 상면과 측벽 절연막(412) 및 층간 절연막(415) 상면의 높이가 일치되어 있으면 그와 같은 불량을 억제할 수 있어 신뢰성을 향상시킬 수 있다.
- [0147] 또한, 본 실시형태에서는 제거 처리에 CMP 처리를 사용하였지만, 다른 제거 방법을 사용하여도 좋다. 또는, CMP 처리 등의 연마 처리와, 에칭(드라이 에칭, 웨트 에칭) 처리나 플라즈마 처리 등을 조합하여도 좋다. 에칭 처리, 플라즈마 처리 등을 조합하여 제거 처리를 수행하는 경우, 공정의 순서는 특별히 한정되지 않고 층간 절연막(415)의 재료, 두께, 및 표면의 요철 상태에 따라 적절히 설정하면 좋다.
- [0148] 또한, CMP 처리는 한 번만 수행하여도 좋고 여러 번 수행하여도 좋다. CMP 처리를 여러 번으로 나누어 수행하는 경우에는 연마 레이트가 높은 1차 연마를 수행한 후에 연마 레이트가 낮은 마무리 연마를 수행하는 것이 바람직하다. 이와 같이, 연마 레이트가 다른 연마를 조합함으로써 층간 절연막(415) 표면의 평탄성을 더 향상시킬 수 있다.
- [0149] 상술한 바와 같이 측벽 절연막(412)이 노출되도록 제거 처리를 수행함으로써 소스 전극(405a) 및 드레인 전극(405b)을 형성할 수 있다.
- [0150] 또한, 도전막(405)을 형성한 후에, 도전막(405) 위에 레지스트마스크를 형성하고 도전막(405)을 선택적으로 에칭하여 소스 전극(405a) 및 드레인 전극(405b)을 형성할 수도 있다.
- [0151] 다음에, 층간 절연막(415), 측벽 절연막(412), 소스 전극(405a), 및 드레인 전극(405b) 위에 절연막(417)을 형성하고, 절연막(417) 및 층간 절연막(415)에 제공된 개구를 통하여 소스 전극(405a) 및 드레인 전극(405b)에 각각 전기적으로 접속되는 배선층(414a) 및 배선층(414b)을 형성한다(도 5b 참조).
- [0152] 배선층(414a) 및 배선층(414b)은 게이트 전극(401)과 같은 재료 및 방법에 의하여 형성할 수 있다. 이상과 같이 하여 트랜지스터(450)를 제작할 수 있다.
- [0153] 상술한 바와 같이, 에칭 처리가 수행되어 채널 길이 방향의 길이가 상이하게 되도록 십자형으로 형성된 산화물 반도체막을 사용하여 트랜지스터를 구성함으로써, 트랜지스터의 소스 전극과 드레인 전극이 산화물 반도체막 측면(단부면) 근방의 영역(산소(O)가 탈리되는 것 등에 기인하여 저저항화된 영역)을 통하여 전기적으로 접속될 개연성을 저감시킬 수 있다.
- [0154] 따라서, 양호한 트랜지스터 특성을 갖고 산화물 반도체가 사용된 트랜지스터를 제공할 수 있고, 산화물 반도체

가 사용된 트랜지스터를 갖는 신뢰성이 높은 반도체 장치를 제공할 수 있다.

- [0155] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0156] (실시형태 2)
- [0157] 본 실시형태에서는 도 6a 내지 도 6c를 사용하여 반도체 장치의 다른 일 형태에 대하여 설명한다. 도 6a는 반도체 장치가 갖는 트랜지스터의 상면도이고, 도 6b는 도 6a를 일점 쇄선 A-B(채널 길이 방향)에서 절단한 단면도이고, 도 6c는 도 6a를 일점 쇄선 C-D에서 절단한 단면도이다. 또한, 도면의 명료화를 위하여 도 6a에서는 도 6b 및 도 6c에 도시된 일부의 구성을 생략하여 도시하였다.
- [0158] 도 6a 내지 도 6c에 도시된 트랜지스터(460)는 하지 절연막(436)이 제공되어 절연 표면을 갖는 기판(400) 위에 채널 형성 영역(403c), 소스 영역(403a), 및 드레인 영역(403b)을 포함한 산화물 반도체막(403)과, 저저항 영역(406a)과, 저저항 영역(406b)과, 게이트 절연막(410)과, 게이트 전극(401)과, 게이트 전극(401) 측면에 제공된 측벽 절연막(412)과, 게이트 전극(401) 위에 제공된 절연막(413)과, 저저항 영역(406a) 및 저저항 영역(406b) 위에 제공된 층간 절연막(415)과, 소스 전극 및 드레인 전극으로서 기능하는 배선층(414a) 및 배선층(414b)을 갖는다.
- [0159] 산화물 반도체막(403)은 도 16a에 도시된 바와 같이, 제 1 영역(431), 상기 제 1 영역(431)의 일부를 끼우도록 제공된 제 2 영역(432) 및 제 3 영역(433)을 포함하고, 제 1 영역(431) 내지 제 3 영역(433) 각각의 적어도 일부와 중첩하여 게이트 전극(401)과 절연막(413)의 적층이 제공된다. 또한, 도면의 명료화를 위하여 도 16a에 도시된 산화물 반도체막(403)의 해치 패턴을 달리하였다.
- [0160] 제 1 영역(431)은 게이트 전극(401)과 중첩되는 채널 형성 영역(403c)과, 상기 채널 형성 영역(403c)을 끼우고 이와 접하며 채널 형성 영역(403c)보다 저항이 낮은 한 쌍의 저저항 영역(상기 저저항 영역은 소스 영역, 드레인 영역으로서 기능하므로 소스 영역(403a) 및 드레인 영역(403b)이라고도 부름)을 포함하고, 제 2 영역(432) 및 제 3 영역(433)의 채널 길이 방향의 길이는 제 1 영역(431)의 채널 길이 방향의 길이보다 짧다.
- [0161] 저저항 영역(406a) 및 저저항 영역(406b)은 산화물 반도체막(403)과, 소스 전극 및 드레인 전극으로서 기능하는 배선층(414a) 및 배선층(414b)과의 접촉 저항을 저감시킬 수 있다. 저저항 영역(406a) 및 저저항 영역(406b)은 산화물 반도체막(403)의 소스 영역(403a) 및 드레인 영역(403b)의 적어도 상면의 일부를 개질함으로써 형성된다.
- [0162] 또한, 게이트 전극(401)을 마스크로서 사용하여 산화물 반도체막(403)에 도펀트를 첨가하여, 산화물 반도체막(403)에 채널 형성 영역(403c)을 끼우고 채널 형성 영역(403c)보다 저항이 낮은 저저항 영역인, 도펀트를 포함한 소스 영역(403a), 드레인 영역(403b)을 형성한다. 또한, 이 때 제 2 영역(432) 및 제 3 영역(433)에서의 산화물 반도체막(403) 위에 레지스트마스크를 형성하여 도펀트가 첨가되지 않도록 한다. 이로써, 제 2 영역(432) 및 제 3 영역(433) 각각에 있어서 산화물 반도체막(403)의 주연이 저저항화되지 않게 되므로, 트랜지스터가 오프 상태일 때 산화물 반도체막(403)의 단부에 흐르는 누설 전류를 저감시킬 수 있다.
- [0163] 또한, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이(도 6a에 도시된 길이 L_1 의 2배와 길이 L_2 의 합계인 길이 $2L_1+L_2$)는 제 1 영역(431)의 채널 폭 방향의 길이(도 6a에 도시된 길이 W)보다 길다. 구체적으로는, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이를 제 1 영역(431)의 채널 폭 방향의 길이의 3배 이상, 바람직하게는 10배 이상으로 한다. 산화물 반도체막(403)이 제 1 영역(431)으로만 이루어진 형상인 경우에는 소스 전극 및 드레인 전극 사이의 누설 경로는 도 6a에 도시된 길이 L_2 만이지만, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이를 길게 하면 누설 경로가 길어져, 주연에서의 저항 성분이 증대된다. 이에 의하여 트랜지스터가 오프 상태일 때 산화물 반도체막(403)의 단부에 기생 채널이 형성되는 것으로 인하여 누설 전류가 증대되는 것을 억제할 수 있다. 또한, 소스 전극(405a) 및 드레인 전극(405b)에 끼워진 채널 형성 영역(403c)에서 산소가 빠지더라도, 소스 전극(405a) 및 드레인 전극(405b)에 끼워진 채널 형성 영역(403c)의 모서리 부분에서 직접적으로 산소가 빠지게 되거나, 또는 제 2 영역(432) 및 제 3 영역(433)에서의 산화물 반도체막(403)의 단부에서 간접적으로 산소가 빠지게 되므로, 산소의 탈리량은 적다. 그러므로, 트랜지스터(460)의 전기 특성이 영향을 받는 것을 저감시킬 수 있다. 따라서, 트랜지스터(460)의 전기 특성이 열화되는 것을 방지하여 전기 특성을 양호하게 할 수 있다.

- [0164] 도펀트는 산화물 반도체막(403)의 도전율을 변화시키는 불순물이다. 도펀트의 첨가 방법으로는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등을 사용할 수 있다.
- [0165] 채널 길이 방향으로 채널 형성 영역(403c)을 끼워서 소스 영역(403a) 및 드레인 영역(403b)을 포함한 산화물 반도체막(403)을 가짐으로써 상기 트랜지스터(460)는 온 특성(예를 들어, 온 전류 및 전계 효과 이동도)이 높고 고속 동작, 고속 응답이 가능하게 된다.
- [0166] 트랜지스터(460)를 갖는 반도체 장치의 제작 방법의 일례는 이하와 같다.
- [0167] 도 7a1은 트랜지스터의 제작 공정에 대하여 설명하기 위한 상면도이고, 도 7a2는 도 7a1을 일점 쇄선 A-B에서 절단한 단면도이고, 도 7a3은 도 7a1을 일점 쇄선 C-D에서 절단한 단면도이다.
- [0168] 우선, 절연 표면을 갖는 기판(400) 위에 하지 절연막(436), 산화물 반도체막(402)을 형성한다(도 7a 참조).
- [0169] 기판(400) 및 하지 절연막(436)은 실시형태 1에 기재된 그것과 같은 재료 및 방법에 의하여 형성할 수 있다. 또한, 산화물 반도체막(402)은 실시형태 1에 기재된 산화물 반도체막(403)과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0170] 다음에, 산화물 반도체막(402) 위에 게이트 절연막(409)을 형성한다(도 7b 참조). 또한, 게이트 절연막(409)은 적어도 나중에 형성되는 게이트 전극(401) 아래에 있으면 좋다.
- [0171] 게이트 절연막(409)은 산소 공급막(409a)과 배리어막(409b)의 적층막으로 하는 것이 바람직하다. 산소 공급막(409a)은 하지 절연막(436)과 마찬가지로, 가열 처리됨으로써 산소를 방출하는 절연막이므로 산화물 반도체막 내의 산소 결손을 저감시킬 수 있다. 배리어막(409b)은 수분이나 수소가 산화물 반도체막(402)에 침입되어 확산되는 것을 억제할 수 있다. 또한, 산화물 반도체막(402)으로부터 산소가 빠지는 것을 억제할 수 있다. 산소 공급막(409a)의 재료로서는 산화 실리콘, 산화 갈륨, 산화 알루미늄, 산화 지르코늄, 산화 이트륨, 산화 하프늄, 산화 란탄, 산화 네오디뮴, 산화 탄탈, 질화 실리콘, 산화 질화 실리콘, 산화 질화 알루미늄, 또는 질화 산화 실리콘 등을 사용하여 형성할 수 있다. 또한, 배리어막(409b)의 재료로서는 산화 알루미늄 등을 사용하여 형성할 수 있다.
- [0172] 본 실시형태에서는 산소 공급막(409a)으로서 산화 실리콘막을 형성하고 플라즈마 처리에 의하여 산화 실리콘막에 산소를 첨가한다. 그 후, 산소 공급막(409a) 위에 알루미늄막을 형성하고 플라즈마 처리에 의하여 알루미늄막에 산소를 첨가하여, 배리어막(409b)이 되는 산화 알루미늄막을 형성한다.
- [0173] 또한, 산화 실리콘막과 알루미늄막의 적층막을 차례로 형성하고 기판(400) 측에서 바이어스를 가하여 산화 실리콘막과 알루미늄막에 산소를 첨가함으로써, 산소 과잉의 산화 실리콘막 및 산화 알루미늄막을 형성할 수도 있다.
- [0174] 다음에, 게이트 절연막(409) 위에 도전막과 절연막의 적층을 형성하고 상기 도전막 및 상기 절연막을 에칭하여, 게이트 전극(401)과 절연막(413)의 적층을 형성한다(도 7c 참조).
- [0175] 게이트 전극(401)은 실시형태 1에 기재된 그것과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0176] 절연막(413)으로서로는 대표적으로 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막, 질화 실리콘막, 질화 알루미늄막, 질화 산화 실리콘막, 질화 산화 알루미늄막 등의 무기 절연막을 사용할 수 있다. 절연막(413)은 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여 형성할 수 있다.
- [0177] 다음에, 게이트 절연막(409) 및 절연막(413) 위에 레지스트마스크(425c)를 형성한다(도 8a 참조).
- [0178] 다음에, 레지스트마스크(425c)를 이용하여 게이트 절연막(409) 및 산화물 반도체막(402)을 선택적으로 에칭한다(도 8b 참조). 이 때, 레지스트마스크(425c)뿐만 아니라 게이트 전극(401)도 마스크로서 기능하므로 십자형으로 형성된 산화물 반도체막(403)을 얻을 수 있다. 또한, 산화물 반도체막(403)은 제 1 영역(431), 상기 제 1 영역(431)의 일부를 끼우도록 제공된 제 2 영역(432) 및 제 3 영역(433)을 갖는다.
- [0179] 다음에, 게이트 전극(401) 및 절연막(413)을 마스크로서 사용하여 산화물 반도체막(403)에 도펀트(421)를 첨가하여 제 1 영역(431)에 소스 영역(403a) 및 드레인 영역(403b)을 형성한다. 또한, 제 1 영역(431)에서 도펀트(421)가 첨가되지 않은 영역은 채널 형성 영역(403c)으로서 기능한다(도 8c 참조).
- [0180] 또한, 제 2 영역(432) 및 제 3 영역(433)에서의 산화물 반도체막(403) 위에 레지스트마스크를 형성하여 도펀트가 첨가되지 않도록 함으로써 제 2 영역(432) 및 제 3 영역(433) 각각에 있어서 산화물 반도체막(403)의 주연이

저저항화되지 않게 되므로, 트랜지스터가 오프 상태일 때 산화물 반도체막(403)의 단부에 흐르는 누설 전류를 저감시킬 수 있다. 또한, 도펀트(421)가 첨가된 소스 영역(403a), 드레인 영역(403b)에서의 산화물 반도체막은 결정 구조가 흐트러져 비정질 상태가 된다. 비정질 산화물 반도체는 CAAC-OS막 등 결정성을 갖는 채널 형성 영역(403c)으로부터 수소 등 도너가 되는 불순물을 흡수하기 쉽다. 그러므로, 양호한 트랜지스터 특성을 얻을 수 있다.

[0181] 또한, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이(도 6a에 도시된 길이 L_1 의 2배와 길이 L_2 의 합계인 길이 $2L_1+L_2$)는 제 1 영역(431)의 채널 폭 방향의 길이(도 6a에 도시된 길이 W)보다 길다. 구체적으로는, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이를 제 1 영역(431)의 채널 폭 방향의 길이의 3배 이상, 바람직하게는 10배 이상으로 한다. 산화물 반도체막(403)이 제 1 영역(431)으로만 이루어진 형상인 경우에는 소스 전극 및 드레인 전극 사이의 누설 경로는 도 6a에 도시된 길이 L_2 만이지만, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이를 길게 하면 누설 경로가 길어져, 주연에서의 저항 성분이 증대된다. 이에 의하여 트랜지스터가 오프 상태일 때에 산화물 반도체막(403)의 단부에 기생 채널이 형성되는 것으로 인하여 누설 전류가 증대되는 것을 억제할 수 있다. 또한, 소스 전극(405a) 및 드레인 전극(405b)에 끼워진 채널 형성 영역(403c)에서 산소가 빠지더라도, 소스 전극(405a) 및 드레인 전극(405b)에 끼워진 채널 형성 영역(403c)의 모서리 부분에서 직접적으로 산소가 빠지게 되거나, 또는 제 2 영역(432) 및 제 3 영역(433)에서의 산화물 반도체막(403)의 단부에서 간접적으로 산소가 빠지게 되므로, 산소의 탈리량은 적다. 그러므로, 트랜지스터(460)의 전기 특성이 영향을 받는 것을 저감시킬 수 있다. 따라서, 트랜지스터(460)의 전기 특성이 열화되는 것을 방지하여 전기 특성을 양호하게 할 수 있다.

[0182] 도펀트(421)의 종류, 첨가 방법 등에 대해서는 실시형태 1을 참조할 수 있다.

[0183] 다음에, 게이트 전극(401) 및 절연막(413) 위에 절연막을 형성하고 상기 절연막을 에칭하여 측벽 절연막(412)을 형성한다(도 9a 참조). 또한, 게이트 전극(401) 및 측벽 절연막(412)을 마스크로서 사용하여 게이트 절연막(409)을 에칭하여, 산소 공급막(410a)과 배리어막(410b)의 적층막인 게이트 절연막(410)을 형성한다(도 9b 참조).

[0184] 측벽 절연막(412)은 절연막(413)과 같은 재료 및 방법에 의하여 형성할 수 있다. 또한, 측벽 절연막(412)은 가열 처리됨으로써 산소를 방출하는 절연막(산소 공급막)인 것이 바람직하다. 이로써, 측벽 절연막(412)으로부터 게이트 절연막(410) 등을 통하여 산화물 반도체막(403)으로 산소를 공급할 수 있다. 또한, 측벽 절연막(412)은 2층 이상의 적층 구조로 하여도 좋다. 본 실시형태에서는 CVD법으로 제 1 질화 산화 실리콘막을 30nm 형성한 후에 산소 분위기하에서 플라즈마 처리를 수행함으로써 질화 산화 실리콘막으로 산소를 첨가하고, 제 2 질화 산화 실리콘막을 370nm 형성하고 제 1 질화 산화 실리콘막 및 제 2 질화 산화 실리콘막을 에칭하여 측벽 절연막(412)을 형성한다.

[0185] 다음에, 산화물 반도체막(403), 측벽 절연막(412), 및 절연막(413) 위에 도전막(407)을 형성한다(도 9c 참조).

[0186] 도전막(407)에는 알루미늄이나 티타늄 등을 사용할 수 있다.

[0187] 다음에, 도전막(407)에 도펀트(441)를 첨가함으로써 산화물 반도체막(403) 내에 도전막(407)의 금속을 확산시켜 소스 영역(403a) 및 드레인 영역(403b)에 저항이 더 낮은 저저항 영역(406a) 및 저저항 영역(406b)을 형성한다(도 10a 참조).

[0188] 도펀트(441)로서는 예를 들어, 아르곤을 사용할 수 있다. 도펀트(441)의 첨가 방법으로서서는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등을 사용할 수 있다. 또한, 도펀트(441)의 첨가 공정은 가속 전압, 도즈량 등 주입 조건, 또한 도펀트(441)를 통과시키는 막의 두께를 적절히 설정하여 제어하면 좋다.

[0189] 상술한 바와 같이 함으로써, 도전막(407)의 금속이 산화물 반도체막(403)에 확산되고 도펀트(441)가 소스 영역(403a) 및 드레인 영역(403b)에서의 산화물 반도체막(403)에 첨가되는 것에 의하여 소스 영역(403a) 및 드레인 영역(403b)에서의 산화물 반도체막(403)의 결정 구조가 흐트러져 산화물 반도체막(403)이 비정질 상태가 되고, 또 저저항 영역(406a) 및 저저항 영역(406b)을 형성할 수 있다.

[0190] 또한, 저저항 영역(406a) 및 저저항 영역(406b)은 도전막(407)을 형성한 후에 가열 처리를 수행하여, 도전막(407)과 산화물 반도체막(403)의 계면에서 반응시킴으로써 형성하여도 좋다.

[0191] 다음에, 도전막(407)을 제거하여, 저저항 영역(406a), 저저항 영역(406b), 측벽 절연막(412), 및 절연막(413)

위에 층간 절연막(415)을 형성한다(도 10b 참조).

- [0192] 층간 절연막(415)은 절연막(413)과 같은 재료 및 방법에 의하여 형성할 수 있다. 층간 절연막(415)은 트랜지스터(460)로 인하여 생기는 요철을 평탄화시킬 수 있는 두께로 형성한다. 또한, 층간 절연막(415)은 게이트 절연막과 마찬가지로 산소 공급막과 배리어막이 적층된 구조이어도 좋다.
- [0193] 다음에, 층간 절연막(415)에 제공된 개구를 통하여 저저항 영역(406a) 및 저저항 영역(406b)과 각각 전기적으로 접속되는 배선층(414a) 및 배선층(414b)을 형성한다. 배선층(414a) 및 배선층(414b)은 각각 소스 전극 및 드레인 전극으로서 기능한다.
- [0194] 배선층(414a) 및 배선층(414b)은 게이트 전극(401)과 같은 재료 및 방법에 의하여 형성할 수 있다. 이상과 같이 하여 트랜지스터(460)를 제작할 수 있다.
- [0195] 상술한 바와 같이, 에칭 처리가 수행되어 채널 길이 방향의 길이가 상이하게 되도록 십자형으로 형성된 산화물 반도체막을 사용하여 트랜지스터를 구성함으로써, 트랜지스터의 소스 전극과 드레인 전극이 산화물 반도체막 측면(단부면) 근방의 영역(산소(O)가 탈리되는 것 등에 기인하여 저저항화된 영역)을 통하여 전기적으로 접속될 개연성을 저감시킬 수 있다.
- [0196] 따라서, 양호한 트랜지스터 특성을 갖고 산화물 반도체가 사용된 트랜지스터를 제공할 수 있고, 산화물 반도체가 사용된 트랜지스터를 갖는 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0197] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0198] (실시형태 3)
- [0199] 본 실시형태에서는 도 11a 내지 도 11c를 사용하여 반도체 장치의 다른 일 형태에 대하여 설명한다. 도 11a는 반도체 장치가 갖는 트랜지스터의 상면도이고, 도 11b는 도 11a를 일점 쇄선 A-B(채널 길이 방향)에서 절단한 단면도이고, 도 11c는 도 11a를 일점 쇄선 C-D에서 절단한 단면도이다. 또한, 도면의 명료화를 위하여 도 11a에서는 도 11b 및 도 11c에 도시된 일부의 구성을 생략하여 도시하였다.
- [0200] 도 11a 내지 도 11c에 도시된 트랜지스터(470)는 하지 절연막(436)이 제공되어 절연 표면을 갖는 기판(400) 위에 채널 형성 영역(403c), 소스 영역(403a), 및 드레인 영역(403b)을 포함한 산화물 반도체막(403)과, 소스 전극(405a)과, 드레인 전극(405b)과, 게이트 절연막(410)과, 게이트 전극(401)과, 게이트 전극(401) 측면에 제공된 측벽 절연막(412)과, 게이트 전극(401) 위에 제공된 절연막(413)과, 소스 전극(405a) 및 드레인 전극(405b) 위에 제공된 층간 절연막(415)을 갖는다.
- [0201] 산화물 반도체막(403)은 도 16b에 도시된 바와 같이, 제 1 영역(431), 상기 제 1 영역(431)의 일부를 끼우도록 제공된 제 2 영역(432) 및 제 3 영역(433)을 포함하고, 제 1 영역(431) 내지 제 3 영역(433) 각각의 적어도 일부와 중첩하여 게이트 전극(401)과 절연막(413)의 적층이 제공된다. 또한, 도면의 명료화를 위하여 도 16b에 도시된 산화물 반도체막(403)의 해치 패턴을 달리하였다.
- [0202] 제 1 영역(431)은 게이트 전극(401)과 중첩되는 채널 형성 영역(403c)과, 상기 채널 형성 영역(403c)을 끼우고 이와 접하며 채널 형성 영역(403c)보다 저항이 낮은 한 쌍의 저저항 영역(상기 저저항 영역은 소스 영역, 드레인 영역으로서 기능하므로 소스 영역(403a) 및 드레인 영역(403b)이라고도 부름)을 포함하고, 제 1 영역(431)에 있어서 산화물 반도체막(403)의 채널 길이 방향의 한쪽 측면과 소스 전극(405a)이 접하고, 산화물 반도체막(403)의 채널 길이 방향의 다른 쪽 측면과 드레인 전극(405b)이 접한다. 또한, 산화물 반도체막(403)의 채널 폭 방향의 길이는 소스 전극(405a) 및 드레인 전극(405b)의 채널 폭 방향의 길이보다 길다.
- [0203] 또한, 게이트 전극(401)을 마스크로서 사용하여 산화물 반도체막(403)에 도펀트를 첨가하여, 산화물 반도체막(403)에 채널 형성 영역(403c)을 끼우고 채널 형성 영역(403c)보다 저항이 낮으며 도펀트를 포함한 소스 영역(403a), 드레인 영역(403b)을 형성한다. 또한, 이 때 제 2 영역(432) 및 제 3 영역(433)에서의 산화물 반도체막(403) 위에 레지스트마스크를 형성하여 도펀트가 첨가되지 않도록 한다. 이로써, 제 2 영역(432) 및 제 3 영역(433) 각각에 있어서 산화물 반도체막(403)의 주연이 저저항화되지 않게 되므로, 트랜지스터가 오프 상태일 때 산화물 반도체막(403)의 단부에 흐르는 누설 전류를 저감시킬 수 있다. 또한, 도펀트(421)가 첨가된 소스 영역(403a), 드레인 영역(403b)에서의 산화물 반도체막(403)에서는 결정 구조가 흐트러져 산화물 반도체막(403)이 비정질 상태가 된다. 비정질 산화물 반도체는 CAAC-OS막 등 결정성을 갖는 채널 형성 영역(403c)으로부터

수소 등 도너가 되는 불순물을 흡수하기 쉽다. 그러므로, 양호한 트랜지스터 특성을 얻을 수 있다.

- [0204] 또한, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이(도 11a에 도시된 길이 L_1 의 2배와 길이 L_2 의 합계인 길이 $2L_1+L_2$)는 제 1 영역(431)의 채널 폭 방향의 길이(도 11a에 도시된 길이 W)보다 길다. 구체적으로는, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이를 제 1 영역(431)의 채널 폭 방향의 길이의 3배 이상, 바람직하게는 10배 이상으로 한다. 산화물 반도체막(403)이 제 1 영역(431)으로만 이루어진 형상인 경우에는 소스 전극 및 드레인 전극 사이의 누설 경로는 도 11a에 도시된 길이 L_2 만이지만, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이를 길게 하면 주연에서의 저항 성분이 증대된다. 이에 의하여 트랜지스터가 오프 상태일 때에 산화물 반도체막(403)의 단부에 기생 채널이 형성되는 것으로 인하여 누설 전류가 증대되는 것을 억제할 수 있다. 또한, 소스 전극(405a) 및 드레인 전극(405b)에 끼워진 채널 형성 영역(403c)에서 산소가 빠지더라도, 소스 전극(405a) 및 드레인 전극(405b)에 끼워진 채널 형성 영역(403c)의 모서리 부분에서 직접적으로 산소가 빠지게 되거나, 또는 제 2 영역(432) 및 제 3 영역(433)에서의 산화물 반도체막(403)의 단부에서 간접적으로 산소가 빠지게 되므로, 산소의 탈리량은 적다. 그러므로, 트랜지스터(470)의 전기 특성이 영향을 받는 것을 저감시킬 수 있다. 따라서, 트랜지스터(470)의 전기 특성이 열화되는 것을 방지하여 전기 특성을 양호하게 할 수 있다.
- [0205] 도펀트는 산화물 반도체막(403)의 도전율을 변화시키는 불순물이다. 도펀트의 첨가 방법으로는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등을 사용할 수 있다.
- [0206] 채널 길이 방향으로 채널 형성 영역(403c)을 끼워서 소스 영역(403a) 및 드레인 영역(403b)을 포함한 산화물 반도체막(403)을 가짐으로써 상기 트랜지스터(470)는 온 특성(예를 들어, 온 전류 및 전계 효과 이동도)이 높고 고속 동작, 고속 응답이 가능하게 된다.
- [0207] 트랜지스터(470)를 갖는 반도체 장치의 제작 방법의 일례는 이하와 같다.
- [0208] 도 12a1은 트랜지스터의 제작 공정에 대하여 설명하기 위한 상면도이고, 도 12a2는 도 12a1을 일점 쇄선 A-B에서 절단한 단면도이고, 도 12a3은 도 12a1을 일점 쇄선 C-D에서 절단한 단면도이다.
- [0209] 우선, 절연 표면을 갖는 기판(400) 위에 하지 절연막(436)을 형성한다.
- [0210] 기판(400) 및 하지 절연막(436)은 실시형태 1에 기재된 그것과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0211] 다음에, 하지 절연막(436) 위에 산화물 반도체막(403)을 형성한다(도 12a 참조). 또한, 이해하기 쉽게 하기 위하여 산화물 반도체막(403)을 제 1 영역(431), 제 2 영역(432), 제 3 영역(433)의 세 개 영역으로 나누었다. 제 1 영역(431)은 제 2 영역(432) 및 제 3 영역(433)에 끼워지도록 제공되고, 나중에 형성되는 소스 전극(405a) 및 드레인 전극(405b)과 접한다.
- [0212] 산화물 반도체막(403)은 실시형태 1에 기재된 그것과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0213] 다음에, 하지 절연막(436) 및 산화물 반도체막(403) 위에 도전막(405)을 형성한다(도 12b 참조).
- [0214] 도전막(405)은 실시형태 1에 기재된 도전막(407)과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0215] 다음에, 산화물 반도체막(403)이 노출될 때까지 도전막(405)에 제거(연마) 처리를 수행하여 소스 전극(405a) 및 드레인 전극(405b)을 형성한다(도 12c 참조).
- [0216] 제거(연마) 처리의 방법은 실시형태 1에서 사용된 방법을 채용할 수 있다.
- [0217] 다음에, 산화물 반도체막(403), 소스 전극(405a), 및 드레인 전극(405b) 위에 게이트 절연막(409)을 형성한다(도 13a 참조). 또한, 게이트 절연막(409)은 적어도 나중에 형성되는 게이트 전극(401) 아래에 있으면 좋다.
- [0218] 게이트 절연막(409)은 산소 공급막(409a)과 배리어막(409b)의 적층막으로 하는 것이 바람직하다. 산소 공급막(409a)은 하지 절연막(436)과 마찬가지로, 가열 처리됨으로써 산소를 방출하는 절연막이므로 산화물 반도체막 내의 산소 결손을 저감시킬 수 있다. 배리어막(409b)은 수분이나 수소가 산화물 반도체막(403)에 침입되어 확산되는 것을 억제할 수 있다. 또한, 산화물 반도체막(403)으로부터 산소가 빠지는 것을 억제할 수 있다. 산소 공급막(409a) 및 배리어막(409b)은 실시형태 1에 기재된 그것과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0219] 다음에, 게이트 절연막(409) 위에 도전막과 절연막의 적층을 형성하고 상기 도전막 및 상기 절연막을 에칭하여, 게이트 전극(401) 및 절연막(413)을 형성한다(도 13b 참조).

- [0220] 게이트 전극(401) 및 절연막(413)은 상술한 실시형태에 기재된 그것과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0221] 다음에, 제 2 영역(432) 및 제 3 영역(433)을 덮도록 레지스트마스크(425a) 및 레지스트마스크(425b)를 형성하고 상기 레지스트마스크(425a), 상기 레지스트마스크(425b), 게이트 전극(401), 및 절연막(413)을 마스크로서 사용하여 산화물 반도체막(403)에 도펀트(421)를 첨가하여, 제 1 영역(431)에 소스 영역(403a), 드레인 영역(403b)을 형성한다. 또한, 제 1 영역(431)에서 도펀트(421)가 첨가되지 않은 영역은 채널 형성 영역(403c)으로서 기능한다(도 13c 참조).
- [0222] 또한, 제 2 영역(432) 및 제 3 영역(433)에서의 산화물 반도체막(403) 위에 레지스트마스크를 형성하여 도펀트가 첨가되지 않도록 함으로써 제 2 영역(432) 및 제 3 영역(433) 각각에 있어서 산화물 반도체막(403)의 주연이 저저항화되지 않게 되므로, 트랜지스터가 오프 상태일 때 산화물 반도체막(403)의 단부에 흐르는 누설 전류를 저감시킬 수 있다.
- [0223] 또한, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이(도 11a에 도시된 길이 L_1 의 2배와 길이 L_2 의 합계인 길이 $2L_1+L_2$)는 제 1 영역(431)의 채널 폭 방향의 길이(도 11a에 도시된 길이 W)보다 길다. 구체적으로는, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이를 제 1 영역(431)의 채널 폭 방향의 길이의 3배 이상, 바람직하게는 10배 이상으로 한다. 산화물 반도체막(403)이 제 1 영역(431)으로만 이루어진 형상인 경우에는 소스 전극 및 드레인 전극 사이의 누설 경로는 도 11a에 도시된 길이 L_2 만이지만, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이를 길게 하면 누설 경로가 길어져, 주연에서의 저항 성분이 증대된다. 이에 의하여 트랜지스터가 오프 상태일 때 산화물 반도체막(403)의 단부에 기생 채널이 형성되는 것으로 인하여 누설 전류가 증대되는 것을 억제할 수 있다. 또한, 소스 전극(405a) 및 드레인 전극(405b)에 끼워진 채널 형성 영역(403c)에서 산소가 빠지더라도, 소스 전극(405a) 및 드레인 전극(405b)에 끼워진 채널 형성 영역(403c)의 모서리 부분에서 직접적으로 산소가 빠지게 되거나, 또는 제 2 영역(432) 및 제 3 영역(433)에서의 산화물 반도체막(403)의 단부에서 간접적으로 산소가 빠지게 되므로, 산소의 탈리량은 적다. 그러므로, 트랜지스터(470)의 전기 특성이 영향을 받는 것을 저감시킬 수 있다. 따라서, 트랜지스터(470)의 전기 특성이 열화되는 것을 방지하여 전기 특성을 양호하게 할 수 있다.
- [0224] 도펀트(421)의 종류, 첨가 방법 등에 대해서는 실시형태 1을 참조할 수 있다.
- [0225] 다음에, 게이트 전극(401) 및 절연막(413) 위에 절연막을 형성하고 상기 절연막을 에칭하여 측벽 절연막(412)을 형성한다(도 14a 참조). 또한, 게이트 전극(401) 및 측벽 절연막(412)을 마스크로서 사용하여 게이트 절연막(409)을 에칭하여, 산소 공급막(410a)과 배리어막(410b)의 적층막인 게이트 절연막(410)을 형성한다(도 14b 참조).
- [0226] 측벽 절연막(412)은 실시형태 2에 기재된 그것과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0227] 다음에, 소스 전극(405a), 드레인 전극(405b), 측벽 절연막(412), 및 절연막(413) 위에 층간 절연막(415)을 형성하고 층간 절연막(415)에 제공된 개구를 통하여 소스 전극(405a) 및 드레인 전극(405b)과 각각 전기적으로 접속되는 배선층(414a) 및 배선층(414b)을 형성한다(도 14c 참조).
- [0228] 층간 절연막(415), 배선층(414a), 및 배선층(414b)은 실시형태 1에 기재된 그것과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0229] 이상과 같이 하여 트랜지스터(470)를 제작할 수 있다.
- [0230] 또한, 도 12c까지의 구성을 이하와 같은 방법으로 제작할 수도 있다.
- [0231] 우선, 절연 표면을 갖는 기판(400) 위에 하지 절연막(436)을 형성한다.
- [0232] 기판(400) 및 하지 절연막(436)은 실시형태 1에 기재된 그것과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0233] 다음에, 하지 절연막(436) 위에 소스 전극(405a) 및 드레인 전극(405b)을 형성한다(도 15a 참조).
- [0234] 다음에, 하지 절연막(436), 소스 전극(405a), 및 드레인 전극(405b) 위에 산화물 반도체막(402)을 형성한다(도 15b 참조).
- [0235] 산화물 반도체막(402)은 본 실시형태에 기재된 산화물 반도체막(403)과 같은 재료 및 방법에 의하여 형성할 수

있다.

- [0236] 다음에, 소스 전극(405a) 및 드레인 전극(405b)이 노출될 때까지 산화물 반도체막(402)에 제거(연마) 처리를 수행하여, 산화물 반도체막(403)을 형성한다(도 15c 참조).
- [0237] 제거(연마) 처리의 방법은 실시형태 1에서 사용된 방법을 채용할 수 있다.
- [0238] 이상과 같이 함으로써도 도 12c까지의 구성을 제작할 수 있다.
- [0239] 상술한 바와 같이, 에칭 처리가 수행되어 소스 전극 및 드레인 전극보다 채널 폭 방향의 길이가 긴 산화물 반도체막을 사용하여 트랜지스터를 구성함으로써, 트랜지스터의 소스 전극과 드레인 전극이 산화물 반도체막 측면(단부면) 근방의 영역(산소(O)가 탈리되는 것 등에 기인하여 저저항화된 영역)을 통하여 전기적으로 접속될 개연성을 저감시킬 수 있다.
- [0240] 따라서, 양호한 트랜지스터 특성을 갖고 산화물 반도체가 사용된 트랜지스터를 제공할 수 있고, 산화물 반도체가 사용된 트랜지스터를 갖는 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0241] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0242] (실시형태 4)
- [0243] 본 실시형태에서는 도 33a 내지 도 33c를 사용하여 반도체 장치의 다른 일 형태에 대하여 설명한다. 도 33a는 반도체 장치가 갖는 트랜지스터의 상면도이고, 도 33b는 도 33a를 일점 쇄선 A-B(채널 길이 방향)에서 절단한 단면도이고, 도 33c는 도 33a를 일점 쇄선 C-D에서 절단한 단면도이다. 또한, 도면의 명료화를 위하여 도 33a에서는 도 33b 및 도 33c에 도시된 일부의 구성을 생략하여 도시하였다.
- [0244] 도 33a 내지 도 33c에 도시된 트랜지스터(480)는 하지 절연막(436)이 제공되어 절연 표면을 갖는 기판(400) 위에 채널 형성 영역(403c), 소스 영역(403a), 드레인 영역(403b)을 포함한 산화물 반도체막(403)과, 산화물 반도체막(403) 위에 제공된 게이트 절연막(410)과, 게이트 절연막(410) 위에 산화물 반도체막(403)과 중첩하여 제공된 게이트 전극(401)과, 게이트 전극(401) 및 게이트 절연막(410) 위에 제공된 층간 절연막(415)과, 게이트 절연막(410) 및 층간 절연막(415)의 개구를 통하여 산화물 반도체막(403)과 접하며 소스 전극 및 드레인 전극으로서 기능하는 배선층(414a) 및 배선층(414b)을 갖는다.
- [0245] 산화물 반도체막(403)은 도 16a에 도시된 바와 같이, 제 1 영역(431), 상기 제 1 영역(431)의 일부를 끼우도록 제공된 제 2 영역(432) 및 제 3 영역(433)을 포함하고, 제 1 영역(431) 내지 제 3 영역(433) 각각의 적어도 일부와 중첩하여 게이트 전극(401)이 제공된다. 또한, 도면의 명료화를 위하여 도 16a에 도시된 산화물 반도체막(403)의 해치 패턴을 달리하였다.
- [0246] 제 1 영역(431)은 게이트 전극(401)과 중첩되는 채널 형성 영역(403c)과, 상기 채널 형성 영역(403c)을 끼우고 이와 접하며 채널 형성 영역(403c)보다 저항이 낮은 한 쌍의 저저항 영역(상기 저저항 영역은 소스 영역, 드레인 영역으로서 기능하므로 소스 영역(403a) 및 드레인 영역(403b)이라고도 부름)을 포함하고, 제 2 영역(432) 및 제 3 영역(433)의 채널 길이 방향의 길이는 제 1 영역(431)의 채널 길이 방향의 길이보다 짧다.
- [0247] 또한, 게이트 전극(401)을 마스크로서 사용하여 산화물 반도체막(403)에 도펀트를 첨가하여, 산화물 반도체막(403)에 채널 형성 영역(403c)을 끼우고 채널 형성 영역(403c)보다 저항이 낮은 저저항 영역인, 도펀트를 포함한 소스 영역(403a), 드레인 영역(403b)을 형성한다. 또한, 이 때 제 2 영역(432) 및 제 3 영역(433)에서의 산화물 반도체막(403) 위에 레지스트마스크를 형성하여 도펀트가 첨가되지 않도록 한다. 이로써, 제 2 영역(432) 및 제 3 영역(433) 각각에 있어서 산화물 반도체막(403)의 주연이 저저항화되지 않게 되므로, 트랜지스터가 오프 상태일 때 산화물 반도체막(403)의 단부에 흐르는 누설 전류를 저감시킬 수 있다.
- [0248] 또한, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이(도 33a에 도시된 길이 L_1 의 2배와 길이 L_2 의 합계인 길이 $2L_1+L_2$)는 제 1 영역(431)의 채널 폭 방향의 길이(도 33a에 도시된 길이 W)보다 길다. 구체적으로는, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이를 제 1 영역(431)의 채널 폭 방향의 길이의 3배 이상, 바람직하게는 10배 이상으로 한다. 산화물 반도체막(403)이 제 1 영역(431)으로만 이루어진 형상인 경우에는 소스 전극 및 드레인 전극 사이의 누설 경로는 도 33a에 도시된 길이 L_2 만이지만, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이를 길게 하면 누설 경로가 길어져, 주연에서의 저항 성분이 증대된다. 이에 의하여 트랜지스터가 오프 상태일 때에

산화물 반도체막(403)의 단부에 기생 채널이 형성되는 것으로 인하여 누설 전류가 증대되는 것을 억제할 수 있다. 또한, 채널 형성 영역(403c)에서 산소가 빠지더라도, 채널 형성 영역(403c)의 모서리 부분에서 직접적으로 산소가 빠지게 되거나, 또는 제 2 영역(432) 및 제 3 영역(433)에서의 산화물 반도체막(403)의 단부에서 간접적으로 산소가 빠지게 되므로, 산소의 탈리량은 적다. 그러므로, 트랜지스터(480)의 전기 특성이 영향을 받는 것을 저감시킬 수 있다. 따라서, 트랜지스터(480)의 전기 특성이 열화되는 것을 방지하여 전기 특성을 양호하게 할 수 있다.

- [0249] 도펀트는 산화물 반도체막(403)의 도전율을 변화시키는 불순물이다. 도펀트의 첨가 방법으로는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등을 사용할 수 있다.
- [0250] 채널 길이 방향으로 채널 형성 영역(403c)을 끼워서 소스 영역(403a) 및 드레인 영역(403b)을 포함한 산화물 반도체막(403)을 가짐으로써 상기 트랜지스터(480)는 온 특성(예를 들어, 온 전류 및 전계 효과 이동도)이 높고 고속 동작, 고속 응답이 가능하게 된다.
- [0251] 트랜지스터(480)를 갖는 반도체 장치의 제작 방법의 일례는 이하와 같다.
- [0252] 도 34a1은 트랜지스터의 제작 공정에 대하여 설명하기 위한 상면도이고, 도 34a2는 도 34a1을 일점 쇄선 A-B에서 절단한 단면도이고, 도 34a3은 도 34a1을 일점 쇄선 C-D에서 절단한 단면도이다.
- [0253] 우선, 절연 표면을 갖는 기판(400) 위에 제 1 하지 절연막(436a)을 성막하고 제 1 하지 절연막(436a) 위에 제 2 하지 절연막(436b)을 성막하여, 제 1 하지 절연막(436a)과 제 2 하지 절연막(436b)으로 이루어진 하지 절연막(436)을 형성한다. 하지 절연막(436) 위에 산화물 반도체막(402)을 성막한다(도 34a 참조).
- [0254] 제 1 하지 절연막(436a)은 제 1 하지 절연막(436a)보다 아래에 있는 층으로부터 불순물이 혼입되는 것을 방지하는 배리어막으로서 기능하는 절연막으로 하는 것이 바람직하다. 특히, 기판(400)으로서 단결정 실리콘 기판, SOI 기판, 또는 트랜지스터 등 반도체 소자가 제공된 기판 등을 사용하는 경우, 기판에 포함된 수소 등이 확산되어 나중에 형성되는 산화물 반도체막에 혼입되는 것을 방지할 수 있다. 이와 같은 제 1 하지 절연막(436a)으로는 예를 들어, 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여 성막된 질화 실리콘막, 질화 산화 실리콘막, 또는 산화 알루미늄막 등을 사용할 수 있다. 또한, 본 명세서에 있어서 '질화 산화 실리콘'이란, 그 구성에 있어서 산소보다 질소의 함유량이 많은 것을 말한다.
- [0255] 본 실시형태에서는 제 1 하지 절연막(436a)으로서 플라즈마 CVD법을 사용하여 성막된 질화 실리콘막을 사용한다.
- [0256] 제 2 하지 절연막(436b)이 과잉 산소를 포함한 절연막(화학량론적 조성을 넘는 산소를 포함한 절연막)이면, 제 2 하지 절연막(436b)에 포함된 과잉 산소에 의하여, 나중에 형성되는 산화물 반도체막의 산소 결손을 보전할 수 있어 바람직하다. 제 2 하지 절연막(436b)에 과잉 산소를 포함시키기 위해서는 예를 들어, 산소 분위기하에서 제 2 하지 절연막(436b)을 성막하면 좋다. 또는, 성막 후의 제 2 하지 절연막(436b)에 산소(적어도 산소 라디칼, 산소 원자, 산소 이온 중 어느 것을 포함함)를 주입하여 산소 과잉 영역을 형성하여도 좋다. 산소의 주입 방법으로는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 사용할 수 있다.
- [0257] 이와 같은 제 2 하지 절연막(436b)으로서는 예를 들어, 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여 성막된 산화 질화 실리콘막 또는 산화 실리콘막 등을 사용할 수 있다. 이들 절연막에 예를 들어, 반도체 장치의 에칭 처리를 수행하기 위한 장치나, 레지스트마스크의 에칭을 수행하기 위한 장치 등을 사용하여 산소를 공급할 수 있다. 또한, 본 명세서 등에 있어서 '산화 질화 실리콘'이란, 그 구성에 있어서 질소보다 산소의 함유량이 많은 것을 말한다.
- [0258] 본 실시형태에서는 제 2 하지 절연막(436b)으로서 플라즈마 CVD법을 사용하여 성막되고 산소를 포함한 분위기에 서의 플라즈마 처리에 의하여 과잉 산소가 포함된 산화 질화 실리콘막을 사용한다.
- [0259] 또한, 산화물 반도체막(402)은 실시형태 1에 기재된 산화물 반도체막(403)과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0260] 다음에, 산화물 반도체막(402)을 포토리소그래피 공정에 의하여 섬 형상의 산화물 반도체막(403)으로 가공하여 형성한다(도 34b 참조). 여기서, 섬 형상의 산화물 반도체막(403)의 형상은 상술한 바와 같이 제 1 영역(431)이 제 2 영역(432)과 제 3 영역(433)에 끼워지며 제 2 영역(432) 및 제 3 영역(433)의 채널 길이 방향의 길이가 제 1 영역(431)의 채널 길이 방향의 길이보다 짧게 되는 형상으로 한다.

- [0261] 또한, 산화물 반도체막(402)의 가공 방법에 대해서는 실시형태 1의 기재를 참조할 수 있다.
- [0262] 다음에, 산화물 반도체막(403)을 덮도록 산소 공급막(410a)을 성막하고 산소 공급막(410a) 위에 배리어막(410b)을 성막하여, 산소 공급막(410a)과 배리어막(410b)으로 이루어진 게이트 절연막(410)을 형성한다(도 35a 참조).
- [0263] 산소 공급막(410a) 및 배리어막(410b)은 실시형태 1에 기재된 그것과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0264] 다음에, 배리어막(410b) 위에 제 1 영역(431) 내지 제 3 영역(433)과 중첩되도록 게이트 전극(401)을 형성한다.
- [0265] 여기서, 게이트 전극(401)을 형성하기 위하여 도전막(도시되어 있지 않음)을 가공하는 데 사용하는 마스크로서, 포토리소그래피법 등에 의하여 형성된 마스크에 슬리밍 처리(slimming process)를 수행하여 더 미세한 패턴을 갖게 한 것을 채용할 수도 있다.
- [0266] 슬리밍 처리로서는 예를 들어, 라디칼 상태의 산소(산소 라디칼) 등을 사용하는 애싱 처리를 적용할 수 있다. 다만, 슬리밍 처리는 포토리소그래피법 등에 의하여 형성된 마스크를 더 미세한 패턴으로 가공할 수 있는 처리이면 좋고 애싱 처리에 한정되지 않는다. 또한, 슬리밍 처리에 의하여 형성되는 마스크에 따라 트랜지스터의 채널 길이 결정되기 때문에 상기 슬리밍 처리로서는 제어성이 양호한 처리를 적용할 수 있다.
- [0267] 슬리밍 처리를 수행한 결과, 포토리소그래피법 등에 의하여 형성된 마스크를 노광 장치의 해상 한계 이하, 바람직하게는 1/2 이하, 더 바람직하게는 1/3 이하의 선폭까지 미세화할 수 있다. 이로써, 트랜지스터를 더 미세화할 수 있다.
- [0268] 다음에, 게이트 전극(401)을 마스크로서 사용하여 산화물 반도체막(403)에 도펀트(421)를 첨가하여 제 1 영역(431)에 소스 영역(403a) 및 드레인 영역(403b)을 형성한다. 또한, 제 1 영역(431)에서 도펀트(421)가 첨가되지 않은 영역은 채널 형성 영역(403c)으로서 기능한다(도 35b 참조).
- [0269] 또한, 제 2 영역(432) 및 제 3 영역(433)에서의 산화물 반도체막(403) 위에 레지스트마스크를 형성하여 도펀트가 첨가되지 않도록 함으로써 제 2 영역(432) 및 제 3 영역(433) 각각에 있어서 산화물 반도체막(403)의 주연이 저저항화되지 않게 되므로, 트랜지스터가 오프 상태일 때 산화물 반도체막(403)의 단부에 흐르는 누설 전류를 저감시킬 수 있다. 또한, 도펀트(421)가 첨가된 소스 영역(403a), 드레인 영역(403b)에서의 산화물 반도체막(403)에서는 결정 구조가 흐트러져 산화물 반도체막(403)이 비정질 상태가 된다. 비정질 산화물 반도체는 CAAC-OS막 등 결정성을 갖는 채널 형성 영역(403c)으로부터 수소 등 도너가 되는 불순물을 흡수하기 쉽다. 그러므로, 양호한 트랜지스터 특성을 얻을 수 있다.
- [0270] 또한, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이(도 33a에 도시된 길이 L_1 의 2배와 길이 L_2 의 합계인 길이 $2L_1+L_2$)는 제 1 영역(431)의 채널 폭 방향의 길이(도 33a에 도시된 길이 W)보다 길다. 구체적으로는, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이를 제 1 영역(431)의 채널 폭 방향의 길이의 3배 이상, 바람직하게는 10배 이상으로 한다. 산화물 반도체막(403)이 제 1 영역(431)으로만 이루어진 형상인 경우에는 소스 전극 및 드레인 전극 사이의 누설 경로는 도 33a에 도시된 길이 L_2 만이지만, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이를 길게 하면 누설 경로가 길어져, 주연에서의 저항 성분이 증대된다. 이에 의하여 트랜지스터가 오프 상태일 때에 산화물 반도체막(403)의 단부에 기생 채널이 형성되는 것으로 인하여 누설 전류가 증대되는 것을 억제할 수 있다. 또한, 소스 전극(405a) 및 드레인 전극(405b)에 끼워진 채널 형성 영역(403c)에서 산소가 빠지더라도, 채널 형성 영역(403c)의 모서리 부분에서 직접적으로 산소가 빠지게 되거나, 또는 제 2 영역(432) 및 제 3 영역(433)에서의 산화물 반도체막(403)의 단부에서 간접적으로 산소가 빠지게 되므로, 산소의 탈리량은 적다. 그러므로, 트랜지스터(480)의 전기 특성이 영향을 받는 것을 저감시킬 수 있다. 따라서, 트랜지스터(480)의 전기 특성이 열화되는 것을 방지하여 전기 특성을 양호하게 할 수 있다.
- [0271] 게이트 전극(401)의 재료, 도펀트(421)의 종류나 첨가 방법 등에 대해서는 실시형태 1을 참조할 수 있다.
- [0272] 다음에, 배리어막(410b) 및 게이트 전극(401) 위에 층간 절연막(415)을 형성한다(도 36a 참조).
- [0273] 층간 절연막(415)에 대해서는 실시형태 1을 참조할 수 있다. 층간 절연막(415)은 트랜지스터(480)로 인하여 생기는 요철을 평탄화시킬 수 있는 두께로 형성한다. 또한, 층간 절연막(415)은 게이트 절연막과 마찬가지로 산소 공급막과 배리어막이 적층된 구조이어도 좋다.

- [0274] 다음에, 층간 절연막(415) 및 게이트 절연막(410)에 제공된 개구를 통하여 소스 영역(403a)과 접하도록 배선층(414a)을, 드레인 영역(403b)과 접하도록 배선층(414b)을 형성한다(도 36b 참조).
- [0275] 배선층(414a) 및 배선층(414b)은 게이트 전극(401)과 같은 재료 및 방법에 의하여 형성할 수 있다. 이상과 같이 하여 트랜지스터(480)를 제작할 수 있다.
- [0276] 상술한 바와 같이, 에칭 처리가 수행되어 채널 길이 방향의 길이가 상이하게 되도록 십자형으로 형성된 산화물 반도체막을 사용하여 트랜지스터를 구성함으로써, 트랜지스터의 소스 전극과 드레인 전극이 산화물 반도체막 측면(단부면) 근방의 영역(산소(0)가 탈리되는 것 등에 기인하여 저저항화된 영역)을 통하여 전기적으로 접속될 개연성을 저감시킬 수 있다.
- [0277] 따라서, 양호한 트랜지스터 특성을 갖고 산화물 반도체가 사용된 트랜지스터를 제공할 수 있고, 산화물 반도체가 사용된 트랜지스터를 갖는 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0278] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0279] (실시형태 5)
- [0280] 본 실시형태에서는 도 37a 내지 도 37c를 사용하여 반도체 장치의 다른 일 형태에 대하여 설명한다. 도 37a는 반도체 장치가 갖는 트랜지스터의 상면도이고, 도 37b는 도 37a를 일점 쇄선 A-B(채널 길이 방향)에서 절단한 단면도이고, 도 37c는 도 37a를 일점 쇄선 C-D에서 절단한 단면도이다. 또한, 도면의 명료화를 위하여 도 37a에서는 도 37b 및 도 37c에 도시된 일부의 구성을 생략하여 도시하였다.
- [0281] 도 37a 내지 도 37c에 도시된 트랜지스터(490)는 하지 절연막(436)이 제공되어 절연 표면을 갖는 기판(400) 위에 채널 형성 영역(403c), 소스 영역(403a), 드레인 영역(403b)을 포함한 산화물 반도체막(403)과, 산화물 반도체막(403) 위에 제공된 게이트 절연막(410)과, 게이트 절연막(410) 위에 산화물 반도체막(403)과 중첩하여 제공된 게이트 전극(401)과, 게이트 전극(401) 및 게이트 절연막(410) 위에 제공된 층간 절연막(415)과, 게이트 절연막(410) 및 층간 절연막(415)에 제공된 개구에 매립되어 산화물 반도체막(403)과 접하는 소스 전극(405a) 또는 드레인 전극(405b)과, 소스 전극(405a) 및 드레인 전극(405b) 위에 접하여 제공된 배선층(414a) 및 배선층(414b)을 갖는다.
- [0282] 산화물 반도체막(403)은 도 16a에 도시된 바와 같이, 제 1 영역(431), 상기 제 1 영역(431)의 일부를 끼우도록 제공된 제 2 영역(432) 및 제 3 영역(433)을 포함하고, 제 1 영역(431) 내지 제 3 영역(433) 각각의 적어도 일부와 중첩하여 게이트 전극(401)이 제공된다. 또한, 도면의 명료화를 위하여 도 16a에 도시된 산화물 반도체막(403)의 해치 패턴을 달리하였다.
- [0283] 제 1 영역(431)은 게이트 전극(401)과 중첩되는 채널 형성 영역(403c)과, 상기 채널 형성 영역(403c)을 끼우고 이와 접하며 채널 형성 영역(403c)보다 저항이 낮은 한 쌍의 저저항 영역(상기 저저항 영역은 소스 영역, 드레인 영역으로서 기능하므로 소스 영역(403a) 및 드레인 영역(403b)이라고도 부름)을 포함하고, 제 2 영역(432) 및 제 3 영역(433)의 채널 길이 방향의 길이는 제 1 영역(431)의 채널 길이 방향의 길이보다 짧다.
- [0284] 또한, 게이트 전극(401)을 마스크로서 사용하여 산화물 반도체막(403)에 도펀트를 첨가하여, 산화물 반도체막(403)에 채널 형성 영역(403c)을 끼우고 채널 형성 영역(403c)보다 저항이 낮은 저저항 영역인, 도펀트를 포함한 소스 영역(403a), 드레인 영역(403b)을 형성한다. 또한, 이 때 제 2 영역(432) 및 제 3 영역(433)에서의 산화물 반도체막(403) 위에 레지스트마스크를 형성하여 도펀트가 첨가되지 않도록 한다. 이로써, 제 2 영역(432) 및 제 3 영역(433) 각각에 있어서 산화물 반도체막(403)의 주연이 저저항화되지 않게 되므로, 트랜지스터가 오프 상태일 때 산화물 반도체막(403)의 단부에 흐르는 누설 전류를 저감시킬 수 있다.
- [0285] 또한, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이(도 37a에 도시된 길이 L_1 의 2배와 길이 L_2 의 합계인 길이 $2L_1+L_2$)는 제 1 영역(431)의 채널 폭 방향의 길이(도 37a에 도시된 길이 W)보다 길다. 구체적으로는, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이를 제 1 영역(431)의 채널 폭 방향의 길이의 3배 이상, 바람직하게는 10배 이상으로 한다. 산화물 반도체막(403)이 제 1 영역(431)으로만 이루어진 형상인 경우에는 소스 전극 및 드레인 전극 사이의 누설 경로는 도 37a에 도시된 길이 L_2 만이지만, 제 2 영역(432) 및 제 3 영역(433) 각각에서의 산화물 반도체막(403) 주연의 길이를 길게 하면 누설 경로가 길어져, 주연에서의 저항 성분이 증대된다. 이에 의하여 트랜지스터가 오프 상태일 때에

산화물 반도체막(403)의 단부에 기생 채널이 형성되는 것으로 인하여 누설 전류가 증대되는 것을 억제할 수 있다. 또한, 채널 형성 영역(403c)에서 산소가 빠지더라도, 채널 형성 영역(403c)의 모서리 부분에서 직접적으로 산소가 빠지게 되거나, 또는 제 2 영역(432) 및 제 3 영역(433)에서의 산화물 반도체막(403)의 단부에서 간접적으로 산소가 빠지게 되므로, 산소의 탈리량은 적다. 그러므로, 트랜지스터(490)의 전기 특성이 영향을 받는 것을 저감시킬 수 있다. 따라서, 트랜지스터(490)의 전기 특성이 열화되는 것을 방지하여 전기 특성을 양호하게 할 수 있다.

- [0286] 도펀트는 산화물 반도체막(403)의 도전율을 변화시키는 불순물이다. 도펀트의 첨가 방법으로는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등을 사용할 수 있다.
- [0287] 채널 길이 방향으로 채널 형성 영역(403c)을 끼워서 소스 영역(403a) 및 드레인 영역(403b)을 포함한 산화물 반도체막(403)을 가짐으로써 상기 트랜지스터(490)는 온 특성(예를 들어, 온 전류 및 전계 효과 이동도)이 높고 고속 동작, 고속 응답이 가능하게 된다.
- [0288] 트랜지스터(490)를 갖는 반도체 장치의 제작 방법의 일례는 이하와 같다.
- [0289] 트랜지스터(490)의 제작 방법은, 층간 절연막(415)의 형성까지는 실시형태 4에 기재된 트랜지스터(480)의 제작 방법과 마찬가지로(도 38a 참조). 따라서, 도 38a에 도시된 공정까지의 제작 방법의 자세한 내용에 대해서는, 상술한 실시형태에 기재된 도 36a에 도시된 공정까지를 참조할 수 있다.
- [0290] 다음에, 층간 절연막(415) 위에 마스크(440)를 형성하고 마스크(440)를 이용하여 층간 절연막(415), 산소 공급막(410a), 및 배리어막(410b)을 에칭함으로써, 산화물 반도체막(403)(보다 구체적으로는 소스 영역(403a))에 달하는 개구(442)를 형성한다(도 38b 참조).
- [0291] 마스크(440)는 포토레지스트 등의 재료를 사용하여 포토리소그래피법 등에 의하여 형성할 수 있다. 마스크(440) 형성시의 노광에는 파장이 수nm 내지 수십nm로 짧은 극자외선(extreme ultraviolet)을 사용하는 것이 바람직하다. 극자외선에 의한 노광은 해상도가 높고 초점 심도도 깊다. 따라서, 미세한 패턴을 갖는 마스크(440)를 형성할 수 있다.
- [0292] 개구(442)를 형성한 후에 마스크(440)를 제거하고, 개구(442) 및 층간 절연막(415) 위에 마스크(444)를 형성한다. 마스크(444)는 마스크(440)와 마찬가지로 형성할 수 있다. 그리고, 마스크(444)를 이용하여 층간 절연막(415), 산소 공급막(410a), 및 배리어막(410b)을 에칭함으로써, 산화물 반도체막(403)(보다 구체적으로는 드레인 영역(403b))에 달하는 개구(446)를 형성한다(도 38c 참조). 이로써 층간 절연막(415), 산소 공급막(410a), 및 배리어막(410b)에 게이트 전극(401)을 끼우는 한 쌍의 개구가 형성된다.
- [0293] 다음에, 개구(442) 및 개구(446)를 매립하도록 층간 절연막(415) 위에 소스 전극(405a) 및 드레인 전극(405b)이 되는 도전막(405)을 성막한다(도 39a 참조). 도전막(405)은 실시형태 1에 기재된 도전막(405)과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0294] 다음에, 도전막(405)에 제거(연마) 처리를 수행한다(도 39b 참조). 층간 절연막(415) 위(적어도 게이트 전극(401)과 중첩되는 영역)에 제공된 도전막(405)이 제거되도록 도전막(405)에 제거(연마) 처리를 수행함으로써, 개구(442) 또는 개구(446)에 매립된 소스 전극(405a) 및 드레인 전극(405b)을 형성할 수 있다. 본 실시형태에서는 층간 절연막(415) 표면이 노출되는 조건으로 도전막(405)에 CMP 처리를 수행함으로써 소스 전극(405a) 및 드레인 전극(405b)을 형성한다. 또한, CMP 처리의 조건에 따라서는 층간 절연막(415) 표면 또는 게이트 전극(401) 표면도 연마되는 경우가 있다.
- [0295] 상술한 바와 같이, 소스 전극(405a) 또는 드레인 전극(405b)은 층간 절연막(415), 산소 공급막(410a), 및 배리어막(410b)에 제공된 개구를 매립하도록 제공된다. 따라서, 트랜지스터(490)에 있어서 소스 전극(405a)과 산화물 반도체막(403)이 접하는 영역(소스 측 콘택트 영역)과 게이트 전극(401)과의 거리(도 39b의 L_{sc})는 개구(442)의 단부와 게이트 전극(401)의 단부와의 거리에 따라 결정된다. 마찬가지로, 트랜지스터(490)에 있어서 드레인 전극(405b)과 산화물 반도체막(403)이 접하는 영역(드레인 측 콘택트 영역)과 게이트 전극(401)과의 거리(도 39b의 L_{dc})는 개구(446)의 단부와 게이트 전극(401)의 단부와의 거리에 따라 결정된다.
- [0296] 소스 전극(405a)을 제공하기 위한 개구(442)와, 드레인 전극(405b)을 제공하기 위한 개구(446)를 한 번의 에칭 처리에 의하여 형성하는 경우, 개구(442)와 개구(446) 사이의 채널 길이 방향의 폭의 최소 가공 치수는 마스크 형성에 사용되는 노광 장치의 해상 한계에 제약된다. 따라서, 개구(442)와 개구(446)의 거리를 충분히 축소시

키기 어려워 소스 측 콘택트 영역 및 드레인 측 콘택트 영역과 게이트 전극(401)과의 거리(L_{SG} 및 L_{DG})의 미세화가 어렵다.

- [0297] 그러나, 본 실시형태에 기재된 제작 방법에서는 개구(442)와 개구(446)를 각각 다른 마스크를 사용하는 개별적인 에칭 처리에 의하여 형성하므로, 노광 장치의 해상 한계에 의존함이 없이 개구의 위치를 자유로이 설정할 수 있다. L_{SG} 및 L_{DG} 를 축소시킴으로써 트랜지스터(490)의 소스 전극(405a)(또는 드레인 전극(405b))과 채널 형성 영역(403c) 사이의 저항을 저감시킬 수 있어 트랜지스터의 전기적 특성(예를 들어, 온 특성)을 향상시킬 수 있다.
- [0298] 또한, 소스 전극(405a) 및 드레인 전극(405b)을 형성하기 위하여 층간 절연막(415) 위의 도전막(405)을 제거하는 공정에 있어서 레지스트마스크를 사용하는 에칭 처리를 수행하지 않으므로, 소스 전극(405a) 및 드레인 전극(405b)의 채널 길이 방향의 폭이 미세화된 경우에도 치밀한 가공을 정확하게 수행할 수 있다. 따라서, 반도체 장치의 제작 공정에 있어서 형상이나 특성의 편차가 적고 미세한 구조를 갖는 트랜지스터(490)를 수율 좋게 제작할 수 있다.
- [0299] 다음에, 소스 전극(405a), 드레인 전극(405b), 및 층간 절연막(415) 위에 배선층(소스 배선 또는 드레인 배선(이들과 같은 층으로 형성되는 배선도 포함함))이 되는 도전막을 성막하고 상기 도전막을 가공하여 배선층(414a) 및 배선층(414b)을 형성한다(도 39c 참조).
- [0300] 배선층(414a) 및 배선층(414b)은 게이트 전극(401)과 같은 재료 및 방법에 의하여 형성할 수 있다. 이상과 같이 하여 트랜지스터(490)를 제작할 수 있다.
- [0301] 상술한 바와 같이, 소스 전극(405a)을 제공하기 위한 개구와 드레인 전극(405b)을 제공하기 위한 개구를 각각 다른 마스크를 사용하는 개별적인 에칭 처리에 의하여 형성한다. 이로써, 트랜지스터의 충분한 미세화를 달성할 수 있고, 소스 측 콘택트 영역 및 드레인 측 콘택트 영역과 게이트 전극(401)과의 거리를 충분히 축소시킬 수 있어 트랜지스터의 소스 전극(405a)(또는 드레인 전극(405b))과 채널 형성 영역 사이의 저항을 저감시킬 수 있다. 따라서, 트랜지스터의 전기 특성의 하나인 온 특성(예를 들어 온 전류, 및 전계 효과 이동도)을 향상시킬 수 있다.
- [0302] 또한, 소스 전극(405a) 및 드레인 전극(405b)을 형성하기 위하여 층간 절연막(415) 위의 도전막(405)을 제거하는 공정에 있어서 레지스트마스크를 사용하는 에칭 처리를 수행하지 않으므로, 소스 전극(405a) 및 드레인 전극(405b)의 간격이 미세화된 경우에도 치밀한 가공을 정확하게 수행할 수 있다. 따라서, 반도체 장치의 제작 공정에 있어서 형상이나 특성의 편차가 적고 미세한 구조를 갖는 트랜지스터(490)를 수율 좋게 제작할 수 있다.
- [0303] 상술한 바와 같이, 에칭 처리가 수행되어 채널 길이 방향의 길이가 상이하게 되도록 십자형으로 형성된 산화물 반도체막을 사용하여 트랜지스터를 구성함으로써, 트랜지스터의 소스 전극과 드레인 전극이 산화물 반도체막 측면(단부면) 근방의 영역(산소(O)가 탈리되는 것 등에 기인하여 저저항화된 영역)을 통하여 전기적으로 접속될 개연성을 저감시킬 수 있다.
- [0304] 따라서, 양호한 트랜지스터 특성을 갖고 산화물 반도체가 사용된 트랜지스터를 제공할 수 있고, 산화물 반도체가 사용된 트랜지스터를 갖는 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0305] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0306] (실시형태 6)
- [0307] 본 실시형태에서는, 반도체 장치의 다른 일 형태를 도 40a 및 도 40b를 사용하여 설명한다. 도 40b는 트랜지스터(550)의 상면도이고, 도 40a는 도 40b의 X-Y에서의 단면도이다. 또한, 도 40b에서는 도면의 명료화를 위하여, 도 40a에 도시된 일부의 구성을 생략하여 도시하였다.
- [0308] 도 40a 및 도 40b에 도시된 트랜지스터(550)는 기판(500) 위에 하지 절연막(536)과, 하지 절연막(536) 위에 제공된 게이트 전극(501)과, 게이트 전극(501) 위에 제공된 제 1 게이트 절연막(502a) 및 제 2 게이트 절연막(502b)과, 제 1 게이트 절연막(502a) 및 제 2 게이트 절연막(502b)을 개재하여 게이트 전극(501) 위에 제공된 제 1 산화물 반도체막(503a) 및 제 2 산화물 반도체막(503b)과, 제 2 산화물 반도체막(503b) 위에 제공된 소스 전극 및 드레인 전극과, 소스 전극, 드레인 전극, 제 1 산화물 반도체막(503a), 및 제 2 산화물 반도체막(503b) 위에 제공된 절연막(506)과, 절연막(506) 위에 제공된 절연막(507)을 갖는다.

- [0309] 소스 전극은 제 1 배리어층(505c)과, 제 1 배리어층(505c) 위에 형성된 제 1 저저항 재료층(505a)의 적층으로 구성되고, 드레인 전극은 제 2 배리어층(505d)과, 제 2 배리어층(505d) 위에 형성된 제 2 저저항 재료층(505b)의 적층으로 구성된다.
- [0310] 또한, 하지 절연막(536) 내에는 배선(574a) 및 배선(574b)이 묻혀 있고, 배선(574a)과 소스 전극(제 1 배리어층(505c) 및 제 1 저저항 재료층(505a))에 의하여 용량 소자(530)가 형성되어 있다.
- [0311] 또한, 산화물 반도체막은 제 1 산화물 반도체막(503a)과, 제 1 산화물 반도체막(503a) 위에 형성된 제 2 산화물 반도체막(503b)의 적층으로 구성된다.
- [0312] 도 40b에 도시된 바와 같이, 산화물 반도체막은 채널 영역 E, 제 1 영역 A, 제 2 영역 B, 제 3 영역 C, 제 4 영역 D를 갖는다.
- [0313] 제 1 영역 A, 제 2 영역 B, 제 3 영역 C, 제 4 영역 D의 각각은 적어도 일부의 영역이 게이트 전극(501)과 중첩된다.
- [0314] 또한, 산화물 반도체막은 제 1 영역 A, 제 2 영역 B, 제 3 영역 C, 제 4 영역 D에서 게이트 전극(501)을 피복하도록 형성되는 것이 바람직하다.
- [0315] 제 1 영역 A 및 제 2 영역 B는 채널 영역 E를 끼우고 또 채널 영역 E의 일부와 접한다.
- [0316] 제 3 영역 C 및 제 4 영역 D는 제 1 영역 A, 제 2 영역 B, 및 채널 영역 E를 끼우고 또 채널 영역 E의 일부와 접한다.
- [0317] 제 1 영역 A는 제 1 배리어층(505c)과 접한다. 또한, 산화물 반도체막과 제 1 배리어층(505c)이 접하는 면적은 제 1 영역 A의 면적과 동일하다.
- [0318] 제 2 영역 B는 제 2 배리어층(505d)과 접한다. 또한, 산화물 반도체층과 제 2 배리어층(505d)이 접하는 면적은 제 2 영역 B의 면적과 동일하다.
- [0319] 또한, 제 1 산화물 반도체막의 측면과 제 2 산화물 반도체막의 측면은 일치되도록 형성된다. 또한, 적층된 제 1 산화물 반도체막 및 제 2 산화물 반도체막의 측면은 저저항화되어 있다.
- [0320] 산화물 반도체막의 주연은 게이트 전극(501)에서 떨어진 곳에 배치된다. 도 40b를 사용하여 구체적으로 설명한다. 트랜지스터(550)의 채널 길이를 거리 L로 하고 채널 폭을 거리 W로 한다. 또한, 산화물 반도체막의 채널 길이 방향의 길이를 거리 O1, 산화물 반도체막의 채널 폭 방향의 길이를 거리 O2, 게이트 전극의 채널 길이 방향의 길이를 거리 G1로 한다. 또한, 제 1 영역 A의 채널 길이 방향의 길이를 거리 X1, 제 2 영역 B의 채널 길이 방향의 길이를 거리 X2, 제 3 영역 C의 채널 길이 방향의 길이를 거리 (X1+X2+L), 제 4 영역 D의 채널 길이 방향의 길이를 거리 (X1+X2+L)로 한다. 또한, 제 3 영역 C의 채널 폭 방향의 길이를 거리 T1, 제 4 영역 D의 채널 폭 방향의 길이를 거리 T2로 한다.
- [0321] 산화물 반도체막의 채널 길이 방향의 길이(거리 O1)는 제 3 영역 C의 채널 길이 방향의 길이 및 제 4 영역 D의 채널 길이 방향의 길이와 동일하다. 또한, 산화물 반도체막의 채널 길이 방향의 길이(거리 O1)는 제 1 영역 A의 채널 길이 방향의 길이(거리 X1)와, 제 2 영역 B의 채널 길이 방향의 길이(거리 X2)와, 채널 길이(거리 L)의 합과 동일하다.
- [0322] 트랜지스터(550)에 있어서는, 산화물 반도체막의 주연을 게이트 전극(501)에서 떨어진 곳에 배치하는 것이 바람직하다. 따라서, 거리 O1은 거리 G1보다 긴 것이 바람직하다.
- [0323] 또한, 산화물 반도체막의 채널 폭 방향의 길이(거리 O2)는, 제 3 영역 C의 채널 폭 방향의 길이(거리 T1)와, 제 4 영역 D의 채널 폭 방향의 길이(거리 T2)와, 제 1 영역 A(제 2 영역 B)의 채널 폭 방향의 길이(거리 W)의 합과 동일하다.
- [0324] 거리 O2는 거리 W보다 긴 것이 바람직하다. 따라서, 거리 T1은 적어도 거리 L 이상이고, 거리 T2도 거리 L 이상인 것이 바람직하다. 또한, 거리 T1, 거리 T2는 각각 상이하여도 좋다.
- [0325] 또한, 제 3 영역 C에 있어서, 산화물 반도체막과 중첩되는 게이트 전극(501)의 채널 폭 방향의 길이를 거리 G2로 한다. 트랜지스터(550)에 있어서는, 산화물 반도체막의 주연을 게이트 전극(501)에서 떨어진 곳에 배치하는 것이 바람직하다. 따라서, 거리 G2는 거리 T1보다 짧은 것이 바람직하다. 산화물 반도체막의 주연을 제 3 영역 C에 있어서 게이트 전극(501)에서 떨어진 곳에 배치함으로써, 기생 채널이 형성됨에 기인하여 누설 전류가

증대되는 것을 억제할 수 있다.

- [0326] 또한, 거리 G2는 거리 L보다 긴 것이 바람직하다.
- [0327] 또한, 거리 T1, 거리 T2, 거리 O1, 거리 G1은 특별히 한정되지 않는다.
- [0328] 또한, 도 40a 및 도 40b에 도시된 바와 같이, 트랜지스터(550)의 채널 길이(거리 L)는 제 1 배리어층(505c)과 제 2 배리어층(505d)의 거리를 나타낸다. 전자 빔을 사용한 노광에 의하여 형성된 레지스트마스크의 패턴의 폭으로 거리 L이 결정된다. 거리 L은 50nm 미만으로 하는 것이 바람직하다.
- [0329] 소스 전극 및 드레인 전극에 있어서, 제 1 배리어층(505c) 및 제 2 배리어층(505d)과 제 1 저저항 재료층(505a) 및 제 2 저저항 재료층(505b)이 중첩되는 영역은 중첩되지 않은 영역보다 막 두께가 두껍다.
- [0330] 제 1 배리어층(505c)과 제 2 배리어층(505d)의 두께는 5nm 이상 30nm 이하, 바람직하게는 10nm 이하로 한다.
- [0331] 절연막(507)은 그 두께가 절연막(506)의 두께보다 두꺼워지도록 형성된다.
- [0332] 절연막(506)은 그 두께가 10nm보다 두껍고 100nm 미만이 되도록 형성된다.
- [0333] 제 1 게이트 절연막(502a)의 두께는 20nm 이상 350nm 이하로 할 수 있다. 또한, 제 2 게이트 절연막(502b)의 두께는 50nm 이상 300nm 이하로 할 수 있다.
- [0334] 제 1 산화물 반도체막(503a)의 두께는 1nm 이상 100nm 이하(바람직하게는 5nm 이상 50nm 이하)로 할 수 있다. 제 2 산화물 반도체막(503b)의 두께는 1nm 이상 100nm 이하(바람직하게는 5nm 이상 50nm 이하)로 할 수 있다.
- [0335] 상술한 바와 같이, 제 1 산화물 반도체막 및 제 2 산화물 반도체막의 주연이 게이트 전극에서 떨어진 곳에 배치된 트랜지스터를 형성함으로써, 저저항화된 상기 주연과 게이트 전극이 중첩됨에 기인하여 생긴 기생 채널로 인한 누설 전류가 증대되는 것을 억제할 수 있다. 또한, 전자 빔을 사용한 정밀한 노광을 수행하여 미세 가공의 정밀도를 높임으로써, 채널 길이를 50nm 미만으로 할 수 있다.
- [0336] 기판(500), 게이트 전극(501), 및 하지 절연막(536)은 실시형태 1에서 기재한 기판(400), 게이트 전극(401), 및 하지 절연막(436)과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0337] 또한, 제 1 게이트 절연막(502a) 및 제 2 게이트 절연막(502b)은 실시형태 1에서 기재한 배리어막(409b) 및 산소 공급막(409a)과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0338] 제 1 저저항 재료층(505a) 및 제 2 저저항 재료층(505b)의 재료로서는 알루미늄 등을 사용하고, 제 1 배리어층(505c) 및 제 2 배리어층(505d)의 재료로서는 티타늄이나 텅스텐이나 몰리브덴, 또는 질화 티타늄, 질화 탄탈 등을 사용할 수 있다. 제 1 배리어층(505c) 및 제 2 배리어층(505d)은, 제 1 저저항 재료층(505a) 및 제 2 저저항 재료층(505b)이 산화물 반도체막(503)과 접촉하여 산화되는 것을 방지한다.
- [0339] 절연막(506)으로서, 과잉 산소를 함유한 절연층으로 하는 것이 바람직하고, PECVD법이나 스퍼터링법에서의 성막 조건을 적절히 설정하여 막 내에 많은 산소를 함유시킨 SiO_x막이나 산화 질화 실리콘막을 사용할 수 있다. 또한, 과잉 산소를 절연층에 더 함유시키고자 하는 경우에는, 이온 주입법이나 이온 도핑법이나 플라즈마 처리에 의하여 산소를 적절히 첨가하면 좋다.
- [0340] 절연막(507)은 산화물 반도체막으로부터 산소가 방출되는 것을 억제하는 블로킹층이다. 절연막(507)으로서 산화 알루미늄막, 산화 티타늄막, 산화 니켈막, 산화 몰리브덴막, 산화 텅스텐막 등을 사용할 수 있다. 산화 알루미늄막은 수소, 수분 등의 불순물, 및 산소의 양쪽에 대해 막을 투과시키지 않는 차단 효과(블로킹 효과)가 높다.
- [0341] 산화 알루미늄막은 알루미늄막에 산소 도핑 처리를 수행함으로써 형성되어도 좋다. 알루미늄막을 산화시키는 방법은 PECVD법이나 스퍼터링법 등에 의하여 형성하는 경우와 비교하여 생산성을 향상시킬 수 있다. 또한, 산소 도핑 처리는 여러 번 수행하여도 좋다. 산소 도핑 처리를 수행하는 금속막으로서 티타늄막, 마그네슘을 첨가한 알루미늄막, 티타늄을 첨가한 알루미늄막 등을 사용할 수도 있다.
- [0342] 또한, 절연막(507)은 2층 이상의 다층 구조로 형성되어도 좋다. 예를 들어, 산화물 반도체막 측부터 산화 티타늄막과 산화 알루미늄막을 순차적으로 적층시킨 구조, 또는 예를 들어, 산화물 반도체막 측부터 산화 알루미늄막과 산화 티타늄막을 순차적으로 적층시킨 구조 등으로 형성할 수도 있다.
- [0343] 다음에, 도 41a 내지 도 41c를 사용하여, 제 1 배리어층(505c) 및 제 2 배리어층(505d)의 제작 방법의 일례에

대하여 설명한다. 전자 빔을 사용한 노광에 의하여 형성된 레지스트마스크를 사용하여 도전막을 에칭함으로써, 제 1 배리어층(505c), 제 2 배리어층(505d), 및 채널 영역이 형성된다. 전자 빔을 사용한 정밀한 노광을 수행하여 미세 가공의 정밀도를 높임으로써, 제 1 배리어층(505c)과 제 2 배리어층(505d)의 거리 L(채널 길이)을 50nm 미만, 예를 들어 20nm나 30nm 등으로 할 수 있다. 또한, 보다 자세한 트랜지스터의 제작 방법에 대해서는 후술한다.

- [0344] 제 1 산화물 반도체막(503a) 및 제 2 산화물 반도체막(503b) 위에 제 1 배리어층(505c) 및 제 2 배리어층(505d)이 되는 도전막(504), 및 제 1 저저항 재료층(505a) 및 제 2 저저항 재료층(505b)이 되는 도전막(505)을 성막한다(도 41a 참조).
- [0345] 다음에, 도전막(505) 위에 포토리소그래피 공정에 의하여 제 1 레지스트마스크를 형성하고, 선택적으로 에칭함으로써 제 1 저저항 재료층(505a) 및 제 2 저저항 재료층(505b)을 형성한다(도 41b 참조).
- [0346] 이 때, 도전막(505)과 함께 도전막(504)도 에칭되어, 도전막(504)의 두께가 얇아지는 경우가 있다. 따라서, 도전막(504)에 대한 도전막(505)의 에칭 선택비가 높은 에칭 조건으로 하는 것이 바람직하다. 도전막(504)에 대한 도전막(505)의 에칭 선택비가 높은 경우, 도전막(504)의 막 두께가 얇게 되는 것을 억제할 수 있다.
- [0347] 다음에, 도전막(504) 위에 레지스트를 형성하고, 상기 레지스트에 전자 빔을 사용한 노광을 수행하여 제 2 레지스트마스크를 형성한다. 제 2 레지스트마스크는 트랜지스터(550)의 채널 영역이 되는 부분 이외와 중첩하도록 형성한다. 제 2 레지스트마스크를 사용하여 도전막(504)을 에칭함으로써, 제 1 배리어층(505c) 및 제 2 배리어층(505d)을 형성한다(도 41c 참조).
- [0348] 레지스트로서는 예를 들어, 실록산계 레지스트 또는 폴리스타이렌계 레지스트 등을 사용할 수 있다. 또한, 제작하는 패턴의 폭이 작기 때문에, 네거티브형 레지스트보다 포지티브형 레지스트를 사용하는 것이 바람직하다. 예를 들어, 패턴의 폭이 30nm인 경우에는 레지스트의 두께를 30nm로 할 수 있다.
- [0349] 이 때, 전자 빔의 조사가 가능한 전자 빔 묘화 장치에서, 예를 들어 가속 전압이 5kV 내지 50kV인 것이 바람직하다. 또한, 전류 강도는 5×10^{-12} A 내지 1×10^{-11} A인 것이 바람직하다. 또한, 최소 빔 직경은 2nm 이하인 것이 바람직하다. 또한, 제작 가능한 패턴의 최소 선폭이 8nm 이하인 것이 바람직하다.
- [0350] 전자 빔은 가속 전압이 높을수록 미세한 패턴을 얻을 수 있다. 또한, 전자 빔은 멀티 빔으로 하여 기관 1장당 처리 시간을 단축할 수도 있다.
- [0351] 상기 조건에 의하여, 예를 들어 패턴의 폭을 30nm 이하, 바람직하게는 20nm 이하, 더 바람직하게는 8nm 이하로 할 수 있다.
- [0352] 또한, 여기서는 제 1 저저항 재료층(505a) 및 제 2 저저항 재료층(505b)을 형성한 후에 전자 빔을 사용한 노광에 의하여 레지스트마스크를 형성하고 제 1 배리어층(505c) 및 제 2 배리어층(505d)을 형성하는 방법에 대하여 기재하였지만, 제 1 저저항 재료층, 제 2 저저항 재료층, 제 1 배리어층 및 제 2 배리어층을 제작하는 순서는 이것에 한정되지 않는다.
- [0353] 또한, 기관(500)에는 반도체 소자가 제공되어 있지만, 여기서는 간략화를 위하여 생략하여 도시하였다. 또한, 기관(500) 위에는 배선(574a), 배선(574b), 배선(574a) 및 배선(574b)을 덮는 하지 절연막(536)이 제공되어 있고, 후술하는 실시형태 8의 도 17c에 도시된 메모리 구성 중 하나가 되어 있다.
- [0354] 본 실시형태에 따르면, 2층으로 구성된 산화물 반도체막의 주연을 게이트 전극에서 떨어진 곳에 배치함으로써, 수율이 높은 트랜지스터를 제공할 수 있다. 또한, 전자 빔을 사용한 정밀한 노광을 수행하여 미세 가공의 정밀도를 높임으로써, 채널 길이가 50nm 미만인 트랜지스터를 제공할 수 있다.
- [0355] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0356] (실시형태 7)
- [0357] 본 실시형태에서는 실시형태 6에 기재된 반도체 장치와는 다른 일 형태의 반도체 장치와, 상기 반도체 장치의 제작 방법에 대하여 설명한다. 도 42a는 반도체 장치가 갖는 트랜지스터의 상면도이고, 도 42b는 도 42a에 도시된 일점 쇄선 A-B(채널 길이 방향)에서의 단면도이고, 도 42c는 도 42a에 도시된 일점 쇄선 C-D에서의 단면도이다. 또한, 도 42a에서는 도면의 명료화를 위하여, 도 42b, 도 42c에 도시된 일부의 구성을 생략하여 도시하

였다.

- [0358] 또한, 본 실시형태에서는, 실시형태 6과 같은 부분에 대해서는 도면에 있어서 동일한 부호를 부여하고 자세한 설명을 생략한다.
- [0359] 도 42a 내지 도 42c에 도시된 트랜지스터(560)는 기판(500) 위의 게이트 전극(501)과, 게이트 전극(501)의 측면과 접하며 게이트 전극(501)이 끼워 넣인 하지 절연막(532)과, 하지 절연막(532) 및 게이트 전극(501) 위의 게이트 절연막(502)과, 게이트 절연막(502)을 개재하여 게이트 전극(501) 위에 형성된 산화물 반도체막(503)과, 산화물 반도체막(503) 위에 적층되어 형성된 소스 전극과, 산화물 반도체막(503) 위에 적층되어 형성된 드레인 전극과, 소스 전극 및 드레인 전극 위에 형성된 절연막(506)을 갖는다.
- [0360] 소스 전극은 제 1 배리어층(575a)과, 제 1 배리어층(575a)과 접하는 제 1 저저항 재료층(505a)으로 이루어진다. 드레인 전극은 제 2 배리어층(575b)과, 제 2 배리어층(575b)과 접하는 제 2 저저항 재료층(505b)으로 이루어진다. 제 1 배리어층(575a) 및 제 2 배리어층(575b)은, 각각 제 1 저저항 재료층(505a) 및 제 2 저저항 재료층(505b)이 산화물 반도체막(503)과 접촉하여 산화되는 것을 방지한다. 또한, 제 1 저저항 재료층(505a) 및 제 2 저저항 재료층(505b)은 산화물 반도체막(503)의 측면과 각각 접하지만, 산화물 반도체막(503)의 두께는 충분히 얇기 때문에, 제 1 저저항 재료층(505a) 및 제 2 저저항 재료층(505b)이 산화되는 것을 방지할 수 있다.
- [0361] 또한, 도 42a에 도시된 바와 같이, 산화물 반도체막(503)의 주연은 게이트 전극(501)과 중첩되지 않도록 형성된다. 채널 폭 방향(도 42a 내지 도 42c의 C-D 방향)의 산화물 반도체막(503)의 폭은 채널 폭 방향의 게이트 전극(501)의 폭보다 길게 형성된다. 폭의 길이는 특별히 한정되지 않는다. 산화물 반도체막(503)의 주연이 게이트 전극(501)에서 떨어진 곳에 배치됨으로써, 저저항화된 산화물 반도체막(503)의 상기 주연과 게이트 전극이 중첩됨에 기인하여 생긴 기생 채널로 인하여 누설 전류가 증대되는 것을 억제할 수 있다.
- [0362] 또한, 도 42c에 도시된 바와 같이, 제 1 배리어층(575a)과 제 2 배리어층(575b)의 거리 L은 트랜지스터(560)의 채널 길이를 나타낸다. 전자 빔을 사용한 노광에 의하여 형성된 레지스트마스크의 패턴의 폭으로 거리 L이 결정된다. 전자 빔을 사용한 정밀한 노광을 수행하여 미세 가공의 정밀도를 높임으로써, 채널 길이가 50nm 미만인 미세한 트랜지스터(560)를 형성할 수 있다.
- [0363] 도 43a1 내지 도 47c3에 트랜지스터(560)를 갖는 반도체 장치의 제작 방법의 일례를 도시하였다.
- [0364] 도 43a1은 트랜지스터의 제작 공정을 설명하기 위한 상면도이고, 도 43a2는 도 43a1에 도시된 일점 쇄선 A-B에서의 단면도이고, 도 43a3은 도 43a1에 도시된 일점 쇄선 C-D에서의 단면도이다.
- [0365] 우선, 절연 표면을 갖는 기판(500) 위에 도전막을 형성하고, 상기 도전막을 에칭하여 게이트 전극(501)을 형성한다. 이 후, 게이트 전극(501), 기판(500)을 덮도록 하지 절연막(532)이 되는 절연막을 형성한다. 또한, 절연막에 제거(연마) 처리나 에칭 처리를 수행함으로써 게이트 전극(501)의 상면을 절연막으로부터 노출시켜, 게이트 전극(501)의 상면과 높이가 일치되는 하지 절연막(532)을 형성한다(도 43a 참조).
- [0366] 하지 절연막(532)을 제공함으로써, 게이트 전극(501) 위에 제공되는 게이트 절연막(502)의 피복성을 향상시킬 수 있다. 또한, 나중의 공정에서 제공되는, 전자 빔을 사용한 노광이 수행되는 레지스트마스크의 피형성면의 요철을 평탄하게 할 수 있고 상기 레지스트마스크를 얇게 형성할 수 있다.
- [0367] 또한, 본 실시형태에서는 게이트 전극(501)을 형성한 후에 하지 절연막(532)을 형성하는 방법을 제시하였지만, 게이트 전극(501) 및 하지 절연막(532)의 제작 방법은 이것에 한정되지 않는다. 예를 들어, 하지 절연막(532)을 기판(500) 위에 제공한 후, 에칭 공정 등을 사용하여 하지 절연막(532)에 개구를 형성하고, 상기 개구에 도전성 재료를 충전(充填)함으로써 게이트 전극(501)을 형성하여도 좋다.
- [0368] 기판(500), 게이트 전극(501), 및 하지 절연막(532)은 실시형태 1에 기재된 기판(400), 게이트 전극(401), 및 하지 절연막(436)과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0369] 다음에, 게이트 전극(501) 및 하지 절연막(532) 위에 게이트 절연막(502)을 형성한다(도 43b 참조).
- [0370] 게이트 절연막(502)은 실시형태 1에 기재된 게이트 절연막(410)과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0371] 다음에, 게이트 절연막(502) 위에 산화물 반도체막(541)을 형성한다. 이어서, 산화물 반도체막(541) 및 게이트 절연막(502)에 산소 도핑 처리를 수행하여, 산소(551)를 과잉으로 함유한 산화물 반도체막(541) 및 게이트 절연막(502)을 형성한다(도 43c 참조).

- [0372] 산화물 반도체막(541)은 실시형태 1에 기재된 산화물 반도체막(403)과 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0373] 다음에, 산화물 반도체막(541) 위에 도전막(575)을 형성한다(도 44a 참조).
- [0374] 도전막(575)은 소스 전극 또는 드레인 전극의 한 층이 되는 제 1 배리어층(575a) 및 제 2 배리어층(575b)이 되는 층이다.
- [0375] 도전막(575)으로서는, 예를 들어 Al, Cr, Cu, Ta, Ti, Mo, W에서 선택된 원소를 함유한 금속층 또는 상술한 원소를 성분으로 하는 금속 질화물층(질화 티타늄층, 질화 몰리브덴층, 질화 텅스텐층) 등을 사용할 수 있다. 또한, Al, Cu 등의 금속층의 하측 및 상측의 한쪽 또는 양쪽 모두에 Ti, Mo, W 등의 고용점 금속층 또는 이들의 금속 질화물층(질화 티타늄층, 질화 몰리브덴층, 질화 텅스텐층)을 적층시킨 구성으로 하여도 좋다. 또한, 도전성 금속 산화물로 형성하여도 좋다. 도전성 금속 산화물로서는 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐 산화 주석($In_2O_3-SnO_2$), 산화 인듐 산화 아연(In_2O_3-ZnO), 또는 이들 금속 산화물 재료에 산화 실리콘을 함유시킨 것을 사용할 수 있다.
- [0376] 다음에, 도전막(575) 위에 레지스트를 형성하고, 상기 레지스트에 대하여 전자 빔을 사용한 노광을 수행하여 레지스트마스크(553)를 형성한다(도 44b 참조). 포지티브형의 레지스트마스크(553)는 트랜지스터(560)의 채널 영역이 되는 부분 이외와 중첩하도록 형성한다.
- [0377] 전자 빔을 사용한 노광에 의하여 레지스트마스크를 형성하는 방법에 대해서는, 실시형태 6에서 자세한 내용을 기재하였기 때문에, 여기서는 생략한다. 또한, 실시형태 6에서는 제 1 저저항 재료층(505a) 및 제 2 저저항 재료층(505b)을 형성한 후에 전자 빔을 사용한 노광에 의하여 레지스트마스크를 형성하고, 상기 마스크를 사용한 에칭에 의하여 제 1 배리어층(575a) 및 제 2 배리어층(575b)을 형성하는 방법에 대하여 설명하였지만, 실시형태 7에서는, 먼저 제 1 배리어층(575a) 및 제 2 배리어층(575b)에 대한 에칭을 수행하는 방법에 대하여 설명한다.
- [0378] 또한, 전자 빔을 사용한 노광에 있어서 레지스트마스크(553)는 최대한 얇은 것이 바람직하다. 레지스트마스크(553)를 얇게 하는 경우에는 피형성면의 요철을 최대한 평탄하게 하는 것이 바람직하다. 본 실시형태의 반도체 장치의 제작 방법에서는, 게이트 전극(501) 및 하지 절연막(532)에 평탄화 처리를 수행함으로써 게이트 전극(501)과 하지 절연막(532)으로 인한 요철이 저감되기 때문에, 레지스트마스크를 얇게 할 수 있다. 이로써, 전자 빔을 사용한 노광을 용이하게 수행할 수 있다.
- [0379] 다음에, 레지스트마스크(553)를 마스크로 하여 도전막(575)을 선택적으로 에칭함으로써, 채널이 형성되는 영역에 개구부를 형성한다(도 44c 참조). 여기서, 도전막(575)이 제거된 영역은 트랜지스터(560)의 채널 영역이 된다. 전자 빔을 사용한 정밀한 노광을 수행하여 미세 가공의 정밀도를 높임으로써, 채널 길이를 50nm 미만, 예를 들어, 20nm나 30nm 등으로 할 수 있다.
- [0380] 이 때, 레지스트마스크(553)에 대한 도전막(575)의 에칭 선택비가 높은 에칭 조건으로 하는 것이 바람직하다. 예를 들어, 드라이 에칭에 있어서, 에칭 가스로서 Cl_2 및 HBr의 혼합 가스를 사용하고, Cl_2 의 유량비보다 HBr의 유량비를 높게 하는 것이 바람직하다. 예를 들어, 유량비가 $Cl_2:HBr=20:80$ 인 것이 바람직하다. 또한, 유도 결합형 플라즈마에 의한 에칭(ICP 에칭이라고도 함)의 경우에는, ICP 전력을 500W로 할 때 바이어스 전력을 30W 이상 40W 이하로 함으로써, 레지스트마스크(553)와 도전막의 에칭 선택비를 높게 할 수 있다.
- [0381] 다음에, 포토리소그래피 공정에 의하여 산화물 반도체막(541) 및 도전막(575) 위에 레지스트마스크(555)를 형성한다(도 45a 참조).
- [0382] 레지스트마스크(555)는 그 주연이 게이트 전극(501)과 중첩되지 않도록 형성된다. 도 45a에 도시된 바와 같이, 레지스트마스크(555)의 한쪽 단부는 게이트 전극(501)의 한쪽 단부에서 거리 H만큼 떨어진 곳에 형성되고, 레지스트마스크(555)의 다른 쪽 단부는 게이트 전극(501)의 다른 쪽 단부에서 거리 F만큼 떨어진 곳에 형성된다.
- [0383] 또한, 레지스트마스크(555)를 잉크젯법으로 형성하여도 좋다. 레지스트마스크(555)를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에 제조 비용을 삭감할 수 있다.
- [0384] 다음에, 레지스트마스크(555)를 사용하여 도전막(575) 및 산화물 반도체막(541)을 순차적으로 에칭한다. 도전막(575)을 에칭함으로써, 레지스트마스크(555)와 같은 형상의 산화물 반도체막(503)을 형성한다(도 45b 참조). 산화물 반도체막(503)의 주연은 게이트 전극(501)에서 떨어진 곳에 배치된다.

- [0385] 도전막(575)의 에칭 가스에는 염소를 함유한 가스, 예를 들어 염소(Cl_2), 삼염화 붕소(BCl_3), 사염화 실리콘($SiCl_4$), 사염화 탄소(CCl_4) 등을 함유한 가스를 사용할 수 있다. 또한, 불소를 함유한 가스, 예를 들어 사불화 탄소(CF_4), 육불화 황(SF_6), 삼불화 질소(NF_3), 트라이플루오로메탄(CHF_3) 등을 함유한 가스를 사용할 수 있다. 또한, 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스가 첨가된 가스 등을 사용할 수 있다.
- [0386] 에칭법으로서는, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 사용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형 전극에 인가되는 전력량, 기관 축의 전극에 인가되는 전력량, 기관 축의 전극 온도 등)을 적절하게 조절한다.
- [0387] 본 실시형태에서는 도전막(575)으로서 티타늄막을 사용하고, 에칭법으로서 드라이 에칭법을 사용한다.
- [0388] 또한, 도전막(575)의 에칭 공정시에 산화물 반도체막(541)이 에칭되어 분단되지 않도록 에칭 조건을 최적화하는 것이 바람직하다. 그러나, 도전막만을 에칭하면서 산화물 반도체막(541)을 전혀 에칭하지 않는 조건을 얻기 어렵고, 도전막의 에칭시에 산화물 반도체막(541)은 일부만이 에칭되어, 흠부(오목부)를 갖게 될 경우도 있다.
- [0389] 다음에, 레지스트마스크(555)를 제거한 후에 포토리소그래피 공정에 의하여 산화물 반도체막(503) 및 에칭된 도전막(575) 위에 레지스트마스크(557)를 형성한다(도 45c 참조).
- [0390] 레지스트마스크(557)는 레지스트마스크(555)와 같은 방법에 의하여 형성할 수 있다.
- [0391] 다음에, 레지스트마스크(557)를 사용하여, 에칭된 도전막(575)을 더 에칭함으로써 섬 형상의 제 1 배리어층(575a), 섬 형상의 제 2 배리어층(575b)을 형성한다(도 46a 참조).
- [0392] 또한, 섬 형상의 제 1 배리어층(575a), 섬 형상의 제 2 배리어층(575b)을 형성함에 있어서, 도전막만을 에칭하고 산화물 반도체막(503)을 전혀 에칭하지 않는 조건을 얻기 어렵고, 산화물 반도체막(503)의 일부가 에칭되어 산화물 반도체막(503)에 흠부(오목부)가 형성되는 경우도 있다.
- [0393] 다음에, 레지스트마스크(557)를 제거한 후, 산화물 반도체막(503), 섬 형상의 제 1 배리어층(575a) 및 섬 형상의 제 2 배리어층(575b) 위에 도전막(552)을 형성한다(도 46b 참조). 산화물 반도체막(503)의 주연은 게이트 전극(501)에서 떨어진 곳에 배치되어 있다.
- [0394] 도전막(552)은 제 1 저저항 재료층(505a) 및 제 2 저저항 재료층(505b)이 되는 도전막이다.
- [0395] 또한, 제 1 배리어층(575a) 및 제 2 배리어층(575b)은 제 1 저저항 재료층(505a) 및 제 2 저저항 재료층(505b)이 되는 도전막(552)보다 얇지만 이에 한정되지 않는다. 제 1 배리어층(575a) 및 제 2 배리어층(575b)은 전자 빔 노광에 의하여 제작된 레지스트마스크를 사용하여 형성되기 때문에, 제조 공정상 얇은 것이 바람직하다. 또한, 제 1 저저항 재료층(505a) 및 제 2 저저항 재료층(505b)이 되는 도전막(552)을 두껍게 함으로써, 소스 전극 및 드레인 전극의 저항을 작게 할 수 있다.
- [0396] 또한, 제 1 배리어층(575a)과 제 2 배리어층(575b) 사이의 거리는 제 1 저저항 재료층(505a)과 제 2 저저항 재료층(505b) 사이의 거리보다 짧다. 특히 제 1 배리어층(575a)과 제 2 배리어층(575b) 사이의 저항이 제 1 저저항 재료층(505a)과 제 2 저저항 재료층(505b) 사이의 저항보다 높은 경우에는, 제 1 배리어층(575a)과 제 2 배리어층(575b) 사이의 거리를 짧게 함으로써, 소스 전극, 산화물 반도체막(503), 및 드레인 전극 사이의 저항을 작게 할 수 있다.
- [0397] 다음에, 포토리소그래피 공정에 의하여 도전막(552) 위에 레지스트마스크(556)를 형성하고(도 47a 참조), 선택적으로 에칭하여 제 1 저저항 재료층(505a) 및 제 2 저저항 재료층(505b)을 형성한다. 제 1 저저항 재료층(505a) 및 제 2 저저항 재료층(505b)을 형성한 후에 레지스트마스크를 제거한다(도 47b 참조).
- [0398] 제 1 배리어층(575a) 및 제 1 저저항 재료층(505a)은 트랜지스터(560)의 소스 전극으로서 기능한다. 제 2 배리어층(575b) 및 제 2 저저항 재료층(505b)은 트랜지스터(560)의 드레인 전극으로서 기능한다.
- [0399] 도전막(552)의 에칭은 도전막(575)의 에칭과 같은 조건을 사용하여 수행할 수 있다.
- [0400] 이상의 공정으로 본 실시형태의 트랜지스터(560)가 제작된다.
- [0401] 본 실시형태에서는, 적층으로 이루어진 소스 전극, 적층으로 이루어진 드레인 전극, 및 산화물 반도체막(503) 위에 절연막(506)을 형성한다(도 47c 참조).
- [0402] 절연막(506)으로서는, 대표적으로는 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄

막, 산화 하프늄막, 산화 갈륨막, 질화 실리콘막, 질화 알루미늄막, 질화 산화 실리콘막, 질화 산화 알루미늄막 등의 무기 절연막의 단층 또는 적층을 사용할 수 있다.

- [0403] 또한, 절연막(506)에 산소 도핑 처리를 수행하여도 좋다. 절연막(506)에 산소 도핑 처리를 수행함으로써, 산화물 반도체막(503)에 산소를 공급할 수 있다. 절연막(506)에 대한 산소 도핑은 상기 절연막(506) 및 산화물 반도체막(503)에 대한 산소 도핑 처리와 같은 처리를 수행할 수 있다.
- [0404] 또한, 절연막(506) 위에 치밀성이 높은 무기 절연막을 추가적으로 제공하여도 좋다. 예를 들어, 절연막(506) 위에 스퍼터링법에 의하여 산화 알루미늄막을 형성한다. 산화 알루미늄막을 고밀도(막 밀도 $3.2\text{g}/\text{cm}^3$ 이상, 바람직하게는 $3.6\text{g}/\text{cm}^3$ 이상)로 함으로써, 트랜지스터(560)에 안정적인 전기 특성을 부여할 수 있다. 막 밀도는 러더퍼드 후방 산란법이나 X선 반사율 측정법에 의하여 측정할 수 있다.
- [0405] 트랜지스터(560) 위에 제공되는 절연막으로서 사용될 수 있는 산화 알루미늄막은 수소나 수분 등의 불순물, 및 산소의 양쪽 모두를 통과시키지 않는 차단 효과(블로킹 효과)가 높다.
- [0406] 따라서, 산화 알루미늄막은 제작 공정 중 및 제작 후에서 변동 요인이 되는 수소, 수분 등의 불순물이 산화물 반도체막(503)으로 혼입되는 것, 및 산화물 반도체를 구성하는 주성분 재료인 산소가 산화물 반도체막(503)으로부터 방출되는 것을 방지하는 보호막으로서 기능한다.
- [0407] 또한, 트랜지스터(560)로 인한 표면 요철을 저감하기 위하여 평탄화 절연막을 형성하여도 좋다. 평탄화 절연막 으로서는, 폴리이미드 수지, 아크릴 수지, 벤조사이클로부텐계 수지 등의 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에 저유전율 재료(low-k 재료) 등을 사용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수로 적층시킴으로써 평탄화 절연막을 형성하여도 좋다.
- [0408] 예를 들어, 평탄화 절연막으로서 두께 1500nm의 아크릴 수지막을 형성하면 좋다. 아크릴 수지막은 도포법에 의한 도포 후, 소성(예를 들어 질소 분위기하에서 250°C 로 1시간)하여 형성할 수 있다.
- [0409] 평탄화 절연막을 형성한 후, 가열 처리를 수행하여도 좋다. 예를 들어, 질소 분위기하에서 250°C 로 1시간의 가열 처리를 수행한다.
- [0410] 이와 같이 트랜지스터(560)를 형성한 후에 가열 처리를 수행하여도 좋다. 또한, 가열 처리는 여러 번 수행하여도 좋다.
- [0411] 본 실시형태에 기재된 트랜지스터(560)에서는, 산화물 반도체막의 주연이 게이트 전극(501)에서 떨어진 곳에 배치되어 있다. 따라서, 저저항화된 산화물 반도체막의 주연과 게이트 전극이 중첩됨에 기인하여 생기는 기생 채널로 인한 누설 전류가 증대되는 것을 억제시켜, 수율이 높은 트랜지스터(560)를 제공할 수 있다.
- [0412] 또한, 본 실시형태에 기재된 트랜지스터(560)는 제 1 배리어층(575a)과 제 2 배리어층(575b) 사이의 거리로 채널 길이가 결정된다. 채널 길이는 전자 빔을 사용한 노광에 의하여 형성된 레지스트마스크의 패턴의 폭으로 결정된다. 전자 빔을 사용한 정밀한 노광을 수행하여 미세 가공의 정밀도를 높임으로써, 채널 길이가 50nm 미만인 미세한 트랜지스터를 제작할 수 있다.
- [0413] 본 실시형태는 다른 실시형태와 적절히 조합하여 사용할 수 있다.
- [0414] (실시형태 8)
- [0415] 본 실시형태에서는 실시형태 1에 기재된 트랜지스터가 사용되고, 전력이 공급되지 않는 상황에서도 기억 내용이 유지될 수 있으며, 기록 횟수에 대한 제한이 없는 반도체 장치의 일례를 도면을 사용하여 설명한다. 또한, 본 실시형태의 반도체 장치는, 트랜지스터(162)로서 실시형태 1에 기재된 트랜지스터(450)를 적용하여 구성된다.
- [0416] 도 17a 내지 도 17c는 반도체 장치의 구성의 일례를 도시한 것이다. 도 17a는 반도체 장치의 단면도이고, 도 17b는 반도체 장치의 평면도이고, 도 17c는 반도체 장치의 회로도이다. 여기서, 도 17a는 도 17b의 E-F, 및 G-H에서의 단면에 상당한다.
- [0417] 도 17a 및 도 17b에 도시된 반도체 장치는 하부에 제 1 반도체 재료를 사용한 트랜지스터(160)를 갖고, 상부에 제 2 반도체 재료를 사용한 트랜지스터(162)를 갖는다. 트랜지스터(162)는 실시형태 1에 기재된 트랜지스터(450)와 같은 구성으로 할 수 있다.
- [0418] 여기서, 제 1 반도체 재료와 제 2 반도체 재료는 서로 다른 밴드 갭을 갖는 재료로 하는 것이 바람직하다. 예

를 들어, 제 1 반도체 재료를 산화물 반도체 이외의 반도체 재료(실리콘 등)로 하고, 제 2 반도체 재료를 산화물 반도체로 할 수 있다. 산화물 반도체 이외의 재료를 사용한 트랜지스터는 고속 동작이 용이하다. 한편, 산화물 반도체를 사용한 트랜지스터는 그 특성 때문에 장시간에 걸쳐 전하를 유지할 수 있게 한다.

- [0419] 트랜지스터(162)는 산화물 반도체를 포함한 트랜지스터이며 오프 전류가 작기 때문에, 이 트랜지스터를 사용함으로써 오랜 기간에 걸쳐 기억 내용을 유지할 수 있게 된다. 즉, 리프्रेस 동작이 필요 없거나 또는 리프्रेस 동작의 빈도가 매우 적은 반도체 기억 장치로 할 수 있기 때문에 소비 전력을 충분히 저감시킬 수 있다.
- [0420] 또한, 상기 트랜지스터의 양쪽 모두가 n채널형 트랜지스터인 것으로 설명하지만, p채널형 트랜지스터를 사용할 수 있는 것은 물론이다. 또한, 기재된 발명의 기술적인 본질은, 정보를 유지하기 위하여 산화물 반도체를 트랜지스터(162)에 사용한다는 점에 있기 때문에, 반도체 장치에 사용되는 재료나 반도체 장치의 구조 등, 반도체 장치의 구체적인 구성을 여기에 기재된 것들에 한정할 필요는 없다.
- [0421] 도 17a에 도시된 트랜지스터(160)는 반도체 재료(예를 들어, 실리콘 등)를 포함한 기판(100)에 제공된 채널 형성 영역(116)과, 채널 형성 영역(116)을 끼우도록 제공된 불순물 영역(120)과, 불순물 영역(120)에 접하는 금속간 화합물 영역(124)과, 채널 형성 영역(116) 위에 제공된 게이트 절연막(108)과, 게이트 절연막(108) 위에 제공된 게이트 전극(110)을 갖는다. 또한, 도면에 있어서 소스 전극이나 드레인 전극을 명시적으로 도시하지 않은 경우가 있지만, 편의상 이러한 상태를 포함하여 트랜지스터라고 부를 경우가 있다. 또한, 이 경우에는 트랜지스터의 접속 관계를 설명하기 위하여 소스 영역이나 드레인 영역을 포함하여 소스 전극이나 드레인 전극이라고 표현할 경우가 있다. 즉, 본 명세서에서 소스 전극이라고 기재한 경우에는 소스 영역이 포함될 수 있다.
- [0422] 기판(100) 위에는 트랜지스터(160)를 둘러싸도록 소자 분리 절연막(106)이 제공되어 있고, 트랜지스터(160)를 덮도록 절연막(130)이 제공되어 있다. 또한, 고집적화를 실현하기 위해서는, 도 17a에 도시된 바와 같이 트랜지스터(160)가 사이드 월 절연막을 갖지 않는 구성으로 하는 것이 바람직하다. 한편, 트랜지스터(160)의 특성을 중요시하는 경우에는, 게이트 전극(110) 측면에 사이드 월 절연막을 제공하고, 불순물 농도가 상이한 영역을 포함하는 불순물 영역(120)으로 하여도 좋다.
- [0423] 도 17a에 도시된 트랜지스터(162)는 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터이다. 또한, 산화물 반도체막(144)은 저저항 영역인 소스 영역(144a), 드레인 영역(144b), 및 채널 형성 영역(144c)을 포함한다. 채널 형성 영역(144c)은 소스 영역(144a)과 드레인 영역(144b) 사이에 개재되어 형성된다.
- [0424] 트랜지스터(162)의 제작 공정에 있어서, 게이트 전극(148) 위에 제공된 절연막을 화학적 기계적 연마 처리에 의하여 제거하는 공정을 사용하여, 게이트 전극(148)의 측면 및 상면에 측벽 절연막(135)을 형성한다. 또한, 게이트 절연막(146)은 산화물 반도체막(144) 측부터 질화 산화 실리콘막과 산화 알루미늄막이 순차적으로 적층된 적층막이다. 또한, 산화물 반도체막(144)은 에칭 처리되어, 채널 길이 방향의 길이가 상이하게 되도록 십자형으로 형성되어 있다.
- [0425] 또한, 소스 전극(142a) 및 드레인 전극(142b)은 노출된 산화물 반도체막(144)의 상면 및 측벽 절연막(135)과 접하여 제공되어 있다.
- [0426] 트랜지스터(162) 위에는 층간 절연막(149), 절연막(150)이 단층 또는 적층으로 제공되어 있다. 본 실시형태에 서는, 절연막(150)으로서 산화 알루미늄막을 사용한다. 산화 알루미늄막을 고밀도(막 밀도 3.2g/cm³ 이상, 바람직하게는 3.6g/cm³ 이상)로 함으로써, 트랜지스터(162)에 안정적인 전기 특성을 부여할 수 있다.
- [0427] 또한, 층간 절연막(149) 및 절연막(150)을 개재하여 소스 전극(142a)과 중첩되는 영역에는 도전막(153)이 제공되어 있고, 소스 전극(142a)과, 층간 절연막(149)과, 절연막(150)과, 도전막(153)으로 용량 소자(164)가 구성된다. 즉, 소스 전극(142a)은 용량 소자(164)의 한쪽 전극으로서 기능하고, 도전막(153)은 용량 소자(164)의 다른 쪽 전극으로서 기능한다. 또한, 용량이 불필요한 경우에는, 용량 소자(164)가 형성되지 않는 구성으로 할 수도 있다. 또한, 용량 소자(164)는 별도로 트랜지스터(162)의 상방에 제공하여도 좋다.
- [0428] 트랜지스터(162) 및 용량 소자(164) 위에는 절연막(152)이 제공되어 있다. 그리고, 절연막(152) 위에는 트랜지스터(162)와 다른 트랜지스터를 접속하기 위한 배선(156a), 배선(156b)이 제공되어 있다. 배선(156a)은 층간 절연막(149), 절연막(150), 및 절연막(152) 등에 형성된 개구에 형성된 전극을 통하여 소스 전극(142a)과 전기적으로 접속된다. 배선(156b)은 층간 절연막(149), 절연막(150), 및 절연막(152) 등에 형성된 개구에 형성된 전극을 통하여 드레인 전극(142b)과 전기적으로 접속된다.

- [0429] 도 17a 및 도 17b에서 트랜지스터(160)와 트랜지스터(162)는 적어도 일부가 중첩되도록 제공되어 있고, 트랜지스터(160)의 소스 영역 또는 드레인 영역과 산화물 반도체막(144)의 일부가 중첩되도록 제공되어 있는 것이 바람직하다. 또한, 트랜지스터(162) 및 용량 소자(164)가 트랜지스터(160)의 적어도 일부와 중첩되도록 제공되어 있다. 예를 들어, 용량 소자(164)의 도전막(153)은 트랜지스터(160)의 게이트 전극(110)과 적어도 일부가 중첩되어 제공되어 있다. 이와 같은 평면 레이아웃을 채용함으로써, 반도체 장치의 점유 면적의 저감을 도모할 수 있기 때문에 고집적화를 도모할 수 있다.
- [0430] 도 17c는 도 17a 및 도 17b에 대응하는 회로 구성의 일례를 도시한 것이다.
- [0431] 도 17c에서, 제 1 배선(1st Line)과 트랜지스터(160)의 소스 전극은 전기적으로 접속되고, 제 2 배선(2nd Line)과 트랜지스터(160)의 드레인 전극은 전기적으로 접속된다. 또한, 제 3 배선(3rd Line)과 트랜지스터(162)의 소스 전극 및 트레인 전극의 한쪽은 전기적으로 접속되고, 제 4 배선(4th Line)과 트랜지스터(162)의 게이트 전극은 전기적으로 접속된다. 그리고, 트랜지스터(160)의 게이트 전극과 트랜지스터(162)의 소스 전극 및 드레인 전극의 한쪽은 용량 소자(164)의 한쪽 전극과 전기적으로 접속되고, 제 5 배선(5th Line)과 용량 소자(164)의 다른 쪽 전극은 전기적으로 접속된다.
- [0432] 도 17c에 도시된 반도체 장치에서는 트랜지스터(160)의 게이트 전극의 전위를 유지할 수 있는 특징을 살림으로써 정보의 기록, 유지, 및 판독이 다음과 같이 가능하다.
- [0433] 정보의 기록 및 정보의 유지에 대하여 설명한다. 우선, 제 4 배선의 전위를 트랜지스터(162)가 온 상태가 되는 전위로 하여 트랜지스터(162)를 온 상태로 한다. 이로써, 제 3 배선의 전위가 트랜지스터(160)의 게이트 전극 및 용량 소자(164)가 접속된 노드(노드 FG)에 공급된다. 즉, 노드 FG에는 소정의 전하가 공급된다(기록). 여기서, 다른 2개의 전위 레벨을 공급하는 전하(이하 Low 레벨 전하, High 레벨 전하라고 함) 중 어느 것이 공급되는 것으로 한다. 그 후, 제 4 배선의 전위를 트랜지스터(162)가 오프 상태가 되는 전위로 하여 트랜지스터(162)를 오프 상태로 함으로써, 노드 FG에 공급된 전하가 유지된다(유지).
- [0434] 트랜지스터(162)의 오프 전류는 매우 작기 때문에, 트랜지스터(160)의 게이트 전극의 전하는 장시간에 걸쳐 유지된다.
- [0435] 다음에, 정보의 판독에 대하여 설명한다. 제 1 배선에 소정의 전위(정전위)가 공급된 상태에서 제 5 배선에 적절한 전위(판독 전위)가 공급되면, 노드 FG에 유지된 전하량에 따라 제 2 배선은 다른 전위를 취한다. 이 이유로서는, 일반적으로 트랜지스터(160)를 n채널형으로 하면, 노드 FG(트랜지스터(160)의 게이트 전극이라고 바꾸어 말할 수도 있음)에 High 레벨 전하가 공급된 경우의 결보기 문턱값 전압 $V_{th,H}$ 은 노드 FG에 Low 레벨 전하가 공급된 경우의 결보기 문턱값 전압 $V_{th,L}$ 보다 낮게 되기 때문이다. 여기서, 결보기 문턱값 전압이란 트랜지스터(160)를 온 상태로 하는 데 필요한 제 5 배선의 전위를 가리킨다. 따라서, 제 5 배선의 전위를 $V_{th,H}$ 와 $V_{th,L}$ 사이의 전위 V_0 으로 함으로써, 노드 FG에 공급된 전하를 판별할 수 있다. 예를 들면, 기록에 있어서, High 레벨 전하가 공급된 경우에는, 제 5 배선의 전위가 $V_0(>V_{th,H})$ 이 되면, 트랜지스터(160)는 '온 상태'가 된다. Low 레벨 전하가 공급된 경우에는, 제 5 배선의 전위가 $V_0(<V_{th,L})$ 이 되어도, 트랜지스터(160)는 '오프 상태'인 채이다. 따라서, 제 2 배선의 전위에 의하여 유지된 정보를 판독할 수 있다.
- [0436] 또한, 메모리 셀을 어레이 형상으로 배치하여 사용하는 경우에는, 원하는 메모리 셀의 정보만을 판독할 수 있을 필요가 있다. 정보를 판독하지 않는 경우에는, 게이트 전극의 상태에 상관없이 트랜지스터(160)가 '오프 상태'가 되는 전위, 즉 $V_{th,H}$ 보다 작은 전위를 제 5 배선에 공급하면 좋다. 또는, 게이트 전극의 상태에 상관없이, 트랜지스터(160)가 '온 상태'가 되는 전위, 즉 $V_{th,L}$ 보다 큰 전위를 제 5 배선에 공급하면 좋다.
- [0437] 본 실시형태에 기재된 반도체 장치에서는 채널 형성 영역에 산화물 반도체를 사용한 오프 전류가 매우 작은 트랜지스터를 적용함으로써 매우 오랜 기간에 걸쳐 기억 내용을 유지할 수 있다. 즉, 리프래시 동작을 수행할 필요가 없게 되거나, 또는 리프래시 동작의 빈도를 매우 적게 할 수 있기 때문에 소비 전력을 충분히 저감할 수 있다. 또한, 전력이 공급되지 않는 경우(다만, 전위는 고정되는 것이 바람직함)에도 오랜 기간에 걸쳐 기억 내용을 유지할 수 있다.
- [0438] 또한, 본 실시형태에 기재된 반도체 장치에서는, 정보의 기록에 높은 전압을 필요로 하지 않아, 소자가 열화되는 문제도 없다. 예를 들면, 종래의 비휘발성 메모리와 같이, 플로팅 게이트에 전자를 주입하거나, 플로팅 게이트로부터 전자를 뺄 필요가 없기 때문에, 게이트 절연막의 열화 등의 문제가 전혀 생기지 않는다. 즉, 기재

된 발명에 따른 반도체 장치에서는 종래의 비휘발성 메모리에서 문제가 되어 있는 재기록 가능 횟수에 대한 제한이 없고, 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 온 상태, 오프 상태에 따라 정보가 기록되기 때문에 고속 동작도 용이하게 실현될 수 있다.

- [0439] 이상, 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0440] (실시형태 9)
- [0441] 본 실시형태에서는, 실시형태 1에 기재된 트랜지스터를 사용하여, 전력이 공급되지 않는 상황에서도 기억 내용을 유지할 수 있고, 또 기록 횟수에도 제한이 없는 반도체 장치에 대하여, 실시형태 7에 기재된 구성과 다른 구성에 대하여 도 18a 내지 도 20을 사용하여 설명한다. 또한, 본 실시형태의 반도체 장치는 트랜지스터(162)로서 실시형태 2에 기재된 트랜지스터를 적용하여 구성된다. 트랜지스터(162)로서는 실시형태 1에 기재된 트랜지스터 중 어느 구조를 적용할 수도 있다.
- [0442] 도 18a는 반도체 장치의 회로 구성의 일례를 도시한 것이고, 도 18b는 반도체 장치의 일례를 도시한 개념도이다. 우선, 도 18a에 도시된 반도체 장치에 대하여 설명하고, 이어서 도 18b에 도시된 반도체 장치에 대하여 이하에서 설명한다.
- [0443] 도 18a에 도시된 반도체 장치에서 비트선 BL과 트랜지스터(162)의 소스 전극 또는 드레인 전극은 전기적으로 접속되고, 워드선 WL과 트랜지스터(162)의 게이트 전극은 전기적으로 접속되고, 트랜지스터(162)의 소스 전극 또는 드레인 전극과 용량 소자(164)의 제 1 단자는 전기적으로 접속된다.
- [0444] 산화물 반도체를 사용한 트랜지스터(162)는 오프 전류가 매우 작다는 특징을 갖는다. 따라서, 트랜지스터(162)를 오프 상태로 함으로써 용량 소자(164)의 제 1 단자의 전위(또는, 용량 소자(164)에 축적된 전하)를 매우 장시간에 걸쳐 유지할 수 있다.
- [0445] 다음에, 도 18a에 도시된 반도체 장치(메모리 셀(250))에서의 정보의 기록 및 유지를 수행하는 경우에 대하여 설명한다.
- [0446] 우선, 워드선 WL의 전위를 트랜지스터(162)가 온 상태가 되는 전위로 하여 트랜지스터(162)를 온 상태로 한다. 이로써, 비트선 BL의 전위가 용량 소자(164)의 제 1 단자에 공급된다(기록). 그 후, 워드선 WL의 전위를 트랜지스터(162)가 오프 상태가 되는 전위로 하여 트랜지스터(162)를 오프 상태로 함으로써, 용량 소자(164)의 제 1 단자의 전위가 유지된다(유지).
- [0447] 트랜지스터(162)의 오프 전류는 매우 작기 때문에, 용량 소자(164)의 제 1 단자의 전위(또는 용량 소자에 축적된 전하)는 장시간에 걸쳐 유지될 수 있다.
- [0448] 다음에, 정보의 판독에 대하여 설명한다. 트랜지스터(162)가 온 상태가 되면 부유 상태인 비트선 BL과 용량 소자(164)가 도통되고, 비트선 BL과 용량 소자(164) 사이에서 전하가 재분배된다. 그 결과, 비트선 BL의 전위가 변화한다. 비트선 BL의 전위의 변화량은 용량 소자(164)의 제 1 단자의 전위(또는 용량 소자(164)에 축적된 전하)에 따라 달라진다.
- [0449] 예를 들어, 용량 소자(164)의 제 1 단자의 전위를 V, 용량 소자(164)의 용량을 C, 비트선 BL이 갖는 용량 성분(이하, 비트선 용량이라고도 부름)을 CB, 전하가 재분배되기 전의 비트선 BL의 전위를 VB0으로 하면, 전하가 재분배된 후의 비트선 BL의 전위는 $(CB \times VB0 + C \times V) / (CB + C)$ 가 된다. 따라서, 메모리 셀(250)의 상태로서 용량 소자(164)의 제 1 단자의 전위가 V1과 V0(V1 > V0)의 2가지 상태를 취한다고 하면, 전위 V1을 유지한 경우의 비트선 BL의 전위 $(= (CB \times VB0 + C \times V1) / (CB + C))$ 는 전위 V0을 유지한 경우의 비트선 BL의 전위 $(= (CB \times VB0 + C \times V0) / (CB + C))$ 보다 높은 것을 알 수 있다.
- [0450] 그리고, 비트선 BL의 전위를 소정의 전위와 비교함으로써, 정보를 판독할 수 있다.
- [0451] 이와 같이, 도 18a에 도시된 반도체 장치는, 트랜지스터(162)의 오프 전류가 매우 작다는 특징을 갖기 때문에, 용량 소자(164)에 축적된 전하는 장시간에 걸쳐 유지될 수 있다. 즉, 리프레시 동작을 수행할 필요가 없게 되거나, 또는 리프레시 동작의 빈도를 매우 적게 할 수 있기 때문에 소비 전력을 충분히 저감할 수 있다. 또한, 전력의 공급이 없는 경우에도, 오랜 기간에 걸쳐 기억 내용을 유지할 수 있다.
- [0452] 다음에, 도 18b에 도시된 반도체 장치에 대하여 설명한다.

- [0453] 도 18b에 도시된 반도체 장치는 상부에 기억 회로로서 도 18a에 도시된 메모리 셀(250)을 복수로 갖는 메모리 셀 어레이(251)(메모리 셀 어레이(251a) 및 메모리 셀 어레이(251b))을 갖고, 하부에 메모리 셀 어레이(251a) 및 메모리 셀 어레이(251b)를 동작시키는 데 필요한 주변 회로(253)를 갖는다. 또한, 주변 회로(253)는 메모리 셀 어레이(251a) 및 메모리 셀 어레이(251b)와 전기적으로 접속되어 있다.
- [0454] 도 18b에 도시된 구성으로 함으로써 주변 회로(253)를 메모리 셀 어레이(251a) 및 메모리 셀 어레이(251b) 바로 아래에 제공할 수 있기 때문에 반도체 장치의 소형화를 도모할 수 있다.
- [0455] 주변 회로(253)에 제공되는 트랜지스터에는 트랜지스터(162)와 다른 반도체 재료가 사용되는 것이 더 바람직하다. 예를 들어, 실리콘, 게르마늄, 실리콘 게르마늄, 탄소화 실리콘, 또는 갈륨 비소 등을 사용할 수 있고, 단 결정 반도체를 사용하는 것이 바람직하다. 이 외에 유기 반도체 재료 등을 사용하여도 좋다. 이러한 반도체 재료가 사용된 트랜지스터는 충분한 고속 동작이 가능하다. 따라서, 상기 트랜지스터에 의하여 고속 동작이 요구되는 각종 회로(논리 회로, 구동 회로 등)를 바람직하게 실현할 수 있다.
- [0456] 또한, 도 18b에 도시된 반도체 장치에서는 2개의 메모리 셀 어레이(메모리 셀 어레이(251a) 및 메모리 셀 어레이(251b))가 적층된 구성을 예시하였지만 적층하는 메모리 셀 어레이의 개수는 이것에 한정되지 않는다. 3개 이상의 메모리 셀 어레이가 적층된 구성으로 하여도 좋다.
- [0457] 다음에, 도 18a에 도시된 메모리 셀(250)의 구체적인 구성에 대하여 도 19a 및 도 19b를 사용하여 설명한다.
- [0458] 도 19a 및 도 19b는 메모리 셀(250)의 구성의 일례를 도시한 것이다. 도 19a는 메모리 셀(250)의 단면도이고, 도 19b는 메모리 셀(250)의 평면도이다. 여기서, 도 19a는 도 19b의 I-J, 및 K-L에서의 단면에 상당한다.
- [0459] 도 19a 및 도 19b에 도시된 트랜지스터(162)는 실시형태 1에서 기재한 구성과 동일한 구성으로 할 수 있다.
- [0460] 트랜지스터(162) 위에는 층간 절연막(149)이 단층 또는 적층으로 제공되어 있다. 또한, 층간 절연막(149) 및 절연막(150)을 개재하여, 트랜지스터(162)의 소스 전극(142a)과 중첩되는 영역에는 도전막(153)이 제공되어 있고, 소스 전극(142a)과, 층간 절연막(149)과, 절연막(150)과, 도전막(153)으로 용량 소자(164)가 구성된다. 즉, 트랜지스터(162)의 소스 전극(142a)은 용량 소자(164)의 한쪽 전극으로서 기능하고, 도전막(153)은 용량 소자(164)의 다른 쪽 전극으로서 기능한다.
- [0461] 트랜지스터(162) 및 용량 소자(164) 위에는 절연막(152)이 제공되어 있다. 그리고, 절연막(152) 위에는 메모리 셀(250)과 인접된 메모리 셀(250)을 접속하기 위한 배선(156a) 및 배선(156b)이 제공되어 있다. 배선(156a)은 층간 절연막(149), 절연막(150), 및 절연막(152) 등에 형성된 개구에 형성된 전극을 통하여 소스 전극(142a)에 전기적으로 접속된다. 배선(156b)은 층간 절연막(149), 절연막(150), 및 절연막(152) 등에 형성된 개구에 형성된 전극을 통하여 드레인 전극(142b)에 전기적으로 접속된다. 다만, 개구에 다른 도전막을 제공하고, 상기 다른 도전막을 통하여 배선(156a), 배선(156b)과 소스 전극(142a), 드레인 전극(142b)을 각각 전기적으로 접속하여도 좋다. 또한, 배선(156a), 배선(156b)은 도 18a에 도시된 회로도에서의 비트선 BL에 상당한다.
- [0462] 도 19a 및 도 19b에서, 트랜지스터(162)의 드레인 전극(142b)은 인접한 메모리 셀에 포함되는 트랜지스터의 소스 전극으로서도 기능할 수 있다.
- [0463] 도 19a에 도시된 평면 레이아웃을 채용함으로써, 반도체 장치의 점유 면적의 저감을 도모할 수 있기 때문에 고 집적화를 도모할 수 있다.
- [0464] 상술한 바와 같이, 상부에 다층으로 형성된 복수의 메모리 셀은 산화물 반도체를 사용한 트랜지스터에 의하여 형성되어 있다. 산화물 반도체를 사용한 트랜지스터는 오프 전류가 작기 때문에, 이것을 사용함으로써 오랜 기간에 걸쳐 기억 내용을 유지할 수 있다. 즉, 리프래시 동작의 빈도를 매우 적게 할 수 있기 때문에 소비 전력을 충분히 저감시킬 수 있다.
- [0465] 상술한 바와 같이, 산화물 반도체 이외의 재료를 사용한 트랜지스터(바꿔 말하면, 충분한 고속 동작이 가능한 트랜지스터)를 사용한 주변 회로와 산화물 반도체를 사용한 트랜지스터(보다 광의적으로는 오프 전류가 충분히 작은 트랜지스터)를 사용한 기억 회로를 일체로 구비함으로써 여태까지 없었던 특징을 갖는 반도체 장치를 실현할 수 있다. 또한, 주변 회로와 기억 회로를 적층 구조로 함으로써 반도체 장치의 집적화를 도모할 수 있다.
- [0466] 도 20은 도 18b에 도시된 반도체 장치의 적층 구성의 일례를 도시한 단면도이다. 도 20에서는, 논리 회로(3004), 메모리 셀(3170a)과, 메모리 셀(3170b)을 대표적으로 도시하였다. 메모리 셀(3170a) 및 메모리 셀(3170b)로서는, 예를 들어 상술한 실시형태에서 기재한 회로 구성과 같은 구성으로 할 수도 있다.

- [0467] 또한, 메모리 셀(3170a)에 포함되는 트랜지스터(3171a)를 대표로서 도시하였다. 메모리 셀(3170b)에 포함되는 트랜지스터(3171b)를 대표로서 도시하였다. 트랜지스터(3171a) 및 트랜지스터(3171b)는, 산화물 반도체막에 채널 형성 영역을 갖는다. 산화물 반도체막에 채널 형성 영역이 형성되는 트랜지스터의 구성에 관해서는, 다른 실시형태에서 기재한 구성과 같기 때문에, 설명은 생략한다.
- [0468] 또한, 논리 회로(3004)는 산화물 반도체 이외의 반도체 재료를 채널 형성 영역으로서 사용한 트랜지스터(3001)를 갖는다. 트랜지스터(3001)는, 반도체 재료(예를 들면, 실리콘 등)를 포함한 기판(3000)에 소자 분리 절연층(3106)을 제공하고, 소자 분리 절연층(3106)으로 둘러싸인 영역에 채널 형성 영역이 되는 영역을 형성함으로써 얻어지는 트랜지스터로 할 수 있다. 또한, 트랜지스터(3001)는 절연 표면 위에 형성된 실리콘막 등의 반도체막이나, SOI 기판의 실리콘막에 채널 형성 영역이 형성되는 트랜지스터라도 좋다. 트랜지스터(3001)의 구성에 관해서는, 공지의 구성을 사용하는 것이 가능하기 때문에, 설명은 생략한다.
- [0469] 트랜지스터(3171a)가 형성된 층과, 트랜지스터(3001)가 형성된 층 사이에는, 배선(3100a) 및 배선(3100b)이 형성되어 있다. 배선(3100a)과, 트랜지스터(3001)가 형성된 층 사이에는 절연막(3140a)이 제공되고, 배선(3100a)과 배선(3100b) 사이에는 절연막(3141a)이 제공되고, 배선(3100b)과, 트랜지스터(3171a)가 형성된 층 사이에는 절연막(3142a)이 제공되어 있다.
- [0470] 마찬가지로, 트랜지스터(3171b)가 형성된 층과, 트랜지스터(3171a)가 형성된 층 사이에는, 배선(3100c) 및 배선(3100d)이 형성되어 있다. 배선(3100c)과, 트랜지스터(3171a)가 형성된 층 사이에는 절연막(3140b)이 제공되고, 배선(3100c)과 배선(3100d) 사이에는 절연막(3141b)이 제공되고, 배선(3100d)과, 트랜지스터(3171b)가 형성된 층 사이에는 절연막(3142b)이 제공되어 있다.
- [0471] 절연막(3140a), 절연막(3141a), 절연막(3142a), 절연막(3140b), 절연막(3141b), 절연막(3142b)은, 층간 절연막으로서 기능하고, 그 표면은 평탄화된 구성으로 할 수 있다.
- [0472] 배선(3100a), 배선(3100b), 배선(3100c), 배선(3100d)에 의하여, 메모리 셀간의 전기적 접속이나, 논리 회로(3004)와 메모리 셀의 전기적 접속 등을 수행할 수 있다.
- [0473] 논리 회로(3004)에 포함되는 전극(3303)은, 상부에 제공된 회로와 전기적으로 접속할 수 있다.
- [0474] 예를 들어, 도 20에 도시된 바와 같이, 전극(3303)은 전극(3505)을 통하여 배선(3100a)에 전기적으로 접속될 수 있다. 배선(3100a)은 전극(3503a)을 통하여 배선(3100b)에 전기적으로 접속될 수 있다. 배선(3100b)은 전극(3504a)을 통하여 트랜지스터(3171a)의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속될 수 있다. 이로써, 트랜지스터(3171a)의 소스 전극 또는 드레인 전극에 전극(3303)을 전기적으로 접속할 수 있다. 트랜지스터(3171a)의 소스 전극 또는 드레인 전극은 전극(3503b)을 통하여 배선(3100c)에 전기적으로 접속될 수 있다.
- [0475] 또한, 도 20에서는, 2개의 메모리 셀(메모리 셀(3170a)과, 메모리 셀(3170b))이 적층된 구성을 예로서 도시하였지만, 적층되는 메모리 셀의 개수는 이것에 한정되지 않는다.
- [0476] 도 20에서는 전극(3303)과 트랜지스터(3171a)가 배선(3100a) 및 배선(3100b)을 통하여 전기적으로 접속된 예를 도시하였지만 이것에 한정되지 않는다. 전극(3303)과 트랜지스터(3171a)는 배선(3100a)만을 통하여 전기적으로 접속되어도 좋고, 배선(3100b)만을 통하여 전기적으로 접속되어도 좋다. 또한, 배선(3100a)도 배선(3100b)도 통하지 않고 다른 전극을 사용하여 전기적으로 접속되어도 좋다.
- [0477] 또한, 도 20에서는, 트랜지스터(3171a)가 형성된 층과 트랜지스터(3001)가 형성된 층 사이에는, 배선(3100a)이 형성된 배선층과 배선(3100b)이 형성된 배선층의, 2개의 배선층이 제공된 구성을 도시하였지만, 이것에 한정되지 않는다. 트랜지스터(3171a)가 형성된 층과 트랜지스터(3001)가 형성된 층 사이에, 하나의 배선층이 제공되어도 좋고, 3개 이상의 배선층이 제공되어도 좋다.
- [0478] 또한, 도 20에서 트랜지스터(3171b)가 형성된 층과 트랜지스터(3171a)가 형성된 층과의 사이에는, 배선(3100c)이 형성된 배선층과 배선(3100d)이 형성된 배선층의, 2개의 배선층이 제공된 구성을 도시하였지만, 이것에 한정되지 않는다. 트랜지스터(3171b)가 형성된 층과 트랜지스터(3171a)가 형성된 층 사이에, 하나의 배선층이 제공되어도 좋고, 3개 이상의 배선층이 제공되어도 좋다.
- [0479] 이상, 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0480] (실시형태 10)

- [0481] 본 실시형태에서는, 상술한 실시형태에 기재된 반도체 장치를 휴대 전화, 스마트폰, 전자 서적 등의 휴대 기기에 응용한 경우의 예에 대하여 도 21a 내지 도 24를 사용하여 설명한다.
- [0482] 휴대 전화, 스마트폰, 전자 서적 등의 휴대 기기에서는, 화상 데이터의 임시 기억 등에 SRAM 또는 DRAM이 사용되고 있다. SRAM 또는 DRAM이 사용되는 이유로는 플래시 메모리는 응답이 느려, 화상 처리에 적합하지 않기 때문이다. 한편, SRAM 또는 DRAM을 화상 데이터의 임시 기억에 사용한 경우 이하와 같은 특징이 있다.
- [0483] 일반적인 SRAM은 도 21a에 도시된 바와 같이 하나의 메모리 셀이 트랜지스터(801) 내지 트랜지스터(806)의 6개의 트랜지스터로 구성되어 있고, 이것을 X 디코더(807) 및 Y 디코더(808)로 구동시킨다. 트랜지스터(803)와 트랜지스터(805), 및 트랜지스터(804)와 트랜지스터(806)는 인버터를 구성하고, 고속 구동을 가능하게 한다. 그러나, 하나의 메모리 셀이 6개의 트랜지스터로 구성되어 있기 때문에, 셀의 면적이 크다는 단점이 있다. 디자인 룰의 최소 치수를 F로 하였을 때, SRAM의 메모리 셀 면적은 일반적으로 $100F^2$ 내지 $150F^2$ 이다. 그래서, SRAM은 비트당 단가가 각종 메모리 중에서 가장 비싸다.
- [0484] 한편, 도 21b에 도시된 바와 같이 DRAM은 메모리 셀이 트랜지스터(811) 및 유지 용량(812)으로 구성되고, 이것을 X 디코더(813) 및 Y 디코더(814)로 구동시킨다. 하나의 메모리 셀이 하나의 트랜지스터 및 하나의 용량으로 구성되어 있어 면적이 작다. DRAM의 메모리 셀 면적은 보통 $10F^2$ 이하이다. 그러나, DRAM은 항상 리프레시 동작이 필요하기 때문에 재기록하지 않는 동안에도 전력을 소비한다.
- [0485] 그러나, 상술한 실시형태에 기재된 반도체 장치의 메모리 셀 면적은 $10F^2$ 전후이며 빈번한 리프레시 동작이 불필요하다. 따라서, 메모리 셀 면적이 축소되고 소비 전력을 저감시킬 수 있다.
- [0486] 도 22는 휴대 기기의 블록도이다. 도 22에 도시된 휴대 기기는 RF 회로(901), 아날로그 베이스 밴드 회로(902), 디지털 베이스 밴드 회로(903), 배터리(904), 전원 회로(905), 애플리케이션 프로세서(906), 플래시 메모리(910), 디스플레이 컨트롤러(911), 메모리 회로(912), 디스플레이(913), 터치 센서(919), 음성 회로(917), 키보드(918) 등으로 구성되어 있다. 디스플레이(913)는 표시부(914), 소스 드라이버(915), 및 게이트 드라이버(916)로 구성되어 있다. 애플리케이션 프로세서(906)는 CPU(907), DSP(908), 인터페이스(IF)(909)를 갖는다. 일반적으로 메모리 회로(912)는 SRAM 또는 DRAM으로 구성되어 있지만, 이 부분에 상술한 실시형태에 기재된 반도체 장치를 채용함으로써, 정보의 기록 및 관독이 고속으로 수행되고, 오랜 기간에 걸쳐 기억 내용을 유지할 수 있으며, 소비 전력을 충분히 저감시킬 수 있다.
- [0487] 도 23은 디스플레이의 메모리 회로(950)에 상술한 실시형태에 기재된 반도체 장치를 사용한 예를 도시한 것이다. 도 23에 도시된 메모리 회로(950)는 메모리(952), 메모리(953), 스위치(954), 스위치(955), 및 메모리 컨트롤러(951)로 구성되어 있다. 또한, 메모리 회로에는 신호선으로부터 입력된 화상 데이터(입력 화상 데이터), 메모리(952) 및 메모리(953)에 기억된 데이터(기억 화상 데이터)의 관독 및 제어를 수행하는 디스플레이 컨트롤러(956)와, 디스플레이 컨트롤러(956)로부터의 신호에 의하여 표시가 수행되는 디스플레이(957)가 접속되어 있다.
- [0488] 우선, 어떠한 화상 데이터가 애플리케이션 프로세서(도시되지 않았음)에 의하여 형성된다(입력 화상 데이터 A). 입력 화상 데이터 A는 스위치(954)를 통하여 메모리(952)에 기억된다. 그리고, 메모리(952)에 기억된 화상 데이터(기억 화상 데이터 A)는 스위치(955) 및 디스플레이 컨트롤러(956)를 통하여 디스플레이(957)에 전송되어 표시된다.
- [0489] 입력 화상 데이터 A가 변경되지 않는 경우, 기억 화상 데이터 A는 보통 30Hz 내지 60Hz 정도의 주기로 메모리(952)로부터 스위치(955)를 통하여 디스플레이 컨트롤러(956)에 의하여 관독된다.
- [0490] 다음에, 예를 들어 사용자가 화면을 재기록하는 조작을 하였을 때(즉, 입력 화상 데이터 A가 변경되는 경우), 애플리케이션 프로세서는 새로운 화상 데이터(입력 화상 데이터 B)를 형성한다. 입력 화상 데이터 B는 스위치(954)를 통하여 메모리(953)에 기억된다. 이 동안에도 정기적으로 메모리(952)로부터 스위치(955)를 통하여 기억 화상 데이터 A는 관독되고 있다. 메모리(953)에 새로운 화상 데이터(기억 화상 데이터 B)가 모두 기억되면, 디스플레이(957)의 다음 프레임으로부터 기억 화상 데이터 B가 관독되고, 스위치(955) 및 디스플레이 컨트롤러(956)를 통하여 디스플레이(957)에 기억 화상 데이터 B가 전송되어 표시된다. 이 관독은 또 다른 화상 데이터가 메모리(952)에 기억될 때까지 계속된다.
- [0491] 상술한 바와 같이 메모리(952) 및 메모리(953)는 화상 데이터의 기록과 화상 데이터의 관독을 교대로 수행함으

로써 디스플레이(957)의 표시를 수행한다. 또한, 메모리(952) 및 메모리(953)로서 각각 별개의 메모리를 사용할 필요는 없고 하나의 메모리를 분할하여 사용하여도 좋다. 상술한 실시형태에 기재된 반도체 장치를 메모리(952) 및 메모리(953)에 채용함으로써 정보의 기록 및 판독을 고속으로 수행할 수 있고, 오랜 기간에 걸쳐 기억 내용을 유지할 수 있고, 또 소비 전력을 충분히 저감할 수 있다.

- [0492] 도 24는 전자 서적의 블록도이다. 도 24에 도시된 전자 서적은 배터리(1001), 전원 회로(1002), 마이크로 프로세서(1003), 플래시 메모리(1004), 음성 회로(1005), 키보드(1006), 메모리 회로(1007), 터치 패널(1008), 디스플레이(1009), 디스플레이 컨트롤러(1010)에 의하여 구성된다.
- [0493] 여기서는, 도 24에 도시된 메모리 회로(1007)에 상술한 실시형태에 기재된 반도체 장치를 사용할 수 있다. 메모리 회로(1007)는 서적의 내용을 임시적으로 유지하는 기능을 갖는다. 예를 들어, 사용자가 전자 서적을 읽고 있을 때, 표시의 색을 바꾸거나, 언더라인을 긋거나, 문자를 굵게 하거나, 문자의 서체를 바꾸는 등에 의하여 특정의 부분과 주위를 구별하는 하이라이트 기능을 사용하는 경우가 있다. 사용자가 지정한 부분의 정보를 오랜 기간에 걸쳐 저장하고자 하는 경우에는 플래시 메모리(1004)에 복사하여도 좋다. 이러한 경우에 있어서도, 상술한 실시형태에 기재된 반도체 장치를 채용함으로써 정보의 기록 및 판독을 고속으로 수행할 수 있고, 장기간에 걸쳐 기억 내용을 유지할 수 있으며, 소비 전력을 충분히 저감시킬 수 있다.
- [0494] 상술한 바와 같이, 본 실시형태에 기재된 휴대 기기에는 상술한 실시형태에 따른 반도체 장치가 탑재되어 있다. 따라서, 판독이 고속으로 수행되고, 장기간에 걸쳐 기억 내용을 유지할 수 있고, 또 소비 전력이 저감된 휴대 기기가 실현된다.
- [0495] 이상, 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0496] (실시형태 11)
- [0497] 본 명세서에서 기재하는 반도체 장치는, 다양한 전자 기기(게임기도 포함함)에 적용될 수 있다. 전자 기기로서는, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기, 휴대형 게임기, 휴대 정보 단말기, 음향 재생 장치, 게임기(파친코(pachinko)기, 슬롯 머신 등), 게임기의 하우스를 들 수 있다. 이들 전자 기기의 구체적인 예를 도 25a 내지 도 25c에 도시하였다.
- [0498] 도 25a 및 도 25b는 반으로 접을 수 있는 태블릿 단말기이다. 도 25a는, 태블릿 단말기를 펼친 상태이며, 태블릿 단말기는 하우스(9630), 표시부(9631a), 표시부(9631b), 표시 모드 전환 스위치(9034), 전원 스위치(9035), 전력 절약 모드 전환 스위치(9036), 후크(9033), 조작 스위치(9038)를 갖는다.
- [0499] 실시형태 1 내지 실시형태 6의 어느 하나에 기재된 반도체 장치는, 표시부(9631a), 표시부(9631b)에 사용될 수 있고, 신뢰성이 높은 태블릿 단말기로 하는 것이 가능하게 된다.
- [0500] 표시부(9631a)는 일부를 터치 패널의 영역(9632a)으로 할 수 있으며, 표시된 조작키(9638)를 터치함으로써 데이터를 입력할 수 있다. 또한, 도면에서는 일례로서 표시부(9631a)에 있어서 영역의 절반이 표시만의 기능을 갖는 구성이고 영역의 나머지 절반이 터치 패널 기능을 갖는 구성을 도시하였지만, 이 구성에 한정되지 않는다. 표시부(9631a)의 모든 영역이 터치 패널 기능을 갖는 구성으로 하여도 좋다. 예를 들어, 표시부(9631a)의 전체면에 키보드 버튼을 표시시킨 터치 패널로 하여, 표시부(9631b)를 표시 화면으로서 사용할 수 있다.
- [0501] 또한, 표시부(9631b)에서도 표시부(9631a)와 마찬가지로 표시부(9631b)의 일부를 터치 패널의 영역(9632b)으로 할 수 있다. 또한, 터치 패널의 키보드 표시 전환 버튼(9639)이 표시되어 있는 위치를 손가락이나 스타일러스 등으로 터치함으로써 표시부(9631b)에 키보드 버튼을 표시할 수 있다.
- [0502] 또한, 터치 패널의 영역(9632a)과 터치 패널의 영역(9632b)에 동시에 터치 입력할 수도 있다.
- [0503] 또한, 표시 모드 전환 스위치(9034)는 세로 표시 또는 가로 표시 등의 표시 방향의 전환, 흑백 표시나 컬러 표시의 전환 등을 선택할 수 있다. 전력 절약 모드 전환 스위치(9036)는 태블릿 단말기에 내장된 광 센서로 검출되는 사용시의 외광의 광량에 따라 표시의 휘도를 최적화할 수 있다. 태블릿 단말기는 광 센서뿐만 아니라, 자이로 센서, 가속도 센서 등 기울기를 검출하는 센서와 같은 다른 검출 장치를 내장하여도 좋다.
- [0504] 또한, 도 25a에서는 표시부(9631b)와 표시부(9631a)의 표시 면적이 같은 예를 도시하였지만 이것에 특별히 한정되지 않고, 서로 크기가 상이하여도 좋고 표시 품질도 상이하여도 좋다. 예를 들어, 한쪽을 다른 쪽보다 고정

세한 표시가 가능한 표시 패널로 하여도 좋다.

- [0505] 도 25b는 태블릿 단말기를 닫은 상태를 도시한 것이며, 태블릿 단말기는 하우징(9630), 태양 전지(9633), 충방전 제어 회로(9634), 배터리(9635), DCDC 컨버터(9636)를 갖는다. 또한, 도 25b에서는 충방전 제어 회로(9634)의 일례로서 배터리(9635), DCDC 컨버터(9636)를 갖는 구성을 도시하였다.
- [0506] 또한, 태블릿 단말기는 반으로 접을 수 있기 때문에, 사용하지 않을 때는 하우징(9630)을 닫은 상태로 할 수 있다. 따라서, 표시부(9631a), 표시부(9631b)를 보호할 수 있어 내구성이 우수하며 장기 사용의 관점에서 보아도 신뢰성이 우수한 태블릿 단말기를 제공할 수 있다.
- [0507] 이 외에도 도 25a 및 도 25b에 도시된 태블릿 단말기는 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 달력, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 터치 입력으로 조작 또는 편집하는 터치 입력 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 가질 수 있다.
- [0508] 태블릿 단말기의 표면에 장착된 태양 전지(9633)에 의하여, 전력을 터치 패널, 표시부, 또는 영상 신호 처리부 등에 공급할 수 있다. 또한, 태양 전지(9633)를 하우징(9630)의 한쪽 면 또는 양쪽 면에 설치할 수 있어, 배터리(9635)를 효율적으로 충전할 수 있는 구성으로 할 수 있다. 또한, 배터리(9635)로서 리튬 이온 전지를 사용하면, 소형화를 도모할 수 있는 등의 장점이 있다.
- [0509] 또한, 도 25b에 도시된 충방전 제어 회로(9634)의 구성 및 동작에 대하여 도 25c의 블록도를 참조로 설명한다. 도 25c는 태양 전지(9633), 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치 SW1 내지 스위치 SW3, 표시부(9631)를 도시한 것이며, 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치 SW1 내지 스위치 SW3이 도 25b에 도시된 충방전 제어 회로(9634)에 대응하는 개소이다.
- [0510] 우선, 외광을 이용하여, 태양 전지(9633)에 의하여 발전되는 경우의 동작의 예에 대하여 설명한다. 태양 전지에 의하여 발전된 전력은 배터리(9635)를 충전하기 위한 전압이 되도록 DCDC 컨버터(9636)로 승압 또는 강압된다. 그리고, 표시부(9631)의 동작에 태양 전지(9633)로부터의 전력이 사용될 때는, 스위치 SW1을 온으로 하고, 컨버터(9637)로 표시부(9631)에 필요한 전압으로 승압 또는 강압한다. 또한, 표시부(9631)에 있어서 표시를 수행하지 않을 때는, 스위치 SW1을 오프로 하고, 스위치 SW2를 온으로 하고 배터리(9635)를 충전하는 구성으로 하면 좋다.
- [0511] 또한, 태양 전지(9633)는, 발전 수단의 일례로서 나타내었지만, 이것에 특별히 한정되지 않으며, 압전 소자(피에조 소자)나 열전 변환 소자(펄티어 소자) 등의 다른 발전 수단에 의하여 배터리(9635)의 충전을 수행하는 구성이라도 좋다. 예를 들어, 무선(비접촉)으로 전력을 송수신하여 충전하는 무접점 전력 전송 모듈이나, 또 다른 충전 수단을 조합하여 수행하는 구성으로 하여도 좋다.
- [0512] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0513] (실시형태 12)
- [0514] 상술한 실시형태에 기재된 트랜지스터를 적어도 일부에 사용하여 CPU(Central Processing Unit)를 구성할 수 있다.
- [0515] 도 26a는 CPU의 구체적인 구성을 도시한 블록도이다. 도 26a에 도시된 CPU는 기관(1190) 위에 ALU(연산 회로: arithmetic logic unit)(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(Bus I/F)(1198), 재기록 가능한 ROM(1199), 및 ROM 인터페이스(ROM I/F)(1189)를 갖는다. 기관(1190)은 반도체 기관, SOI 기관, 유리 기관 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는 다른 칩에 제공되어도 좋다. 물론, 도 26a에 도시된 CPU는 그 구성을 간략화하여 도시한 일례에 불과하고, 실제의 CPU는 그 용도에 따라 다종다양한 구성을 갖는다.
- [0516] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은 인스트럭션 디코더(1193)에 입력되어 복호화된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.
- [0517] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는, 복호화된 명령에 따라 각종 제어를 수행한다. 구체적으로는 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 컨트롤러(1194)는 CPU의 프로그램을 실행하는 동안에 외부의 입출력 장치나 주

변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태로부터 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)의 판독이나 기록을 수행한다.

- [0518] 또한, 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 컨트롤러(1195)는 기준 클럭 신호 CLK1에 기초하여, 내부 클럭 신호 CLK2를 생성하는 내부 클럭 생성부를 갖추고 있어, 내부 클럭 신호 CLK2를 상기 각종 회로에 공급한다.
- [0519] 도 26a에 도시된 CPU에서는 레지스터(1196)에 메모리 셀이 제공되어 있다. 레지스터(1196)의 메모리 셀로서는 상술한 실시형태에 기재된 반도체 장치를 포함한 메모리 셀을 사용할 수 있다.
- [0520] 도 26a에 도시된 CPU에서, 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라서, 레지스터(1196)에 있어서의 유지 동작을 선택한다. 즉, 레지스터(1196)가 갖는 메모리 셀에 있어서, 논리(값)를 반전시키는 논리 소자에 의한 데이터의 유지를 수행할지 용량 소자에 의한 데이터의 유지를 수행할지를 선택한다. 논리(값)를 반전시키는 논리 소자에 의한 데이터의 유지가 선택된 경우에는 레지스터(1196) 내의 메모리 셀에 전원 전압이 공급된다. 용량 소자에 의한 데이터의 유지가 선택된 경우에는 용량 소자에 데이터가 덮어 쓰이고, 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급을 정지할 수 있다.
- [0521] 도 26b 또는 도 26c에 도시된 바와 같이, 메모리 셀군과, 전원 전위 VDD 또는 전원 전위 VSS가 인가되는 노드 사이에 스위칭 소자를 제공함으로써, 전원을 정지할 수 있다. 이하에서 도 26b 및 도 26c에 도시된 회로에 대하여 설명한다.
- [0522] 도 26b 및 도 26c에서는, 메모리 셀에 대한 전원 전위의 공급을 제어하는 스위칭 소자에 상술한 실시형태에 기재된 트랜지스터를 포함한 기억 회로의 구성의 일례를 도시하였다.
- [0523] 도 26b에 도시된 기억 장치는 스위칭 소자(1141)와, 복수의 메모리 셀(1142)을 갖는 메모리 셀군(1143)을 갖는다. 구체적으로는 각 메모리 셀(1142)에는 상술한 실시형태에 기재된 메모리 셀을 사용할 수 있다. 메모리 셀군(1143)이 갖는 각 메모리 셀(1142)에는 스위칭 소자(1141)를 통하여 High 레벨의 전원 전위 VDD가 공급된다. 또한, 메모리 셀군(1143)이 갖는 각 메모리 셀(1142)에는 신호 IN의 전위 및 Low 레벨의 전원 전위 VSS의 전위가 공급된다.
- [0524] 도 26b에서는, 스위칭 소자(1141)로서 상술한 실시형태에 기재된 트랜지스터가 사용되고, 상기 트랜지스터는 그 게이트 전극에 공급되는 신호 SigA에 의하여 스위칭이 제어된다.
- [0525] 또한, 도 26b에서는, 스위칭 소자(1141)가 트랜지스터를 하나만 갖는 구성을 도시하였지만, 이것에 특별히 한정되지 않고, 복수의 트랜지스터를 가져도 좋다. 스위칭 소자(1141)가 스위칭 소자로서 기능하는 복수의 트랜지스터를 갖는 경우, 상기 복수의 트랜지스터는 병렬로 접속되어도 좋고, 직렬로 접속되어도 좋고, 직렬과 병렬이 조합되어 접속되어도 좋다.
- [0526] 또한, 도 26b에서는 스위칭 소자(1141)에 의하여 메모리 셀군(1143)이 갖는 각 메모리 셀(1142)에 대한 High 레벨의 전원 전위 VDD의 공급이 제어되지만, 스위칭 소자(1141)에 의하여 Low 레벨의 전원 전위 VSS의 공급이 제어되도 좋다.
- [0527] 또한, 도 26c에는 메모리 셀군(1143)이 갖는 각 메모리 셀(1142)에 스위칭 소자(1141)를 통하여 Low 레벨의 전원 전위 VSS가 공급되는 기억 장치의 일례를 도시하였다. 스위칭 소자(1141)에 의하여, 메모리 셀군(1143)이 갖는 각 메모리 셀(1142)에 대한 Low 레벨의 전원 전위 VSS의 공급을 제어할 수 있다.
- [0528] 메모리 셀군과, 전원 전위 VDD 또는 전원 전위 VSS가 공급되는 노드 사이에 스위칭 소자를 제공하고, 일시적으로 CPU의 동작을 정지하여 전원 전압의 공급을 정지한 경우에도 데이터가 유지될 수 있고, 소비 전력을 저감할 수 있다. 구체적으로는 예를 들어, 퍼스널 컴퓨터의 사용자가 키보드 등의 입력 장치에 의한 정보 입력을 정지하는 동안에도 CPU의 동작을 정지할 수 있고, 이것에 따라 소비 전력을 저감할 수 있다.
- [0529] 여기서는 CPU를 예로 들어 설명하였지만, DSP(Digital Signal Processor), 커스텀 LSI, FPGA(Field Programmable Gate Array) 등의 LSI에도 상기 트랜지스터를 응용할 수 있다.
- [0530] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

- [0531] <참고예>
- [0532] 본 명세서에 기재된 트랜지스터의 구조는, 채널이 형성되는 산화물 반도체막으로서 CAAC-OS막을 적용하는 경우에 특히 유용하다. 구체적으로 말하면, CAAC-OS막은 측면(단부면)에서 산소가 탈리됨에 기인하여 상기 측면 근방의 영역이 저저항화되기 쉽다. 한편, 본 명세서에 기재된 트랜지스터에 있어서는, 채널 길이 방향의 길이가 다르게 되도록 십자형으로 형성된 산화물 반도체막, 또는 소스 전극 및 드레인 전극보다 채널 폭 방향의 길이가 긴 산화물 반도체막을 사용하여 트랜지스터를 구성한다. 트랜지스터의 소스 전극과 드레인 전극이 산화물 반도체막의 측면(단부면) 근방의 영역(산소(O)가 탈리됨 등에 기인하여 저저항화된 영역)을 통하여 전기적으로 접속될 개연성을 저감할 수 있게 된다.
- [0533] 이하에서, CAAC-OS막의 측면(단부면)에서 산소가 탈리되기 쉬운 점에 관하여 자세히 기재한다.
- [0534] 여기서는, 산화물 반도체막의 일례로서 3원계 금속의 산화물인 In-Ga-Zn계 산화물(이하, IGZO라고 부름)에 있어서의, 과잉 산소(화학량론비를 넘어 존재하는 산소 원자) 및 산소 결손이 이동하기 어려운지 쉬운지에 대하여 화학 기술 계산 결과를 참조하여 설명한다.
- [0535] 또한, 계산에서는, 원자수비가 In:Ga:Zn=3:1:2인 IGZO의 하나의 In-O면에 과잉 산소 또는 산소 결손이 하나 존재하는 모델을 구조 최적화에 의하여 작성(도 27a 내지 도 27c 및 도 29a 내지 도 29c 참조)하고, NEB(Nudged Elastic Band)법을 사용하여 최소 에너지 경로를 따른 중간 구조에 대한 에너지를 각각 산출하였다.
- [0536] 계산은 밀도 범함수 이론(DFT)에 의거하는 계산 프로그램 소프트웨어 'OpenMX'를 사용하여 수행하였다. 파라미터(parameter)에 대하여 이하에서 설명한다.
- [0537] 기저 함수로서는 의사 국재 기저 함수(pseudo-atomic localized basis function)를 사용하였다. 이 기저 함수는 분극 기저계 STO(Slater Type Orbital)에 분류된다.
- [0538] 범함수에는 GGA/PBE(Generalized-Gradient-Approximation/Perdew-Burke-Ernzerhof)를 사용하였다.
- [0539] 컷 오프 에너지는 200Ry로 하였다.
- [0540] 샘플링 k점은 5×5×3으로 하였다.
- [0541] 과잉 산소가 이동하기 어려운지 쉬운지에 대한 계산에서는 계산 모델 내에 존재하는 원자수를 85개로 하고, 산소 결손이 이동하기 어려운지 쉬운지에 대한 계산에서는 계산 모델 내에 존재하는 원자수를 83개로 하였다.
- [0542] 과잉 산소 또는 산소 결손이 이동하기 어려운지 쉬운지는, 과잉 산소 또는 산소 결손 각각이 사이트로 이동하는데 넘을 필요가 있는 에너지 배리어의 높이 E_b 를 계산함으로써 평가된다. 즉, 이동하는데 넘을 에너지 배리어의 높이 E_b 가 높으면 이동하기 어렵고, 에너지 배리어의 높이 E_b 가 낮으면 이동하기 쉽다.
- [0543] 우선, 과잉 산소의 이동에 대하여 설명한다. 과잉 산소의 이동에 대한 계산에 사용한 모델을 도 27a 내지 도 27c에 도시하였다. 계산은 이하의 2개의 전이(轉移) 형태에 대하여 수행하고, 그 결과를 도 28에 도시하였다. 도 28에서 가로축은 (과잉 산소의 이동의) 경로 길이를 나타내고, 세로축은 도 27a의 모델 A 상태의 에너지를 기준(0eV)으로 한 (이동하는데 필요한) 에너지를 나타낸다.
- [0544] 과잉 산소의 이동에 대하여, 상기 2개의 전이 형태 중 제 1 전이는 모델 A로부터 모델 B로의 전이를 나타낸 것이고, 제 2 전이는 모델 A로부터 모델 C로의 전이를 나타낸 것이다.
- [0545] 또한, 도 27a 내지 도 27c에서 '1'이라고 표기된 산소 원자를 모델 A의 제 1 산소 원자라고 부른다. 도 27a 내지 도 27c에서 '2'라고 표기된 산소 원자를 모델 A의 제 2 산소 원자라고 부른다. 도 27a 내지 도 27c에서 '3'이라고 표기된 산소 원자를 모델 A의 제 3 산소 원자라고 부른다.
- [0546] 도 28을 보면 분명히 알 수 있는 바와 같이, 제 1 전이의 에너지 배리어의 높이 E_b 의 최대값($E_{b_{max}}$)은 0.53eV이고, 제 2 전이의 에너지 배리어의 높이 E_b 의 최대값($E_{b_{max}}$)은 2.38eV이다. 따라서, 제 1 전이에서는 제 2 전이보다 에너지 배리어의 높이 E_b 의 최대값($E_{b_{max}}$)이 낮다. 그래서, 제 1 전이에 필요한 에너지는 제 2 전이에 필요한 에너지보다 작고, 제 1 전이가 제 2 전이보다 일어나기 쉽다고 할 수 있다.
- [0547] 즉, 모델 A의 제 1 산소 원자는, 모델 A의 제 3 산소 원자를 밀어내는 방향보다 모델 A의 제 2 산소 원자를 밀어내는 방향으로 이동하기 쉽다고 할 수 있다. 따라서, 산소 원자는 인듐 원자의 층을 넘어 이동하기보다 인듐 원자의 층을 따라 이동하기 쉽다고 할 수 있다.

- [0548] 다음에, 산소 결손의 이동에 대하여 설명한다. 산소 결손의 이동에 대한 계산에 사용한 모델을 도 29a 내지 도 29c에 도시하였다. 계산은 이하의 2개의 전이 형태에 대하여 수행하고, 그 결과를 도 30에 도시하였다. 도 30에서 가로축은 (산소 결손의 이동의) 경로 길이를 나타내고, 세로축은 도 29a의 모델 A 상태의 에너지를 기준 (0eV)으로 한 (이동하는 데 필요한) 에너지를 나타낸다.
- [0549] 산소 결손의 이동에 대하여, 상기 2개의 전이 형태 중 제 1 전이는 모델 A로부터 모델 B로의 전이를 나타낸 것이고, 제 2 전이는 모델 A로부터 모델 C로의 전이를 나타낸 것이다.
- [0550] 또한, 도 29a 내지 도 29c에서 점선으로 그린 동그라미는 산소 결손을 나낸 것이다.
- [0551] 도 30을 보면 분명히 알 수 있는 바와 같이, 제 1 전이의 에너지 배리어의 높이 E_b 의 최대값($E_{b_{max}}$)은 1.81eV이고, 제 2 전이의 에너지 배리어의 높이 E_b 의 최대값($E_{b_{max}}$)은 4.10eV이다. 따라서, 제 1 전이에서는 제 2 전이보다 에너지 배리어의 높이 E_b 의 최대값($E_{b_{max}}$)이 낮다. 그래서, 제 1 전이에 필요한 에너지는 제 2 전이에 필요한 에너지보다 작고, 제 1 전이가 제 2 전이보다 일어나기 쉽다고 할 수 있다.
- [0552] 즉, 모델 A의 산소 결손은 모델 C의 산소 결손의 위치보다 모델 B의 산소 결손의 위치 쪽으로 이동하기 쉽다고 할 수 있다. 따라서, 산소 결손도 인듐 원자의 층을 넘어 이동하기보다 인듐 원자의 층을 따라 이동하기 쉽고 할 수 있다.
- [0553] 다음에, 상술한 4개의 전이 형태가 일어나기 어려운지 쉬운지를 다른 측면에서 비교하기 위하여, 이들 전이의 온도 의존성에 대하여 설명한다. 상술한 4개의 전이 형태란, (1)과잉 산소의 제 1 전이, (2)과잉 산소의 제 2 전이, (3)산소 결손의 제 1 전이, (4)산소 결손의 제 2 전이를 가리킨다.
- [0554] 이들 전이의 온도 의존성은 단위 시간당 이동 빈도에 따라 비교된다. 여기서, 어떠한 온도 T(K)에 있어서의 이동 빈도 Z(/초)는 화학적으로 안정된 위치에 있어서의 산소 원자의 진동수 Z_0 (/초)를 사용하면, 이하의 수학적식 (2)로 나타내어진다.
- [0555] [수학적식 (2)]

$$Z = Z_0 \cdot \exp\left(-\frac{E_{b_{max}}}{kT}\right) \quad (2)$$

- [0556]
- [0557] 또한, 상기 수학적식 (2)에서 $E_{b_{max}}$ 은 각 전이에서의 에너지 배리어의 높이 E_b 의 최대값을 나타낸 것이고, k는 볼츠만 상수를 나타낸 것이다. 또한, $Z_0 = 1.0 \times 10^{13}$ (/초)을 계산에 사용한다.
- [0558] 과잉 산소 또는 산소 결손이 1초간에 에너지 배리어의 높이 E_b 의 최대값($E_{b_{max}}$)을 한번만 넘어 이동하는 경우 ($Z = 1$ (/초)의 경우), T에 대하여 상기 수학적식 (2)를 풀면 이하와 같이 된다.
- [0559] (1) 과잉 산소의 제 1 전이 Z=1에 있어서 T=206K(-67℃)
- [0560] (2) 과잉 산소의 제 2 전이 Z=1에 있어서 T=923K(650℃)
- [0561] (3) 산소 결손의 제 1 전이 Z=1에 있어서 T=701K(428℃)
- [0562] (4) 산소 결손의 제 2 전이 Z=1에 있어서 T=1590K(1317℃)
- [0563] 한편, T=300K(27℃)의 경우, Z는 이하와 같이 된다.
- [0564] (1) 과잉 산소의 제 1 전이 T=300K에 있어서 $Z = 1.2 \times 10^4$ (/초)
- [0565] (2) 과잉 산소의 제 2 전이 T=300K에 있어서 $Z = 1.0 \times 10^{-27}$ (/초)
- [0566] (3) 산소 결손의 제 1 전이 T=300K에 있어서 $Z = 4.3 \times 10^{-18}$ (/초)
- [0567] (4) 산소 결손의 제 2 전이 T=300K에 있어서 $Z = 1.4 \times 10^{-56}$ (/초)

- [0568] 또한, T=723K(450℃)의 경우, Z는 이하와 같이 된다.
- [0569] (1) 과잉 산소의 제 1 전이 T=723K에 있어서 $Z=2.0 \times 10^9$ (/초)
- [0570] (2) 과잉 산소의 제 2 전이 T=723K에 있어서 $Z=2.5 \times 10^{-4}$ (/초)
- [0571] (3) 산소 결손의 제 1 전이 T=723K에 있어서 $Z=2.5$ (/초)
- [0572] (4) 산소 결손의 제 2 전이 T=723K에 있어서 $Z=2.5 \times 10^{-16}$ (/초)
- [0573] 상기 계산 결과에 따르면, 과잉 산소는 T=300K 및 T=723K 어느 경우에도 인듐 원자의 층을 넘어 이동하기보다 인듐 원자의 층을 따라 이동하기 쉽다고 할 수 있다. 또한, 산소 결손도 T=300K 및 T=723K 어느 경우에도 인듐 원자의 층을 넘어 이동하기보다 인듐 원자의 층을 따라 이동하기 쉽다고 할 수 있다.
- [0574] 또한, T=300K의 경우, 인듐 원자의 층을 따른 과잉 산소의 이동은 매우 일어나기 쉽지만, 다른 전이 형태는 일어나기 어렵다. T=723K에 있어서는 인듐 원자의 층을 따른 과잉 산소의 이동뿐만 아니라, 인듐 원자의 층을 따른 산소 결손의 이동도 일어나기 쉽다. 그러나, 과잉 산소 및 산소 결손은 둘 다 인듐 원자의 층을 넘어 이동하기 어렵다.
- [0575] 따라서, 예를 들어 CAAC-OS막과 같이 인듐 원자의 층이 산화물 반도체막의 피형성면 또는 표면에 평행한 면 위에 존재하는 경우에는, 과잉 산소 및 산소 결손은 둘 다 상기 산화물 반도체막의 피형성면 또는 표면을 따라 이동하기 쉽다고 할 수 있다.
- [0576] 상술한 바와 같이, CAAC-OS막으로 형성된 산화물 반도체막에 있어서는 과잉 산소 및 산소 결손은 둘 다 상기 산화물 반도체막의 피형성면 또는 표면을 따라 이동하기 쉽다. 따라서, 상기 산화물 반도체막의 측면으로부터 산소가 탈리되는 문제가 생긴다. 산소가 탈리되면 과잉 산소가 감소되어 산소 결손을 보전하기 어렵게 된다. 산소 결손이 존재하면, CAAC-OS막으로 형성된 산화물 반도체막의 도전성이 스위칭 소자에 사용하기에 적합하지 않을 정도로 높아질 우려가 있다.
- [0577] 또한, 상기에 있어서는 과잉 산소 또는 산소 결손이 인듐 원자의 층을 넘는 경우에 대하여 설명하였지만, 산화물 반도체막에 포함되는 인듐 이외의 금속에 관해서도 마찬가지이다.
- [0578] 상술한 산소의 탈리는, CAAC-OS막으로 형성된 산화물 반도체막이 섬 형상으로 가공된 경우에 특히 현저하다. 이 이유는 산화물 반도체막이 섬 형상으로 가공되면, 산화물 반도체막의 측면 면적이 증대되기 때문이다.
- [0579] (실시에 1)
- [0580] 본 실시예에서는, 실시형태 1에 기재된 트랜지스터를 제작하고, 상기 트랜지스터의 단면을 관찰하였다. 도 31은 실시예 트랜지스터의 채널 길이 방향의 단면 STEM상이다.
- [0581] 트랜지스터로서는 도 1a 내지 도 1c에 도시된 트랜지스터(450)와 같은 구조의 실시예 트랜지스터를 제작하였다. 실시예 트랜지스터의 제작 방법을 도 31을 사용하여 이하에서 설명한다. 또한, 측벽 절연막(16)과 절연막(18)은 단면 STEM상에서는 경계면이 잘 안보이기 때문에, 본 실시예에서는 이해를 용이하게 하기 위하여 이 경계면을 백색 점선으로 나타내었다.
- [0582] 스퍼터링법에 의하여 실리콘 기판 위에 하지 절연막(11)으로서 두께가 1000nm인 산화 실리콘막을 형성하였다(성막 조건: 산소(산소 50sccm) 분위기하, 압력 0.4Pa, 전원 전력(전원 출력) 1.5kW, 실리콘 기판과 타깃 사이의 거리 60mm, 기판 온도 100℃).
- [0583] 원자수비가 In:Ga:Zn=3:1:2인 산화물 타깃을 사용한 스퍼터링법에 의하여, 산화 실리콘막 위에 산화물 반도체막(12)으로서 두께가 10nm인 IGZO막을 형성하였다(성막 조건: 아르곤 및 산소(아르곤:산소=30sccm:15sccm) 분위기하, 압력 0.4Pa, 전원 전력 0.5kW, 기판 온도 200℃).
- [0584] 다음에, 드라이 에칭법에 의하여 산화물 반도체막(12)을 에칭하였다(에칭 조건: 에칭 가스(BCl₃:Cl₂=60sccm:20sccm), ICP 전원 전력 450W, 바이어스 전력 100W, 압력 1.9Pa).
- [0585] 다음에, CVD법에 의하여 게이트 절연막으로서 두께가 20nm인 질화 산화 실리콘막을 형성하였다(성막 조건: SiH₄:N₂O=1sccm:800sccm, 압력 40Pa, RF 전원 전력(전원 출력) 150W, 전원 주파수 60MHz, 실리콘 기판과 타깃 사이의 거리 28mm, 기판 온도 400℃).

- [0586] 스퍼터링법에 의하여 게이트 절연막 위에 두께가 30nm인 질화 탄탈막을 형성하고(성막 조건: 아르곤 및 질소(아르곤:질소=50sccm:10sccm) 분위기하, 압력 0.6Pa, 전원 전력 1kW, 기판 온도 230℃), 스퍼터링법에 의하여 질화 탄탈막 위에 두께가 70nm인 텅스텐막을 형성하였다(성막 조건: 아르곤(Ar=100sccm) 분위기하, 압력 2.0Pa, 전원 전력 4kW, 기판 온도 230℃).
- [0587] 다음에, 드라이 에칭법에 의하여 텅스텐막을 에칭하고(에칭 조건: 에칭 가스(CF₄:Cl₂:O₂=55sccm:45sccm:55sccm), ICP 전원 전력 3000W, 바이어스 전력 110W, 압력 0.67Pa, 기판 온도 40℃), 질화 탄탈막을 에칭하여(에칭 조건: 에칭 가스(Cl₂=100sccm), ICP 전원 전력 2000W, 바이어스 전력 50W, 압력 0.67Pa, 기판 온도 40℃), 게이트 전극(14)을 형성하였다.
- [0588] CVD법에 의하여 게이트 전극(14) 위에 절연막으로서 두께가 460nm인 질화 산화 실리콘막을 형성하고(성막 조건: SiH₄:N₂O=1sccm:800sccm, 압력 40Pa, RF 전원 전력(전원 출력) 150W, 전원 주파수 60MHz, 실리콘 기판과 타깃 사이의 거리 28mm, 기판 온도 400℃), 화학적 기계적 연마(CMP)법에 의하여 상기 질화 산화 실리콘막을 연마 처리(연마 조건: 경질 폴리우레탄계 연마포, 알칼리성 실리카계 슬러리, 슬러리 온도 실온, 연마(로드)압 0.08MPa, 연마시의 회전수(테이블/스핀들) 50rpm/51rpm, 연마 시간 0.8분)하여, 게이트 전극(14) 위에 100nm의 질화 산화 실리콘막이 남도록 질화 산화 실리콘막을 제거하였다.
- [0589] 다음에, 레지스트마스크를 질화 산화 실리콘막 위에 형성하고, 질화 산화 실리콘막 및 게이트 절연막을 드라이 에칭법에 의하여 에칭하여(에칭 조건: 에칭 가스(CHF₃:He:CH₄=22.5sccm:127.5sccm:5.5sccm), ICP 전원 전력 475W, 바이어스 전력 300W, 압력 3.5Pa, 기판 온도 70℃), 측벽 절연막(16) 및 게이트 절연막(13)을 형성하였다.
- [0590] 산화물 반도체막(12), 게이트 절연막(13), 측벽 절연막(16) 위에 스퍼터링법에 의하여 두께가 30nm인 텅스텐막을 형성하였다(성막 조건: 아르곤(Ar=10sccm) 분위기하, 압력 0.8Pa, 전원 전력 1kW, 기판 온도 230℃).
- [0591] 다음에, 드라이 에칭법에 의하여 텅스텐막을 에칭하였다(에칭 조건: 에칭 가스(CF₄:Cl₂:O₂=55sccm:45sccm:55sccm), ICP 전원 전력 3000W, 바이어스 전력 110W, 압력 0.67Pa, 기판 온도 40℃).
- [0592] 다음에, 스퍼터링법에 의하여 섬 형상의 텅스텐막 위에 두께가 70nm인 산화 알루미늄막을 형성하였다(성막 조건: 아르곤 및 질소(아르곤:질소=25sccm:25sccm) 분위기하, 압력 0.4Pa, 전원 전력 2.5kW, 실리콘 기판과 타깃 사이의 거리 60mm, 기판 온도 250℃).
- [0593] 또한, CVD법에 의하여 산화 알루미늄막 위에 두께가 460nm인 질화 산화 실리콘막을 형성하였다(성막 조건: SiH₄:N₂O=1sccm:800sccm, 압력 40Pa, RF 전원 전력(전원 출력) 150W, 전원 주파수 60MHz, 실리콘 기판과 타깃 사이의 거리 28mm, 기판 온도 400℃).
- [0594] 다음에, 화학적 기계적 연마(CMP)법에 의하여 텅스텐막, 산화 알루미늄막, 및 질화 산화 실리콘막에 연마 처리(연마 조건: 경질 폴리우레탄계 연마포, 알칼리성 실리카계 슬러리, 슬러리 온도 실온, 연마(로드)압 0.08MPa, 연마시의 회전수(테이블/스핀들) 50rpm/51rpm, 연마 시간 2분)하여, 측벽 절연막(16)이 노출되도록 게이트 전극(14) 위의 텅스텐막, 산화 알루미늄막, 및 질화 산화 실리콘막을 제거하였다.
- [0595] 상기 연마 처리에 의하여, 배리어막(19)인 산화 알루미늄막, 절연막(18)인 질화 산화 실리콘막을 가공하고, 텅스텐막을 분단하여 소스 전극(17a) 및 드레인 전극(17b)을 형성하였다.
- [0596] 다음에, 측벽 절연막(16), 소스 전극(17a), 드레인 전극(17b), 절연막(18) 위에 CVD법에 의하여 절연막으로서 두께가 400nm인 질화 산화 실리콘막을 형성하였다. 층간 절연막의 형성 후에 산소 분위기하에서 400℃로 1시간 동안 가열 처리를 수행하였다.
- [0597] 다음에, 소스 전극(17a), 드레인 전극(17b)에 도달하는 개구를 절연막(18) 및 층간 절연막에 형성하였다.
- [0598] 스퍼터링법에 의하여 개구에 두께가 300nm인 텅스텐막을 형성하고, 상기 텅스텐막을 에칭하여 배선층을 형성하였다.
- [0599] 배선층 위에 두께가 1.5 μm인 폴리이미드막을 형성하고, 대기 중에서 300℃로 1시간 동안 가열 처리를 수행하였다.

- [0600] 이상의 공정을 거쳐 실시예 트랜지스터를 제작하였다.
- [0601] 실시예 트랜지스터의 단부면을 절단하고, 주사 투과 전자 현미경(STEM: Scanning Transmission Electron Microscopy)에 의하여 실시예 트랜지스터의 단면을 관찰하였다. 본 실시예에서는, STEM으로서 '히타치 초박막 평가 장치 HD-2300'(Hitachi High-Technologies Corporation 제작)을 사용하였다.
- [0602] 도 31에 나타내어진 바와 같이 소스 전극(17a) 및 드레인 전극(17b)이 연마 처리에 의하여 분단되어 있는 것을 확인할 수 있다. 소스 전극(17a) 및 드레인 전극(17b)은 게이트 전극(14)의 측면에 제공된 측벽 절연막(16)의 측면에 접하도록 제공되어 있으며, 본 실시예에서는 소스 전극(17a) 및 드레인 전극(17b)은 측벽 절연막(16)의 중간 부분보다 약간 낮은 위치까지 측벽 절연막(16)의 측면을 덮고 있다.
- [0603] 또한, 도 31에서 사다리꼴형의 게이트 전극(14) 밑변의 폭은 약 58nm이고, 측벽 절연막(16)과 게이트 전극(14) 사이의 채널 길이 방향의 폭은 약 170nm이었다.
- [0604] 본 실시예 트랜지스터는, 게이트 전극(14) 및 측벽 절연막(16) 위에 제공된 도전막을 화학적 기계적 연마 처리에 의하여 제거함으로써 분단시켜 소스 전극(17a), 드레인 전극(17b)을 형성한다.
- [0605] 따라서, 소스 전극(17a) 또는 드레인 전극(17b)과 산화물 반도체막(12)이 접하는 영역(콘택트 영역)과 게이트 전극(14)의 거리를 짧게 할 수 있기 때문에, 소스 전극(17a) 또는 드레인 전극(17b)과 산화물 반도체막(12)이 접하는 영역(콘택트 영역)과 게이트 전극(14) 사이의 저항이 저감되어, 트랜지스터의 온 특성을 향상시킬 수 있게 된다.
- [0606] 이상, 본 실시예에서 기재한 바와 같이, 미세한 구조이어도 높은 전기 특성을 갖는 트랜지스터를 수율 좋게 제공할 수 있다. 또한, 상기 트랜지스터를 포함한 반도체 장치에 있어서도, 고성능화, 고신뢰성화, 및 고생산성화를 달성할 수 있다.
- [0607] (실시예 2)
- [0608] 본 실시예에서는, 실시예 1에서 제작한 트랜지스터에 있어서, 드레인 전압(V_d :[V])을 1V 또는 0.1V로 하고, 게이트 전압(V_g :[V])을 -4V로부터 4V까지 스위핑한 경우의 드레인 전류(I_d :[A])를 측정하였다. 측정 결과를 도 32에 도시하였다. 도 32에서 실선은 드레인 전압(V_d :[V])이 1V인 경우의 측정 결과, 점선은 드레인 전압(V_d :[V])이 0.1V인 경우의 측정 결과이며, 가로축은 게이트 전압(V_g :[V])을 나타내고, 세로축은 드레인 전류(I_d :[A])를 나타낸다. 또한, '드레인 전압(V_d :[V])'이란, 소스를 기준으로 한 드레인과 소스 사이의 전위차를 가리키고, '게이트 전압(V_g :[V])'이란, 소스를 기준으로 한 게이트와 소스 사이의 전위차를 가리킨다.
- [0609] 도 32에 도시된 바와 같이 실시예 1에서 제작한 트랜지스터는 스위칭 소자로서의 전기 특성을 나타내었다. 드레인 전압(V_d :[V])이 1V 및 0.1V일 때, 0V에서의 시프트값이 -1.03V, -0.84V로 작았다.
- [0610] 상기에 의하여, 본 실시예의 트랜지스터는 높은 전기적 특성이 부여된 트랜지스터인 것이 시사되었다.

부호의 설명

- [0611] 11: 하지 절연막
- 12: 산화물 반도체막
- 13: 게이트 절연막
- 14: 게이트 전극
- 16: 측벽 절연막
- 17a: 소스 전극
- 17b: 드레인 전극
- 18: 절연막

- 19: 배리어막
- 100: 기관
- 106: 소자 분리 절연막
- 108: 게이트 절연막
- 110: 게이트 전극
- 116: 채널 형성 영역
- 120: 불순물 영역
- 124: 금속간 화합물 영역
- 130: 절연막
- 135: 측벽 절연막
- 142a: 소스 전극
- 142b: 드레인 전극
- 144: 산화물 반도체막
- 144a: 소스 영역
- 144b: 드레인 영역
- 144c: 채널 형성 영역
- 146: 게이트 절연막
- 148: 게이트 전극
- 149: 층간 절연막
- 150: 절연막
- 152: 절연막
- 153: 도전막
- 156a: 배선
- 156b: 배선
- 160: 트랜지스터
- 162: 트랜지스터
- 164: 용량 소자
- 250: 메모리 셀
- 251: 메모리 셀 어레이
- 251a: 메모리 셀 어레이
- 251b: 메모리 셀 어레이
- 253: 주변 회로
- 400: 기관
- 401: 게이트 전극
- 402: 산화물 반도체막
- 403: 산화물 반도체막

403a: 소스 영역
403b: 드레인 영역
403c: 채널 형성 영역
405: 도전막
405a: 소스 전극
405b: 드레인 전극
406a: 저저항 영역
406b: 저저항 영역
407: 도전막
409: 게이트 절연막
409a: 산소 공급막
409b: 배리어막
410: 게이트 절연막
410a: 산소 공급막
410b: 배리어막
411: 절연막
411a: 절연막
412: 측벽 절연막
413: 절연막
414a: 배선층
414b: 배선층
415: 층간 절연막
417: 절연막
419: 층간 절연막
421: 도펀트
425a: 레지스트마스크
425b: 레지스트마스크
425c: 레지스트마스크
431: 제 1 영역
432: 제 2 영역
433: 제 3 영역
435: 레지스트마스크
436: 하지 절연막
436a: 제 1 하지 절연막
436b: 제 2 하지 절연막
440: 마스크

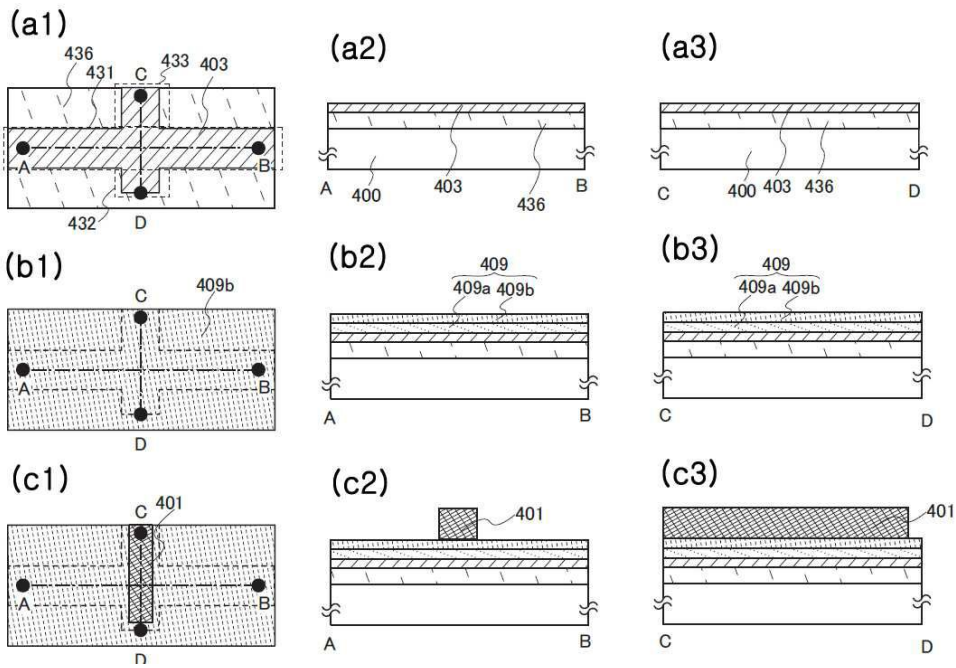
- 441: 도펀트
- 442: 개구
- 444: 마스크
- 446: 개구
- 450: 트랜지스터
- 460: 트랜지스터
- 470: 트랜지스터
- 480: 트랜지스터
- 490: 트랜지스터
- 500: 기관
- 501: 게이트 전극
- 502: 게이트 절연막
- 502a: 제 1 게이트 절연막
- 502b: 제 2 게이트 절연막
- 503: 산화물 반도체막
- 503a: 제 1 산화물 반도체막
- 503b: 제 2 산화물 반도체막
- 504: 도전막
- 505: 도전막
- 505a: 제 1 저저항 재료층
- 505b: 제 2 저저항 재료층
- 505c: 제 1 배리어층
- 505d: 제 2 배리어층
- 506: 절연막
- 507: 절연막
- 530: 용량 소자
- 532: 하지 절연막
- 536: 하지 절연막
- 541: 산화물 반도체막
- 550: 트랜지스터
- 551: 산소
- 552: 도전막
- 553: 레지스트마스크
- 555: 레지스트마스크
- 556: 레지스트마스크
- 557: 레지스트마스크

- 560: 트랜지스터
- 574a: 배선
- 574b: 배선
- 575: 도전막
- 575a: 제 1 배리어층
- 575b: 제 2 배리어층
- 801: 트랜지스터
- 803: 트랜지스터
- 804: 트랜지스터
- 805: 트랜지스터
- 806: 트랜지스터
- 807: X 디코더
- 808: Y 디코더
- 811: 트랜지스터
- 812: 유지 용량
- 813: X 디코더
- 814: Y 디코더
- 901: RF 회로
- 902: 아날로그 베이스 밴드 회로
- 903: 디지털 베이스 밴드 회로
- 904: 배터리
- 905: 전원 회로
- 906: 애플리케이션 프로세서
- 907: CPU
- 908: DSP
- 909: 인터페이스(IF)
- 910: 플래시 메모리
- 911: 디스플레이 컨트롤러
- 912: 메모리 회로
- 913: 디스플레이
- 914: 표시부
- 915: 소스 드라이버
- 916: 게이트 드라이버
- 917: 음성 회로
- 918: 키보드
- 919: 터치 센서

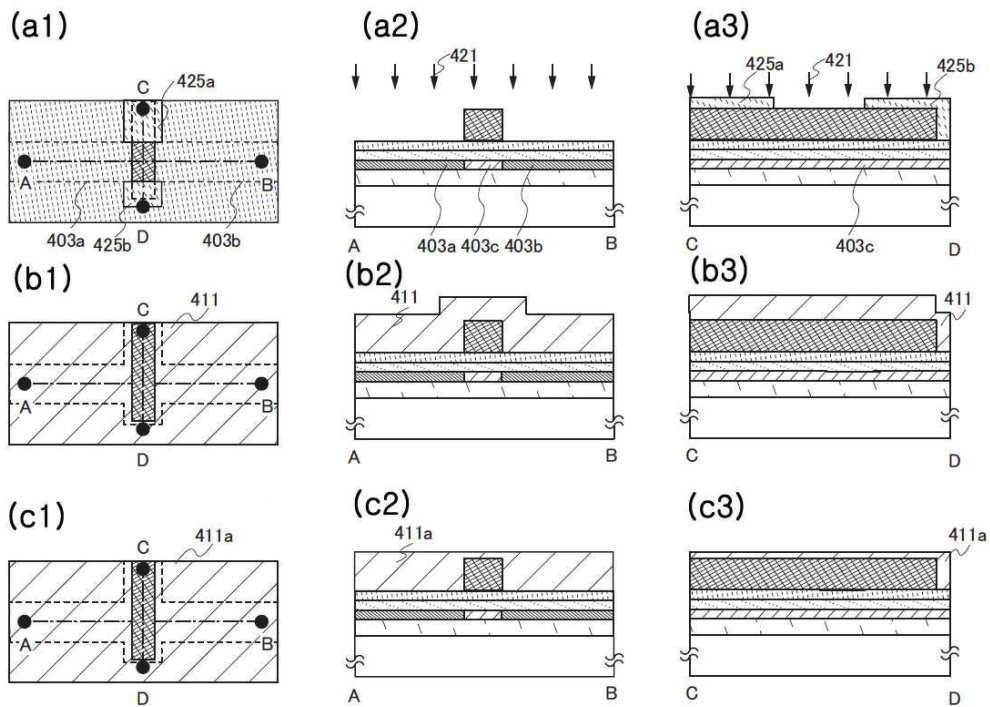
950: 메모리 회로
 951: 메모리 컨트롤러
 952: 메모리
 953: 메모리
 954: 스위치
 955: 스위치
 956: 디스플레이 컨트롤러
 957: 디스플레이
 1001: 배터리
 1002: 전원 회로
 1003: 마이크로 프로세서
 1004: 플래시 메모리
 1005: 음성 회로
 1006: 키보드
 1007: 메모리 회로
 1008: 터치 패널
 1009: 디스플레이
 1010: 디스플레이 컨트롤러
 1141: 스위칭 소자
 1142: 메모리 셀
 1143: 메모리 셀군
 1189: ROM 인터페이스
 1190: 기판
 1191: ALU
 1192: ALU 컨트롤러
 1193: 인스트럭션 디코더
 1194: 인터럽트 컨트롤러
 1195: 타이밍 컨트롤러
 1196: 레지스터
 1197: 레지스터 컨트롤러
 1198: 버스 인터페이스
 1199: ROM
 3000: 기판
 3001: 트랜지스터
 3004: 논리 회로
 3100a: 배선

3100b: 배선
3100c: 배선
3100d: 배선
3106: 소자 분리 절연층
3140a: 절연막
3140b: 절연막
3141a: 절연막
3141b: 절연막
3142a: 절연막
3142b: 절연막
3170a: 메모리 셀
3170b: 메모리 셀
3171a: 트랜지스터
3171b: 트랜지스터
3303: 전극
3400a: 메모리 셀 어레이
3400b: 메모리 셀 어레이
3503a: 전극
3503b: 전극
3504a: 전극
3505: 전극
9033: 후크
9034: 스위치
9035: 전원 스위치
9036: 스위치
9038: 조작 스위치
9630: 하우징
9631: 표시부
9631a: 표시부
9631b: 표시부
9632a: 영역
9632b: 영역
9633: 태양 전지
9634: 충방전 제어 회로
9635: 배터리
9636: DCDC 컨버터

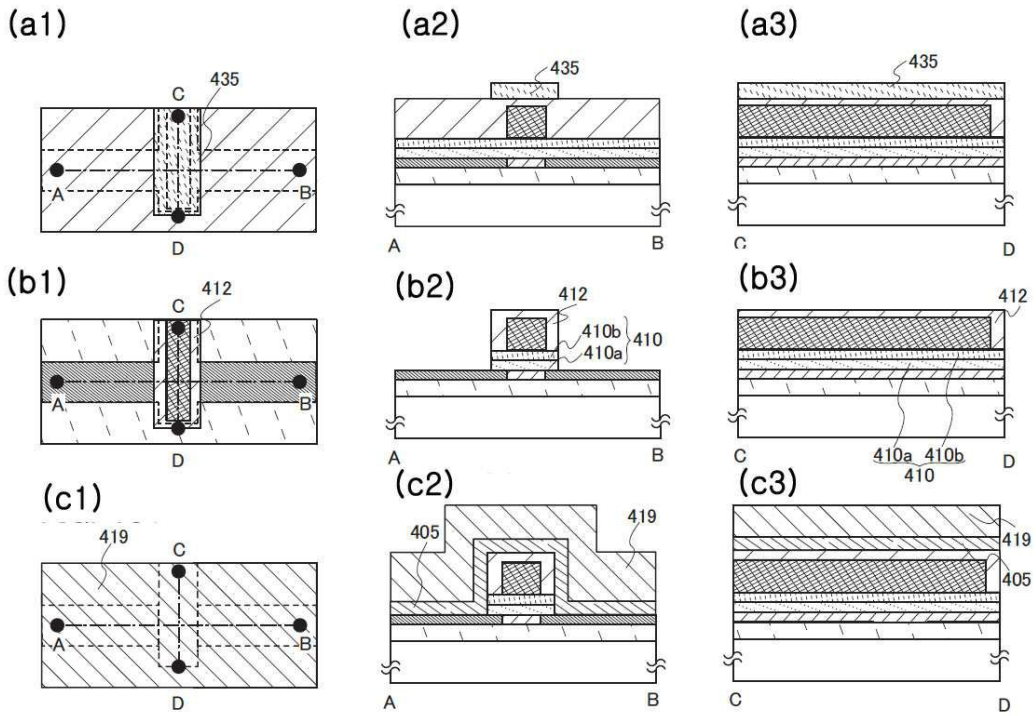
도면2



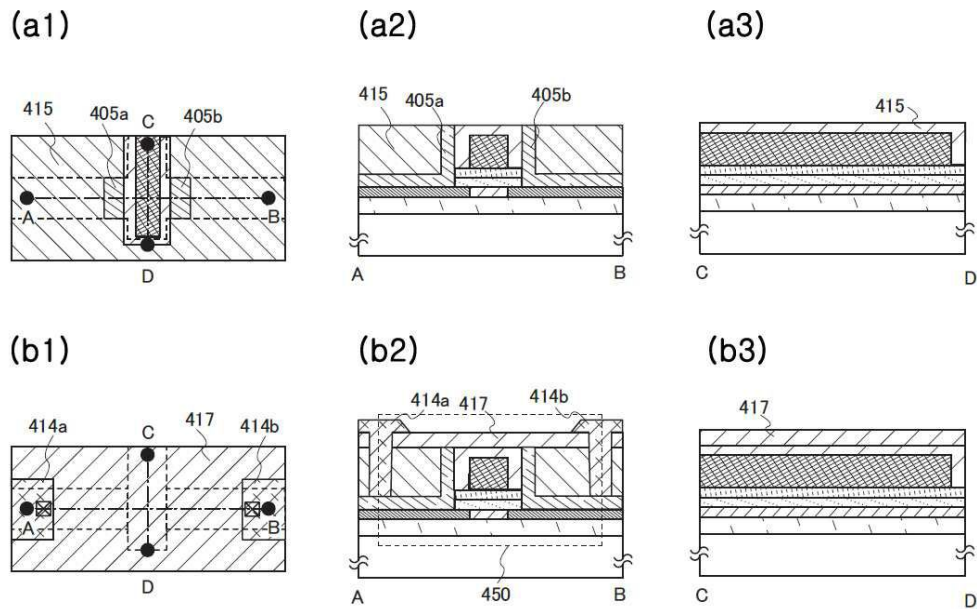
도면3



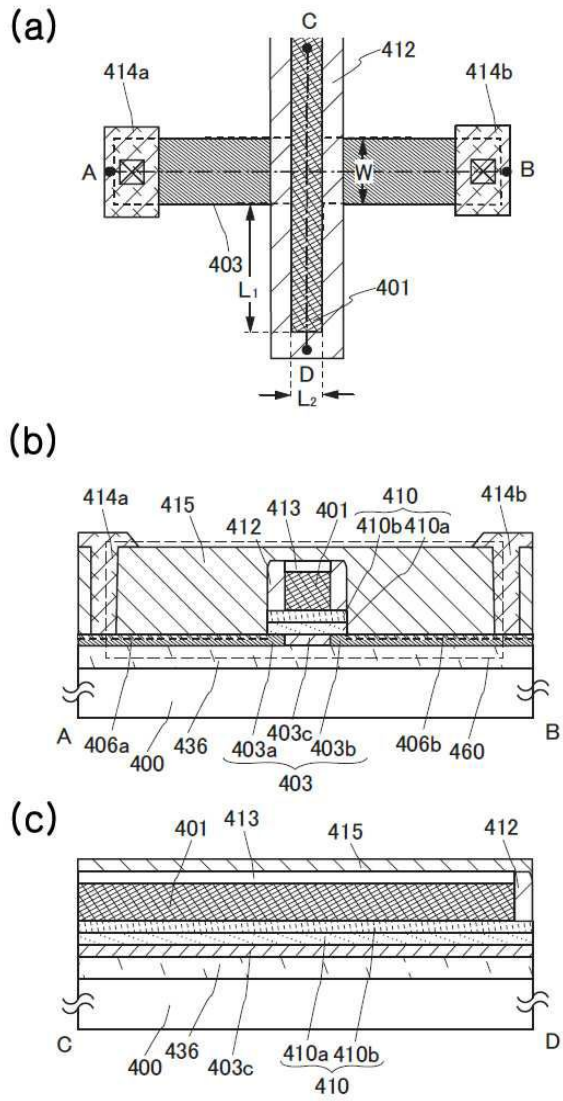
도면4



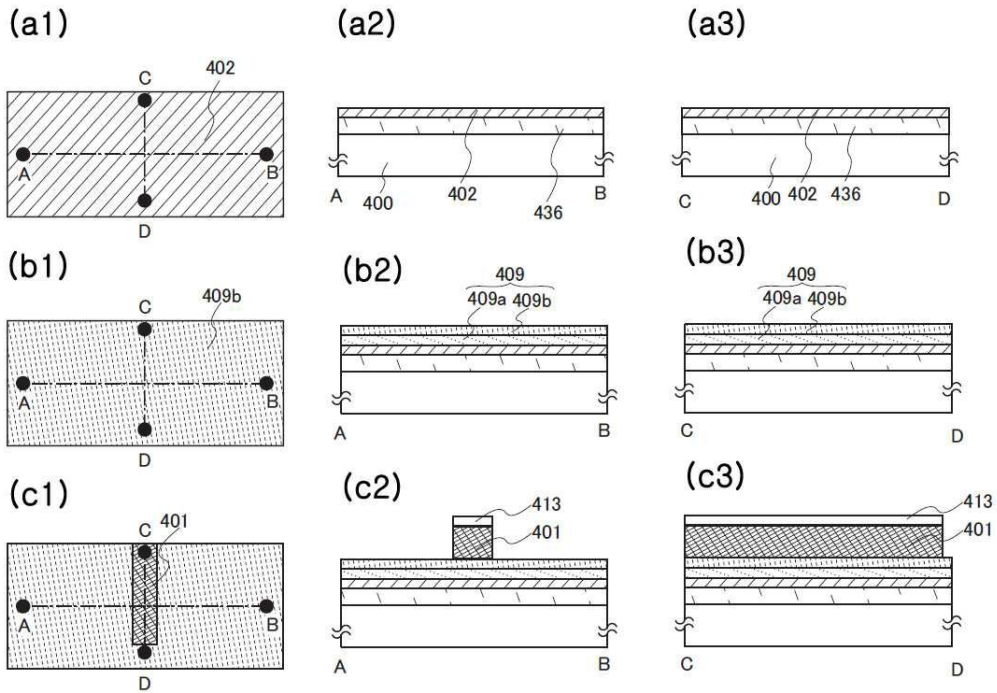
도면5



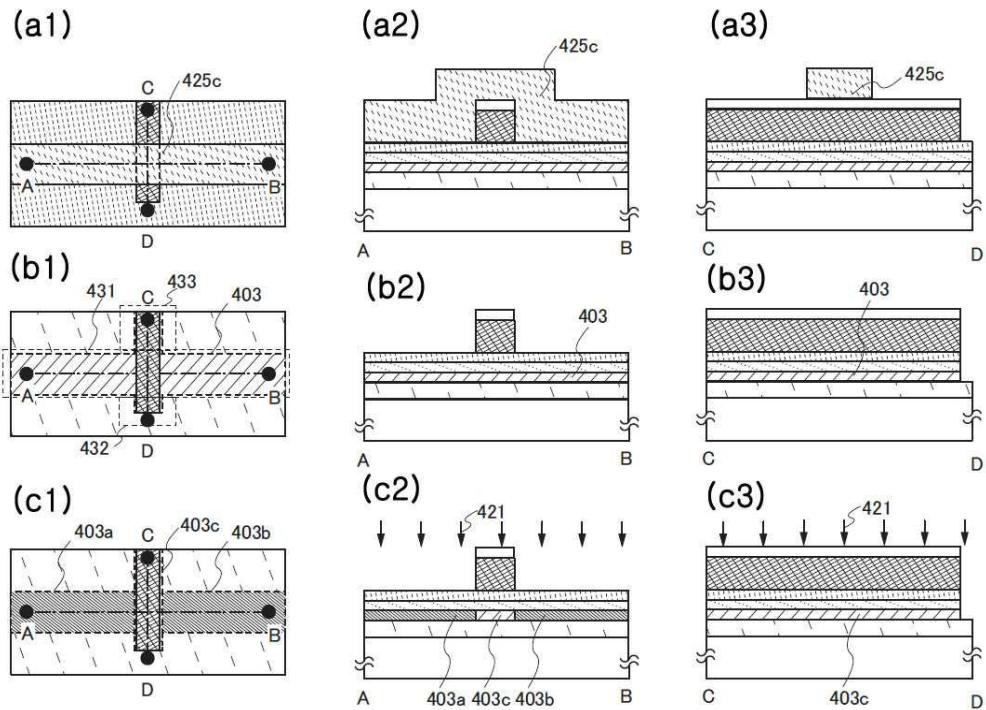
도면6



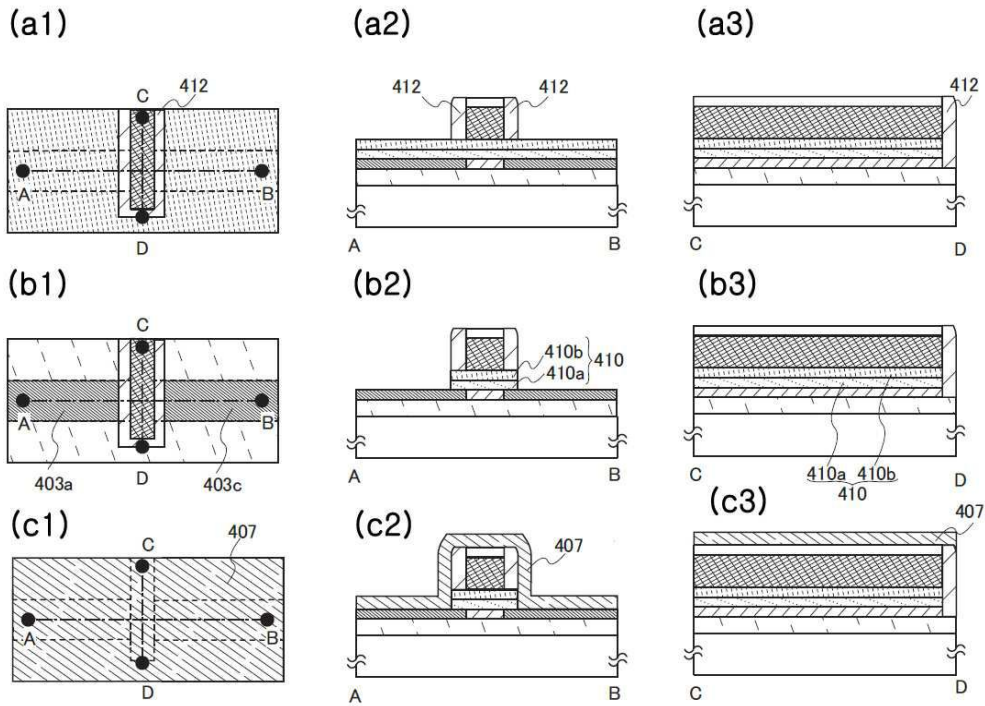
도면7



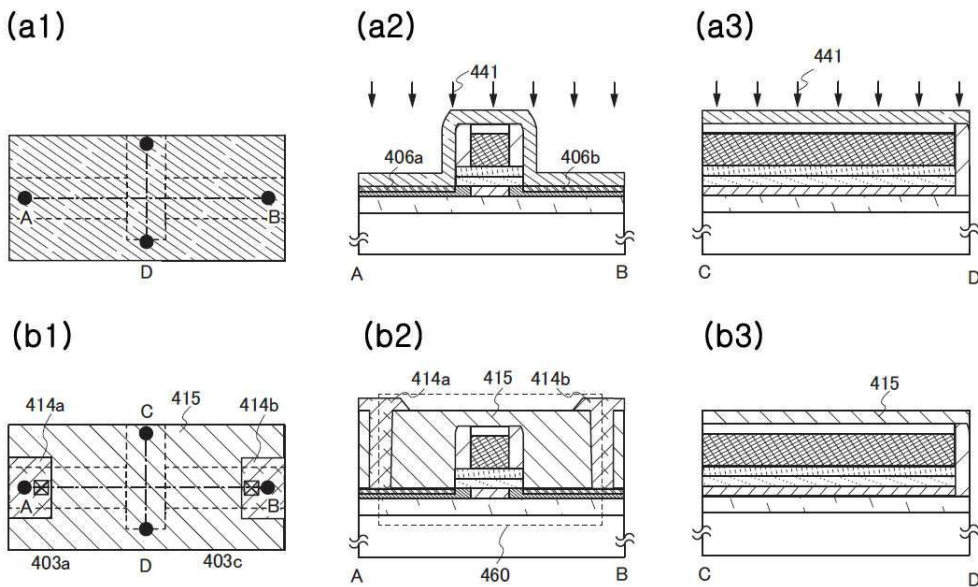
도면8



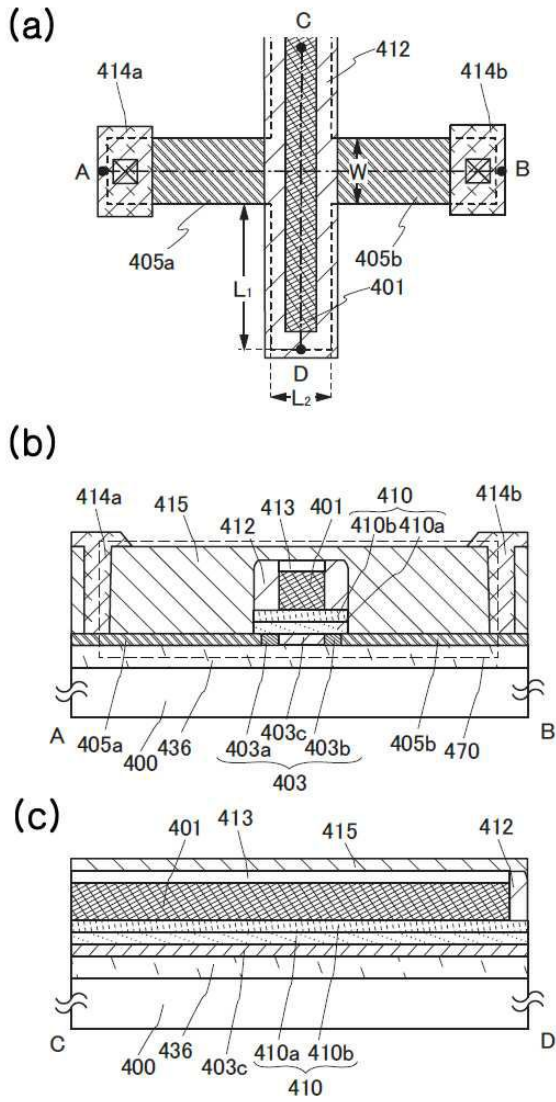
도면9



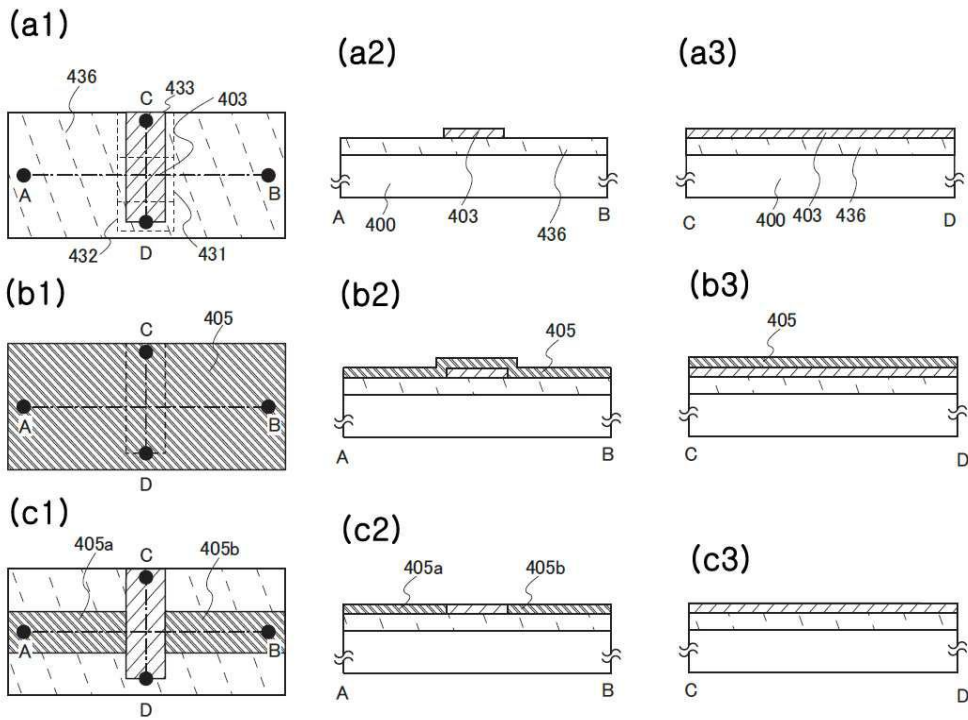
도면10



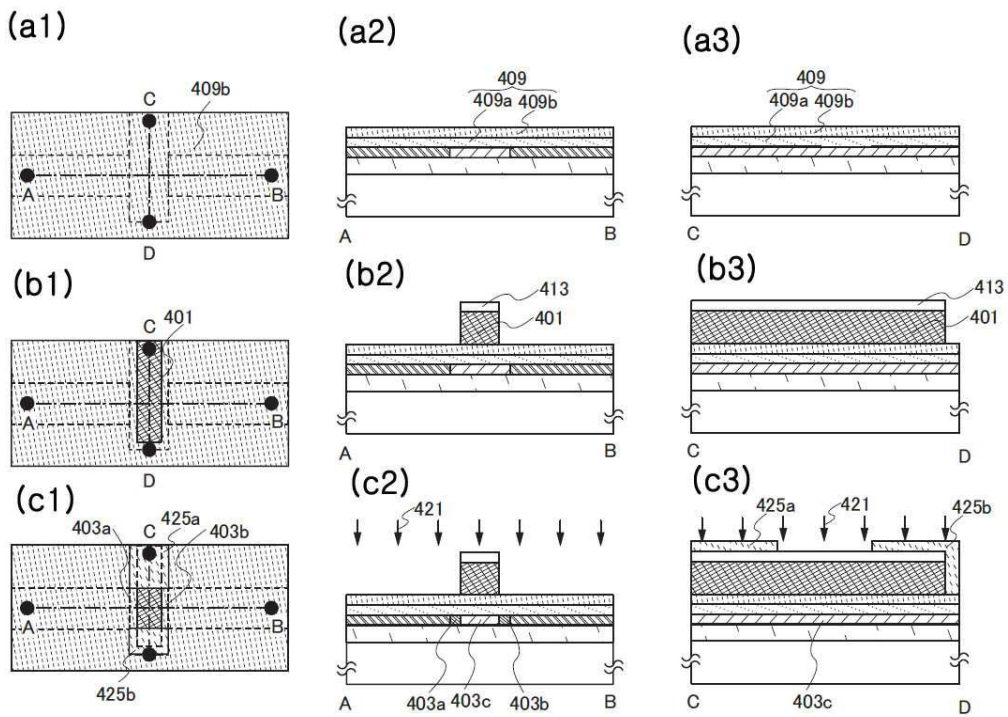
도면11



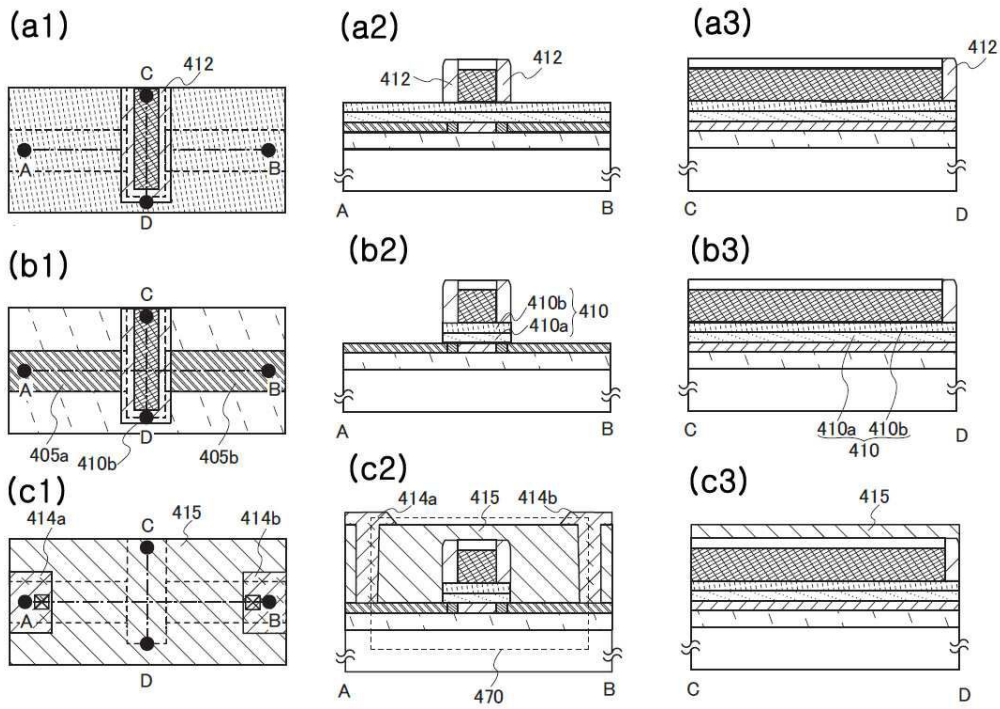
도면12



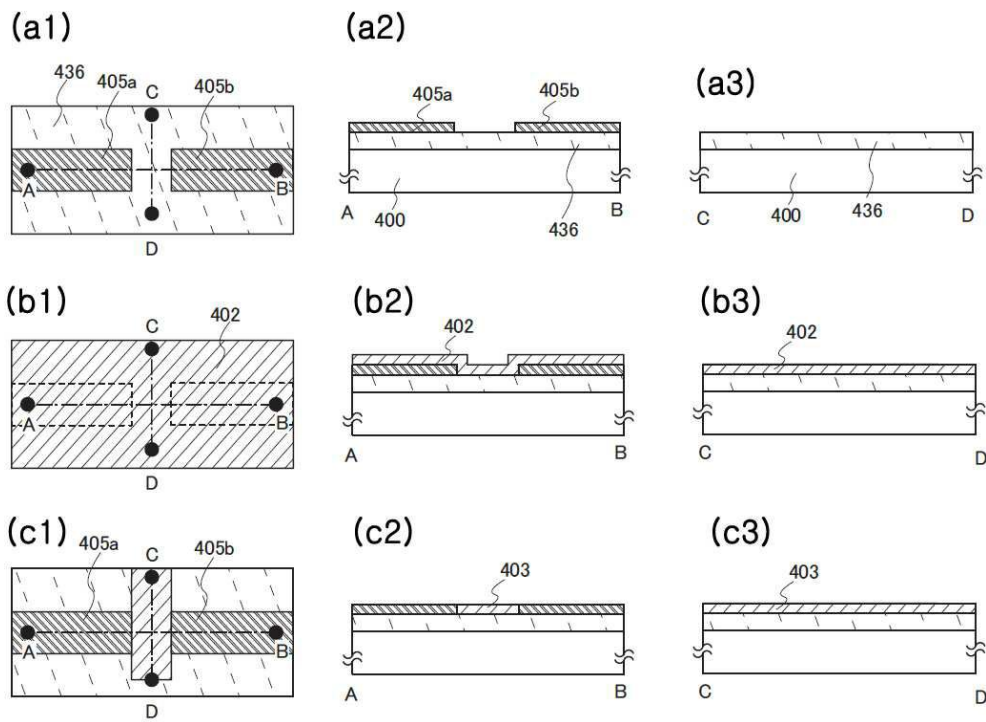
도면13



도면14

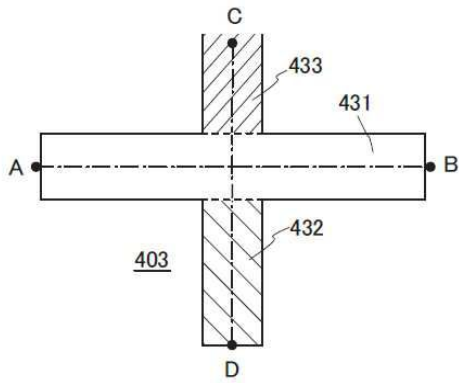


도면15

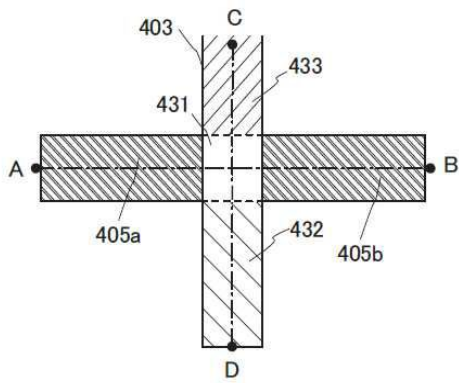


도면16

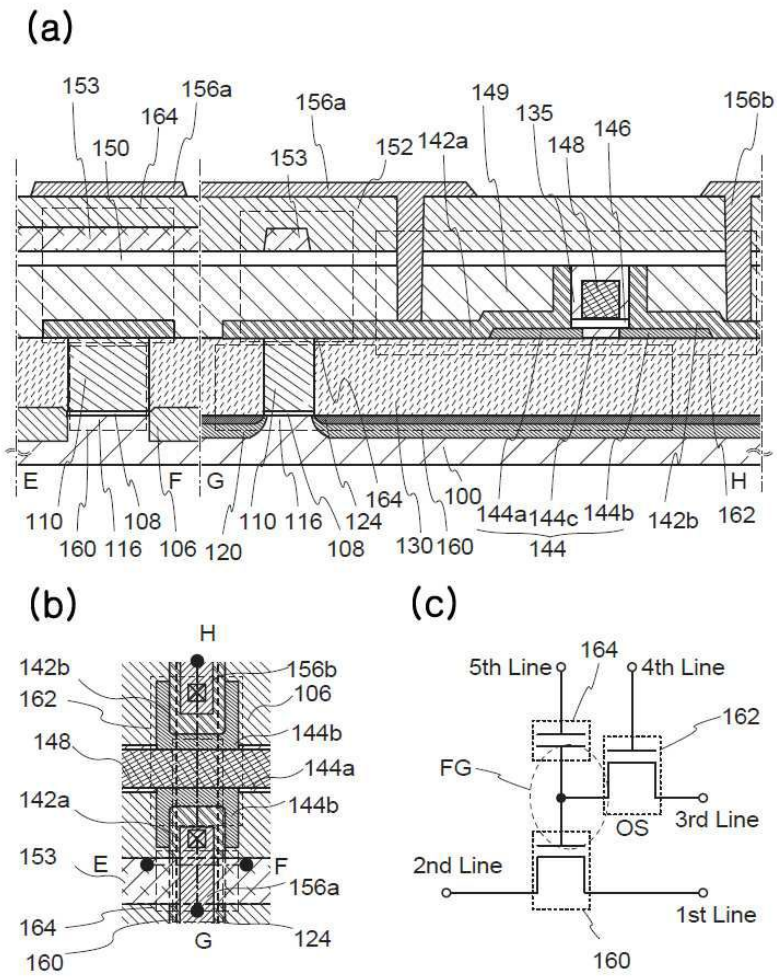
(a)



(b)

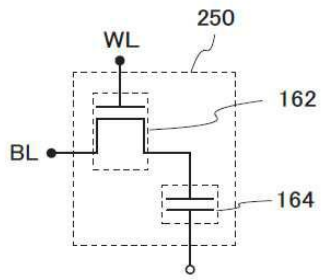


도면17

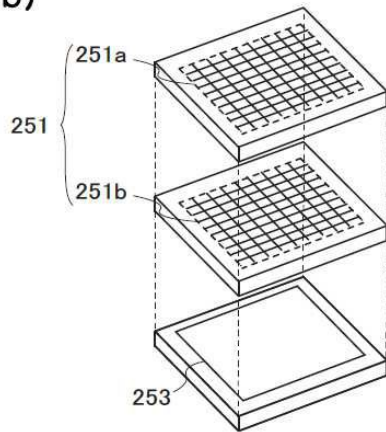


도면18

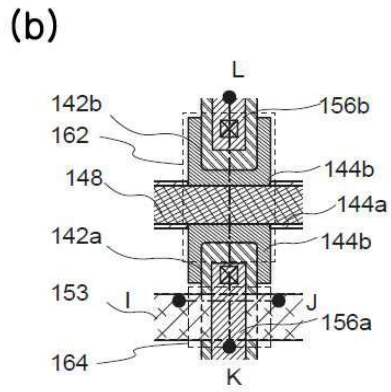
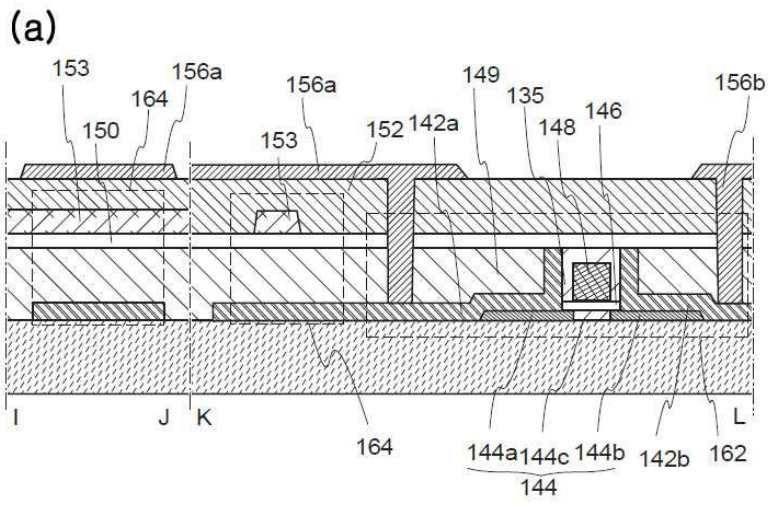
(a)



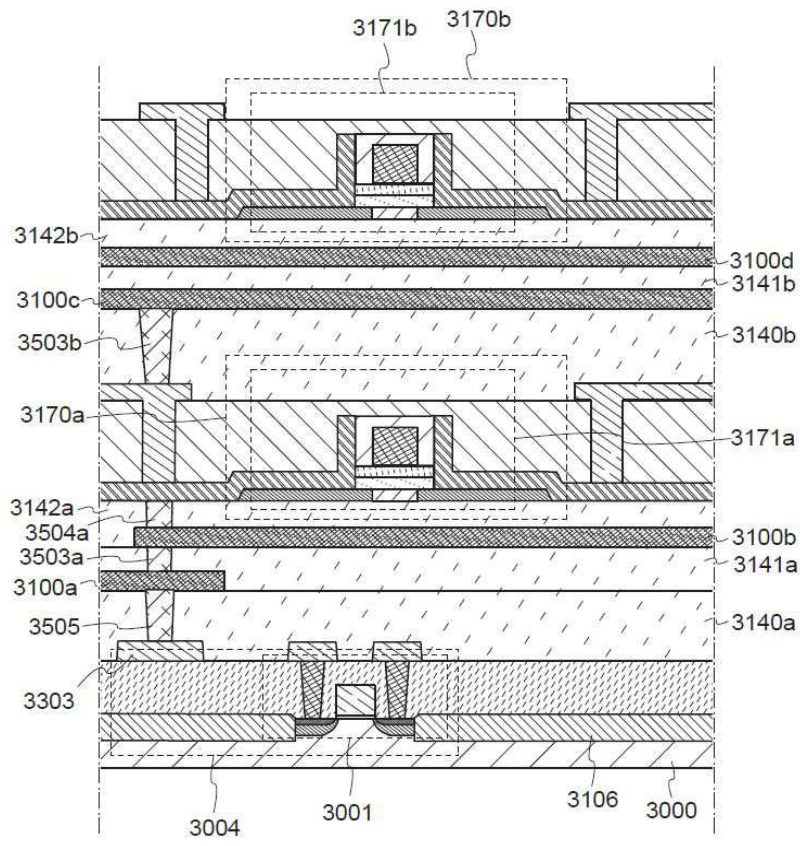
(b)



도면19

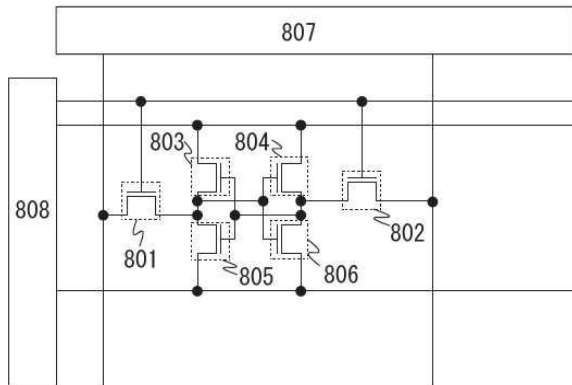


도면20

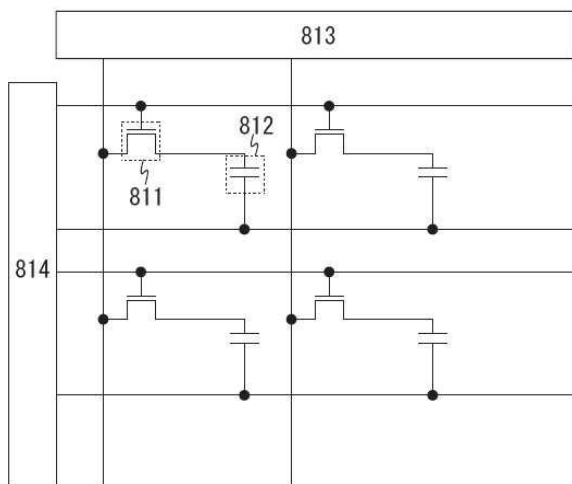


도면21

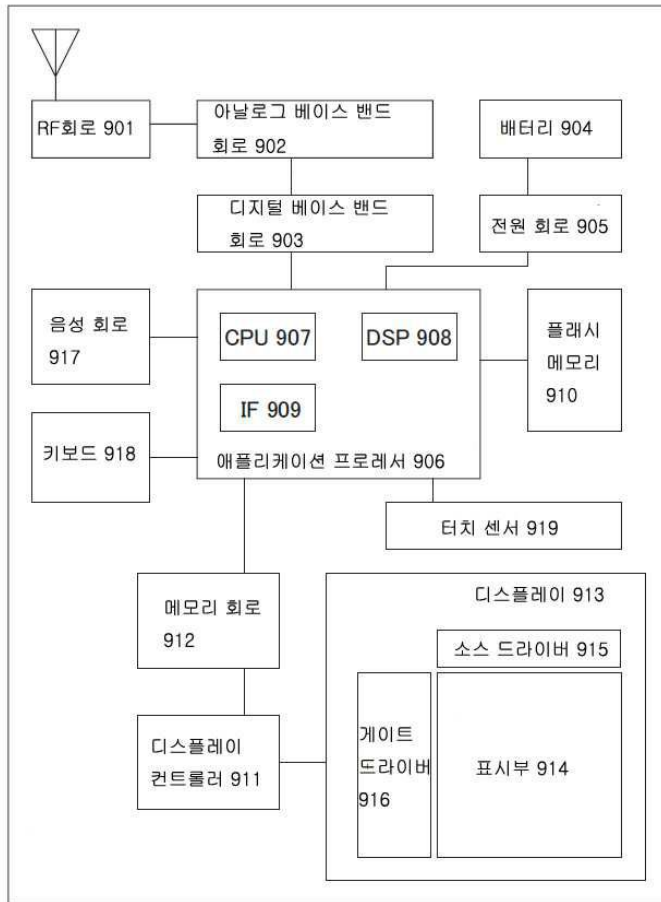
(a)



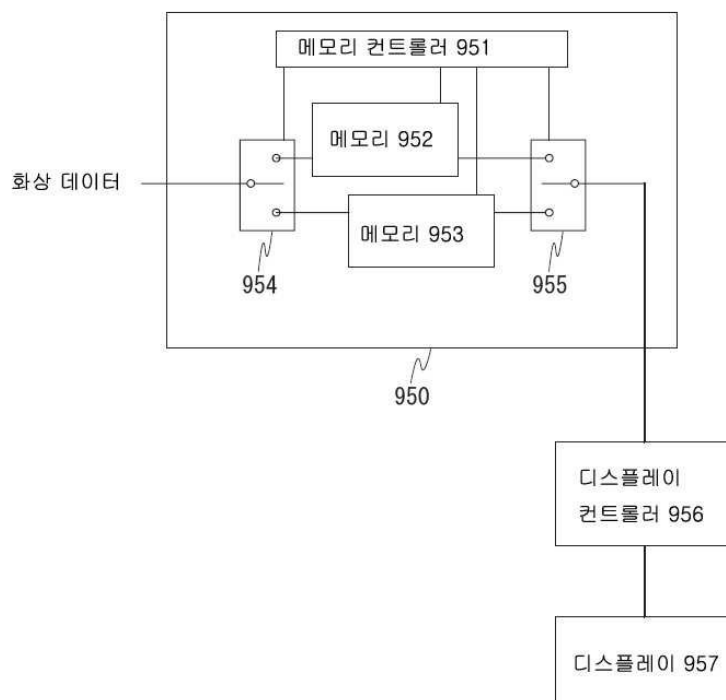
(b)



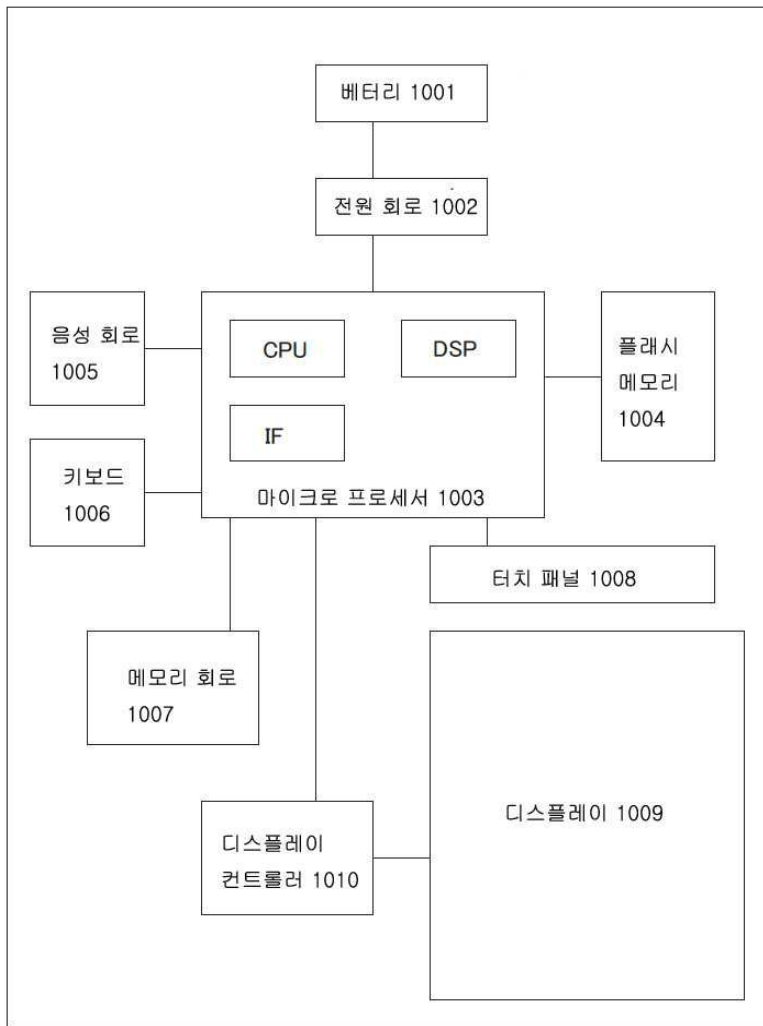
도면22



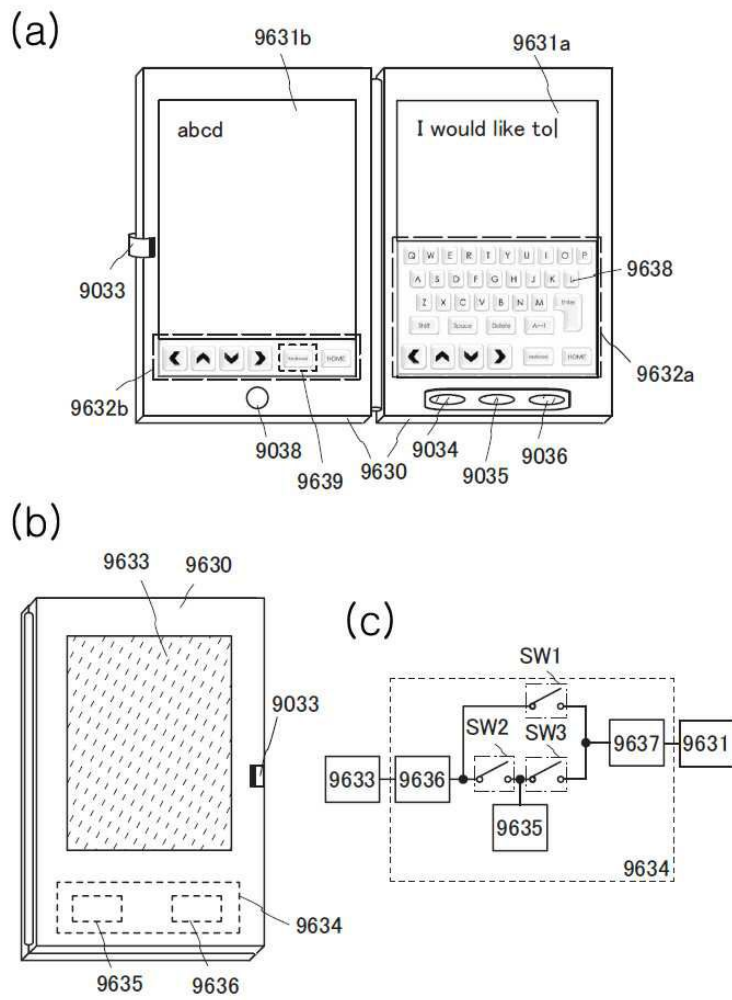
도면23



도면24

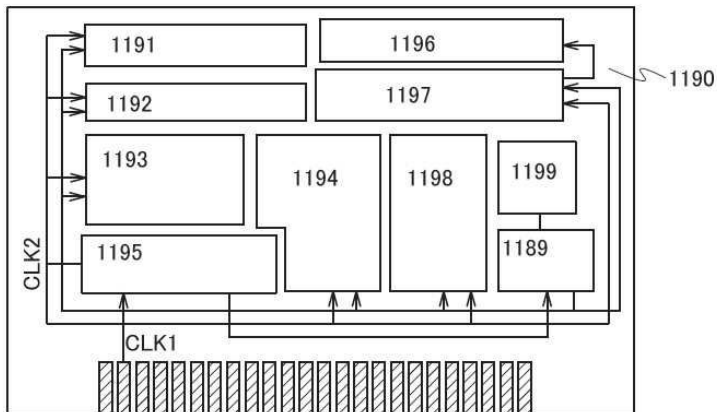


도면25

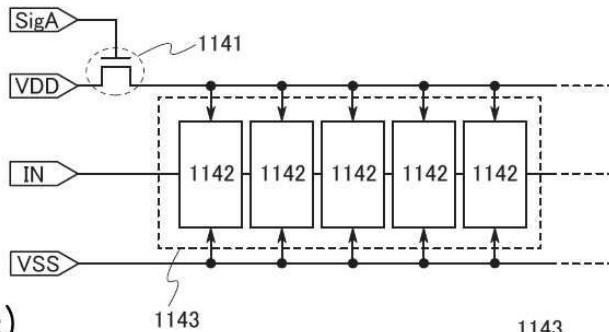


도면26

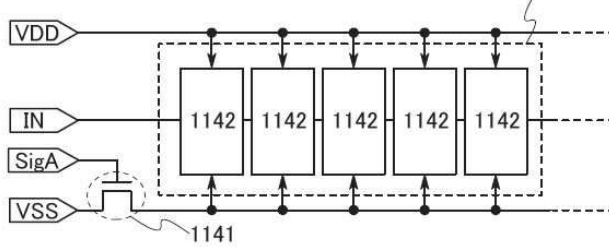
(a)



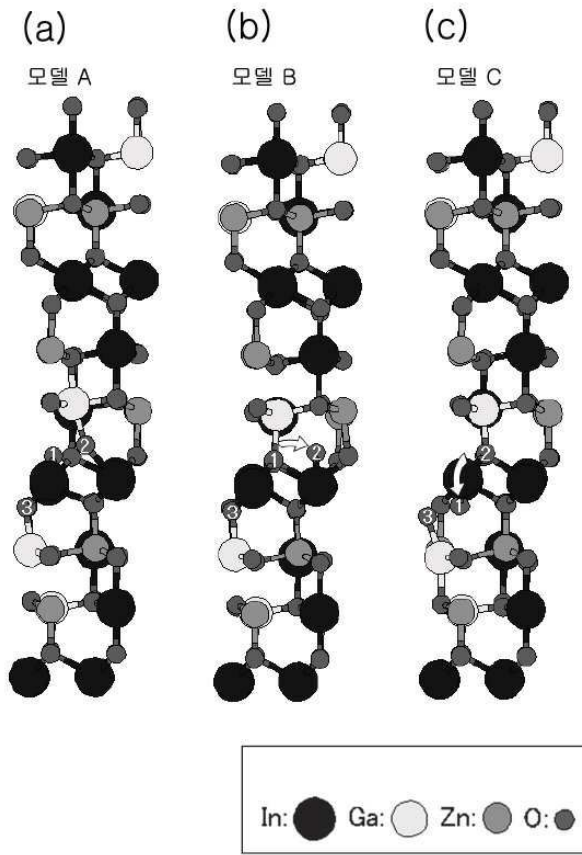
(b)



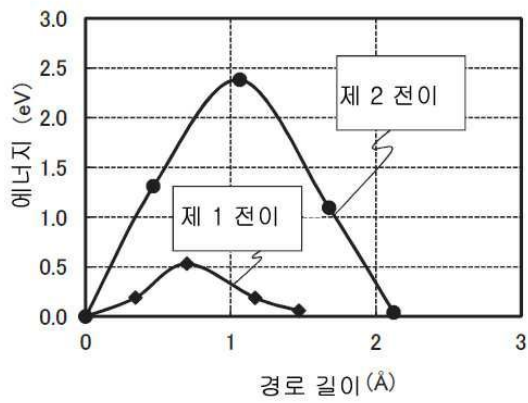
(c)



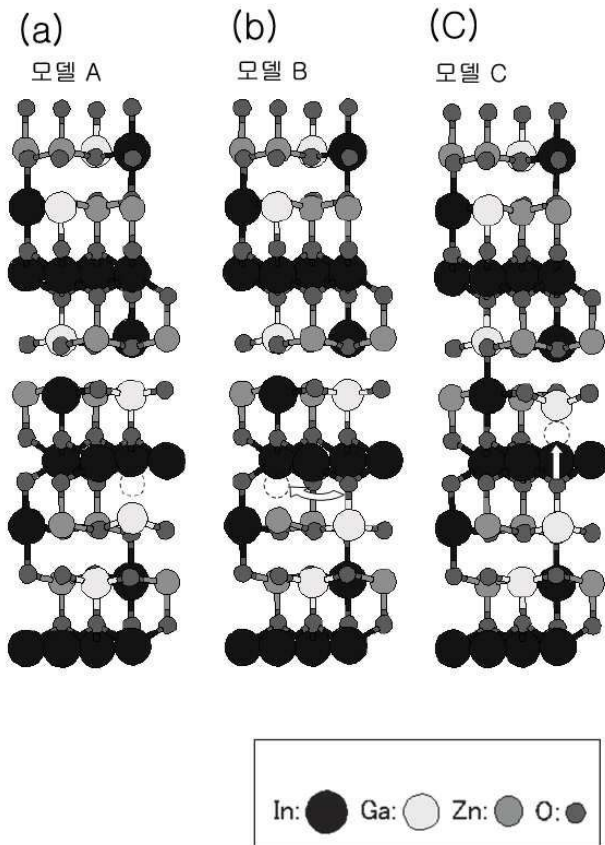
도면27



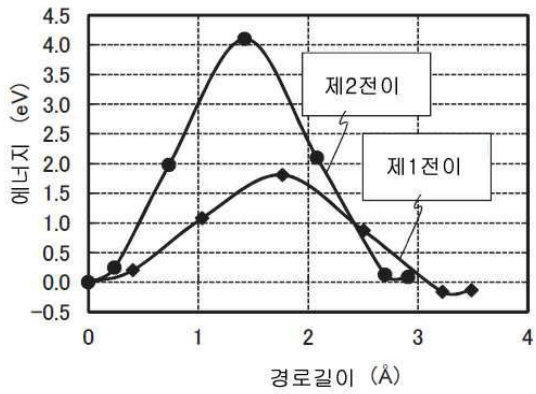
도면28



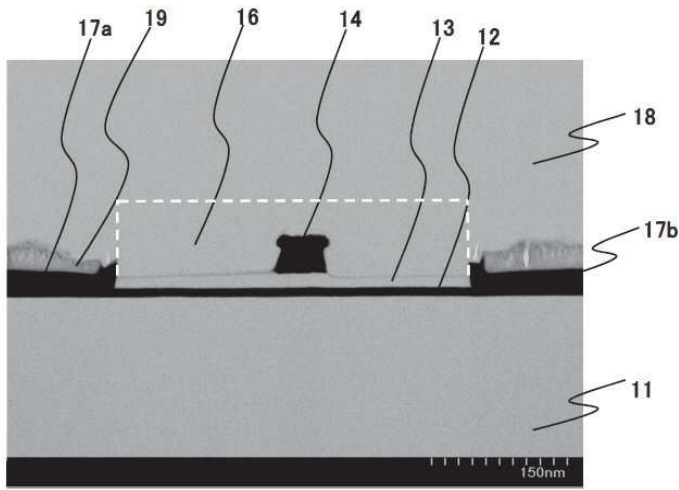
도면29



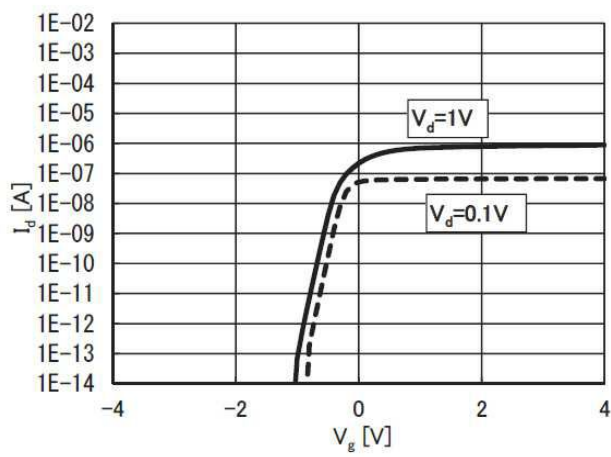
도면30



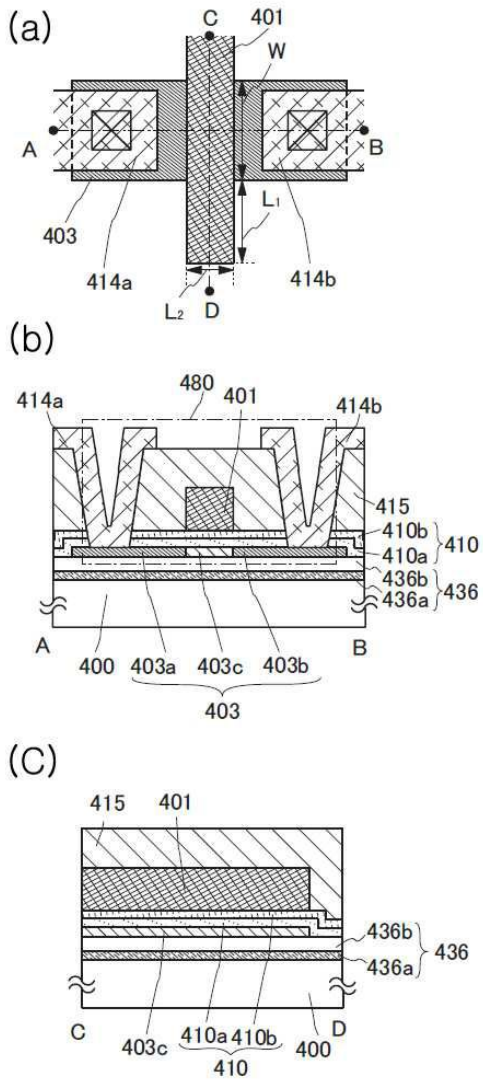
도면31



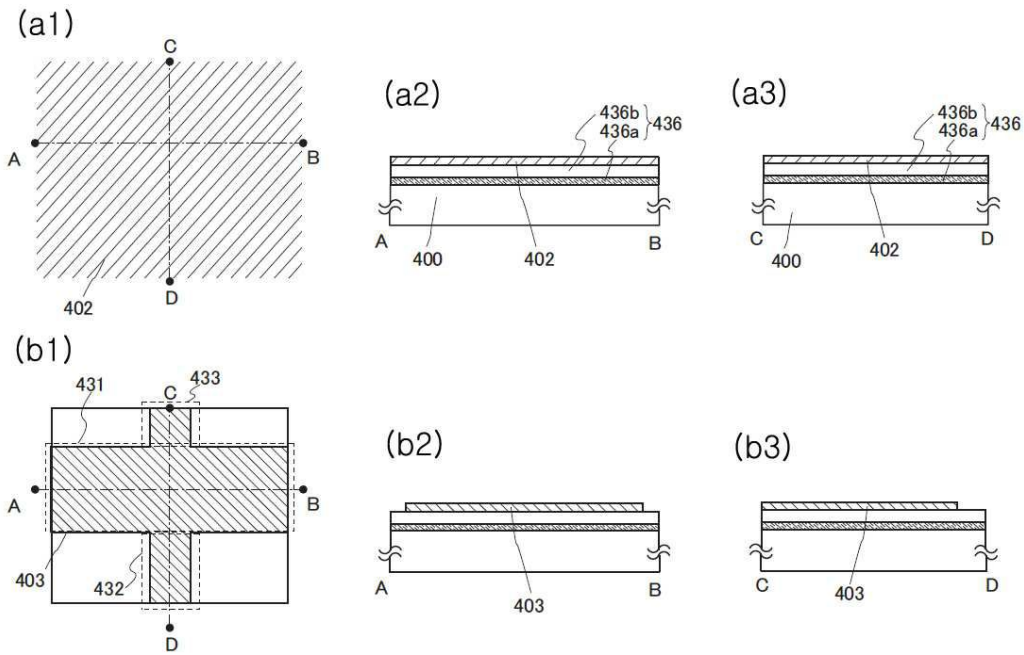
도면32



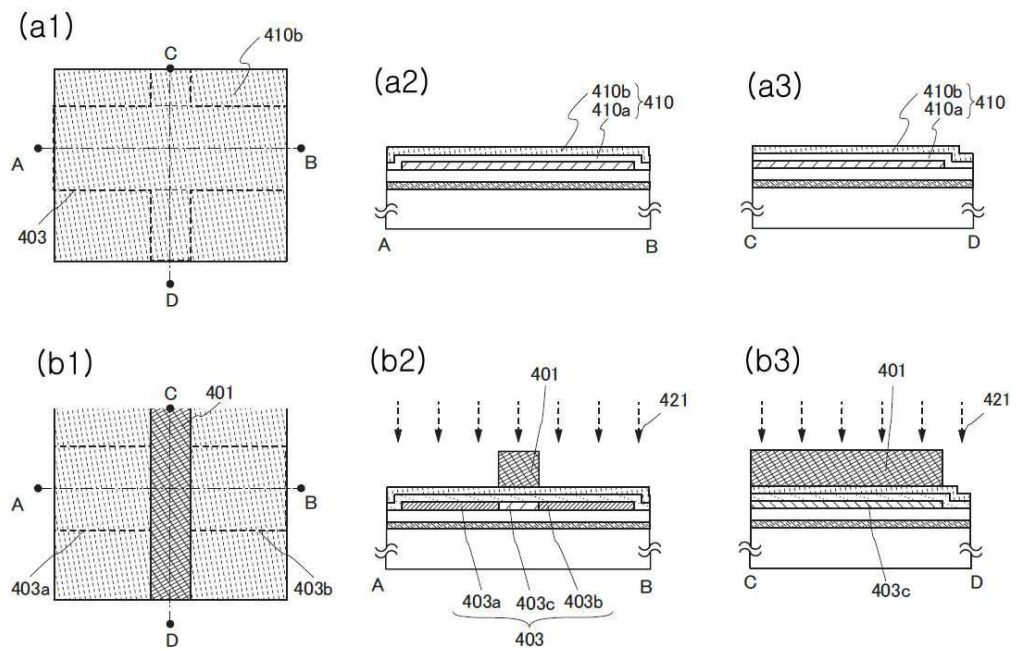
도면33



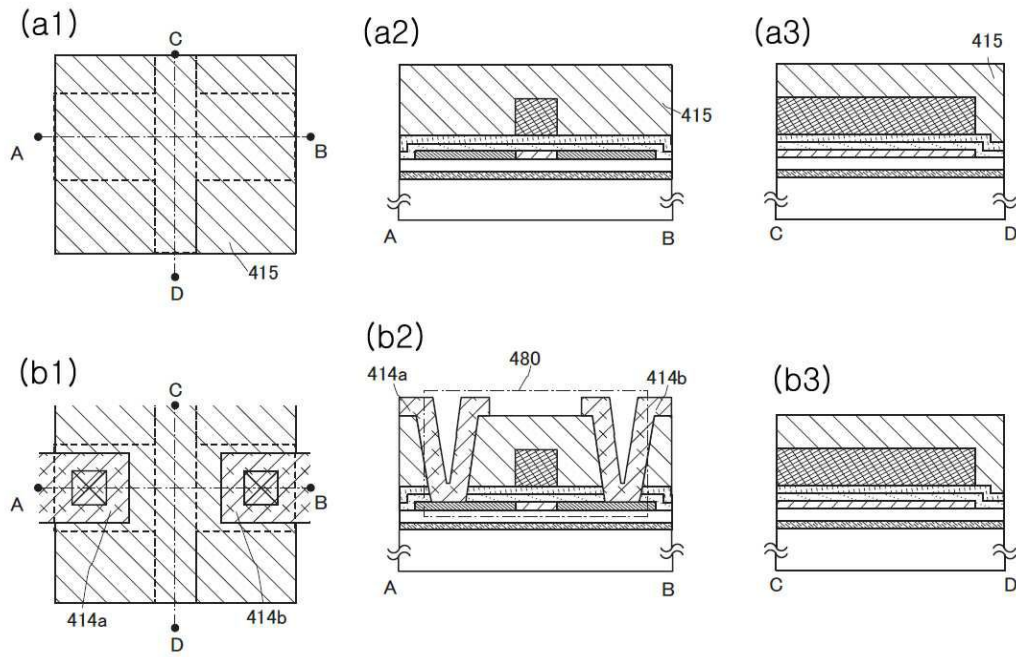
도면34



도면35

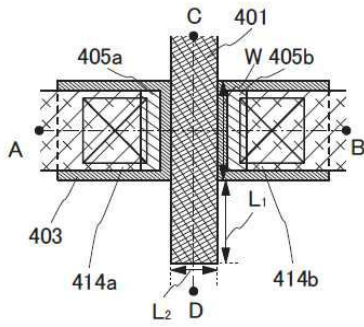


도면36

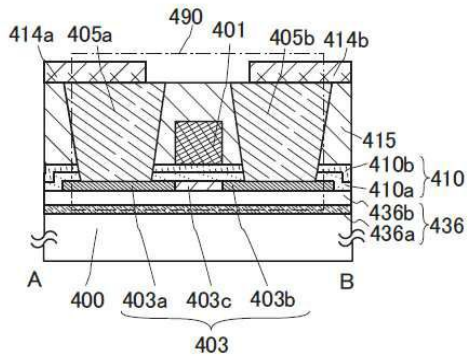


도면37

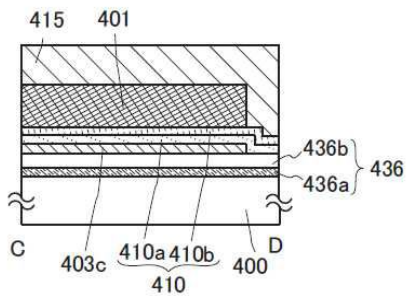
(a)



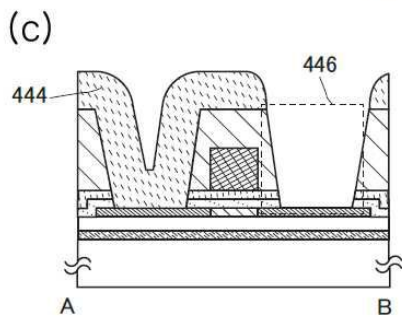
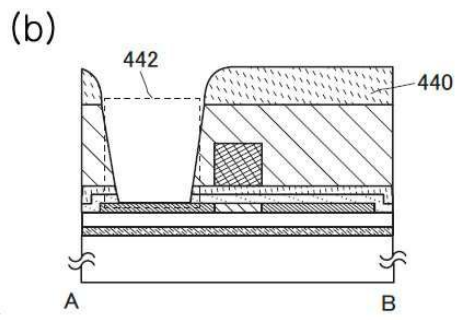
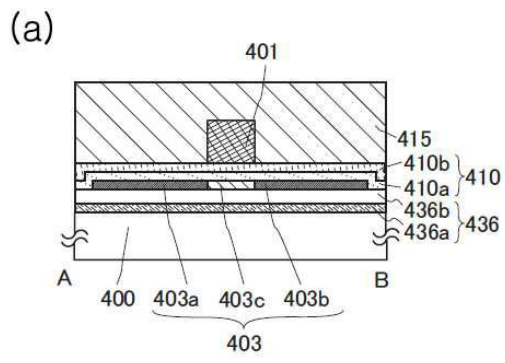
(b)



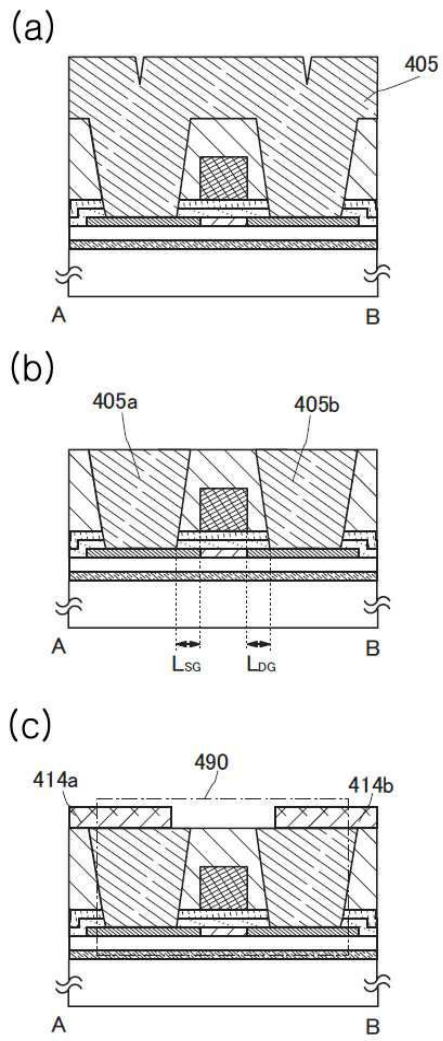
(c)



도면38

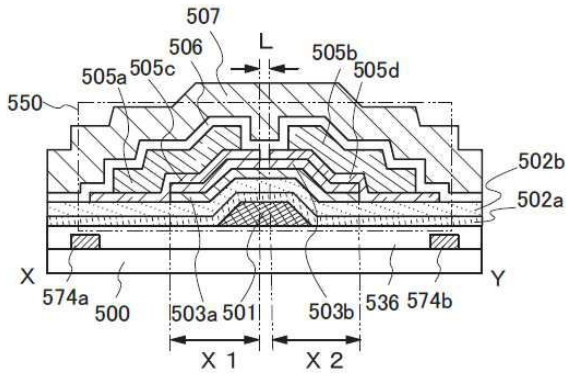


도면39

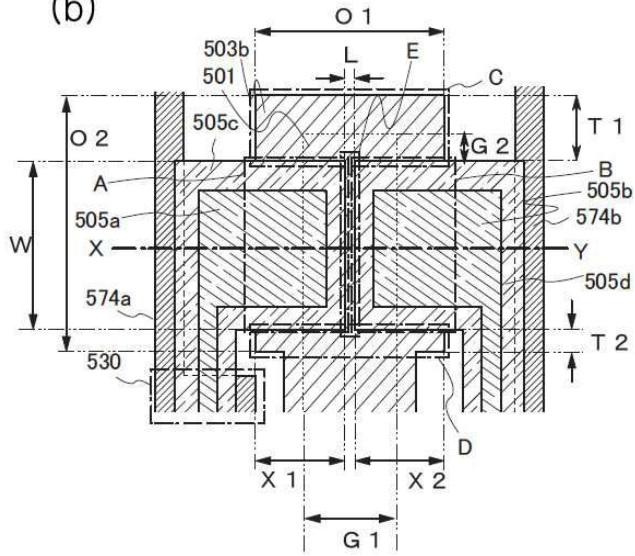


도면40

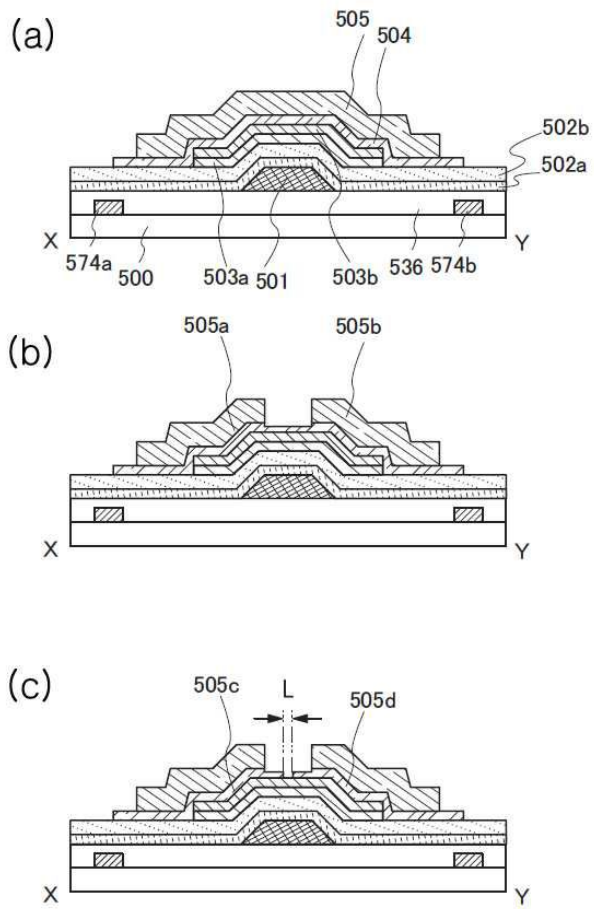
(a)



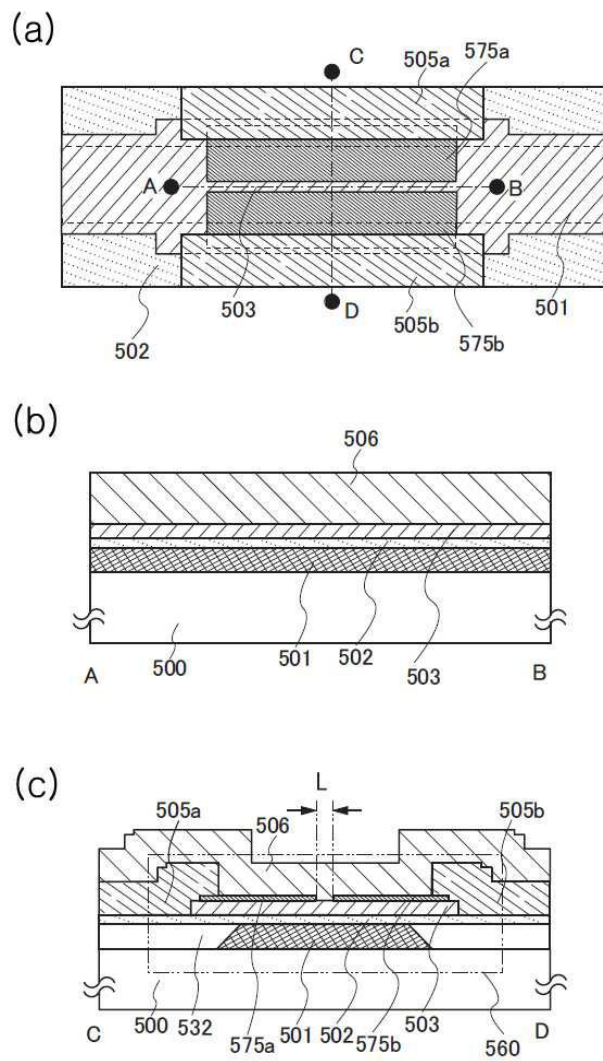
(b)



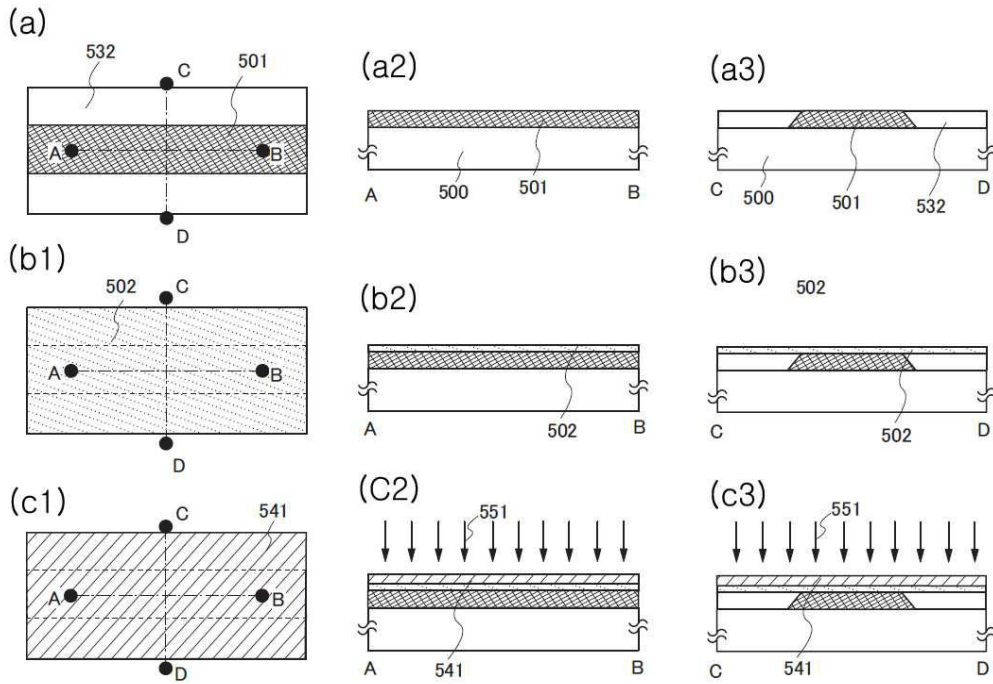
도면41



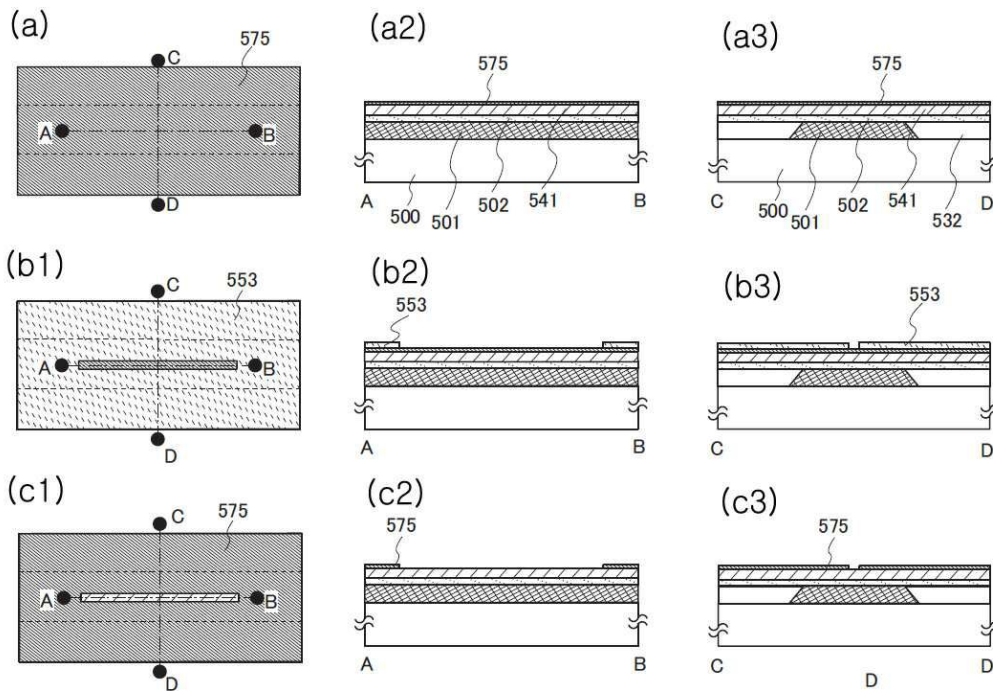
도면42



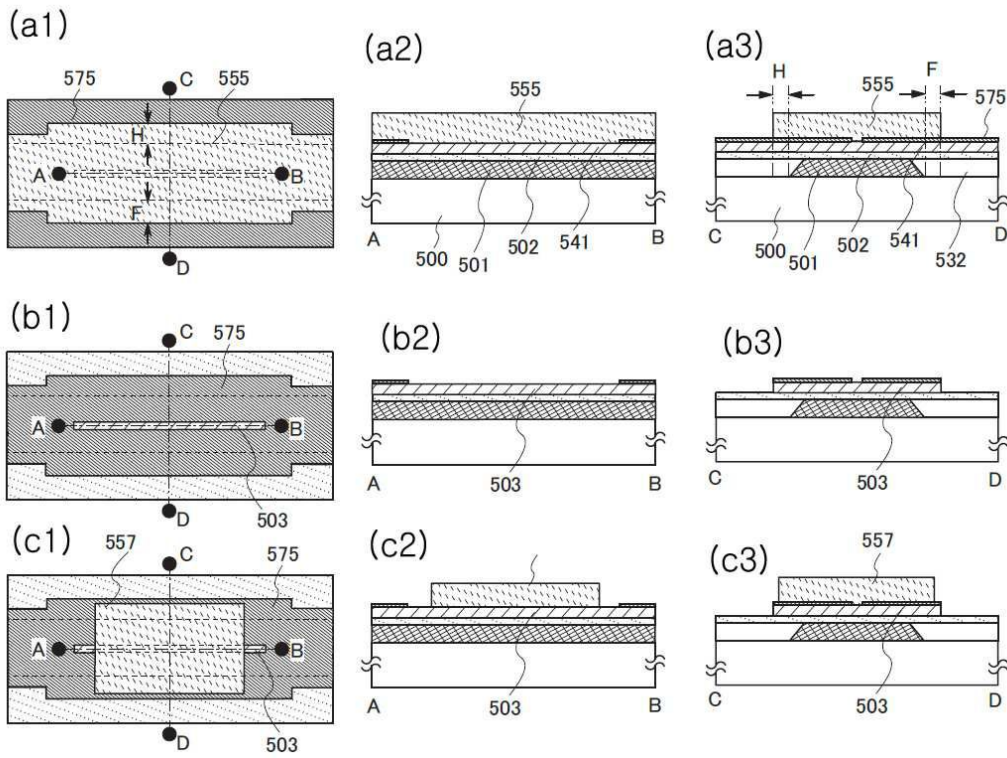
도면43



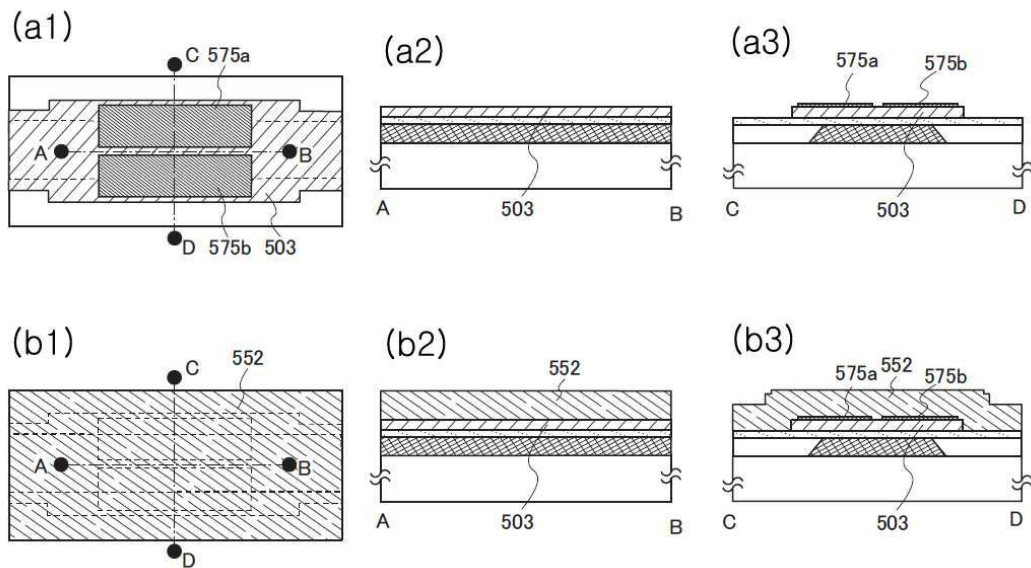
도면44



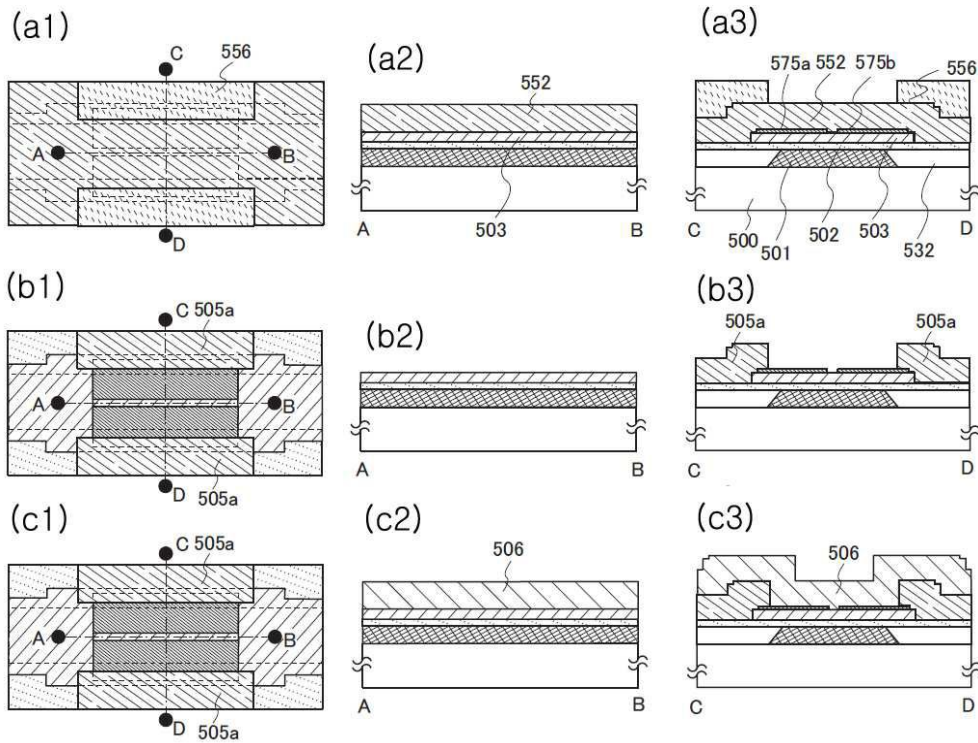
도면45



도면46



도면47



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제7항 1째줄

【변경전】

제 1 항 또는 제 3 항에 있어서,

【변경후】

제 1 항에 있어서,

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 제5항 1째줄

【변경전】

제 1 항 또는 제 3 항에 있어서,

【변경후】

제 1 항에 있어서,