

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月16日(16.08.2012)



(10) 国際公開番号

WO 2012/108314 A1

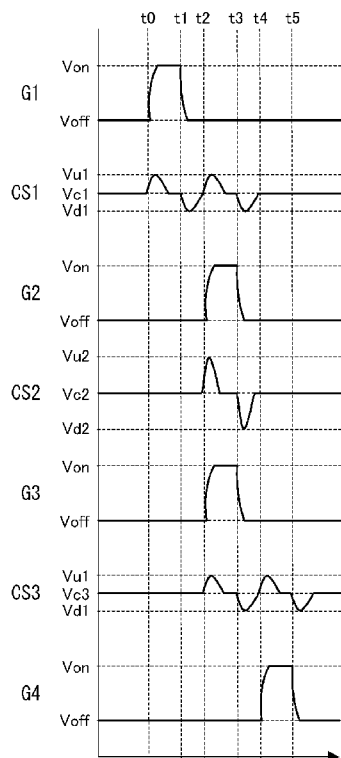
- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2012/052252
- (22) 国際出願日: 2012年2月1日(01.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-025189 2011年2月8日(08.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山川 亮
(YAMAKAWA Ryo).
- (74) 代理人: 特許業務法人暁合同特許事務所 (AKAT-SUKI UNION PATENT FIRM); 〒4600008 愛知県名古屋市中区栄二丁目1番1号 日土地名古屋ビル5階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) Title: DISPLAY DEVICE DRIVING METHOD, DRIVING DEVICE FOR DISPLAY DEVICE, AND TELEVISION RECEPTION DEVICE

(54) 発明の名称: 表示装置の駆動方法、表示装置の駆動装置、およびテレビ受信装置

[図4]



(57) Abstract: A liquid crystal display device according to the present invention switches on a pixel (P2) and a pixel (P3) by ramping up the voltage applied to a gateline (G2) and a gateline (G3), when a pixel (P1) is switched off by ramping down the voltage applied to a gateline (G1), in a drive for a liquid crystal panel. Upon doing so, a timing (t1) for ramping down the voltage applied to the gateline (G1), and a timing (t3) for ramping up the voltage applied to the gateline (G2) and the gateline (G3), are set to different timings. This driving method suppresses ripples in amplitude (Vu1, Vd1) that are generated on a holding capacity line (CS1) from overriding one another and being attenuated. Differences in amplitude of ripples that are generated on each holding capacity line can be suppressed, and display quality can be improved.

(57) 要約: 本発明に係る液晶表示装置では、液晶パネルの駆動において、ゲートラインG1に印加する電圧を立ち下げてピクセルP1をオフする際に、ゲートラインG2及びゲートラインG3に印加する電圧を立ち上げてピクセルP2及びピクセルP3をオンにする。この際、ゲートラインG1に印加する電圧を立ち下げるタイミングt1と、ゲートラインG2、G3に印加する電圧を立ち上げるタイミングt3とが異なるタイミングに設定されている。この駆動方法によれば、保持容量ラインCS1に発生する振幅Vu1、Vd1のリップルが打ち消し合っていて、減衰してしまうことが抑制される。各保持容量ラインに発生するリップルの振幅の差を抑制することができ、表示品位を高めることができる。



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, 添付公開書類:

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,

GW, ML, MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

表示装置の駆動方法、表示装置の駆動装置、およびテレビ受信装置

技術分野

[0001] 本発明は、複数の保持容量ラインの各々に発生するリップルの振幅の差を低減することで、表示品位を高める表示装置の駆動方法、表示装置の駆動装置、およびテレビ受信装置に関する。

背景技術

[0002] 近年、大画面テレビジョンなどの高性能な表示装置が普及しつつある（例えば、特許文献 1、2）。これらの表示装置は複数の表示画素を含んでおり、表示画素にゲートライン、ソースラインなどの配線を介して信号を入力することで、表示画素を個別に制御するとともに、表示画素と保持容量ラインとの間に設けられた保持容量を用いて入力された信号を保持することで、表示装置に表示画像を形成している。

[0003] これらの表示装置では、3D表示や視野角特性の改善などの目的から、表示装置を高速に駆動する技術が求められている。表示装置を高速に駆動する方法として、いわゆる「Wソースパネル」が実現化されている。Wソースパネルでは、ソースラインに沿う方向に並ぶ各表示画素群に対してそれぞれ2本のソースラインが設けられている。そして、Wソースパネルを駆動する際には、ソースラインに沿う方法に隣接して配置された2つの表示画素を選択し、その2つの表示画素を同時に制御する。つまり、表示画素に信号を入力する場合には、隣接して配置された2本のゲートラインに印加する電圧を同時にオン電圧に切り換え、当該2本のソースラインにそれぞれ対応する信号を入力する。また、表示画素に信号を入力し終わった場合には、当該2本のゲートラインに印加する電圧を同時にオフ電圧に切り換える。Wソースパネルを備えた表示装置では、同時に2つの表示画素を制御することができ、一度に1つの表示画素しか制御できない従来の表示装置に比べ、高速駆動が可

能となる。

先行技術文献

特許文献

[0004] 特許文献1：特開平 1 1 - 1 8 3 8 7 4 号公報

特許文献2：特開 2 0 0 9 - 6 3 9 3 8 号公報

[0005] (発明が解決しようとする課題)

しかし、Wソースパネルを備えた表示装置では、従来の表示装置に比べて保持容量ラインに発生するリップルの振幅の差が大きくなってしまいう問題が生じていた。保持容量ラインは、隣接するゲートラインの間に配置され、一般に隣接するゲートラインに印加される電圧の変化に伴ってリップルが発生する。従来の表示装置では、保持容量ラインが隣接する一方のゲートラインに印加される電圧がオン電圧に切り換えられる場合、隣接する他方のゲートラインに印加される電圧はオフ電圧に切り換えられ、あるいはオフ電圧のまま維持される。そのため、保持容量ラインに発生するリップルは、隣接する両側のゲートラインの影響がお互いに打ち消された減衰したものとなるか、隣接する片側のゲートラインの影響だけによるものであった。

[0006] その一方、Wソースパネルを備えた表示装置では、保持容量ラインが隣接する一方のゲートラインに印加される電圧がオン電圧に切り換えられる場合、隣接する他方のゲートラインに印加される電圧が逆にオフ電圧に切り換えられることもあれば、等しくオン電圧に切り換えられることもある。そのため、保持容量ラインに発生するリップルは、隣接する両側のゲートラインの影響がお互いに打ち消された減衰したものとなることもあれば、隣接する両側のゲートラインの影響がお互いに強め合って増幅したものとなることもあり、各保持容量ラインに発生するリップルの振幅の差が大きくなってしまいう。保持容量ラインに発生するリップルの振幅の差が大きくなると、保持容量ラインとの間で保持されている表示画素の信号の電圧値がシフトする量の差が大きくなり、表示品位が低下してしまう。

発明の概要

[0007] 本発明は、このような状況に鑑みてなされたものであり、複数の保持容量ラインに発生するリップルの振幅の差を抑制することができ、表示品位を向上させることを目的とする。

[0008] (課題を解決するための手段)

上記課題を解決するために、本発明の表示装置の駆動方法は、複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応してスイッチング素子と画素電極とを含む表示画素が配置されるとともに、隣接する前記ゲートラインの間に配置され、前記画素電極との間で保持容量を形成する複数の保持容量ラインを備える表示装置の駆動方法であって、第1ゲートラインに接続する第1表示画素、及び前記第1ゲートラインに隣接する第2ゲートラインに接続する第2表示画素、及び前記第1ゲートラインと異なる側において前記第2ゲートラインに隣接する第3ゲートラインに接続する第3表示画素につき、前記第1ゲートラインに印加する電圧を立ち下げて前記第1表示画素をオフする際に、前記第2ゲートライン及び前記第3ゲートラインに印加する電圧を立ち上げて前記第2表示画素及び前記第3表示画素をオンしており、前記第1ゲートラインに印加する電圧を立ち下げる第1タイミングと、前記第2ゲートライン及び前記第3ゲートラインに印加する電圧を立ち上げる第2タイミングとが異なるタイミングに設定されている。

[0009] この表示装置では、隣接する第1ゲートラインと第2ゲートラインの間に配置された第1の保持容量ラインにおいて、第1ゲートラインからの影響によって第1タイミングにおいて負側に一時的に電圧が変化する負側のリップルが発生し、第2ゲートラインからの影響によって第2タイミングにおいて正側に一時的に電圧が変化する正側のリップルが発生する。また、隣接する第2ゲートラインと第3ゲートラインの間に配置された第2の保持容量ラインにおいて、第2ゲートラインからの影響によって第2タイミングにおいて正側のリップルが発生し、第3ゲートラインからの影響によって同じく第2タイミングにおいて正側のリップルが発生する。つまり、第2の保持容量ラインでは、第2タイミングにおいて第2ゲートライン及び第3ゲートライン

からの影響によって発生するリップルが合成されて増幅したリップルが発生する。

[0010] この表示装置の駆動方法では、第1タイミングと第2タイミングとが異なるタイミングに設定されている。そのため、第1タイミングと第2タイミングとが同一のタイミングに設定された場合のように、第1の保持容量ラインにおいて、第1ゲートライン及び第2ゲートラインからの影響によって発生するリップルが合成されて減衰したリップルが発生することが抑制される。これによって、保持容量ラインに発生するリップルに、減衰したリップルと、増幅したリップルとが混在してしまうことがなく、各保持容量ラインに発生するリップルの振幅の差を抑制することができ、表示品位を向上させることができる。

[0011] また、上記の表示装置の駆動方法では、前記表示装置は、前記第2ゲートラインと異なる側において前記第3ゲートラインに隣接する第4ゲートラインに接続する第4表示画素を備え、前記第2ゲートライン及び前記第3ゲートラインに印加する電圧を立ち下げて前記第2表示画素及び前記第3表示画素をオフする際に、前記第4ゲートラインに印加する電圧を立ち上げて前記第4表示画素をオンしており、前記第2ゲートライン及び前記第3ゲートラインに印加する電圧を立ち下げる第3タイミングと、前記第4ゲートラインに印加する電圧を立ち上げる第4タイミングとが異なるタイミングに設定されていることが好ましい。

[0012] この表示装置では、第2の保持容量ラインにおいて、第2ゲートラインからの影響によって第3タイミングにおいて負側のリップルが発生し、第3ゲートラインからの影響によって同じく第3タイミングにおいて負側のリップルが発生する。つまり、第2の保持容量ラインでは、第3タイミングにおいて第2ゲートライン及び第3ゲートラインからの影響によって発生するリップルが合成されて増幅したリップルが発生する。また、隣接する第3ゲートラインと第4ゲートラインの間に配置された第3の保持容量ラインにおいて、第3ゲートラインからの影響によって第3タイミングにおいて負側のリッ

プルが発生し、第4ゲートラインからの影響によって第4タイミングにおいて正側のリップルが発生する。

[0013] この表示装置の駆動方法では、第3タイミングと第4タイミングとが異なるタイミングに設定されている。そのため、第3タイミングと第4タイミングとが同一のタイミングに設定された場合のように、第3の保持容量ラインにおいて、第3ゲートライン及び第4ゲートラインからの影響によって発生するリップルが合成されて減衰したリップルが発生することが抑制される。これによって、保持容量ラインに発生するリップルに、増幅したリップルと、減衰したリップルとが混在してしまうことがなく、各保持容量ラインに発生するリップルの振幅の差を抑制することができ、表示品位を向上させることができる。

[0014] また、上記の表示装置の駆動方法では、前記第2ゲートライン及び前記第3ゲートラインに印加する電圧を立ち下げる際に、前記第3タイミングに先立つ第5タイミングにおいて、前記第2ゲートライン及び前記第3ゲートラインに印加する電圧をオン電圧からオン電圧とオフ電圧の間の電圧に設定されている中間電圧に切り換え、前記第3タイミングにおいて、前記第2ゲートライン及び前記第3ゲートラインに印加する電圧を中間電圧からオフ電圧に切り換えて立ち下げることが好ましい。

[0015] この表示装置の駆動方法では、第2ゲートライン及び第3ゲートラインに印加する電圧を立ち下げる際に、第5タイミングと第3タイミングの2回に分けて当該ゲートラインに印加する電圧をオン電圧からオフ電圧へと切り換える。そのため、第3タイミングでオン電圧からオフ電圧へと切り換える場合に比べて、第3タイミングにおける電圧の変化量を抑えることができる。一般に、保持容量ラインに発生するリップルの振幅は、ゲートラインに印加される電圧の変化量に比例する。この表示装置の駆動方法によれば、第3タイミングにおける第2ゲートライン及び第3ゲートラインに印加される電圧の変化量を抑えることで、第3タイミングにおいて第2の保持容量ラインに発生する増幅したリップルの振幅を抑えることができる。これによって、各

保持容量ラインに発生するリップルの振幅の差を抑制することができ、表示品位を向上させることができる。

[0016] また、上記の表示装置の駆動方法では、前記表示装置が、前記表示画素が形成された基板に対向して配置され、対向電極が設けられた対向基板と、対向配置される前記表示画素の画素電極と前記対向電極との間に発生するフリッカを制御する際に前記ゲートラインに印加される電圧を生成する電圧生成回路と、を備えていても良い。この場合、前記電圧生成回路は、前記第5タイミングにおいて前記ゲートラインに印加される中間電圧を生成する回路を兼ねることが好ましい。

[0017] 表示装置の表示画素に含まれる画素電極と対向電極との間にフリッカが発生した場合に、表示画素に接続するゲートラインに中間電圧等を印加して、フリッカを低減させる技術が知られている。上記技術を実現可能な表示装置では、ゲートラインに中間電圧等を生成する回路が備えられており、その回路を用いてゲートラインに印加する中間電圧等を生成する。この表示装置の駆動方法では、表示装置のフリッカを低減させるために備えられた回路を用いて、各保持容量ラインに発生するリップルの振幅の差を抑制するための中間電圧を生成するので、表示装置を簡略化して構成することができる。

[0018] 本発明は、上記の表示装置の駆動方法を実現する表示装置の駆動装置にも具現化される。本発明の表示装置の駆動装置は、複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応してスイッチング素子と画素電極とを含む表示画素が配置されるとともに、隣接する前記ゲートラインの間に配置され、前記画素電極との間で保持容量を形成する複数の保持容量ラインを備える表示装置の駆動装置であって、前記ゲートラインに電圧を印加する電圧印加部と、前記電圧印加部が前記ゲートラインに電圧を印加するタイミングを設定する設定部を備える。前記電圧印加部は、第1ゲートラインに接続する第1表示画素、及び前記第1ゲートラインに隣接する第2ゲートラインに接続する第2表示画素、及び前記第1ゲートラインと異なる側において前記第2ゲートラインに隣接する第3ゲートラインに接続する第3

表示画素につき、前記第1ゲートラインに印加する電圧を立ち下げて前記第1表示画素をオフする際に、前記第2ゲートライン及び前記第3ゲートラインに印加する電圧を立ち上げて前記第2表示画素及び前記第3表示画素をオンする。前記設定部は、前記第1ゲートラインに印加する電圧を立ち下げる第1タイミングと、前記第2ゲートライン及び前記第3ゲートラインに印加する電圧を立ち上げる第2タイミングとが異なるタイミングに設定する。

[0019] この表示装置の駆動装置を用いることで、第1タイミングと第2タイミングとが同一のタイミングに設定される。そのため、保持容量ラインに発生するリップルに、減衰したリップルと、増幅したリップルとが混在してしまうことが抑制される。これによって、各保持容量ラインに発生するリップルの振幅の差を抑制することができ、表示品位を向上させることができる。

[0020] また、上記の表示装置の駆動装置では、前記表示装置が液晶パネルを用いた液晶表示装置であることが好ましい。この表示装置の駆動装置によれば、液晶パネル内に設けられた複数の保持容量ラインにおいて、各保持容量ラインに発生するリップルの振幅の差を抑制することができ、液晶パネルを用いた液晶表示装置の表示品位を向上させることができる。

[0021] 本発明は、上記の表示装置の駆動回路と、表示装置とを備えるテレビ受信装置にも具現化される。このテレビ受信装置によれば、表示装置内に設けられた複数の保持容量ラインにおいて、各保持容量ラインに発生するリップルの振幅の差を抑制することができ、テレビ受信装置の表示品位を向上させることができる。

[0022] (発明の効果)

本発明によれば、複数の保持容量ラインの各々に発生するリップルの振幅の差を抑制することができ、表示品位を向上させることができる。

図面の簡単な説明

[0023] [図1]液晶表示装置の構成を示す図である。

[図2]ピクセルの等価回路を示す図である。

[図3]表示処理のフローチャートを示す図である。

[図4]実施形態1のタイムチャートを示す図である。

[図5]従来技術の問題点を示す図である。

[図6]実施形態2のタイムチャートを示す図である。

[図7]実施形態3のタイムチャートを示す図である。

発明を実施するための形態

[0024] <実施形態1>

本発明の実施形態1を、図面を参照して説明する。

(1. 液晶表示装置の構成)

図1に示すように、液晶表示装置10は、テレビ受信用の表示装置であり、駆動回路12と表示部14とバックライト駆動回路16と電源装置18を含んでいる。表示部14は、液晶パネル40とバックライトユニット60を含んで構成されている。

液晶パネル40には、画像を表示する表示領域42を有する。図2に、表示領域42の等価回路を示す。表示領域42は、複数のゲートラインG、複数のソースラインS、複数のピクセル（表示画素の一例）P、複数の保持容量ラインCSを含む。ゲートラインGは、アルミなどの導電性材料で形成されており、紙面横方向に配置されている。ソースラインSは、同じくアルミなどの導電性材料で形成されており、紙面縦方向に配置されている。表示領域42において、ゲートラインGとソースラインSは直交しており、ゲートラインGとソースラインSとが交差する部分のそれぞれにピクセルPが配置されている。

[0025] ピクセルPは、液晶パネル40を駆動する際の単位表示素子であり、それぞれ2つのスイッチング素子48と2つのピクセル電極（画素電極の一例）46を含む。スイッチング素子48には、スイッチ電極48Aとデータ電極48B、48Cが設けられている。スイッチ電極48Aは対応するゲートラインGに接続されており、一方のデータ電極48Bは対応するソースラインSに接続されており、他方のデータ電極48Cはピクセル電極46に接続されている。ピクセル電極46は、ITOなどの導電性材料で形成された電極

であり、液晶パネル40内に封入された液晶分子を介して接地電圧に接続された対向電極52に対向配置されている。

[0026] 同一のピクセルPに含まれる2つのスイッチング素子48は、同一のゲートラインGに接続される。また、同一のピクセルPに含まれる2つのスイッチング素子48は、同一のソースラインSに接続されている。ゲートラインGに沿う方向に並んで配置されている複数のピクセルPは、同一のゲートラインGに接続されている。

[0027] その一方、ソースラインSに沿う方向に並んで配置されている複数のピクセルPは、必ずしも同一のソースラインSに接続されない。本実施形態の液晶パネル40は、ソースラインSに沿う方向に並んで配置されている複数のピクセルPに対して2本のソースラインS（例えば、ソースラインS1、S2）が設けられる、いわゆる「Wソースパネル」である。そのため、当該複数のピクセルPに含まれる任意のピクセルPが一方のソースラインSに接続されている場合、そのピクセルPにソースラインSに沿う方向に隣接するピクセルPは他方のソースラインSに接続されている。つまり、ソースラインS1、S2に沿う方向に並んで配置されているピクセルP1、P2、P3、P4において、ピクセルP1、P3がソースラインS1に接続されており、ピクセルP2、P4がソースラインS2に接続されている。

[0028] 保持容量ラインCSは、アルミなどの導電性材料で形成されており、紙面横方向に配置されている。保持容量ラインCSは、隣接するゲートラインGの間に配置されるとともに、ソースラインSに沿う方向に隣接するピクセルPの間に配置されている。ピクセルPに含まれるピクセル電極46は、絶縁体を介して保持容量ラインCSから絶縁されている。ピクセル電極46は、当該絶縁体を介して隣接する保持容量ラインCSと対向配置されており、ピクセル電極46と隣接する保持容量ラインCSとの間に保持容量50が形成されている。

[0029] 保持容量ラインCSは、ソースラインSに沿う方向において隣接する両側のピクセルPのピクセル電極46との間に保持容量50を形成している。そ

のため、保持容量ラインCSは、ソースラインSに沿う方向の一方側に隣接するピクセルPのピクセル電極46を介して、当該一方側に隣接するゲートラインGからの影響を受ける。また、保持容量ラインCSは、ソースラインSに沿う方向の他方側に隣接するピクセルPのピクセル電極46を介して、当該他方側に隣接するゲートラインGからの影響を受ける。つまり、保持容量ラインCSは、隣接する両側のゲートラインGからの影響を受ける。

[0030] バックライトユニット60は、液晶パネル40の背面に配置されている。バックライトユニット60は、光源であるLED64 (Light Emitting Diode: 発光ダイオード) と、導光板62を備えている。LED64は、導光板62の側面に対向して配置されている。導光板62は、その主面が液晶パネル40に対向して配置されている。導光板62では、LED64から側面に入射された光を液晶パネル40に対向する主面に導光している。そのため、導光板62の側面は、LED64から照射された光を導光板62内に取り込む入光面62Aとして機能している。また導光板62の主面は、導光板62内を導光した光を液晶パネル40へと照射する出光面62Bとして機能している。このようにバックライトユニット60は、その長辺側の両端部にLED64が配置され、その中央に導光板62を配してなる、いわゆるエッジライト型 (サイドライト型) とされている。

[0031] バックライト駆動回路16は、バックライトユニット60を構成する複数のLED64に接続されており、これらLED64を駆動している。バックライト駆動回路16は、各LED64に電流を供給し、LED64に供給する電流量を制御することによって、各LED64から導光板62に入光される光量を制御している。

[0032] 電源装置18は、駆動回路12に接続されており、液晶パネル40の表示に必要な各種電圧を生成するのに必要な複数の基準電圧Vを駆動回路12に供給している。基準電圧Vには、少なくとも液晶パネル40のピクセルPに含まれるスイッチング素子48をオンさせるのに必要なオン電圧Von及びオフ電圧Voffを備える。

[0033] 駆動回路 12 は、中央処理装置（以下「CPU」という）20、ROM、RAM等からなるメモリ22を含む。メモリ22には、プログラム、ガンマ関数等が記憶されており、CPU20は、メモリ22から読み出したプログラムに従って、計時部24、タイミング設定部26、電圧生成部28、電圧印加部30等として機能する。CPU20は、外部装置から階調値データとして構成される画像データが入力されると、液晶パネル40の表示に必要な各種電圧を生成し、所定のタイミングで生成した電圧を液晶パネル40に印加する。

[0034] （2. 表示処理）

図3ないし図6を用いて、液晶表示装置10の表示処理を説明する。

図3に示すように、駆動回路12のCPU20は、外部装置から画像データが入力されると処理を開始し、各種電圧を生成する（S12）。この際、CPU20は電圧生成部（電圧生成回路の一例）として機能し、電源装置18から供給される基準電圧V、及びメモリ22に記憶されたガンマ関数を用いて、画像データからソースラインSに印加するデータ電圧V_dを生成する。CPU20は、ガンマ関数を用いて画像データに対応するデータ電圧V_dを決定し、電源装置18から供給される基準電圧Vを用いてそのデータ電圧V_dを生成する。また、CPU20は、基準電圧Vを用いてゲートラインGに印加するゲート電圧（オン電圧V_{on}及びオフ電圧V_{off}）、及び保持容量ラインCSに印加する保持電圧V_cを生成する。

[0035] 次に、CPU20は、生成したゲート電圧等を印加するタイミングを設定する（S14）。この際、CPU20は計時部24及びタイミング設定部（設定部の一例）26として機能する。CPU20は、液晶表示装置10を起動後、CPU20が制御を開始してからの経過時間Tを計時している。CPU20は、経過時間Tを用いて、同一のピクセルPに接続されるゲートラインG、ソースラインS、保持容量ラインCSに電圧を印加するタイミングを設定する。

[0036] また、CPU30は、経過時間Tを用いて、液晶パネル40に複数本形成

されたラインの各々に電圧を印加するタイミングを設定する。例えば、液晶パネル40には複数のゲートラインGが形成されており、各々のゲートラインGに順次オン電圧V_{on}を入力することで、液晶パネル40に含まれる全てのピクセルPが表示可能となる。CPU20は、経過時間Tを用いて、各々のゲートラインGに印加する電圧をオフ電圧V_{off}からオン電圧V_{on}に切り換える（すなわち、立ち上げ）タイミングと、オン電圧V_{on}からオフ電圧V_{off}に切り換える（すなわち、立ち下げ）タイミングと、を設定する。

[0037] 次に、CPU20は、設定したタイミングに基づいて、生成した各種電圧を液晶パネルに印加する（S16）。この際、CPU20は電圧印加部として機能する。CPU20は、液晶パネル40に設けられた各ラインに接続されており、生成した各種電圧を対応するラインに印加する。

[0038] 液晶パネル40では、制御の対象となるピクセルPのゲートラインGに印加されるゲート電圧がオフ電圧V_{off}からオン電圧V_{on}に切り換わると、ピクセルPのスイッチング素子48がオンに切り換わる。

[0039] また、液晶パネル40では、ピクセルPのスイッチング素子48がオンに切り換わるのに同期して、ソースラインSへのデータ電圧V_dの印加が開始され、印加されたデータ電圧V_dがデータ電極48B、48Cを介してピクセル電極46に印加される。データ電圧V_dがピクセル電極46に印加されると、ピクセル電極46に対応配置された液晶分子が偏向し、ピクセルPの光透過率が変化する。表示部14では、液晶パネル40の背面に配置されているバックライトユニット60から液晶パネル40に向かって所定輝度の光が照射されている。そのため、ピクセルPの透過率が変化することで、ピクセルPの表示輝度を变化させることができる。ピクセルPにおける液晶分子の光透過率は、データ電圧V_dによって種々に変化させることができ、これによって、ピクセルPを所望の表示輝度に制御することができる。

[0040] ゲートラインGに印加されるゲート電圧がオフ電圧V_{off}からオン電圧V_{on}に切り換わってから所定の表示期間経過後、ゲートラインGに印加さ

れるゲート電圧がオン電圧 V_{on} からオフ電圧 V_{off} に切り換わると、ピクセル P のスイッチング素子 48 がオフに切り換わる。また、ピクセル P のスイッチング素子 48 がオフに切り換わるのに同期して、ソースライン S へのデータ電圧 V_d の印加が終了される。これによって、ピクセル電極 46 の電圧が、スイッチング素子 48 をオフする直前の電圧に維持される。

[0041] また、ピクセル電極 46 にデータ電圧 V_d が印加されるのに先だって、保持容量ライン CS に保持電圧 V_c が印加されている。これによってピクセル電極 46 の電圧が保持され、所定の表示期間に亘ってピクセル P の表示輝度が保持される。

[0042] (3. 印加タイミング)

図 2 に示すように、本実施形態では、液晶パネル 40 としていわゆる「W ソースパネル」を用いており、同時に 2 つのピクセル P を制御している。そのため、本実施形態の液晶パネル 40 では、ソースライン S に沿う方向に並んで配置されている 2 つのピクセル P (例えばピクセル P_2 、 P_3) を同時に制御することが可能である。例えば、ピクセル P_2 、 P_3 に電圧を印加する際には、ゲートライン G_2 、 G_3 に印加する電圧を同時にオフ電圧からオン電圧に切り換え、ソースライン S_1 、 S_2 に各ピクセル P に対応したデータ電圧 V_d を入力する。また、ピクセル P_2 、 P_3 に電圧を印加するのを終える際には、ゲートライン G_2 、 G_3 に印加する電圧を同時にオン電圧からオフ電圧に切り換える。同様に、ピクセル P_1 はピクセル P_1 よりも紙面上側に配置されたピクセル P と同時に制御されており、ピクセル P_4 はピクセル P_4 よりも紙面下側に配置されたピクセル P と同時に制御されている。

[0043] 図 4 に、本実施形態の駆動方法による、ピクセル $P_1 \sim P_4$ が制御される期間におけるゲートライン $G_1 \sim G_4$ 及び保持容量ライン $CS_1 \sim CS_3$ の電圧の変化を示す。ここで、 V_u は、保持容量ライン CS に発生する正電圧側のリップルの振幅を意味しており、 V_d は、保持容量ライン CS に発生する負電圧側のリップルの振幅を意味している。また、図 4 に示す期間において、駆動回路 12 から保持容量ライン $CS_1 \sim CS_3$ の各々に、一定の保持

電圧 V_c が印加されている。

[0044] 図4に示すように、本実施形態の駆動方法では、タイミング t_0 においてゲートライン G_1 に印加する電圧をオフ電圧 V_{off} からオン電圧 V_{on} に切り換える（立ち上げる）。これによって、ゲートライン G_1 に接続されているピクセル P_1 に保持容量 50 を介して接続されている保持容量ライン CS_1 に振幅 V_{u1} のリップルが発生する。

[0045] 次に、タイミング t_1 （第1タイミングの一例）において、ゲートライン G_1 に印加する電圧をオン電圧 V_{on} からオフ電圧 V_{off} に切り換える（立ち下げる）。この際、ゲートライン G_2 、 G_3 に印加する電圧をオフ電圧 V_{off} に維持し、ゲートライン G_2 、 G_3 に印加する電圧を立ち上げない。これによって、保持容量ライン CS_1 に振幅 V_{d1} のリップルが発生する。

[0046] 次に、タイミング t_2 （第2タイミングの一例）において、ゲートライン G_2 、 3 に印加する電圧を立ち上げる。これによって、保持容量ライン CS_1 、 3 に振幅 V_{u1} のリップルが発生する。また、ゲートライン G_2 、 3 に接続されているピクセル P_2 、 3 の双方に保持容量 50 を介して接続されている保持容量ライン CS_2 には、各々のゲートライン G_2 、 3 により発生する振幅 V_{u1} のリップルが合成されて、振幅 V_{u2} のリップルが発生する。振幅 V_{u2} は、振幅 V_{u1} よりも大きく、振幅 V_{u1} の略2倍の振幅となる。

[0047] 次に、タイミング t_3 （第3タイミングの一例）において、ゲートライン G_2 、 3 に印加する電圧を立ち下げる。この際、ゲートライン G_4 に印加する電圧をオフ電圧 V_{off} に維持し、ゲートライン G_4 に印加する電圧を立ち上げない。これによって、保持容量ライン CS_1 、 3 に振幅 V_{d1} のリップルが発生する。また、保持容量ライン CS_2 には、各々のゲートライン G_2 、 3 により発生する振幅 V_{d1} のリップルが合成されて、振幅 V_{d2} のリップルが発生する。振幅 V_{d2} は、振幅 V_{d1} よりも大きく、振幅 V_{d1} の略2倍の振幅となる。

- [0048] 次に、タイミング t_4 （第4タイミングの一例）において、ゲートラインG4に印加する電圧を立ち上げる。これによって、保持容量ラインCS3に振幅 V_{u1} のリップルが発生する。
- [0049] 次に、タイミング t_5 において、ゲートラインG4に印加する電圧を立ち下げる。これによって、保持容量ラインCS3に振幅 V_{d1} のリップルが発生する。
- [0050] 本実施形態の駆動方法では、ゲートラインGの立ち上げタイミングと、そのゲートラインGに隣接するゲートラインGの立ち下げタイミングを異なるタイミングに設定している。そのため、ゲートラインGに印加されるゲート電圧を変化させると、そのゲートラインGに隣接して配置される保持容量ラインCSに必ずリップルが発生している。
- [0051] 図5に、本実施形態の駆動方法と異なり、ゲートラインGの立ち上げタイミングと、そのゲートラインGに隣接するゲートラインGの立ち下げタイミングを等しいタイミングに設定した場合のゲートラインG1～G4及び保持容量ラインCS1～CS3の電圧の変化を示す。
- [0052] この場合、タイミング t_1 （タイミング t_2 ）において、ゲートラインG1に印加する電圧を立ち下げるとともに、ゲートラインG2、G3に印加する電圧を立ち上げる。これによって、保持容量ラインCS1には、各々のゲートラインG1、2により発生するリップルが打ち消しあい、ほぼリップルが発生しない。
- [0053] また、タイミング t_3 （タイミング t_4 ）において、ゲートラインG2、3に印加する電圧を立ち下げるとともに、ゲートラインG4に印加する電圧を立ち上げる。これによって、保持容量ラインCS3には、各々のゲートラインG3、4により発生するリップルが打ち消しあい、ほぼリップルが発生しない。
- [0054] ゲートラインGの立ち上げタイミングと、そのゲートラインGに隣接するゲートラインGの立ち下げタイミングを等しいタイミングに設定した場合、ゲートラインGに印加されるゲート電圧を変化させたとしても、そのゲート

ラインGに隣接して配置される保持容量ラインCSにリップルが発生しない（つまり、振幅が「0」のリップルが発生する）ことがある。そのため、ゲートラインGに印加されるゲート電圧を変化させた場合に、そのゲートラインGに隣接して配置される保持容量ラインCSに発生するリップルの振幅は、0、 V_{u1} (V_{d1})、 V_{u2} (V_{d2}) の3種類の1つとなる。

[0055] 一方、本実施形態の駆動方法では、ゲートラインGに印加されるゲート電圧を変化させた場合に、そのゲートラインGに隣接して配置される保持容量ラインCSに発生するリップルの振幅は、 V_{u1} (V_{d1})、 V_{u2} (V_{d2}) の2種類に限られる。これによって、ゲートラインGの立ち上げタイミングと、そのゲートラインGに隣接するゲートラインGの立ち下げタイミングを等しいタイミングに設定した場合に比べて、保持容量ラインCSに発生するリップルの振幅のバラツキが抑制される。これによって、例えば発生するリップルを打ち消すように対応電圧 V_s を入力する場合に、対応電圧 V_s を精度よく決定することが可能である。

[0056] (4. 本実施形態の効果)

(1) 本実施形態では、ゲートラインG₁に印加する電圧を立ち下げるタイミング t_1 と、ゲートラインG₂、₃に印加する電圧を立ち上げるタイミング t_2 と、が異なるタイミングに設定されている。そのため、タイミング t_1 とタイミング t_2 とが同一のタイミングに設定された場合のように、保持容量ラインCS₁に発生するリップルが減衰してしまうことが抑制される。これによって、タイミング t_1 とタイミング t_2 とが同一のタイミングに設定された場合のように、保持容量ラインCS₁では発生するリップルが減衰し、保持容量ラインCS₂では発生するリップルが増幅して、保持容量ラインCS₁に発生するリップルと保持容量ラインCS₂に発生するリップルの振幅の差を抑制することができ、表示品位を向上させることができる。

[0057] (2) 本実施形態では、ゲートラインG₂、₃に印加する電圧を立ち下げるタイミング t_3 と、ゲートラインG₄に印加する電圧を立ち上げるタイミング t_4 と、が異なるタイミングに設定されている。そのため、タイミング t

3とタイミング t_4 とが同一のタイミングに設定された場合のように、保持容量ラインCS3に発生するリップルが減衰してしまうことが抑制される。これによって、タイミング t_3 とタイミング t_4 とが同一のタイミングに設定された場合のように、保持容量ラインCS3では発生するリップルが増幅し、保持容量ラインCS2では発生するリップルが減衰して、保持容量ラインCS2に発生するリップルと保持容量ラインCS3に発生するリップルの振幅の差を抑制することができ、表示品位を向上させることができる。

[0058] <実施形態2>

本発明の実施形態2を、図6を用いて説明する。

(1. 印加タイミング)

本実施形態の液晶表示装置10の駆動方法では、ゲートラインG1に印加する電圧を立ち下げる際に、ゲートラインG2、3に印加する電圧を立ち上げる場合において、ゲートラインG2、3に印加する電圧を立ち上げた後に、ゲートラインG1に印加する電圧を立ち下げる点で、ゲートラインG1に印加する電圧を立ち下げた後に、ゲートラインG2、3に印加する電圧を立ち上げる実施形態1の液晶表示装置10の駆動方法と異なる。また、ゲートラインG2、3に印加する電圧を立ち下げる際に、ゲートラインG4に印加する電圧を立ち上げる場合において、ゲートラインG4に印加する電圧を立ち上げた後に、ゲートラインG2、3に印加する電圧を立ち下げる点で、ゲートラインG2、3に印加する電圧を立ち下げた後に、ゲートラインG4に印加する電圧を立ち上げる実施形態1の液晶表示装置10の駆動方法と異なる。

[0059] (2. 本実施形態の効果)

(1) 本実施形態でも、ゲートラインG1に印加する電圧を立ち下げるタイミング t_1 と、ゲートラインG2、3に印加する電圧を立ち上げるタイミング t_2 と、が異なるタイミングに設定されている。また、ゲートラインG2、3に印加する電圧を立ち下げるタイミング t_3 と、ゲートラインG4に印加する電圧を立ち上げるタイミング t_4 と、が異なるタイミングに設定され

ている。これによって、保持容量ラインCS1、3に発生するリップルと保持容量ラインCS2に発生するリップルの振幅の差が拡大してしまうことを抑制することができ、表示品位を向上させることができる。

[0060] (2) 本実施形態では、ピクセルP1にオン電圧Vonが印加される期間の一部と、ピクセルP1の次に制御されるピクセルP3にオン電圧Vonが印加される期間の一部とが、重なるように設定されている。同様に、ピクセルP2にオン電圧Vonが印加される期間の一部と、ピクセルP2の次に制御されるピクセルP4にオン電圧Vonが印加される期間の一部とが、重なるように設定されている。これによって、ピクセルP1(P2)を制御した後にピクセルP3(P4)を制御する場合において、そのいずれものピクセルPにオン電圧Vonが印加されておらず、制御不能な期間を省くことができ、液晶表示装置10を高速に駆動することが可能である。

[0061] (3) 本実施形態では、同時に制御することを意図しない複数のピクセルPに同時にオン電圧Vonが印加される期間が存在する。そのため、本実施形態では、1つ前に制御されるピクセルPのスイッチング素子48がオフに切り換わるのと同期して、ソースラインSへのデータ電圧Vdの印加を開始する。また、1つ後に制御されるピクセルPのスイッチング素子48がオンに切り換わるのに先立って、ソースラインSへのデータ電圧Vdの印加を終了する。これによって、ピクセルPに意図しないデータ電圧Vdが印加されることが防止される。

[0062] <実施形態3>

本発明の実施形態3を、図7を用いて説明する。本実施形態の液晶表示装置10の駆動方法では、ゲートラインGに印加する電圧をオン電圧Vonからオフ電圧Voffに切り換える際に、まずオン電圧Vonからオン電圧Vonとオフ電圧Voffの中央の電圧に設定された中央電圧(中間電圧の一例) $V_m = (V_{on} + V_{off}) / 2$ に切り換え、次に、中央電圧Vmに切り換えたタイミングと異なるタイミングで中央電圧Vmからオフ電圧Voffに切り換える点で、一度にオン電圧Vonからオフ電圧Voffに切

り換える実施形態2の液晶表示装置10の駆動方法と異なる。以下では、ゲートラインG2、3に印加する電圧を異なる2回のタイミングでオン電圧 V_{on} からオフ電圧 V_{off} に切り換える例を用いて説明する。

[0063] (1. 液晶表示装置の構成)

本実施形態の液晶表示装置10では、電圧生成部28として機能するCPU20が、電源装置18から供給される基準電圧 V を変圧する機能を有する。駆動回路12には、例えば配線の切り換えにより抵抗分割を変更し、基準電圧 V を変圧する等の回路が含まれる。CPU20は、駆動回路12に含まれる当該回路を用いて、電源装置18から供給される基準電圧 V を変圧する。

[0064] CPU30は、ゲートラインG2、3に中央電圧 V_m を印加する際に、電源装置18から供給されるオン電圧 V_{on} を変圧して中央電圧 V_m を生成する。CPU30は、この生成した中央電圧 V_m をゲートラインG2、3に印加する。

[0065] また、液晶表示装置10は、液晶パネル40のゲートラインGに印加する電圧を切り換える際に、その電圧の変化をなだらかにすることで、ゲートラインGの配線抵抗によって生じる電圧の変化の鈍りの影響を抑制し、面内フリッカを改善する、いわゆる「ゲートスロープ機能」を備える。CPU30は、ゲートラインGに印加される電圧を切り換える際に、オン電圧 V_{on} とオフ電圧 V_{off} の間の複数の電圧を生成することで、ゲートラインGに印加する電圧をなだらかに変化させている。

[0066] 本実施形態の液晶表示装置10では、この既存のゲートスロープ機能を用いて中央電圧 V_m を生成する。そのため、既存の駆動回路12が有している機能を用いて、中央電圧 V_m を生成することができる。

[0067] (2. 印加タイミング)

図7に示すように、本実施形態の駆動方法では、タイミング t_3 において、ゲートラインG2、3に印加する電圧をオフ電圧 V_{off} に切り換えるに先立って、タイミング t_4 において、ゲートラインG4に印加する電圧をオ

フ電圧 V_{off} からオン電圧 V_{on} に切り換える。この際、タイミング t_4 （第5のタイミングの一例）において、ゲートライン G_4 に印加する電圧をオフ電圧 V_{off} からオン電圧 V_{on} に切り換えるとともに、ゲートライン G_2 、 G_3 に印加する電圧をオン電圧 V_{on} から中央電圧 V_m に切り換える。これによって、保持容量ライン CS_1 、 CS_2 、 CS_3 にリップルが発生する。

[0068] 保持容量ライン CS_1 には、ゲートライン G_1 からの影響により、振幅 V_{d3} のリップルが発生する。保持容量ライン CS に発生するリップルの振幅は、隣接するゲートライン G に発生する電圧の変化に比例する。そのため、振幅 V_{d3} は、オン電圧 V_{on} からオフ電圧 V_{off} への切り換えに伴って発生するリップルの振幅 V_{d1} よりも小さく、振幅 V_{d1} の略半分の振幅となる。

[0069] また、保持容量ライン CS_2 には、ゲートライン G_2 、 G_3 の各々から振幅 V_{d3} のリップルが発生し、これが合成されて振幅 V_{d1} のリップルが発生する。また、保持容量ライン CS_2 には、ゲートライン G_3 からの振幅 V_{d3} のリップルとゲートライン G_4 からの振幅 V_{u1} のリップルが発生し、これが打ち消されて、振幅 V_{u3} のリップルが発生する。振幅 V_{u3} は、振幅 V_{u1} よりも小さく、振幅 V_{u1} の略半分の振幅となる。

[0070] 次に、タイミング t_3 において、ゲートライン G_2 、 G_3 に印加する電圧をオフ電圧 V_{off} に切り換える。これによって、これによって、保持容量ライン CS_1 、 CS_3 には、振幅 V_{d3} のリップルが発生し、保持容量ライン CS_2 には、振幅 V_{d1} のリップルが発生する。尚、ゲートライン G_1 、 G_4 に印加する電圧をオン電圧 V_{on} からオフ電圧 V_{off} に切り換える場合も同様であり、重複した説明を省略する。

[0071] 本実施形態の駆動方法では、ゲートライン G に印加されている電圧を立ち下げる際に、2回のタイミングに分けてゲートライン G に印加されている電圧をオン電圧 V_{on} からオフ電圧 V_{off} に切り換える。そのため、それぞれのタイミングにおいて隣接して配置される保持容量ライン CS に発生する

リップルの振幅が抑制される。

[0072] そのため、本実施形態の駆動方法では、ゲートラインGに印加されるゲート電圧を変化させた場合に、そのゲートラインGに隣接して配置される保持容量ラインCSに発生する負電圧側のリップルの振幅は、 V_{d1} 、 V_{d3} の2種類に限られ、その振幅差が V_{d3} に縮小される。これによって、一度にゲートラインGに印加されている電圧をオン電圧 V_{on} からオフ電圧 V_{off} に切り換える場合の振幅差 V_{d1} に比べて振幅差を抑制することができ、保持容量ラインCSに発生するリップルの振幅のバラツキが抑制される。

[0073] (3. 本実施形態の効果)

(1) 本実施形態では、ゲートラインG2、3に印加する電圧を立ち下げる際に、タイミング t_4 とタイミング t_3 の2回に分けてゲートラインG2、3に印加する電圧をオン電圧 V_{on} からオフ電圧 V_{off} へと切り換える。そのため、タイミング t_3 のみでオン電圧 V_{on} からオフ電圧 V_{off} へと切り換える場合に比べて、タイミング t_3 における電圧の変化量を抑えることができる。これによって、タイミング t_3 のみでオン電圧 V_{on} からオフ電圧 V_{off} へと切り換える場合に比べて、タイミング t_3 において発生するリップルの振幅を抑制することができる。その結果、各保持容量ラインCSに発生するリップルの振幅の差が拡大してしまうことを抑制され、表示品位を向上させることができる。

[0074] (2) 本実施形態では、液晶表示装置10の駆動回路12がゲートスロープ機能を実現するために有していたオン電圧 V_{on} とオフ電圧 V_{off} の間の電圧を生成する機能を用いて中央電圧 V_m を生成する。そのため、中央電圧 V_m を生成するための回路を駆動回路12に新たに組み込む必要がなく、液晶表示装置10に含まれる駆動回路12の構成を簡略化することができる。

[0075] <他の実施形態>

本発明は上記記述及び図面によって説明した実施形態に限定されるものではなく、例えば次のような実施形態も本発明の技術的範囲に含まれる。

[0076] (1) 上記実施形態では、ゲートラインGに印加する電圧をオン電圧 V_{on}

から中央電圧 V_m に切り換えるタイミングが、次に制御するゲートライン G に印加する電圧をオフ電圧 V_{off} からオン電圧 V_{on} に切り換えるタイミングと等しい例を用いて説明を行ったが、これに限られない。上記2つのタイミングが異なるタイミングに設定されていてもよい。この場合でも、保持容量ライン CS に発生するリップルの振幅は、 V_{u1} (V_{d1})、 V_{u3} (V_{d3}) の2種類に限られ、その2種類の振幅差が V_{u3} (V_{d3}) に縮小される。これによって、保持容量ライン CS に発生するリップルの振幅のバラツキが抑制される。

[0077] (2) 上記実施形態では、駆動回路12を液晶パネル40から分離した例を用いて説明を行ったが、本発明はこれに限られない。例えば、CPU20等の駆動回路12の一部がゲートドライバ、ソースドライバ等として液晶パネル40上に配置されていても良い。

[0078] (3) 上記実施形態では、ゲートライン G に印加する電圧を2段階で立ち上げる際に、中間電圧として中央電圧 V_m を用いて説明を行ったが、本発明はこれに限られない。中間電圧は、オン電圧 V_{on} とオフ電圧 V_{off} の中間の電圧に設定されれば、他の電圧に設定されても良い。

[0079] (4) 上記実施形態では、ゲートライン G に印加する電圧をオン電圧 V_{on} からオフ電圧 V_{off} に切り換える際に、異なる2回のタイミングでオン電圧 V_{on} からオフ電圧 V_{off} に切り換える例を用いて説明を行ったが、ゲートライン G に印加する電圧をオフ電圧 V_{off} からオン電圧 V_{on} に切り換える際に、異なる2回のタイミングでオフ電圧 V_{off} からオン電圧 V_{on} に切り換えてもよい。これによって、一度にゲートライン G に印加されている電圧をオフ電圧 V_{off} からオン電圧 V_{on} に切り換える場合に比べて、保持容量ライン CS に発生する正電圧側のリップルの振幅振幅差を抑制することができ、保持容量ライン CS に発生するリップルの振幅のバラツキが抑制される。

[0080] (5) 上記実施形態では、光源としてLED64を用いたものを例示したが、LED以外の光源を用いたものであってもよい。また、光源の配置として

エッジライト型を用いたものを例示したが、光源が導光板 6 2 の背面に配された直下型を用いたものであってもよい。

符号の説明

[0081] 10 : 液晶表示装置、12 : 駆動回路、14 : 表示部、18 : 電源装置、20 : CPU、22 : メモリ、24 : 計時部、26 : タイミング設定部、28 : 電圧生成部、30 : 電圧印加部、40 : 液晶パネル、46 : ピクセル電極、48 : スイッチング素子、50 : 保持容量、52 : 対向電極、P : ピクセル、G : ゲートライン、S : ソースライン、CS : 保持容量ライン、V : 基準電圧、Von : オン電圧、Voff : オフ電圧、Vm : 中央電圧、Vd : データ電圧、Vc : 保持電圧、Vu、Vd : リップルの振幅

請求の範囲

[請求項1] 複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応してスイッチング素子と画素電極とを含む表示画素が配置されるとともに、隣接する前記ゲートラインの間に配置され、前記画素電極との間で保持容量を形成する複数の保持容量ラインを備える表示装置の駆動方法であって、

第1ゲートラインに接続する第1表示画素、及び前記第1ゲートラインに隣接する第2ゲートラインに接続する第2表示画素、及び前記第1ゲートラインと異なる側において前記第2ゲートラインに隣接する第3ゲートラインに接続する第3表示画素につき、前記第1ゲートラインに印加する電圧を立ち下げて前記第1表示画素をオフする際に、前記第2ゲートライン及び前記第3ゲートラインに印加する電圧を立ち上げて前記第2表示画素及び前記第3表示画素をオンしており、

前記第1ゲートラインに印加する電圧を立ち下げる第1タイミングと、前記第2ゲートライン及び前記第3ゲートラインに印加する電圧を立ち上げる第2タイミングとが異なるタイミングに設定されていることを特徴とする表示装置の駆動方法。

[請求項2] 前記表示装置は、前記第2ゲートラインと異なる側において前記第3ゲートラインに隣接する第4ゲートラインに接続する第4表示画素を備え、前記第2ゲートライン及び前記第3ゲートラインに印加する電圧を立ち下げて前記第2表示画素及び前記第3表示画素をオフする際に、前記第4ゲートラインに印加する電圧を立ち上げて前記第4表示画素をオンしており、

前記第2ゲートライン及び前記第3ゲートラインに印加する電圧を立ち下げる第3タイミングと、前記第4ゲートラインに印加する電圧を立ち上げる第4タイミングとが異なるタイミングに設定されていることを特徴とする請求項1に記載の表示装置の駆動方法。

[請求項3] 前記第2ゲートライン及び前記第3ゲートラインに印加する電圧を

立ち下げる際に、前記第3タイミングに先立つ第5タイミングにおいて、前記第2ゲートライン及び前記第3ゲートラインに印加する電圧をオン電圧からオン電圧とオフ電圧の間の電圧に設定されている中間電圧に切り換え、前記第3タイミングにおいて、前記第2ゲートライン及び前記第3ゲートラインに印加する電圧を中間電圧からオフ電圧に切り換えて立ち下げることを特徴とする請求項2に記載の表示装置の駆動方法。

[請求項4]

前記表示装置は、

前記表示画素が形成された基板に対向して配置され、対向電極が設けられた対向基板と、

対向配置される前記表示画素の画素電極と前記対向電極との間に発生するフリッカを制御する際に前記ゲートラインに印加される電圧を生成する電圧生成回路と、を備え、

前記電圧生成回路は、前記第5タイミングにおいて前記ゲートラインに印加される中間電圧を生成する回路を兼ねることを特徴とする請求項3に記載の表示装置の駆動方法。

[請求項5]

複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応してスイッチング素子と画素電極とを含む表示画素が配置されるとともに、隣接する前記ゲートラインの間に配置され、前記画素電極との間で保持容量を形成する複数の保持容量ラインを備える表示装置の駆動装置であって、

前記ゲートラインに電圧を印加する電圧印加部と、

前記電圧印加部が前記ゲートラインに電圧を印加するタイミングを設定する設定部を備えており、

前記電圧印加部は、第1ゲートラインに接続する第1表示画素、及び前記第1ゲートラインに隣接する第2ゲートラインに接続する第2表示画素、及び前記第1ゲートラインと異なる側において前記第2ゲートラインに隣接する第3ゲートラインに接続する第3表示画素につ

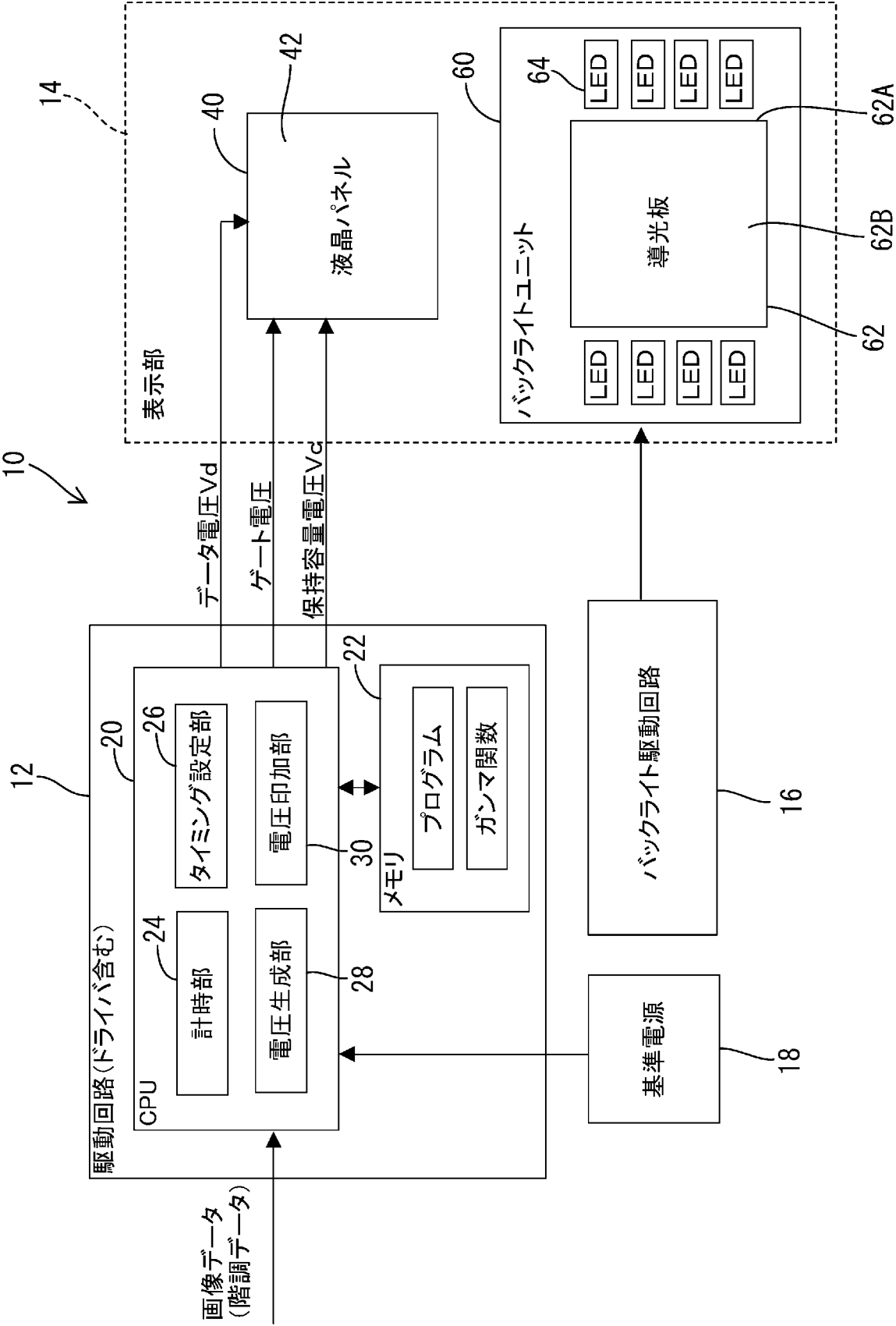
き、前記第 1 ゲートラインに印加する電圧を立ち下げて前記第 1 表示画素をオフする際に、前記第 2 ゲートライン及び前記第 3 ゲートラインに印加する電圧を立ち上げて前記第 2 表示画素及び前記第 3 表示画素をオンしており、

前記設定部は、前記第 1 ゲートラインに印加する電圧を立ち下げる第 1 タイミングと、前記第 2 ゲートライン及び前記第 3 ゲートラインに印加する電圧を立ち上げる第 2 タイミングとが異なるタイミングに設定することを特徴とする表示装置の駆動装置。

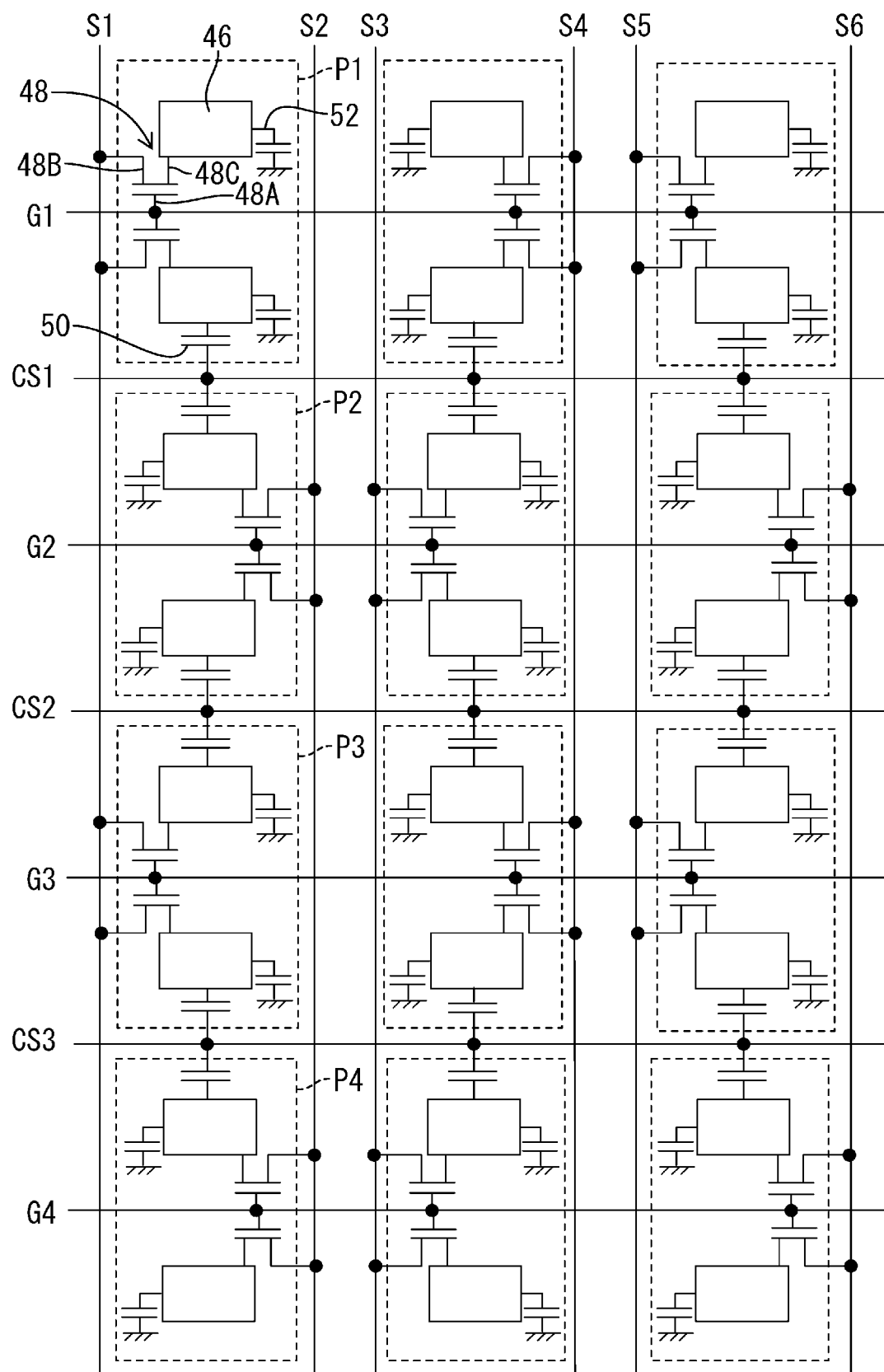
[請求項6] 前記表示装置が液晶パネルを用いた液晶表示装置であることを特徴とする請求項 5 に記載の表示装置の駆動装置。

[請求項7] 請求項 5 または請求項 6 に記載の表示装置の駆動装置と、表示装置とを備えるテレビ受信装置。

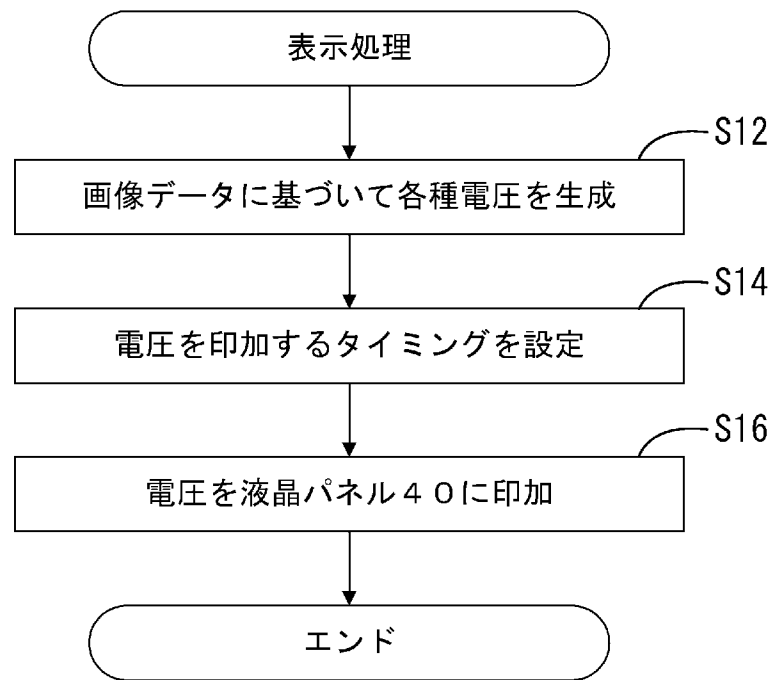
[図1]



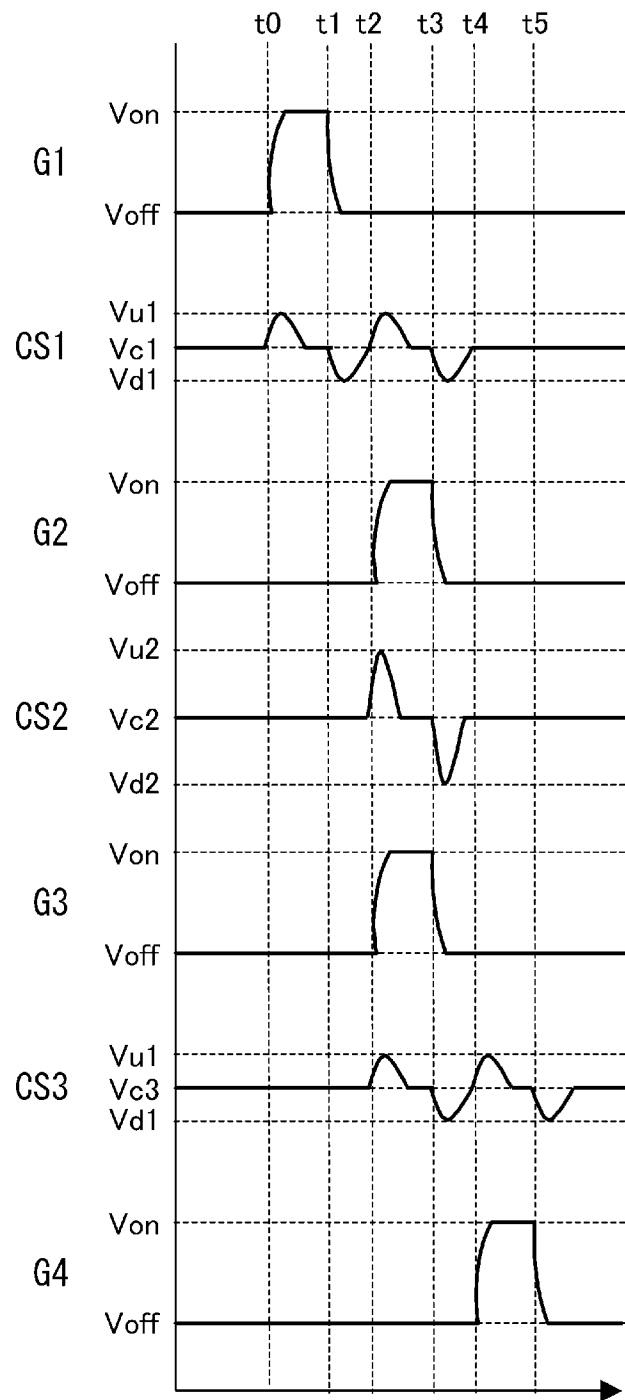
[図2]



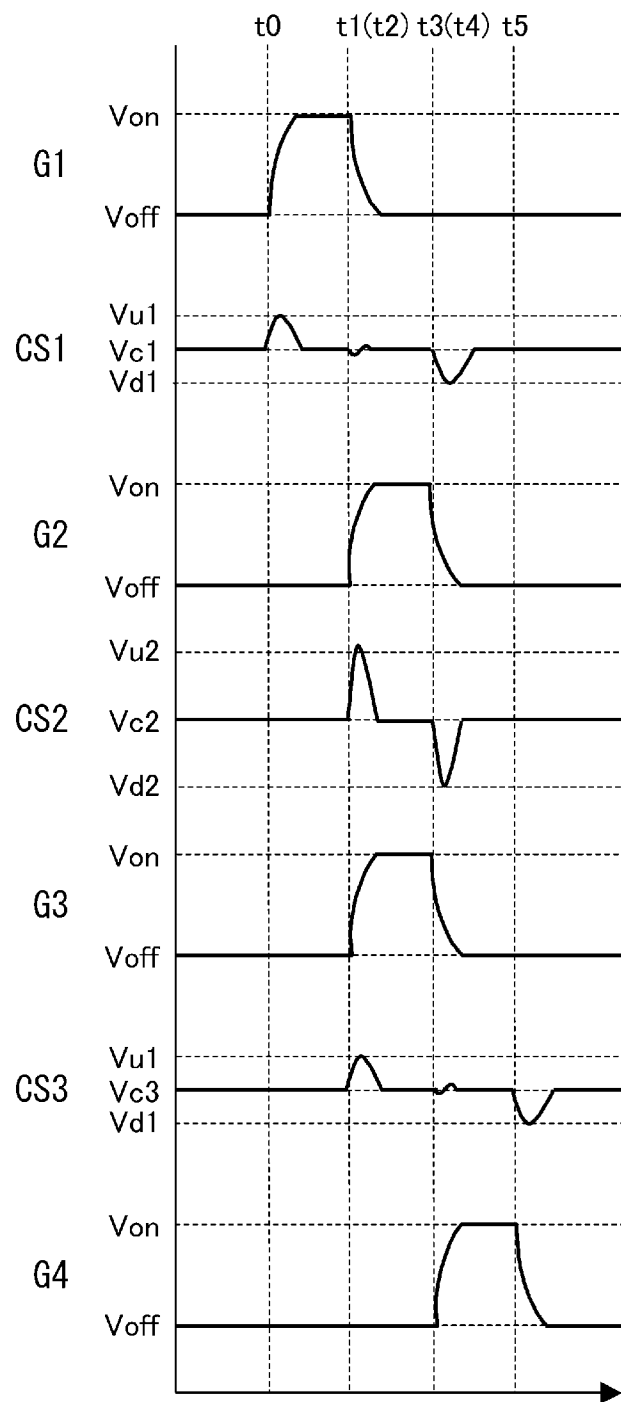
[図3]



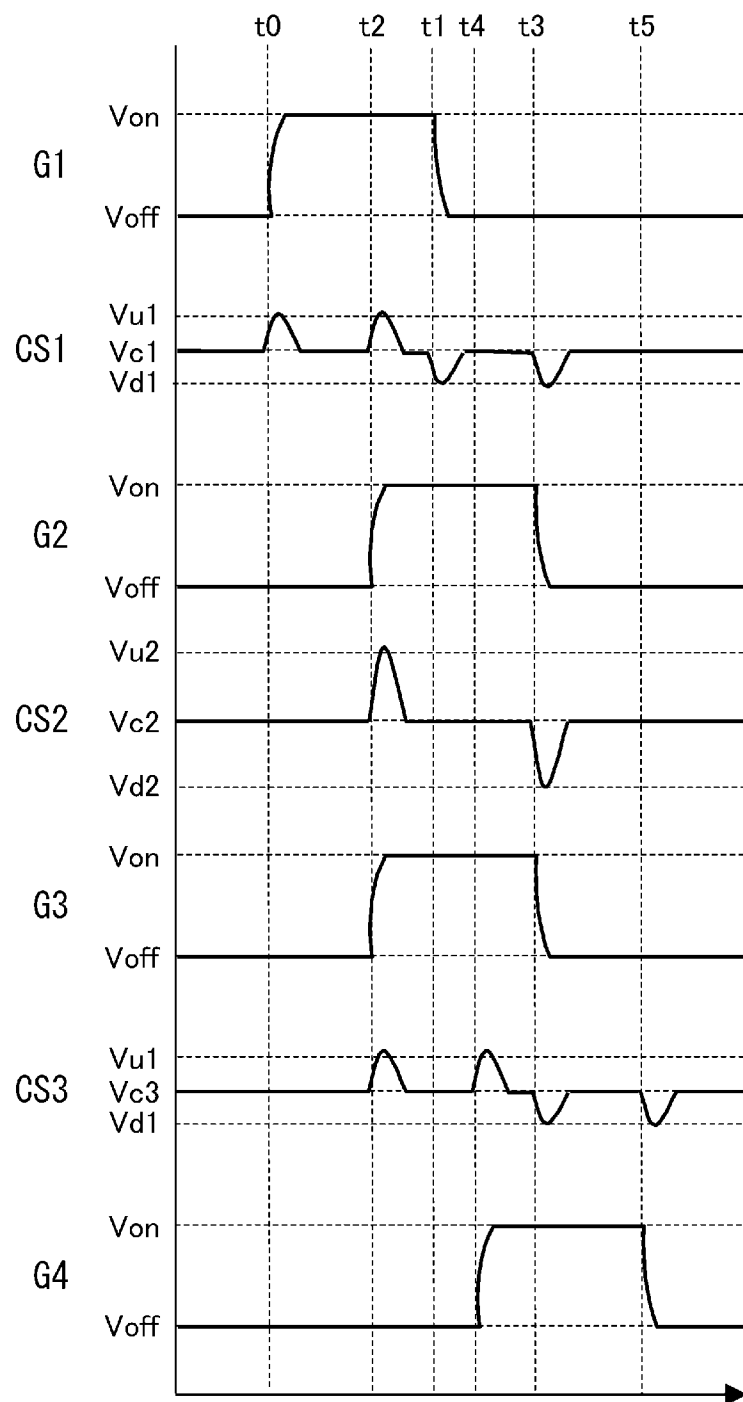
[図4]



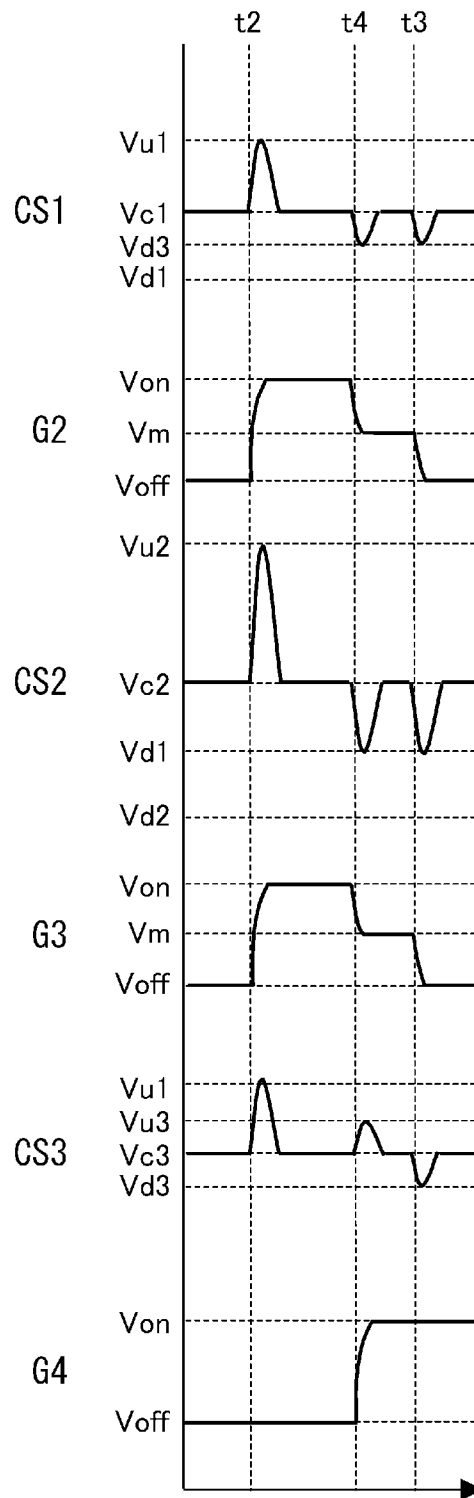
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/052252

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2625248 B2 (Sharp Corp.), 11 April 1997 (11.04.1997), pages 3 to 4; fig. 1, 5, 6 & JP 4-140716 A & US 5206634 A & EP 479552 A2 & DE 69125679 T & DE 69125679 D & KR 10-1995-0003345 B	1-2, 5 3-4
Y A	JP 2009-222839 A (Epson Imaging Devices Corp.), 01 October 2009 (01.10.2009), claims; fig. 1 to 3 & US 2009/0231504 A1 & CN 101533171 A & KR 10-2009-0098716 A	1-2, 5 3-4
Y A	JP 2010-60813 A (Hitachi Displays, Ltd.), 26 February 2010 (26.02.2010), paragraphs [0029] to [0042]; fig. 1 & US 2010/0053127 A1	1-2, 5 3-4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
22 March, 2012 (22.03.12)

Date of mailing of the international search report
03 April, 2012 (03.04.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/052252

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-96915 A (Epson Imaging Devices Corp.), 24 April 2008 (24.04.2008), fig. 4, 8 (Family: none)	1-5
A	JP 2010-107580 A (NEC Display Solutions, Ltd.), 13 May 2010 (13.05.2010), fig. 5, 15 (Family: none)	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	J P 2 6 2 5 2 4 8 B 2（シャープ株式会社） 1 9 9 7 . 0 4 . 1 1, 第 3 - 4 ページ, 第 1, 5, 6 図	1 - 2, 5
A	& JP 4-140716 A & US 5206634 A & EP 479552 A2 & DE 69125679 T & DE 69125679 D & KR 10-1995-0003345 B	3 - 4
Y	J P 2 0 0 9 - 2 2 2 8 3 9 A（エプソンイメージングデバイス株式会社）2 0 0 9 . 1 0 . 0 1, 特許請求の範囲, 図 1 - 3	1 - 2, 5
A	& US 2009/0231504 A1 & CN 101533171 A & KR 10-2009-0098716 A	3 - 4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 3 . 2 0 1 2

国際調査報告の発送日

0 3 . 0 4 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

一宮 誠

2 G

9 5 1 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	J P 2010-60813 A (株式会社日立ディスプレイズ)	1-2, 5
A	2010.02.26, 段落【0029】-【0042】, 図1 & US 2010/0053127 A1	3-4
A	J P 2008-96915 A (エプソンイメージングデバイス 株式会社) 2008.04.24, 図4, 8 (ファミリーなし)	1-5
A	J P 2010-107580 A (NECディスプレイソリューション 株式会社) 2010.05.13, 図5, 15 (ファミリーなし)	1-5