

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成27年8月6日(2015.8.6)

【公開番号】特開2014-192418(P2014-192418A)  
 【公開日】平成26年10月6日(2014.10.6)  
 【年通号数】公開・登録公報2014-055  
 【出願番号】特願2013-67983(P2013-67983)  
 【国際特許分類】

H 0 1 L 21/336 (2006.01)  
 H 0 1 L 29/786 (2006.01)  
 H 0 1 L 21/28 (2006.01)  
 H 0 1 L 51/50 (2006.01)  
 G 0 2 F 1/1368 (2006.01)

【F I】

H 0 1 L 29/78 6 1 7 A  
 H 0 1 L 29/78 6 1 8 B  
 H 0 1 L 29/78 6 1 7 M  
 H 0 1 L 29/78 6 1 2 Z  
 H 0 1 L 21/28 3 0 1 R  
 H 0 5 B 33/14 A  
 G 0 2 F 1/1368  
 H 0 1 L 21/28 3 0 1 B

【手続補正書】

【提出日】平成27年6月17日(2015.6.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ゲート電極と、

前記ゲート電極に対向して前記ゲート電極に重なる第1重畳領域を有する酸化物半導体膜と、

前記酸化物半導体膜内に設けられた低抵抗領域とを含み、

前記低抵抗領域と前記第1重畳領域との間に第1離間領域を有する

トランジスタを備えた

半導体装置。

【請求項2】

前記ゲート電極の側面および前記ゲート電極と酸化物半導体膜との間のゲート絶縁膜の側面に第1側壁を有し、前記第1側壁は前記酸化物半導体膜の第1離間領域に接している請求項1記載の半導体装置。

【請求項3】

前記ゲート電極の、前記ゲート絶縁膜と反対の面に第1耐エッチング膜を有する

請求項2記載の半導体装置。

【請求項4】

前記第1耐エッチング膜はドライエッチングに対して前記ゲート電極よりも高いエッチング耐性を有する

請求項 3 記載の半導体装置。

【請求項 5】

前記第 1 耐エッチング膜の平面形状は前記ゲート電極と同一である

請求項 3 記載の半導体装置。

【請求項 6】

前記第 1 耐エッチング膜は酸化物を含む

請求項 3 記載の半導体装置。

【請求項 7】

前記第 1 耐エッチング膜は酸化インジウムスズ、酸化インジウム亜鉛または酸化インジウムガリウム亜鉛を含む

請求項 3 記載の半導体装置。

【請求項 8】

前記ゲート電極は、チタンと、アルミニウムまたは銅と、モリブデンまたは窒化モリブデンとを含む

請求項 1 記載の半導体装置。

【請求項 9】

前記第 1 側壁は、酸化シリコン、酸窒化シリコンおよび窒化シリコンの少なくともいずれか 1 つを含む

請求項 2 記載の半導体装置。

【請求項 10】

前記酸化物半導体膜の第 1 重畳領域を覆うチャンネル保護膜および前記チャンネル保護膜の側面を覆う第 2 側壁を有する

請求項 1 記載の半導体装置。

【請求項 11】

前記チャンネル保護膜の、前記酸化物半導体膜と反対の面に第 2 耐エッチング膜を有する

請求項 10 記載の半導体装置。

【請求項 12】

前記低抵抗領域に接する高抵抗膜を有する

請求項 1 記載の半導体装置。

【請求項 13】

前記第 1 重畳領域を間にして、一对の前記低抵抗領域を有する

請求項 1 記載の半導体装置。

【請求項 14】

前記トランジスタの酸化物半導体膜を共有する容量素子を含む

請求項 1 記載の半導体装置。

【請求項 15】

前記容量素子は、容量絶縁膜を間に前記酸化物半導体膜に対向する一方の電極を含むと共に、前記一方の電極に重なる前記酸化物半導体膜の第 2 重畳領域と前記低抵抗領域との間の第 2 離間領域を有し、

前記一方の電極の側面および前記容量絶縁膜の側面の第 3 側壁は、前記第 2 離間領域に接している

請求項 14 記載の半導体装置。

【請求項 16】

前記容量素子の一方の電極は前記ゲート電極と、前記容量絶縁膜は前記ゲート絶縁膜とそれぞれ同層に設けられ、

前記容量素子の他方の電極は前記酸化物半導体膜である

請求項 15 記載の半導体装置。

【請求項 17】

前記容量素子は、前記酸化物半導体膜と前記容量絶縁膜との間に導電膜を有する

請求項 15 記載の半導体装置。

## 【請求項 18】

表示素子および前記表示素子を駆動するトランジスタを備え、  
前記トランジスタは、  
ゲート電極と、  
前記ゲート電極に対向して前記ゲート電極に重なる第 1 重畳領域を有する酸化物半導体膜と、  
前記酸化物半導体膜内に設けられた低抵抗領域とを含み、  
前記低抵抗領域と前記第 1 重畳領域との間に第 1 離間領域を有する表示装置。

## 【請求項 19】

前記表示素子として有機 E L ( Electroluminescence ) 素子を有する請求項 18 記載の表示装置。

## 【請求項 20】

表示素子および前記表示素子を駆動するトランジスタを有する表示装置を備え、  
前記トランジスタは、  
ゲート電極と、  
前記ゲート電極に対向して前記ゲート電極に重なる第 1 重畳領域を有する酸化物半導体膜と、  
前記酸化物半導体膜内に設けられた低抵抗領域とを含み、  
前記低抵抗領域と前記第 1 重畳領域との間に第 1 離間領域を有する電子機器。

## 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正の内容】

【0060】

次いで、図 7 C に示したように、例えば 200 程度の温度で熱処理を行うことにより金属膜 17 A が酸化され、これによって高抵抗膜 17 が形成される。この際、酸化物半導体膜 12 のうち高抵抗膜 17 が接する部分、即ち側壁 16 T , 16 C に隣接する位置に低抵抗領域 12 B が形成される。換言すれば、側壁 16 T , 16 C によって重畳領域 12 T A , 12 C A と低抵抗領域 12 B との間に離間領域 12 T B , 12 C B が形成される。低抵抗領域 12 B は、例えば酸化物半導体膜 12 の厚み方向 ( Z 方向 ) の一部 ( 高抵抗膜 17 側 ) に設けられる。この金属膜 17 A の酸化反応には、酸化物半導体膜 12 に含まれる酸素の一部が利用されるため、金属膜 17 A の酸化の進行に伴って、酸化物半導体膜 12 では、その金属膜 17 A と接する表面 ( 上面 ) 側から酸素濃度が低下していく。一方、金属膜 17 A からアルミニウム等の金属が酸化物半導体膜 12 中に拡散する。この金属元素がドーパントとして機能し、金属膜 17 A と接する酸化物半導体膜 12 の上面側の領域が低抵抗化される。これにより、重畳領域 12 T A , 12 C A よりも電気抵抗の低い低抵抗領域 12 B が自己整合的に形成される。

## 【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0110

【補正方法】変更

【補正の内容】

【0110】

なお、本技術は以下のような構成を取ることにも可能である。

( 1 ) ゲート電極と、前記ゲート電極に対向して前記ゲート電極に重なる第 1 重畳領域を有する酸化物半導体膜と、前記酸化物半導体膜内に設けられた低抵抗領域とを含み、前記低抵抗領域と前記第 1 重畳領域との間に第 1 離間領域を有するトランジスタを備えた半導

体装置。

(2) 前記ゲート電極の側面および前記ゲート電極と酸化物半導体膜との間のゲート絶縁膜の側面に第1側壁を有し、前記第1側壁は前記酸化物半導体膜の第1離間領域に接している前記(1)記載の半導体装置。

(3) 前記ゲート電極の、前記ゲート絶縁膜と反対の面に第1耐エッチング膜を有する前記(2)記載の半導体装置。

(4) 前記第1耐エッチング膜はドライエッチングに対して前記ゲート電極よりも高いエッチング耐性を有する前記(3)記載の半導体装置。

(5) 前記第1耐エッチング膜の平面形状は前記ゲート電極と同一である前記(3)または(4)記載の半導体装置。

(6) 前記第1耐エッチング膜は酸化物を含む前記(3)乃至(5)のうちいずれか1つに記載の半導体装置。

(7) 前記第1耐エッチング膜は酸化インジウムスズ、酸化インジウム亜鉛または酸化インジウムガリウム亜鉛を含む前記(3)乃至(6)のうちいずれか1つに記載の半導体装置。

(8) 前記ゲート電極は、チタンと、アルミニウムまたは銅と、モリブデンまたは窒化モリブデンとを含む前記(1)乃至(7)のうちいずれか1つに記載の半導体装置。

(9) 前記第1側壁は、酸化シリコン、酸窒化シリコンおよび窒化シリコンの少なくともいずれか1つを含む前記(2)記載の半導体装置。

(10) 前記酸化物半導体膜の第1重畳領域を覆うチャネル保護膜および前記チャネル保護膜の側面を覆う第2側壁を有する前記(1)記載の半導体装置。

(11) 前記チャネル保護膜の前記酸化物半導体膜と反対の面に第2耐エッチング膜を有する前記(10)記載の半導体装置。

(12) 前記低抵抗領域に接する高抵抗膜を有する前記(1)乃至(11)のうちいずれか1つに記載の半導体装置。

(13) 前記第1重畳領域を間にして、一对の前記低抵抗領域を有する前記(1)乃至(12)のうちいずれか1つに記載の半導体装置。

(14) 前記トランジスタの酸化物半導体膜を共有する容量素子を含む前記(1)乃至(9)のうちいずれか1つに記載の半導体装置。

(15) 前記容量素子は、容量絶縁膜を間に前記酸化物半導体膜に対向する一方の電極を含むと共に、前記一方の電極に重なる前記酸化物半導体膜の第2重畳領域と前記低抵抗領域との間の第2離間領域を有し、前記一方の電極の側面および前記容量絶縁膜の側面の第3側壁は、前記第2離間領域に接している前記(14)記載の半導体装置。

(16) 前記容量素子の一方の電極は前記ゲート電極と、前記容量絶縁膜は前記ゲート絶縁膜とそれぞれ同層に設けられ、前記容量素子の他方の電極は前記酸化物半導体膜である前記(15)記載の半導体装置。

(17) 前記容量素子は、前記酸化物半導体膜と前記容量絶縁膜との間に導電膜を有する前記(15)に記載の半導体装置。

(18) 表示素子および前記表示素子を駆動するトランジスタを備え、前記トランジスタは、ゲート電極と、前記ゲート電極に対向して前記ゲート電極に重なる第1重畳領域を有する酸化物半導体膜と、前記酸化物半導体膜内に設けられた低抵抗領域とを含み、前記低抵抗領域と前記第1重畳領域との間に第1離間領域を有する表示装置。

(19) 前記表示素子として有機EL(Electroluminescence)素子を有する前記(18)記載の表示装置。

(20) 表示素子および前記表示素子を駆動するトランジスタを有する表示装置を備え、前記トランジスタは、ゲート電極と、前記ゲート電極に対向して前記ゲート電極に重なる第1重畳領域を有する酸化物半導体膜と、前記酸化物半導体膜内に設けられた低抵抗領域とを含み、前記低抵抗領域と前記第1重畳領域との間に第1離間領域を有する電子機器。