



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년02월27일
 (11) 등록번호 10-1952091
 (24) 등록일자 2019년02월20일

(51) 국제특허분류(Int. Cl.)
 H01L 29/786 (2006.01) H01L 21/336 (2006.01)
 H01L 29/861 (2006.01)
 (21) 출원번호 10-2011-0092178
 (22) 출원일자 2011년09월09일
 심사청구일자 2016년09월07일
 (65) 공개번호 10-2012-0028272
 (43) 공개일자 2012년03월22일
 (30) 우선권주장
 JP-P-2010-204693 2010년09월13일 일본(JP)
 (56) 선행기술조사문헌
 KR1020100098306 A*
 (뒷면에 계속)

(73) 특허권자
 가부시키키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
 야마자키 순페이
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키키가이샤 한도오따이 에네루기 켄큐쇼 내
 고도 히로미치
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키키가이샤 한도오따이 에네루기 켄큐쇼 내
 고바야시 사토시
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키키가이샤 한도오따이 에네루기 켄큐쇼 내
 (74) 대리인
 장훈

전체 청구항 수 : 총 9 항

심사관 : 고연화

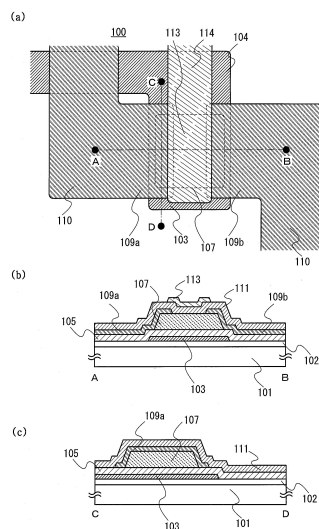
(54) 발명의 명칭 **반도체 장치, 파워 다이오드 및 정류기**

(57) 요약

고내압, 저역방향 포화 전류, 높은 온 전류 등의 전기 특성을 갖는 반도체 장치를 제공하는 것이다. 이 중에서도, 비선형 소자로 구성되는 파워 다이오드 및 정류기를 제공하는 것이다.

제 1 전극과, 제 1 전극을 피복하는 게이트 절연층과, 게이트 절연층과 접하고 또한 제 1 전극과 중첩되는 산화물 반도체층과, 산화물 반도체층의 단부를 피복하는 한 쌍의 제 2 전극과, 한 쌍의 제 2 전극 및 산화물 반도체층을 피복하는 절연층과, 절연층에 접하고 또한 한 쌍의 제 2 전극 사이에 형성되는 제 3 전극을 가지며, 한 쌍의 제 2 전극은 산화물 반도체층의 단면에 접하는 반도체 장치이다.

대표도 - 도1



(56) 선행기술조사문헌

JP2010153828 A*

JP2010040951 A*

JP2000228516 A*

WO2010058746 A1*

US20100102313 A1

KR1020100056970 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

트랜지스터를 포함하는 반도체 장치에 있어서,

상기 트랜지스터는:

기판 위의 제 1 게이트 전극;

상기 제 1 게이트 전극 위의 제 1 게이트 절연층;

상기 제 1 게이트 절연층 위의 산화물 반도체층;

상기 산화물 반도체층 위의 소스 전극 및 드레인 전극;

상기 소스 전극 및 상기 드레인 전극 위의 제 2 게이트 절연층;

상기 제 2 게이트 절연층 위의 제 2 게이트 전극을 포함하고,

상기 산화물 반도체층은 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극 사이에 위치되고,

상기 산화물 반도체층은 채널 길이 방향을 따라 제 1 측면, 상기 제 1 측면에 대향되는 제 2 측면, 채널 폭 방향을 따라 제 3 측면, 및 상기 제 3 측면에 대향되는 제 4 측면을 포함하고,

상기 소스 전극은 상기 산화물 반도체층의 상기 제 1, 제 2, 및 제 3 측면들과 접하고,

상기 드레인 전극은 상기 산화물 반도체층의 상기 제 1, 제 2, 및 제 4 측면들과 접하고,
 상기 제 1 게이트 전극의 폭은 상기 채널 길이 방향의 상기 산화물 반도체층의 폭보다 크고,
 상기 제 2 게이트 전극은 상기 소스 전극의 영역 및 상기 드레인 전극의 영역과 중첩하고,
 상기 제 2 게이트 전극은 상기 채널 폭 방향을 따라 상기 산화물 반도체층을 넘어 연장하는, 반도체 장치.

청구항 27

트랜지스터를 포함하는 반도체 장치에 있어서,

상기 트랜지스터는:

기판 위의 제 1 게이트 전극;

상기 제 1 게이트 전극 위의 제 1 게이트 절연층;

상기 제 1 게이트 절연층 위의 산화물 반도체층으로서, 상기 산화물 반도체층은 제 1 층 및 제 2 층을 포함하는, 상기 산화물 반도체층;

상기 산화물 반도체층 위의 소스 전극 및 드레인 전극;

상기 소스 전극 및 상기 드레인 전극 위의 제 2 게이트 절연층;

상기 제 2 게이트 절연층 위의 제 2 게이트 전극을 포함하고,

상기 산화물 반도체층은 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극 사이에 위치되고,

상기 산화물 반도체층은 채널 길이 방향을 따라 제 1 측면, 상기 제 1 측면에 대향되는 제 2 측면, 채널 폭 방향을 따라 제 3 측면, 및 상기 제 3 측면에 대향되는 제 4 측면을 포함하고,

상기 소스 전극은 상기 산화물 반도체층의 상기 제 1, 제 2, 및 제 3 측면들과 접하고,

상기 드레인 전극은 상기 산화물 반도체층의 상기 제 1, 제 2, 및 제 4 측면들과 접하고,

상기 제 1 게이트 전극의 폭은 채널 길이 방향의 상기 산화물 반도체층의 폭보다 크고,

상기 제 2 게이트 전극은 상기 소스 전극의 영역 및 상기 드레인 전극의 영역과 중첩하고,

상기 제 2 게이트 전극은 상기 채널 폭 방향을 따라 상기 산화물 반도체층을 넘어 연장하는, 반도체 장치.

청구항 28

트랜지스터를 포함하는 반도체 장치에 있어서,

상기 트랜지스터는:

기판 위의 제 1 게이트 전극;

상기 제 1 게이트 전극 위의 제 1 게이트 절연층;

상기 제 1 게이트 절연층 위의 산화물 반도체층으로서, 상기 산화물 반도체층은 제 1 측면, 제 2 측면, 제 3 측면 및 제 4 측면을 포함하는, 상기 산화물 반도체층;

상기 산화물 반도체층 위에서 접하고 인듐을 포함하는 제 1 층;

상기 산화물 반도체층 위에서 접하고 인듐을 포함하는 제 2 층;

상기 제 1 층 위에서 접하는 소스 전극;

상기 제 2 층 위에서 접하는 드레인 전극;

상기 소스 전극 및 상기 드레인 전극 위의 제 2 게이트 절연층;

상기 제 2 게이트 절연층 위의 제 2 게이트 전극을 포함하고,

상기 산화물 반도체층은 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극 사이에 위치되고,

상기 제 1 층은 상기 산화물 반도체층의 상기 제 1, 제 2, 및 제 3 측면들과 접하고,
 상기 제 2 층은 상기 산화물 반도체층의 상기 제 1, 제 2, 및 제 4 측면들과 접하고,
 상기 제 1 층 및 상기 제 2 층은 아연 또는 주석을 더 포함하고,
 상기 산화물 반도체층의 상기 제 3 측면 및 상기 제 4 측면은 상기 산화물 반도체층의 상기 제 1 및 제 2 측면들 사이에 각각 위치되고,
 상기 제 3 측면을 따르는 방향 및 상기 제 4 측면을 따르는 방향 각각은 상기 제 1 측면을 따르는 방향과 교차하고,
 상기 제 1 게이트 전극의 폭은 채널 길이 방향의 상기 산화물 반도체층의 폭보다 크고,
 상기 제 2 게이트 전극은 상기 소스 전극의 영역 및 상기 드레인 전극의 영역과 중첩하고,
 상기 제 2 게이트 전극은 채널 폭 방향을 따라 상기 산화물 반도체층을 넘어 연장하는, 반도체 장치.

청구항 29

제 26 항 내지 제 28 항 중 어느 한 항에 있어서,
 상기 제 1 게이트 전극은 상기 소스 전극 및 상기 드레인 전극 중 하나에 전기적으로 접속되는, 반도체 장치.

청구항 30

제 26 항 내지 제 28 항 중 어느 한 항에 있어서,
 상기 산화물 반도체층은 인듐, 갈륨, 및 아연을 포함하는, 반도체 장치.

청구항 31

제 26 항 내지 제 28 항 중 어느 한 항에 있어서,
 상기 산화물 반도체층의 두께는 0.1 μm 이상 50 μm 이하인, 반도체 장치.

청구항 32

제 26 항 내지 제 28 항 중 어느 한 항에 있어서,
 상기 트랜지스터의 채널 폭 1 μm 당 오프 전류는 실온에서 100zA 이하인, 반도체 장치.

청구항 33

제 26 항 내지 제 28 항 중 어느 한 항에 있어서,
 상기 제 2 게이트 전극은 상기 채널 폭 방향에서 제 1 영역 및 상기 제 1 영역에 대향되는 제 2 영역을 포함하고,
 상기 제 2 게이트 전극의 상기 제 1 영역은 상기 제 2 게이트 절연층을 개재하여 상기 산화물 반도체층의 상기 제 1 측면에 대향되고,
 상기 제 2 게이트 전극의 상기 제 2 영역은 상기 제 2 게이트 절연층을 개재하여 상기 산화물 반도체층의 상기 제 2 측면에 대향되는, 반도체 장치.

청구항 34

제 26 항에 있어서,
 상기 소스 전극 및 상기 드레인 전극은 상기 산화물 반도체층의 상면과 접하는, 반도체 장치.

발명의 설명

기술 분야

- [0001] 개시하는 본 발명의 기술 분야는 산화물 반도체를 사용한 반도체 장치에 관한 것이다.
- [0002] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 본 명세서 중에 있어서, 트랜지스터는 비선형 소자에 포함되는 것이며, 상기 비선형 소자는 반도체 장치이며, 상기 비선형 소자를 포함하는 전기 광학 장치, 반도체 회로 및 전자 기기에 관해서도 모두 반도체 장치에 포함된다.

배경 기술

- [0003] 플랫패널 디스플레이로 대표되는 표시 장치(예를 들면, 액정 표시 장치나 발광 표시 장치)에 포함되어 있는 트랜지스터는, 유리 기판 위에서 비정질 실리콘이나 다결정 실리콘 등의 실리콘 반도체에 의해 구성되어 있는 것이 많다.
- [0004] 그 실리콘 반도체를 대신하여, 반도체 특성을 나타내는 금속 산화물을 트랜지스터에 사용하는 기술이 주목받고 있다. 또한, 본 명세서 중에서는, 반도체 특성을 나타내는 금속 산화물을 산화물 반도체라고 부르기로 한다.
- [0005] 산화물 반도체로서는, 산화텅스텐, 산화주석, 산화인듐, 산화아연 등의 1원계 금속 산화물이나, 호모로가스 화합물(homologous compound)인 In-Ga-Zn계 금속 산화물이 있다. 그리고, 표시 장치에 있어서의 화소의 스위칭 소자 등에, 상기 금속 산화물을 사용하여 제작한 트랜지스터를 적용하는 기술이, 이미 특허문헌 1 및 특허문헌 2에서 개시되어 있다.
- [0006] 실리콘 반도체 사용한 반도체 장치로서는, 금속 및 산화 절연막을 사용하는 전계 효과 트랜지스터(Metal-Oxide Silicon Field-Effect Transistor: MOSFET), 접합형 전계 효과 트랜지스터(Junction Field-Effect Transistor: JFET) 및 쇼트키 배리어 다이오드 등, 대전력 용도용 반도체 장치가 있다.
- [0007] 이 중에서도, 실리콘계 반도체 재료인 탄화규소(SiC)는 역방향 포화 전류가 낮고 내압 특성이 우수한 쇼트키 배리어 다이오드에 사용되고 있다(특허문헌 3 참조).

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 일본 공개특허공보 2007-123861호
- (특허문헌 0002) 일본 공개특허공보 2007-96055호
- (특허문헌 0003) 일본 공개특허공보 2000-133819호

발명의 내용

해결하려는 과제

- [0009] 대전력 용도용 반도체 장치에는, 고내압, 저역방향 포화 전류, 및 높은 온 전류 등 다양한 전기 특성이 필요하지만, 실제로 상기 전기 특성을 갖는 반도체 장치를 제작하는 데는 매우 많은 문제가 있다.
- [0010] 예를 들면, 탄화규소는 양질의 결정을 얻는 것이 곤란한 점이나, 반도체 장치를 제작할 때의 프로세스 온도가 높은 등의 문제를 가지고 있다. 예를 들면, 탄화규소에 불순물 영역을 형성하기 위해서는 이온 주입법이 사용되지만, 이온 주입에 의해 야기(誘起)된 결정 결함의 회복에는 1500℃ 이상의 열처리가 필요해진다.
- [0011] 또한, 탄소가 포함되어 있음으로써, 열산화에 의해 양질의 절연층을 제작할 수 없다고 하는 문제가 있다. 그리고, 탄화규소는 화학적으로도 매우 안정적이기 때문에, 통상의 웨트 에칭이 곤란하다고 하는 문제를 안고 있다.
- [0012] 또한, 대전력 용도용 반도체 장치는, 대전류를 흘림으로써 발열되기 때문에, 방열성에 관해서 고려된 구조가 요구된다.

[0013] 그래서 상기 과제를 감안하여 본 발명은 고내압, 저역방향 포화 전류, 높은 온 전류 등의 전기 특성을 갖는 반도체 장치를 제공하는 것을 과제의 하나로 한다. 이 중에서도, 비선형 소자로 구성되는 파워 다이오드 및 정류기를 제공하는 것을 과제의 하나로 한다.

과제의 해결 수단

[0014] 본 발명의 일 형태는, 제 1 전극과, 제 1 전극을 피복하는 게이트 절연층과, 제 1 전극과 중첩되고 또한 게이트 절연층과 접하는 산화물 반도체층과, 산화물 반도체층의 단부를 피복하는 한 쌍의 제 2 전극과, 한 쌍의 제 2 전극 및 산화물 반도체층을 피복하는 절연층과, 절연층에 접하고 또한 한 쌍의 제 2 전극 사이에 형성되는 제 3 전극을 가지며, 한 쌍의 제 2 전극은 산화물 반도체층의 단면(端面)에 접하는 반도체 장치이다.

[0015] 또한, 본 명세서 중에 있어서, 산화물 반도체층의 단면이란, 상기 산화물 반도체층의 게이트 절연층측의 면을 하면으로 한 경우에 있어서의 상면 및 측면을 포함한다. 즉, 한 쌍의 제 2 전극은 채널 형성 영역 및 게이트 절연층과 접하고 있는 영역 이외의 산화물 반도체층에 접하게 된다. 이로 인해, 한 쌍의 제 2 전극이 히트싱크가 되어, 채널 형성 영역인 산화물 반도체층에 전류가 흐를 때에 발생하는 열을 외부로 방산할 수 있다.

[0016] 본 발명의 다른 일 형태는, 상기 반도체 장치에 있어서, 한 쌍의 제 2 전극과 산화물 반도체층의 콘택트 저항을 저감하기 위해서, n⁺층이 게이트 절연층 및 산화물 반도체층의 단부와 한 쌍의 제 2 전극 사이에 접하여 형성되는 반도체 장치이다.

[0017] 산화물 반도체는 공핍층이 매우 두껍기 때문에, 상기 반도체 장치에 있어서, 산화물 반도체층의 두께를 두껍게 함으로써, 높은 온 전류를 얻을 수 있다. 즉, 본 발명의 다른 일 형태는, 상기 반도체 장치에 있어서, 산화물 반도체층의 두께를 0.1 μ m 이상 50 μ m 이하, 바람직하게는 0.5 μ m 이상 20 μ m 이하인 반도체 장치이다.

[0018] 상기 산화물 반도체층은 결정성 산화물 반도체층으로 해도 좋다. 이와 같이 함으로써, 가시광이나 자외광이 조사됨으로써 전기적 특성이 변화되어 버리는 것을 억제하고, 신뢰성이 높은 반도체 장치로 할 수 있다. 또한, 상기 결정성 산화물 반도체층은 단결정 구조가 아니며, 비정질 구조도 아닌 구조이며, c축 배향을 가진 결정(C Axis Aligned Crystal: CAAC라고도 한다)을 포함하는 산화물을 가진다. 또한, 상기 결정성 산화물 반도체층은 일부에 결정립계를 가지고 있다. 즉, 본 발명의 다른 일 형태는, 상기 반도체 장치에 있어서, 산화물 반도체층은 결정성 산화물 반도체층이며, 상기 결정성 산화물 반도체층은 표면에 평행한 a-b면을 가지며, 상기 표면에 대해 수직 방향으로 c축 배향을 하고 있는 반도체 장치이다.

[0019] 본 발명의 다른 일 형태는, 상기 반도체 장치에 있어서, 결정성 산화물 반도체층에 아연 및 인듐의 한쪽 또는 쌍방을 함유하는 반도체 장치이다.

[0020] 또한, 본 발명의 다른 일 형태는, 상기 반도체 장치에 있어서, 제 1 전극은 게이트 전극으로 하고, 한 쌍의 제 2 전극은 소스 전극 및 드레인 전극으로 하고, 제 3 전극은 백 게이트 전극으로 하여 기능하는 반도체 장치이다.

[0021] 상기 반도체 장치로서, 복수의 비선형 소자가 순방향으로 직렬 접속되어 있는 파워 다이오드가 있다. 즉, 본 발명의 다른 일 형태는, 제 1 전극과, 제 1 전극을 피복하는 게이트 절연층과, 제 1 전극과 중첩되고 또한 게이트 절연층과 접하는 산화물 반도체층과, 산화물 반도체층에 접하는 한 쌍의 제 2 전극과, 한 쌍의 제 2 전극 및 산화물 반도체층을 피복하는 절연층과, 절연층에 접하고 또한 한 쌍의 제 2 전극 사이에 형성되는 제 3 전극을 가지며, 한 쌍의 제 2 전극은 산화물 반도체층의 단면에 접하고, 한 쌍의 제 2 전극의 한쪽이 게이트 절연층을 개재하여 제 1 전극과 접하고 있는 비선형 소자를 복수 가지고, 비선형 소자가 순방향으로 직렬 접속되어 있는 파워 다이오드이다.

[0022] 또한, 상기 반도체 장치로서, 상기 구성을 갖는 2개의 비선형 소자로 이루어지는 정류기가 있다. 즉, 본 발명의 다른 일 형태는, 제 1 전극과, 제 1 전극을 피복하는 게이트 절연층과, 제 1 전극과 중첩되고 또한 게이트 절연층과 접하는 산화물 반도체층과, 산화물 반도체층에 접하는 한 쌍의 제 2 전극과, 한 쌍의 제 2 전극 및 산화물 반도체층을 피복하는 절연층과, 절연층에 접하고 또한 한 쌍의 제 2 전극 사이에 형성되는 제 3 전극을 가지고, 한 쌍의 제 2 전극은 산화물 반도체층의 단면에 접하고, 한 쌍의 제 2 전극의 한쪽이 게이트 절연층을 개재하여 제 1 전극과 접하고 있는 제 1 비선형 소자와 제 2 비선형 소자를 가지며, 제 1 비선형 소자의 애노드는 저전위측의 기준 전위에 접속되고, 제 1 비선형 소자의 캐소드는 입력부와 제 2 비선형 소자의 애노드에 접속되고, 제 2 비선형 소자의 캐소드는 출력부에 접속되어 있는 정류기이다.

[0023] 또한, 상기 반도체 장치로서, 상기 구성을 갖는 4개의 비선형 소자로 이루어지는 정류기가 있다. 즉, 본 발명의 다른 일 형태는, 제 1 전극과, 제 1 전극을 피복하는 게이트 절연층과, 제 1 전극과 중첩되고 또한 게이트 절연층과 접하는 산화물 반도체층과, 산화물 반도체층에 접하는 한 쌍의 제 2 전극과, 한 쌍의 제 2 전극 및 산화물 반도체층을 피복하는 절연층과, 절연층에 접하고 또한 한 쌍의 제 2 전극 사이에 형성되는 제 3 전극을 가지며, 한 쌍의 제 2 전극은 산화물 반도체층의 단면에 접하고, 한 쌍의 제 2 전극의 한쪽이 게이트 절연층을 개재하여 제 1 전극과 접하고 있는 제 1 비선형 소자 내지 제 4 비선형 소자를 가지며, 제 1 비선형 소자의 애노드는 저전위측의 기준 전위에 접속되고, 캐소드는 제 1 입력부에 접속되고, 제 2 비선형 소자의 애노드는 제 1 입력부에 접속되고, 캐소드는 출력부에 접속되고, 제 3 비선형 소자의 애노드는 제 2 입력부에 접속되고, 캐소드는 출력부에 접속되고, 제 4 비선형 소자의 애노드는 저전위측의 기준 전위에 접속되고, 캐소드는 제 2 입력부에 접속되어 있는 정류기.

발명의 효과

[0024] 종래보다도 고내압, 저역방향 포화 전류 등의 특성을 가지며, 높은 온 전류를 얻는 것이 가능한 반도체 장치를 제공할 수 있다. 또한, 발열에 의한 열화가 억제 가능한 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 일 형태인 비선형 소자를 설명하는 평면도 및 단면도.
- 도 2는 본 발명의 일 형태인 비선형 소자의 제작 방법을 설명하는 평면도.
- 도 3은 본 발명의 일 형태인 비선형 소자의 제작 방법을 설명하는 단면도.
- 도 4는 본 발명의 일 형태인 비선형 소자를 설명하는 평면도 및 단면도.
- 도 5는 본 발명의 일 형태인 비선형 소자의 제작 방법을 설명하는 단면도.
- 도 6은 본 발명의 일 형태인 비선형 소자를 설명하는 단면도.
- 도 7은 이차원 결정을 설명하는 도면.
- 도 8은 본 발명의 일 형태인 비선형 소자의 제작 방법을 설명하는 단면도.
- 도 9는 본 발명의 일 형태인 비선형 소자를 설명하는 단면도.
- 도 10은 본 발명의 일 형태인 파워 다이오드 및 정류기를 설명하는 도면.
- 도 11은 본 발명의 일 형태인 다이오드를 설명하는 평면도 및 단면도.
- 도 12는 본 발명의 일 형태를 제작하는 제조 장치의 상면도의 일례.
- 도 13은 계산에 사용하는 비선형 소자의 구조를 설명하는 단면도.
- 도 14는 도 13에 도시하는 비선형 소자에 있어서의 드레인 전류의 계산 결과를 도시하는 도면.
- 도 15는 비교예로서 계산에 사용하는 비선형 소자의 구조를 설명하는 단면도.
- 도 16은 비교예로서 계산에 사용하는 비선형 소자의 구조를 설명하는 단면도.
- 도 17은 비교예로서 계산에 사용하는 비선형 소자의 구조를 설명하는 단면도.
- 도 18은 도 13 및 도 15 내지 도 17의 비선형 소자에 있어서의 드레인 전류의 계산 결과를 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0026] 이하에서는, 본 발명의 실시형태에 관해서 도면을 사용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다. 또한, 도면을 사용하여 발명의 구성을 설명함에 있어서, 동일한 것을 가리키는 부호는 상이한 도면간에서도 공통적으로 사용한다. 또한, 같은 것을 가리킬 때는 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다. 또한, 각 도면에 있어서 도시하는 각 구성의, 크기, 층의 두께, 또는 영역은, 명료화를 위해 과장하여 표기하는 경우가 있다. 따라서, 반드시 그 스케일로 한정되지 않는다.

- [0027] 트랜지스터를 구성하는 각 층(또는 전극)의 중첩을 표현할 때에, 상층 단부보다 돌출되어 있는 하층 단부를, 편의상, 트랜지스터의 평면도에는 도시하지 않는 경우가 있다.
- [0028] A와 B가 접속되어 있다, 라고 기재하는 경우는, A와 B가 전기적으로 접속되어 있는 경우와, A와 B가 직접 접속되어 있는 경우를 포함하는 것으로 한다. 여기에서, A, B는 대상물(예를 들면, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층, 등)이라고 한다.
- [0029] 또한, 전압이란 2점간에 있어서의 전위차를 말하고, 전위란 어떤 1점에 있어서의 정전장 중에 있는 단위 전하가 갖는 정전 에너지(전기적인 위치 에너지)를 말한다. 단, 일반적으로, 어떤 1점에 있어서의 전위와 기준이 되는 전위(예를 들면 접지 전위)의 전위차를, 단순히 전위 또는 전압이라고 부르고, 전위와 전압이 동의어로서 사용되는 경우가 많다. 이로 인해, 본 명세서에서는 특별히 지정하는 경우를 제외하고, 전위를 전압으로 바꿔 읽어도 되고, 전압을 전위로 바꿔 읽어도 되는 것으로 한다.
- [0030] 「소스」나 「드레인」의 기능은, 회로 동작에 있어서 전류의 방향이 변화되는 경우 등에는 바뀌는 경우가 있다. 이로 인해, 본 명세서에 있어서는, 「소스」나 「드레인」이라는 용어는, 바꿔 사용할 수 있는 것으로 한다.
- [0031] 온 전류란, 트랜지스터가 온 상태일 때에, 소스 전극과 드레인 전극 사이에 흐르는 전류(드레인 전류)를 말한다. 예를 들면, n형 트랜지스터인 경우에는, 게이트 전압이 트랜지스터의 임계값 전압보다도 높을 때에 흐르는 드레인 전류이다. 그리고, 오프 전류란, 트랜지스터가 오프 상태일 때에, 소스 전극과 드레인 전극 사이에 흐르는 전류(드레인 전류)를 말한다. 예를 들면, n형 트랜지스터인 경우에는, 게이트 전압이 트랜지스터의 임계값 전압보다도 낮을 때에 흐르는 드레인 전류이다. 또한, 온 오프비란, 온 전류와 오프 전류의 비율이다.
- [0032] 또한, 본 명세서에서는, n 채널형 트랜지스터에 있어서, 임계값 전압의 값이 양인 트랜지스터를 노멀리오프 트랜지스터라고 정의한다. p 채널형 트랜지스터에 있어서, 임계값 전압의 값이 음인 트랜지스터를 노멀리오프 트랜지스터라고 정의한다. 또한, n 채널형 트랜지스터에 있어서, 임계값 전압의 값이 음인 트랜지스터를 노멀리온 트랜지스터라고 정의한다. p 채널형 트랜지스터에 있어서, 임계값 전압의 값이 양인 트랜지스터를 노멀리온 트랜지스터라고 정의한다.
- [0033] (실시형태 1)
- [0034] 본 실시형태에서는 본 발명의 일 형태인 비선형 소자의 구조 및 제작 방법에 관해서, 도 1 내지 도 3을 사용하여 설명한다. 또한, 본 실시형태에서는 트랜지스터를 예로 설명한다.
- [0035] 도 1a는 트랜지스터(100)의 평면도이며, 도 1b는 트랜지스터(100)의 A-B 사이에 있어서의 단면도이다. 도 1c는 트랜지스터(100)의 C-D 사이에 있어서의 단면도이다. 또한, 도 1a에 있어서, 하지 절연층(102), 게이트 절연층(105) 및 절연층(111)은 편의상, 도시하지 않고 있다. 또한, 도 1a에 있어서, 게이트 전극으로서 기능하는 제 1 전극(103)을 포함하는 배선(104)과, 채널 형성 영역이 되는 산화물 반도체층(107)과, 소스 전극 및 드레인 전극으로서 기능하는 한 쌍의 제 2 전극(109a, 109b)을 포함하는 배선(110)과, 한 쌍의 제 2 전극(109a, 109b) 사이에 형성되고, 절연층(111)을 개재하여 산화물 반도체층(107)과 중첩되고, 백 게이트 전극이 되는 제 3 전극(113)을 포함하는 배선(114)이 도시되어 있다. 여기에서는 제 1 전극(103)은 배선(104)과, 한 쌍의 제 2 전극(109a, 109b)은 배선(110)과, 제 3 전극(113)은 배선(114)과, 각각 일체로 되어 있지만, 전극과 배선은 개별적으로 형성되어, 전기적으로 접속되어 있는 구성이라도 좋다.
- [0036] 본 실시형태에서는 제 1 전극(103)은 게이트 전극으로서, 한 쌍의 제 2 전극(109a, 109b)은 소스 전극 및 드레인 전극으로서, 제 3 전극(113)은 백 게이트 전극으로서 기능하지만, 이것에 한정되지 않으며, 제 1 전극(103), 한 쌍의 제 2 전극(109a, 109b), 및 제 3 전극(113)은 각각 게이트 전극, 소스 전극, 드레인 전극, 및 백 게이트 전극 중 어느 하나로서 기능한다.
- [0037] 도 1b로부터, 트랜지스터(100)는 게이트 전극 및 백 게이트 전극을 갖는 듀얼 게이트형의 트랜지스터이며, 기판(101) 위에, 하지 절연층(102), 제 1 전극(103), 게이트 절연층(105), 산화물 반도체층(107), 한 쌍의 제 2 전극(109a, 109b), 절연층(111), 제 3 전극(113)이 형성되어 있다.
- [0038] 제 1 전극(103)은 하지 절연층(102)에 접하여 형성된다. 게이트 절연층(105)은 제 1 전극(103)을 피복하여 형성된다. 산화물 반도체층(107)은 게이트 절연층(105)에 접하고 또한 제 1 전극(103)과 중첩되어 형성된다. 한 쌍의 제 2 전극(109a, 109b)은 산화물 반도체층(107)의 단부를 피복하여 형성된다. 절연층(111)은 산화물 반도체

체층(107)의 일부 및 한 쌍의 제 2 전극(109a, 109b)을 피복하여 형성된다. 제 3 전극(113)은 절연층(111) 위에 접하고 또한 한 쌍의 제 2 전극(109a, 109b) 사이에 형성된다.

- [0039] 또한, 한 쌍의 제 2 전극(109a, 109b)은 산화물 반도체층(107)의 단부를 피복하여 형성되어 있는 점에서, 한 쌍의 제 2 전극(109a, 109b)은 산화물 반도체층(107)의 단면에 접하고 있다. 이로 인해, 산화물 반도체층(107)과 접하는 영역에 있어서, 한 쌍의 제 2 전극(109a, 109b)의 전극 폭은, 산화물 반도체층(107)에 형성되는 채널 폭보다 넓어진다(도 1a 참조).
- [0040] 또한, 도 1c로부터, 한 쌍의 제 2 전극(109a, 109b)은 산화물 반도체층(107)의 단면에 접하고 있는 점에서, 한 쌍의 제 2 전극(109a, 109b)은 히트싱크가 되어 산화물 반도체층(107)에 높은 온 전류가 흐를 때에 발생하는 열을 외부로 방산할 수 있다. 그 결과, 발열에 의한 트랜지스터(100)의 열화를 억제할 수 있다.
- [0041] 또한, 트랜지스터(100)에 있어서, 제 1 전극(103)의 전극 폭은 산화물 반도체층(107)의 채널 길이 방향의 폭보다 넓고, 제 3 전극(113)은 절연층(111)을 개재하여 산화물 반도체층(107)에 중첩되고, 또한 제 3 전극(113)의 전극 폭은 적어도 채널 길이 이상이다.
- [0042] 따라서, 한 쌍의 제 2 전극(109a, 109b)에 의해 피복되지 않은 산화물 반도체층(107)의 단부는, 게이트 절연층(105) 및 절연층(111)을 개재하여 제 1 전극(103) 및 제 3 전극(113)으로 피복된다. 즉, 산화물 반도체층(107)의 모든 단부는, 제 1 전극(103), 한 쌍의 제 2 전극(109a, 109b) 및 제 3 전극(113)으로 피복된다.
- [0043] 게이트 절연층(105) 및 절연층(111)을 개재하는 경우에도, 산화물 반도체층(107)의 단부를 피복함으로써, 히트싱크가 될 수 있다. 이로 인해, 트랜지스터(100)는 산화물 반도체층(107)에 높은 온 전류가 흐를 때에 발생하는 열을 효과적으로 외부로 방산할 수 있고, 발열에 의한 트랜지스터(100)의 열화를 억제할 수 있다.
- [0044] 기관(101)은 퓨전법이나 플로우트법으로 제작되는 무알칼리 유리 기관, 나중의 가열 처리에 견딜 수 있는 내열성을 갖는 플라스틱 기관 등을 사용할 수 있다. 또한, 스테인리스 등의 금속 기관의 표면에 절연막을 형성한 기관이나, 반도체 기관의 표면에 절연막을 형성한 기관을 적용해도 좋다.
- [0045] 또한, 유리 기관으로서는, 나중의 가열 처리의 온도가 높은 경우에는, 변형점이 730℃ 이상인 것을 사용하면 좋다. 또한, 유리 기관에는, 예를 들면, 알루미늄노실리케이트 유리, 알루미늄노보실리케이트 유리, 바륨노실리케이트 유리 등의 유리 재료가 사용되고 있다. 산화붕소와 비교하여 산화바륨(BaO)을 많이 함유시킴으로써, 보다 실용적인 내열 유리가 얻어진다. 이로 인해, B₂O₃보다 BaO를 많이 함유하는 유리 기관을 사용하는 것이 바람직하다.
- [0046] 또한, 상기 유리 기관 대신, 세라믹 기관, 석영 기관, 사파이어 기관 등의 절연체로 이루어지는 기관을 사용해도 좋다. 그 외에도, 결정화 유리 등을 사용할 수 있다.
- [0047] 기관(101)과 제 1 전극(103) 사이에 형성되는 하지 절연층(102)은 기관(101)으로부터의 불순물 원소의 확산을 방지하는 것 이외에, 트랜지스터의 제작 공정에 있어서의 에칭 공정에 의해, 기관(101)이 에칭되는 것을 방지한다. 이로 인해, 하지 절연층(102)의 두께에 한정은 없지만, 하지 절연층의 두께는 50nm 이상으로 하는 것이 바람직하다. 또한, 하지 절연층(102)은 산화실리콘, 산화갈륨, 산화알루미늄, 질화실리콘, 산화질화실리콘, 산화질화알루미늄, 또는 질화산화실리콘 등의 산화 절연물 또는 질화 절연물을 단층 구조 또는 이들의 적층 구조로서 사용한다. 이 중에서도, 질화알루미늄, 질화산화알루미늄 및 질화실리콘은 열전도율이 높기 때문에, 하지 절연층(102)에 사용함으로써, 방열성을 양호하게 할 수 있다. 또한, Li나 Na 등의 알칼리 금속은, 후술하는 산화물 반도체층(107)에 있어서 불순물이기 때문에, 그 함유량을 적게 하는 것이 바람직하고, 기관(101)에 알칼리 금속 등의 불순물을 포함하는 유리 기관을 사용하는 경우, 상기 알칼리 금속의 침입 방지를 위해, 질화실리콘, 질화알루미늄 등 질화 절연물을 사용하여 형성하는 것이 바람직하다.
- [0048] 게이트 전극이 되는 제 1 전극(103)은 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 크롬, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 형성할 수 있다. 또한, 제 1 전극(103)은 단층 구조 또는 2층 이상의 적층 구조로 할 수 있다. 예를 들면, 실리콘을 함유하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 텅스텐막 위에 티타늄막을 적층하는 2층 구조, 티타늄막과, 그 티타늄막 위에 중첩하여 알루미늄막을 적층하고, 또한 그 위에 티타늄막을 형성하는 3층 구조 등을 들 수 있다.
- [0049] 제 1 전극(103)의 두께는 특별히 한정은 없으며, 상기 열거한 재료로 형성되는 도전막의 전기 저항이나, 도전막의 형성에 걸리는 시간을 고려하여, 적절히 결정할 수 있다.

- [0050] 게이트 절연층(105)은 산화물 반도체층(107)에 접하기 때문에 고품질화가 요구된다. 왜냐하면, 산화물 반도체층(107)은 불순물을 제거함으로써 i형화 또는 실질적으로 i형화된 산화물 반도체층(수소 농도가 저감되고, 산소가 공급된 산화물 반도체층)이기 때문에, 계면 준위, 계면 전하에 대해 매우 민감하고, 게이트 절연층(105)과의 계면은 중요하기 때문이다.
- [0051] 게이트 절연층(105)은 상기 열거한 산화 절연물로 형성할 수 있다. 게이트 절연층(105)은 산화물 반도체층(107)과 접하는 부분에 있어서 산소를 함유하는 것이 바람직하고, 특히 게이트 절연층(105) 중에 화학량론비를 초과하는 양의 산소를 함유하는 것이 바람직하다. 예를 들면, 화학량론비를 초과하는 양의 산소를 함유하는 산화실리콘($\text{SiO}_{2+\alpha}$ (단, $\alpha > 0$)로 한다)으로 게이트 절연층(105)을 형성하면 좋다. 게이트 절연층(105)을 상기 산화실리콘으로 형성함으로써, 트랜지스터(100)의 제작 공정에서 이루어지는 가열 처리시에, 게이트 절연층(105)에 함유되는 산소의 일부를 산화물 반도체층(107)에 공급할 수 있어 트랜지스터(100)의 전기 특성을 양호하게 할 수 있다.
- [0052] 또한, 게이트 절연층(105)은 단층 구조로 해도 좋고, 적층 구조로 해도 좋다. 또한, 게이트 절연층(105)의 두께를 두껍게 함으로써, 게이트 누설 전류를 저감할 수 있다. 예를 들면, 산화하프늄, 산화이트륨, 하프늄실리케이트(HfSi_xO_y ($x > 0$, $y > 0$)), 질소가 첨가된 하프늄실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x > 0$, $y > 0$)), 하프늄알루미늄에이트(HfAl_xO_y ($x > 0$, $y > 0$)) 등의 high-k 재료를 사용함으로써 게이트 누설 전류를 저감할 수 있다. 또한, 게이트 절연층의 막 두께는, 50nm 이상 500nm 이하로 하면 좋다.
- [0053] 산화물 반도체층(107)으로서, 4원계 금속 산화물인 In-Sn-Ga-Zn계 금속 산화물이나, 3원계 금속 산화물인 In-Ga-Zn계 금속 산화물, In-Sn-Zn계 금속 산화물, In-Al-Zn계 금속 산화물, Sn-Ga-Zn계 금속 산화물, Al-Ga-Zn계 금속 산화물, Sn-Al-Zn계 금속 산화물, In-Hf-Zn계 금속 산화물, In-La-Zn계 금속 산화물, In-Ce-Zn계 금속 산화물, In-Pr-Zn계 금속 산화물, In-Nd-Zn계 금속 산화물, In-Sm-Zn계 금속 산화물, In-Eu-Zn계 금속 산화물, In-Gd-Zn계 금속 산화물, In-Tb-Zn계 금속 산화물, In-Dy-Zn계 금속 산화물, In-Ho-Zn계 금속 산화물, In-Er-Zn계 금속 산화물, In-Tm-Zn계 금속 산화물, In-Yb-Zn계 금속 산화물, In-Lu-Zn계 금속 산화물이나, 2원계 금속 산화물인 In-Zn계 금속 산화물, Sn-Zn계 금속 산화물, Al-Zn계 금속 산화물, Zn-Mg계 금속 산화물, Sn-Mg계 금속 산화물, In-Mg계 금속 산화물, In-Ga계 금속 산화물이나, 인듐, 주석 또는 아연 등을 함유하는 1원계 금속 산화물을 사용하여 형성할 수 있다. 또한, 후술하는 결정성 산화물 반도체의 제작을 고려하여, 채널 영역이 되는 산화물 반도체층(107)은 상기에 나타난 아연을 함유하는 금속 산화물, 또는 아연 및 인듐을 함유하는 금속 산화물인 것이 바람직하다. 여기에서, 예를 들면, In-Ga-Zn계 금속 산화물이란, 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물이라는 의미이며, 그 조성비는 특별히 상관없다. 또한, In과 Ga와 Zn 이외의 원소를 함유하고 있어도 좋다.
- [0054] 또한, 산화물 반도체층(107)은 수소 등의 불순물이 충분히 제거되고, 또한 산소가 충분히 공급된 것이 바람직하다. 구체적으로는, 산화물 반도체층(107)의 수소 농도는, 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 보다 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다. 또한, 산화물 반도체층(107) 중의 수소 농도는, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectroscopy)으로 측정되는 값이다. 또한, 산화물 반도체층(107)은 산소가 충분히 공급됨으로써, 에너지 갭 중의 산소 결손에 기인하는 결합 준위가 저감된다. 따라서, 산화물 반도체층(107)은 수소 등의 도너에 기인하는 캐리어 밀도가 1×10^{10} cm⁻³ 이상 1×10^{13} cm⁻³ 이하가 된다. 이와 같이 산화물 반도체층(107)에, i형화(진성화) 또는 실질적으로 i형화된 산화물 반도체를 사용함으로써, 매우 우수한 오프 전류 특성의 트랜지스터(100)를 얻을 수 있다. 예를 들면, 실온(25℃)에서의 오프 전류(여기서는, 단위 채널 폭(1 μm)당 값)은 100zA(1zA(zeptoampere)은 1×10^{-21} A) 이하, 바람직하게는 10zA 이하가 된다.
- [0055] 또한, Li나 Na 등의 알칼리 금속은, 함유량을 적게 하는 것이 바람직하고, 산화물 반도체층(107) 중의 알칼리 금속 원소의 농도는, 2×10^{16} cm⁻³ 이하, 바람직하게는, 1×10^{15} cm⁻³ 이하로 하는 것이 바람직하다. 또한, 알칼리 토류금속도 불순물이기 때문에, 함유량을 적게 하는 것이 바람직하다. 이하에 이유를 나타낸다. 산화물 반도체는 불순물에 대해 둔감하며, 막 중에는 상당한 금속 불순물이 함유되어 있어도 문제가 없고, 나트륨(Na)과 같은 알칼리 금속이 다량으로 함유되는 염가의 소다석회 유리도 사용할 수 있다고 지적되고 있다(카미야, 노무라, 호소노, 「비정질 산화물 반도체의 물성과 디바이스 개발의 현상」, 고체 물리, 2009년 9월호, Vol.44, pp.621-633). 그러나 이러한 지적은 적절하지 않다. 알칼리 금속은 산화물 반도체를 구성하는 원소가 아니기 때문에, 불순물이다. 알칼리 토류금속도, 산화물 반도체를 구성하는 원소가 아닌 경우에 있어서, 불순물이다.

특히, 알칼리 금속 중 Na는 산화물 반도체층에 접하는 절연막이 산화물인 경우, 상기 절연막 층으로 확산되어 Na^+ 이 된다. 또한, Na는 산화물 반도체층 내에 있어서, 산화물 반도체를 구성하는 금속과 산소의 결합을 분단하거나, 또는, 그 결합 중에 끼어든다. 그 결과, 예를 들면, 임계값 전압이 마이너스 방향으로 시프트함으로써 게이트 전극에 전압이 인가되지 않은 상태($V_g=0$)에서도 드레인 전류가 흐르는 노멀리온화, 및 전계 효과 이동도 저하 등의, 전기 특성의 열화가 일어나고, 또한, 전기 특성의 편차도 생긴다. 이 불순물에 의해 초래되는 전기 특성의 열화와, 전기 특성의 편차는 산화물 반도체층 중의 수소 농도가 충분히 낮은 경우에 있어서 현저하게 나타난다.

- [0056] In-Ca-Zn계 금속 산화물은, 무전계시의 저항이 충분히 높고, 오프 전류를 충분히 작게 하는 것이 가능하며, 또한, 전계 효과 이동도도 높기 때문에, 본 발명의 일 형태의 트랜지스터에 사용하는 반도체 재료로서, 적합하다.
- [0057] 트랜지스터(100)와 같이, 실리콘 반도체를 채널 형성 영역에 사용하는 것 보다, 산화물 반도체를 사용하는 편이 형성되는 공핍층은 두꺼워진다. 따라서, 채널 영역은 산화물 반도체의 깊이 방향으로도 형성되기 때문에 두꺼워진다. 또한, 산화물 반도체의 두께에 편승하여 다수의 캐리어를 흘려 보내는 것이 가능해지는 점에서, 결과적으로 높은 온 전류를 얻을 수 있다.
- [0058] 또한, 트랜지스터(100)의 드레인 내압은 산화물 반도체층(107)의 막 두께에 의존하기 때문에, 드레인 내압을 높게 하기 위해서는, 산화물 반도체층(107)의 두께는 두꺼운 편이 바람직하고, 원하는 드레인 내압에 걸맞는 두께를 선택하면 좋다.
- [0059] 따라서, 산화물 반도체층(107)의 두께는, 온 전류 및 드레인 내압의 전기 특성을 고려하여, $0.1\mu m$ 이상 $50\mu m$ 이하, 바람직하게는 $0.5\mu m$ 이상 $20\mu m$ 이하로 하는 것이 좋다.
- [0060] 여기서, 산화물 반도체를 사용한 트랜지스터의 드레인 내압에 관해서 설명한다.
- [0061] 반도체 중의 전계가 어떤 임계값에 도달하면, 충돌 이온화가 일어나고, 공핍층 내에서 고전계에 의해 가속된 캐리어가 결정 격자에 충돌하여, 전자와 정공의 쌍을 생성한다. 더욱 전계가 높아지면, 충돌 이온화에 의해 발생한 전자와 정공의 쌍도 더욱 전계에 의해 가속되어 충돌 이온화를 반복하고, 전류가 지수함수적으로 증가하는 애벌런치 항복(avalanche breakdown)이 일어난다. 충돌 이온화는 캐리어(전자, 정공)가 반도체의 밴드갭 이상의 운동 에너지를 가짐으로써 발생한다. 충돌 이온화의 일어나기 쉬운 것을 나타내는 충돌 이온화 계수와 밴드갭에는 상관이 있으며, 밴드갭이 클수록 충돌 이온화가 작아지는 경향이 알려져 있다.
- [0062] 산화물 반도체의 밴드갭은, 약 $3.15eV$ 정도이며, 실리콘의 밴드갭의 약 $1.12eV$ 정도에 비해 크기 때문에, 애벌런치 항복이 일어나기 어렵다. 이로 인해, 산화물 반도체를 사용한 트랜지스터는 드레인 내압이 높아져 고전계가 인가되어도 온 전류의 지수함수적 급상승이 일어나기 어렵다.
- [0063] 다음에, 산화물 반도체를 사용한 트랜지스터의 핫 캐리어 열화에 관해서 설명한다.
- [0064] 핫 캐리어 열화란, 고속으로 가속된 전자가 채널 중의 드레인 근방에서 게이트 절연막 중에 주입되어 고정 전하가 되는 것이나, 게이트 절연막 계면에 트랩 준위를 형성함으로써, 임계 전압의 변동이나 게이트 누설 등의 트랜지스터 특성의 열화가 일어나는 것이며, 핫 캐리어 열화의 요인으로서, 채널 핫 일렉트론 주입(CHE주입)과 드레인 애벌런치 핫 캐리어 주입(DAHC 주입)이 있다.
- [0065] 실리콘 반도체는 밴드갭이 좁기 때문에, 애벌런치 항복에 의해 한꺼번에 전자가 발생하기 쉬워 게이트 절연막으로의 장벽을 초과할 수 있을 정도로 고속으로 가속되는 전자수가 증가한다. 그러나, 본 실시형태에서 나타내는 산화물 반도체는, 밴드갭이 넓기 때문에, 애벌런치 항복이 일어나기 어려우며, 실리콘 반도체와 비교하여 핫 캐리어 열화의 내성이 높다. 이상으로부터, 산화물 반도체를 사용한 트랜지스터는 높은 드레인 내압을 가진다고 할 수 있고, 절연 게이트형 전계 효과 트랜지스터(Insulated-Gate Field-Effect Transistor(IGFET)), 접합형 전계 효과 트랜지스터 및 쇼트키 배리어 다이오드 등, 대전력 용도의 반도체 장치에 적합하다.
- [0066] 한 쌍의 제 2 전극(109a, 109b)은 제 1 전극(103)의 설명에서 열거한 재료를 사용하여 형성할 수 있다. 전극의 두께 및 구조는, 제 1 전극(103)의 설명을 바탕으로 적절히 선택하면 좋다. 또한, 한 쌍의 제 2 전극(109a, 109b)은 산화물 반도체층(107)에 온 전류가 흐를 때에 발생하는 열을 외부로 방산하는 히트싱크로서 기능하기 때문에, 열을 전열하기 쉬운 금속 재료 또는 합금 재료로 형성하는 것이 바람직하다.
- [0067] 절연층(111)은 게이트 절연층(105)의 설명에서 열거한 산화 절연물로 형성할 수 있다. 절연층(111)도 산화물

반도체층(107)과 접하기 때문에, 산화물 반도체층(107)과 접하는 부분에 있어서 산소를 함유하는 것이 바람직하고, 특히 화학량론비를 초과하는 양의 산소를 함유하는 산화실리콘($\text{SiO}_{2+\alpha}$ (단, $\alpha > 0$)으로 한다)으로 형성하는 것이 바람직하다. 절연층(111)을 상기 산화실리콘으로 형성함으로써, 트랜지스터(100)의 제작 공정에서 이루어지는 가열 처리시에, 절연층(111)에 함유되는 산소의 일부를 산화물 반도체층(107)에 공급할 수 있고, 트랜지스터(100)의 전기 특성을 양호하게 할 수 있다. 또한, 절연층(111)에 게이트 절연층(105)에서 설명한 high-k 재료를 사용해도 좋다. 또한, 절연층(111)은 단층 구조로 해도 좋고, 적층 구조로 해도 좋다. 또한, 절연층(111)의 두께를 두껍게 함으로써, 백 게이트층에 있어서의 게이트 누설 전류를 저감할 수 있다. 절연층(111)의 막 두께는 50nm 이상 500nm 이하로 하면 좋다.

[0068] 백 게이트 전극이 되는 제 3 전극(113)은 제 1 전극(103)의 설명에서 열거한 재료를 사용하여 형성할 수 있고, 제 3 전극(113)의 두께 및 구조에 관해서는, 제 1 전극(103)의 설명을 바탕으로 적절히 선택하면 좋다.

[0069] 신뢰성의 관점에 있어서, 산화물 반도체를 사용한 트랜지스터는, 가시광 및 자외광의 조사, 열이나 전계가 가해짐으로써, 전기 특성이 변화된다. 상기 전기 특성의 변화에는, 예를 들면, 게이트 전극에 전압이 인가되지 않은 상태($V_g=0$)에서도 드레인 전류가 흐르는 노멀리온화가 있다. 전자가 다수 캐리어인 n 채널형 트랜지스터의 경우, 드레인 전류에 있어서의 전자는 공핍층이 형성되는 영역을 흐른다. 이로 인해, 상기 트랜지스터에 있어서, 전자가 흐르는 영역은, 한 쌍의 제 2 전극(109a, 109b) 및 절연층(111)이 형성되어 있는 산화물 반도체층(107)의 상면 근방의 영역을 포함한다. 이로 인해, 산화물 반도체층(107)과 접하는 절연층(111)(특히, 산화물 반도체층(107)과 접하는 절연층(111)의 하면 근방의 영역)에 정공(홀)이 야기되어, 시간과 함께 노멀리온화하는 것으로 생각된다. 그래서, 본 실시형태에서 설명하는 트랜지스터는, 제 3 전극(113)을 갖는 듀얼 게이트형이기 때문에, 제 3 전극(113)에 전압을 임의로 인가할 수 있고, 임계값 전압(V_{th})을 제어할 수 있어 노멀리온화를 억제할 수 있다.

[0070] 또한, 본 실시형태에서 설명하는 트랜지스터는 듀얼 게이트형인 점에서, 제 3 전극(113)에 전압을 인가할 수 있고, 산화물 반도체층(107)을 두껍게 형성한 경우에도 효율적으로 채널을 형성할 수 있어 높은 온 전류를 얻을 수 있다.

[0071] 여기서, 제 3 전극(113)의 형상에 관해서, 도 2를 사용하여 설명한다.

[0072] 도 2a에 도시하는 제 3 전극(113)은 도 1a에 도시한 제 3 전극(113)의 형상과 동일하다. 제 3 전극(113)은 제 1 전극(103)과 평행하고 절연층(111)을 개재하여 한 쌍의 제 2 전극(109a, 109b)과 중첩되는 구성이다. 이 경우, 제 3 전극(113)에 인가하는 전압과, 제 1 전극(103)에 인가하는 전압을, 각각 임의로 제어하는 것이 가능하다.

[0073] 또한, 도 2b에 도시하는 제 3 전극(113)은 제 1 전극(103)과 평행하지만, 한 쌍의 제 2 전극(109a, 109b)과 중첩하지 않는 구성이다. 이 구성에 있어서도, 제 3 전극(113)에 인가하는 전압과, 제 1 전극(103)에 인가하는 전압을, 각각 임의로 제어하는 것이 가능하다.

[0074] 또한, 도 2c에 도시하는 제 3 전극(113)은 제 1 전극(103)에 접속시킬 수 있다. 즉, 게이트 절연층(105) 및 절연층(111)에 형성한 개구부(150)에 있어서, 제 1 전극(103) 및 제 3 전극(113)이 접속하는 구성이다. 이 구성에서는, 제 3 전극(113)에 인가되는 전압과, 제 1 전극(103)에 인가되는 전압은 동일하다.

[0075] 또한, 도 2d에 도시하는 바와 같이, 제 3 전극(113)은 제 1 전극(103)과 접속하지 않고, 플로우팅되는 구성으로 해도 좋다.

[0076] 또한, 도 2c 및 도 2d에 도시한 구성에 있어서, 제 3 전극(113)은 절연층(111)을 개재하여 한 쌍의 제 2 전극(109a, 109b)과 중첩되는 구성이라도 좋다.

[0077] 트랜지스터(100)에 있어서, 도 1에는 도시하지 않고 있지만, 절연층(111) 및 제 3 전극(113) 위에 보호 절연층을 형성하는 구성이라도 좋다.

[0078] 다음에, 트랜지스터(100)의 제작 방법에 관해서 도 3을 사용하여 설명한다.

[0079] 기판(101) 위에 하지 절연층(102)을 형성한다. 본 공정을 행함으로써, 유리 기판의 불순물이 제작하는 트랜지스터에 혼입되는 것을 방지할 수 있다.

[0080] 하지 절연층(102)은 스퍼터링법, CVD법, 도포법 등으로 형성할 수 있다. 본 실시형태에서는 실리콘 타겟을 사용하여 스퍼터링법에 의해 산화실리콘막을 형성한다. 또한, 하지 절연층(102)을 형성한 후, 하지 절연층(102)

중의 수분 및 수소를 제거하기 위해서 기판(101)을 가열 처리해도 좋다.

- [0081] 계속해서, 하지 절연층(102) 위에 제 1 전극(103)을 형성한다. 또한, 제 1 전극(103)을 형성하는 공정은, 배선(104)(도 1a 참조)의 형성 공정을 겸하고 있다. 제 1 전극(103)은 기판(101) 위에 도전막을 스퍼터링법, 진공 증착법, 또는 CVD법으로 형성하고, 상기 도전막 위에 제 1 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 도전막을 에칭하여, 형성할 수 있다. 또는, 포토리소그래피 공정을 사용하지 않고, 인쇄법, 잉크젯법으로 레지스트 마스크를 형성함으로써, 제 1 전극(103)을 형성하는 공정수를 삭감할 수 있다. 또한, 제 1 전극(103)의 단부를 테이퍼 형상으로 하면, 나중에 형성되는 게이트 절연층(105)의 피복성이 향상되기 때문에 바람직하다. 또한, 레지스트 마스크를 후퇴시키면서 에칭함으로써 테이퍼 형상으로 할 수 있다.
- [0082] 본 실시형태에서는 두께 150nm의 도전막(예를 들면, 텅스텐막)을 스퍼터링법으로 형성하고, 제 1 포토리소그래피 공정으로 형성한 레지스트 마스크를 사용하여 에칭하고, 제 1 전극(103)을 형성한다. 또한, 본 명세서에 있어서 명기되지 않은 경우라도, 레지스트 마스크를 사용하는 에칭 공정에는, 상기 레지스트 마스크를 제거하는 공정도 포함되어 있는 것으로 한다.
- [0083] 계속해서, 제 1 전극(103)을 피복하는 게이트 절연층(105)을 형성한다. 게이트 절연층(105)은 나중에 형성되는 산화물 반도체층(107)과 접하기 때문에, 고품질이 요구된다. 고품질의 게이트 절연층(105)과 접함으로써 산화물 반도체층(107)과 게이트 절연층(105)의 계면 준위가 저감되어 계면 특성을 양호하게 할 수 있고, 그 결과로 완성된 트랜지스터(100)의 전기 특성을 양호하게 할 수 있기 때문이다.
- [0084] 게이트 절연층(105)은 하지 절연층(102)의 설명에서 열거한 방법으로 형성할 수 있다. 본 실시형태에서는 게이트 절연층(105)으로서, 화학량론비를 초과하는 양의 산소를 함유하는 산화실리콘($\text{SiO}_{2+\alpha}$ (단, $\alpha > 0$)으로 한다)을 형성한다. 또한 형성하는 산화실리콘의 두께는 200nm으로 한다.
- [0085] 스퍼터링법에 의해 상기 산화실리콘을 형성하는 경우에는, 타겟으로서 실리콘 타겟 또는 석영 타겟을 사용하고, 스퍼터링 가스로서 산소, 또는, 산소 및 아르곤의 혼합 가스를 사용하여 행한다. 이 때, 처리실 내에 잔류하는 수소, 물, 하이드록실기 또는 수소화물 등을 제거하면서 게이트 절연층(105)을 형성하는 것이 바람직하다. 처리실 내에 잔류하는 수소, 물, 하이드록실기 또는 수소화물 등을 제거하기 위해서는, 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 흡착형의 진공 펌프로서는, 예를 들면, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 펌프에 콜드 트랩을 가한 것이라도 좋다. 크라이오 펌프를 사용하여 배기한 처리실에서는, 수소, 물, 하이드록실기 또는 수소화물 등이 배기되기 때문에, 상기 처리실에서 게이트 절연층(105)을 형성하면, 게이트 절연층(105)에 포함되는 수소, 물, 하이드록실기 또는 수소화물의 농도를 저감할 수 있다.
- [0086] 또한, 게이트 절연층(105)을 형성할 때에 사용하는 스퍼터링 가스는, 수소, 물, 하이드록실기 또는 수소화물 등의 불순물이 농도 ppm 정도, 농도 ppb 정도로까지 제거된 고순도 가스를 사용하는 것이 바람직하다.
- [0087] 본 실시형태에서는 기판(101)을 처리실로 반송하고, 수소, 물, 하이드록실기 또는 수소화물 등이 제거된 고순도 산소를 함유하는 스퍼터링 가스를 도입하고, 실리콘 타겟을 사용하여, 기판(101)에 게이트 절연층(105)으로서 상기 산화실리콘을 형성한다. 또한, 기판(101)을 가열하면서, 게이트 절연층(105)을 형성해도 좋다.
- [0088] 또한, 게이트 절연층(105)을 적층 구조로 형성하는 경우, 예를 들면, 상기 질화실리콘과 기판(101) 사이에 질화실리콘을 형성하면 좋다. 상기 질화실리콘은 실리콘 타겟을 사용하고, 수소, 물, 하이드록실기 또는 수소화물 등이 제거된 고순도의 질소를 함유하는 스퍼터링 가스를 사용하여 형성한다. 또한, 상기 산화실리콘막과 같이, 처리실 내에 잔류하는 수소, 물, 하이드록실기 또는 수소화물 등을 제거하면서 상기 질화실리콘막을 형성하는 것이 바람직하다.
- [0089] 게이트 절연층(105)으로서 질화실리콘 및 산화실리콘을 적층하는 경우, 동일한 처리실에서 공통된 실리콘 타겟을 사용하여, 질화실리콘과 산화실리콘을 형성할 수 있다. 그 경우, 먼저 질소를 함유하는 스퍼터링 가스를 도입하고, 처리실 내에 장착된 실리콘 타겟을 사용하여 질화실리콘을 형성하고, 다음에 산소를 함유하는 스퍼터링 가스로 전환하여, 동일한 실리콘 타겟을 사용하여 산화실리콘을 형성한다. 이 방법에 의해, 대기에 폭포하지 않고 질화실리콘 및 산화실리콘을 연속적으로 형성할 수 있기 때문에, 질화실리콘 표면에 수소, 물, 하이드록실기 또는 수소화물 등이 흡착되는 것을 방지할 수 있다.
- [0090] 또한, 게이트 절연층(105)을 형성하기 전, 처리실의 내벽이나, 타겟 표면이나 타겟 재료 중에 잔존하고 있는 수

소, 물, 하이드록실기 또는 수소화물을 제거하기 위해서 프리히트(preheat) 처리를 행하는 것이 바람직하다. 프리히트 처리를 마치면, 기관(101) 또는 상기 처리실을 냉각시킨 후, 대기에 접촉시키지 않고 게이트 절연층(105)을 형성한다. 이 경우, 타겟 냉각액은 물이 아니라 유지 등을 사용하면 좋다.

- [0091] 또한, 게이트 절연층(105)을 CVD법으로 형성할 때는, 예를 들면, μ 파(예를 들면, 주파수 2.45GHz)를 사용한 고밀도 플라즈마 CVD에 의해 형성함으로써, 치밀하고 절연 내압이 높은 고품질의 게이트 절연층을 형성할 수 있다. 또한, 고밀도 플라즈마 CVD에 의해 얻어진 게이트 절연층은, 일정한 두께로 형성할 수 있기 때문에, 단차 피복성이 우수하다. 또한, 고밀도 플라즈마 CVD에 의해 얻어지는 게이트 절연층은, 두께를 정밀하게 제어할 수 있다.
- [0092] 계속해서, 게이트 절연층(105)을 개재하여 제 1 전극(103)과 증착되도록 산화물 반도체막(106)을 형성한다. 산화물 반도체막(106)은 게이트 절연층(105) 위에 스퍼터링법, 분자선 에피택시법, 원자층 퇴적법, 펄스레이저 증착법, 도포법, 또는 인쇄법 등에 의해 형성할 수 있다.
- [0093] 본 실시형태에서는 스퍼터링법에 의해 산화물 반도체막(106)을 형성한다. 산화물 반도체막(106)은 감압 상태로 보지된 처리실 내에 기관을 보지하고, 처리실 내에 잔류하는 수분을 제거하면서, 수소, 물, 하이드록실기 또는 수소화물 등이 제거된 스퍼터링 가스를 도입하여, 금속 산화물을 타겟으로 하여 게이트 절연층(105) 위에 산화물 반도체막(106)을 형성한다. 처리실 내에 잔류하는 수소, 물, 하이드록실기 또는 수소화물 등을 제거하기 위해서는, 게이트 절연층(105)을 형성할 때와 같이 하면 좋다. 이것에 의해, 수소, 물, 하이드록실기 또는 수소화물(보다 바람직하게는 탄소 원자를 함유하는 화합물) 등의 불순물이 처리실로부터 배기되기 때문에, 산화물 반도체막(106)에 함유되는 상기 불순물의 농도를 저감할 수 있다. 또한, 기관(101)을 가열하면서 산화물 반도체막(106)을 형성해도 좋다.
- [0094] 산화물 반도체막(106)을 스퍼터링법으로 제작하기 위한 타겟은, 적어도 아연을 함유하는 금속 산화물 타겟, 또는, 적어도 아연을 함유하고 인듐을 함유하는 금속 산화물 타겟을 사용할 수 있다. 본 실시형태에서는 In-Ga-Zn계 금속 산화물 타겟($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol수 비])을 사용하고, 두께 500nm의 산화물 반도체막(106)을 성막한다. 또한, 금속 산화물 타겟의 다른 예로서는, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol수 비]의 조성비를 갖는 타겟, In:Ga:Zn=1:1:0.5[원자수 비]의 조성비를 갖는 타겟, In:Ga:Zn=1:1:1[원자수 비]의 조성비를 갖는 타겟 등이 있다. 또한, 열거한 금속 산화물 타겟에 있어서, SiO_2 를 2중량% 이상 100중량% 이하로 함유하고 있어도 좋다. 또한, 금속 산화물 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 충전율이 높은 금속 산화물 타겟을 사용하여 형성한 산화물 반도체막은 치밀한 막이 된다.
- [0095] 산화물 반도체막(106)은 회가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 회가스(대표적으로는 아르곤) 및 산소 분위기하에서 형성한다. 산화물 반도체막(106)을 형성할 때에 사용하는 스퍼터링 가스는 수소, 물, 하이드록실기 또는 수소화물 등의 불순물이, 농도 ppm 정도, 농도 ppb 정도까지 제거된 고순도 가스를 사용하는 것이 바람직하다.
- [0096] 형성 조건의 일례는, 기관(101)과 타겟 사이의 거리를 170mm, 기관 온도 250℃, 압력 0.4Pa, 직류(DC) 전원 0.5kW이다.
- [0097] 또한, 산화물 반도체막(106)에 수소가 가능한 한 함유되지 않도록 하기 위해서, 전처리로서, 게이트 절연층(105)까지의 형성 공정을 거친 기관(101)을 예비 가열하여 기관(101)에 흡착되어 있던 수소, 물, 하이드록실기 또는 수소화물 등의 불순물을 탈리하여 배기하는 것이 바람직하다. 또한, 예비 가열시는 크라이오 펌프로 배기하는 것이 바람직하다. 또한, 이 예비 가열 처리는 생략해도 좋다. 또한 이 예비 가열은 제 1 전극(103)을 형성하기 전의 기관(101)에 행해도 좋고, 나중에 형성하는 산화물 반도체층(107)을 형성한 후의 기관(101)에 행해도 좋다.
- [0098] 또한, 산화물 반도체막(106)을 스퍼터링법에 의해 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터를 행하고, 게이트 절연층(105)의 표면에 부착되어 있는 먼지나 산화막을 제거함으로써, 게이트 절연층(105)과 산화물 반도체막(106)의 계면에 있어서의 저항을 저감할 수 있기 때문에 바람직하다. 역스퍼터란, 아르곤 분위기 하에서 기관에 RF 전원을 사용하여 전압을 인가하여 기관 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신 질소, 헬륨 등을 사용해도 좋다. 또한, 아르곤 분위기에 산소, 수소, 아산화질소 등을 첨가한 분위기에서 행해도 좋다. 아르곤 분위기에 염소, 사불화탄소 등을 첨가한 분위기에서 행해도 좋다.

- [0099] 여기까지의 공정에서 얻어진 구성을 도 3a에 도시한다.
- [0100] 계속해서, 제 2 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여 산화물 반도체막(106)을 에칭하여, 제 1 섬 형상의 산화물 반도체층을 형성한다.
- [0101] 제 1 섬 형상의 산화물 반도체층을 형성하는 공정에 관해서 설명한다. 제 1 섬 형상의 산화물 반도체층은, 제 2 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여 에칭함으로써 형성된다. 제 2 포토리소그래피 공정은 제 1 포토리소그래피 공정과 같다.
- [0102] 산화물 반도체막(106)의 에칭은, 드라이 에칭이라도 웨트 에칭이라도 좋다. 또한, 이들을 조합하여 사용해도 좋다. 웨트 에칭하는 에칭액으로서는, 인산과 아세트산과 질산을 혼합한 용액, 암모니아과수(31중량% 과산화수소수:28중량% 암모니아수:물=5:2:2) 등을 사용할 수 있다. 또한, IT007N(간토가가쿠사 제조)을 사용해도 좋다.
- [0103] 또한, 웨트 에칭후의 에칭액은 에칭된 재료와 함께 세정에 의해 제거된다. 그 제거된 재료를 함유하는 에칭액의 폐액을 정제하여, 함유되는 재료를 재이용해도 좋다. 상기 에칭후의 폐액에 함유되는 인듐 등의 재료를 회수하여 재이용함으로써, 자원을 유효하게 활용하여 저비용화할 수 있다.
- [0104] 드라이 에칭에 사용하는 에칭 가스로서는, 염소를 함유하는 가스(염소계 가스, 예를 들면 염소(Cl_2), 염화붕소(BCl_3), 염화규소($SiCl_4$), 사염화탄소(CCl_4) 등)가 바람직하다.
- [0105] 또한, 불소를 함유하는 가스(불소계 가스, 예를 들면 사불화탄소(CF_4), 불화유황(SF_6), 불화질소(NF_3), 트리플루오로메탄(CHF_3) 등), 브롬화수소(HBr), 산소(O_2), 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 사용할 수 있다.
- [0106] 드라이 에칭법으로서는, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 사용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판측의 전극 온도 등)을 적절히 조절한다.
- [0107] 계속해서, 얻어진 제 1 섬 형상의 산화물 반도체층에 대해 제 1 가열 처리를 행하여, 산화물 반도체층(126)을 형성한다.
- [0108] 제 1 가열 처리의 온도는, 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상기판(101)의 변형점 미만으로 한다. 여기에서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 제 1 섬 형상의 산화물 반도체층에 대해 질소, 희가스 등의 불활성 가스 분위기하에 있어서 450℃에 있어서 1시간의 가열 처리를 행한다. 그 후, 대기에 접촉시키지 않도록 함으로써, 수소, 물, 하이드록실기 또는 수소화물 등이 산화물 반도체층(126)에 재침입하는 것을 방지한다. 이 결과, 수소 농도가 저감된 산화물 반도체층(126)을 얻을 수 있다. 즉, 제 1 가열 처리에 의해 제 1 섬 형상의 산화물 반도체층의 탈수화 및 탈수소화 중 적어도 한쪽을 행할 수 있다.
- [0109] 또한, 제 1 가열 처리에는, 탈수화 및 탈수소화 이외에, 게이트 절연층(105)에 산소가 함유되는 경우, 상기 산소의 일부를 제 1 섬 형상의 산화물 반도체층과의 계면 또는 그 근방으로 확산시키는 처리도 겸한다. 이 처리의 결과, 산소 결손이 저감된 산화물 반도체층(126)이 얻어진다.
- [0110] 또한, 제 1 가열 처리에 있어서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 수소, 물, 하이드록실기 또는 수소화물 등이 함유되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.9999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0111] 제 1 가열 처리에 사용하는 가열 처리 장치는 특별히 한정되지 않으며, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 구비하고 있어도 좋다. 예를 들면, 전기로나, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는 할로겐 램프, 메탈할라이드 램프, 크세논아크 램프, 카본아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발산되는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 사용하여 가열 처리를 행하는 장치이다.
- [0112] 또한, 제 1 가열 처리는 제 1 섬 형상의 산화물 반도체층을 형성하기 전, 즉 산화물 반도체막(106)에 행해도 좋다. 그 경우에는, 제 1 가열 처리후에, 가열 장치로부터 기판을 취출하고, 제 2 포토리소그래피 공정 및 에칭

공정을 행한다.

- [0113] 여기까지의 공정에서 얻어진 구성을 도 3b에 도시한다.
- [0114] 계속해서, 게이트 절연층(105) 및 산화물 반도체층(126) 위에, 한 쌍의 제 2 전극(109a, 109b)으로 가공되는 도전막을 형성한다. 그 후, 상기 도전막을 제 3 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여 에칭하고, 한 쌍의 제 2 전극(109a, 109b)을 형성한다. 한 쌍의 제 2 전극(109a, 109b)의 형성 방법은, 제 1 전극(103)의 형성 방법과 같이 하면 좋다. 본 실시형태에서는 티타늄을 사용하여 스퍼터링법에 의해 두께 150nm의 도전막을 형성한다. 또한, 한 쌍의 제 2 전극(109a, 109b)을 형성하는 공정은, 배선(110)(도 1a 참조)의 형성 공정을 겸하고 있다.
- [0115] 여기까지의 공정에서 얻어진 구성을 도 3c에 도시한다.
- [0116] 다음에, 한 쌍의 제 2 전극(109a, 109b) 및 산화물 반도체층(126)의 일부에 접하여, 절연층(111)을 형성한다. 절연층(111)의 형성 방법은, 게이트 절연층(105)의 형성 방법과 같이 하면 좋다. 본 실시형태에서는 절연층(111)을 스퍼터링법에 의해 산화실리콘으로 형성한다. 또한, 절연층(111)의 두께는 200nm으로 한다. 그 후, 제 1 가열 처리와는 가열 온도가 상이한 제 2 가열 처리를 행한다. 제 2 가열 처리에 의해, 게이트 절연층(105) 및 절연층(111)에 함유되는 산소의 일부가 산화물 반도체층(126)에 공급되어 산화물 반도체층(107)이 형성된다. 제 2 가열 처리는 가열 온도가 높을수록, 광 조사 또는 BT 스트레스가 주어짐으로써 발생하는 임계값 전압의 변화량이 작아진다. 그러나, 상기 가열 온도를 320℃보다 높게 하면 온 특성의 저하가 일어난다. 따라서, 제 2 가열 처리의 조건은, 불활성 분위기, 산소 분위기, 산소와 질소의 혼합 분위기하에서, 200℃ 이상 400℃ 이하, 바람직하게는 250℃ 이상 320℃ 이하로 한다. 또한, 이 가열 처리의 가열 시간은 1분 이상 24시간 이하로 한다. 또한, 제 2 가열 처리는 나중에 형성하는 제 3 전극(113)을 형성한 후에 행해도 좋다. 또한, 수분의 침입 방지나, 알칼리 금속의 침입 방지를 위해, 절연층(111) 위에 질화실리콘을 형성해도 좋다. Li나 Na 등의 알칼리 금속은, 불순물이기 때문에 함유량을 적게 하는 것이 바람직하고, 산화물 반도체층(107) 중에 $2 \times 10^{16} \text{ cm}^{-3}$ 이하, 바람직하게는, $1 \times 10^{15} \text{ cm}^{-3}$ 이하로 한다. 또한, 알칼리 토류금속도 불순물이기 때문에, 함유량을 적게 하는 것이 바람직하다. 또한, 후술하는 제 3 전극(113)을 형성한 후에, 보호 절연층으로서 질화실리콘을 형성해도 좋다. 그 경우는, 보호 절연층에 개구부를 형성하고, 제 1 전극(103), 한 쌍의 제 2 전극(109a, 109b) 및 제 3 전극(113)과 전기적으로 접속되는 도전막을 형성하는 등의 공정 등을 적절히 행한다.
- [0117] 다음에, 절연층(111)에 접하고, 또한 산화물 반도체층(107)의 채널 형성 영역과 중첩되도록 하여 제 3 전극(113)을 형성한다. 절연층(111) 위에 도전막을 형성하고, 그 후, 상기 도전막에 제 4 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여 에칭하고, 제 3 전극(113)을 형성한다. 제 3 전극(113)의 형성 방법은, 제 1 전극(103)의 형성 방법과 같이 하면 좋다. 본 실시형태에서는 몰리브덴을 사용하여 스퍼터링법에 의해, 두께 150nm의 도전막을 형성한다. 또한, 제 3 전극(113)을 형성하는 공정은, 배선(114)(도 1a 참조)의 형성 공정을 겸하고 있다.
- [0118] 여기까지의 공정에서 얻어진 구성을 도 3d에 도시한다.
- [0119] 이상으로부터, 고내압, 저역방향 포화 전류, 높은 온 전류를 얻는 것이 가능한 비선형 소자를 얻을 수 있다. 또한, 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0120] (실시형태 2)
- [0121] 본 실시형태에서는 실시형태 1에서 나타난 비선형 소자와 구성이 일부 상이한 비선형 소자에 관해서 설명한다. 또한, 본 실시형태에 있어서도 트랜지스터를 예로 설명한다.
- [0122] 도 4a는 트랜지스터(200)의 평면도이며, 도 4b는 트랜지스터(200)의 E-F 사이에 있어서의 단면도이다. 도 4c는 트랜지스터(200)의 G-H 사이에 있어서의 단면도이다. 또한, 트랜지스터(200)는 트랜지스터(100)의 변형예이기 때문에, 도 4에 있어서, 도 1과 동일한 개소에는 동일한 부호를 사용하고, 동일한 부호의 상세에 관해서는 생략한다.
- [0123] 도 4b로부터, 트랜지스터(200)는 듀얼 게이트형의 트랜지스터이며, 기판(101) 위에, 하지 절연층(102), 제 1 전극(103), 게이트 절연층(105), 산화물 반도체층(107), n⁺층(117a, 117b), 한 쌍의 제 2 전극(109a, 109b), 절연층(111), 제 3 전극(113)이 형성되어 있다.
- [0124] 제 1 전극(103)은 하지 절연층(102)에 접하여 형성된다. 게이트 절연층(105)은 제 1 전극(103)을 피복하여 형

성된다. 산화물 반도체층(107)은 게이트 절연층(105)에 접하고 또한 제 1 전극(103)과 중첩되어 형성된다. n^+ 층(117a, 117b)은 게이트 절연층(105) 및 산화물 반도체층(107)의 단부를 피복하여 형성된다. 한 쌍의 제 2 전극(109a, 109b)은 n^+ 층(117a, 117b) 위, 또한 산화물 반도체층(107)의 단부를 피복하여 형성된다. 절연층(111)은 산화물 반도체층(107)의 일부 및 한 쌍의 제 2 전극(109a, 109b)을 피복하여 형성된다. 제 3 전극(113)은 절연층(111) 위에 접하고 또한 한 쌍의 제 2 전극(109a, 109b) 사이에 형성된다.

[0125] 산화물 반도체층(107)과 한 쌍의 제 2 전극(109a, 109b) 사이에 n^+ 층(117a, 117b)을 형성함으로써, 산화물 반도체층(107)과 한 쌍의 제 2 전극(109a, 109b)의 접촉 저항을 저감할 수 있기 때문에, 높은 온 전류를 얻을 수 있다. 또한, n^+ 층(117a, 117b)을 형성함으로써, 기생 저항의 저감, 또한 BT 시험에 있어서의 마이너스 게이트·스트레스를 부여한 전후의 온 전류의 변화량(Ion 열화)을 억제할 수 있다.

[0126] 또한, 도 1c는 한 쌍의 제 2 전극(109a, 109b)의 한쪽만을 도시하고 있지만, n^+ 층(117a, 117b)은 한 쌍의 제 2 전극(109a, 109b)을 마스크로 하여 에칭 공정을 행하기 때문에, 한 쌍의 제 2 전극(109a, 109b)으로부터 단부가 돌출되도록 가공된다. 따라서, 트랜지스터(200)의 채널 길이는, n^+ 층(117a, 117b)의 간격에 의해 결정된다. 또한, 한 쌍의 제 2 전극(109a, 109b)은 n^+ 층(117a, 117b)을 개재하여 산화물 반도체층(107)의 단면과 대향하고 있지만, n^+ 층(117a, 117b)은 극단적으로 두껍게 형성되는 것은 아니며, 산화물 반도체층(107)에 발생하는 열의 전달을 차단하지 않기 때문에, 실시형태 1과 같이, 히트싱크가 된다. 그 결과, 산화물 반도체층(107)에 높은 온 전류가 흐를 때에 발생하는 열을 외부로 방산할 수 있어 발열에 의한 트랜지스터(200)의 열화를 억제할 수 있다.

[0127] 이하, 트랜지스터(200)를 제작하는 공정을 설명한다. 트랜지스터(200)를 제작하는 공정은, n^+ 층(117a, 117b)을 형성하는 공정 이외에, 트랜지스터(100)의 제작 공정과 동일하다. 따라서, 도 3a, 도 3b 및 도 5를 참조하여 설명한다.

[0128] 실시형태 1에 나타낸 제작 공정에 따라서(도 3a의 구성을 거쳐), 도 3b의 구성을 얻는다.

[0129] 계속해서, 게이트 절연층(105) 및 산화물 반도체층(107) 위에, In-Zn계 금속 산화물, In-Sn계 금속 산화물, 인듐 또는 주석을 함유하는 1원계 금속 산화물을 사용하여, n^+ 층(117a, 117b)이 되는 막(115)을 1nm 이상 200nm 이하의 두께로 형성한다. 막(115)의 형성 방법은 산화물 반도체층(107)의 형성 방법과 같이 하면 좋다. 또한, n^+ 층으로서 상기의 재료에 SiO_2 를 함유시켜도 좋다. 본 실시형태에서는 SiO_2 를 함유하는 In-Sn계 금속 산화물막을 100nm의 두께로 형성한다.

[0130] 계속해서, n^+ 층이 되는 막(115) 위에 한 쌍의 제 2 전극(109a, 109b)을 형성하기 위한 도전막(108)을 형성한다(도 5a 참조). 상기 도전막을 가공하여, 한 쌍의 제 2 전극(109a, 109b)을 형성한다. 또한, 한 쌍의 제 2 전극(109a, 109b)을 형성하는 공정은, 배선(110)(도 4a 참조)의 형성 공정을 겸하고 있다.

[0131] 계속해서, 한 쌍의 제 2 전극(109a, 109b)을 마스크로 하여, 막(115)을 가공하여 n^+ 층(117a, 117b)을 형성한다. 상기 가공에 의해, n^+ 층(117a, 117b)은 한 쌍의 제 2 전극(109a, 109b)으로부터 단부가 돌출되도록 하여 형성된다(도 5b 참조). 따라서, 트랜지스터(200)의 채널 길이는, n^+ 층(117a, 117b)의 간격에 의해 결정된다. 한편, 실시형태 1에 나타내는 트랜지스터(100)의 채널 길이는, 한 쌍의 제 2 전극(109a, 109b)의 간격에 의해 결정된다. 또한, n^+ 층(117a, 117b)의 단부의 테이퍼각(n^+ 층(117a, 117b)의 측면이 기판(101)의 평면과 이루는 각)은 30도 이하로 하는 것이 좋다.

[0132] 이후의 공정은, 실시형태 1과 동일하며, 산화물 반도체층(107)의 일부 및 한 쌍의 제 2 전극(109a, 109b)을 피복하는 절연층(111)을 형성한다. 또한, 절연층(111)에 접하고, 또한 산화물 반도체층(107)의 채널 형성 영역과 중첩되도록 하여 제 3 전극(113)을 형성한다(도 5c 참조). 각 공정의 상세는 실시형태 1과 같다.

[0133] 이상으로부터, 고내압, 저역방향 포화 전류, 높은 온 전류를 얻는 것이 가능한 비선형 소자를 얻을 수 있다. 또한, 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

- [0134] (실시형태 3)
- [0135] 본 실시형태에서는 실시형태 1에서 나타난 비선형 소자와 구성이 일부 상이한 비선형 소자에 관해서 설명한다. 또한, 본 실시형태에 있어서도 트랜지스터를 예에 설명한다.
- [0136] 본 실시형태에서 나타내는 트랜지스터(300)는 실시형태 1에서 나타난 트랜지스터(100)의 산화물 반도체층(107)이, 제 1 결정성 산화물 반도체층(107a) 및 제 2 결정성 산화물 반도체층(107b)으로 이루어지는 결정성 산화물 반도체 적층(120)으로 치환된 트랜지스터이다. 즉, 트랜지스터(300)의 평면 구조는, 트랜지스터(100)의 평면 구조와 동일하기 때문에, 트랜지스터(300)의 평면도는 도 1a를 참조할 수 있다. 도 6a는 트랜지스터(300)의 A-B 사이에 있어서의 단면도이다. 도 6b는 트랜지스터(300)의 C-D 사이에 있어서의 단면도이다. 또한, 트랜지스터(300)는 트랜지스터(100)의 변형예이기 때문에, 도 6에 있어서, 도 1과 동일한 개소에는 동일한 부호를 사용하고, 동일한 부호의 상세에 관해서는 생략한다.
- [0137] 도 6a로부터, 트랜지스터(300)는 듀얼 게이트형의 트랜지스터이며, 기판(101) 위에, 하지 절연층(102), 제 1 전극(103), 게이트 절연층(105), 결정성 산화물 반도체 적층(120), 한 쌍의 제 2 전극(109a, 109b), 절연층(111), 제 3 전극(113)이 형성되어 있다.
- [0138] 제 1 전극(103)은 하지 절연층(102)에 접하여 형성된다. 게이트 절연층(105)은 제 1 전극(103)을 피복하여 형성된다. 결정성 산화물 반도체 적층(120)은 게이트 절연층(105)에 접하고 또한 제 1 전극(103)과 중첩되어 형성된다. 한 쌍의 제 2 전극(109a, 109b)은 결정성 산화물 반도체 적층(120)의 단부를 피복하여 형성된다. 절연층(111)은 결정성 산화물 반도체 적층(120)의 일부 및 한 쌍의 제 2 전극(109a, 109b)을 피복하여 형성된다. 제 3 전극(113)은 절연층(111) 위에 접하고 또한 한 쌍의 제 2 전극(109a, 109b) 사이에 형성된다.
- [0139] 또한, 한 쌍의 제 2 전극(109a, 109b)은 결정성 산화물 반도체 적층(120)의 단부를 피복하여 형성되어 있는 점에서, 한 쌍의 제 2 전극(109a, 109b)은 결정성 산화물 반도체 적층(120)의 단면에 접하고 있다. 이로 인해, 적어도 결정성 산화물 반도체 적층(120)에 접하는 영역에 있어서, 한 쌍의 제 2 전극(109a, 109b)의 전극 폭은, 결정성 산화물 반도체 적층(120)에 형성되는 채널 폭보다도 넓어진다(도 1a 참조).
- [0140] 또한, 도 6b는 한 쌍의 제 2 전극(109a, 109b)의 한쪽만을 도시하고 있지만, 한 쌍의 제 2 전극(109a, 109b)이 결정성 산화물 반도체 적층(120)의 단면에 접하고 있는 점에서, 한 쌍의 제 2 전극(109a, 109b)은 다른 실시형태와 같이, 히트싱크가 되고, 결정성 산화물 반도체 적층(120)에 높은 온 전류가 흐를 때에 발생하는 열을 외부로 방산할 수 있다. 그 결과, 발열에 의한 트랜지스터(300)의 열화를 억제할 수 있다.
- [0141] 여기서, 결정성 산화물 반도체 적층(120)에 관해서 설명한다. 결정성 산화물 반도체 적층(120)은 제 1 결정성 산화물 반도체층(107a) 및 제 2 결정성 산화물 반도체층(107b)의 적층 구조이다.
- [0142] 제 1 결정성 산화물 반도체층(107a)는 c축 배향을 가지고 있다. 또한, 제 2 결정성 산화물 반도체층(107b)도 c축 배향을 가지고 있다. 단, 제 1 결정성 산화물 반도체층(107a) 및 제 2 결정성 산화물 반도체층(107b)은 단결정 구조가 아니며, 비정질 구조도 아닌 구조이며, c축 배향을 가진 결정(C Axis Aligned Crystal; CAAC라고도 한다)을 포함하는 산화물을 가진다.
- [0143] CAAC를 포함하는 산화물이란, 결정이 c축 배향하고, 또한 ab면, 표면 또는 계면의 방향에서 볼 때 삼각형상 또는 육각형상의 원자 배열을 가지며, c축에 있어서는, 금속 원자가 층상으로 배열되고, 또는 금속 원자와 산소 원자가 층상으로 배열되고, ab면(또는 표면 또는 계면)에 있어서는, a축 또는 b축의 방향이 상이한(c축을 중심으로 회전한) 결정을 포함하는 산화물을 말한다.
- [0144] 광의적으로는, CAAC를 포함하는 산화물이란, 비단결정이며, 그 ab면에 수직한 방향에서 볼 때, 삼각형 또는 육각형, 또는 정삼각형 또는 정육각형의 원자 배열을 가지며, 또한 c축에 수직한 방향에서 볼 때, 금속 원자가 층상으로 배열된 상, 또는 금속 원자와 산소 원자가 층상으로 배열된 상을 포함하는 산화물을 말한다.
- [0145] 또한, CAAC는 결정화된 영역(결정 영역)을 포함하지만, 하나의 결정 영역과 다른 결정 영역의 경계를 명확히 판별할 수 없어도 된다. 즉, 제 1 결정성 산화물 반도체층(107a) 및 제 2 결정성 산화물 반도체층(107b)은 일부에 결정립계를 가지고 있다.
- [0146] 또한, CAAC에 산소가 함유되는 경우, 산소의 일부는 질소로 치환되어 있어도 좋다. 또한, CAAC를 구성하는 각각의 결정 영역의 c축은 일정 방향(예를 들면, CAAC를 지지하는 기판면 또는 CAAC의 표면, 막면 또는 계면 등에 수직한 방향)으로 일치되어 있어도 좋다. 또는, CAAC를 구성하는 각각의 결정 영역의 ab면의 법선은 일정 방향

(예를 들면, 기판면, 표면, 막면 또는 계면 등에 수직인 방향)이라도 좋다.

- [0147] 또한, CAAC는 그 조성 등에 따라, 도체라도 좋고, 반도체라도 좋고, 절연체라도 좋다. 또한, CAAC는 그 조성 등에 따라, 가시광에 대해 투명해도 좋고, 불투명해도 좋다.
- [0148] 이러한 CAAC의 예로서, 막상으로 형성되고, 막 표면, 기판면, 또는 계면에 수직인 방향에서 관찰하면 삼각형 또는 육각형의 원자 배열이 확인되고, 또한 그 막의 단면에 금속 원자 또는 금속 원자와 산소 원자(또는 질소 원자)의 층상 배열이 관찰되는 결정 등을 들 수 있다.
- [0149] 제 1 결정성 산화물 반도체층(107a) 및 제 2 결정성 산화물 반도체층(107b)은 적어도 아연을 함유하는 금속 산화물, 또는 적어도 아연 및 인듐을 함유하는 금속 산화물인 것이 바람직하다. 예를 들면, 실시형태 1에서 열거한 금속 산화물 중, 4원계 금속 산화물인 In-Sn-Ga-Zn계 금속 산화물이나, 3원계 금속 산화물인 In-Ga-Zn계 금속 산화물, In-Sn-Zn계 금속 산화물, In-Al-Zn계 금속 산화물, Sn-Ga-Zn계 금속 산화물, Al-Ga-Zn계 금속 산화물, Sn-Al-Zn계 금속 산화물이나, 2원계 금속 산화물인 In-Zn계 금속 산화물, Sn-Zn계 금속 산화물, Al-Zn계 금속 산화물이나, Zn을 함유하는 1원계 금속 산화물 등을 사용하여 형성할 수 있다.
- [0150] 제 1 결정성 산화물 반도체층(107a)의 형성은, 스퍼터링법을 사용하고, 그 스퍼터링법으로 형성할 때의 기판 온도는 200℃ 이상 400℃ 이하로 하고, 형성후에 제 1 가열 처리(400℃ 이상 750℃ 이하)를 행함으로써 얻을 수 있다.
- [0151] 여기서, CAAC의 결정 구조의 일례에 관해서 설명한다. 제 1 가열 처리의 온도에도 의하지만, 제 1 가열 처리에 의해, 막 표면으로부터 결정화가 일어나고, 막의 표면으로부터 내부를 향하여 결정 성장하고, c축 배향한 결정이 얻어진다. 제 1 가열 처리에 의해, 아연과 산소가 막 표면에 많이 모이고, 상평면이 육각형을 이루는 아연과 산소로 이루어지는 그라핀 타입의 이차원 결정(도 7a에 평면 모식도를 도시한다)이 최표면에 1층 또는 복수층 형성되고, 이것이 막 두께 방향으로 성장하여 중첩되어 적층이 된다. 도 7a에 있어서, 둥근 원이 아연 원자이며, 검은 원이 산소 원자를 나타내고 있다. 가열 처리의 온도를 올리면 표면으로부터 내부, 그리고 내부로부터 저부로 결정 성장이 진행된다. 또한, 도 7b에 이차원 결정이 결정 성장하여 적층된 일례로서 이차원 결정의 6층의 적층을 모식적으로 도시한다.
- [0152] 게이트 절연층(105) 중에 산소가 함유되는 경우, 제 1 가열 처리에 의해, 상기 산소 일부가 제 1 결정성 산화물 반도체층(107a)과의 계면 또는 그 근방으로 확산되어 제 1 결정성 산화물 반도체층(107a)의 산소 결손을 저감시킨다. 따라서, 게이트 절연층(105)으로서는, 막 중(벌크 중), 또는 제 1 결정성 산화물 반도체층(107a)과 게이트 절연층(105)의 계면에는 적어도 화학량론비를 초과하는 양의 산소가 함유되는 것이 바람직하다.
- [0153] 제 2 결정성 산화물 반도체층(107b)의 형성은, 스퍼터링법을 사용하고, 그 성막시에 있어서의 기판 온도는 200℃ 이상 400℃ 이하로 한다. 형성시에 있어서의 기판 온도를 200℃ 이상 400℃ 이하로 함으로써, 제 1 결정성 산화물 반도체층(107a)의 표면 위에 접하여 형성되는 산화물 반도체층에 프리커서의 정렬이 일어나 소위, 질서성을 갖게 할 수 있다. 그리고, 형성후에 제 2 가열 처리(400℃ 이상 750℃ 이하)를 행하는 것이 바람직하다. 제 2 가열 처리는 질소 분위기하, 산소 분위기하, 또는 질소와 산소의 혼합 분위기 하에서 행함으로써, 제 2 결정성 산화물 반도체층(107b)의 고밀도화 및 산소 결손의 감소를 도모할 수 있다. 제 2 가열 처리에 의해, 제 1 결정성 산화물 반도체층(107a)을 핵으로 하여 막 두께 방향, 즉 저부로부터 내부로 결정 성장이 진행되어 제 2 결정성 산화물 반도체층(107b)이 형성된다.
- [0154] 트랜지스터(100)와 같이, 트랜지스터(300)에 있어서도 결정성 산화물 반도체 적층(120)은 두꺼운 편이, 소스 전극 및 드레인 전극간에서 대전류를 확보할 수 있다.
- [0155] 또한, 트랜지스터(300)의 드레인 내압은 결정성 산화물 반도체 적층(120)의 두께에 의존하기 때문에, 드레인 내압을 높게 하기 위해서는, 두꺼운 편이 바람직하고, 원하는 드레인 내압에 걸맞는 두께를 선택하면 좋다.
- [0156] 그래서, 온 전류량 및 드레인 내압을 고려하여, 결정성 산화물 반도체 적층(120)의 두께는, 0.1μm 이상 50μm 이하, 바람직하게는 0.5μm 이상 20μm 이하로 하는 것이 좋다.
- [0157] 또한, 결정성 산화물 반도체 적층(120)을 채널 형성 영역으로 하는 트랜지스터(300)는 계면을 따른 방향에 있어서, 질서화가 진행되고 있다. 따라서, 트랜지스터(300)에 있어서는, 결정성 산화물 반도체 적층(120)의 계면을 따라 캐리어가 흐르는 경우, 즉, a-b 면에 대해 대략 평행하게 캐리어가 흐르는 경우, 그 흐름에 대해, 결정성 산화물 반도체 적층(120)은 방해도 되지 않는다. 따라서, 광 조사 또는 BT 스트레스가 주어지더라도, 트랜지스터(300)의 전기 특성의 열화는 억제된다.

- [0158] 또한, 제 1 결정성 산화물 반도체층(107a) 위에 제 2 결정성 산화물 반도체층(107b)을 형성하는 2층 구조에 한정되지 않고, 제 2 결정성 산화물 반도체층(107b)의 형성후에 제 3 결정성 산화물 반도체층을 형성하는 프로세스와 가열 처리의 프로세스를 반복 행하여, 3층 이상의 적층 구조로 해도 좋다.
- [0159] 이하, 트랜지스터(300)를 제작하는 공정을 설명한다. 트랜지스터(300)를 제작하는 공정은, 결정성 산화물 반도체 적층(120)의 제작 공정 이외에, 트랜지스터(100)의 제작 공정과 동일하다. 따라서, 도 8을 사용하여 설명한다.
- [0160] 실시형태 1에 나타난 제작 공정에 따라, 게이트 절연층(105)까지를 형성하고, 도 8a에 도시하는 구성을 얻는다.
- [0161] 계속해서, 게이트 절연층(105) 위에 제 1 산화물 반도체막을 형성한다. 형성하는 산화물 반도체막의 두께는, 제 2 결정성 산화물 반도체층(107b)이 되는 제 2 산화물 반도체막보다 얇게 한다.
- [0162] 본 실시형태에서는 In-Ga-Zn계 금속 산화물 타겟($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol수 비])을 사용하고, 기판과 타겟 사이의 거리를 170mm, 기판 온도 250℃, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소만, 아르곤만, 또는 아르곤 및 산소 분위기하에서 두께 100nm의 제 1 산화물 반도체막을 형성한다.
- [0163] 계속해서, 기판을 배치하는 챔버 분위기를 질소, 또는 건조 공기로 하고 제 1 가열 처리를 행한다. 제 1 가열 처리의 온도는, 400℃ 이상 750℃ 이하로 한다. 또한, 제 1 가열 처리의 가열 시간은 1분 이상 24시간 이하로 한다. 제 1 가열 처리에 의해 제 1 결정성 산화물 반도체막을 형성한다(도 8b 참조). 제 1 가열 처리의 상세는, 실시형태 1에서 설명했기 때문에, 여기에서는 생략한다.
- [0164] 계속해서, 제 1 결정성 산화물 반도체막 위에, 제 1 결정성 산화물 반도체막보다도 두꺼운 제 2 산화물 반도체막을 형성한다.
- [0165] 본 실시형태에서는 In-Ga-Zn계 금속 산화물 타겟($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol수 비])을 사용하고, 기판과 타겟 사이의 거리를 170mm, 기판 온도 400℃, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소만, 아르곤만, 또는 아르곤 및 산소 분위기하에서 막 두께 400nm의 제 2 산화물 반도체막을 형성한다.
- [0166] 계속해서, 기판을 배치하는 챔버 분위기를 질소, 또는 건조 공기로 하고, 제 2 가열 처리를 행한다. 제 2 가열 처리의 온도는 400℃ 이상 750℃ 이하로 한다. 또한, 제 2 가열 처리의 가열 시간은 1분 이상 24시간 이하로 한다. 제 2 가열 처리에 의해 제 2 결정성 산화물 반도체막을 형성한다(도 8c 참조). 제 2 결정성 산화물 반도체막을 형성하는 제 2 가열 처리의 상세는 실시형태 1의 기재와 같다. 또한, 도면에서는 제 1 결정성 산화물 반도체막과 제 2 결정성 산화물 반도체막의 계면을 점선으로 나타내고, 산화물 반도체 적층이라고 설명하고 있지만, 명확한 계면이 존재하고 있는 것이 아니며, 어디까지나 알기 쉽게 설명하기 위해서 도시하고 있다.
- [0167] 제 1 및 제 2 가열 처리를 750℃보다도 높은 온도에서 가열 처리를 행하면, 유리 기판의 수축에 의해, 형성된 산화물 반도체막에 균열(두께 방향으로 길어지는 균열)이 형성되기 쉽다. 따라서, 제 1 가열 처리 및 제 2 가열 처리의 온도나, 스퍼터링법으로 산화물 반도체막을 형성할 때의 기판 온도를 750℃ 이하, 바람직하게는 450℃ 이하로 함으로써, 대면적의 유리 기판 위에 신뢰성이 높은 트랜지스터를 제작할 수 있다.
- [0168] 또한, 게이트 절연층(105)의 형성으로부터 제 2 가열 처리까지의 공정을 대기에 접촉시키지 않고 연속적으로 행하는 것이 바람직하다. 예를 들면, 도 12에 상면도를 도시하는 제조 장치를 사용하면 좋다. 도 12에 도시하는 제조 장치는, 매엽식 멀티 챔버 설비이며, 3개의 스퍼터링 장치(10a, 10b, 10c)나, 피처리 기판을 수용하는 카세트 포트(14)를 3개 갖는 기판 공급실(11)이나, 로드록실(12a, 12b)이나, 반송실(13)이나, 기판 가열실(15) 등을 가지고 있다. 또한, 기판 공급실(11) 및 반송실(13)에는, 피처리 기판을 반송하기 위한 반송 로봇이 각각 배치되어 있다. 스퍼터링 장치(10a, 10b, 10c), 반송실(13), 및 기판 가열실(15)은, 수소 및 수분을 거의 함유하지 않는 분위기(불활성 분위기, 감압 분위기, 건조 공기 분위기 등) 하에 제어하는 것이 바람직하고, 예를 들면, 수분에 관해서는 이슬점 -40℃ 이하, 바람직하게는 이슬점 -50℃ 이하의 건조 질소 분위기로 한다. 도 12의 제조 장치를 사용한 제작 공정의 순서의 일례는, 우선, 기판 공급실(11)로부터 피처리 기판을 반송하고, 로드록실(12a)과 반송실(13)을 거쳐 기판 가열실(15)로 이동시키고, 기판 가열실(15)에서 피처리 기판에 부착되어 있는 수분을 진공 베이크 등으로 제거하고, 그 후, 반송실(13)을 거쳐 스퍼터링 장치(10c)로 피처리 기판을 이동시키고, 스퍼터링 장치(10c) 내에서 게이트 절연층(105)을 형성한다. 그리고, 대기에 접촉시키지 않고, 반송실(13)을 거쳐 스퍼터링 장치(10a)로 피처리 기판을 이동시키고, 스퍼터링 장치(10a) 내에서 제 1 산화물 반도체막을 형성한다. 그리고, 대기에 접촉시키지 않고, 반송실(13)을 거쳐 기판 가열실(15)로 피처리 기판을 이동시

키고, 제 1 가열 처리를 행한다. 그리고, 대기에 접촉시키지 않고, 반응실(13)을 거쳐 스퍼터링 장치(10b)로 피처리 기판을 이동시키고, 스퍼터링 장치(10b) 내에서 제 2 산화물 반도체막을 형성한다. 그리고, 대기에 접촉시키지 않고, 반응실(13)을 거쳐 기판 가열실(15)로 피처리 기판을 이동시키고, 제 2 가열 처리를 행한다. 이와 같이 도 12의 제조 장치를 사용함으로써 대기에 접촉시키지 않고, 트랜지스터의 제작 공정을 진행할 수 있다. 또한, 도 12의 제조 장치의 스퍼터링 장치는, 스퍼터링 타겟을 변경함으로써 대기에 접촉되지 않는 제작 공정을 실현할 수 있고, 예를 들면, 미리 게이트 절연층(105)을 형성한 기판을 카세트 포트(14)에 설치하고, 제 1 산화물 반도체막의 형성으로부터 제 2 가열 처리를 행하는 공정까지를 대기에 접촉시키지 않고 진행시켜서 제 1 결정성 산화물 반도체막과 제 2 결정성 산화물 반도체막을 형성한 후, 대기에 접촉시키지 않고, 스퍼터 장치(10c) 내에서 금속 타겟을 사용하여 한 쌍의 제 2 전극(109a, 109b)을 형성하기 위한 도전막을 제 2 결정성 산화물 반도체막 위에 형성할 수도 있다.

- [0169] 계속해서, 제 1 결정성 산화물 반도체막과 제 2 결정성 산화물 반도체막으로 이루어지는 결정성 산화물 반도체 적층을 가공하고, 제 1 결정성 산화물 반도체층(107a) 및 제 2 결정성 산화물 반도체층(107b)이 적층된 결정성 산화물 반도체 적층(120)을 형성한다(도 8d 참조).
- [0170] 결정성 산화물 반도체 적층의 가공은, 원하는 형상의 마스크를 결정성 산화물 반도체 적층 위에 형성한 후, 상기 마스크를 사용하여 상기 결정성 산화물 반도체 적층을 에칭한다. 상기의 마스크는 포토리소그래피 등의 방법을 사용하여 형성할 수 있다. 또는, 잉크젯법 등의 방법을 사용하여 마스크를 형성해도 좋다.
- [0171] 또한, 결정성 산화물 반도체 적층의 에칭은, 드라이 에칭이라도 웨트 에칭이라도 좋다. 물론, 이들을 조합하여 사용해도 좋다. 드라이 에칭 및 웨트 에칭의 상세는 실시형태 1의 기재와 같다.
- [0172] 이후의 공정은, 실시형태 1과 동일하며, 한 쌍의 제 2 전극(109a, 109b)을 형성하고, 결정성 산화물 반도체 적층(120)의 일부 및 한 쌍의 제 2 전극(109a, 109b)을 피복하는 절연층(111)을 형성한다. 또한, 절연층(111)에 접하고, 또한 결정성 산화물 반도체 적층(120)의 채널 형성 영역과 중첩되도록 하여 제 3 전극(113)을 형성한다(도 6a 참조). 각 공정의 상세는 실시형태 1의 기재와 같다. 또한, 한 쌍의 제 2 전극(109a, 109b)을 형성하는 공정은, 배선(110)(도 1a 참조)의 형성을 겸하고 있으며, 제 3 전극(113)을 형성하는 공정은, 배선(114)(도 1a 참조)의 형성 공정을 겸하고 있다.
- [0173] 이상으로부터, 고내압, 저역방향 포화 전류, 높은 온 전류를 얻는 것이 가능한 비선형 소자를 얻을 수 있다. 또한, 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0174] (실시형태 4)
- [0175] 본 실시형태에서는 상기 실시형태에서 나타난 비선형 소자와 구성이 일부 상이한 비선형 소자에 관해서 설명한다. 또한, 본 실시형태에 있어서도 트랜지스터를 예로 설명한다.
- [0176] 본 실시형태에서 나타내는 트랜지스터(400)는 실시형태 2에서 나타난 트랜지스터(200)의 산화물 반도체층(107)이, 제 1 결정성 산화물 반도체층(107a) 및 제 2 결정성 산화물 반도체층(107b)으로 이루어지는 결정성 산화물 반도체 적층(120)으로 치환된 트랜지스터이다. 즉, 트랜지스터(400)의 평면 구조는, 트랜지스터(200)의 평면 구조와 동일하기 때문에, 트랜지스터(400)의 평면도는, 도 4a를 참조할 수 있다. 도 9a는 트랜지스터(400)의 E-F 사이에 있어서의 단면도이다(도 4a 참조). 도 9b는 트랜지스터(400)의 G-H 사이에 있어서의 단면도이다(도 4a 참조). 또한, 도 9에 있어서, 도 1과 동일한 개소에는 동일한 부호를 사용하며 상세에 관해서는 생략한다.
- [0177] 도 9b로부터, 트랜지스터(400)는 듀얼 게이트형의 트랜지스터이며, 기판(101) 위에, 하지 절연층(102), 제 1 전극(103), 게이트 절연층(105), 결정성 산화물 반도체 적층(120), n^+ 층(117a, 117b), 한 쌍의 제 2 전극(109a, 109b), 절연층(111), 제 3 전극(113)이 형성되어 있다.
- [0178] 제 1 전극(103)은 하지 절연층(102)에 접하여 형성된다. 게이트 절연층(105)은 제 1 전극(103)을 피복하여 형성된다. 결정성 산화물 반도체 적층(120)은 게이트 절연층(105)에 접하고 또한 제 1 전극(103)과 중첩되어 형성된다. n^+ 층(117a, 117b)은 게이트 절연층(105) 및 결정성 산화물 반도체 적층(120)의 단부를 피복하여 형성된다. 한 쌍의 제 2 전극(109a, 109b)은 결정성 산화물 반도체 적층(120)의 단부 및 n^+ 층(117a, 117b)의 단부를 피복하여 형성된다. 절연층(111)은 결정성 산화물 반도체 적층(120)의 일부 및 한 쌍의 제 2 전극(109a, 109b)을 피복하여 형성된다. 제 3 전극(113)은 절연층(111) 위에 접하고 또한 한 쌍의 제 2 전극(109a, 109b)

사이에 형성된다.

- [0179] 결정성 산화물 반도체 적층(120)과 한 쌍의 제 2 전극(109a, 109b) 사이에 n^+ 층(117a, 117b)을 형성함으로써, 결정성 산화물 반도체 적층(120)과 한 쌍의 제 2 전극(109a, 109b)의 접촉 저항을 저감할 수 있기 때문에, 높은 온 전류를 얻을 수 있다. 또한, n^+ 층(117a, 117b)을 형성함으로써, 기생 저항의 저감, 또한 BT 시험에 있어서의 마이너스 게이트·스트레스를 부여한 전후의 온 전류의 변화량(Ion열화)을 억제할 수 있다.
- [0180] 또한, 도 1c는 한 쌍의 제 2 전극(109a, 109b)의 한쪽만을 도시하고 있지만, n^+ 층(117a, 117b)은 한 쌍의 제 2 전극(109a, 109b)을 마스크로 하여 에칭 공정을 행하기 때문에, 한 쌍의 제 2 전극(109a, 109b)으로부터 단부가 돌출되게 되고, 트랜지스터(400)의 채널 길이는, n^+ 층(117a, 117b)의 간격에 의해 결정된다. 또한, 한 쌍의 제 2 전극(109a, 109b)은 n^+ 층(117a, 117b)을 개재하여 결정성 산화물 반도체 적층(120)과 대향하고 있지만, n^+ 층(117a, 117b)은 극단적으로 두껍게 형성되는 것은 아니며, 결정성 산화물 반도체 적층(120)에 발생하는 열의 전달을 차단하지 않기 때문에, 다른 실시형태와 같이 히트싱크가 된다. 그 결과, 결정성 산화물 반도체 적층(120)에 높은 온 전류가 흐를 때에 발생하는 열을 외부로 방산할 수 있어 발열에 의한 트랜지스터(400)의 열화를 억제할 수 있다.
- [0181] 결정성 산화물 반도체 적층(120)은, 제 1 결정성 산화물 반도체층(107a) 및 제 2 결정성 산화물 반도체층(107b)의 적층 구조이다. 제 1 결정성 산화물 반도체층(107a) 및 제 2 결정성 산화물 반도체층(107b)의 상세한 것은, 실시형태 3의 기재와 같다. 본 실시형태에 나타내는 트랜지스터(400)에 있어서, 제 1 결정성 산화물 반도체층(107a), 및 제 2 결정성 산화물 반도체층(107b)은 적어도 일부가 결정화되어 c축 배향을 가지고 있으며, 결정성 산화물 반도체 적층(120)은 게이트 절연층과의 계면에 따른 방향에 있어서, 질서화가 진행되고 있다. 따라서, 그 계면을 따라 캐리어가 흐르는 경우, 그 흐름에 대해, 결정 산화물 반도체 적층(120)은 방해가 되지 않는다. 따라서, 광 조사 또는 BT 스트레스가 주어지도록, 트랜지스터(400)의 전기 특성의 열화는 억제된다.
- [0182] 이하, 트랜지스터(400)를 제작하는 공정을 설명한다. 트랜지스터(400)를 제작하는 공정은, 결정성 산화물 반도체 적층(120)의 제작 공정 이외에, 트랜지스터(200)의 제작 공정과 동일하다. 따라서, 도 5 및 도 8을 참조하여 설명한다.
- [0183] 실시형태 1 및 실시형태 3에 나타낸 제작 공정에 따라, 결정성 산화물 반도체 적층(120)까지를 형성하여 도 8d에 도시하는 구성을 얻는다.
- [0184] 계속해서, 게이트 절연층(105) 및 결정성 산화물 반도체 적층(120) 위에, In-Zn계 금속 산화물, In-Sn계 금속 산화물, 인듐 또는 주석을 함유하는 1원계 금속 산화물의 재료를 사용하여, n^+ 층(117a, 117b)이 되는 막(115)을 1nm 이상 200nm 이하의 두께로 형성한다. 막(115)의 형성 방법은, 실시형태 2의 기재와 같다. 또한, n^+ 층으로서 상기의 재료에 SiO_2 를 함유시켜도 좋다. 본 실시형태에서는 SiO_2 를 함유하는 In-Sn계 금속 산화물을 100nm의 두께로 형성한다.
- [0185] 계속해서, n^+ 층이 되는 막(115) 위에 한 쌍의 제 2 전극(109a, 109b)을 형성하기 위한 도전막을 형성한다(도 5a 참조). 상기 도전막을 가공하여, 한 쌍의 제 2 전극(109a, 109b)을 형성한다. 또한, 한 쌍의 제 2 전극(109a, 109b)을 형성하는 공정은, 배선(110)(도 4a 참조)의 형성 공정을 겸하고 있다.
- [0186] 계속해서, 한 쌍의 제 2 전극(109a, 109b)을 마스크로 하여, 막(115)을 가공하고, n^+ 층(117a, 117b)을 형성한다. 상기 가공에 의해, n^+ 층(117a, 117b)은 한 쌍의 제 2 전극(109a, 109b)으로부터 단부가 돌출되도록 하여 형성된다(도 5b 참조). 따라서, 트랜지스터(400)의 채널 길이는, n^+ 층(117a, 117b)의 간격에 의해 결정된다. 또한, 실시형태 3에 나타내는 트랜지스터(300)의 채널 길이는, 한 쌍의 제 2 전극(109a, 109b)의 간격에 의해 결정된다. 또한, n^+ 층(117a, 117b)의 단부의 테이퍼각(n^+ 층(117a, 117b)의 측면이 기판(101)의 평면과 이루는 각)은 30도 이하로 하는 것이 좋다.
- [0187] 이후의 공정은, 실시형태 2와 동일하며, 결정 산화물 반도체 적층(120)의 일부 및 한 쌍의 제 2 전극(109a, 109b)을 피복하는 절연층(111)을 형성한다. 또한, 절연층(111)에 접하고, 또한 결정 산화물 반도체 적층(120)의 채널 형성 영역과 중첩되도록 하여 제 3 전극(113)을 형성한다(도 9a 참조). 또한, 제 3 전극(113)을 형성

하는 공정은, 배선(114)(도 4a 참조)의 형성 공정을 겸하고 있으며, 각 공정의 상세는 실시형태 2와 같다.

- [0188] 이상으로부터, 고내압, 저역방향 포화 전류, 높은 온 전류를 얻는 것이 가능한 비선형 소자를 얻을 수 있다. 또한, 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0189] (실시형태 5)
- [0190] 본 실시형태에서는 비선형 소자의 온 전류에 관한 계산 결과를 설명한다. 또한, 계산은 간략화된 비선형 소자의 구조에 관해서 행하고 있다. 또한, 계산에는 synopsys사 제조의 sentaurus device를 사용하고 있다.
- [0191] 처음에, 게이트 전압의 변화에 대한 드레인 전류의 변화를 계산한 결과에 관해서 설명한다.
- [0192] 도 13a는 실시형태 2에서 설명한 트랜지스터(200)에 있어서, 채널 길이 방향의 단면 구조(도 4a의 E-F 사이에 있어서의 단면 구조)를 간략화한 도면이다(구조 1로 한다). 도 13b는 도 4a의 G-H 사이에 있어서의 단면 구조를 간략화한 도면이다. 도 13c는 트랜지스터(200)의 채널 형성 영역에 있어서, E-F 사이에 수직인 방향의 단면 구조를 간략화한 도면이다. 또한, 도 13에 있어서, 도 4에 대응하고 있는 개소의 부호는, 도 4와 동일한 부호를 사용하고 있다.
- [0193] 도 13에 도시하는 구조에 있어서의 온 전류의 계산 결과에 반영되는 파라미터는 이하와 같다.
- [0194] 1. 채널 길이(L1): 10 μ m
- [0195] 2. 한 쌍의 제 2 전극(109a, 109b)의 길이(L2): 5 μ m
- [0196] 3. 산화물 반도체층(107)의 두께(T_{os}): 10 μ m
- [0197] 4. 게이트 절연층(105)의 두께(T_G) 및 절연층(111)의 두께(T_{BG}): 0.2 μ m
- [0198] 5. 채널 폭(W1): 100 μ m
- [0199] 6. 한 쌍의 제 2 전극(109a, 109b)의 폭(W2): 5 μ m
- [0200] 7. 제 1 전극(103)에 사용하는 텅스텐의 일함수(ϕ_M): 4.9eV
- [0201] 8. 한 쌍의 제 2 전극(109a, 109b)에 사용하는 티타늄의 일함수(ϕ_M): 4.0eV
- [0202] 9. 제 3 전극(113)에 사용하는 몰리브덴의 일함수(ϕ_M): 4.8eV
- [0203] 10. 산화물 반도체층(107)에 사용하는 In-Ga-Zn계 금속 산화물의 밴드갭(E_g): 3.15eV, 전자 친화력(χ): 4.3eV, 비유전율: 15, 전자 이동도: 10cm²/Vs
- [0204] 11. 게이트 절연층(105)에 사용하는 산화질화실리콘의 비유전율: 4.1
- [0205] 12. 절연층(111)에 사용하는 산화실리콘의 비유전율: 3.8
- [0206] 또한, 제 1 전극(103), 한 쌍의 제 2 전극(109a, 109b), 제 3 전극(113) 및 n⁺층(117a, 117b)은 각각의 두께와 상관없이, 동전위로 간주하여 계산하고 있기 때문에, 이들 두께는 계산 결과에 반영되지 않는 것으로 한다.
- [0207] 도 14는 드레인 전압은 15V로 하고, 게이트 전압을 0V에서부터 20V까지 변화시켰을 때의 드레인 전류(I_d)를 계산한 결과이다. 도 14로부터 알 수 있는 바와 같이, 층(107)의 단부가 n⁺층(117a, 117b) 및 한 쌍의 제 2 전극(109a)으로 피복되어 있는 구조의 비선형 소자는, 높은 온 전류를 얻을 수 있다.
- [0208] 다음에, 구조 1에 있어서, 드레인 전압의 변화에 대한 드레인 전류의 변화를 계산한 결과에 관해서 설명한다. 비교예는 하기의 구조 2 내지 구조 4로 하고 있다.
- [0209] 구조 2는 트랜지스터(200)에 있어서, 한 쌍의 제 2 전극(109a, 109b), n⁺층(117a, 117b) 및 제 3 전극(113)은 산화물 반도체층(107)의 측면에 접하지 않는 구조(도 15 참조)로 하였다. 구조 2에 있어서, 도 15a는 도 13a와 동일하게 간략화한 도면이다. 도 15b는 도 13b와 동일하게 간략화한 도면이다. 도 15c는 도 13c와 동일하게 간략화한 도면이다.
- [0210] 구조 3은 한 쌍의 제 2 전극(109a, 109b), n⁺층(117a, 117b)은 산화물 반도체층(107)의 측면에 접하지만, 제 3 전극(113)은 산화물 반도체층(107)의 측면에 접하지 않는 구조(도 16 참조)로 하였다. 구조 3에 있어서, 도

16a는 도 13a와 동일하게 간략화한 도면이다. 도 16b는 도 13b와 같이 간략화한 도면이다. 도 16c는 도 13c와 같이 간략화한 도면이다.

- [0211] 구조 4는 한 쌍의 제 2 전극(109a, 109b), n⁺층(117a, 117b)은 산화물 반도체층(107)의 측면에 접하지 않지만, 제 3 전극(113)은 산화물 반도체층(107)의 측면에 접하는 구조(도 17 참조)로 한다. 구조 4에 있어서, 도 17a는 도 13a와 동일하게 간략화한 도면이다. 도 17b는 도 13b와 같이 간략화한 도면이다. 도 17c는 도 13c와 동일하게 간략화한 도면이다.
- [0212] 구조 2 내지 구조 4에 있어서, 계산 결과에 반영되는 파라미터는, 구조 1에 있어서의 파라미터와 동일하다. 또한, 제 1 전극(103), 한 쌍의 제 2 전극(109a, 109b), 제 3 전극(113) 및 n⁺층(117a, 117b)은 각각의 두께와 상관없이, 동전위로 간주하여 계산하고 있기 때문에, 이들 두께는 계산 결과에 반영되지 않는 것으로 한다.
- [0213] 구조 1 내지 구조 4에 있어서의 온 전류의 계산 결과를, 도 18에 도시한다. 도 18은 게이트 전압(Vg)을 10V로 하고, 드레인 전압(Vd)을 0V에서 20V까지 변화시켰을 때의 각 드레인 전압에 대응하는 드레인 전류(Id)를 계산한 결과이다.
- [0214] 도 18에 도시하는 바와 같이, 구조 1의 드레인 전류는, 구조 2 내지 구조 4에 비해, 높은 드레인 전류가 얻어지는 것을 알 수 있다. 즉, 구조 1과 같이, 한 쌍의 제 2 전극(109a, 109b), n⁺층(117a, 117b) 및 제 3 전극(113)이, 산화물 반도체층(107)의 측면에 접하는 구조로 함으로써, 채널 형성 영역인 산화물 반도체층(107)에 효율적으로 캐리어를 주입할 수 있고, 높은 온 전류를 얻을 수 있어 대전류 용도용 비선형 소자에 적합하다.
- [0215] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0216] (실시형태 6)
- [0217] 본 실시형태에서는 본 발명의 일 형태인 비선형 소자를 사용한 파워 다이오드 및 정류기의 일례에 관해서, 도 10 및 도 11을 사용하여 설명한다.
- [0218] 도 10a-1은 본 발명의 일 형태인 파워 다이오드의 일 구성예를 도시한다. 도 10a-1에 도시하는 파워 다이오드는, 복수의 다이오드가 직렬 접속된 것이다.
- [0219] 도 10b-1은 본 발명의 일 형태인 정류기의 일 구성예를 도시한다. 도 10b-1에 도시하는 정류기는, 2개의 다이오드에 의해 구성된 반파(半波) 정류기이다. 제 1 다이오드의 애노드는 저전위측의 기준 전위(바람직하게는 접지 전위)에 접속되고, 제 1 다이오드의 캐소드는 입력부와 제 2 다이오드의 애노드에 접속되고, 제 2 다이오드의 캐소드는 출력부에 접속되어 있다.
- [0220] 도 10c-1은 본 발명의 일 형태인 정류기의 일 구성예를 도시한다. 도 10c-1에 도시하는 정류기는, 4개의 다이오드에 의해 구성된 전파(全波) 정류기이다. 상기 4개의 다이오드 중, 좌측 위에 배치하는 다이오드를 기준으로 하여 시계 방향으로, 각각 제 1 다이오드 내지 제 4 다이오드로 한다. 제 1 다이오드의 애노드 및 제 4 다이오드의 애노드는 저전위측의 기준 전위(바람직하게는 접지 전위)에 접속되어 있다. 제 1 다이오드의 캐소드 및 제 2 다이오드의 애노드는 「제 1 입력부」에 접속되어 있다. 제 3 다이오드의 애노드 및 제 4 다이오드의 캐소드는 「제 2 입력부」에 접속되어 있다. 제 2 다이오드의 캐소드 및 제 3 다이오드의 캐소드는 「출력부」에 접속되어 있다.
- [0221] 파워 다이오드, 반파 정류기 및 전파 정류기에 사용하는 다이오드는, 상기의 실시형태에서 설명한 비선형 소자의 소스 전극 또는 드레인 전극으로서 기능하는 한 쌍의 제 2 전극(109a, 109b)의 한쪽을, 게이트 전극으로서 기능하는 제 1 전극(103)에 전기적으로 접속시킨(다이오드 접속시킨) 비선형 소자를 사용할 수 있다(도 11 참조). 이 때, 상기의 실시형태에서 설명한 비선형 소자를 n형의 비선형 소자로 하는 경우, 다이오드 접속시킨 전극을 애노드로 하고, 다이오드 접속되지 않은 전극을 캐소드로 한다.
- [0222] 도 11a는 다이오드 접속된 비선형 소자의 평면도이다. 도 11b는 도 11a의 I-J 사이에 있어서의 단면도이다. 도 11b로부터, 한 쌍의 제 2 전극(109a, 109b)을 포함하는 배선(110)이, 개구부(150)를 통하여 제 1 전극(103)을 포함하는 배선(104)과 전기적으로 접속되어 있다. 또한, 본 실시형태에서는 실시형태 1에서 설명한 트랜지스터(100)를 사용하여 설명하였지만, 실시형태 2 내지 실시형태 4에서 설명한 트랜지스터에서도, 마찬가지로 다이오드 접속시킬 수 있다.
- [0223] 도 10a-1의 파워 다이오드는, 다이오드 접속된 트랜지스터를 사용하여 도 10a-2에 도시하는 구성으로 할 수 있

다. 도 10b-1의 반파 정류기는, 다이오드 접속된 트랜지스터를 사용하여 도 10b-2에 도시하는 구성으로 할 수 있다. 도 10c-1의 전파 정류기는 다이오드 접속된 트랜지스터를 사용하여 도 10c-2에 도시하는 구성으로 할 수 있다.

[0224] 도 10a-2에 있어서, 파워 다이오드를 구성하는 트랜지스터는, 듀얼 게이트형이기 때문에 제 3 전극(113)(배선(114)도 포함)이 형성되어 있다(도 11 참조). 제어 신호(G1 내지 G5)가 주어지는 제 3 전극(113)의 각각은, 다이오드 접속된 각각의 트랜지스터의 임계값 전압을 제어한다. 도 10b-2 및 도 10c-2에 있어서도 마찬가지로, 각각의 트랜지스터에는 제 3 전극(113)이 형성되어 있기 때문에, 다이오드 접속된 각각의 트랜지스터는 제어 신호(G1 내지 G4)에 의해, 임계값 전압을 제어할 수 있다. 예를 들면, 상기의 실시형태에서 설명한 바와 같이 신뢰성의 관점에 있어서, 산화물 반도체를 사용한 트랜지스터는, 가시광 및 자외광의 조사, 열이나 전계가 가해짐으로써 전기 특성이 변화된다. 그 예로서 노멀리온화가 있다. 또한, 반파 정류기 및 전파 정류기를 n형 트랜지스터로 구성한 경우, 상기 n형 트랜지스터가 노멀리온화되면, 반파 정류기 및 전파 정류기는, 역바이어스가 인가된 상태에서도 전류가 흘러 버리게 되어 정상적인 정류 작용이 얻어지지 않게 된다. 그래서, 반파 정류기 및 전파 정류기를 구성하는 트랜지스터의 백 게이트 전극으로서 기능하는 제 3 전극(113)에 음전위를 인가함으로써, 노멀리온화를 억제할 수 있고, 역방향의 전류를 저감시켜 양호한 정류 작용을 얻을 수 있다.

[0225] 또한, 본 실시형태에서는 파워 다이오드 및 정류기를 구성하는 트랜지스터의 제 3 전극(113)은 각각의 트랜지스터에 대해 1 대 1의 관계로 제어 신호를 보내는 형태로 하고 있지만, 각각의 제 3 전극(113)을 전기적으로 하나에 접속되고, 파워 다이오드 및 정류기를 구성하는 각각의 트랜지스터에 동일한 제어 신호를 보내는 형태로 해도 좋다. 또한, 도면 중에 있어서, 파워 다이오드 및 정류기를 구성하는 트랜지스터에는, 산화물 반도체층을 갖는 트랜지스터인 것을 명기하기 위해서, 트랜지스터를 나타내는 회로 기호의 근방에 「OS」라고 표기한다.

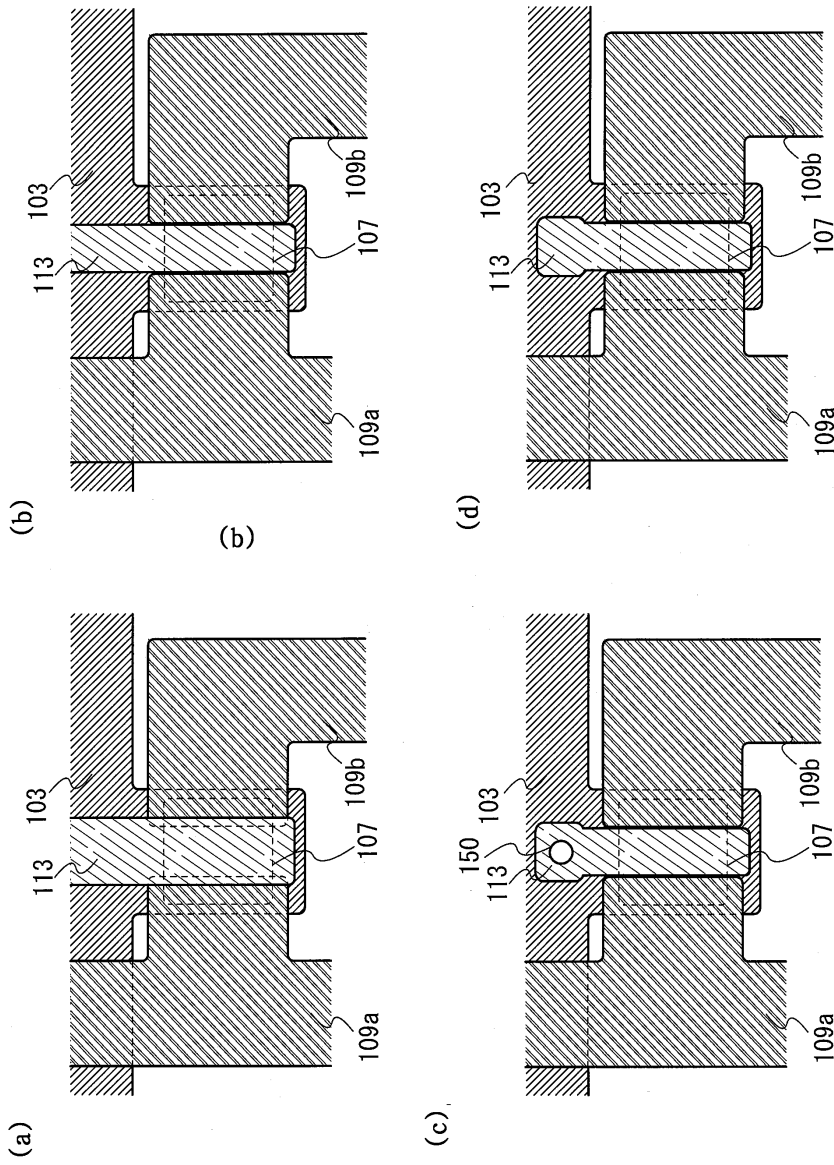
[0226] 또한, 본 실시형태에서 설명한 파워 다이오드 및 정류기를 구성하는 트랜지스터는, 산화물 반도체를 사용할 수 있기 때문에, 상기의 실시형태로부터, 상기 파워 다이오드 및 상기 정류기는 드레인 내압이 우수하고, 또한 높은 드레인 전류를 얻는 것이 가능하다.

[0227] 이상으로부터, 고내압, 저역방향 포화 전류 등의 특성을 가지고, 높은 온 전류를 얻는 것이 가능한 비선형 소자를 갖는 반도체 장치를 얻을 수 있다. 또한, 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

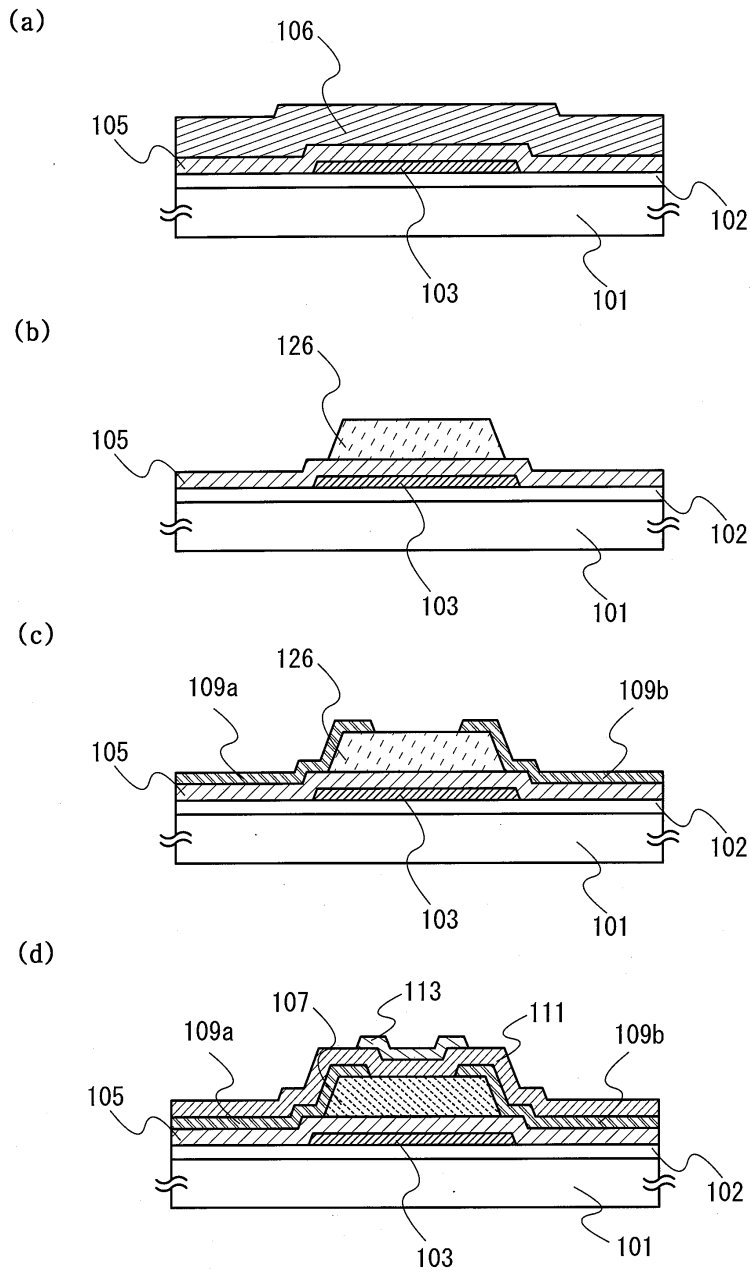
부호의 설명

- | | | |
|--------|-----------------------|-----------------------|
| [0228] | 10a 스퍼터 장치 | 10b 스퍼터 장치 |
| | 10c 스퍼터 장치 | 11 기판 공급실 |
| | 12a 로드록실 | 12b 로드록실 |
| | 13 반송실 | 14 카세트 포트 |
| | 15 기판 가열실 | 100 트랜지스터 |
| | 101 기판 | 102 하지 절연층 |
| | 103 제 1 전극 | 104 배선 |
| | 105 게이트 절연층 | 106 산화물 반도체막 |
| | 107 산화물 반도체층 | 107a 결정성 산화물 반도체층 |
| | 107b 결정성 산화물 반도체층 | 108 도전막 |
| | 109a 제 2 전극 | 109b 제 2 전극 |
| | 110 배선 | 111 절연층 |
| | 113 제 3 전극 | 114 배선 |
| | 115 막 | 117a n ⁺ 층 |
| | 117b n ⁺ 층 | 118 도전막 |

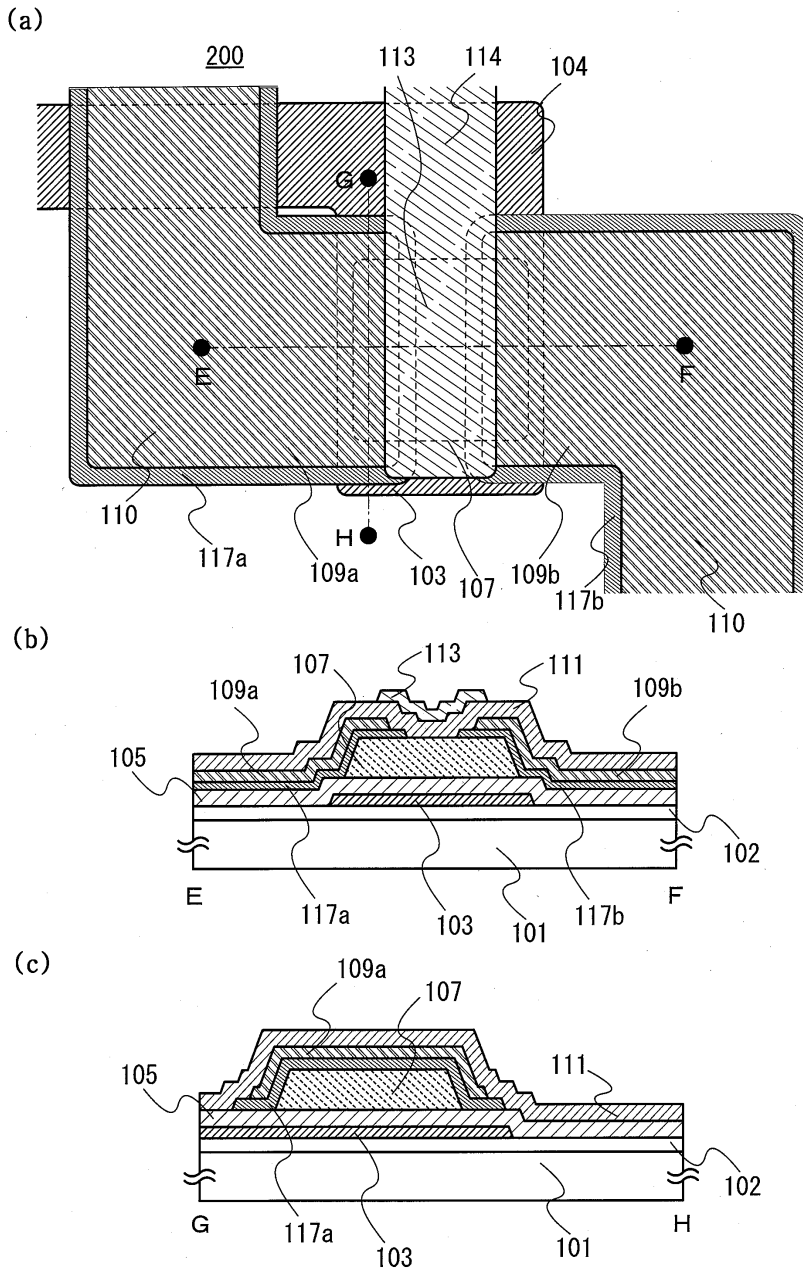
도면2



도면3

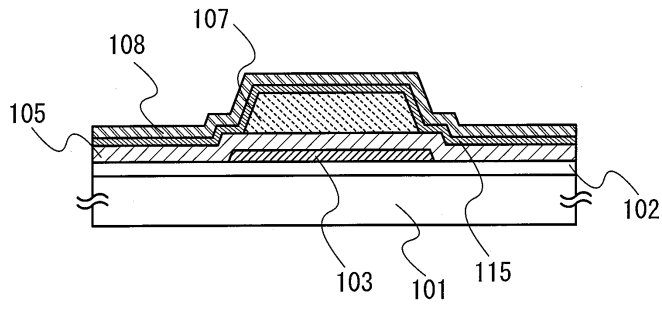


도면4

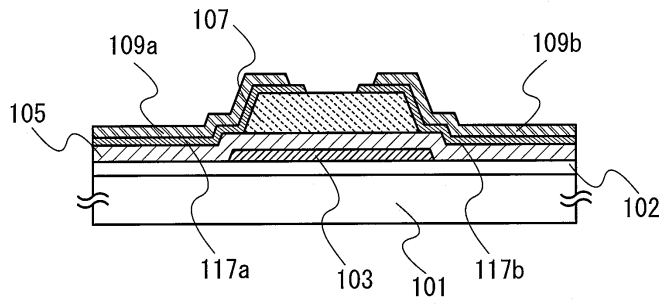


도면5

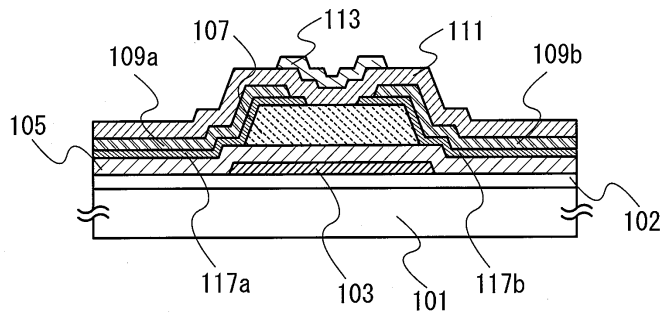
(a)



(b)



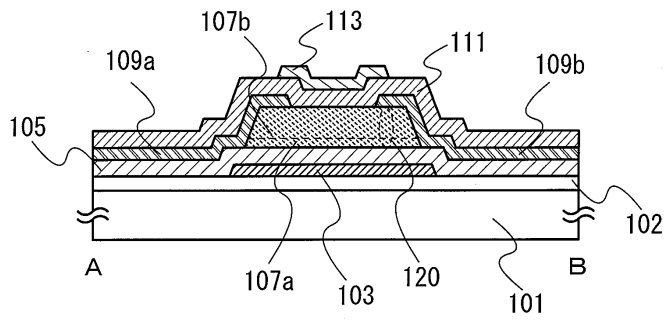
(c)



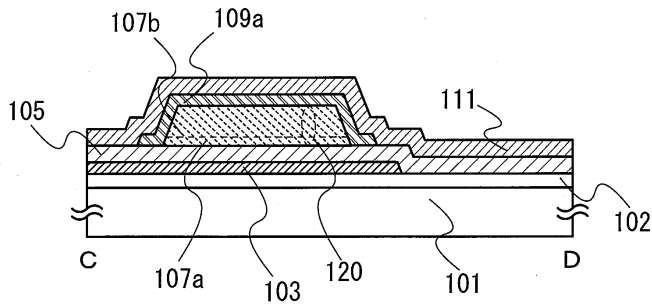
도면6

(a)

300

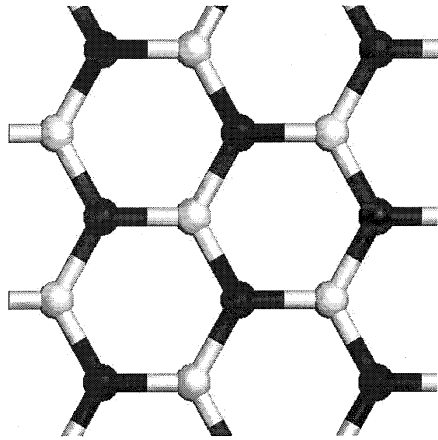


(b)

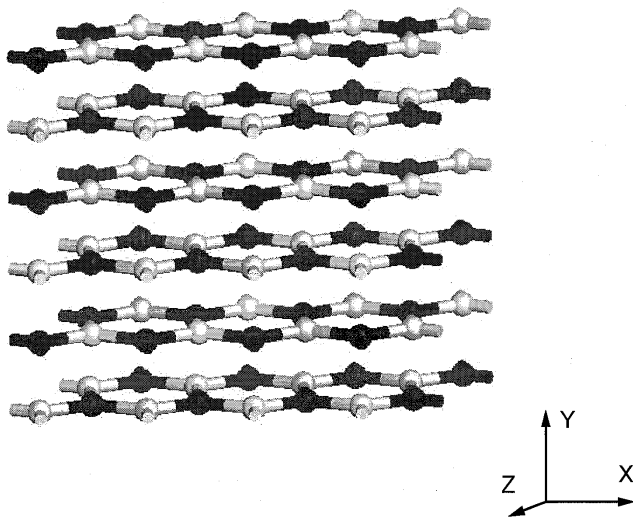


도면7

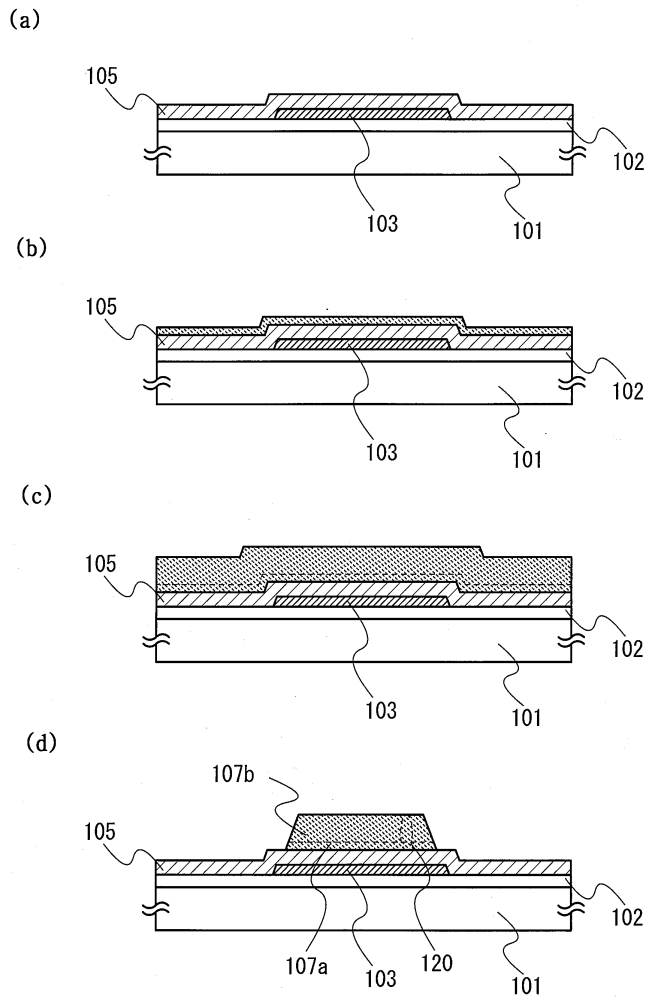
(a)



(b)

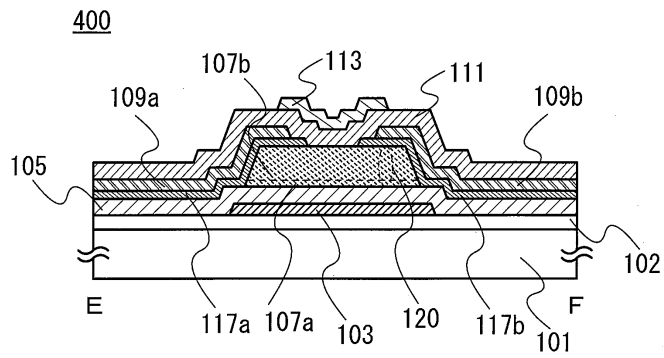


도면8

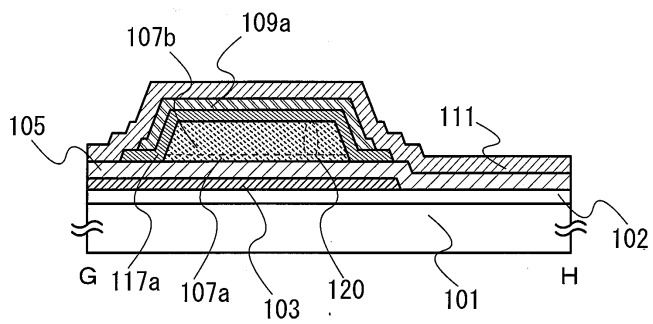


도면9

(a)



(b)

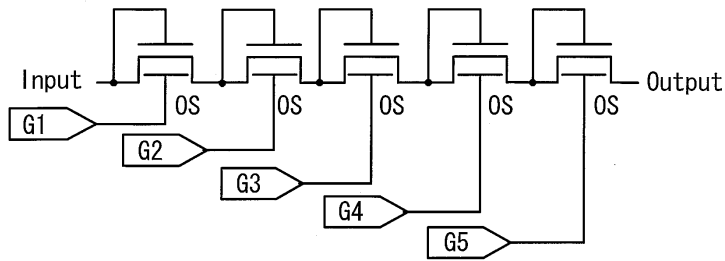


도면10

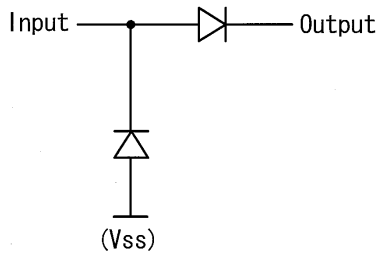
(a-1)



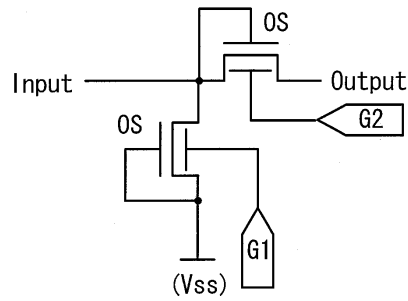
(a-2)



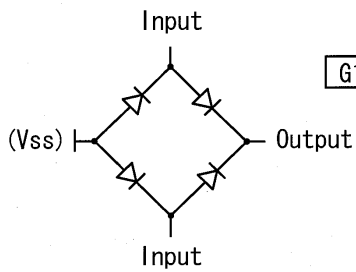
(b-1)



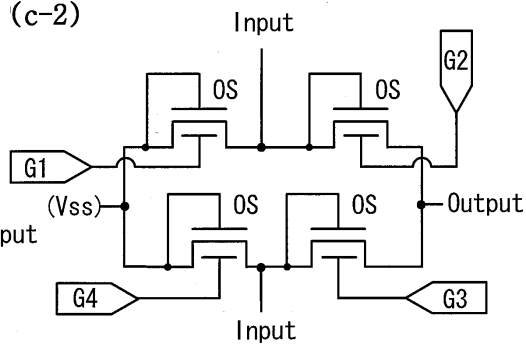
(b-2)



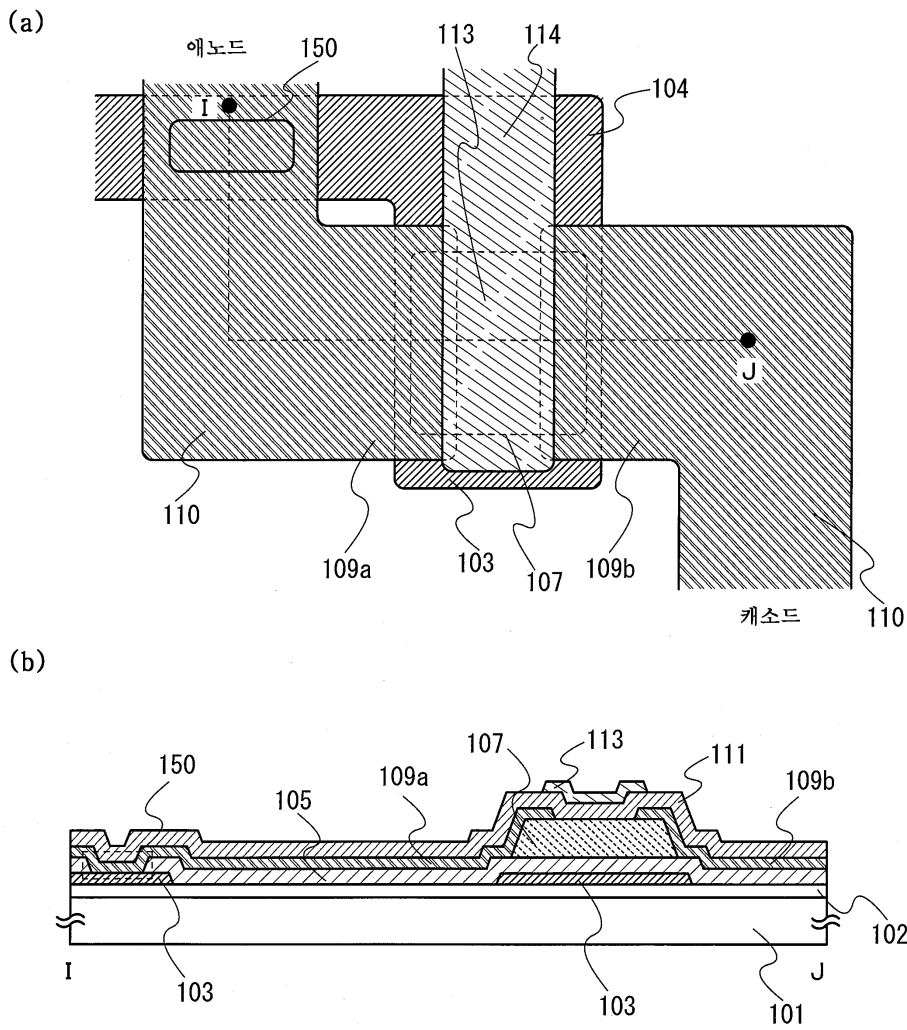
(c-1)



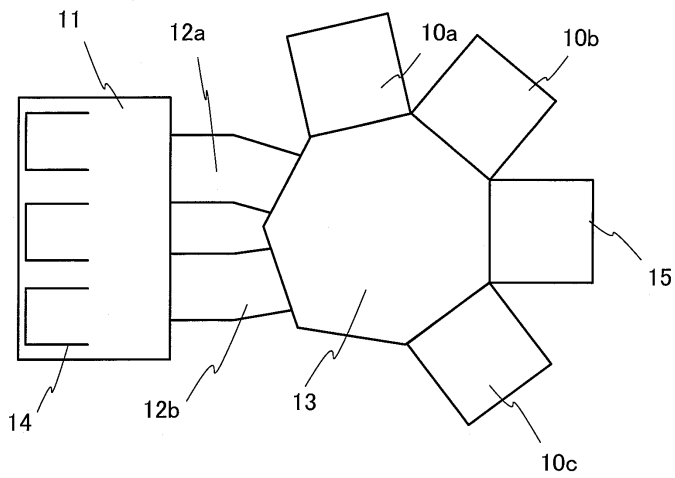
(c-2)



도면11

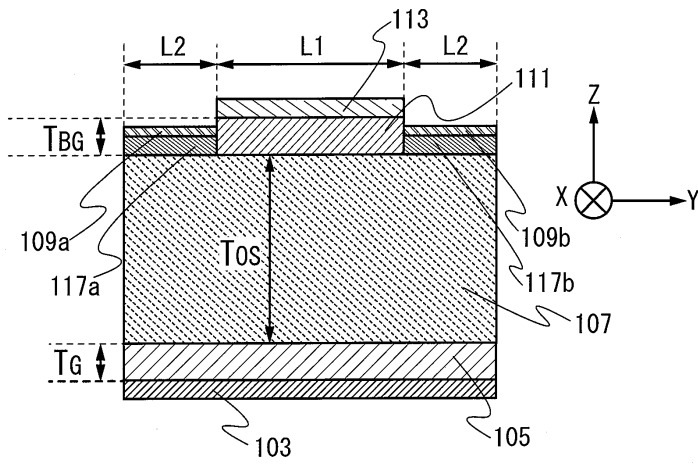


도면12

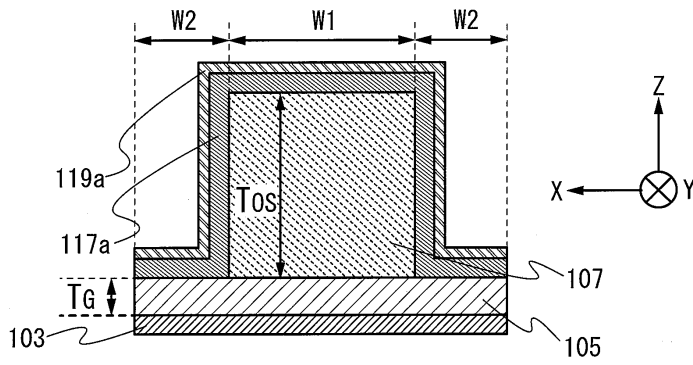


도면13

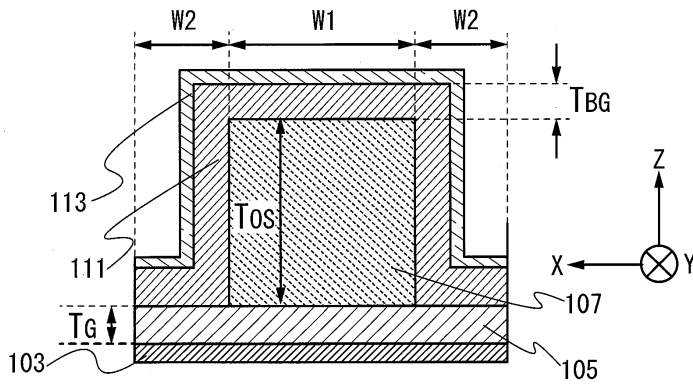
(a)



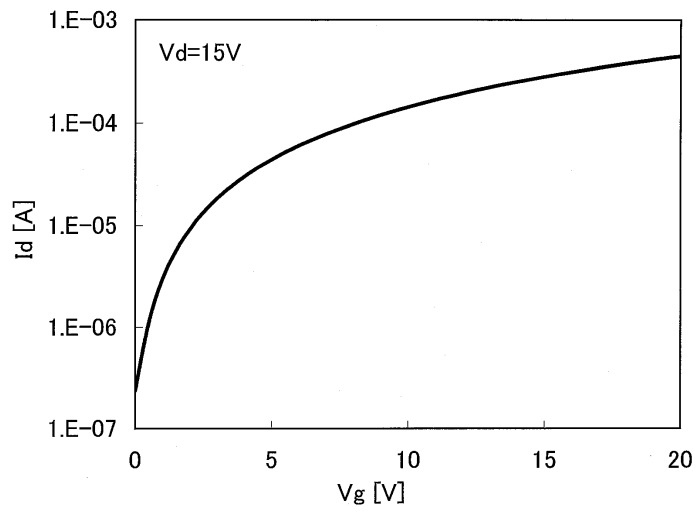
(b)



(c)

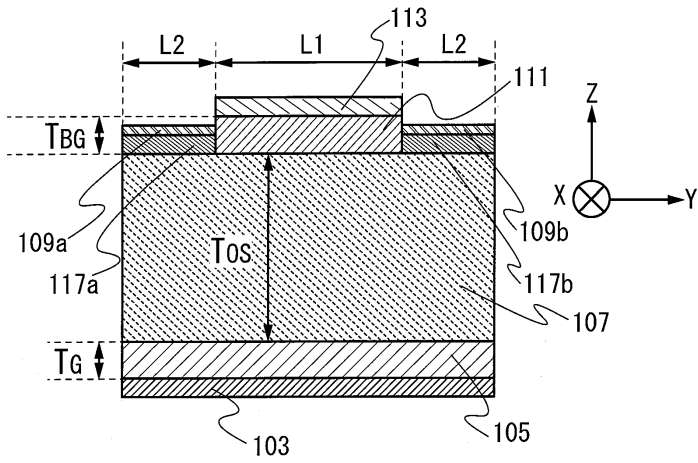


도면14

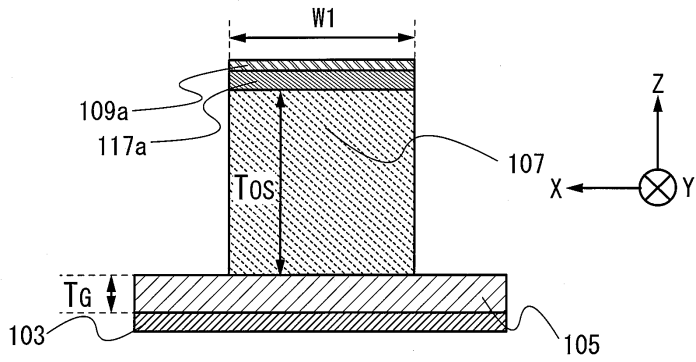


도면15

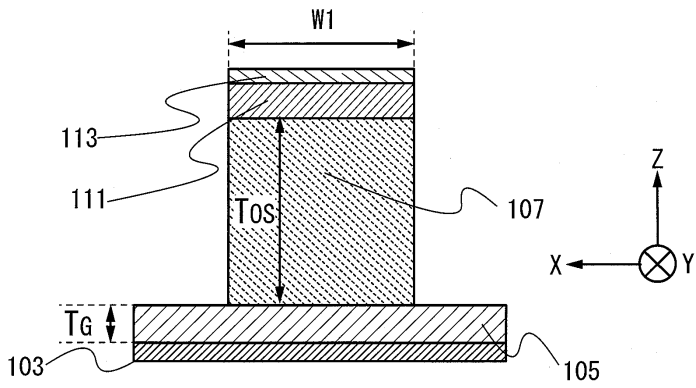
(a)



(b)

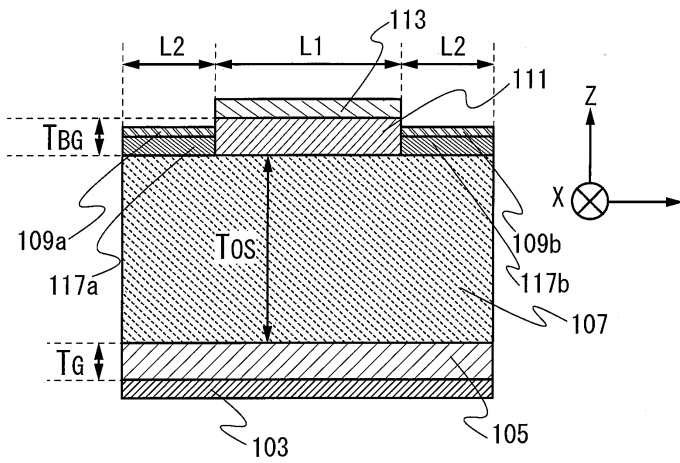


(c)

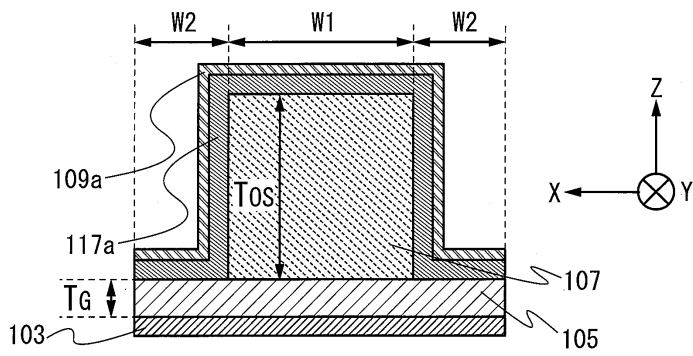


도면16

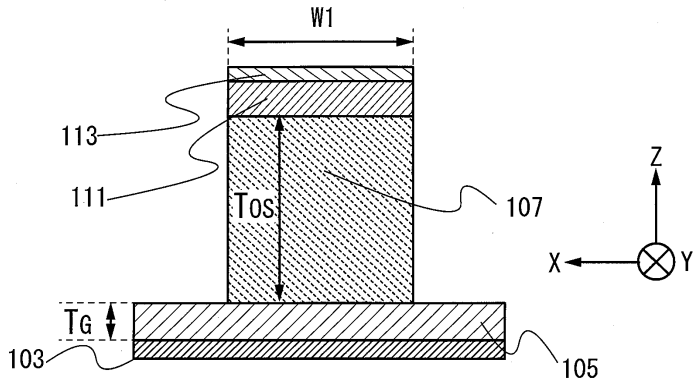
(a)



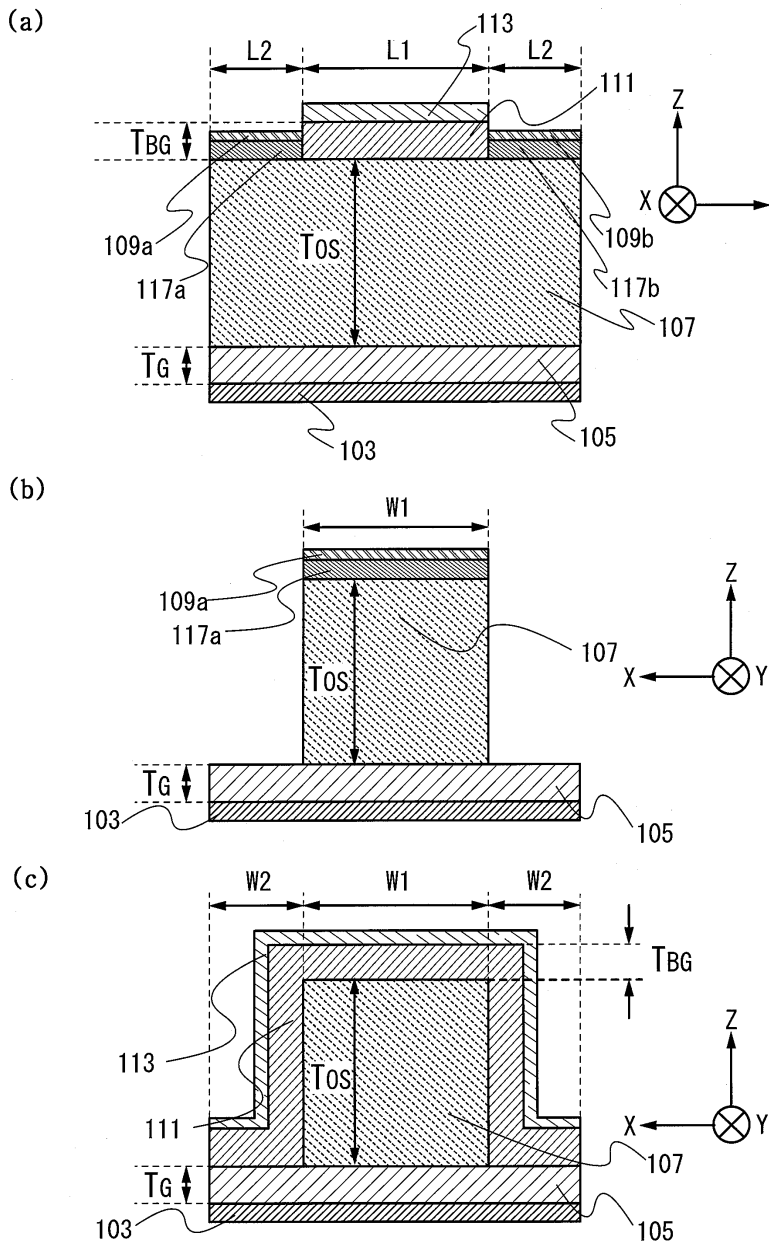
(b)



(c)



도면17



도면18

