

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年2月12日(12.02.2015)



(10) 国際公開番号

WO 2015/019525 A1

- (51) 国際特許分類:
H03G 3/10 (2006.01)
- (21) 国際出願番号: PCT/JP2014/002149
- (22) 国際出願日: 2014年4月16日(16.04.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-164186 2013年8月7日(07.08.2013) JP
- (71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者: 那須 貴文(NASU, Takafumi). 上村 晋一朗(UEMURA, Shinichiro).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル5階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

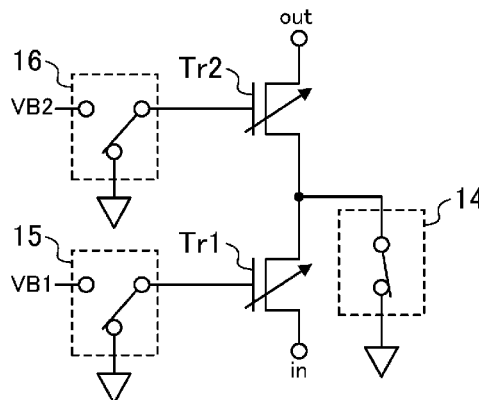
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: CASCODE-TYPE TRANSCONDUCTANCE AMPLIFIER AND VARIABLE GAIN CIRCUIT, AND TUNER SYSTEM PROVIDED WITH SAME

(54) 発明の名称: カスコード型トランスコンダクタンス増幅器、可変利得回路およびこれらを備えたチューナシステム



(57) Abstract: A variable gain transconductance amplifier is provided with an amplifying transistor (Tr1) connected to an input terminal, a cascode transistor (Tr2) having the source thereof connected to the drain of the amplifying transistor and the drain thereof connected to an output terminal, and a switching circuit (14) that can switch between connecting and not connecting, to a fixed potential, the node at which the amplifying transistor and the cascode transistor are connected. Further, a variable gain circuit (2) may be provided with the variable gain transconductance amplifier.

(57) 要約: 可変利得トランスコンダクタンス増幅器は、入力端に接続された増幅トランジスタ (Tr1) と、ソースが増幅トランジスタのドレインに接続され、ドレインが出力端に接続されたカスコードトランジスタ (Tr2) と、増幅トランジスタとカスコードトランジスタとが接続されるノードを固定電位に接続するか否かを切り替える切替回路 (14) とを備えている。また、可変利得回路 (2) は、その可変利得トランスコンダクタンス増幅器を備えていてもよい。



WO 2015/019525 A1

明 細 書

発明の名称：

カスコード型トランスコンダクタンス増幅器、可変利得回路およびこれらを備えたチューナシステム

技術分野

[0001] 本開示は、低歪化が可能なカスコード型トランスコンダクタンス増幅器および低歪化と低雑音化が可能な可変利得回路に関する。

背景技術

[0002] 複数のチャンネルにより構成される送信信号を受信し、所望チャンネルを選択して復調を行うチューナシステムには低雑音特性と低歪特性が要求される。例えば、日本の地上波デジタルテレビ放送（ISDB-T）は1チャンネル当たり6MHzの信号帯域で第13チャンネル（473.143MHz）から第52チャンネル（707.143MHz）までの計40チャンネルで構成されており、チューナシステムには各受信チャンネルにおいて-80dBm以下の感度特性が求められる一方で、妨害チャンネル入力レベルに対して50dBc以上の耐妨害波特性が求められる。

[0003] こうしたチューナシステムの受信特性は、アンテナなどで受信した直後のRF信号を処理する可変利得回路の雑音特性と歪特性で決まる。一方、モバイル端末に搭載されるチューナシステムでは、低消費電力化が求められる。

[0004] 可変利得回路として、信号強度に応じて、RF信号を2つの経路に切り替えて処理する構成が開示されている（例えば、特許文献1参照）。具体的には、信号強度が低い場合には、第1の経路におけるトランスコンダクタンス増幅器で信号が増幅される一方、信号強度が高い場合には、第2の経路における減衰器で信号が減衰されてから、当該経路に設けられたトランスコンダクタンス増幅器で信号が増幅される。

[0005] このように、信号強度が低い場合には、第1の経路をオン、かつ第2の経路をオフする一方、信号強度が高い場合には、第1の経路をオフ、かつ第2

の経路をオンすることで、低雑音化および低歪化が図られている。

先行技術文献

特許文献

[0006] 特許文献1：米国特許第8018285号明細書

発明の概要

発明が解決しようとする課題

[0007] しかしながら、特許文献1の構成において信号強度が高い場合、オフしているはずの第1の経路のトランスコンダクタンス増幅器が、信号の振幅に起因して断続的にオンしてしまい、歪みを生じた信号が第1の経路から出力に漏れ出してしまうため、結果として、可変利得回路の歪特性が劣化することになる。また、トランスコンダクタンス増幅器としてゲート接地型増幅器を用いた場合には、入力インピーダンスの変動が顕著になるため、第2の経路におけるトランスコンダクタンス増幅器の入力で信号が歪んでしまう。これらのことは、可変利得回路の低消費電力化のために、閾値電圧が低いトランジスタを用いるとより顕著になるため、特許文献1の可変利得回路では低消費電力化が困難である。

[0008] かかる点に鑑みて、本開示は、低歪化が可能なカスコード型トランスコンダクタンス増幅器を提供することを課題とする。また、低雑音化および低歪化、ならびに低消費電力化が可能な可変利得回路を提供することを課題とする。

課題を解決するための手段

[0009] 上記課題を解決するため本開示によって次のような解決手段を講じた。すなわち、カスコード型トランスコンダクタンス増幅器は、入力端に接続された増幅トランジスタと、ソースが前記増幅トランジスタのドレインに接続され、ドレインが出力端に接続されたカスコードトランジスタと、前記増幅トランジスタと前記カスコードトランジスタとが接続されるノードを固定電位に接続するか否かを切り替える切替回路とを備えている。

- [0010] これによると、入力端と出力端との間に接続された、増幅トランジスタおよびカスコードトランジスタの接続ノードを、切替回路によって、固定電位に接続するか否かを切り替えることができる。
- [0011] 例えば、振幅が大きい信号が入力された場合、接続ノードと固定電位とを接続するように切替回路を制御すると、増幅トランジスタを通った信号は、切替回路を介して固定電位に抜けるため、カスコードトランジスタを通過して出力端に漏れ出すことがない。一方、振幅が小さい信号が入力された場合、接続ノードと固定電位との接続を解除するように切替回路を制御すると、その信号を、増幅トランジスタおよびカスコードトランジスタを通して出力端に送出することができる。
- [0012] これを前記第1の経路の増幅器として用いることで、第1の経路がオフ状態である場合に振幅の大きな信号が入力されても、第1の経路を通じて歪みを生じた信号が出力されず、前記可変利得回路の歪特性を良好に保つことができる。
- [0013] さらに、大きな振幅の信号が入力されても歪み特性を良好に保てることから、可変利得回路において閾値電圧が低いトランジスタを用いることができる。
- [0014] これらにより、可変利得回路において、低歪化および低消費電力化が可能となる。
- [0015] また、入力端子と出力端子との間に並列接続された、信号の増幅が可能な第1および第2の経路を備えた可変利得回路は、前記第1の経路は、前記入力端子に接続され、入力された信号を可変減衰量で減衰させる第1の可変減衰器と、前記第1の可変減衰器と前記出力端子との間に接続され、前記第1の可変減衰器の出力を増幅する第1の可変利得トランスコンダクタンス増幅器とを有し、前記第2の経路は、入力された信号を可変減衰量で減衰させる第2の可変減衰器と、前記第2の可変減衰器と前記出力端子との間に接続され、前記第2の可変減衰器の出力を増幅する第2の可変利得トランスコンダクタンス増幅器とを有し、前記第2の可変減衰器の入力側は、前記入力端子

、あるいは前記第１の可変減衰器と前記第１の可変利得トランスコンダクタンス増幅器との間に接続されており、前記第１の可変利得トランスコンダクタンス増幅器の最大利得は、前記第２の可変利得トランスコンダクタンス増幅器の最大利得よりも大きい。

[0016] これによると、第１の経路および第２の経路には、可変減衰器と可変利得トランスコンダクタンス増幅器とが設けられている。また、第１の可変利得トランスコンダクタンス増幅器の最大利得は、第２の可変利得トランスコンダクタンス増幅器の最大利得よりも大きくなるように設定されている。可変利得回路に信号が入力されると、その信号は、第１および第２の経路を經由して出力される。ここで、例えば、入力信号の振幅が大きい場合、第１の経路において、第１の可変減衰器をオンし、第１の可変利得トランスコンダクタンス増幅器をオフする一方、第２の経路において、第２の可変減衰器および第２の可変利得トランスコンダクタンス増幅器をともにオンする。

[0017] この場合、第１の経路において、第１の可変利得トランスコンダクタンス増幅器への入力、第１の可変減衰器の出力であるため、入力信号の振幅が大きくても、第１の可変利得トランスコンダクタンス増幅器に入力される信号は、第１の可変減衰器によって減衰される。したがって、信号の振幅に起因して、第１の可変利得トランスコンダクタンス増幅器が断続的にオンするのを抑制することができるため、信号を低歪化することができる。

[0018] さらに、第１の可変利得トランスコンダクタンス増幅器で扱われる信号の振幅は第１の可変減衰器によって小さくなるため、可変利得回路において閾値電圧が低いトランジスタを用いることができる。

[0019] これらにより、可変利得回路において、低歪化および低消費電力化が可能となる。

[0020] また、例えば、入力信号の振幅が小さい場合、第１の経路において、第１の可変減衰器をオフし、第１の可変利得トランスコンダクタンス増幅器をオンする一方、第２の経路において、第２の可変減衰器をオフし、第２の可変利得トランスコンダクタンス増幅器をオンする。

[0021] この場合、第1および第2の経路において、入力信号は、減衰されずに増幅される。特に、第1の可変利得トランスコンダクタンス増幅器での増幅が大きいため、低雑音化が可能となる。

[0022] また、第2の可変減衰器の入力側を、第1の可変減衰器と第1の可変利得トランスコンダクタンス増幅器との間、すなわち第1の可変減衰器の出力側に接続するようにすれば、第2の経路において、信号を、第1および第2の可変減衰器によって減衰することができる。したがって、第2の可変減衰器の減衰量が少なく済み、結果として、可変利得回路の面積を縮小することができる。

[0023]あるいは、チューナシステムは、上記カスコード型トランスコンダクタンス増幅器および上記可変利得回路の少なくとも一方を備えている。

[0024]これによると、チューナシステムにおいて、低雑音化、低歪化、および低消費電力化を図ることができる。

発明の効果

[0025] 本開示によれば、低歪化が可能なカスコード型トランスコンダクタンス増幅器を提供できるとともに、低雑音化、低歪化および低消費電力化が可能な可変利得回路を提供することができる。

図面の簡単な説明

[0026] [図1]図1は、第1の実施形態に係る可変利得回路の構成図である。

[図2]図2は、第1の実施形態の変形例に係る可変利得回路の構成図である。

[図3]図3は、図1の可変利得トランスコンダクタンス増幅器の構成例を示す図である。

[図4]図4は、図1の可変利得トランスコンダクタンス増幅器の別の構成例を示す図である。

[図5]図5は、図1の可変利得トランスコンダクタンス増幅器の別の構成例を示す図である。

[図6]図6は、図1のG_m6の別の構成例を示す図である。

[図7]図7は、図1のG_m6の別の構成例を示す図である。

[図8]図8は、図1のGm6の別の構成例を示す図である。

[図9]図9は、図1の可変減衰器の構成例を示す図である。

[図10]図10は、図1の可変減衰器の別の構成例を示す図である。

[図11]図11は、図1の可変減衰器の別の構成例を示す図である。

[図12]図12は、図1の可変減衰器の別の構成例を示す図である。

[図13]図13は、図1の可変利得回路の別の動作例を説明するための図である。

[図14]図14は、第2の実施形態に係るチューナシステムの構成図である。

発明を実施するための形態

[0027] <第1の実施形態>

図1は、第1の実施形態に係る可変利得回路の構成図である。本実施形態に係る可変利得回路2は、入力端子S_{in}に入力された信号を増幅して出力端子S_{out}から出力する。入力端子S_{in}には、アンテナ等で受信された信号が入力される。

[0028] 具体的に、可変利得回路2は、入力端子S_{in}と出力端子S_{out}との間に並列接続された、第1の経路P1および第2の経路P2を有する。

[0029] 第1の経路P1は、入力端子S_{in}に接続された可変減衰器4（以下、ATT4と略記する）と、ATT4と出力端子S_{out}との間に接続された可変利得トランスコンダクタンス増幅器6（以下、Gm6と略記する）とを有する。

[0030] ATT4は、入力された信号を可変減衰量で減衰可能に構成されている。Gm6は、ATT4の出力を可変利得で増幅可能に構成されている。

[0031] 第2の経路P2は、入力端子S_{in}に接続された可変減衰器8（以下、ATT8と略記する）と、ATT8と出力端子S_{out}との間に接続された可変利得トランスコンダクタンス増幅器10（以下、Gm10と略記する）とを有する。

[0032] ATT8は、入力された信号を可変減衰量で減衰可能に構成されている。Gm10は、ATT8の出力を可変利得で増幅可能に構成されている。そし

て、 G_{m10} の最大利得は、 G_{m6} の最大利得よりも小さくなるように設定されている。

[0033] なお、 $ATT4$ 、 $ATT8$ および G_{m6} 、 G_{m10} の構成例については後述する。

[0034] また、可変利得回路2は、出力端子 S_{out} に接続された負荷11と制御回路12とを有する。

[0035] 制御回路12は、例えば出力端子 S_{out} から出力される信号に基づいて、 $ATT4$ 、 $ATT8$ の減衰量および G_{m6} 、 G_{m10} の利得を制御する。なお、制御回路12によって信号レベルを検出する場所は可変利得回路2の出力端子 S_{out} 以外であってもよい。

[0036] 本実施形態に係る可変利得回路2の動作について説明する。例えば、アンテナで受信される信号が弱電界である場合、つまり、入力端子 S_{in} への入力信号の振幅が小さい場合、制御回路12は、 $ATT4$ 、 $ATT8$ とともにオフするように制御する。これにより、 $ATT4$ 、 $ATT8$ は入力された信号をそのままスルーする。

[0037] また、制御回路12は、 G_{m6} 、 G_{m10} の利得が、例えば最大利得となるように制御する。これにより、 G_{m6} は、入力信号を G_{m10} よりも大きな最大利得で増幅するとともに、 G_{m10} は、自身の最大利得で入力信号を増幅する。

[0038] そして、 G_{m6} 、 G_{m10} の出力が合成され、合成された信号が出力端子 S_{out} から出力される。

[0039] ここで、 G_{m6} の最大利得は G_{m10} の最大利得よりも大きく設定されている。したがって、 S/N 比が低い信号が入力された場合でも、 $ATT4$ で減衰させることなく G_{m6} によって増幅可能であるため、低雑音化が可能である。

[0040] 一方、アンテナで受信される信号が強電界である場合、つまり、入力端子 S_{in} への入力信号の振幅が大きい場合、制御回路12は、 $ATT4$ 、 $ATT8$ をオンするように制御する。したがって、 $ATT4$ 、 $ATT8$ は、入力

信号を所定の減衰量で減衰する。

[0041] また、制御回路12は、Gm6をオフする一方、Gm10をオンするように制御する。このような制御により、Gm6への入力はATT4によって減衰されるため、信号の振幅に起因してGm6がオンするのを抑制することができる。これにより、Gm6の入力側で信号が歪んだり、歪みを生じた信号がオフ状態であるGm6から出力端子Soutへ漏れ出したりすることを抑制することができる。したがって、可変利得回路2の低歪化が可能である。

[0042] また、入力信号の振幅が大きい場合でもATT4によってGm6に入力される信号の振幅が抑圧されるため、閾値電圧が低いトランジスタを用いてGm6を構成することができる。これにより、Gm6の消費電力を低減することができる。結果として、可変利得回路2の低消費電力化を図ることができる。

[0043] 以上、本実施形態によると、第1の経路P1にATT4とGm6とを設け、第2の経路P2にATT8とGm10とを設け、Gm6の最大利得がGm10の最大利得よりも大きくなるように設定している。そして、入力端子Sinへの入力信号の振幅が小さい場合には、ATT4、ATT8をオフするとともに、Gm6、Gm10をオンする一方、振幅が大きい場合には、ATT4、ATT8、およびGm10をオンするとともに、Gm6をオフするように制御している。

[0044] これにより、上述したように、雑音特性、歪特性を良好に保ちながらも、低消費電力化が可能な可変利得回路2を提供することができる。

[0045] なお、本実施形態では、ATT8の入力側を、入力端子Sinに接続しているが、図2に示すように、ATT8の入力側を、ATT4とGm6との間に接続してもよい。つまり、第1の経路P1および第2の経路P2によって、ATT4を共有するように構成してもよい。

[0046] これにより、第2の経路P2において、入力端子Sinへの入力信号は、その振幅が大きい場合、ATT4、ATT8によって減衰される。したがって、ATT8の減衰量はATT4の減衰量よりも少なく済むため、ATT

8の面積を削減することができる。結果として、可変利得回路2の面積を縮小することができる。

[0047] 次に、 G_m6 および G_m10 、ならびに $ATT4$ および $ATT8$ の構成例について、図を参照しながら説明する。なお、以下の説明における固定電位とは、例えば接地電位である。

[0048] < G_m6 および G_m10 の構成例>

以下、 G_m6 および G_m10 の具体例について、図3～図8を用いて説明する。

[0049] ー構成例1ー

図3は、図1の可変利得トランスコンダクタンス増幅器の構成例を示す図である。具体的に、 G_m6 、 G_m10 としての可変利得トランスコンダクタンス増幅器は、図3に示すように、増幅トランジスタとしてのトランジスタ $Tr1$ と、カスコードトランジスタとしてのトランジスタ $Tr2$ とを有する。トランジスタ $Tr1$ 、 $Tr2$ は、例えばNchトランジスタである。

[0050] トランジスタ $Tr1$ は、ソースが可変利得トランスコンダクタンス増幅器の入力端 i_n に接続され、ゲートがバイアス電圧 V_{B1} に接続されている。つまり、トランジスタ $Tr1$ は、ゲート接地型増幅トランジスタとして動作する。

トランジスタ $Tr2$ は、ソースがトランジスタ $Tr1$ のドレインに接続され、ドレインが可変利得トランスコンダクタンス増幅器の出力端 out に接続され、ゲートがバイアス電圧 V_{B2} に接続されている。なお、バイアス電圧 V_{B1} およびバイアス電圧 V_{B2} の大きさは任意である。

[0051] 図1の G_m6 および G_m10 として、図3の構成を用いることで、アンテナと図3の回路との整合（インピーダンスマッチング）が良好になる。

[0052] ここで、 G_m6 の増幅トランジスタ $Tr1$ のサイズは、 G_m10 の増幅トランジスタ $Tr1$ のサイズよりも大きくなるように設定されている。これにより、 G_m6 の最大利得を、 G_m10 の最大利得よりも大きくすることができる。

[0053] なお、 G_{m6} 、 G_{m10} について、 G_{m6} の最大利得が G_{m10} の最大利得よりも大きくなるような構成であればよい。

[0054] ー構成例2ー

図4は、図1の可変利得トランスコンダクタンス増幅器の別の構成例を示す図である。図4では、図3との相違点について主に説明する。

[0055] トランジスタ T_{r1} は、ゲートが可変利得回路の入力端 i_n に接続されるとともに、抵抗素子を介してバイアス電圧 V_{B1} に接続され、ソースが固定電位に接続されている。つまり、トランジスタ T_{r1} は、ソース接地型トランジスタとして動作する。

[0056] このように、トランジスタ T_{r1} をソース接地型とすることで、可変利得トランスコンダクタンス増幅器の雑音特性が良好となる。

[0057] ー構成例3ー

図5は、図1の可変利得トランスコンダクタンス増幅器の別の構成例を示す図である。図5に示すように、図1の G_{m6} および G_{m10} は、差動信号を処理するように構成されていてもよい。この場合、例えば、差動信号を生成する回路を可変利得トランスコンダクタンス増幅器の内部あるいは前段に設ければよい。図5では、図3との相違点について主に説明する。

[0058] 図5の可変利得トランスコンダクタンス増幅器は、トランジスタ T_{r1} 、 T_{r2} に加え、トランジスタ T_{r3} と、トランジスタ T_{r4} と、容量素子 C_1 、 C_2 とを有する。

[0059] トランジスタ T_{r1} は、ソースが可変利得トランスコンダクタンス増幅器の入力端 i_{n_p} に接続されている。トランジスタ T_{r2} は、ゲートがトランジスタ T_{r1} のゲートに接続され、ドレインが可変利得トランスコンダクタンス増幅器の出力端 $o_{u\_t\_p}$ に接続されている。

[0060] トランジスタ T_{r3} は、トランジスタ T_{r1} と差動対を構成する差動増幅トランジスタであり、ソースが可変利得トランスコンダクタンス増幅器の差動入力端 i_{n_n} に接続されている。

[0061] トランジスタ T_{r4} は、トランジスタ T_{r2} と差動対を構成する差動カス

コードトランジスタであり、ソースがトランジスタ T_{r3} のドレインに接続され、ドレインが可変利得トランスコンダクタンス増幅器の差動出力端 out_n に接続されている。

[0062] また、トランジスタ T_{r1} のソースは、容量素子 $C1$ を介してトランジスタ T_{r3} のゲートに接続されており、トランジスタ T_{r3} のソースは容量素子 $C2$ を介してトランジスタ T_{r1} のゲートに接続されている。

[0063] トランジスタ T_{r1} 、 T_{r3} のゲートはバイアス電圧 V_{B1} に接続されており、トランジスタ T_{r2} 、 T_{r4} のゲートはバイアス電圧 V_{B2} に接続されている。

[0064] 図1の G_{m6} および G_{m10} を図5のように構成することで、図3および図4の構成の双方の効果を得ることができる。

[0065] なお、トランジスタ T_{r1} 、 T_{r2} の中間ノードを固定電位に接続可能な構成としてもよい。以下、このような構成について説明する。

[0066] ー構成例4ー

図6は、図1の G_{m6} の別の構成例を示す図である。図6では、図3との相違点について主に説明する。

[0067] 図6の可変利得トランスコンダクタンス増幅器は、トランジスタ T_{r1} 、 T_{r2} に加え、切替回路としての、例えば Nch トランジスタであるスイッチ14を有する。また、可変利得トランスコンダクタンス増幅器は、トランジスタ T_{r1} のゲートを固定電位あるいはバイアス電圧 V_{B1} に接続するスイッチ15と、トランジスタ T_{r2} のゲートを固定電位あるいはバイアス電圧 V_{B2} に接続するスイッチ16とを有する。

[0068] スイッチ14は、トランジスタ T_{r1} 、 T_{r2} の中間ノードを固定電位に接続するか否かを切り替える。

[0069] スイッチ14、15、16は図1に示す制御回路12によって制御される。具体的に、図1の G_{m6} がオフ状態である場合、制御回路12は、スイッチ14をオンして中間ノードを固定電位に接続する。また、制御回路12は、スイッチ15、16の少なくとも一方を、固定電位に接続する。

[0070] 一方、 G_m6 がオン状態である場合、制御回路12は、スイッチ14をオフして中間ノードと固定電位との接続を解除する。また、スイッチ15をバイアス電圧 V_{B1} に、スイッチ16をバイアス電圧 V_{B2} に接続するように制御する。

[0071] このような構成により、オフ状態である場合に、入力端 i_n から出力端 o_u に歪みが漏れ出すことを抑制することができる。したがって、図6の構成の可変利得トランスコンダクタンス増幅器を、図1の G_m6 として用いることで、可変利得回路2の歪特性をより向上させることができる。

[0072] ー構成例5ー

図7は、図1の G_m6 の別の構成例を示す図である。図7では、図4との相違点について主に説明する。

[0073] 図7の可変利得トランスコンダクタンス増幅器は、トランジスタ T_{r1} 、 T_{r2} に加え、トランジスタ T_{r1} 、 T_{r2} の中間ノードを固定電位に接続するか否かを切り替えるスイッチ14を有する。また、可変利得トランスコンダクタンス増幅器は、トランジスタ T_{r1} のゲートに接続された抵抗素子の他端を固定電位あるいはバイアス電圧 V_{B1} に接続するスイッチ15、およびトランジスタ T_{r2} のゲートを固定電位あるいはバイアス電圧 V_{B2} に接続するスイッチ16を有する。

[0074] ー構成例6ー

図8は、図1の G_m6 の別の構成例を示す図である。図8では、図5との相違点について主に説明する。

[0075] 図8の可変利得トランスコンダクタンス増幅器は、トランジスタ $T_{r1} \sim T_{r4}$ に加え、トランジスタ T_{r1} 、 T_{r2} の中間ノード、およびトランジスタ T_{r3} 、 T_{r4} の中間ノードを固定電位接続するか否かを切り替えるスイッチ14を有する。

[0076] また、可変利得トランスコンダクタンス増幅器は、トランジスタ T_{r1} 、 T_{r3} のゲートを固定電位あるいはバイアス電圧 V_{B1} に接続するスイッチ15と、トランジスタ T_{r2} 、 T_{r4} のゲートを固定電位あるいはバイアス

電圧 V_{B2} に接続するスイッチ16とを有する。

[0077] 以上、オフ状態に G_{m6} における図6～図8のトランジスタ T_{r1} , T_{r2} 、および図8のトランジスタ T_{r3} , T_{r4} の中間ノードを接地可能とすることで、可変利得回路2の歪特性を向上させることができる。

[0078] なお、図6～図8において、スイッチ15, 16のいずれかを省略してもよい。この場合、トランジスタ T_{r1} , T_{r2} 、およびトランジスタ T_{r3} , T_{r4} のゲートには、それぞれのバイアス電圧 V_{B1} , V_{B2} が接続されていてもよい。

[0079] <ATT4およびATT8の構成例>

次に、ATT4およびATT8の具体例について、図9～図12を用いて説明する。

[0080] ー構成例1ー

図9は、図1の可変減衰器の構成例を示す図である。ATT4, ATT8としての可変減衰器は、図9に示すように、抵抗素子 R と、経路 $RP1 \sim RPn$ (n は自然数)とを有する。

[0081] 抵抗素子 R は、可変減衰器の入力端 i_n および出力端 out との間に設けられる。経路 $RP1 \sim RPn$ は、入力端 i_n および出力端 out の間と固定電位との間を並列に接続可能に構成されている。

[0082] 具体的に、経路 $RP1 \sim RPn$ は、それぞれに対応する抵抗素子 $R1 \sim Rn$ と、抵抗素子 $R1 \sim Rn$ のそれぞれに接続されるスイッチ $S1 \sim Sn$ とを有する。可変減衰器は、図1の制御回路12によってスイッチ $S1 \sim Sn$ がオンオフ制御されることで、減衰量が可変となる。

[0083] なお、入力端 i_n は、図1の可変利得回路2の入力端子 S_{in} に接続される。

[0084] ー構成例2ー

図10は、図1の可変減衰器の別の構成例を示す図である。図10に示すように、可変減衰器の雑音特性をより良好に保つために、図9に示す抵抗素子 R を省略し、入力信号源インピーダンスとの組み合わせで減衰器を構成し

てもよい。

[0085] －構成例３－

図１１は、図１の可変減衰器の別の構成例を示す図である。図１１に示すように、図９に示す抵抗素子 R 、 $R_1 \sim R_n$ を容量素子 C 、 $C_1 \sim C_n$ に換えてもよい。

[0086] 具体的に、 ATT_4 および ATT_8 としての可変減衰器は、図１１に示すように、容量素子 C と、経路 $CP_1 \sim CP_n$ とを有する。

[0087] 容量素子 C は、可変減衰器の入力端 in および出力端 out との間に設けられる。経路 $CP_1 \sim CP_n$ は、入力端 in および出力端 out の間と固定電位との間を並列に接続可能に構成されている。

[0088] 経路 $CP_1 \sim CP_n$ は、それぞれに対応する容量素子 $C_1 \sim C_n$ と、容量素子 $C_1 \sim C_n$ のそれぞれに接続されるスイッチ $S_1 \sim S_n$ とを有する。

[0089] －構成例４－

図１２は、図１の可変減衰器の別の構成例を示す図である。図１２に示す可変減衰器は、図９の可変減衰器と図１１の可変減衰器とを組み合わせた構成となっている。具体的に、可変減衰器は、抵抗素子 $R_1 \sim R_n$ およびこれらに対応するスイッチ $SR_1 \sim SR_n$ を有する経路 $RP_1 \sim RP_n$ と、容量素子 C と、容量素子 $C_1 \sim C_n$ およびこれらに対応するスイッチ $SC_1 \sim SC_n$ を有する経路 $CP_1 \sim CP_n$ とを有していてもよい。

[0090] なお、経路 $RP_1 \sim RP_n$ の数と経路 $CP_1 \sim CP_n$ の数は異なってもよい。

[0091] このように構成することで、可変減衰器の減衰量の可変範囲を拡張することができる。

[0092] 以上、図９～図１２に示すように、 ATT_4 、 ATT_8 は、抵抗素子とスイッチからなるスイッチ抵抗回路を複数個並列に接続して構成し、抵抗分圧によって減衰量を可変としてもよい。また、 ATT_4 、 ATT_8 は、容量素子とスイッチからなるスイッチ容量回路を複数個並列に接続して構成し、容量分圧によって減衰量を可変としてもよい。さらに、スイッチ抵抗回路とス

イチ容量回路とを組み合わせてもよい。

[0093] また、図9～図12において、経路 $RP1 \sim RPn$ および経路 $CP1 \sim CPn$ のいずれか1つの経路にスイッチが設けられていればよい。

[0094] また、図9～図12において、可変減衰器の入力端 i_n および出力端 o_u tの間と固定電位との間の経路は1つでもよく、その経路に、抵抗素子および容量素子の少なくとも一方と、スイッチとが設けられていればよい。つまり、減衰器の減衰量が可変であるような構成であればよい。

[0095] 次に、本実施形態に係る可変利得回路2の別の動作例について、図13を用いて説明する。

[0096] 図13は、図1の可変利得回路の別の動作例を説明するための図である。

図13は、可変利得回路2の利得が徐々に変化するように制御される場合の例であり、制御回路12は、 $ATT4$ 、 $ATT8$ の減衰量および $Gm6$ 、 $Gm10$ の利得を徐々に変化させるように制御する。

[0097] 具体的に、可変利得回路2が最大利得で動作している場合、 $ATT4$ 、 $ATT8$ の減衰量は 0 dB （ $ATT4$ 、 $ATT8$ はスルーモード）であり、 $Gm6$ 、 $Gm10$ の利得はそれぞれ最大利得として例えば 15 dB 、 4 dB である。

[0098] この状態から、可変利得回路2の利得が低下して中間利得になる場合、 $ATT4$ の減衰量は徐々に増加して例えば -5 dB となり、 $Gm6$ の利得は徐々に低下して 0 dB となる。このとき、 $ATT8$ の減衰量は 0 dB 、 $Gm10$ の利得は 4 dB のままである。

[0099] さらに、可変利得回路2の利得が低下して最小利得になる場合、 $ATT4$ の減衰量は -5 dB のままである一方、 $Gm6$ はオフ、 $ATT8$ の減衰量は例えば -10 dB 、 $Gm10$ の利得は例えば -10 dB となる。

[0100] 以上のように、可変利得回路2の利得を減衰させる際に、2つの経路 $P1$ 、 $P2$ が共にオンした状態から、一方の経路の利得を他方の利得に比べて十分小さくなるまで下げてからオフ状態に遷移させることで、シームレスな利得可変が実現できる。

- [0101] なお、利得を増大させる場合の制御はこの逆であり、効果は同様である。
- [0102] ここで、特許文献 1 の構成では、信号強度に応じて 2 つの経路を切り替えているため、経路の切り替えのタイミングにおいて、可変利得回路の利得や入出力信号の位相関係が大きく変動してしまう。その結果、信号品質が大きく劣化してしまう。
- [0103] これに対して、可変利得回路 2 の利得を図 1 3 に示すように制御することで、このような問題を抑制することができる。
- [0104] なお、図 1 3 において、A T T 4 の減衰量を徐々に増加させるタイミング、および G m 6 の利得を徐々に減少させるタイミングは、どちらが先でもよい。また、A T T 8 の減衰量を徐々に増加させるタイミング、および G m 1 0 の利得を徐々に減少させるタイミングは、どちらが先でもよい。
- [0105] また、図 1 3 に示す動作は、可変利得回路 2 の利得が、3 値以上に制御可能であることの例を示すものであり、A T T 4、A T T 8 の減衰量、および G m 6、G m 1 0 の利得を変化させる際のステップ数は任意である。
- [0106] <第 2 の実施形態>
- 図 1 4 は、第 3 の実施形態に係るチューナシステムの構成を示す。図中のアンテナ 2 1 を除く各信号処理ブロックは微細 C M O S (Complementary Metal-Oxide Semiconductor) プロセスを用いて集積回路化することができる。アンテナ 2 1 で受信した R F 信号は可変利得回路 2 によって信号強度が調整される。R F 信号はケーブルを介して入力される有線信号であってもよい。可変利得回路 2 は、上述した実施形態に係るものである。
- [0107] 可変利得回路 2 で処理された R F 信号は、P L L (Phase Locked Loop) 2 3 が生成した局部発振信号でミキサによってベースバンド信号に変換される。変換方式は L o w - I F 方式およびダイレクトコンバージョン方式のいずれでもよい。ベースバンド信号はローパスフィルタ (L P F) 2 5 によって不要な高周波成分が十分に取り除かれた後に A / D 変換器 (A D C) 2 6 でデジタル信号に変換される。そして、最終的にデジタル信号処理部 (D S P) 2 7 において復調処理などが行われる。D S P 2 7 では R F 信号の入力レ

ベルが検出されるため、当該検出結果に応じて図1の可変利得回路2におけるATT4、ATT8やGm6、Gm10の可変特性を制御することができる。

[0108] 例えば、日本の地上波デジタルテレビ放送における第13チャンネル(473.143MHz)を受信する場合、PLL3からは470.143MHzの局部発振信号が出力され、受信したRF信号はミキサ24において受信周波数と局部発振周波数との差である3MHzの中間周波数のベースバンド信号に変換される。このとき、受信周波数と局部発振周波数との和である943.286MHzの高周波信号も発生するが、そのような高周波成分はLPF25によるフィルタリング処理で十分に減衰する。例えば、LPF25の信号帯域はチャンネルの信号帯域と同じ6MHzである。他のチャンネル受信時はPLL23の発振周波数が希望チャンネルに応じて変化する。

[0109] 本実施形態に係るチューナシステムでは、アンテナ21の受信直後のRF信号を、上述した可変利得回路2で処理するため、良好な歪特性および雑音特性を得ることができるとともに、低消費電力化が可能である。

[0110] なお、チューナシステムで差動信号を扱う場合には、例えばADC26でシングルエンド変換を行うようにしてもよい。

[0111] また、本実施形態に係るチューナシステムは、例えば図6に示すカスコード型トランスコンダクタンス増幅器を有していてもよい。

産業上の利用可能性

[0112] 本開示に係るカスコード型トランスコンダクタンス増幅器は、歪特性を良好に保つことができる。また、本開示に係る可変利得回路は、良好な歪特性および雑音特性で、かつ低消費電力化が可能である。したがって、これらは、アナログ放送波およびデジタル放送波を受信する据え置き型のテレビジョン装置や携帯型端末などに有用である。

符号の説明

[0113]	2	可変利得回路
	4	ATT (第1の可変減衰器)

6	G_m (第1の可変利得トランスコンダクタン
ス増幅器)	
8	A_{TT} (第2の可変減衰器)
10	G_m (第2の可変利得トランスコンダクタン
ス増幅器)	
14	スイッチ (切替回路、第3の切替回路)
$C, C_1 \sim C_n$	容量素子
$CP_1 \sim CP_n$	経路 (第4の経路)
P_1	第1の経路
P_2	第2の経路
$R, R_1 \sim R_n$	抵抗素子
$RP_1 \sim RP_n$	経路 (第3の経路)
$S_1 \sim S_n$	スイッチ (第1の切替回路)
$SR_1 \sim SR_n, SC_1 \sim SC_n$	スイッチ (第2の切替回路)
Tr_1	トランジスタ (増幅トランジスタ)
Tr_2	トランジスタ (カスコードトランジス
タ)	
Tr_3	トランジスタ (差動増幅トランジスタ
)	
Tr_4	トランジスタ (差動カスコードラン
ジスタ)	

請求の範囲

- [請求項1] 入力端に接続された増幅トランジスタと、
 ソースが前記増幅トランジスタのドレインに接続され、ドレインが
出力端に接続されたカスコードトランジスタと、
 前記増幅トランジスタと前記カスコードトランジスタとが接続され
るノードを固定電位に接続するか否かを切り替える切替回路とを備え
ている
 ことを特徴とするカスコード型トランスコンダクタンス増幅器。
- [請求項2] 請求項1のカスコード型トランスコンダクタンス増幅器において、
 前記切替回路が前記ノードと前記固定電位とを接続しているとき、
前記増幅トランジスタおよび前記カスコードトランジスタの少なくと
も一方はオフ状態である
 ことを特徴とするカスコード型トランスコンダクタンス増幅器。
- [請求項3] 請求項1のカスコード型トランスコンダクタンス増幅器において、
 前記増幅トランジスタのソースは前記入力端に接続され、ゲートは
バイアス可能に構成されている
 ことを特徴とするカスコード型トランスコンダクタンス増幅器。
- [請求項4] 請求項1のカスコード型トランスコンダクタンス増幅器において、
 前記増幅トランジスタのゲートは前記入力端に接続されるとともに
バイアスされ、ソースは前記固定電位に接続されている
 ことを特徴とするカスコード型トランスコンダクタンス増幅器。
- [請求項5] 請求項1のカスコード型トランスコンダクタンス増幅器において、
 前記増幅トランジスタと差動対を構成し、前記入力端に対する差動
入力端に接続された差動増幅トランジスタと、
 前記カスコードトランジスタと差動対を構成し、ソースが前記差動
増幅トランジスタのドレインに接続され、ドレインが前記出力端に対
する差動出力端に接続された差動カスコードトランジスタとを備え、
 前記増幅トランジスタおよび前記差動増幅トランジスタはそれぞれ

、一方のソースが容量素子を介して他方のゲートに接続され、かつゲートがバイアス可能に構成されており、

前記切替回路は、前記差動増幅トランジスタと前記差動カスコードトランジスタとが接続されるノードを固定電位に接続するか否かを切り替える

ことを特徴とするカスコード型トランスコンダクタンス増幅器。

[請求項6]

入力端子と出力端子との間に並列接続された、信号の増幅が可能な第1および第2の経路を備えた可変利得回路であって、

前記第1の経路は、

前記入力端子に接続され、入力された信号を可変減衰量で減衰させる第1の可変減衰器と、

前記第1の可変減衰器と前記出力端子との間に接続され、前記第1の可変減衰器の出力を増幅する第1の可変利得トランスコンダクタンス増幅器とを有し、

前記第2の経路は、

入力された信号を可変減衰量で減衰させる第2の可変減衰器と、

前記第2の可変減衰器と前記出力端子との間に接続され、前記第2の可変減衰器の出力を増幅する第2の可変利得トランスコンダクタンス増幅器とを有し、

前記第2の可変減衰器の入力側は、前記入力端子、あるいは前記第1の可変減衰器と前記第1の可変利得トランスコンダクタンス増幅器との間に接続されており、

前記第1の可変利得トランスコンダクタンス増幅器の最大利得は、前記第2の可変利得トランスコンダクタンス増幅器の最大利得よりも大きい

ことを特徴とする可変利得回路。

[請求項7]

請求項6の可変利得回路において、

前記第1の可変利得トランスコンダクタンス増幅器は、

ソースが当該第1の可変利得トランスコンダクタンス増幅器の入力端に接続され、ゲートがバイアスされた第1の増幅トランジスタと、

ソースが前記第1の増幅トランジスタのドレインに接続され、ドレインが当該第1の可変利得トランスコンダクタンス増幅器の出力端に接続された第1のカスコードトランジスタとを有し、

前記第2の可変利得トランスコンダクタンス増幅器は、

ソースが当該第2の可変利得トランスコンダクタンス増幅器の入力端に接続され、ゲートがバイアスされた第2の増幅トランジスタと、

ソースが前記第2の増幅トランジスタのドレインに接続され、ドレインが当該第2の可変利得トランスコンダクタンス増幅器の出力端に接続された第2のカスコードトランジスタとを有することを特徴とする可変利得回路。

[請求項8]

請求項6の可変利得回路において、

前記第1の可変利得トランスコンダクタンス増幅器は、

ゲートが当該第1の可変利得トランスコンダクタンス増幅器の入力端に接続されるとともにバイアスされ、ソースが固定電位に接続された第1の増幅トランジスタと、

ソースが前記第1の増幅トランジスタのドレインに接続され、ドレインが当該第1の可変利得トランスコンダクタンス増幅器の出力端に接続された第1のカスコードトランジスタとを有し、

前記第2の可変利得トランスコンダクタンス増幅器は、

ゲートが当該第2の可変利得トランスコンダクタンス増幅器の入力端に接続されるとともにバイアスされ、ソースが前記固定電位に接続された第2の増幅トランジスタと、

ソースが前記第2の増幅トランジスタのドレインに接続され、ドレインが当該第2の可変利得トランスコンダクタンス増幅器の出力端

に接続された第2のカスコードトランジスタとを有することを特徴とする可変利得回路。

[請求項9]

請求項6の可変利得回路において、

前記第1の可変利得トランスコンダクタンス増幅器は、

当該第1の可変利得トランスコンダクタンス増幅器の入力端に接続された第1の増幅トランジスタと、

ソースが前記第1の増幅トランジスタのドレインに接続され、ドレインが当該第1の可変利得トランスコンダクタンス増幅器の出力端に接続された第1のカスコードトランジスタと、

前記第1の増幅トランジスタと差動対を構成し、当該第1の可変利得トランスコンダクタンス増幅器の入力端に対する差動入力端に接続された第1の差動増幅トランジスタと、

前記第1のカスコードトランジスタと差動対を構成し、ソースが前記第1の差動増幅トランジスタのドレインに接続され、ドレインが当該第1の可変利得トランスコンダクタンス増幅器の出力端に対する差動出力端に接続された第1の差動カスコードトランジスタとを有し、

前記第2の可変利得トランスコンダクタンス増幅器は、

当該第2の可変利得トランスコンダクタンス増幅器の入力端に接続された第2の増幅トランジスタと、

ソースが前記第2の増幅トランジスタのドレインに接続され、ドレインが当該第2の可変利得トランスコンダクタンス増幅器の出力端に接続された第2のカスコードトランジスタと、

前記第2の増幅トランジスタと差動対を構成し、当該第2の可変利得トランスコンダクタンス増幅器の入力端に対する差動入力端に接続された第2の差動増幅トランジスタと、

前記第2のカスコードトランジスタと差動対を構成し、ソースが前記第2の差動増幅トランジスタのドレインに接続され、ドレインが

当該第2の可変利得トランスコンダクタンス増幅器の出力端に対する差動出力端に接続された第2の差動カスコードトランジスタとを有し、

前記第1の増幅トランジスタおよび前記第1の差動増幅トランジスタはそれぞれ、一方のソースが容量素子を介して他方のゲートに接続され、かつゲートがバイアスされており、

前記第2の増幅トランジスタおよび前記第2の差動増幅トランジスタはそれぞれ、一方のソースが容量素子を介して他方のゲートに接続され、かつゲートがバイアスされていることを特徴とする可変利得回路。

[請求項10] 請求項7乃至9のいずれか1つの可変利得回路において、
前記第1の増幅トランジスタのサイズは、前記第2の増幅トランジスタのサイズよりも大きいことを特徴とする可変利得回路。

[請求項11] 請求項6の可変利得回路において、
前記第1および第2の可変減衰器の少なくとも一方は、
当該可変減衰器の入力端および出力端の間と固定電位との間を接続する、抵抗素子を有する少なくとも1つの経路と、
前記経路の少なくとも1つに設けられ、当該経路を前記固定電位に接続するか否かを切り替える第1の切替回路とを備えていることを特徴とする可変利得回路。

[請求項12] 請求項6の可変利得回路において、
前記第1および第2の可変減衰器の少なくとも一方は、
当該可変減衰器の入力端および出力端の間と固定電位との間を接続する、容量素子を有する少なくとも1つの経路と、
前記経路の少なくとも1つに設けられ、当該経路を前記固定電位に接続するか否かを切り替える第1の切替回路とを備えていることを特徴とする可変利得回路。

- [請求項13] 請求項6の可変利得回路において、
前記第1の可変減衰器は、
当該可変減衰器の入力端および出力端の間と固定電位との間を接続する、抵抗素子を有する少なくとも1つの経路と、
前記経路の少なくとも1つに設けられ、当該経路を前記固定電位に接続するか否かを切り替える第1の切替回路とを備えていることを特徴とする可変利得回路。
- [請求項14] 請求項11乃至請求項13のいずれか1つの可変利得回路において、
、
前記第1の可変減衰器は、
並列接続された複数の前記経路と、
前記各経路に設けられた複数の前記第1の切替回路とを備えていることを特徴とする可変利得回路。
- [請求項15] 請求項6の可変利得回路において、
前記第1および第2の可変減衰器の少なくとも一方は、
当該可変減衰器の入力端および出力端の間と固定電位との間を接続する、抵抗素子を有する少なくとも1つの第3の経路と、
当該可変減衰器の入力端および出力端の間と固定電位との間を接続する、容量素子を有する少なくとも1つの第4の経路と、
前記第3および第4の経路の少なくとも一方のうちの少なくとも1つの経路に設けられ、当該経路を前記固定電位に接続するか否かを切り替える第2の切替回路とを備えていることを特徴とする可変利得回路。
- [請求項16] 請求項15の可変利得回路において、
前記第1の可変減衰器は、
並列接続された複数の前記第3の経路と、
並列接続された複数の前記第4の経路と、

前記各第3の経路および前記各第4の経路のそれぞれに設けられた複数の前記第2の切替回路とを備えていることを特徴とする可変利得回路。

[請求項17]

請求項6の可変利得回路において、

前記第1の可変利得トランスコンダクタンス増幅器は、

当該第1の可変利得トランスコンダクタンス増幅器の入力端に接続された増幅トランジスタと、

ソースが前記増幅トランジスタのドレインに接続され、ドレインが当該第1の可変利得トランスコンダクタンス増幅器の出力端に接続されたカスコードトランジスタと、

前記増幅トランジスタと前記カスコードトランジスタとが接続されるノードを固定電位に接続するか否かを切り替える第3の切替回路とを備えている

ことを特徴とする可変利得回路。

[請求項18]

請求項17の可変利得回路において、

前記第3の切替回路が前記ノードと前記固定電位とを接続しているとき、前記増幅トランジスタおよび前記カスコードトランジスタの少なくとも一方はオフ状態である

ことを特徴とする可変利得回路。

[請求項19]

請求項6の可変利得回路において、

当該可変利得回路の利得が最大である場合、前記第1および第2の可変利得トランスコンダクタンス増幅器の利得は最大、かつ第1および第2の可変減衰器の減衰量は最小となるように制御され、

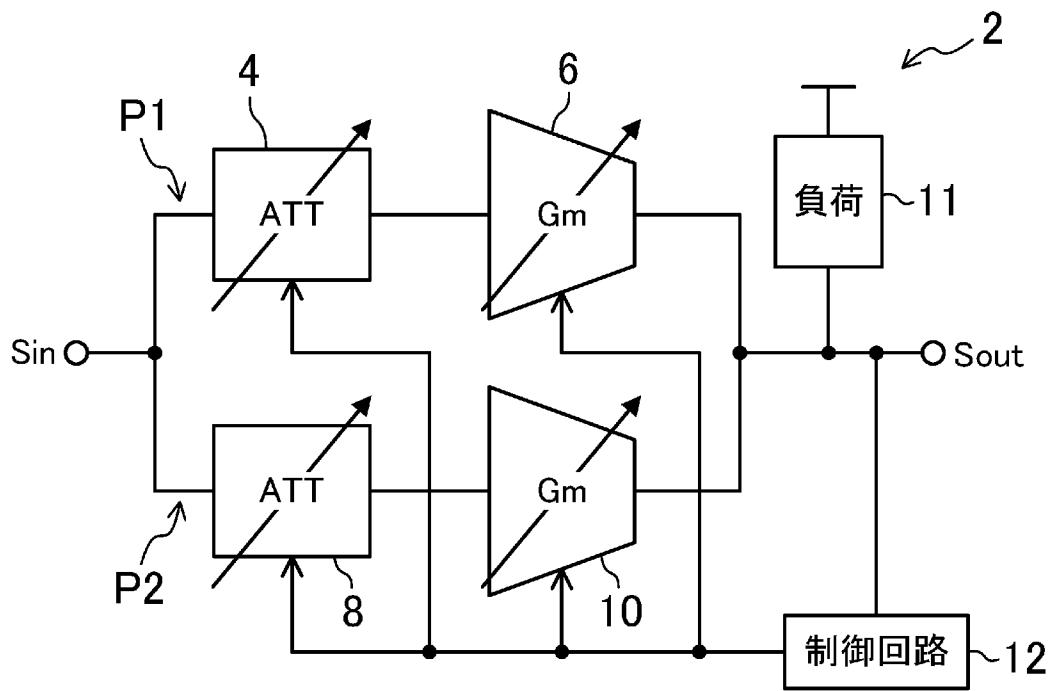
当該可変利得回路の利得が最大であるときから中間になる場合、前記第1の可変利得トランスコンダクタンス増幅器の利得は徐々に小さく、かつ前記第1の可変減衰器の減衰量は徐々に大きくなるように制御され、

当該可変利得回路の利得が中間よりも小さくなる場合、前記第1の

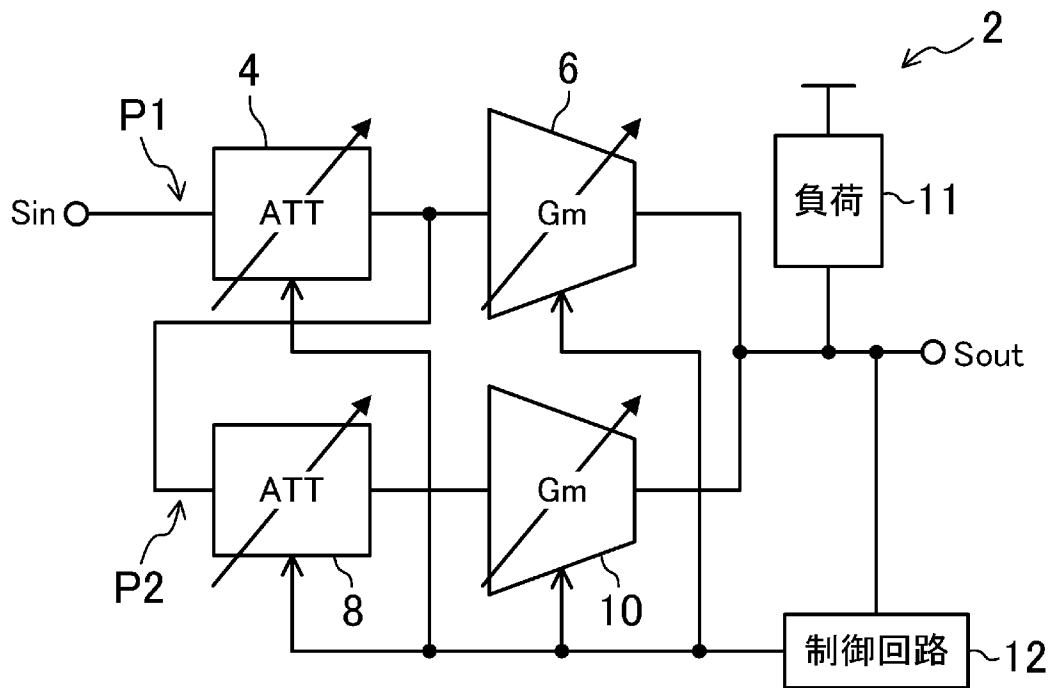
可変利得トランスコンダクタンス増幅器はオフする一方、前記第2の可変利得トランスコンダクタンス増幅器の利得は徐々に小さく、かつ前記第2の可変減衰器の減衰量は徐々に大きくなるように制御されることを特徴とする可変利得回路。

[請求項20] 請求項1のカスコード型トランスコンダクタンス増幅器および請求項6の可変利得回路の少なくとも一方を備えていることを特徴とするチューナシステム。

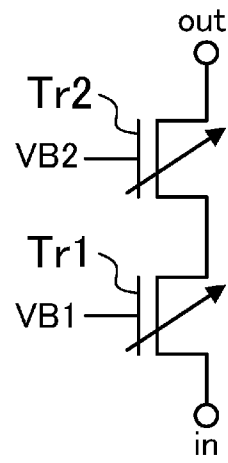
[図1]



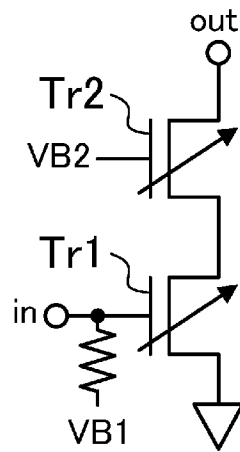
[図2]



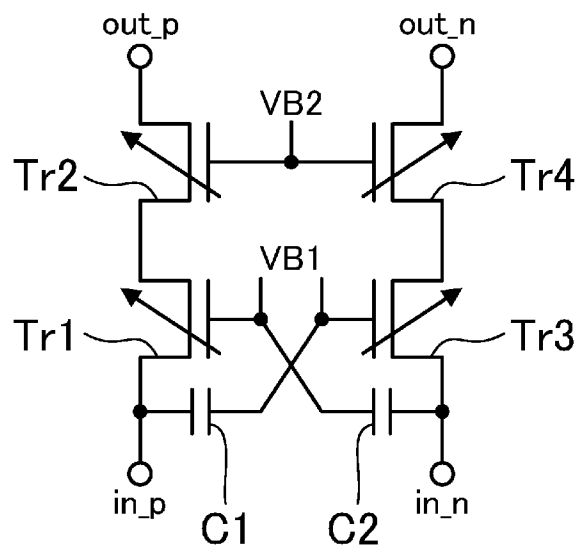
[図3]



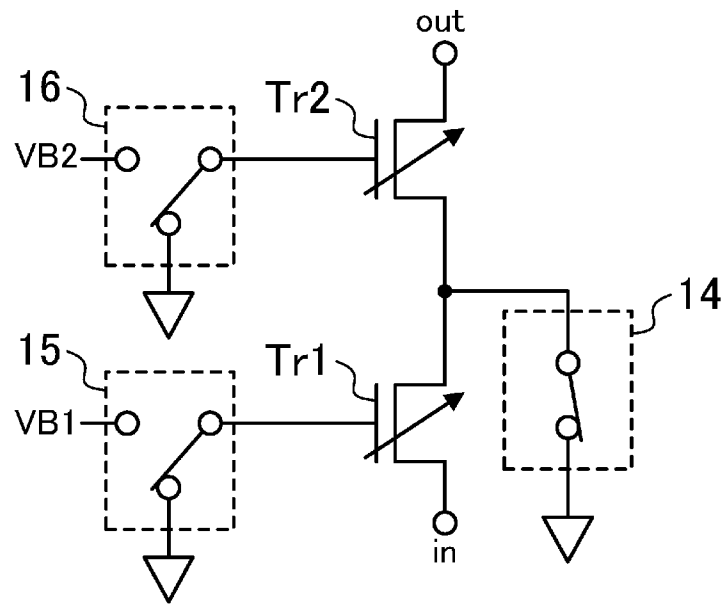
[図4]



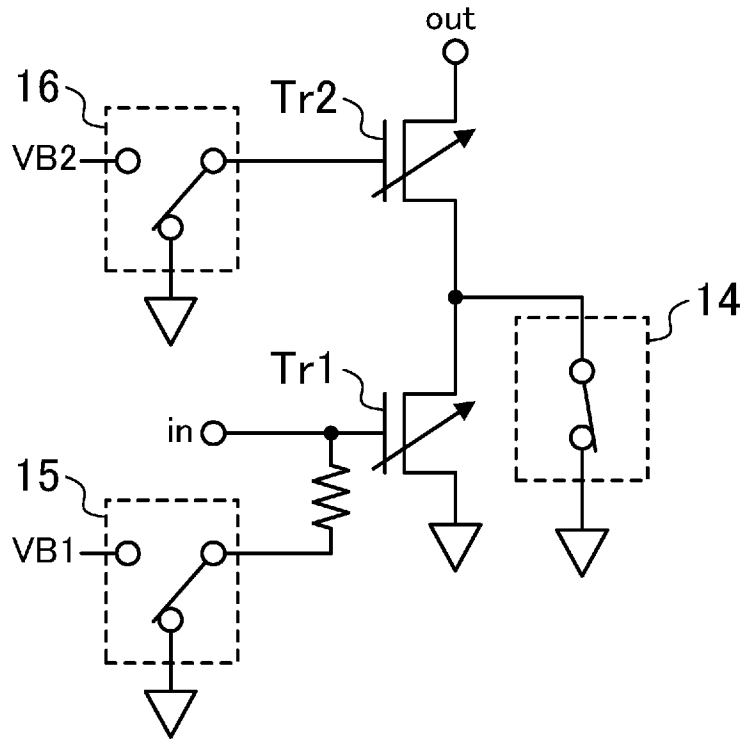
[図5]



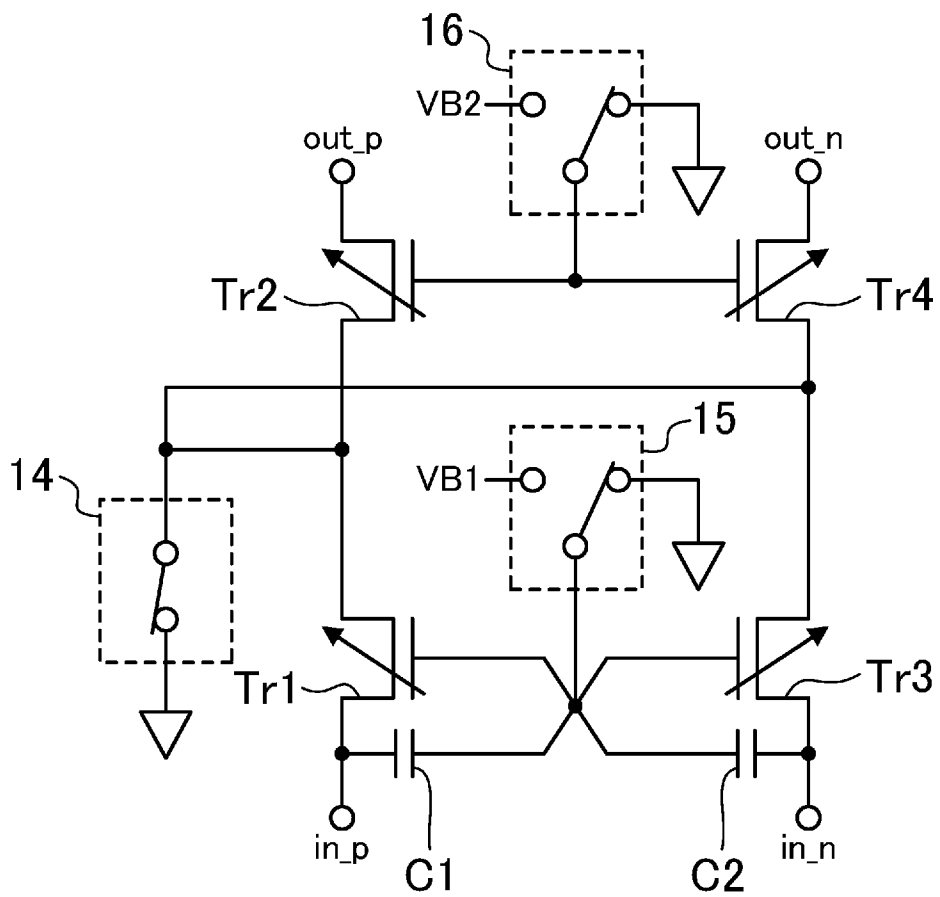
[図6]



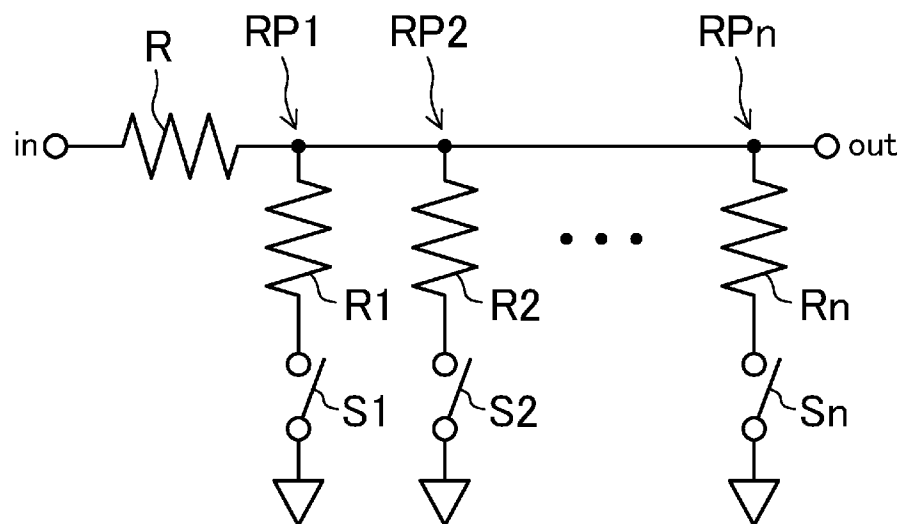
[図7]



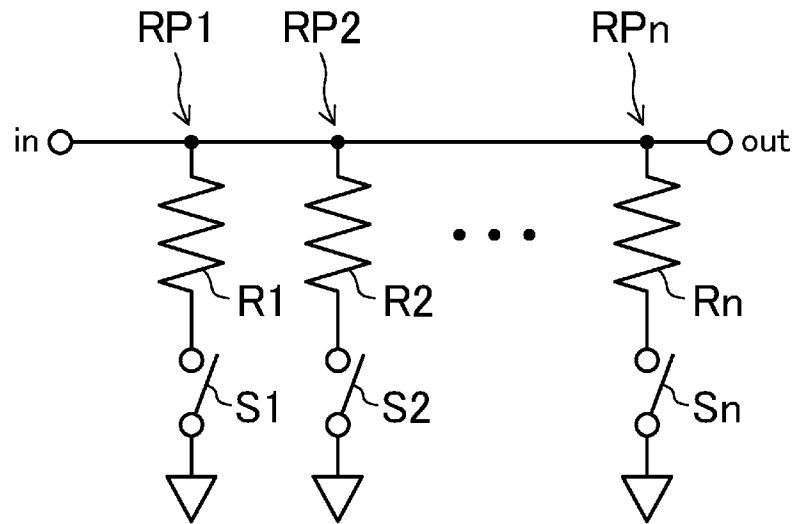
[図8]



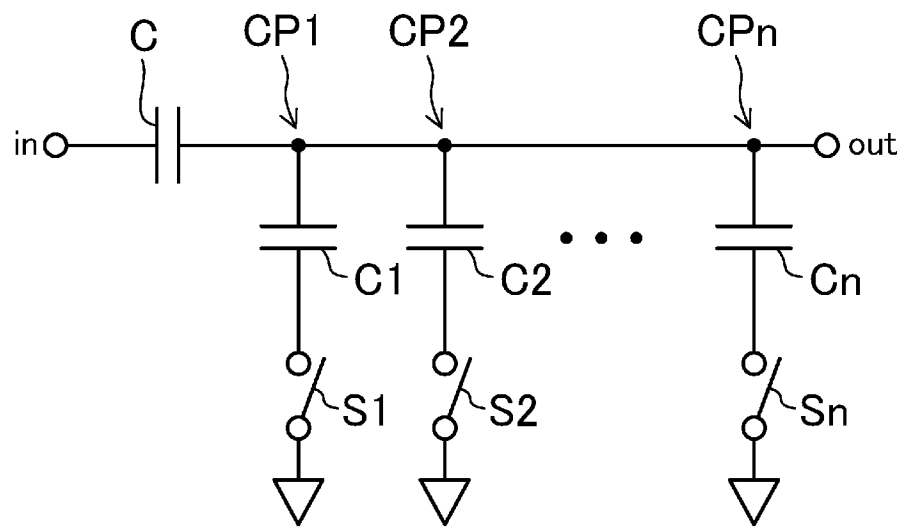
[図9]



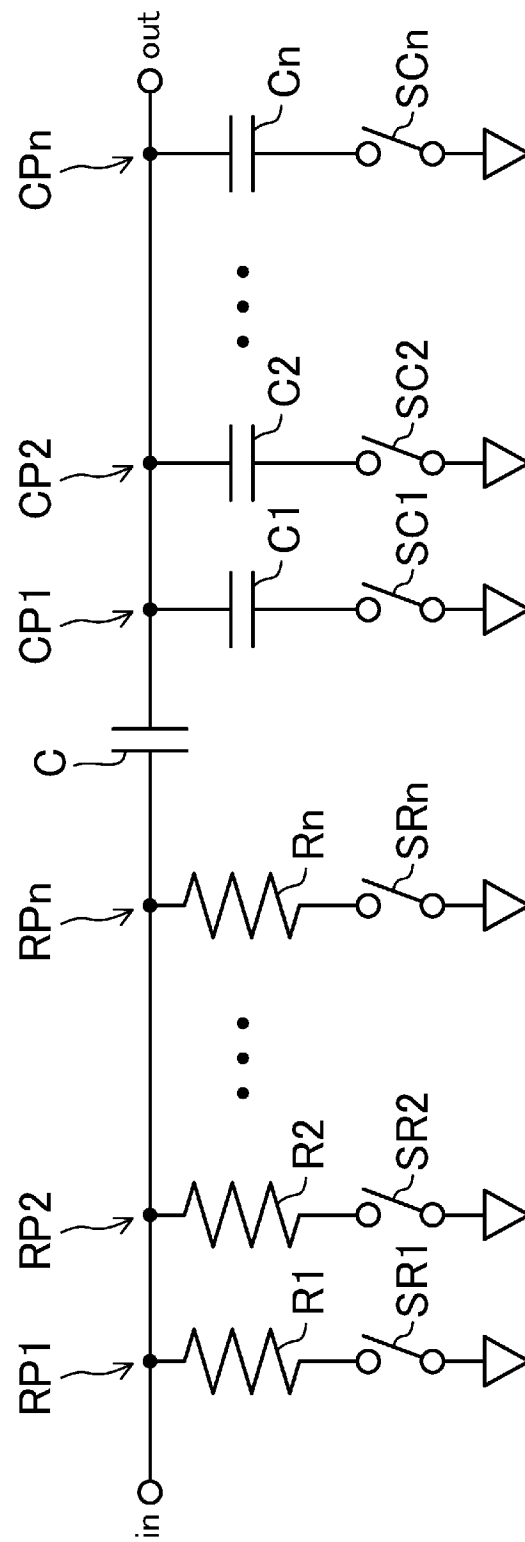
[図10]



[図11]



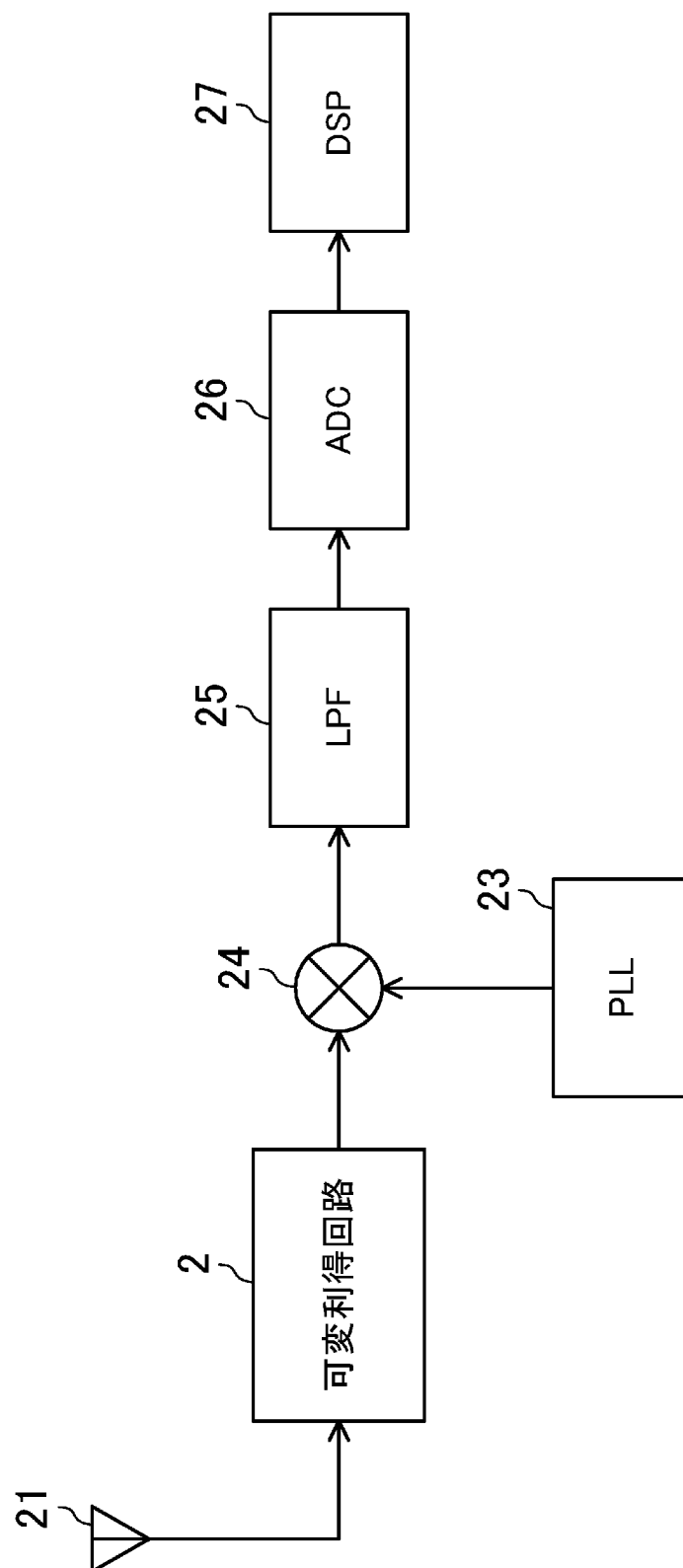
[図12]



[図13]

モード 利得	最大利得		中間利得			最小利得
ATT4[dB]	0	↗	-5	-5	-5	-5
Gm6[dB]	15	↗	0	OFF	OFF	OFF
ATT8[dB]	0	0	0	↗	-10	-10
Gm10[dB]	4	4	4	4	↗	-10

[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/002149

A. CLASSIFICATION OF SUBJECT MATTER

H03G3/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03G3/00-3/34, H03F1/00-3/72

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2008-005160 A (Sharp Corp.), 10 January 2008 (10.01.2008), paragraphs [0001] to [0015], [0049] to [0069]; fig. 1 to 6, 14 & US 2007/0296507 A1 & KR 10-2007-0121554 A & CN 101093979 A & TW 200812221 A	1-2, 4, 20 3, 5, 7-10, 17-18
X Y	JP 2006-050074 A (New Japan Radio Co., Ltd.), 16 February 2006 (16.02.2006), entire text; all drawings (Family: none)	1-2, 4, 20 3, 5, 7-10, 17-18
Y	JP 06-310961 A (Hitachi Denshi, Ltd.), 04 November 1994 (04.11.1994), entire text; all drawings (Family: none)	3, 7, 10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 July, 2014 (07.07.14)

Date of mailing of the international search report
22 July, 2014 (22.07.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/002149

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2012/158429 A1 (QUALCOMM Inc.), 22 November 2012 (22.11.2012), paragraphs [0038] to [0041]; fig. 9A & US 2012/0286874 A1	5, 9-10
Y	WO 2008/023530 A1 (Asahi Kasei EMD Corp.), 28 February 2008 (28.02.2008), paragraphs [0001] to [0007]; fig. 1 & JP 4855470 B & US 2009/0289711 A1 & EP 2086108 A1 & KR 10-2008-0091357 A	5, 9-10
Y	US 2005/0242886 A1 (Richard A. Johnson), 03 November 2005 (03.11.2005), paragraphs [0019] to [0037]; fig. 1 & US 2006/0240791 A1	5, 9-10
X Y A	JP 2009-124189 A (NSC Co., Ltd.), 04 June 2009 (04.06.2009), paragraphs [0018] to [0047]; fig. 3 & US 2009/0124227 A1	6, 20 7-18 19
Y	JP 2012-034191 A (Panasonic Corp.), 16 February 2012 (16.02.2012), paragraph [0014]; fig. 3 to 4 & US 2012/0139633 A1 & WO 2012/014343 A1 & CN 102652392 A	11-16

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03G3/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03G3/00-3/34, H03F1/00-3/72

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	J P 2008-005160 A（シャープ株式会社） 2008.01.10	1-2, 4, 20
Y	【0001】-【0015】、【0049】-【0069】 図1-6, 14 & US 2007/0296507 A1 & KR 10-2007-0121554 A & CN 101093979 A & TW 200812221 A	3, 5, 7-10, 17-18

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

07.07.2014

国際調査報告の発送日

22.07.2014

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

白井 孝治

5 X

8843

電話番号 03-3581-1101 内線 3596

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	J P 2006-050074 A (新日本無線株式会社) 2006.02.16, 全文, 全図 (ファミリーなし)	1-2, 4, 20 3, 5, 7-10, 17-18
Y	J P 06-310961 A (日立電子株式会社) 1994.11.04, 全文, 全図 (ファミリーなし)	3, 7, 10
Y	WO 2012/158429 A1 (QUALCOMM Incorporated) 2012.11.22 [0038] - [0041], 図9A & US 2012/0286874 A1	5, 9-10
Y	WO 2008/023530 A1 (旭化成エレクトロニクス株式会社) 2008.02.28 [0001] - [0007], 図1 & J P 4855470 B & US 2009/0289711 A1 & EP 2086108 A1 & KR 10-2008-0091357 A	5, 9-10
Y	US 2005/0242886 A1 (Richard A. Johnson) 2005.11.03, [0019] - [0037], 図1 & US 2006/0240791 A1	5, 9-10
X Y A	J P 2009-124189 A (NSC株式会社) 2009.06.04, 【0018】 - 【0047】, 図-3 & US 2009/0124227 A1	6, 20 7-18 19
Y	J P 2012-034191 A (パナソニック株式会社) 2012.02.16, 【0014】, 図3-4 & US 2012/0139633 A1 & WO 2012/014343 A1 & CN 102652392 A	11-16