



(12) 发明专利申请

(10) 申请公布号 CN 120279967 A

(43) 申请公布日 2025. 07. 08

(21) 申请号 202510440484.X

(22) 申请日 2019.09.13

(62) 分案原申请数据

201980098583.7 2019.09.13

(71) 申请人 铠侠股份有限公司

地址 日本东京

(72) 发明人 山本健介

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

专利代理师 杨林勳

(51) Int. Cl.

G11C 16/26 (2006.01)

G11C 7/22 (2006.01)

G11C 16/04 (2006.01)

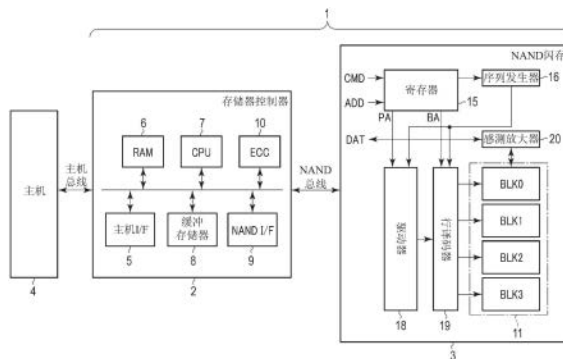
权利要求书5页 说明书13页 附图13页

(54) 发明名称

存储器系统

(57) 摘要

实施方式的存储器系统在用来对控制器进行输出的处理所需的待机时间 $t_{WHR2}$ 的期间内,输出读取启用信号RE及/RE,使信号DQS及/DQS及信号DQ中预设的虚拟数据从输出电路输出。



1. 一种半导体存储器装置,具备:  
存储器单元阵列,包含能够储存数据的存储器单元;  
信号焊盘,待写入到所述存储器单元中的写入数据是从外部控制器输入到所述信号焊盘,且从所述存储器单元读出的读出数据是从所述信号焊盘输出到所述外部控制器;  
第1控制焊盘,第1时序控制信号是从所述外部控制器输入到所述第1控制焊盘;及  
第2控制焊盘,第2时序控制信号是从所述第2控制焊盘输出到所述外部控制器,  
其中:  
在接收到指示数据输出动作的数据输出指令后的第1期间内,在从所述第2控制焊盘输出的所述第2时序控制信号响应输入到所述第1控制焊盘的所述第1时序控制信号的切换而切换时,虚拟数据从所述信号焊盘输出,且  
在所述第1期间后的第2期间内,在从所述第2控制焊盘输出的所述第2时序控制信号响应输入到所述第1控制焊盘的所述第1时序控制信号的切换而切换时,所述读出数据从所述信号焊盘输出。
2. 根据权利要求1所述的半导体存储器装置,进一步具备:  
感测放大器单元,配置成执行读出动作以从所述存储器单元读出所述读出数据;  
数据寄存器,配置成储存从所述感测放大器单元接收到的所述读出数据;及  
输入输出电路,配置成将从所述数据寄存器接收到的所述读出数据输出到所述信号焊盘。
3. 根据权利要求2所述的半导体存储器装置,进一步具备:  
虚拟数据产生器,配置成产生所述虚拟数据。
4. 根据权利要求3所述的半导体存储器装置,进一步具备:  
序列发生器,配置成控制所述感测放大器单元从而响应读出指令而执行所述读出动作,且控制所述输入输出电路从而响应所述数据输出指令而执行所述数据输出动作。
5. 根据权利要求4所述的半导体存储器装置,进一步具备:  
电源部分,配置成供给电源电压,  
其中:  
在接收到所述数据输出指令后的所述第1期间内,所述电源电压下降到第1电平,且在所述第1期间后的所述第2期间内,所述电源电压维持高于所述第1电平的所述第2电平。
6. 根据权利要求5所述的半导体存储器装置,其中所述第1期间对应于输入到所述第1控制焊盘的所述第1时序控制信号的n次切换,n为等于或大于2的整数。
7. 根据权利要求6所述的半导体存储器装置,其中所述序列发生器配置成响应组特征指令而改变n的数目。
8. 根据权利要求1所述的半导体存储器装置,进一步具备:  
字线,连接于所述存储器单元的栅极;及  
位线,连接于所述存储器单元。
9. 根据权利要求8所述的半导体存储器装置,其中所述存储器单元阵列包含其中多个存储器单元串联连接的NAND串,所述多个存储器单元包含所述存储器单元。
10. 根据权利要求9所述的半导体存储器装置,进一步具备:  
多条字线,分别连接于所述多个存储器单元,

其中所述位线连接于所述NAND串的一端。

11. 一种存储装置, 具备:

半导体存储器; 及

存储器控制器, 能够经由主机总线连接于主机, 且经由存储器总线耦合到所述半导体存储器,

其中:

所述存储器控制器具备传输和接受指令和数据的主机总线端子,

所述半导体存储器具备:

存储器单元阵列, 包含能够储存数据的存储器单元;

信号焊盘, 待写入到所述存储器单元中的写入数据是从所述存储器控制器输入到所述信号焊盘, 且从所述存储器单元读出的读出数据是从所述信号焊盘输出到所述存储器控制器;

第1控制焊盘, 第1时序控制信号是从所述存储器控制器输入到所述第1控制焊盘; 及

第2控制焊盘, 第2时序控制信号是从所述第2控制焊盘输出到所述存储器控制器,

在接收到指示数据输出动作的数据输出指令后的第1期间内, 在从所述第2控制焊盘输出的所述第2时序控制信号响应输入到所述第1控制焊盘的所述第1时序控制信号的切换而切换时, 虚拟数据从所述信号焊盘输出, 且

在所述第1期间后的第2期间内, 在从所述第2控制焊盘输出的所述第2时序控制信号响应输入到所述第1控制焊盘的所述第1时序控制信号的切换而切换时, 所述读出数据从所述信号焊盘输出。

12. 根据权利要求11所述的存储装置, 其中所述半导体存储器进一步具备:

感测放大器单元, 配置成执行读出动作以从所述存储器单元读出所述读出数据;

数据寄存器, 配置成储存从所述感测放大器单元接收到的所述读出数据; 及

输入输出电路, 配置成将从所述数据寄存器接收到的所述读出数据输出到所述信号焊盘。

13. 根据权利要求12所述的存储装置, 其中所述半导体存储器进一步具备:

序列发生器, 配置成控制所述感测放大器单元从而响应读出指令而执行所述读出动作, 且控制所述输入输出电路从而响应所述数据输出指令而执行所述数据输出动作。

14. 根据权利要求13所述的存储装置, 其中所述序列发生器配置成响应组特征指令而改变n的数目。

15. 根据权利要求11所述的存储装置, 其中所述半导体存储器进一步具备:

虚拟数据产生器, 配置成产生所述虚拟数据。

16. 根据权利要求11所述的存储装置, 其中所述半导体存储器进一步具备:

电源部分, 配置成供给电源电压,

其中:

在接收到所述数据输出指令后的所述第1期间内, 所述电源电压下降到第1电平, 且

在所述第1期间后的所述第2期间内, 所述电源电压维持高于所述第1电平的所述第2电平。

17. 根据权利要求11所述的存储装置, 其中所述第1期间对应于输入到所述第1控制焊盘的所述第1时序控制信号的n次切换, n为等于或大于2的整数。

18. 根据权利要求11所述的存储装置,进一步具备:

字线,连接于所述存储器单元的栅极;及

位线,连接于所述存储器单元。

19. 根据权利要求18所述的存储装置,其中所述存储器单元阵列包含其中多个存储器单元串联连接的NAND串,所述多个存储器单元包含所述存储器单元。

20. 根据权利要求19所述的存储装置,进一步具备:

多条字线,分别连接于所述多个存储器单元,

其中所述位线连接于所述NAND串的一端。

21. 一种半导体存储器装置,具备:

存储器单元阵列,包含配置成以非易失性方式储存数据的存储器单元;

数据寄存器,配置成以易失性方式储存从所述存储器单元阵列读出的所述数据;

信号焊盘,待写入到所述存储器单元阵列中的写入数据是从外部控制器输入到所述信号焊盘,且从所述存储器单元阵列读出且从所述数据寄存器传送的所述数据是从所述信号焊盘输出到所述外部控制器;

第1控制焊盘,第1时序控制信号是从所述外部控制器输入到所述第1控制焊盘;

第2控制焊盘,第2时序控制信号是从所述第2控制焊盘输出到所述外部控制器,

内部控制器,配置成在从所述外部控制器接收到数据输出指令后,响应所述第1时序控制信号而输出对应于所述读出数据的数据信号以及所述第2时序控制信号,其中

在接收到所述数据输出指令后的第1期间内,所述内部控制器响应所述第1时序控制信号而推迟输出所述读出数据,且

在所述第1期间后的第2期间内,所述内部控制器响应所述第1时序控制信号而输出所述读出数据。

22. 根据权利要求21所述的半导体存储器装置,其中

在所述第1期间内,所述内部控制器输出所述第2时序控制信号以在对应于所述第1时序控制信号的切换的时序进行切换。

23. 根据权利要求22所述的半导体存储器装置,其中

在所述第1期间内,所述内部控制器与所述第2时序控制信号的切换同步地输出虚拟数据。

24. 根据权利要求23所述的半导体存储器装置,其中

在所述第2期间内,所述内部控制器与所述第2时序控制信号的切换同步地输出所述读出数据。

25. 根据权利要求23所述的半导体存储器装置,进一步具备:

虚拟数据产生器,配置成产生所述虚拟数据。

26. 根据权利要求21所述的半导体存储器装置,进一步具备:

感测放大器单元,配置成执行读出动作以从所述存储器单元读出所述读出数据且将所述读出数据传送到所述数据寄存器;及

输入输出电路,配置成将从所述数据寄存器接收到的所述读出数据输出到所述信号焊盘。

27. 根据权利要求21所述的半导体存储器装置,进一步具备:

电源部分,配置成供给电源电压,  
其中:

在接收到所述数据输出指令后的所述第1期间内,所述电源电压下降到第1电平,且在所述第2期间内,所述电源电压恢复到高于所述第1电平的所述第2电平。

28.根据权利要求21所述的半导体存储器装置,其中  
所述第1期间对应于所述第1时序控制信号的n次切换,n为等于或大于2的整数。

29.根据权利要求28所述的半导体存储器装置,其中  
所述内部控制器配置成响应组特征指令而改变n的数目。

30.根据权利要求21所述的半导体存储器装置,进一步具备:  
字线,连接于所述存储器单元的栅极;及  
位线,连接于所述存储器单元。

31.根据权利要求30所述的半导体存储器装置,其中  
所述存储器单元阵列包含其中多个存储器单元串联连接的NAND串,所述多个存储器单元包含所述存储器单元。

32.根据权利要求31所述的半导体存储器装置,其中  
设置多条所述字线,使得所述字线分别连接于所述存储器单元,且  
所述位线连接于所述NAND串的一端。

33.一种半导体存储器装置,具备:  
信号焊盘,写入数据是从外部控制器输入到所述信号焊盘,且读出数据是从所述信号焊盘输出到所述外部控制器;

第1控制焊盘,第1时序控制信号是从所述外部控制器输入到所述第1控制焊盘;  
第2控制焊盘,第2时序控制信号是从所述第2控制焊盘输出到所述外部控制器,  
存储器单元阵列,包含配置成以非易失性方式储存数据的存储器单元;  
数据寄存器,配置成以易失性方式储存从所述存储器单元阵列读出的所述数据;  
输出电路,配置成经由所述信号焊盘向所述外部控制器输出对应于从所述数据寄存器  
传送的所述数据的数据信号;

其中

在从所述外部控制器接收到其间将所述数据从所述数据寄存器传送到所述输出电路  
的数据输出指令后的第1期间内,所述内部控制器接受所述第1时序控制信号的接收。

34.一种存储器系统,具备:

半导体存储器装置;及  
存储器控制器,其中

所述存储器控制器配置成:

将写入数据发送到所述半导体存储器装置;

发送第1时序控制信号;及

将数据输出指令发送到所述半导体存储器装置,

所述半导体存储器装置包含:

存储器单元阵列,包含配置成以非易失性方式储存数据的存储器单元;

数据寄存器,配置成以易失性方式储存从所述存储器单元阵列读出的所述数据;

信号焊盘,所述写入数据是从存储器控制器输入到所述信号焊盘,且从所述存储器单元阵列读出且从所述数据寄存器传送的所述数据是从所述信号焊盘输出到所述存储器控制器;

第1控制焊盘,所述第1时序控制信号输入到所述第1控制焊盘;

第2控制焊盘,第2时序控制信号是从所述第2控制焊盘输出到所述存储器控制器,

内部控制器,配置成在接收到所述数据输出指令后,响应所述第1时序控制信号而输出对应于所述读出数据的数据信号以及所述第2时序控制信号,

在接收到所述数据输出指令后的第1期间内,所述内部控制器响应所述第1时序控制信号而推迟输出所述读出数据,且

在所述第1期间后的第2期间内,所述内部控制器响应所述第1时序控制信号而输出所述读出数据。

## 存储器系统

[0001] 分案申请的相关信息

[0002] 本案是分案申请。该分案的母案是申请日为2019年9月13日、申请号为201980098583.7、发明名称为“存储器系统”的发明专利申请案。

### 技术领域

[0003] 实施方式涉及一种存储器系统。

### 背景技术

[0004] 已知一种作为半导体存储装置的NAND (Not-AND: 与非) 型闪存。

[0005] [以往技术文献]

[0006] [专利文献]

[0007] 专利文献1: 美国专利8913448号说明书

### 发明内容

[0008] [发明所要解决的问题]

[0009] 实施方式提供一种能提高数据的读出可靠性的存储器系统。

[0010] [解决问题的技术手段]

[0011] 实施方式的存储器系统具备: 半导体存储器; 及控制器, 给出从所述半导体存储器读出数据的指示; 且所述半导体存储器具备: 存储器单元晶体管, 保持数据; 输出电路, 对从所述存储器单元晶体管读出的数据, 进行用来输出到所述控制器的处理; 及数据产生电路, 产生第1数据; 且在读出所述数据时, 所述控制器在所述输出电路进行所述处理的第1期间内将第1信号输出到所述半导体存储器, 所述半导体存储器基于所述第1信号产生第2信号, 在第1期间与第2期间的期间内, 将所述第1数据与所述第2信号一起输出到所述控制器, 在所述第2期间结束后, 所述半导体存储器将从所述存储器单元晶体管读出的数据与所述第2信号一起输出到所述控制器。

### 附图说明

[0012] 图1是概念性表示实施方式的存储器系统的整体构成的框图。

[0013] 图2是表示NAND型闪存的构成例的框图。

[0014] 图3是表示NAND型闪存的存储器单元阵列的构成例的电路图。

[0015] 图4是表示输出电路的构成例的框图。

[0016] 图5是与实施方式比较的对象例的流程图。

[0017] 图6A是用来对与实施方式比较的对象例的数据输出动作进行说明的时序图。

[0018] 图6B是用来对第1实施方式的数据输出动作的电源输出的稳定化进行说明的时序图。

[0019] 图7是用来对第1实施方式的数据输出动作的电源输出的稳定化进行说明的流程

图。

[0020] 图8是表示第1设定例的待机时间及延迟时间的各信号的时序的时序图。

[0021] 图9是表示第2设定例的待机时间及延迟时间的各信号的时序的时序图。

[0022] 图10是表示第3设定例的待机时间及延迟时间的各信号的时序的时序图。

[0023] 图11是表示第4设定例的待机时间及延迟时间的各信号的时序的时序图。

[0024] 图12是用来对第2实施方式的数据输出动作的电源输出的稳定化进行说明的流程图。

[0025] 图13是用来对第3实施方式的数据输出动作的电源输出的稳定化进行说明的流程图。

[0026] 图14是用来对第4实施方式的数据输出动作的电源输出的稳定化进行说明的流程图。

[0027] 图15是表示第5实施方式的电待机时间及延迟时间的各信号的时序的时序图。

### 具体实施方式

[0028] 以下,参考附图对实施方式进行说明。

[0029] 实施方式例示用来将发明的技术思想具体化的装置。附图是示意性或概念性的,各附图的尺寸及比例等未必与实物相同。而且,并非利用构成要件的形状、构造、配置等,特定本发明的技术思想。另,在以下的说明中,对具有大致相同的功能及构成的构成要件标注相同符号,并省略详细说明。

[0030] [第1实施方式]

[0031] 对第1实施方式的存储器系统进行说明。

[0032] <存储器系统整体构成>

[0033] 图1是概念性表示本实施方式的存储器系统1的整体构成的构成图。

[0034] 本实施方式的存储器系统1至少具备半导体存储器3、与控制所述半导体存储器3的存储器控制器(控制器)2。在本实施方式中,半导体存储器3只要为非易失性存储器即可,优选为例如NAND型闪存。在以下的说明中,对作为半导体存储装置应用到NAND型闪存3的例进行说明。

[0035] 能将所述存储器控制器2与NAND型闪存3组合而构成1个半导体装置。作为它的一例,有SD(Secure Digital:安全数字)<sup>TM</sup>卡等存储卡、或SSD(solid state drive:固态驱动器)等。另外,存储器控制器2能使用SoC(system on chip:片上系统)等。

[0036] NAND型闪存3具备多个存储器单元晶体管,且非易失地存储数据。存储器控制器2通过NAND总线连接于NAND型闪存3。此外,存储器控制器2通过主机总线也与外部的主机机器4连接。所述存储器控制器2控制NAND型闪存3,且响应从主机机器4接收到的命令,对NAND型闪存3进行存取。主机机器4为例如数码相机或个人计算机等,主机总线为依据例如SD<sup>TM</sup>接口的总线。NAND总线进行依据NAND接口的信号收发。

[0037] <存储器控制器2的构成>

[0038] 参考图1,对存储器控制器2的构成的细节进行说明。

[0039] 存储器控制器2控制NAND型闪存3。作为具体例,存储器控制器2进行将数据写入到NAND型闪存3,并从NAND型闪存3读出已存储的数据的控制。

[0040] 存储器控制器2具备主机接口电路(主机I/F)5、内置存储器(RAM:Random Access Memory(随机存取存储器))6、处理器(CPU:Central Processing Unit(中央处理单元))7、缓冲存储器8、NAND接口电路(NANDI/F)9、及ECC(Error Checking and Correcting:错误检查与校正)电路10。此外,根据设计,也搭载着其他各种构成部位。

[0041] 主机接口电路5经由主机总线与主机机器4连接,并将从主机机器4接收到的命令及数据分别传送到处理器7及缓冲存储器8。而且,根据处理器7的命令,将缓冲存储器8内的数据传送到主机机器4。

[0042] 处理器7控制存储器控制器2整体的动作。例如,处理器7在从主机机器4接收到写入数据的命令时,根据所述接收,对NAND接口电路9发行写入命令。数据的读出及抹除时也同样。而且,处理器7执行损耗均衡等用来管理NAND型闪存3的各种处理。另外,以下说明的存储器控制器2的动作可通过处理器7执行软件(固件)而实现,或者也可由硬件实现。

[0043] NAND接口电路9经由NAND总线与NAND型闪存3连接,且负责与NAND型闪存3的通信。且,NAND接口电路9基于从处理器7接收到的命令,对NAND型闪存3发送及接收各种信号。缓冲存储器8临时保持写入数据或读出数据。

[0044] 内置存储器(RAM)6为例如DRAM(Dynamic Random Access Memory:动态随机存取存储器)或SRAM(Static Random Access Memory:静态随机存取存储器)等半导体存储器,且作为处理器7的作业区域使用。且,内置存储器6保持用来管理NAND型闪存3的固件或各种管理表格等。

[0045] ECC电路10进行存储在NAND型闪存3的数据相关的错误检测及错误校正处理。也就是说,ECC电路10在写入数据时产生错误校正码,并将其给到写入数据,在读出数据时,将错误校正码解码。

[0046] <NAND型闪存的NAND总线>

[0047] 参考图2,对NAND总线进行说明。

[0048] 存储器控制器2与NAND型闪存3通过NAND总线连接。NAND总线包含多条信号线,分成与连接于输入输出电路12的输入输出用焊盘群21连接的信号线群、及与连接于逻辑控制电路13的逻辑控制用焊盘群22连接的信号线群。

[0049] 所述信号线进行依据NAND接口的芯片启用信号/CE、指令锁存启用信号CLE、地址锁存启用信号ALE、写入启用信号/WE、读取启用信号/RE、写入保护信号/WP、及就绪/忙碌信号/RB、数据信号DQ、数据选通信号DQS、以及/DQS的收发。信号CLE、ALE、/WE、/RE、及/WP由NAND型闪存3接收。而且,信号/RB及信号/CE分别由NAND型闪存3接收。

[0050] 芯片启用信号/CE是用来启用NAND型闪存3的信号。指令锁存启用信号CLE能将作为数据信号DQ发送的指令CMD锁存到后述的寄存器15的指令寄存器15A。信号CLE将信号CLE为“H(高(High))”电平的期间流入到NAND型闪存3的信号DQ为指令CMD的情况通知到NAND型闪存3。信号DQ为例如8位(bit)的信号。

[0051] 地址锁存启用信号ALE能将作为数据信号DQ发送的地址ADD锁存到后述的寄存器15的地址寄存器15B。信号ALE将信号ALE为“H”电平的期间发送到NAND型闪存3的信号DQ为地址ADD的情况通知到NAND型闪存3。写入启用信号/WE使之能写入。信号/WE指示将信号/WE为“L(低(Low))”电平的期间发送到NAND型闪存3的信号DQ提取到NAND型闪存3。

[0052] 读取启用信号RE及/RE指示对NAND型闪存3输出数据信号DQ,用于例如控制输出信

号DQ时的NAND型闪存3的动作时序。写入保护信号/WP对NAND型闪存3指示禁止数据写入及抹除。就绪/忙碌信号/RB分别表示NAND型闪存3是就绪状态(受理来自外部的命令的状态),还是忙碌状态(不受理来自外部的命令的状态)。

[0053] 数据信号DQ为例如8位的信号。信号DQ为在NAND型闪存3与存储器控制器2之间收发的数据的实体,包含指令CMD、地址ADD、及数据DAT。能用作基准信号的双向数据选通信号DQS及/DQS用于例如控制信号DQ下的NAND型闪存3的动作时序。

[0054] <NAND型闪存的构成>

[0055] 接下来参考图2,对NAND型闪存3的构成例进行说明。

[0056] NAND型闪存3具备存储器单元阵列11、输入输出电路12、逻辑控制电路13、寄存器15、序列发生器16、电压产生电路17、驱动器18、行译码器19、感测放大器20、输入输出用焊盘群21、及逻辑控制用焊盘群22、数据产生电路14等。

[0057] 存储器单元阵列11具备多个块BLK(BLK0、BLK1、……)。块BLK包含与字线及位线建立关联的多个非易失性存储器单元晶体管(未图示)。块BLK为例如数据的抹除单位,同一块BLK内的数据被统一抹除。各块BLK具备多个串单元SU(SU0、SU1、……)。在各串单元SU内,具备多个NAND串NS。另外,存储器单元阵列11内的块数、1块BLK内的串单元SU数、1串单元SU内的NAND串数能设定为任意数。

[0058] <存储器单元阵列的构成>

[0059] 接下来,参考图3,对NAND型闪存3的存储器单元阵列的构成进行说明。图3表示存储器单元阵列11中的1个块BLK的电路。

[0060] 如图3所示,各串单元SU由NAND串NS的集合构成。NAND串NS中的每一个具备例如64个存储器单元晶体管MT(MT0~MT63)、选择晶体管ST1、及选择晶体管ST2。另外,1个NAND串NS内所包含的存储器单元晶体管MT的个数不限于64个,也可为8个、16个、96个等,它的个数并无限定。存储器单元晶体管MT具备包含控制栅极与电荷存储层的积层栅极。各存储器单元晶体管MT串联连接于选择晶体管ST1及ST2之间。另外,以下说明的连接,不仅包含被连接的要件彼此抵接的电性连接,也包含在至少2个要件间介存其它能导电的要件、例如布线(金属布线、多晶硅布线等)的情况。

[0061] 在任意块BLK内,串单元SU0~SU3的选择晶体管ST1的栅极分别连接于选择栅极线SGD0~SGD3。而且,块BLK内的所有串单元SU的选择晶体管ST2的栅极共通连接于选择栅极线SGS。同一块BLK内的存储器单元晶体管MT0~MT7的控制栅极分别连接于字线WL0~WL7。也就是说,相同地址的字线WL共通连接于同一块BLK内的所有串单元SU,选择栅极线SGS共通连接于同一块BLK内的所有串单元SU。另一方面,选择栅极线SGD只连接于同一块BLK内的1个串单元SU。

[0062] 而且,在存储器单元阵列11内矩阵状配置的NAND串NS中位于同一行的NAND串NS的选择晶体管ST1的另一端连接于m个位线BL(BL0~BL(m-1)(m为自然数))中的任一个。而且,位线BL跨及多个块BLK,共通连接于同一列的NAND串NS。

[0063] 而且,选择晶体管ST2的另一端连接于源极线SL。源极线SL跨及多个块BLK,共通连接于多个NAND串NS。

[0064] 如上所述,数据的抹除例如对位于同一块BLK内的存储器单元晶体管MT统一进行。对此,数据的读出动作及写入动作能就任一块BLK的任一串单元SU中共通连接于任一字线

WL的多个存储器单元晶体管MT统一进行。此种在1个串单元SU中共用字线WL的存储器单元晶体管MT的组称为例如单元部件CU。也就是说,单元部件CU为能统一执行写入动作、或读出动作的存储器单元晶体管MT的组。

[0065] 另外,1个存储器单元晶体管MT能保持例如多位数据。且,在同一单元部件CU内,由存储器单元晶体管MT中的每一个保持在相同位的1位的集合称为「页面」。也就是说,「页面」也能定义为形成于同一单元部件CU内的存储器单元晶体管MT的组的存储器空间的一部分。1页面为例如128Kbit(千位)(16KByte(千字节))。

[0066] 返回到图2继续说明。输入输出电路12至少具备输入电路12A、输出电路12B、及控制电路12C。输入输出电路12与存储器控制器2收发数据信号DQ。输入输出电路12将输入到输入输出用焊盘群21的信号DQ所包含的指令CMD及地址ADD分别传送到寄存器15的指令寄存器15A及地址寄存器15B。而且,输入输出电路12将输入到输入输出用焊盘群21的信号DQ所包含的写入数据DAT传送到感测放大器20的数据寄存器20B,同时将从感测放大器20的数据寄存器20B传送的读出数据DAT传送到输入输出用焊盘群21。

[0067] 图4为输出电路12B的电路图。如图所示,输出电路12B包含着移位寄存器单元31A与多工器(MUX)31D[选择电路]。移位寄存器单元31A具备由串联连接的多个正反器31C构成的移位寄存器31B[保持电路]。移位寄存器31B配置在信号线DQ0~DQ7中的每一个,且分别临时保持数据。正反器31C的数量根据信号DQ的时序控制适当设定,例如为8个。

[0068] 在第一段(图4的纸面的最右侧的)正反器31C的输入端子D,连接多工器31D的多个输入端子中的1个,它的输出端子Q连接于下一段正反器31C的输入端子D。下一段正反器31C的输出端子Q连接于再下一段的正反器31C的输入端子D,以下同样地连接。最后段的正反器31C的输出端子Q连接于信号线DQ0~DQ7中的1个(图4的例中为信号线DQ0)。在各正反器31C的时钟端子,从序列发生器16输入例如周期不同的内部时钟iCLK。各正反器31C在输入到各时钟端子的内部时钟iCLK上升的时序,锁存输入的数据。

[0069] 多工器31D选择例如从存储器单元阵列11读出到感测放大器单元20A并储存在数据寄存器20B的1页面(16KByte)的读出数据DAT中的8位并将其传送到移位寄存器单元31A。被传送的8位的数据依序由作为缓冲器发挥功能的正反器31C保持且传送。例如,如果在由移位寄存器31B临时保持读出数据后,存储器控制器2切换读取启用信号RE及/RE,那么由移位寄存器31B保持的读出数据从最后段的正反器31C的输出端子Q以8位为单位作为DQ数据输出。也就是说,由输出电路12B,将16KByte的并联数据转换为8位的串联数据。

[0070] 再次返回到图2继续说明。逻辑控制电路13从存储器控制器2接收信号/CE、CLE、ALE、/WE、/RE、及/WP。而且,逻辑控制电路13将信号/RB传送到存储器控制器2,向存储器控制器2通知NAND型闪存3是就绪状态还是忙碌状态。

[0071] 逻辑控制电路13包含具备锁相回路(PLL:Phase-Locked Loop)电路或延迟锁定回路(DLL:Delay-Locked Loop)电路的修正电路13a。修正电路13a具有经由逻辑控制用焊盘群内的焊盘分别修正被输入的信号RE及/RE等的占空比的功能。所述修正电路13a基于来自序列发生器16的控制信号而修正信号RE及/RE的占空比,产生修正后的信号RE及/RE。修正后的信号RE及/RE被送出到例如输入输出电路12,输入输出电路12在与修正后的信号RE及/RE对应的时序,切换信号DQS及/DQS。

[0072] 寄存器15具备保持指令CMD的指令寄存器15A及保持地址ADD的地址寄存器15B。寄

寄存器15将地址ADD传送到行译码器19及感测放大器20,同时将指令CMD传送到序列发生器16。

[0073] 序列发生器16接收指令CMD,根据基于接收到的指令CMD的序列,控制NAND型闪存3整体。而且,序列发生器16将从温度传感器等接收到的温度信息,经由输入输出电路12送出到存储器控制器2。

[0074] 电压产生电路17基于来自序列发生器16的指示,产生数据的写入、读出、及抹除等动作所需的电压。电压产生电路17将产生的电压供给到驱动器(驱动器组)18。

[0075] 驱动器18基于从寄存器15的地址寄存器15B传送的地址ADD,将来自电压产生电路17的各种电压供给到行译码器19及感测放大器20。驱动器18基于例如地址中的行地址,对行译码器19供给各种电压。

[0076] 行译码器19接收从寄存器15的地址寄存器15B传送的地址ADD所包含的行地址,选择基于所述行地址的行的存储器单元晶体管。且,对所选择的行的存储器单元晶体管,经由行译码器19传送来自驱动器18的电压。

[0077] 感测放大器20具备感测放大器单元20A及数据寄存器20B。在读出数据时,例如,感测放大器单元20A读出(感测)从存储器单元晶体管读出到位线的读出数据DAT,并将读出的读出数据DAT传送到数据寄存器20B。保持在数据寄存器20B的读出数据DAT被传送到输出电路12B。在写入数据时,例如,将写入数据DAT从输入电路12A传送到数据寄存器20B的写入数据DAT,由感测放大器单元20A经由位线写入到存储器单元晶体管。感测放大器20从寄存器15的地址寄存器15B接收地址ADD所包含的列地址,并输出基于所述列地址的列数据。

[0078] 例如,对应于从存储器控制器2给出的读取指令,感测放大器单元20A从存储器单元晶体管读出数据并将其传送到数据寄存器20B,对应于从存储器控制器2给出的数据输出指令,将数据寄存器20B保持的数据传送到输出电路12B。

[0079] 将从存储器控制器2给出读取指令起,到感测放大器20A从存储器单元阵列11读出数据,并将读出的数据保持在数据寄存器20B的期间称为「期间 $t_R$ 」。期间 $t_R$ 的期间,就绪/忙碌信号R/Bn及内部忙碌信号都为“L”电平(就绪状态)。

[0080] 输入输出用焊盘群21将从存储器控制器2接收到的数据信号DQ、DQS、及/DQS传送到输入输出电路12。而且,输入输出用焊盘群21将从输入输出电路12发送的信号DQ传送到NAND型闪存3的外部。

[0081] 逻辑控制用焊盘群22将从存储器控制器2接收到的信号/CE、CLE、ALE、/WE、/RE、及/WP传送到逻辑控制电路13。而且,逻辑控制用焊盘群22将从逻辑控制电路13发送的/RB传送到NAND型闪存3的外部。

[0082] 数据产生电路14基于例如来自序列发生器16的指示,根据信号DQS及/DQS,从输出电路12B输出虚拟数据。具体来说,存储器控制器2切换读取启用信号RE及/RE,NAND型闪存3接收信号RE及/RE并产生信号DQS及/DQS。数据产生电路14接收信号DQS及/DQS,产生预设的虚拟数据并将其从输出电路12B输出到存储器控制器2。存储器控制器2在判断为接收到的数据为虚拟数据的情况下,不进行处理,或将之处理为无效数据。

[0083] 虚拟数据可为例如随机样式。或者,虚拟数据可为如55h-AAh-55h-AAh……般,信号线DQ0~DQ7的各信号在“H”电平与“L”电平重复切换的样式,或者,也可为固定值的数据样式。而且,数据产生电路14也可包含在逻辑控制电路13或输入输出电路12。例如,输入输

出电路12的控制电路12C也可具有作为数据产生电路14的功能。

[0084] 接下来,参考图1到图4、及图6,对利用本实施方式的数据产生电路14的虚拟数据输出的,从NAND型闪存3向存储器控制器2的数据输出动作的稳定化进行说明。图4表示输出电路12B的一构成例。图6A表示比较例的数据读出的时序图,图6B表示本实施方式的数据读出的时序图。

[0085] 图6A表示比较例中设定在NAND型闪存3的待机时间 $t_{\text{WHR2}}$ 与延迟时间(等待时间: latency)。比较例的NAND型闪存3具有与本实施方式的数据产生电路14同样的电路构成,但与待机时间 $t_{\text{WHR2}}$ 及延迟时间关联的动作不同。

[0086] 例如,如果从存储器控制器2向NAND型闪存3发行读取指令,那么感测放大器20的感测放大器单元20A从存储器单元阵列11读出1页面(例如16KByte)的数据,数据寄存器20B储存读出的数据。接下来,例如,从存储器控制器2向NAND型闪存3发行数据输出指令。数据输出指令为例如包含作为8位信号DQ给出的1个或多个指令信号(“05h”及“E0h”)、与作为8位信号DQ给出的1个或多个地址信号(列地址ADD及行地址ADD)的指令组。

[0087] 如果从存储器控制器2向NAND型闪存3发行数据输出指令,那么如图4所示,从数据寄存器20B向输出电路12B传送1页面的数据。输出电路12B的多工器31D从传送的16KByte的数据依序选择8位数据并将其传送到移位寄存器单元31A,移位寄存器单元31A通过作为缓冲器发挥功能的正反器31C保持8位数据同时进行传送。由此,读出数据临时保持在移位寄存器31B。如果在所述状态切换(toggle)信号RE及/RE,那么从最后段的正反器31C的输出端子Q经由输入输出用焊盘群21将8位的DQ数据输出到存储器控制器2。

[0088] 待机时间 $t_{\text{WHR2}}$ [第1期间]为例如从存储器控制器2向NAND型闪存3发行数据输出指令起,到用来将从存储器单元阵列11读出的16KByte的读出数据从数据寄存器20B传送到输出电路12B,同时在输出电路12B中将它最初的8位作为DQ数据输出到存储器控制器2的准备完成所需的时间。因此,例如,在待机时间 $t_{\text{WHR2}}$ 的期间内,数据寄存器20B的数据中的最初的8位被传送到输出电路12B的移位寄存器单元31A的最后段的正反器31C,且在经过待机时间 $t_{\text{WHR2}}$ 后,存储器控制器2开始切换信号RE及/RE,由此开始向信号线DQ0~DQ7输出8位DQ数据,假设如果不等待待机时间 $t_{\text{WHR2}}$ ,存储器控制器2便开始切换信号RE及/RE,那么有可能例如在向连接于信号线DQ0~DQ7的未图示的输出缓冲器储存8位数据未完成的状态下输出不完整的数据,或者,输出不期望的数据。

[0089] 也就是说,在比较例中,存储器控制器2对NAND型闪存3发行数据输出指令后,如果不等待待机时间 $t_{\text{WHR2}}$ ,那么无法切换用来对NAND型闪存3指示数据输出的信号RE及/RE。

[0090] 而且,如图6A所示,在比较例中,经过待机时间 $t_{\text{WHR2}}$ [第1期间]后,还增加了延迟时间(延迟时间: latency)[第2期间]。

[0091] 如果存储器控制器2开始切换信号RE及/RE,那么延迟期间 $t_{\text{DQSRE}}$ ,也开始切换从NAND型闪存3发出的信号DQS及/DQS。例如,所述逻辑控制电路13的修正电路13a修正经由逻辑控制用焊盘群22从存储器控制器2输入的信号RE及/RE的占空比,输入输出电路12基于修正后的信号RE及/RE产生信号DQS及/DQS。

[0092] 信号DQS及/DQS用于例如控制信号DQ下的NAND型闪存3的动作时序。因此,NAND型闪存3能在例如信号DQS及/DQS开始切换后立即开始有效数据的输出。

[0093] 但是,存储器控制器2刚开始切换信号RE及/RE后,有时NAND型闪存3的电源VDD变

得不稳定。因此,例如,为了保留有效数据的输出直到因信号RE及/RE的切换开始而变得不稳定的电源VDD稳定为止,设定所述延迟时间。开始有效数据的输出的时序从信号DQS及/DQS的切换开始的时序起延迟延迟时间。

[0094] 所述延迟时间为了使电源VDD稳定化优选为长时间,但为了动作高速化优选为短时间。另外,也有为了确保设置在修正电路(DCC)13a的锁相回路(PLL)或延迟锁定回路(DLL)等的修正处理,例如占空比修正或时序修正所需的时间而设定所述延迟时间的情况。

[0095] 例如,序列发生器16对信号RE及/RE中的任一个、或信号DQS及/DQS中的任一个进行计数,在达到特定的计数次数后,开始从数据寄存器20B传送到输出电路12B的数据(有效数据)的输出。

[0096] 图5是表示比较例的数据输出的流程图。

[0097] 首先,在比较例中,通过预先从存储器控制器2发行的读取指令,感测放大器20的感测放大器单元20A从存储器单元阵列11读出数据,例如1页面16KByte的数据,由数据寄存器20B储存读出的数据。在所述状态下,存储器控制器2切换信号/WE,经由数据信号线DQ0~DQ7发行数据输出指令(步骤S1)。所述指令被输出到感测放大器20,且从信号/WE的切换停止的时点起,开始预设的时间测量(步骤S2)。与此并行,在NAND型闪存3中,从数据寄存器20B对输出电路12B内的多工器31D传送读出数据(步骤S3)。在待机时间 $t_{\text{WHR}2}$ 的期间,多工器32D以例如8位为单位选择16KByte的数据,并将其传送到移位寄存器单元31A。在所述待机时间 $t_{\text{WHR}2}$ 的期间(步骤S4:否(NO)),无法保证输出电路12B能向存储器控制器2输出数据的准备已完成。因此,存储器控制器2在待机时间 $t_{\text{WHR}2}$ 的期间,不开始切换读取启用信号RE及/RE。

[0098] 然后,如果待机时间 $t_{\text{WHR}2}$ 的期间结束(步骤S4:是(YES)),那么输出电路12B能向存储器控制器2输出数据的准备已完成,因此存储器控制器2开始切换读取启用信号RE及/RE(步骤S5)。接收到切换信号RE及/RE的NAND型闪存3开始切换信号DQS及/DQS。接收到切换信号DQS及/DQS的数据产生电路14使预设的虚拟数据从输出电路12B输出。

[0099] 输出电路12B例如在预设的延迟时间的期间,将无效的虚拟数据输出到信号线DQ0~DQ7,在预设的延迟时间结束后,将储存在移位寄存器单元31A的数据输出到信号线DQ0~DQ7(步骤S6)。与所述输出协同,能从数据寄存器20B对输出电路12B的多工器31D持续传送数据(步骤S7)。此外,从输出电路12B对存储器控制器2输出数据。

[0100] 在所述比较例中,从存储器控制器2发行数据输出指令起,到从NAND型闪存3输出最初的有效8位数据为止的时间,至少包含NAND型闪存3的内部数据传送处理所需的待机时间 $t_{\text{WHR}2}$ 、与为了等待对应于信号RE及/RE的切换而变得不稳定的电源VDD稳定所需的延迟时间。例如,如果延迟时间较短,那么在电源VDD的输出稳定之前开始数据输出,因此输出的数据的电平可能变得不稳定。

[0101] 接下来,参考图6B所示的时序图及图7所示的流程图,对第1实施方式的数据产生电路14的数据输出进行说明。另,对与所述的图6A所示的时序图及图5所示的流程图的动作同等的动作,有标注相同的步骤编号而简化说明的情况。

[0102] 在本实施方式中,存储器控制器2在经过比NAND型闪存3的内部数据传送处理所需的待机时间 $t_{\text{WHR}2}$ 短的待机时间 $t_{\text{WHR}2}'$ 后,开始切换信号RE及/RE。且,在NAND型闪存3中,输入输出电路12基于从存储器控制器2接收到的信号RE及/RE产生信号DQS及/DQS并将其输出到

输出电路12B,同时数据产生电路14基于信号DQS及/DQS产生虚拟数据并将其输出到输出电路12B。输出电路12B在延迟时间的期间,向存储器控制器2输出虚拟数据。存储器控制器2不对接收到的虚拟数据作出应对。不作出应对能谋求电源输出的稳定。虚拟数据可为例如随机样式、或预设的数据样式,并无特别限定。

[0103] 在本实施方式中,在说明数据输出动作时,也事先设为存储器控制器2发行读取指令,从存储器单元阵列11读出期望的数据,并储存在数据寄存器20B。

[0104] 首先,存储器控制器2对NAND型闪存3发行数据输出指令(步骤S1)。所述数据输出指令为包含作为8位的信号DQ给出的第1指令信号“05h”、列地址信号ADD、行地址信号ADD、及第2指令信号“E0h”的指令组。存储器控制器2配合数据输出指令的发行,以时间 $t_{WC}$ 的周期切换信号/WE。

[0105] 接下来,存储器控制器2发行数据输出指令,同时开始时间测量(步骤S2)。然后,存储器控制器2在待机时间 $t_{WHR2}$ 的期间内,也就是经过比待机时间 $t_{WHR2}$ 短的 $t_{WHR2}'$ 后,以时间 $t_{RC}$ 的周期切换信号RE及/RE(步骤S5)。待机时间 $t_{WHR2}$ 的期间内的信号RE及/RE的切换次数及切换开始时序能利用例如组特征(set feature)适当设定。

[0106] 与此并行,NAND型闪存3接收数据输出指令后,数据寄存器20B将所保持的例如16KByte的数据传送到输入输出电路12内的多工器31D(步骤S3)。多工器31D例如将16KByte的数据以8位为单位传送到移位寄存器单元31A的各移位寄存器31B。

[0107] 而且,在信号RE及/RE的切换开始后,在NAND型闪存3中,延迟期间 $t_{DQSRE}'$ ,开始切换信号DQS及/DQS。数据产生电路14在信号DQS及/DQS的切换开始后,产生虚拟数据,并对输出电路12B输出(步骤S8)。输出电路12B在预设的延迟时间的期间,将虚拟数据与信号DQS及/DQS一起输出到存储器控制器2(步骤S11)。在图6B所示的本实施方式中,表示信号DQS及/DQS的切换开始,同时虚拟数据的输出开始的例。但是,所述时序并无限定。如上所述,存储器控制器2不对虚拟数据进行处理。而且,通过将信号RE及/RE的切换开始的时序提前,而在开始输出有效数据而非虚拟数据的时序,电源VDD的输出更稳定。

[0108] 然后,如果例如信号DQS的切换数达到设定次数(步骤S12:是),那么从输出电路12B的移位寄存器单元31A对存储器控制器2输出读出的数据信号DQ(步骤S6)。与所述输出协同,能从数据寄存器20B对输出电路12B的多工器31D持续传送数据(步骤S7)。还从输出电路12B对存储器控制器2输出数据。而且,信号DQ的虚拟数据的输出时间或周期数(切换次数)是适当设定的,并无限定。

[0109] 在图6A所示的比较例中,经过待机时间 $t_{WHR2}$ 后,开始切换(toggle)信号RE及/RE,接下来开始切换信号DQS及/DQS。而且,开始输出有效数据的时序从信号DQS及/DQS的切换开始的时序延迟延迟时间。因信号RE及/RE的切换开始,电源VDD变得不稳定的情况下,能通过将延迟时间设定得较长,而在电源VDD稳定后开始输出有效数据。另一方面,在比较例中,从存储器控制器2发行数据输出指令起,到从NAND型闪存3输出最初的有效的8位数据为止的时间,至少比待机时间 $t_{WHR2}$ 与延迟时间的和长。

[0110] 对此,本实施方式在图6B所示的待机时间 $t_{WHR2}$ [第1期间]的期间,开始切换(toggle)信号RE及/RE[第1信号],接下来开始切换信号DQS及/DQS[第2信号]。而且,数据产生电路14在经过信号DQS及/DQS的任意次数的切换后,产生虚拟数据[第1数据],并从输出电路12B输出到存储器控制器2。存储器控制器2不将虚拟数据作为有效数据(从存储器单元

阵列11读出并储存在数据寄存器20B的数据)处理,不进行数据处理。存储器控制器2能基于例如信号DQS的切换次数等,判断是否为虚拟数据。虚拟数据为如55h-AAh-55h-AAh……般的重复切换的样式的情况下,也可替代信号DQS的切换次数,而基于虚拟数据的切换次数判断是否为虚拟数据。

[0111] 如以上所述,在本实施方式中,在待机时间 $t_{\text{WHR}2}$ 的期间连续开始切换信号RE及/RE、与切换信号DQS及/DQS,接下来输出虚拟数据,由此能使待机时间 $t_{\text{WHR}2}$ 与延迟时间时间上重叠,能从早于比较例的时期谋求电源VDD的输出的稳定。因此,在将开始输出有效数据的时序设定为与图6A所说明的比较例相同的时序的情况下,能将用来谋求电源输出的稳定的延迟时间(latency)设定得更长。由此,例如如图6B所示,能在电源VDD的输出稳定后,开始输出有效数据,能提高数据的读出可靠性。

[0112] 或者,如果电源VDD的输出稳定到与比较例的情况相同程度,数据的读出可靠性不存在问题的情况下,通过从更早的时期开始切换信号RE及/RE,而切换信号DQS及/DQS同时输出虚拟数据的延迟时间在更早的时期结束,因此能使开始输出有效数据的时序早于比较例,而实现实质性的数据读出时间的高速化。

[0113] 相对于待机时间 $t_{\text{WHR}2}$ ,存储器控制器2开始信号RE及/RE的切换的时序、或虚拟数据的输出结束而开始有效数据的输出的时序,不限于作为第1实施方式表示在图6B,能根据设计或装置规格适当进行设定。以下,对时序的设定例进行说明。

[0114] [第1设定例]

[0115] 图8所示的第1设定例将待机时间 $t_{\text{WHR}2}$ 的切换结束、与延迟时间(latency)的虚拟数据的输出结束设定为同一时序。也就是说,设定为待机时间 $t_{\text{WHR}2}$ 一结束即可进行数据输出。

[0116] 首先,在待机时间 $t_{\text{WHR}2}$ 的期间内开始切换信号RE及/RE,随后立即开始切换信号DQS及/DQS,开始输出信号DQ中的虚拟数据。信号RE及/RE的切换与信号DQS及/DQS的切换持续进行直到至少信号DQ中的虚拟数据输出结束为止。

[0117] 在所述第1设定例中,待机时间 $t_{\text{WHR}2}$ 设定为300nsec,切换信号RE及/RE的1个周期时间 $t_{\text{RC}}$ 设定为2.5nsec。当然,所述时间设定并无限定,能由存储器控制器2适当进行设定。另外,其它设定例也能同样进行时间设定。

[0118] [第2设定例]

[0119] 图9所示的第2设定例设定为在待机时间 $t_{\text{WHR}2}$ 的切换结束后,使延迟时间(latency)的虚拟数据结束的时序。与所述的第1实施方式相同。第2设定例与第1设定例相比,时序设定较为容易。在所述第2设定例中,也将待机时间 $t_{\text{WHR}2}$ 设定为300nsec,将切换信号RE及/RE的1个周期时间 $t_{\text{RC}}$ 设定为2.5nsec。此时,信号RE及/RE的切换与信号DQS及/DQS的切换在待机时间 $t_{\text{WHR}2}$ 的期间内开始,且持续进行直到信号DQ的虚拟数据的输出结束为止。

[0120] [第3设定例]

[0121] 图10所示的第3设定例在待机时间 $t_{\text{WHR}2}$ 的期间内,将信号RE及/RE与信号DQS及/DQS的切换临时停止后,在待机时间 $t_{\text{WHR}2}$ 结束时重启切换。设定成与上述切换重启的同时,结束延迟时间(latency)的信号DQ中的虚拟数据的输出。

[0122] 具体来说,在待机时间 $t_{\text{WHR}2}$ 的期间内,开始信号RE及/RE的切换与信号DQS及/DQS的切换,开始输出虚拟数据。此外,在待机时间 $t_{\text{WHR}2}$ 的期间内,达到设定的切换次数的信号

RE及/RE与信号DQS及/DQS结束切换,但信号DQ中的虚拟数据的输出仍继续。且,等待用来开始数据输出的信号RE及/RE的切换。

[0123] 之后,与待机时间 $t_{\text{WHR2}}$ 结束的同时,重启信号RE及/RE、与信号DQS及/DQS的切换,信号DQ中的虚拟数据的输出结束。

[0124] 在第3设定例中,待机时间 $t_{\text{WHR2}}$ 设定为300nsec,切换信号RE及/RE的1个周期时间 $t_{\text{RC}}$ 设定为2.5nsec。

[0125] 在所述第3设定例中,因为中断了信号RE及/RE的切换与信号DQS及/DQS的切换,所以能抑制电力消耗。

[0126] [第4设定例]

[0127] 图11所示的第43设定例设定为在待机时间 $t_{\text{WHR2}}$ 的期间内,开始切换信号RE及/RE,在待机时间 $t_{\text{WHR2}}$ 结束后的延迟时间(latency),开始信号DQS及/DQS的切换与信号DQ中的虚拟数据的输出。在第4设定例中,待机时间 $t_{\text{WHR2}}$ 设定为300nsec,切换信号RE及/RE的1个周期时间 $t_{\text{RC}}$ 设定为2.5nsec。在所述第4设定例中,也与第3设定例同样,能抑制电力消耗。

[0128] [第2实施方式]

[0129] 接下来,参考图12所示的流程图,对第2实施方式中从NAND型闪存3向存储器控制器2的数据输出动作进行说明。另,对与所述的图7所示的流程图的动作同等的动作,标注相同的步骤编号而简化说明。

[0130] 本实施方式在所述的第1实施方式的延迟时间内进行虚拟数据的输出、与修正电路的PLL/DLL的占空比的修正处理。

[0131] 首先,存储器控制器2开始切换信号/WE,并发行地址ADD及数据输出指令(步骤S1)。NAND型闪存3接收到数据输出指令后,储存在数据寄存器20B的数据被传送到输入输出电路12内的多工器31D(步骤S3)。多工器31D将例如16KByte的数据以8位t为单位储存在各移位寄存器31B。

[0132] 而且,从发行数据输出指令同时信号/WE的切换停止的时点起,存储器控制器2开始时间测量(步骤S2)。然后在待机时间 $t_{\text{WHR2}}$ 的期间内,存储器控制器2开始信号RE及/RE的1个周期为待机时间 $t_{\text{RC}}$ 的切换(步骤S4)。信号RE及/RE的切换开始后,NAND型闪存3在设定的时间后,开始切换信号DQS及/DQS。信号DQS及/DQS的切换开始后,数据产生电路14产生虚拟数据,并将其输出到输出电路12B(步骤S8)。

[0133] 输出电路12B经由信号线DQ0~DQ7,将虚拟数据与信号DQS及/DQS一起输出到存储器控制器2(步骤S11)。与上述虚拟数据的输出并行,也就是说,在待机时间及延迟时间(latency)内,进行设置在逻辑控制电路13的修正电路13a的PLL/DLL的占空比的修正处理(步骤S13)。

[0134] 在所述虚拟数据输出中,储存在数据寄存器20B的数据被传送到多工器31D(步骤S3)。多工器31D将例如16KByte的数据以8位为单位储存在各移位寄存器31B。

[0135] 然后,在例如信号DQS的切换达到设定的次数(或,切换的输出时间)时(步骤S12:是),也就是说,延迟时间(latency)结束时,开始向存储器控制器2输出读出到移位寄存器31B的数据(步骤S6)。与上述输出协同,能从数据寄存器20B对输出电路12B的多工器31D持续传送数据(步骤S7)。还从输出电路12B对存储器控制器2输出数据。

[0136] 在本实施方式中,通过从早于比较例的时期谋求电源输出的稳定,能在电源输出

稳定后开始数据的输出。此外,因为从较早的时期谋求电源输出的稳定,所以能将延迟时间(latency)设定得更长。因此,能确保在延迟时间内进行占空比的修正处理等其它处理的时间。而且,通过利用待机时间或延迟时间执行所述修正处理的时间而能使用充足的处理时间,能提高修正的精度。

[0137] [第3实施方式]

[0138] 接下来,参考图13所示的流程图,对第3实施方式中从NAND型闪存3向存储器控制器2的数据输出动作进行说明。另,对与所述的图7所示的流程图的动作同等的动作,标注相同的步骤编号而简化说明。

[0139] 本实施方式为将所述第1实施方式的数据输出指令的发行、与信号RE及/RE的切换开始的步骤对调的流程。也就是说,先开始切换信号RE及/RE后,再发行数据输出指令。

[0140] 首先,存储器控制器2开始切换信号RE及/RE(步骤S5)。之后,存储器控制器2发行地址ADD及数据输出指令(步骤S1)。发行数据输出指令后,存储器控制器2开始时间测量(步骤S2)。

[0141] 存储器控制器2在测定开始后,在待机时间 $t_{\text{whr}2}$ 的期间内经过预设的时间或信号RE及/RE的切换次数后,开始切换信号DQS及/DQS。开始切换信号DQS及/DQS后,数据产生电路14产生虚拟数据,并将其输出到输出电路12B(步骤S8)。

[0142] 输出电路12B在延迟时间的期间,经由信号线DQ0~DQ7,将虚拟数据与信号DQS及/DQS一起输出到存储器控制器2(步骤S11)。在本实施方式中,存储器控制器2也将接收到的数据判断为虚拟数据,而不进行处理。

[0143] 而且,NAND型闪存3接收数据输出指令后,储存在数据寄存器20B的数据被传送到输入输出电路12内的多工器31D(步骤S3)。多工器31D将例如16KByte的数据以8位为单位储存在各移位寄存器31B。

[0144] 之后,例如信号DQS的切换达到设定的次数时(步骤S12:是),也就是延迟时间(latency)结束时,从输出电路12B的移位寄存器单元31A对存储器控制器2输出数据(步骤S6)。与所述输出协动,能从数据寄存器20B对输出电路12B的多工器31D持续传送数据(步骤S7)。还从输出电路12B对存储器控制器2输出数据。

[0145] 如以上所述,本实施方式能获得与所述的第1实施方式同等的作用效果。此外,在本实施方式中,数据输出指令的发行、与信号RE及/RE的切换开始时序并无限定,也可在信号RE及/RE的切换开始后发行数据输出指令。在本实施方式中,也可在待机时间及进行虚拟数据的输出的期间,同时或并行地处理由感测放大器20从存储器单元阵列11读出数据并将其传送到输出电路12B的多工器31D,因此能实现电源的稳定,输出适当的数据。

[0146] [第4实施方式]

[0147] 接下来,参考图14所示的流程图,对第4实施方式中从NAND型闪存3向存储器控制器2的数据输出动作进行说明。另外,对与所述的图7所示的流程图的动作同等的动作,标注相同的步骤编号而简化说明。

[0148] 本实施方式为在通过读取指令的发行而从存储器单元晶体管读出数据时,开始切换信号RE及/RE,并在之后发行数据输出指令的例。

[0149] 首先,存储器控制器2将读取指令与地址ADD等一起发行到NAND型闪存3(步骤S14)。

[0150] 根据读取指令,感测放大器单元20A从存储器单元阵列11读出数据,并储存在数据寄存器20B(步骤S15)。与此并行,存储器控制器2开始切换信号RE及/RE(步骤S5)。

[0151] 而且,NAND型闪存3在开始切换信号RE及/RE后,开始切换信号DQS及/DQS。信号DQS及/DQS的切换开始后,数据产生电路14产生虚拟数据,并将其输出到输出电路12B(步骤S8)。输出电路12B经由信号线DQ0~DQ7,将虚拟数据与信号DQS及/DQS一起输出到存储器控制器2(步骤S11)。在本实施方式中,虚拟数据即便从输出电路12B输出到存储器控制器2,也被判断为无效数据,而未经处理。

[0152] 接下来,存储器控制器2向NAND型闪存3发行数据输出指令(步骤S1)。发行数据输出指令后,存储器控制器2开始时间测量(步骤S2)。在待机时间 $t_{\text{WHR}2}$ 的期间内,储存在数据寄存器20B内的数据被传送到输出电路12B的多工器31D(步骤S3)。多工器31D将例如16KByte的数据以8位为单位,对各移位寄存器31B进行最初的储存。

[0153] 之后,例如信号DQS的切换达到设定的次数时(步骤S12:是),也就是说延迟时间(latency)结束时,从输出电路12B的移位寄存器单元31A对存储器控制器2输出数据(步骤S6)。与所述输出协动,能从数据寄存器20B对输出电路12B的多工器31D持续传送数据(步骤S7)。还从输出电路12B对存储器控制器2输出数据。

[0154] 如以上所述,本实施方式能获得与所述的第1实施方式同等的作用效果。此外,本实施方式能在发行读取指令后且发行数据输出指令前的期间,开始切换信号RE及/RE。

[0155] [第5实施方式]

[0156] 参考图15所示的时序图,对第5实施方式中从NAND型闪存3向存储器控制器2的数据输出动作进行说明。

[0157] 本实施方式替代所述的各实施方式所使用的读取输出指令,利用获取特征(get feature)指令,使NAND型闪存3输出预设的设定值。具体来说,存储器控制器2如图15所示,发行获取特征指令的读取指令XXh后,在相当于所述待机时间 $t_{\text{WHR}2}$ 的期间(时间 $t_{\text{WB}}$ +设定时间 $t_{\text{FEAT}}$ +时间 $t_{\text{RP}}$ )内,开始切换信号RE及/RE,对应于此,NAND型闪存3开始切换信号DQS及/DQS。信号DQS及/DQS的切换开始后,数据产生电路14产生虚拟数据,并将其输出到输出电路12B。输出电路12B经由信号线DQ0~DQ7,将虚拟数据输出到存储器控制器2。且,NAND型闪存3在虚拟数据的输出结束后,将设定值输出到存储器控制器2。

[0158] 本实施方式的NAND型闪存3将设定时间 $t_{\text{FEAT}}$ 、信号RE及/RE的切换开始及结束的时序、信号DQS及/DQS的切换开始及结束的时序、每一个的切换次数、及/或、虚拟数据的输出时间(虚拟数据为如55h-AAh-55h-AAh……的重复切换的样式的情况下,它的切换次数)中每一个的设定值预先保持在未图示的特征寄存器,在受理到动作指令的情况下,基于设定值而动作。

[0159] 在本实施方式中,也能发挥与所述的第1实施方式同等的效果。

[0160] 虽已说明本发明的若干个实施方式,但所述实施方式是作为例子而提示的,并非意图限定发明的范围。所述实施方式能以其它各种方式实施,在不脱离发明主旨的范围内能进行各种省略、置换、变更。所述实施方式或其变化包含在发明范围或主旨内,同样包含在权利要求书所记载的发明及其均等的范围内。

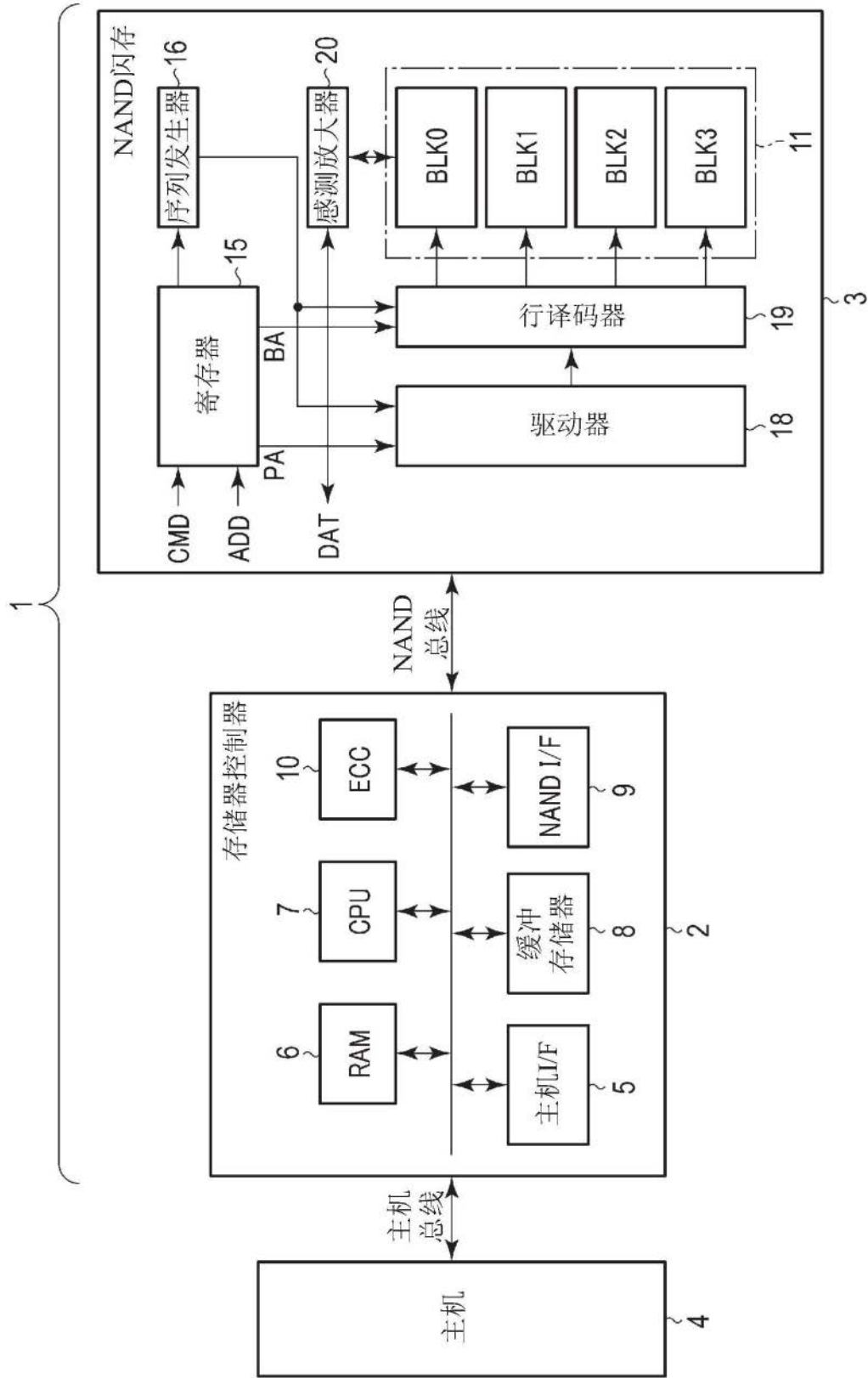


图1

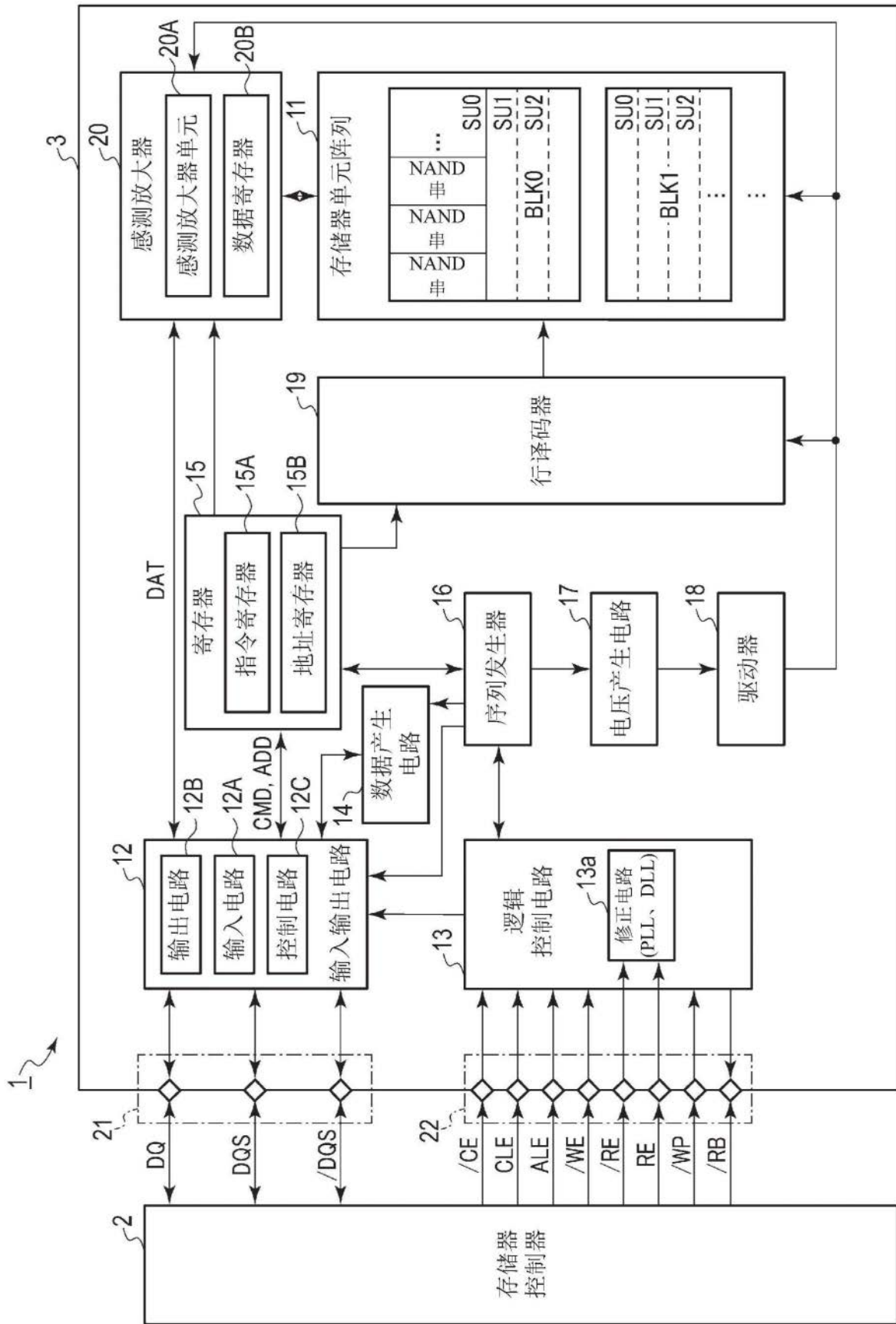


图2

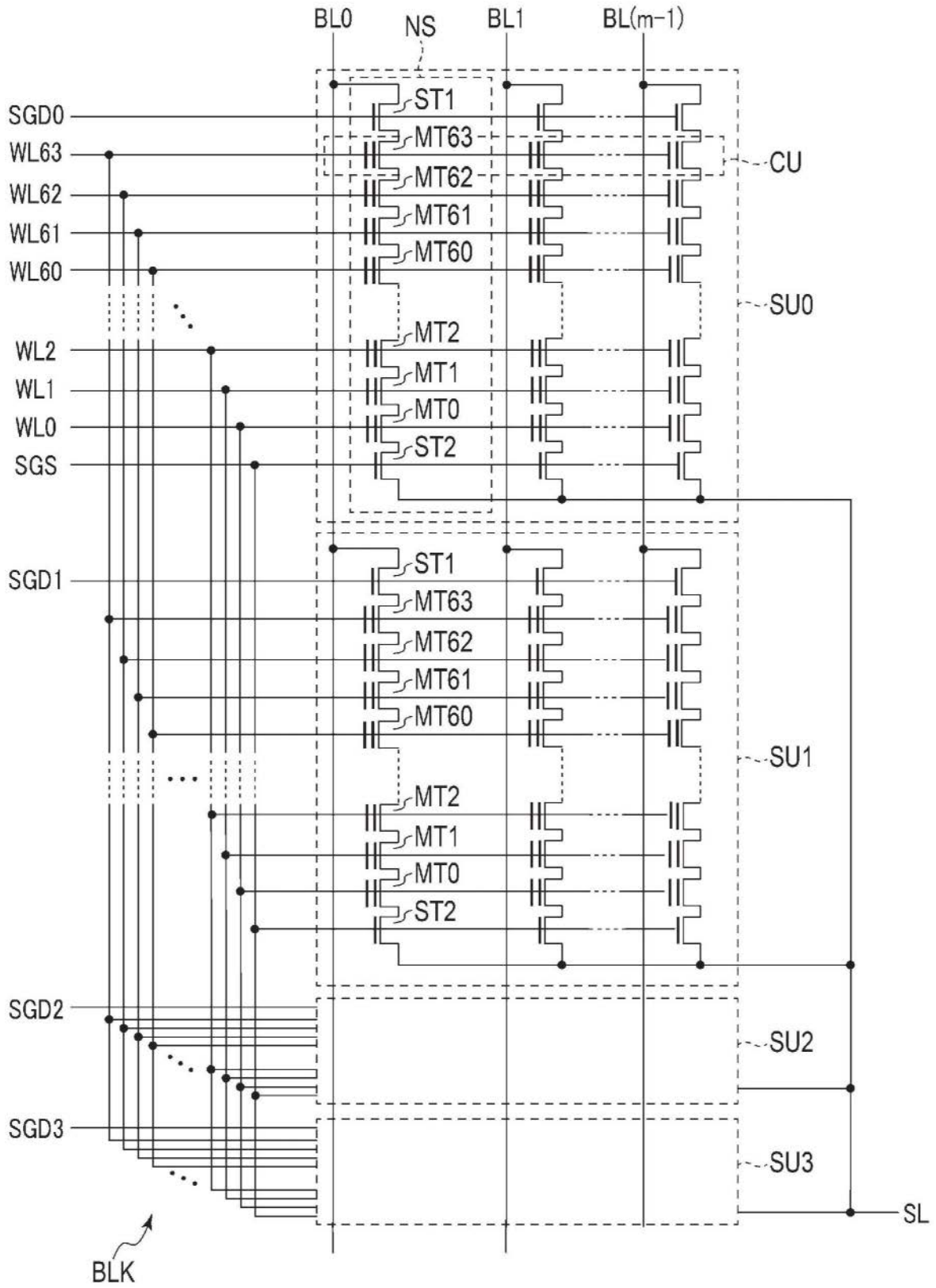


图3

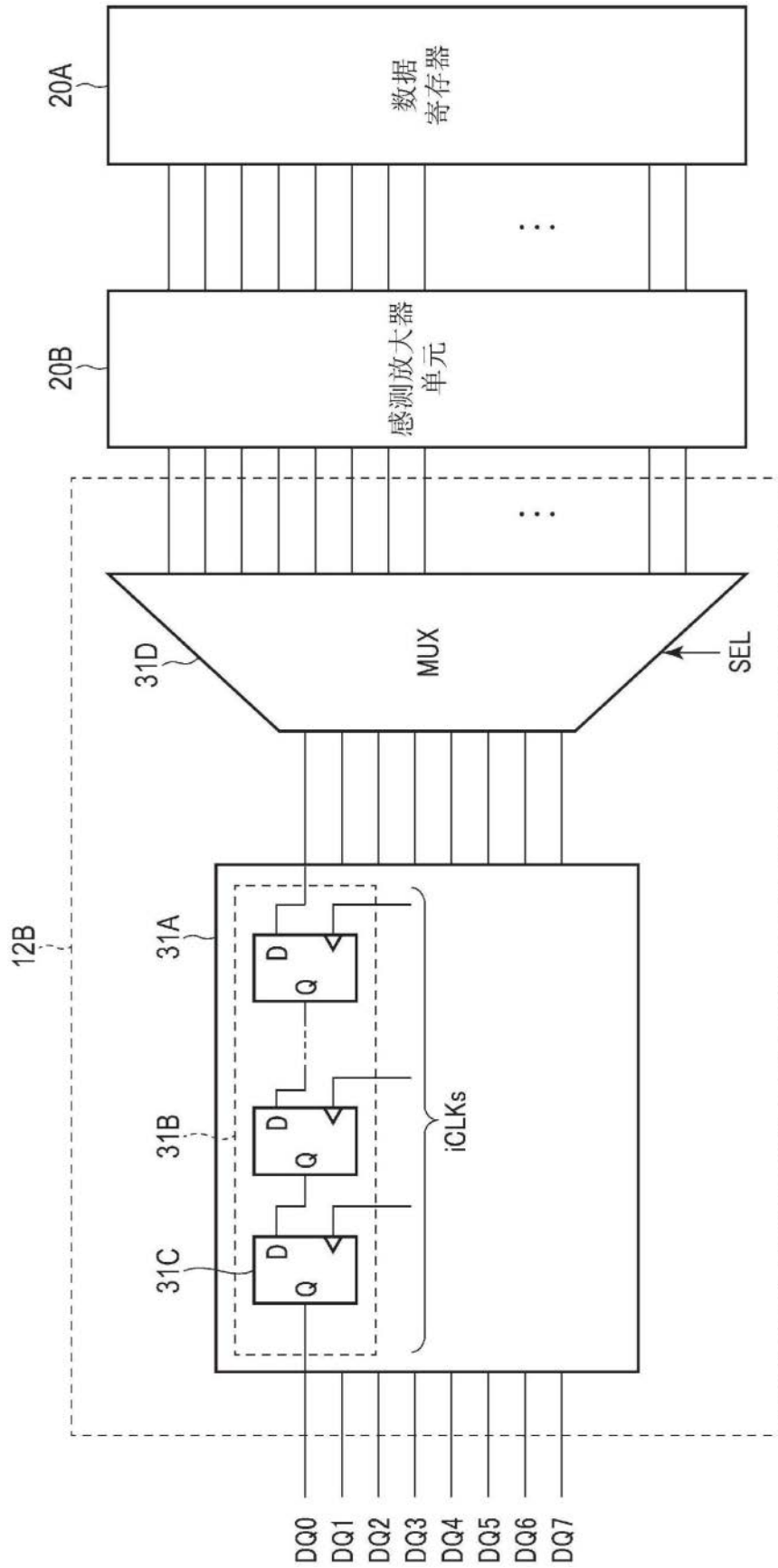


图4

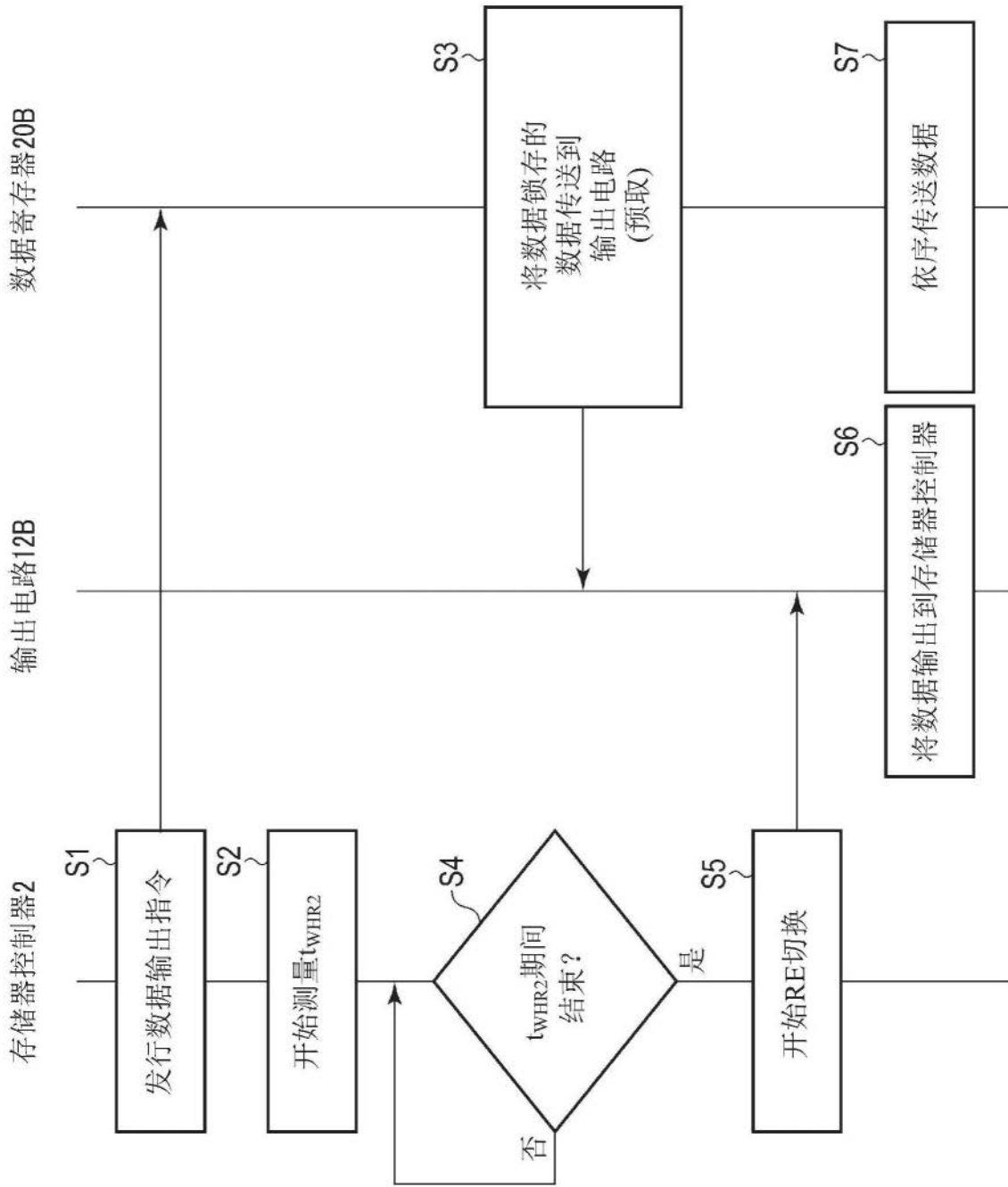


图5

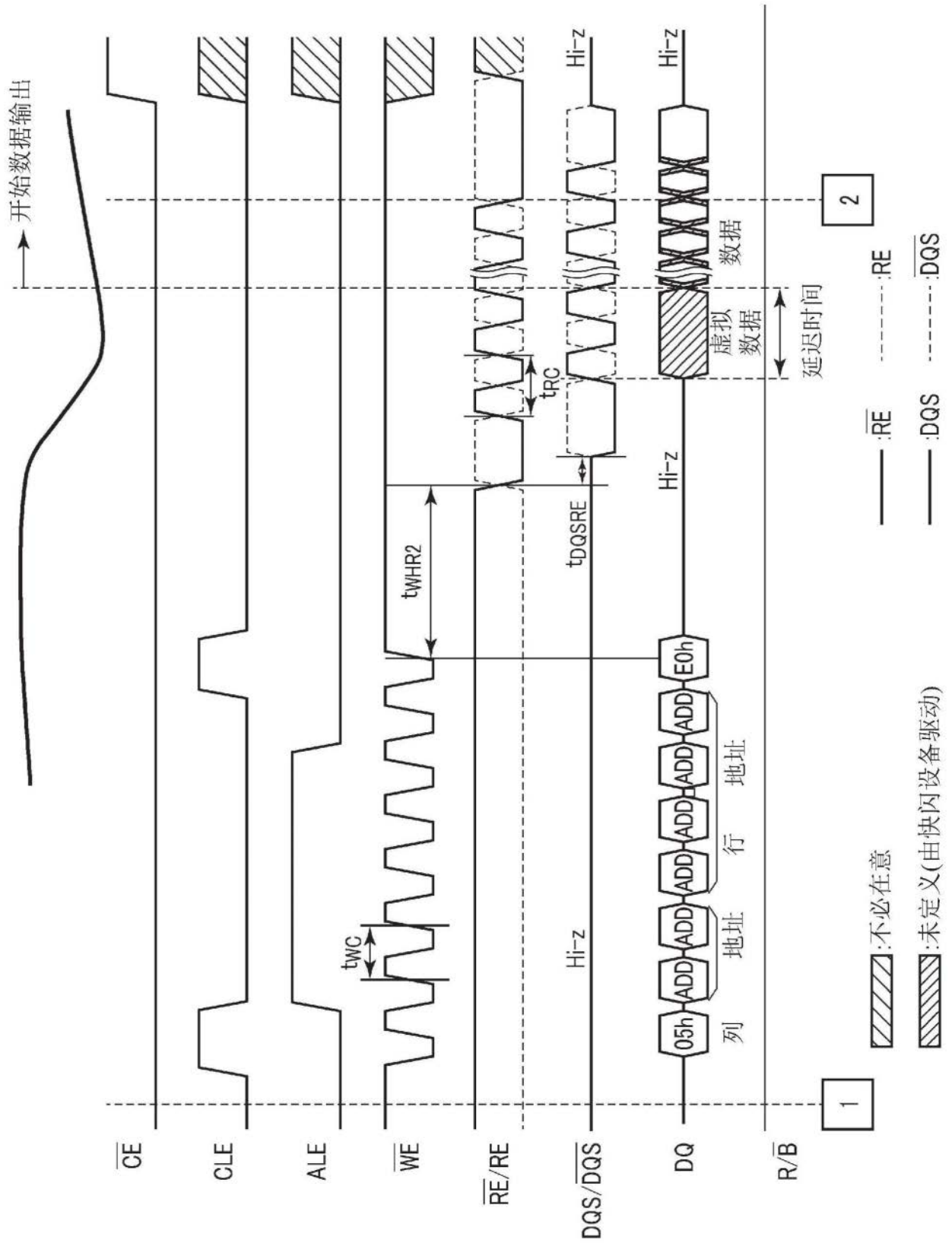


图6A

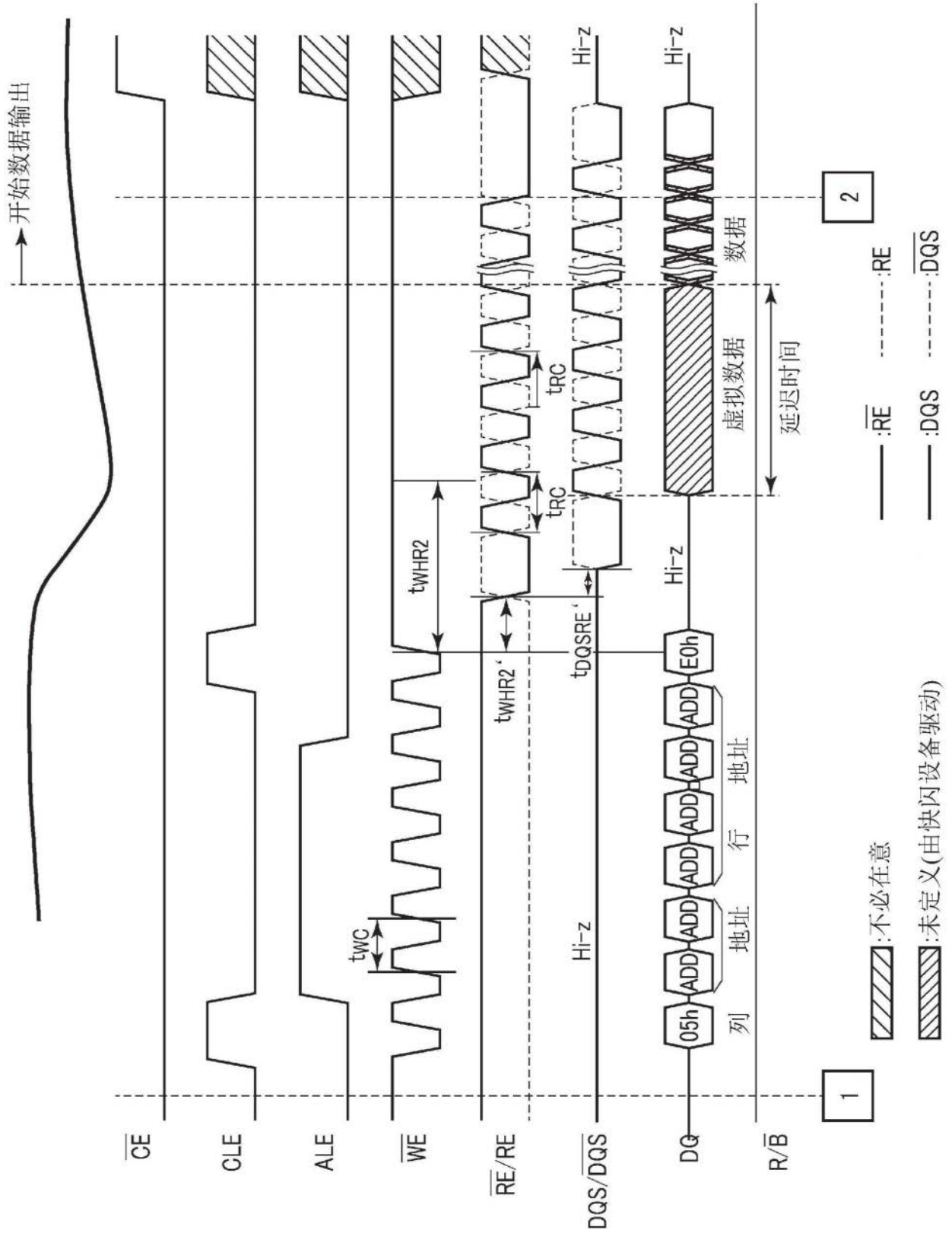


图6B

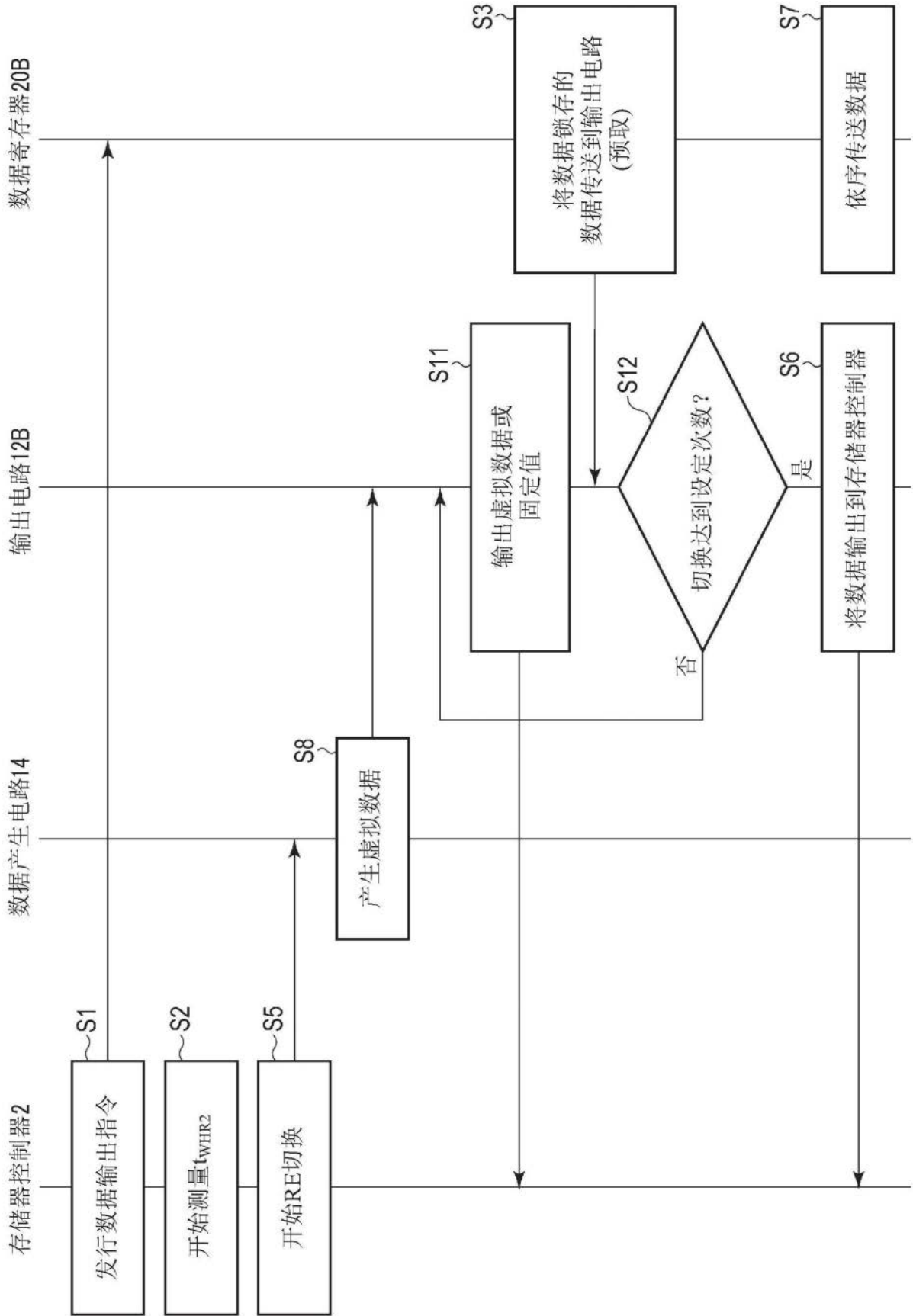


图7

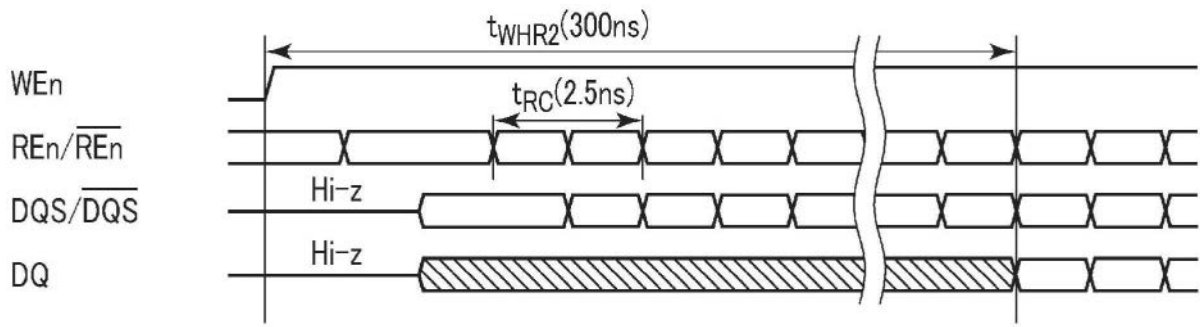


图8

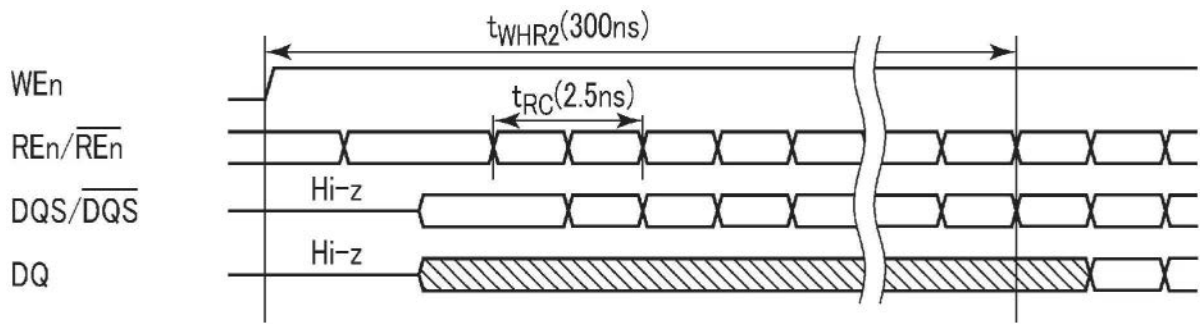


图9

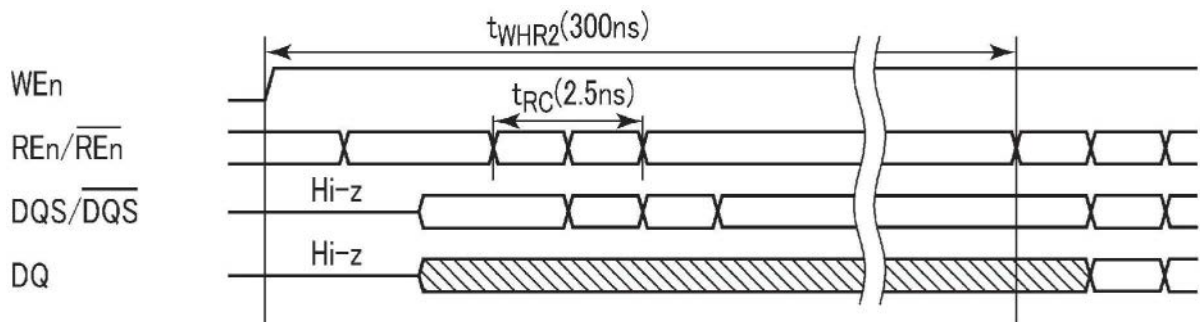


图10

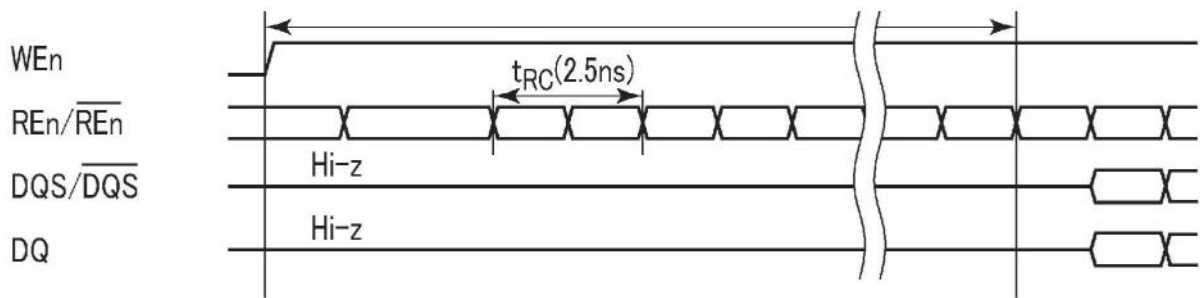


图11

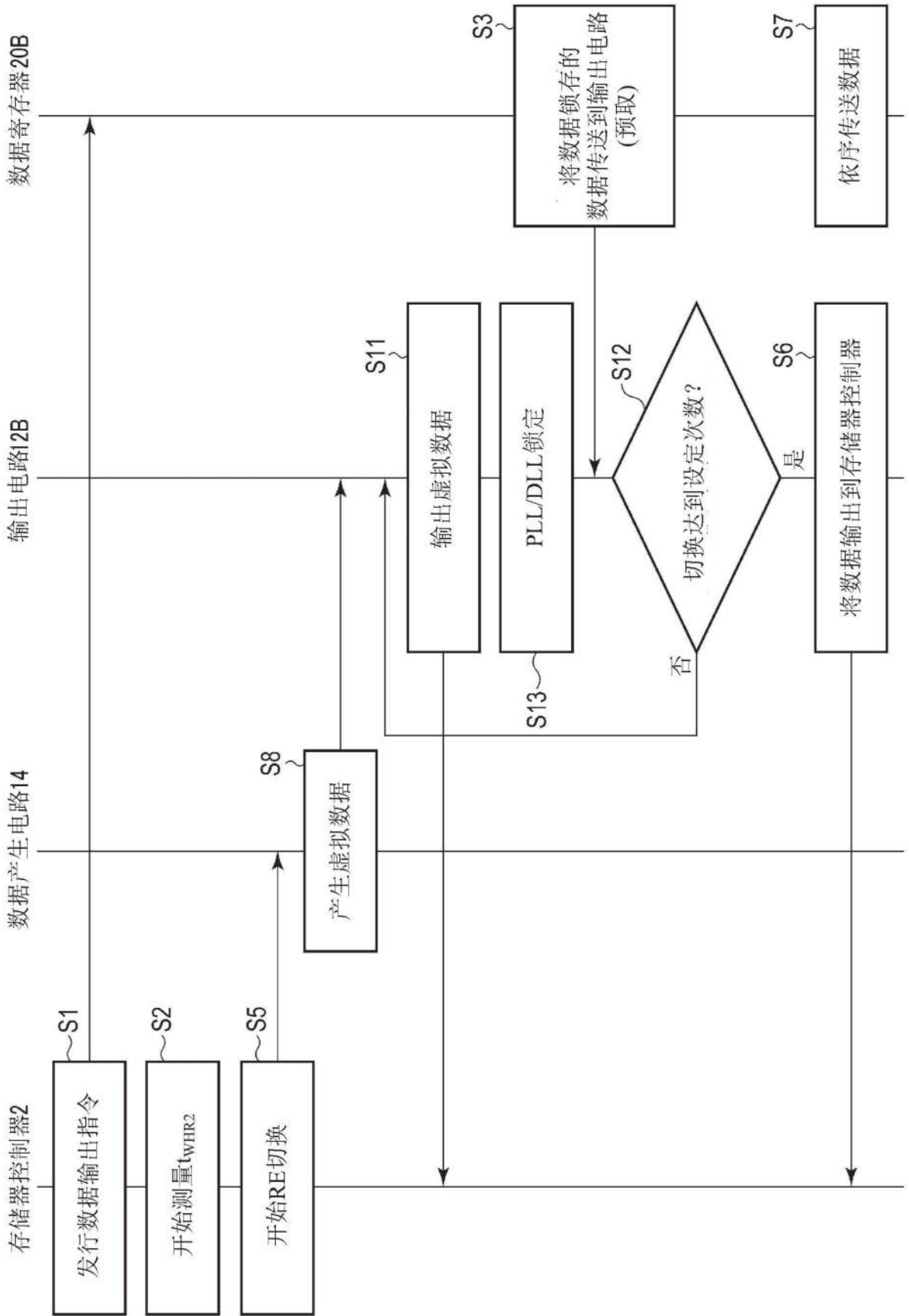


图12

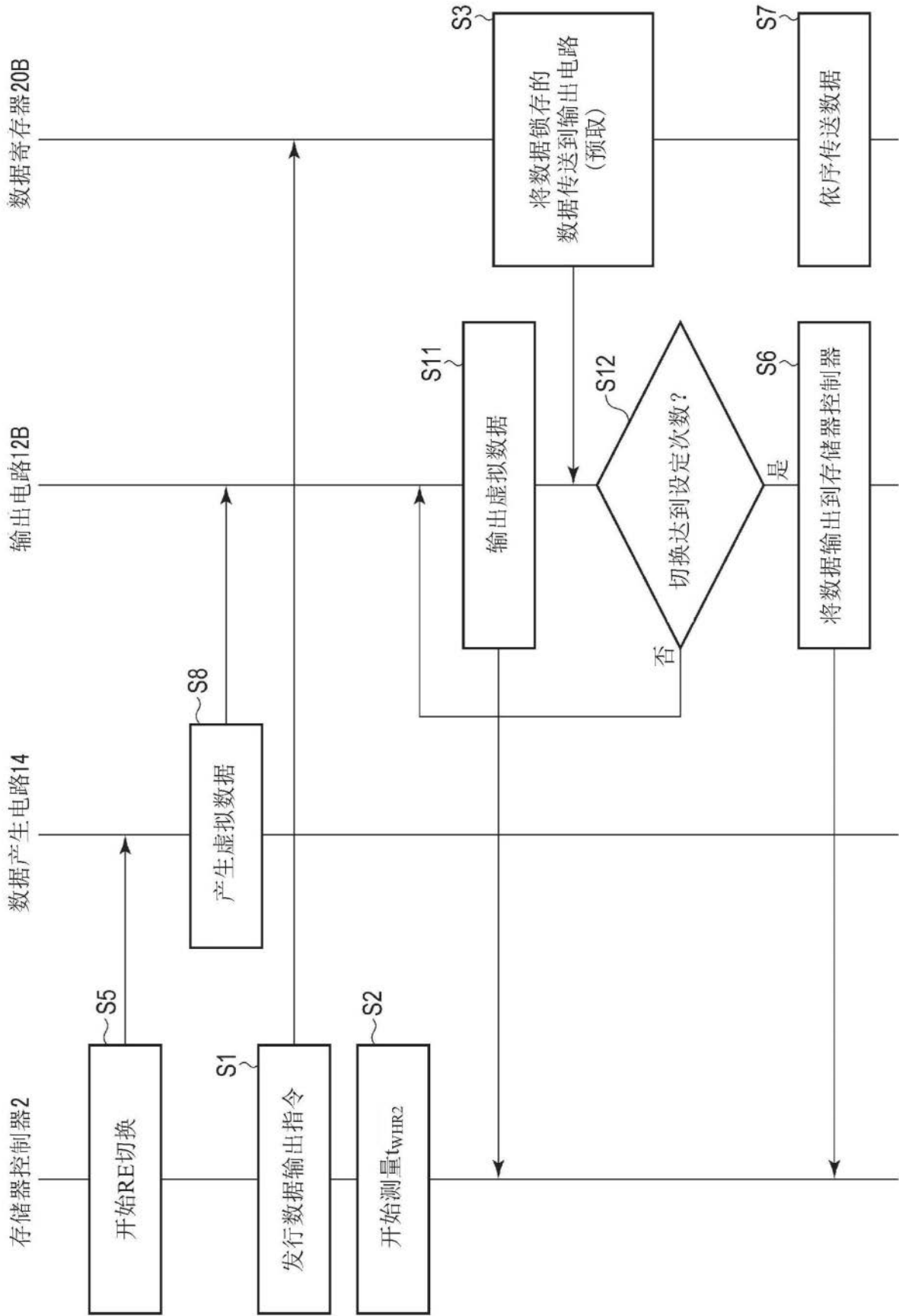


图13

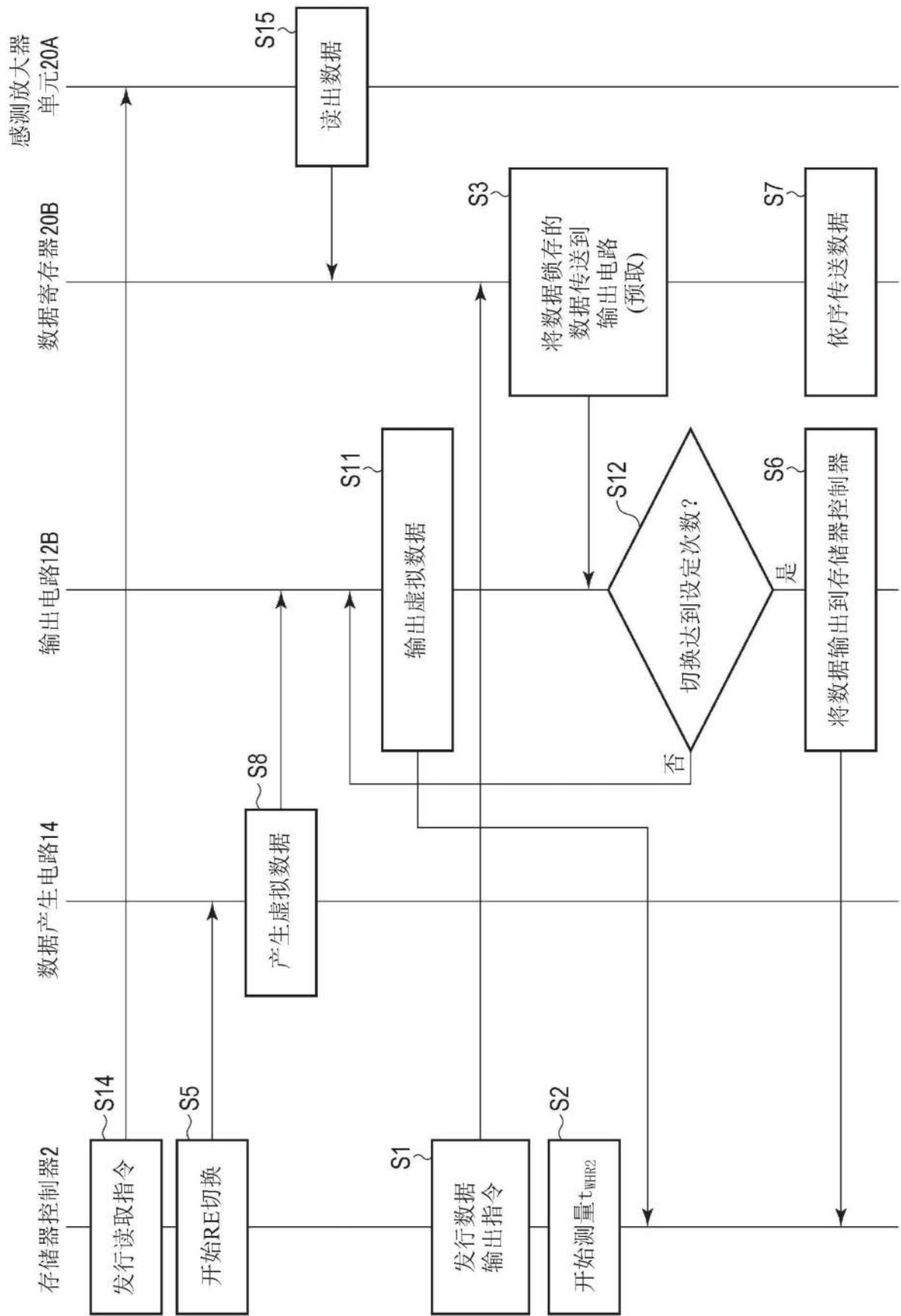


图14

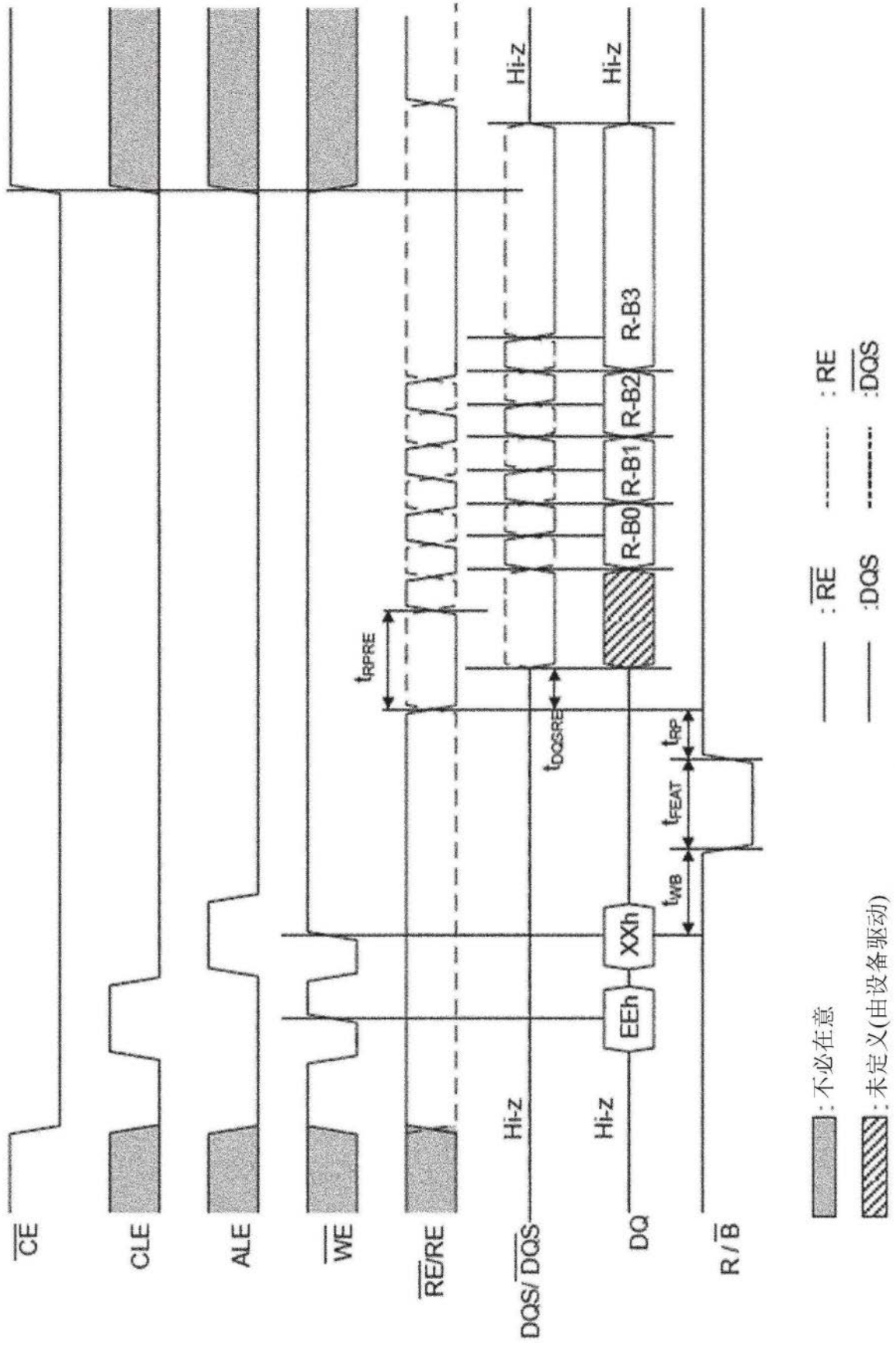


图15