

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成26年12月18日(2014.12.18)

【公表番号】特表2014-506362(P2014-506362A)

【公表日】平成26年3月13日(2014.3.13)

【年通号数】公開・登録公報2014-013

【出願番号】特願2013-547490(P2013-547490)

【国際特許分類】

G 06 F 13/36 (2006.01)

G 06 F 3/00 (2006.01)

【F I】

G 06 F 13/36 3 2 0 A

G 06 F 3/00 A

G 06 F 13/36 5 2 0 D

【手続補正書】

【提出日】平成26年10月29日(2014.10.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

装置であつて、

ペリフェラル・インターフェクト・エクスプレス(PCIe)ポート及びシリアル・アドバンスト・テクノロジー・アタッチメント(SATA)ポートとして用いられる複数のPHYと、

当該装置に電力が供給される前に固定される少なくとも一つのピンと、

前記ピンの固定に基づいて、前記複数のPHYの一つ又はそれ以上を前記PCIeポートと前記SATAポートとの間でスワップさせることを可能にする論理と、
を含むことを特徴とする装置。

【請求項2】

前記PCIeポートと前記SATAポートとの間でスワップさせることを可能にするよう前記論理をトリガする单一のスイッチをさらに含むことを特徴とする、請求項1に記載の装置。

【請求項3】

前記PCIeポートと前記SATAポートとの間でスワップさせることを可能にするよう前記論理をトリガする複数のスイッチをさらに含むことを特徴とする、請求項1に記載の装置。

【請求項4】

前記複数のPHYは、1つのPCIeポートと15個のSATAポートとの組み合わせを有する16個のPHYを含むことを特徴とする、請求項1に記載の装置。

【請求項5】

前記複数のPHYは、2つのPCIeポートと14個のSATAポートとの組み合わせを有する16個のPHYを含むことを特徴とする、請求項1に記載の装置。

【請求項6】

前記複数のPHYは、4つのPCIeポートと12個のSATAポートとの組み合わせを有する16個のPHYを含むことを特徴とする、請求項1に記載の装置。

【請求項 7】

前記複数の P H Y は、 8 つの P C I e ポートと 8 つの S A T A ポートとの組み合わせを有する 16 個の P H Y を含むことを特徴とする、請求項 1 に記載の装置。

【請求項 8】

集積回路を含み、

前記集積回路は、

ペリフェラル・インターフェクト・エクスプレス (P C I e) ポート及びシリアル・アドバンスト・テクノロジー・アタッチメント (S A T A) ポートとして用いられる複数の P H Y と、

前記集積回路に電力が供給される前に固定される少なくとも一つのピンと、

前記ピンの固定に基づいて、前記複数の P H Y の 1 つ又はそれ以上を前記 P C I e ポートと前記 S A T A ポートとの間でスワップさせることを可能にする論理と、
を有することを特徴とするシステム。

【請求項 9】

前記 P C I e ポートと前記 S A T A ポートとの間でスワップさせることを可能にするよう前記論理をトリガする単一のスイッチをさらに含むことを特徴とする、請求項 8 に記載のシステム。

【請求項 10】

前記 P C I e ポートと前記 S A T A ポートとの間でスワップさせることを可能にする前記論理をトリガする複数のスイッチをさらに含むことを特徴とする、請求項 8 に記載のシステム。

【請求項 11】

前記複数の P H Y は、 1 つの P C I e ポートと 15 個の S A T A ポートとの組み合わせを有する 16 個の P H Y を含むことを特徴とする、請求項 8 に記載のシステム。

【請求項 12】

前記複数の P H Y は、 2 つの P C I e ポートと 14 個の S A T A ポートの組み合わせを有する 16 個の P H Y を含むことを特徴とする、請求項 8 に記載のシステム。

【請求項 13】

前記複数の P H Y は、 4 つの P C I e ポートと 12 個の S A T A ポートとの組み合わせを有する 16 個の P H Y を含むことを特徴とする、請求項 8 に記載のシステム。

【請求項 14】

前記複数の P H Y は、 8 つの P C I e ポートと 8 つの S A T A ポートとの組み合わせを有する 16 個の P H Y を含むことを特徴とする、請求項 8 に記載のシステム。

【請求項 15】

ペリフェラル・インターフェクト・エクスプレス (P C I e) ポート及びシリアル・アドバンスト・テクノロジー・アタッチメント (S A T A) ポートとして用いられる複数の P H Y を識別するステップと、

電力が供給される前に少なくとも 1 つのピンを固定するステップと、

前記ピンの固定に基づいて、前記 P C I e ポートと前記 S A T A ポートとの間で前記複数の P H Y の 1 つ又はそれ以上をスワップさせるステップと、
を含むことを特徴とする方法。

【請求項 16】

単一のスイッチを用いて、前記 P C I e ポートと前記 S A T A ポートとの間でスワップさせるステップをさらに含むことを特徴とする、請求項 15 に記載の方法。

【請求項 17】

複数のスイッチを用いて、前記 P C I e ポートと前記 S A T A ポートとの間でスワップさせるステップをさらに含むことを特徴とする、請求項 15 に記載の方法。

【請求項 18】

前記複数の P H Y は、 1 つの P C I e ポートと 15 個の S A T A ポートとの組み合わせを有する 16 個の P H Y を含むことを特徴とする、請求項 15 に記載の方法。

【請求項 19】

前記複数のPHYは、2つのPCIeポートと14個のSATAポートとの組み合わせを有する16個のPHYを含むことを特徴とする、請求項15に記載の方法。

【請求項 20】

前記複数のPHYは、4つのPCIeポートと12個のSATAポートとの組み合わせを有する16個のPHYを含み、かつ、8つのPCIeポートと8つのSATAポートとの組み合わせを有する16個のPHYを含むことを特徴とする、請求項15に記載の方法。