



(12) 发明专利申请

(10) 申请公布号 CN 102013412 A

(43) 申请公布日 2011. 04. 13

(21) 申请号 201010274715. 8

(51) Int. Cl.

(22) 申请日 2007. 01. 23

H01L 21/8234 (2006. 01)

(30) 优先权数据

H01L 21/336 (2006. 01)

11/346, 914 2006. 02. 02 US

H01L 29/423 (2006. 01)

(62) 分案原申请数据

200780003728. 8 2007. 01. 23

(71) 申请人 美光科技公司

地址 美国爱达荷州

(72) 发明人 金永华 库纳尔·R·帕雷克

(74) 专利代理机构 北京律盟知识产权代理有限
责任公司 11287

代理人 宋献涛

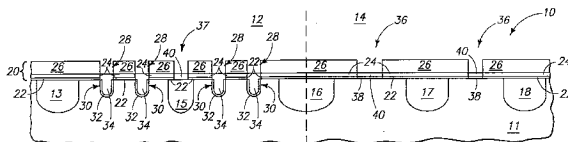
权利要求书 3 页 说明书 7 页 附图 10 页

(54) 发明名称

形成场效应晶体管的方法及形成集成电路的方法

(57) 摘要

本发明包括形成场效应晶体管的方法、形成场效应晶体管栅极的方法、形成包含晶体管栅极阵列及在所述栅极阵列外围的电路的集成电路的方法及形成包含包括第一栅极及第二接地隔离栅极的晶体管栅极阵列的集成电路的方法。在一个实施方案中,一种形成场效应晶体管的方法包括在衬底的半导体材料(11)上方形成掩蔽材料(22、24、26)。形成穿过掩蔽材料(22、24、26)并进入半导体材料(11)中的沟槽(30)。在半导体材料(11)中的沟槽(30)内形成栅极介电材料(32)。在掩蔽材料(22、24、26)中的沟槽(30)内且在栅极介电材料(32)上方的半导体材料(11)中的沟槽(30)内沉积栅极材料(34)。形成源极/漏极区域。本发明还预期其它方面及实施方案。



1. 一种形成集成电路的方法，所述集成电路包含晶体管栅极阵列及在所述栅极阵列外围的电路，所述方法包含：

在衬底的半导体材料上方形成掩蔽材料；

形成穿过所述掩蔽材料且进入所述半导体材料中的阵列电路沟槽；

在所述掩蔽材料中的所述阵列电路沟槽内及所述半导体材料中的所述阵列电路沟槽内沉积阵列栅极材料；

在沉积所述阵列栅极材料之后，形成穿过所述掩蔽材料的外围电路沟槽；及

在所述掩蔽材料内的所述外围电路沟槽内沉积外围电路栅极材料。

2. 如权利要求1所述的方法，其中形成所述外围电路沟槽暴露所述衬底的所述半导体材料，且进一步包含在沉积所述外围电路栅极材料之前在所述衬底的所述暴露的半导体材料上方形成栅极介电层，所述栅极介电层还形成在所述阵列栅极材料上方。

3. 如权利要求2所述的方法，其中在所述阵列栅极材料上形成所述栅极介电层。

4. 如权利要求3所述的方法，其中形成至少大部分所述栅极介电层包含对所述暴露的半导体材料及所述阵列栅极材料进行热氧化。

5. 如权利要求1所述的方法，其中使用掩蔽步骤形成所述阵列电路沟槽，且进一步包含在其中形成所述阵列电路沟槽的所述相同掩蔽步骤中形成穿过所述阵列中的所述掩蔽材料的接地栅极沟槽。

6. 如权利要求1所述的方法，其中使用掩蔽步骤形成所述外围电路沟槽，且进一步包含在其中形成所述外围电路沟槽的所述相同掩蔽步骤中形成穿过所述阵列中的所述掩蔽材料的接地栅极沟槽。

7. 如权利要求1所述的方法，其中所述掩蔽材料包含接纳于氮化硅上方的二氧化硅。

8. 如权利要求1所述的方法，其中所述阵列栅极材料的所述沉积用所述阵列栅极材料至少填充所述掩蔽材料中的所述阵列电路沟槽及所述半导体材料中的所述阵列电路沟槽。

9. 如权利要求1所述的方法，其中所述阵列栅极材料的所述沉积用所述阵列栅极材料过度填充所述掩蔽材料中的所述阵列电路沟槽及所述半导体材料中的所述阵列电路沟槽。

10. 如权利要求1所述的方法，其中所述外围电路栅极材料的所述沉积用所述外围电路栅极材料至少填充所述掩蔽材料中的所述外围电路沟槽及所述半导体材料中的所述外围电路沟槽。

11. 如权利要求1所述的方法，其中所述外围电路栅极材料的所述沉积用所述外围电路栅极材料过度填充所述掩蔽材料中的所述外围电路沟槽及所述半导体材料中的所述外围电路沟槽。

12. 如权利要求1所述的方法，其包含在沉积所述外围电路栅极材料之后移除至少大部分所述掩蔽材料。

13. 如权利要求1所述的方法，在沉积所述阵列栅极材料之后没有对所述阵列栅极材料进行光刻图案化。

14. 如权利要求1所述的方法，在沉积所述外围电路栅极材料之后没有对所述外围电路栅极材料进行光刻图案化。

15. 如权利要求 1 所述的方法，在沉积所述阵列栅极材料之后没有对所述阵列栅极材料进行光刻图案化，且在沉积所述外围电路栅极材料之后没有对所述外围电路栅极材料进行光刻图案化。

16. 如权利要求 1 所述的方法，其包含在所述相同掩蔽步骤中形成某些外围电路沟槽及某些阵列电路沟槽。

17. 一种形成集成电路的方法，所述集成电路包含晶体管栅极阵列及在所述栅极阵列外围的电路，所述方法包含：

在衬底的半导体材料上方形成掩蔽材料；

形成穿过所述掩蔽材料且进入所述半导体材料中的阵列电路沟槽；

在所述掩蔽材料中的所述阵列电路沟槽内及所述半导体材料中的所述阵列电路沟槽内沉积阵列栅极材料；

形成穿过所述阵列栅极材料且穿过所述掩蔽材料的外围电路沟槽；及

在所述阵列栅极材料内及所述掩蔽材料内的所述外围电路沟槽内沉积外围电路栅极材料。

18. 一种形成场效应晶体管栅极的方法，其包含：

在衬底的半导体材料上方形成掩蔽材料，所述衬底包含沟槽隔离区域；

在共用掩蔽步骤中，形成穿过所述掩蔽材料且进入所述半导体材料中的第一沟槽且形成穿过所述沟槽隔离区域上方的所述掩蔽材料的第二接地隔离栅极沟槽；及

在共用沉积步骤中，在所述第一沟槽及第二沟槽内沉积栅极材料。

19. 如权利要求 18 所述的方法，其包含在所述共用掩蔽步骤期间将所述第二接地隔离栅极沟槽形成到所述沟槽隔离区域内。

20. 如权利要求 18 所述的方法，其中所述栅极材料的所述沉积用所述栅极材料至少填充所述第一及第二沟槽。

21. 如权利要求 18 所述的方法，其中所述栅极材料的所述沉积用所述栅极材料过度填充所述第一及第二沟槽。

22. 如权利要求 18 所述的方法，其中所述掩蔽材料包含接纳于氮化硅上方的二氧化硅。

23. 如权利要求 18 所述的方法，其包含在沉积所述栅极材料之后移除至少大部分所述掩蔽材料。

24. 如权利要求 18 所述的方法，在沉积所述栅极材料之后没有对所述栅极材料进行光刻图案化。

25. 如权利要求 18 所述的方法，其中沉积所述栅极材料用栅极材料覆盖所述掩蔽材料，且包含相对于所述掩蔽材料有选择地移除所述栅极材料且暴露所述掩蔽材料，以有效地隔离所述第一与第二沟槽内的所述栅极材料。

26. 如权利要求 18 所述的方法，其中所述掩蔽步骤包含光刻。

27. 一种形成包含晶体管栅极阵列的集成电路的方法，所述晶体管栅极阵列包括第一栅极及第二接地隔离栅极，所述方法包含：

在衬底的半导体材料上方形成掩蔽材料，所述衬底包含沟槽隔离区域；

形成穿过所述掩蔽材料且进入所述第一栅极的所述半导体材料中的第一沟槽；

形成穿过所述沟槽隔离区域上方的所述掩蔽材料的第二接地隔离栅极沟槽，所述沟槽隔离区域用于所述第二接地隔离栅极；及

在所述第一及第二沟槽内沉积栅极材料。

28. 如权利要求 27 所述的方法，其包含同时形成所述第一及第二沟槽。

29. 如权利要求 27 所述的方法，其包含在形成所述第一沟槽之后形成所述第二沟槽。

30. 如权利要求 27 所述的方法，其包含将所述第二沟槽形成到所述沟槽隔离区域内。

31. 如权利要求 30 所述的方法，其包含同时形成所述第一及第二沟槽。

32. 如权利要求 30 所述的方法，其包含在形成所述第一沟槽之后形成所述第二沟槽。

33. 如权利要求 27 所述的方法，其中所述第一及第二沟槽内的栅极材料的所述沉积发生在所述相同沉积步骤中。

34. 如权利要求 27 所述的方法，其中所述第一及第二沟槽内的栅极材料的所述沉积发生在不同沉积步骤中。

35. 如权利要求 27 所述的方法，其中所述第一及第二沟槽内的栅极材料的一些所述沉积发生在所述相同沉积步骤中，且所述第一及第二沟槽内的栅极材料的另一些所述沉积发生在不同沉积步骤中。

36. 如权利要求 27 所述的方法，其中所述栅极材料的所述沉积用所述栅极材料至少填充所述第一及第二沟槽。

37. 如权利要求 27 所述的方法，其中所述栅极材料的所述沉积用所述栅极材料过度填充所述第一及第二沟槽。

38. 如权利要求 27 所述的方法，其中所述掩蔽材料包含接纳于氮化硅上方的二氧化硅。

39. 如权利要求 27 所述的方法，其包含在沉积所述栅极材料之后移除至少大部分所述掩蔽材料。

40. 如权利要求 27 所述的方法，在沉积所述栅极材料之后没有对所述栅极材料进行光刻图案化。

41. 如权利要求 27 所述的方法，其中沉积所述栅极材料用栅极材料覆盖所述掩蔽材料，且包含相对于所述掩蔽材料有选择地移除所述栅极材料且暴露所述掩蔽材料，以有效地隔离所述第一与第二沟槽内的所述栅极材料。

42. 一种形成集成电路的方法，所述集成电路包含晶体管栅极阵列及在所述栅极阵列外围的电路，所述方法包含：

在衬底的半导体材料上方形成掩蔽材料，所述衬底包括沟槽隔离区域；

在共用掩蔽步骤中，形成穿过所述掩蔽材料且进入所述半导体材料中的阵列电路沟槽且形成穿过所述掩蔽材料进入所述沟槽隔离区域的接地隔离栅极沟槽；

在共用沉积步骤中，在所述掩蔽材料中的所述阵列电路沟槽内、在所述半导体材料中的所述阵列电路沟槽内及在所述沟槽隔离区域内的所述接地隔离栅极沟槽内沉积阵列栅极材料；

在沉积所述阵列栅极材料之后，形成穿过所述掩蔽材料的外围电路沟槽；及

在所述掩蔽材料内的所述外围电路沟槽内沉积外围电路栅极材料。

形成场效晶体管的方法及形成集成电路的方法

[0001] 分案申请的相关信息

[0002] 本申请为发明名称为“形成场效应晶体管的方法及形成包含晶体管栅极阵列及在所述栅极阵列外围的电路的集成电路的方法”的原中国发明专利申请的分案申请。原申请的申请号为200780003728.8；原申请的申请日为2007年1月23日；及原发明专利申请案的优先权日为2006年2月2日。

技术领域

[0003] 本发明涉及场效应晶体管及其组件的制造。

背景技术

[0004] 场效应晶体管是用于集成电路（例如：逻辑电路、存储器电路及存储器电路的控制电路）中的共用器件。所述器件通常包含一对在其之间接纳有沟道区域的源极区域/漏极区域。导电栅极以操作方式提供在靠近所述沟道区域处，且通过栅极介电区域与所述沟道区域间隔开。向导电栅极施加合适电压致使电流在源极/漏极区域之间穿过沟道区域。

[0005] 仅举例来说，栅极的导电材料可形成在半导体材料以上或上方或形成在半导体材料中所形成的开口内，且举例来说无论是块单晶衬底材料内还是绝缘体上半导体材料内。当形成于半导体材料的沟槽或其它开口内时，一些所述导电材料被称作凹入式存取器件。此处，在衬底的半导体材料上方提供掩蔽材料并将其图案化以在所述衬底内形成栅极线沟槽。在如此形成沟槽的情况下，移除掩蔽材料，且然后通过（举例来说）热氧化所述沟槽内暴露的半导体材料，在沟槽开口内形成栅极电介质。然后沉积栅极材料以过度填充所述沟槽。然后通常使用光刻及蚀刻图案化接纳于沟槽外部的栅极材料以在也接纳栅极材料的沟槽上方形成所需的栅极轮廓。

[0006] 通常，栅极材料图案化在所述沟槽上方形成与底层沟槽同宽或极为接近的栅极线。光掩模欠对准可不需要地将所需栅极线图案的一边缘置于先前所蚀刻沟槽的横向界限内。此极其不可取，因为栅极图案蚀刻可蚀刻沟槽内的栅极材料，最终导致电路故障或至少不可接受的器件配置及性能。

[0007] 虽然本发明的动机是解决上文所识别的问题，但其绝不受此限制。本发明仅受未对本说明书做解释性或其它限制性参考的文字表达的随附权利要求书及根据等效原则限制。

发明内容

[0008] 本发明包括：形成场效应晶体管的方法、形成场效应晶体管栅极的方法、形成包含晶体管栅极阵列及在所述栅极阵列外围的电路的集成电路的方法及形成包含包括第一栅极及第二接地隔离栅极的晶体管栅极阵列的集成电路的方法。在一个实施方案中，一种形成场效应晶体管的方法包括在衬底的半导体材料上方形成掩蔽材料。形成穿过所

述掩蔽材料且进入所述半导体材料中的沟槽。在所述半导体材料中的沟槽内形成栅极介电材料。在所述掩蔽材料中的沟槽内且在所述栅极介电材料上方的所述半导体材料中的沟槽内沉积栅极材料。形成源极/漏极区域。

[0009] 在一个实施方案中,一种形成场效应晶体管栅极的方法包括在衬底的半导体材料上方形成包含氮化硅的掩蔽材料。形成穿过所述包含氮化硅的掩蔽材料且进入所述半导体材料中的沟槽。在形成进入所述半导体材料中的沟槽之后移除所述掩蔽材料的氮化硅。在移除所述掩蔽材料的氮化硅之前,在所述半导体材料中的沟槽内形成栅极介电材料。在所述栅极介电材料上方的所述半导体材料中的沟槽内沉积栅极材料。

[0010] 在一个实施方案中,一种形成包含晶体管栅极阵列及在所述栅极阵列外围的电路的集成电路的方法包括在衬底的半导体材料上方形成掩蔽材料。形成穿过所述掩蔽材料且进入所述半导体材料中的阵列电路沟槽。在所述掩蔽材料中的所述阵列电路沟槽内及所述半导体材料中的所述阵列电路沟槽内沉积阵列栅极材料。在沉积所述阵列栅极材料之后,形成穿过所述掩蔽材料的外围电路沟槽。在所述掩蔽材料内的所述外围电路沟槽内沉积外围电路栅极材料。

[0011] 在一个实施方案中,一种形成包含晶体管栅极阵列及在所述栅极阵列外围的电路的集成电路的方法包括在衬底的半导体材料上方形成掩蔽材料。形成穿过所述掩蔽材料且进入所述半导体材料中的阵列电路沟槽。在所述掩蔽材料中的所述阵列电路沟槽内及所述半导体材料中的所述阵列电路沟槽内沉积阵列栅极材料。形成穿过所述阵列栅极材料且穿过所述掩蔽材料的外围电路沟槽。在所述阵列栅极材料内及所述掩蔽材料内的所述外围电路沟槽内沉积外围电路栅极材料。

[0012] 在一个实施方案中,一种形成场效应晶体管栅极的方法包括在衬底的半导体材料上方形成掩蔽材料。所述衬底包含沟槽隔离区域。在共用掩蔽步骤中,形成穿过所述掩蔽材料且进入所述半导体材料中的第一沟槽且形成穿过所述沟槽隔离区域上方的所述掩蔽材料的第二接地隔离栅极沟槽。在共用沉积步骤中,在所述第一沟槽及第二沟槽内沉积栅极材料。

[0013] 在一个实施方案中,一种形成包含包括第一栅极及第二接地隔离栅极的晶体管栅极阵列的集成电路的方法包含在衬底的半导体材料上方形成掩蔽材料。所述衬底包含沟槽隔离区域。为第一栅极形成穿过所述掩蔽材料且进入所述半导体材料中的第一沟槽。形成穿过所述沟槽隔离区域上方的所述掩蔽材料的第二接地隔离栅极沟槽。在所述第一沟槽及第二沟槽内沉积栅极材料。

[0014] 本发明也预期其它方面及实施方案。

附图说明

[0015] 上文已参照以下附图描述了本发明的优选实施例。

[0016] 图 1 是根据本发明一方面在过程中的半导体衬底片段的示意性剖面图。

[0017] 图 2 是继图 1 所示步骤后的处理步骤处图 1 衬底片段的视图。

[0018] 图 3 是继图 2 所示步骤后的处理步骤处图 2 衬底片段的视图。

[0019] 图 4 是继图 3 所示步骤后的处理步骤处图 3 衬底片段的视图。

[0020] 图 5 是继图 4 所示步骤后的处理步骤处图 4 衬底片段的视图。

- [0021] 图 6 是继图 5 所示步骤后的处理步骤处图 5 衬底片段的视图。
- [0022] 图 7 是继图 6 所示步骤后的处理步骤处图 6 衬底片段的视图。
- [0023] 图 8 是继图 7 所示步骤后的处理步骤处图 7 衬底片段的视图。
- [0024] 图 9 是继图 8 所示步骤后的处理步骤处图 8 衬底片段的视图。
- [0025] 图 10 是继图 9 所示步骤后的处理步骤处图 9 衬底片段的视图。
- [0026] 图 11 是继图 10 所示步骤后的处理步骤处图 10 衬底片段的视图。
- [0027] 图 12 是继图 11 所示步骤后的处理步骤处图 11 衬底片段的视图。
- [0028] 图 13 是继图 12 所示步骤后的处理步骤处图 12 衬底片段的视图。
- [0029] 图 14 是继图 13 所示步骤后的处理步骤处图 13 衬底片段的视图。
- [0030] 图 15 是根据本发明一方面在过程中替代实施例半导体衬底片段的示意性剖面图。
- [0031] 图 16 是继图 15 所示步骤后的处理步骤处图 15 衬底片段的视图。
- [0032] 图 17 是继图 16 所示步骤后的处理步骤处图 16 衬底片段的视图。
- [0033] 图 18 是根据本发明一方面在过程中另一替代实施例半导体衬底片段的示意性剖面图。
- [0034] 图 19 是继图 18 所示步骤后的处理步骤处图 18 衬底片段的视图。
- [0035] 图 20 是根据本发明一方面在过程中另一替代实施例半导体衬底片段的示意性剖面图。

具体实施方式

[0036] 本发明包括：形成场效应晶体管栅极的方法、形成场效应晶体管的方法及形成包含晶体管栅极阵列及在所述栅极阵列外围的电路的集成电路的方法。所述论述主要参照形成包含晶体管栅极阵列及在所述栅极阵列外围的电路的集成电路而继续，而所属领域的技术人员将理解本发明的适当方面也可应用于形成单个场效应晶体管以及多个场效应晶体管及其一个或一个以上场效应晶体管栅极。

[0037] 开始参照图 1，一般使用参考符号 10 指示过程中的半导体衬底。在本文件的上下文中，术语“半导体衬底”或“半导电衬底”被定义为意指包含半导电材料的任何结构，所述半导电材料包括但不限于例如半导电晶片（单独或在其上包含其它材料的组合件中）的块状半导电材料及半导电材料层（单独或在包含其它材料的组合件中）。术语“衬底”是指任一支撑结构，其包括但不限于上文所述的半导电衬底。所描绘衬底 10 包含阵列区或区域 12 及在栅极阵列区 12 外围的外围电路区 14，在阵列区 12 内将制造场效应晶体管栅极阵列。仅举例来说，阵列区 12 可用于制造存储器电路，举例来说 DRAM 电路，而外围电路区 14 可包括用于操作 / 控制阵列区 12 内的存储器电路的控制电路。当然，本发明预期替代配置，举例来说在逻辑电路、控制电路或其它电路内利用栅极阵列及场效应晶体管。

[0038] 所描绘衬底 10 包含半导电材料 11，举例来说块状单晶硅。当然，本发明也预期其它半导电材料衬底，举例来说绝缘体上半导电衬底且无论已存在或尚未开发。理想上，半导电材料 11 适合本底掺杂或经掺杂以形成经掺杂阱以成为合适的电导类型及浓度。已相对于半导电衬底材料 11 制造出实例性优选的沟槽隔离区域 13、15、16、17 及

18。

[0039] 参照图 2, 已在衬底 10 的半导体材料 11 上方形成掩蔽材料 20。所描绘的掩蔽材料 20 包含: 最内部的垫氧化物层 22(从 30 埃到 100 埃的实例性优选厚度范围)、接纳于材料 22 上方且具有不同于材料 22 组成的掩蔽层 24(从 50 埃到 300 埃的优选实例性厚度范围)及形成于掩蔽层 24 上方且具有不同于掩蔽层 24 的材料的掩蔽层 26(从 1,000 埃到 3,000 埃的实例性优选厚度范围)。某些或所有掩蔽材料 20 可能牺牲, 因此最终从衬底移除。因此, 掩蔽材料 20 的某些部分或全部可能是电绝缘、半导体或导电中的任一者。用于层 24 的实例性优选材料是氮化硅, 而用于层 26 的实例性优选材料是未掺杂的二氧化硅。另一实例性替代实施例(且举例来说)形成包含二氧化硅的层 24 及包含氮化硅的层 26。无论如何且因此仅在一个优选实施方案中, 掩蔽材料 20 包含二氧化硅及氮化硅, 且在一更优选实施例中包含接纳于氮化硅上方的二氧化硅。

[0040] 在一个优选实施方案中, 可将层 26 视为包含外部绝缘材料层且可将层 24 视为包含内部绝缘材料层, 其中可相对于所述内部绝缘材料层选择性地蚀刻所述外部绝缘材料层, 且与是否在内部绝缘材料层 24 内部接纳另一绝缘材料层(例如层 22)无关。在一个优选实施方案中, 外部绝缘材料层 26 厚于内部绝缘材料层 24, 且在所示的一个优选实施方案中, 外部绝缘材料层 26 接触内部绝缘材料层 24。另外在所描绘的实例性实施例中, 外部绝缘材料层 26 至少在掩蔽材料 20 图案化结束时是掩蔽材料 20 的最外部材料。另外, 在仅一个实例性实施方案中, 层 24 优选地厚于层 22。

[0041] 参照图 3, 已形成穿过掩蔽材料 20 的阵列电路沟槽 28。实例性优选技术包括使用一个或一个以上光致抗蚀剂层或其它层(未显示)的光刻图案化及蚀刻。图 3 描绘所述光致抗蚀剂层或其它层已在掩蔽材料 20 上方移除, 虽然在利用光刻的图 3 的处理结束时可能保留部分或全部光致抗蚀剂层或其它层。

[0042] 参照图 4, 已将掩蔽材料 20 用作掩模以形成进入半导体材料 11 中的阵列电路沟槽 30。因此在一个优选实施例中, 使用单个掩蔽步骤(举例来说, 利用光刻)形成所描绘的沟槽 28 及 30。半导体材料 11 内的沟槽 30 从其一外表面开始的实例性优选深度范围是从 300 埃到 2,500 埃。

[0043] 参照图 5, 已在半导体材料 11 中的沟槽 30 内形成栅极介电材料 32。在一个优选实施方案中, 通过对沟槽 30 内的半导体材料 11 的热氧化来形成至少大部分栅极介电材料 32。虽然所描绘的实例性实施例实质上描绘已通过热氧化形成所有所述栅极介电材料, 但本发明当然也预期对阵列沟槽 30 内的材料 11 进行或不进行热氧化的情况下沉积栅极介电材料。

[0044] 参照图 6, 已在掩蔽材料 20 内的阵列电路沟槽 28 内及在半导体材料 11 内的阵列电路沟槽 30 内及在栅极介电材料 32 上方沉积阵列栅极材料 34。优选地, 将阵列栅极材料 34 沉积到至少填充沟槽 28 及 30, 且最优选地沉积到过度填充所述沟槽, 且也沉积栅极材料 34 以覆盖掩蔽材料 20。实例性优选材料 34 包括导电掺杂型半导体材料, 例如在沉积期间或随后原位掺杂的导电掺杂型多晶硅。也可利用其它导电材料, 例如导电金属或金属化合物, 但在所述过程中在此处其它导电材料并非优选。

[0045] 参照图 7, 在沉积阵列栅极材料 34 之后, 已形成穿过掩蔽材料 20(在所描绘的实施例中, 其中在掩蔽材料 20 上方接纳材料 34)且也穿过阵列栅极材料 34 的外围电路沟槽

36。图 7 也在一个实施方案中描绘制造穿过（举例来说）一个或一个以上沟槽隔离区域上方的阵列区域 12 内的掩蔽材料 20 的接地栅极沟槽 37。在本文件的上下文中，接地栅极是隔离栅极，其经制造而接纳于至少某些场隔离上方且保持接地或其它合适电位以用于提供隔离功能，以便排除或减少场隔离区域下方或周围的寄生场效应晶体管电流的形成。如果需要，某些或所有沟槽 36、37 可经制造以蚀刻 / 延伸到半导体材料 11 及 / 或场 / 沟槽隔离材料内。

[0046] 参照图 7 及 8，优选实施例沟槽 36、37 优选地暴露衬底 10 的半导体材料 11。图 8 描绘一个优选实施方案，其中在外围电路沟槽 36 内的已暴露半导体材料 11 上方形成栅极介电层 38。仅举例来说，此可由热氧化来形成，其中至少大部分栅极介电层是由经氧化的半导体材料（如所示）构成。此当然也可在对衬底材料 11 进行热氧化或不进行热氧化的情况下与栅极介电层的沉积组合或由栅极介电层的沉积所替代。此外，在所描绘的实例性实施例中，栅极介电层 38 实质上形成于阵列栅极材料 34 上方（且如图所示“在上面”），且如下文所述，随后通常将其从阵列栅极材料 34 上方移除。无论如何，栅极介电材料 38 可与阵列电路沟槽 30 的栅极介电材料 32 相同或不同，借此使电路不同区的栅极电介质优化。形成沟槽 36 及 37 的优选方式是（举例来说）使用光刻在形成两种类型的沟槽共用的单个掩蔽步骤中。在某些实施方案中，可根本不形成沟槽 36 及 37 的一者或两者，或在其它时间形成（如果形成），在下文仅以实例形式在可能的可能替代实施例中进行说明。

[0047] 无论如何，图 7 描绘一个实例性优选实施例，其中在所述相同掩蔽步骤中形成所述阵列的接地栅极沟槽及外围电路沟槽。此外，当然也可在外围电路区 14 内制造接地栅极沟槽。

[0048] 参照图 9，已在掩蔽材料 20 内的外围电路沟槽 36 内且（在所描绘的实例性实施例中）在也形成于阵列栅极材料 34 内的对应外围电路沟槽内沉积外围电路栅极材料 40。栅极材料 40 可与材料 34 相同或不同，借此能够优化针对不同栅极形成的导电栅极材料的导电类型及 / 或功函数。此外在所描绘的实例性实施例中，在接地栅极的制造中也使用外围电路栅极材料 40，也在接地栅极沟槽 37 内沉积栅极材料 40。在所描绘的实例性优选实施例中，将外围电路栅极材料 40 沉积到如下厚度：用外围电路栅极材料 40 至少填充且优选地过度填充外围电路沟槽 36 且至少填充且优选地过度填充接地栅极沟槽 37。

[0049] 参照图 10，已相对于掩蔽材料 20 选择性地移除阵列栅极材料 34、外围电路栅极材料 40 及两者之间的介电层 38，且外露掩蔽材料 20，以有效地隔离掩蔽材料 20 中及如此形成的半导体材料 11 中的相应沟槽内的相应栅极材料。在本文件的上下文中，选择性移除需要以移除一个材料相对于另一个材料为 2 : 1 或更大的比率移除（举例来说通过蚀刻或其它方法）。在所描绘的实例性实施例中，所述移除已有效地使形成于掩蔽材料 20 内的所描绘沟槽 28、36 及 37 内的栅极材料 34 及 40 凹入。实例性优选技术包括化学机械抛光、抗蚀剂回蚀或定时化学蚀刻中的任一者或组合。此处，举例来说，材料 34 及 40 包含多晶硅，且掩蔽材料 20 的外层 26 包含氮化硅，能够在定时蚀刻中产生图 10 结构的实例性蚀刻化学品包括氢氧化四甲铵，随后将其暴露于氢氟酸溶液。

[0050] 参照图 11，实例性较高导电层 42（即，难熔金属、其它金属或金属硅化物）已经沉积及抛光或回蚀，随后沉积绝缘金属层 44，随后对绝缘金属层 44 进行抛光或其它回

蚀。在一个实例性优选实施例中，绝缘金属层 44 借此用绝缘材料 44 帽盖掩蔽材料 20 内的凹入栅极材料 34 及 40。在一个优选实施例中，绝缘材料 44 具有与掩蔽材料 20 的其中由绝缘材料形成的内层 24 的组成相同的组成。因此，仅举例来说，材料 44 及 24 可包含氮化硅，其中材料 26 包含二氧化硅，或在优选实施例中相反。

[0051] 参照图 12，且仅在一个优选实施例中，已相对于内层 24 选择性地蚀刻掩蔽材料 20 的外层 26，且帽盖接纳于凹入栅极材料 34 及 40 上方的绝缘材料 44。在一个优选实施方案中，本发明的一方面包括当使用栅极介电材料时，在移除掩蔽材料的氮化硅之前，在所述沟槽内形成栅极介电材料（举例来说材料 32）。

[0052] 参照图 13，且仅在一个优选实施例中，如图所示，已在衬底 10 上方沉积优选地具有与掩蔽材料 20 的内部绝缘材料层 24 的组成相同组成的绝缘材料 50。

[0053] 参照图 14，已各向异性地蚀刻材料 50 及材料 24，有效地在栅极材料 34、40 及 42 周围形成绝缘侧壁间隔层 52。可在所述过程早期或此时移除一些或所有垫氧化物层 22（当使用垫氧化物层时），或可将一些垫氧化物层 22 保留为最终电路构造的一部分。无论如何，在一个优选实施例中，本发明的方面包括在已沉积至少栅极材料 34 之后的某时刻移除至少大部分的掩蔽材料。在大多数优选实施例中，此类形成场效应晶体管栅极、场效应晶体管及晶体管栅极阵列及在栅极阵列外围的电路的方法优选地在已沉积栅极材料 34、38 及 42 中的任一者或其组合之后不对其进行光刻图案化。

[0054] 图 14 描绘源极/漏极区域 56 的制造，其中源极/漏极区域 56 大部分优选地形成于衬底 10 的半导体材料 11 内。在上述处理步骤的任一者期间，可通过合适的导电性增强掺杂剂的离子植入中的一者或其组合来形成源极/漏极区域 56。此外，在上述处理的任一者期间，当然可实施其它沟道、沟道填塞或其它植入（无论已存在或尚未开发出）。

[0055] 本发明当然也预期替代实施例，而本发明仅由字面措辞的权利要求书来限制，而不从其它权利要求书、图式或说明书中读取限制。仅举例来说，现在将描述若干实例性替代实施例。参照图 15，其描绘对应于图 4 中关于第一所述实施例的所描绘处理的半导体衬底 10a 或其替代物。已使用第一所述实施例中的相同编号，如果需要，用后缀“a”或不同的编号以示区别。图 15 描绘衬底片段 10a，其包括在其中形成阵列电路沟槽 28 及 30 的相同掩蔽步骤中形成穿过所述阵列中的掩蔽材料 20 的接地栅极沟槽 37a。另外，仅举例来说，在所描绘的实施例中，接地栅极沟槽 37a 已经形成而延伸到所述沟槽隔离区域（例如沟槽隔离区域 15）中。

[0056] 参照图 16，已形成栅极介电材料 32，且已将栅极材料 34a 沉积到接地栅极沟槽 37a 内。

[0057] 参照图 17，随后处理已发生到制造经各向异性地蚀刻的绝缘侧壁间隔层 52 及源极/漏极区域 56 的点。在其它方面，处理、材料等均优选按照图 1-14 第一所述实施例中所提供。

[0058] 进一步仅举例来说，参照图 18 及 19 描述关于衬底片段 10b 的另一实例性实施例处理。已使用第一及第二所述实施例中的相同编号，如果需要，用后缀“b”或不同编号以示区别。图 18 在处理序列上对应于图 4 的处理，且其中已形成与阵列电路沟槽 28、30 的形成相当的一个或一个以上外围电路沟槽 36b。可能有利地使用外围电路沟槽，其中需要外围电路及阵列电路的某些晶体管是相同的导电性类型及/或功函数及/或其它所

需的性质。

[0059] 图 19 描绘随后栅极电介质 32 的制造、栅极材料 34b 的沉积及随后对掩蔽材料 20b 及栅极材料 34b 的图案化以形成（仅举例来说）接地栅极沟槽 37b 及另一个外围电路沟槽 36b。因此，可与阵列电路沟槽的形成相当地形成一些外围电路沟槽。可（举例来说）类似于或不同于关于图 8-14 的描绘及描述发生随后的处理。

[0060] 图 20（仅举例来说）描绘关于衬底片段 10c 的替代实例性处理。已使用上述实施例中的相同编号，如果需要，用后缀“c”或不同编号以示区别。图 20 描绘一处理，通过所述处理已使用与制造所描绘剖面上任何其它线沟槽分离的掩蔽步骤制造阵列沟槽 28、30。在此之后，已在共用掩蔽步骤中制造接地栅极隔离沟槽 37 及一个外围电路栅极沟槽 70，且在其上方沉积栅极材料 40c。此后，已经由掩蔽材料 20 及先前所沉积的栅极材料实施另一掩蔽，以形成另一外围电路沟槽 74。已形成栅极电介质 71（举例来说通过关于栅极电介质材料制造的上述过程中的任一者）。随后，已沉积栅极材料 76，栅极材料 76 可与上述实例性栅极材料中的任一者相同或不同。在其它方面，处理随后可理想地与关于（举例来说）图 8-14 所描绘及描述的上述实施例相同或不同地继续。

[0061] 本发明的方面还包含一种形成场效应晶体管栅极的方法，其包括在所述衬底的半导体材料上方形成掩蔽材料，且其中所述衬底包含沟槽隔离区域。仅举例来说，实例性实施例即为上述实施例。在共用掩蔽步骤中，形成穿过掩蔽材料且进入所述半导体材料中的第一沟槽，且形成穿过所述场隔离区域上方的所述掩蔽材料形成第二接地隔离栅极沟槽。一个优选实施方案中的掩蔽步骤包括光刻。此外，在一个实施方案中，在所述共用掩蔽步骤期间可将所述第二接地隔离栅极沟槽制造成延伸到所述场隔离区域内。

[0062] 随后在共用沉积步骤中，在所述第一沟槽及所述第二沟槽内沉积栅极材料。此共用沉积步骤优选地用栅极材料至少填充且优选地过度填充所述第一沟槽及第二沟槽。在一个优选实施方案中，在沉积栅极材料之后移除至少大部分的掩蔽材料。在一个优选实施方案中，在沉积栅极材料之后，所述过程不对栅极材料进行任何光刻图案化。在一个实施方案中，所沉积的栅极材料用栅极材料覆盖所述掩蔽材料，且所述过程进一步包含相对于所述掩蔽材料选择性地移除所述栅极材料并暴露所述掩蔽材料，以有效地隔离所述第一沟槽与第二沟槽内的栅极材料。

[0063] 在一个实施方案中，本发明的一方面囊括一种形成包含包括第一栅极与第二接地隔离栅极的晶体管栅极阵列的集成电路的方法。在衬底的半导体材料上方形成掩蔽材料，且所述衬底包含沟槽隔离区域。形成穿过掩蔽材料且进入第一栅极的半导体材料中的第一沟槽。针对所述第二接地隔离栅极，形成穿过场隔离区域上方的掩蔽材料的第二接地隔离栅极沟槽。在所述第一沟槽及第二沟槽内沉积栅极材料。

[0064] 可同时或不同时（举例来说，一个在另一个的前面或后面）形成所述第一沟槽及第二沟槽。第二沟槽可形成于场隔离区域内部或仅接纳于场隔离区域外部。

[0065] 可在相同沉积步骤或在不同沉积步骤中发生栅极材料在第一沟槽与第二沟槽内的沉积。此外，可在相同沉积步骤中发生栅极材料在第一沟槽与第二沟槽内的一些沉积，且可在不同沉积步骤中发生栅极材料在第一沟槽与第二沟槽内的另一些沉积。无论如何且优选地，栅极材料的沉积用栅极材料至少填充且更优选地过度填充所述第一沟槽与第二沟槽。在其它方面，处理优选按照上文关于其它实施例的描述。

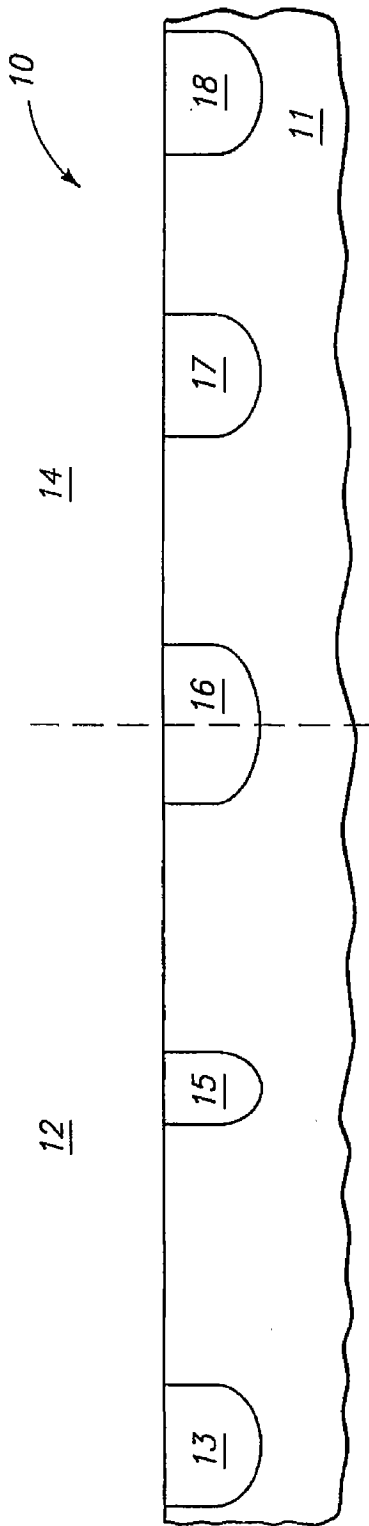


图 1

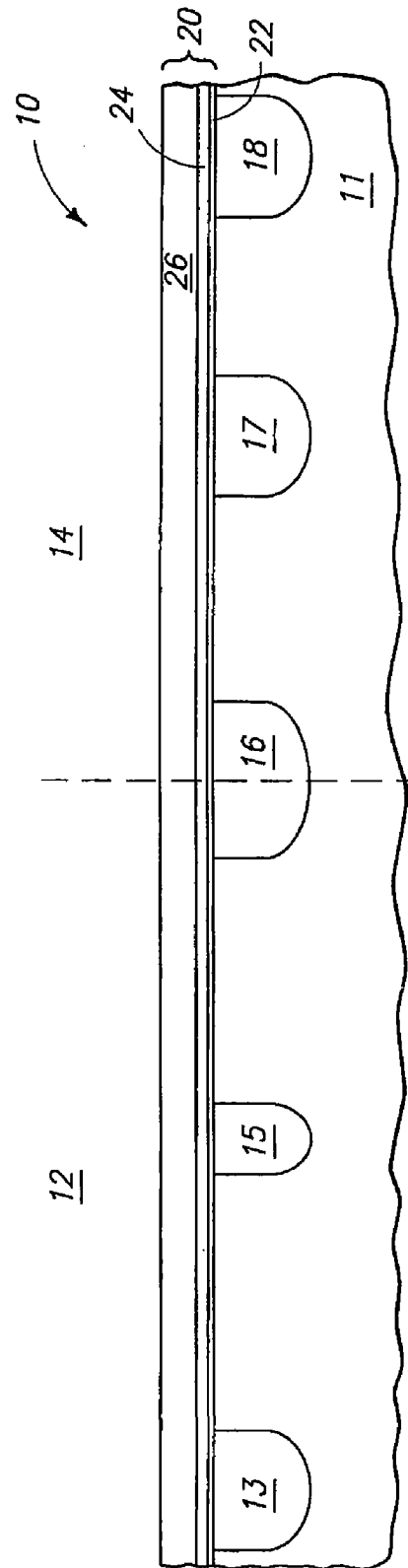


图 2

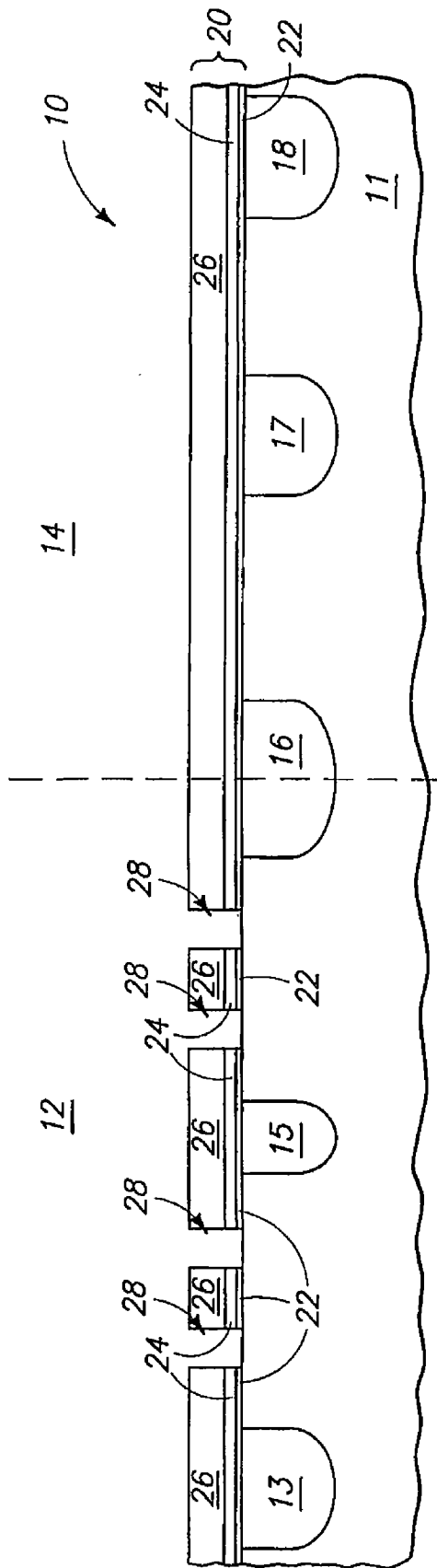


图 3

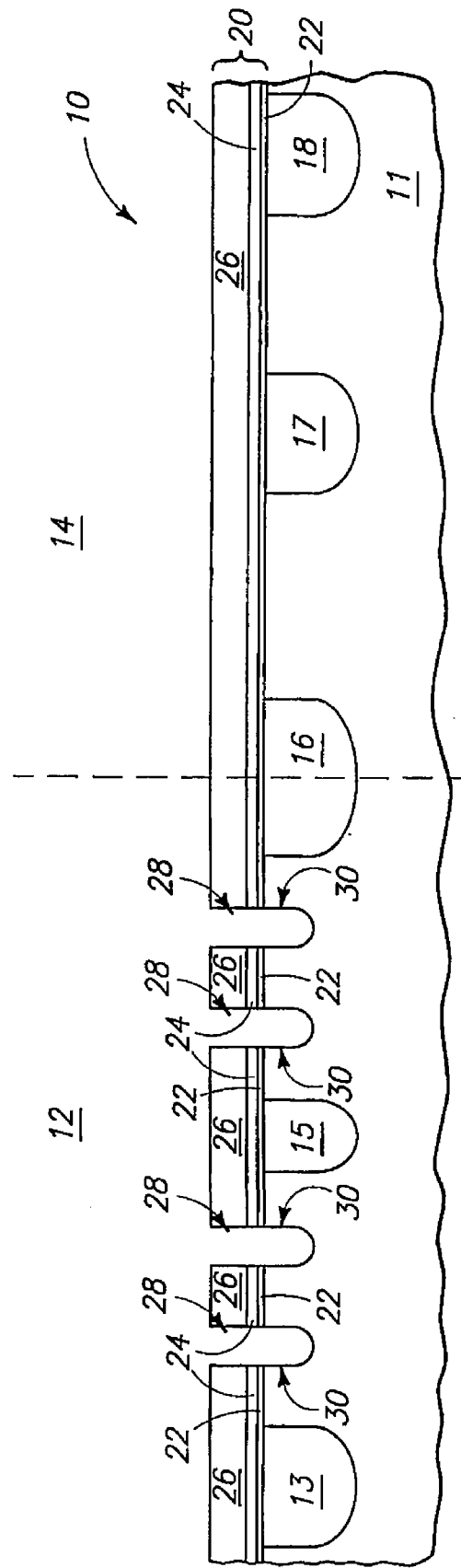


图 4

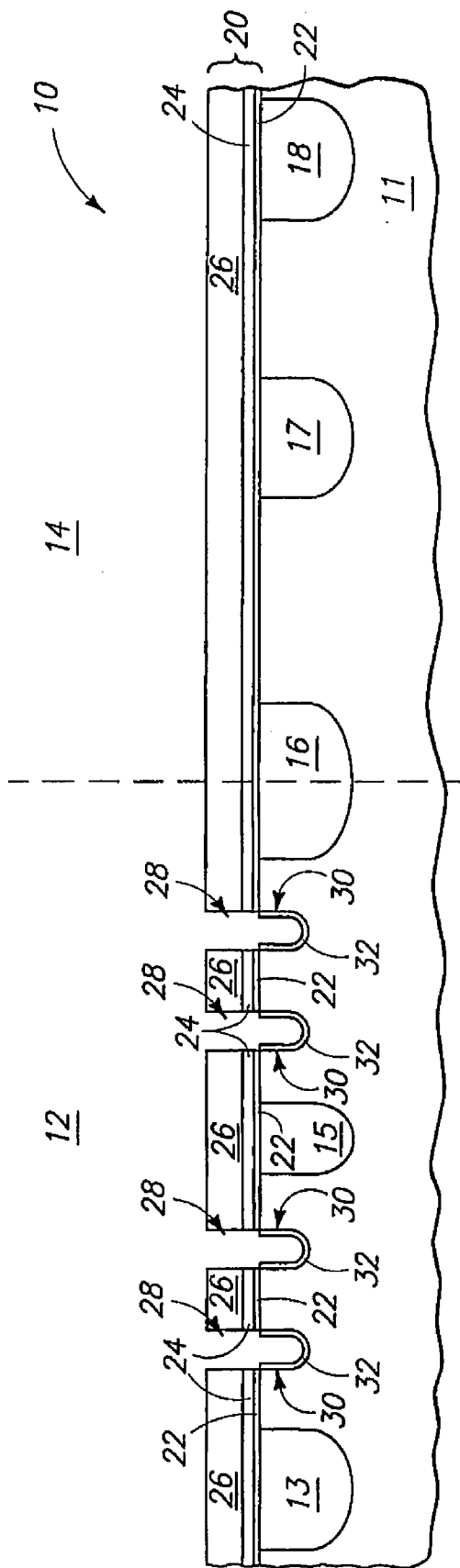


图 5

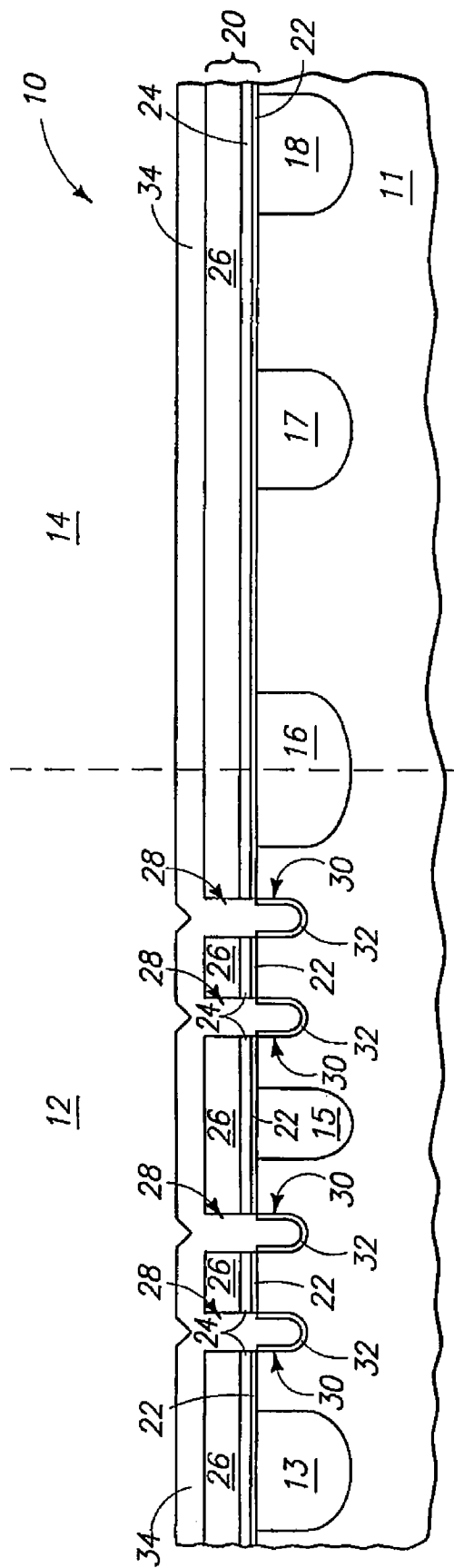


图 6

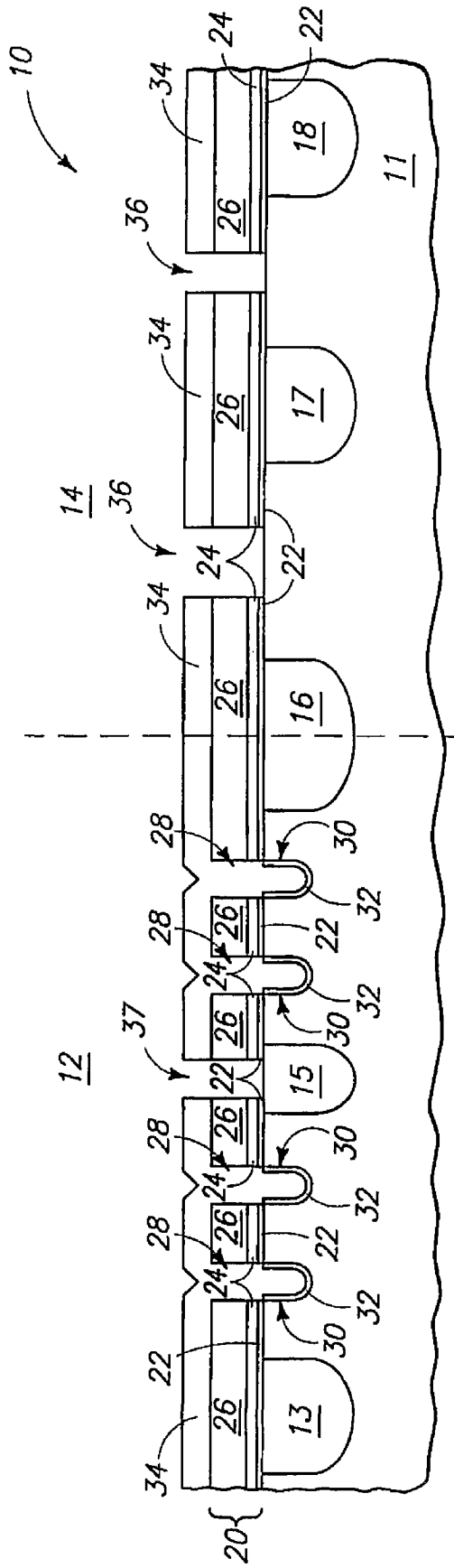


图 7

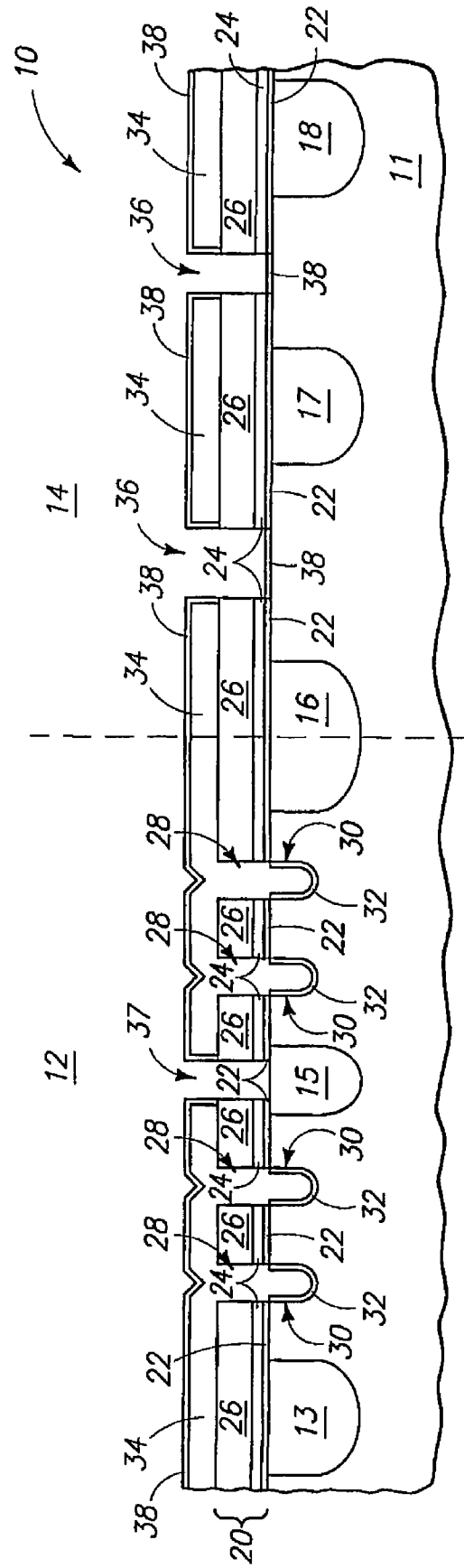


图 8

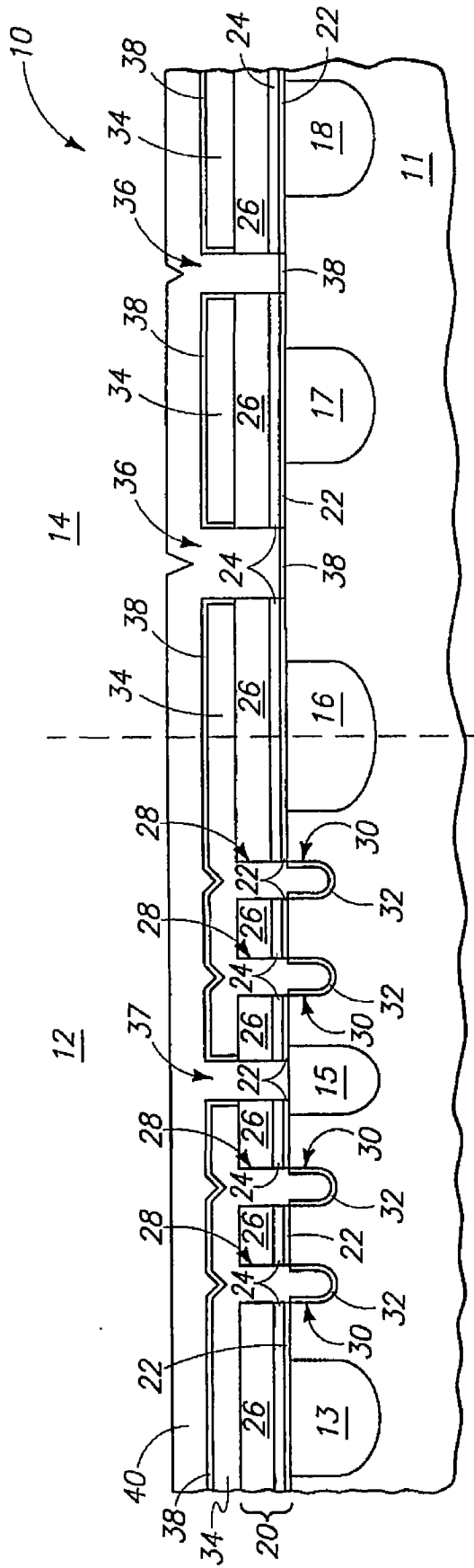


图 9

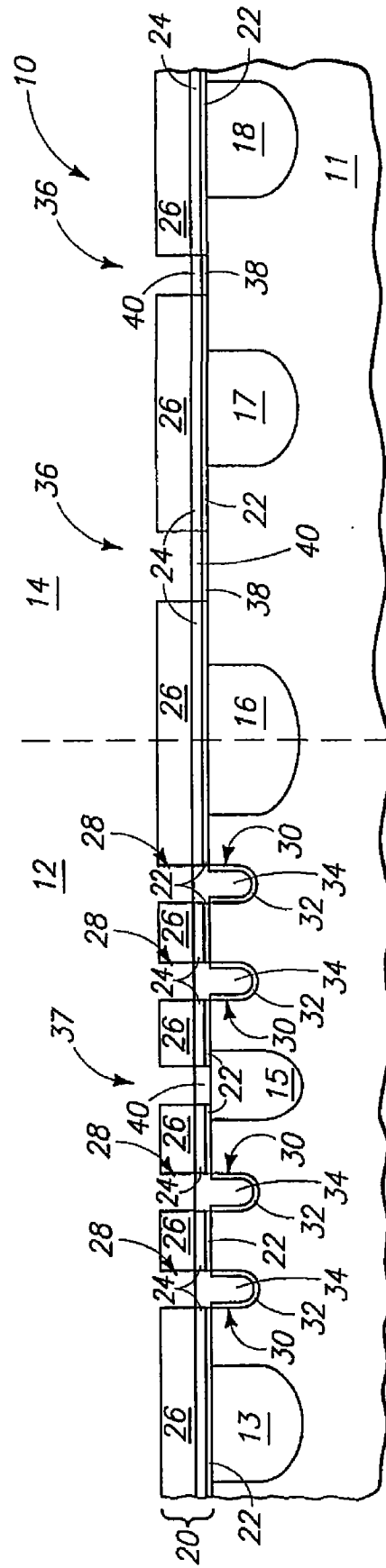


图 10

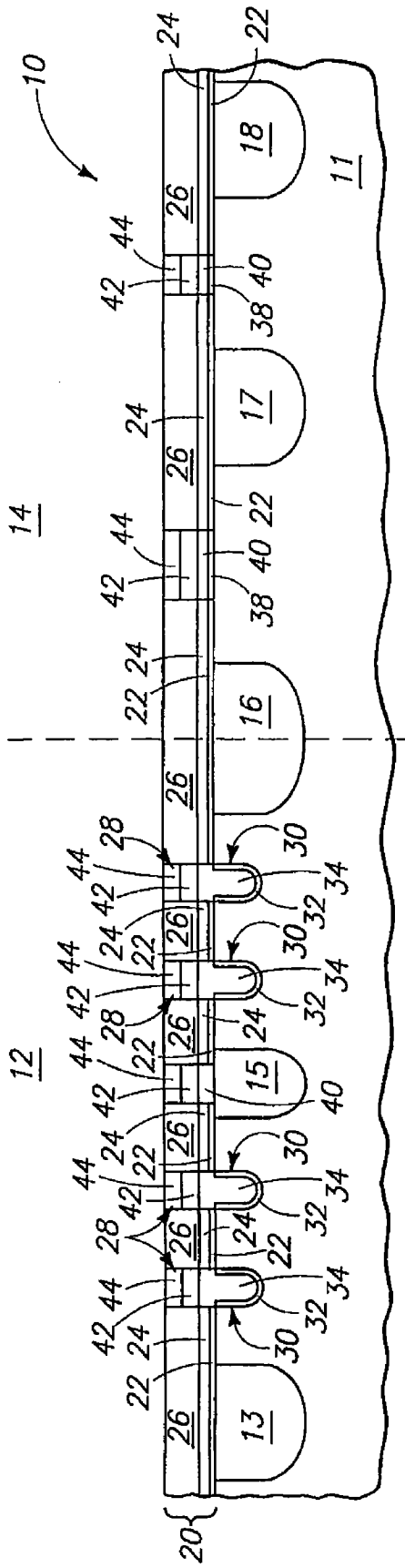


图 11

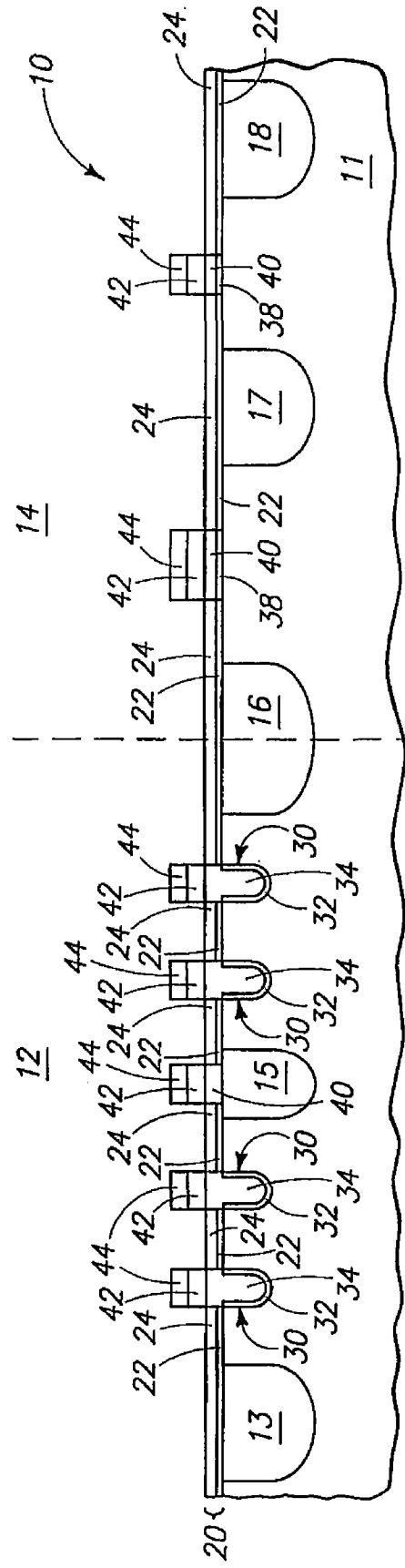


图 12

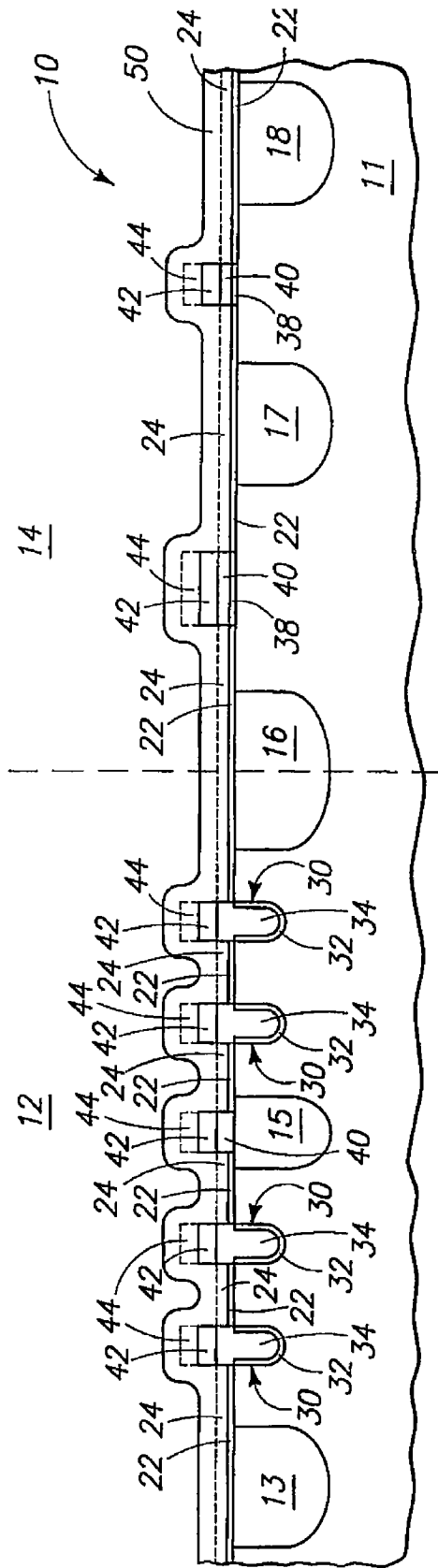


图 13

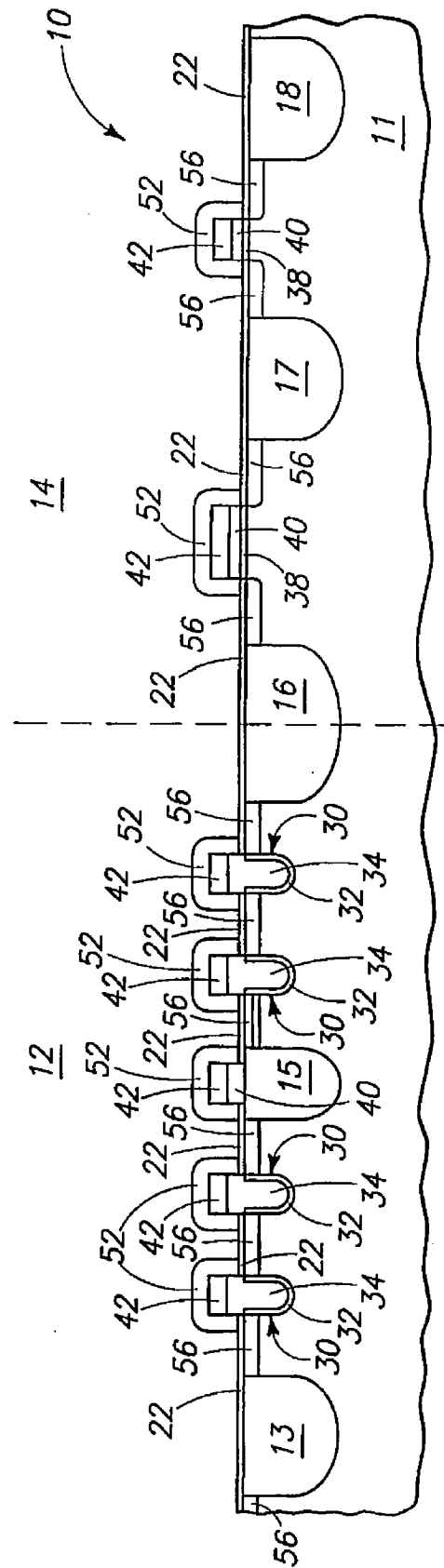


图 14

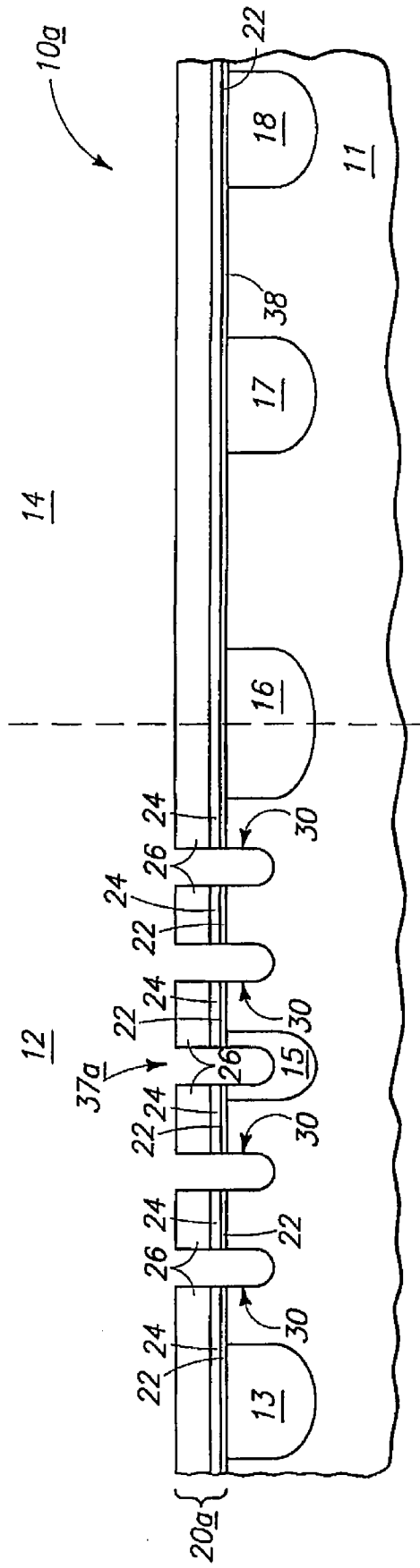


图 15

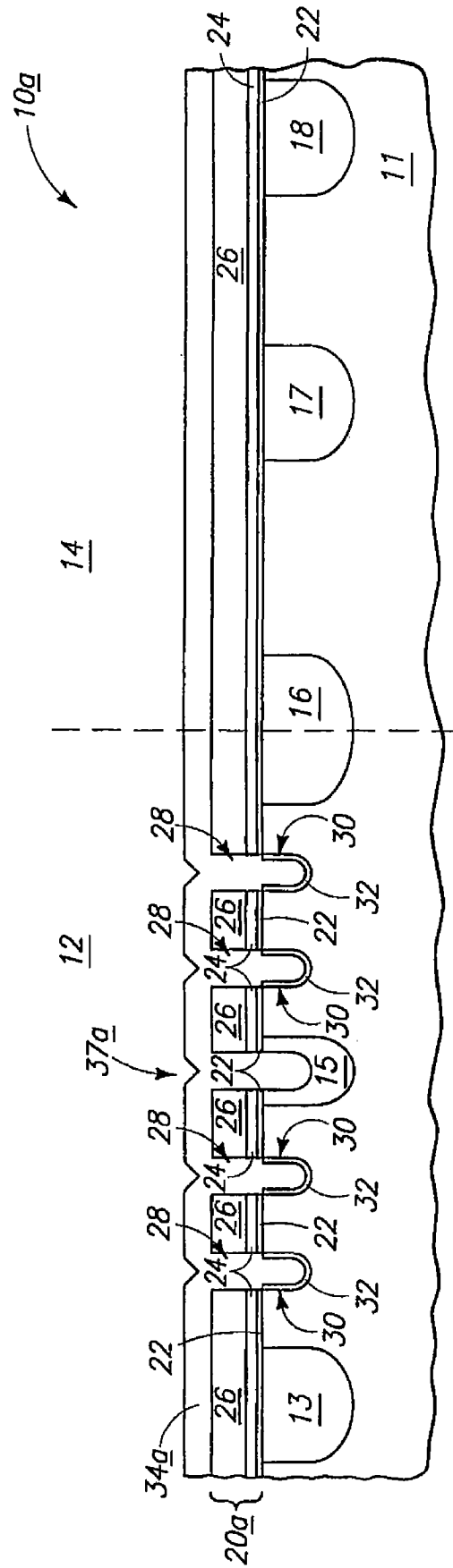


图 16

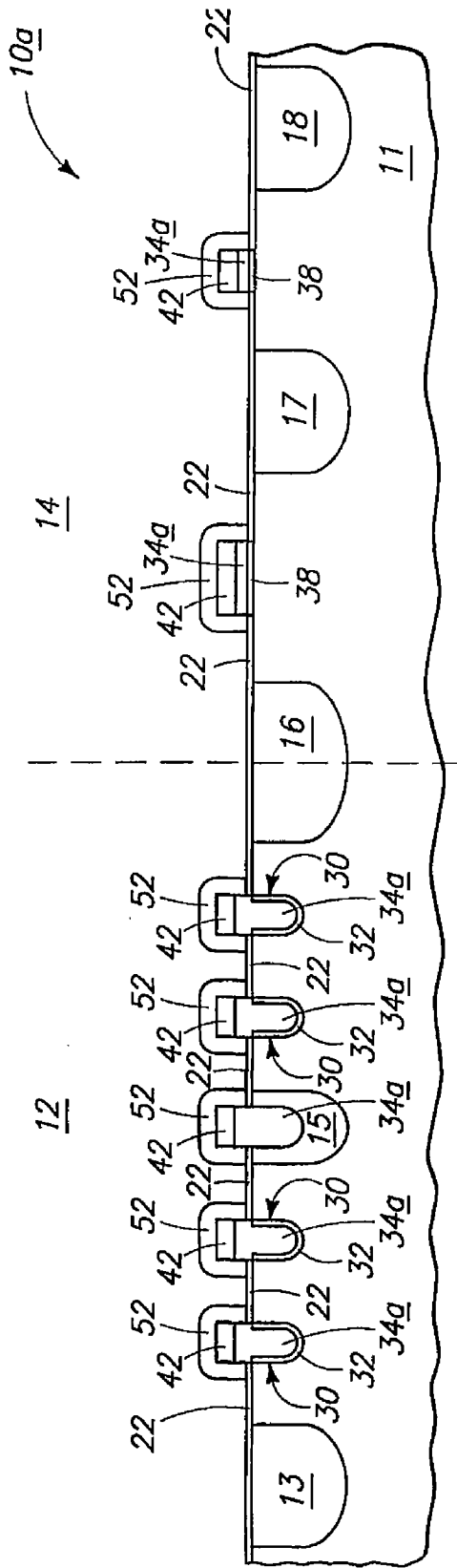


图 17

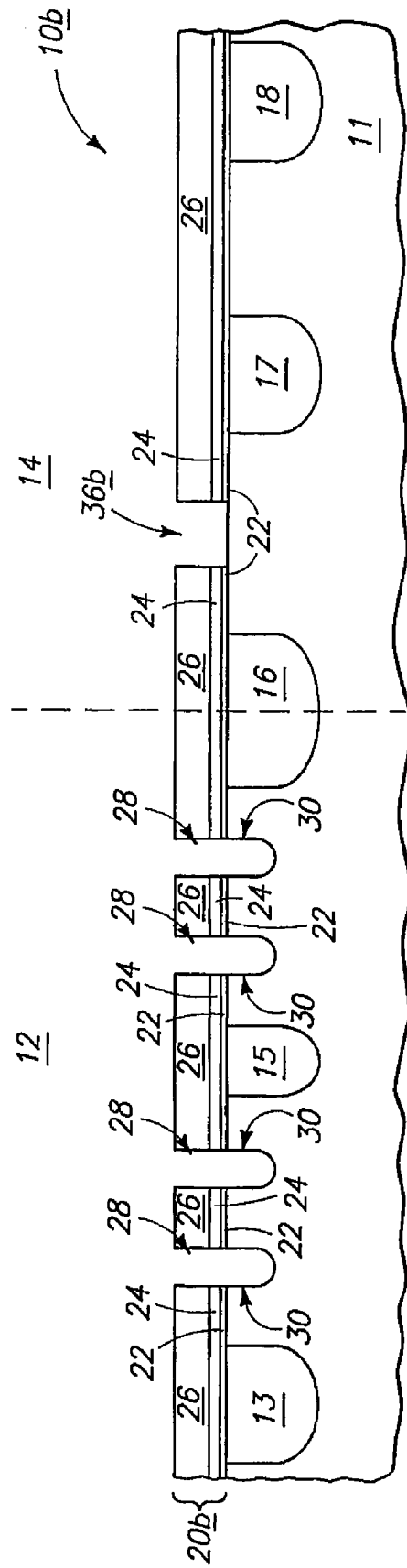


图 18

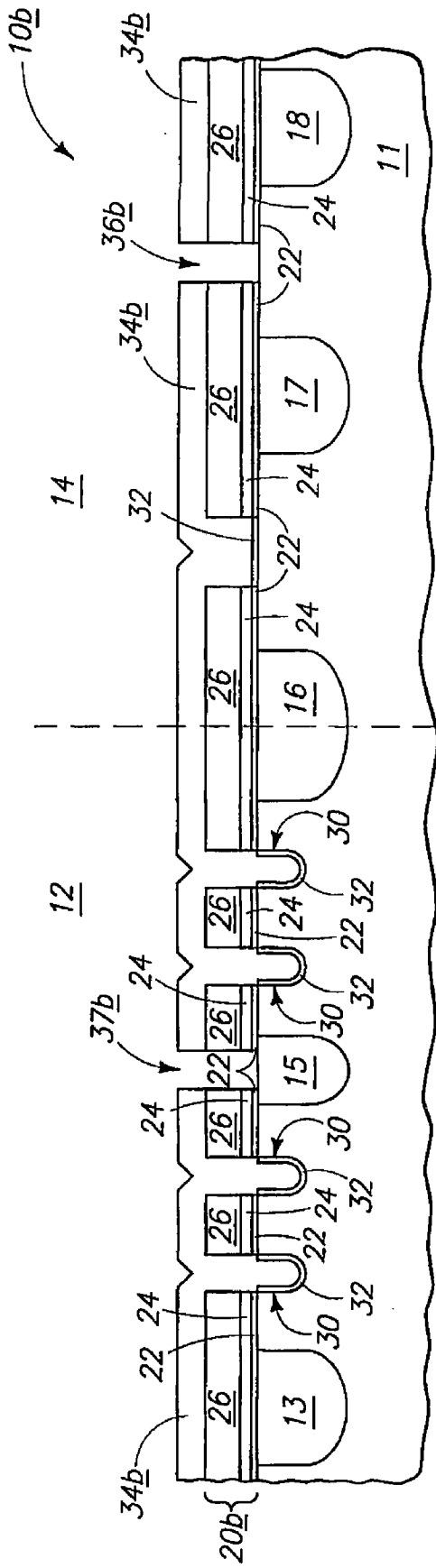


图 19

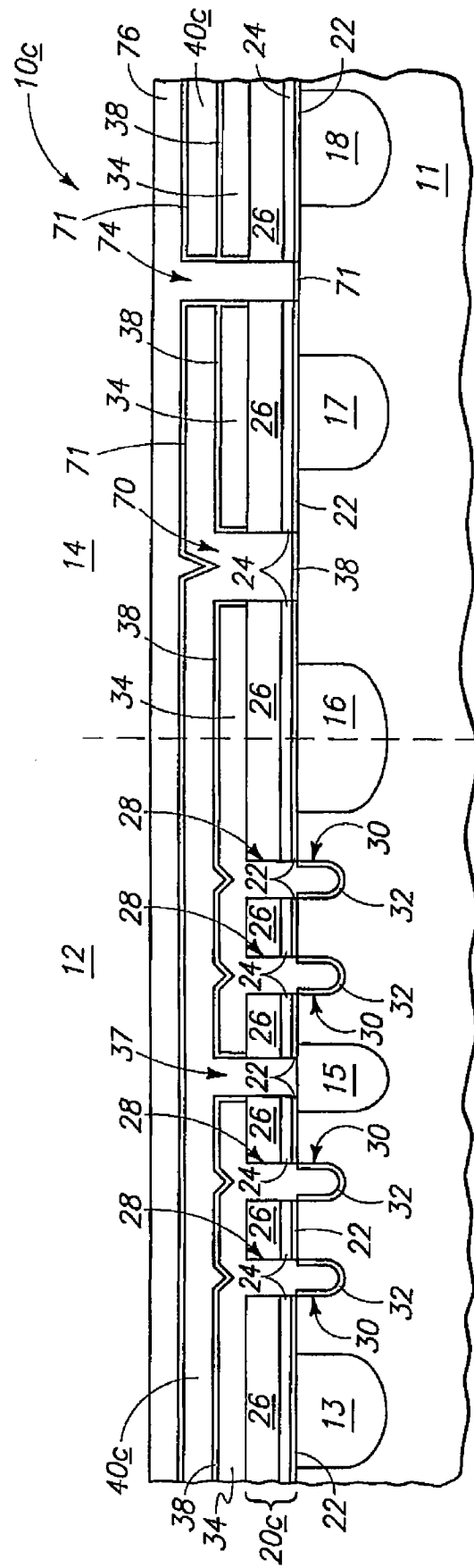


图 20