

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7600862号
(P7600862)

(45)発行日 令和6年12月17日(2024.12.17)

(24)登録日 令和6年12月9日(2024.12.9)

(51)国際特許分類		F I			
H 0 3 K	5/19 (2006.01)	H 0 3 K	5/19		
G 0 9 G	3/36 (2006.01)	G 0 9 G	3/36		
G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20	6 2 3 G	
		G 0 9 G	3/20	6 2 3 R	

請求項の数 5 (全10頁)

(21)出願番号	特願2021-87341(P2021-87341)	(73)特許権者	308036402 株式会社JVCケンウッド 神奈川県横浜市神奈川区守屋町3丁目1 2番地
(22)出願日	令和3年5月25日(2021.5.25)	(74)代理人	100103894 弁理士 家入 健
(65)公開番号	特開2022-180708(P2022-180708 A)	(72)発明者	マルタ ディナタ アンワル 神奈川県横浜市神奈川区守屋町3丁目1 2番地
(43)公開日	令和4年12月7日(2022.12.7)	審査官	柳下 勝幸
審査請求日	令和5年12月28日(2023.12.28)		

最終頁に続く

(54)【発明の名称】 コンパレータ回路、及び駆動回路

(57)【特許請求の範囲】

【請求項1】

第1入力信号の値と第2入力信号の値とが一致している否かを示す一致信号を出力するコンパレータ素子と、

一定電位が供給されるデータ入力端子とクロック入力端子とを備え、前記クロック入力端子への自己クロック信号に応じて、前記データ入力端子の値を保持するフリップフロップ回路と、

前記フリップフロップ回路からの出力信号と前記一致信号とに基づいて、前記自己クロック信号を生成するクロック生成回路とを備えたコンパレータ回路。

【請求項2】

前記フリップフロップ回路に出力をリセットするリセット信号が入力された後、前記一致信号の立ち上がりエッジで前記フリップフロップ回路の出力が変化する請求項1に記載のコンパレータ回路。

【請求項3】

前記フリップフロップ回路が、反転出力信号を出力する反転出力端子を備え、前記フリップフロップ回路からの前記出力信号が前記反転出力信号である請求項1、又は2に記載のコンパレータ回路。

【請求項4】

前記クロック生成回路が、NAND回路を備え、前記NAND回路には、前記コンパレータ素子からの前記一致信号と前記フリップフロ

ップ回路からの前記反転出力信号とが入力される請求項 3 に記載のコンパレータ回路。

【請求項 5】

請求項 1 ~ 4 のいずれか 1 項に記載のコンパレータ回路と、
画像データを保持して、前記画像データを前記第 1 入力信号として前記コンパレータ素子に出力するラッチ回路と、

カウンタクロック信号に応じてカウント動作を行い、カウント値を前記第 2 入力信号として前記コンパレータ素子に出力するカウンタと、を備えた液晶表示装置の駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、コンパレータ回路、及び駆動回路に関する。

【背景技術】

【0002】

特許文献 1 には、液晶表示装置の水平駆動回路が開示されている。特許文献 1 の図 2 では、コンパレータがカウンタ出力とデジタル画像データの画素値とを比較している。コンパレータは、両者が一致したことを示す一致パルスを、D 型フリップフロップ回路に出力している。そして、正極性スイッチと負極性スイッチが D 型フリップフロップの出力に連動して切り替わっている。

【0003】

さらに、特許文献 1 の水平駆動回路は、コンパレータクロック・カウンタクロック生成回路部を備えている。コンパレータクロック・カウンタクロック生成回路部は外部クロックに基づいて、コンパレータクロックと、カウンタクロックとを生成する。

【先行技術文献】

【特許文献】

【0004】

【文献】特開 2013 - 105166 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献 1 では、外部からのクロック信号に基づいてコンパレータクロックが生成されている。従って、外部からのクロック信号の伝送に大きなバッファが数多く必要となり、消費電力の低減が困難であった。

【0006】

本開示は上記の点に鑑みなされたものであり、低消費電力のコンパレータ回路、及び駆動回路を提供することを目的とする。

【課題を解決するための手段】

【0007】

本実施の形態にかかるコンパレータ回路は、第 1 入力信号の値と第 2 入力信号の値とが一致している否かを示す一致信号を出力するコンパレータ素子と、一定電位が供給されるデータ入力端子とクロック入力端子とを備え、前記クロック入力端子への自己クロック信号に応じて、前記データ入力端子の値を保持するフリップフロップ回路と、前記フリップフロップ回路からの出力信号と前記一致信号とに基づいて、前記自己クロック信号を生成するクロック生成回路とを備えている。

【発明の効果】

【0008】

本開示によれば、低消費電力のコンパレータ回路、及び駆動回路を提供することができる。

【図面の簡単な説明】

【0009】

【図 1】コンパレータ回路を用いた駆動回路の構成を示す回路図である。

10

20

30

40

50

【図 2】コンパレータ回路の動作を示すタイミングチャートである。

【図 3】比較例にかかるコンパレータ回路を備えた駆動回路を示す回路図である。

【図 4】駆動回路を用いた液晶表示装置の構成を示す図である。

【発明を実施するための形態】

【0010】

以下、本発明を適用した具体的な実施形態について、図面を参照しながら詳細に説明する。ただし、本開示が以下の実施形態に限定される訳ではない。また、説明を明確にするため、以下の記載および図面は、適宜、簡略化されている。

【0011】

以下、本実施の形態にかかるコンパレータ回路とそれを用いた駆動回路について説明する。図 1 は、コンパレータ回路 30 を備えた駆動回路 100 を示す回路図である。具体的には、図 1 に示す駆動回路は、液晶表示装置の画素 1 列分の水平駆動回路である。図 2 は、コンパレータ回路 30 の動作を示すタイミングチャートである。

10

【0012】

駆動回路 100 は、ラッチ回路 10 と、カウンタ 20 と、コンパレータ回路 30 と、を備えている。ここでは、10 ビットの画像データ DATA が駆動回路 100 に入力されている。つまり、1 画素が 1024 階調 (= 10 ビット) で表現される。もちろん、画像データのビット数は特に限定されるものではない。

【0013】

ラッチ回路 10 には、ラッチ信号 LATCH と画像データ DATA とが入力されている。ラッチ回路 10 は、ラッチ信号 LATCH に応じて、10 ビットの画像データ DATA をラッチする。ラッチ回路 10 は、ラッチした画像データ DATA をコンパレータ回路 30 に平行に出力する。ラッチ回路 10 から出力される画像データ DATA をラッチ出力 A とする。ラッチ出力 A は、10 ビットの平行データとなっている。図 2 では、ラッチ出力 A の値が となっている。

20

【0014】

カウンタ 20 には、カウンタクロック信号 CNT_CLOCK と、カウンタリセット信号 CNT_RST とが入力されている。カウンタ 20 は、カウンタクロック信号 CNT_CLOCK に同期して、カウント動作を行う。例えば、カウンタ 20 は、カウンタクロック信号 CNT_CLOCK のクロック周波数で、カウント値をカウントアップする。カウンタ 20 は、カウント動作によるカウント値をコンパレータ回路 30 に出力する。

30

【0015】

また、カウンタ 20 は、カウンタリセット信号 CNT_RST に応じて、カウント値を初期値にリセットする。なお、カウンタリセット信号 CNT_RST は、水平走査周波数に対応している。カウンタ 20 の出力は、10 ビットとなっている。よって、カウンタ 20 は、0 ~ 1023 までカウント値をカウントアップする。カウンタ 20 は、10 ビットのカウント値を、コンパレータ回路 30 に出力する。カウンタ 20 から出力されるカウント値をカウンタ出力 B とする。カウンタ出力 B は、10 ビットの平行データとなっている。図 2 に示すように、カウンタ出力 B が、 - 1、 、 + 1 の順にカウントアップしている。

40

【0016】

コンパレータ回路 30 は、コンパレータ素子 31 と、クロック生成回路 32 と、FF (フリップフロップ) 回路 33 とを備えている。コンパレータ回路 30 は、自身の出力に基づいて、自己クロック信号を生成する自己クロックコンパレータ回路である。したがって、コンパレータ回路 30 には外部からのクロック信号が入力されていない。

【0017】

コンパレータ素子 31 は、ラッチ出力 A と、カウンタ出力 B とを比較する。コンパレータ素子 31 は、ラッチ出力 A とカウンタ出力 B とが一致したことを示す一致信号 Z を生成する。コンパレータ素子 31 は一致信号 Z をクロック生成回路 32 に出力する。ラッチ出力 A とカウンタ出力 B はそれぞれ 10 ビットの平行データとなっている。コンパレー

50

タ素子 3 1 は、ラッチ出力 A とカウンタ出力 B の各ビットを比較する。コンパレータ素子 3 1 は、ラッチ出力 A とカウンタ出力 B の全ビットが一致した時に、ラッチ出力 A とカウンタ出力 B とが一致したと判定する。

【 0 0 1 8 】

ラッチ出力 A とカウンタ出力 B とが一致している場合、コンパレータ素子 3 1 は一致信号 Z をアサートする。ラッチ出力 A とカウンタ出力 B とが異なる場合、コンパレータ素子 3 1 は一致信号 Z をディアサートする。したがって、一致信号 Z は、図 2 に示すような正のパルス信号となる。カウンタ出力 B の値が の時に、一致信号 Z がハイレベルとなる。カウンタ出力 B の値が でない時に、一致信号 Z がローレベルとなる。

【 0 0 1 9 】

クロック生成回路 3 2 は、コンパレータ回路 3 0 から一致信号 Z と、クロック生成回路 3 2 の出力信号とに基づいて、自己クロック信号を生成する。クロック生成回路 3 2 は、自己クロック信号を F F 回路 3 3 に出力する。

【 0 0 2 0 】

例えば、クロック生成回路 3 2 は、N A N D 回路を備えている。具体的には、クロック生成回路 3 2 には、コンパレータ素子 3 1 の出力端子と、F F 回路 3 3 の反転出力端子 Q B とが接続されている。したがって、クロック生成回路 3 2 には、コンパレータ素子 3 1 からの一致信号 Z と、F F 回路 3 3 の反転出力信号が入力されている。クロック生成回路 3 2 は、一致信号 Z と反転出力信号との N A N D (否定論理積) を出力する。クロック生成回路 3 2 からの出力信号を内部信号 Z 1 とする。クロック生成回路 3 2 は、内部信号 Z 1 を F F 回路 3 3 に出力する。

【 0 0 2 1 】

F F 回路 3 3 は D 型フリップフロップ回路である。F F 回路 3 3 は、データ入力端子 D 、クロック入力端子 C K 、非反転出力端子 Q 、反転出力端子 Q B を備えている。クロック生成回路 3 2 の出力は、クロック入力端子 C K に接続されている。クロック入力端子 C K には、内部信号 Z 1 が入力される。F F 回路 3 3 は、内部信号 Z 1 に応じて、データ入力端子 D のデータ値をサンプリングして、保持する。F F 回路 3 3 は 1 ビットの値を保持する。

【 0 0 2 2 】

F F 回路 3 3 が保持したデータ値に応じた非反転出力信号を非反転出力端子 Q から出力する。F F 回路 3 3 は、非反転出力信号を反転した反転出力信号を反転出力端子 Q B から出力する。反転出力信号がコンパレータ回路 3 0 からの出力信号 O U T となる。F F 回路 3 3 が保持した入力データの値が 1 の場合、非反転出力信号がハイレベルとなり、反転出力信号がローレベルとなる。F F 回路 3 3 が保持した入力データの値が 0 の場合、非反転出力信号がローレベルとなり、反転出力信号がハイレベルとなる。

【 0 0 2 3 】

F F 回路 3 3 にはコンパレータリセット信号 C M P _ R S T が入力されている。F F 回路 3 3 は、コンパレータリセット信号 C M P _ R S T に応じて、保持したデータをリセットする。これにより、F F 回路 3 3 に保持されているデータ値が 0 となる。F F 回路 3 3 はコンパレータリセット信号 C M P _ R S T でリセットされると、反転出力信号がハイレベル、非反転出力信号がローレベルとなる。

【 0 0 2 4 】

データ入力端子 D には、一定の電源電圧 V D D が入力データとして、入力されている。したがって、データ入力端子 D には常時、一定電位が供給されている。クロック入力端子 C K は、クロック生成回路 3 2 の出力と接続されている。よって、クロック生成回路 3 2 からの内部信号 Z 1 が F F 回路 3 3 のクロック入力端子 C K に入力される。

【 0 0 2 5 】

F F 回路 3 3 はコンパレータリセット信号 C M P _ R S T でリセットされた後、内部信号 Z 1 に応じて、一定の電源電圧 V D D をサンプリングする。F F 回路 3 3 は、内部信号 Z 1 のエッジを検出して、データ入力端子 D への入力データを保持する。よって、内部信

10

20

30

40

50

号 Z 1 のエッジで、非反転出力信号はハイレベルとなり、反転出力信号はローレベルとなる。

【 0 0 2 6 】

したがって、図 2 に示すように、反転出力信号は負のステップ信号となる。コンパレータ回路 3 0 の出力信号 O U T は、一致信号 Z の立ち下がりエッジより前まではハイレベルとなり、一致信号 Z の立ち下がりエッジでローレベルに変化する。このように、負のステップ信号が F F 回路 3 3 の反転出力端子 Q B から出力される。一致信号 Z の立ち下がりエッジに応じて、出力信号 O U T のレベルが変化する。

【 0 0 2 7 】

コンパレータ回路 3 0 は、自己クロック信号を生成するクロック生成回路 3 2 を備えている。クロック生成回路 3 2 は、一致信号 Z と、出力信号 O U T とに基づいて、自己クロック信号となる内部信号 Z 1 を生成する。つまり、コンパレータ回路 3 0 は、コンパレータ回路 3 0 自身が生成した自己クロック信号で動作する自己クロックコンパレータとなる。F F 回路 3 3 が自己クロック信号である内部信号 Z 1 に応じて、データを保持する。したがって、外部クロックのためのバッファが不要となるため、消費電力を低減することができる。

10

【 0 0 2 8 】

図 3 は、比較例にかかるコンパレータ回路 3 0 を有する駆動回路を示す。なお、ラッチ回路 1 0、カウンタ 2 0、コンパレータ素子 3 1 の基本的な動作については、図 1 と同様であるため、詳細な説明を省略する。例えば、コンパレータ素子 3 1 は、ラッチ出力 A とカウンタ出力 B が一致したことを示す一致信号 Z を出力する。一致信号 Z は、正のパルスとなっている。

20

【 0 0 2 9 】

図 3 に示すコンパレータ回路 3 0 では、F F 回路 3 3 のクロック入力端子 C K に外部からのコンパレータクロック信号 C M P _ C L O C K が入力されている。コンパレータ回路 3 0 は、コンパレータクロック信号 C M P _ C L O C K に応じて動作するクロックコンパレータである。

【 0 0 3 0 】

F F 回路 3 3 の反転出力信号は、インバータ 3 4 を介して、O R 回路 3 5 に入力される。また、コンパレータ素子 3 1 からの一致信号 Z が O R 回路 3 5 に入力されている。O R 回路 3 5 から出力される内部信号 Z 1 が F F 回路 3 3 のデータ入力端子 D に入力されている。つまり、内部信号 Z 1 が F F 回路 3 3 に入力される入力データとなる。F F 回路 3 3 は、コンパレータリセット信号 C M P _ R S T でリセットされる。リセット後、F F 回路 3 3 は、コンパレータクロック信号 C M P _ C L O C K に応じて、入力データの値を保持する。

30

【 0 0 3 1 】

理想的には、F F 回路 3 3 は、コンパレータクロック信号 C M P _ C L O C K に応じて、入力データを中心時点でサンプリングする。例えば、コンパレータクロック信号 C M P _ C L O C K にジッタがある場合、図 3 に示すコンパレータ回路 3 0 では、コンパレータクロック信号 C M P _ C L O C K と入力データとの間にタイミングエラーが発生してしまうおそれがある。

40

【 0 0 3 2 】

これに対して、本実施の形態にかかるコンパレータ回路 3 0 では、データ入力端子 D に常時、一定の電位が供給されている。つまり、データ入力端子 D に電源電圧 V D D が供給されている。したがって、図 1 の F F 回路 3 3 では、自己クロック信号である内部信号 Z 1 と入力データとの間にタイミングエラーが発生することを防ぐことができる。これにより、信頼性を向上することができる。

【 0 0 3 3 】

さらに、駆動回路が図 1 のコンパレータ回路 3 0 を複数備えることで、複数のバッファを省略できるため、消費電力の削減が可能となる。例えば、1 2 0 H z のフレームレート

50

で、WUXGAのLCOS(Liquid Crystal On-Silicon)デバイスに駆動回路100を適用したとする。この場合、デバイスの消費電力を1188mWから1087mWに削減することができる。つまり、8.5%(=101mW)の消費電力を削減することが可能となる。

【0034】

図4を用いて、コンパレータ回路30を駆動回路に適用した液晶表示装置200の構成について説明する。液晶表示装置200は、LCOSディスプレイである。図4は、LCOSディスプレイのバックプレーンを示すブロック図である。

【0035】

液晶表示装置200は、画素表示部50と、垂直駆動回路2と、水平駆動回路3とを備えている。水平駆動回路3は、図1で示した駆動回路100を有している。具体的には、水平駆動回路3は、1ライン分の画素数に応じた m (m は2以上の整数)個の駆動回路100を有している。

10

【0036】

画素表示部50には、複数本のデータ線6と、複数本のゲート線8と、複数の画素42とが設けられている。複数本のデータ線6は互いに平行に配置されている。複数本のゲート線8は、互いに平行に配置されている。複数本のデータ線6と、複数本のゲート線8とは互いに交差するように配置されている。ゲート線8は行走査線となる。

【0037】

液晶表示装置200は、2本を1組として、複数組のデータ線6を備えている。液晶表示装置200は、1組のデータ線6を用いて画素42を反転駆動する。以下、1組のデータ線6のうち、正極側のデータ線6をデータ線6aとして、負極側のデータ線6をデータ線6bとする。また、スイッチ1及び映像信号線5についても、同様にスイッチ1a、スイッチ1b、及び映像信号線5a、5bとして、極性を識別する。極性反転するために、2系統のデータ線6、スイッチ1、及び映像信号線5が設けられている。

20

【0038】

データ線6とゲート線8との交差部に画素42が配置されている。画素42はマトリクス状(行列状)に配置されている。各画素42は、1組のデータ線6と1本のゲート線8とによって駆動される。例えば、ゲート線8が n 本、データ線6が $2m$ 本とすると、画素42は n 行 \times m 列のマトリクス状に配列されている。なお、 m 、 n はそれぞれ2以上の整数である。画素42は、液晶を駆動するための画素駆動回路や画素電極などを備えている。

30

【0039】

垂直駆動回路2は、複数本のゲート線8を水平走査期間毎に選択する垂直方向駆動を行う。垂直駆動回路2は、複数本のゲート線8に走査信号を供給する。つまり、垂直駆動回路2は、1行目から n 行目のゲート線8を順次選択するように、走査信号を供給する。これにより、1行毎に画素42が順次選択されていく。1垂直走査期間内に全てのゲート線8が選択される。選択された1行の画素42では、映像信号の書き込みが可能となる。

【0040】

水平駆動回路3は、複数のスイッチ1を水平走査期間内で駆動する水平方向駆動を行う。これにより、複数本のデータ線6に映像信号が供給される。上記のように、2本のデータ線6a、6bが1組として、画素42に接続されている。よって、1行の画素42に対して、2本のデータ線6a、6bが共通に接続されている。

40

【0041】

データ線6aは、スイッチ1aを介して、映像信号線5aに接続されている。データ線6bは、スイッチ1bを介して、映像信号線5bに接続されている。映像信号線5aには、正極側の映像信号RAMP+が供給されている。映像信号線5bには、負極側の映像信号RAMP-が供給されている。水平駆動回路3は、スイッチ1a、スイッチ1bを制御する。

【0042】

よって、1組のデータ線6a、6bの一方のデータ線6aには、正極性の映像信号RA

50

M P + が供給され、他方のデータ線 6 b には、負極性の映像信号 R A M P - が供給される。正極性の映像信号 R A M P + は、共通電極線の共通電位に対して正電圧となり、負極性の映像信号 R A M P - は、共通電極線の共通電位に対して負電圧となる。水平駆動回路 3 は、選択された 1 行の画素 4 2 に対して、それぞれ正極性の映像信号 R A M P + 、負極性の映像信号 R A M P - を供給することができる。水平駆動回路 3 は、それぞれのスイッチ 1 を水平走査期間内で複数回オンオフする。よって、正極性の映像信号 R A M P + と負極性の映像信号 R A M P - とが画素 4 2 に交互に供給される。

【 0 0 4 3 】

具体的には、水平駆動回路 3 は、ラッチ回路 3 1 0 と、カウンタ 3 2 0 と、コンパレータ回路 3 3 0 と、シフトレジスタ 3 6 0 と、バッファ 3 7 0 と、を備えている。ラッチ回路 3 1 0 は、図 1 のラッチ回路 1 0 に対応している。つまり、ラッチ回路 3 1 0 は、m 列分のラッチ回路 1 0 を備えている。ラッチ回路 3 1 0 は、1 ~ m 列目の画素 4 2 の画像データ D A T A を保持する。

10

【 0 0 4 4 】

コンパレータ回路 3 3 0 は、図 1 のコンパレータ回路 3 0 に対応している。つまり、コンパレータ回路 3 3 0 は、m 列分のコンパレータ回路 3 0 を有している。図 1 に示すコンパレータ回路 3 0 からの出力信号 O U T がスイッチ 1 を制御する。カウンタ 3 2 0 は、図 1 のカウンタ 2 0 に対応している。したがって、カウンタ 3 2 0 はカウンタクロック信号 C N T _ C L O C K に応じたカウント動作を行う。

【 0 0 4 5 】

シフトレジスタ 3 6 0 は水平クロック H C L O C K に応じて、m 列分の画像データ D A T A を順次伝送する。シフトレジスタ 3 6 0 は、m 列分の画像データ D A T A を保持したら、ラッチ回路 3 1 0 へ出力する。ラッチ回路 3 1 0 は、ラッチ信号 L A T C H に応じて、各列の画像データ D A T A を保持する。

20

【 0 0 4 6 】

コンパレータ回路 3 3 0 は、図 1 で示したように、ラッチ出力 A とカウンタ出力 B とを比較する。コンパレータ回路 3 3 0 は、スイッチ 1 a 、スイッチ 1 b のペアを制御する。コンパレータ回路 3 3 0 の出力信号に応じてスイッチ 1 a 、スイッチ 1 b のペアが開閉する。最初は、全てのスイッチ 1 のペアは閉じているため、映像信号が画素 4 2 に供給されない。コンパレータ回路 3 3 0 の出力信号がアサートされると、対応するスイッチ 1 が開く。これにより、正極性の映像信号 R A M P + と負極性の映像信号 R A M P - とが画素 4 2 に交互に印加される。液晶表示装置 2 0 0 が、画像データ D A T A に応じた階調表示を行うことができる。

30

【 0 0 4 7 】

バッファ 3 7 0 は、外部コントローラから出力される各種信号をバッファする。画素表示部 5 0 の列数が多いため、バッファ 3 7 0 は重い負荷を駆動するために使用される。例えば、水平クロック信号 H C L O C K は、バッファ 3 7 0 を介してシフトレジスタ 3 6 0 へ入力される。同様に、ラッチ信号 L A T C H は、バッファ 3 7 0 を介して、ラッチ回路 3 1 0 へ入力されている。カウンタ 3 2 0 からのカウンタ出力は、バッファ 3 7 0 を介してコンパレータ回路 3 3 0 へ入力されている。

40

【 0 0 4 8 】

本実施の形態では、コンパレータ回路 3 3 0 が図 1 に示すコンパレータ回路 3 0 を備えている。よって、コンパレータ回路 3 3 0 へ入力されるコンパレータクロック信号に対するバッファを省略することができる。つまり、列数に応じてバッファ数を削減することができるため、消費電力を削減することができる。さらに、タイミングエラーを抑制することができるため、信頼性を向上することができる。

【 0 0 4 9 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限られたものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

50

【符号の説明】

【0050】

1	スイッチ	
2	垂直駆動回路	
3	水平駆動回路	
6	データ線	
8	ゲート線	
42	画素	
50	画素表示部	
100	駆動回路	10
10	ラッチ回路	
20	カウンタ	
30	コンパレータ回路	
31	コンパレータ素子	
32	クロック生成回路	
33	FF回路	
200	液晶表示装置	
310	ラッチ回路	
320	カウンタ	
330	コンパレータ回路	20
360	シフトレジスタ	
370	バッファ	

30

40

50

【図面】
【図 1】

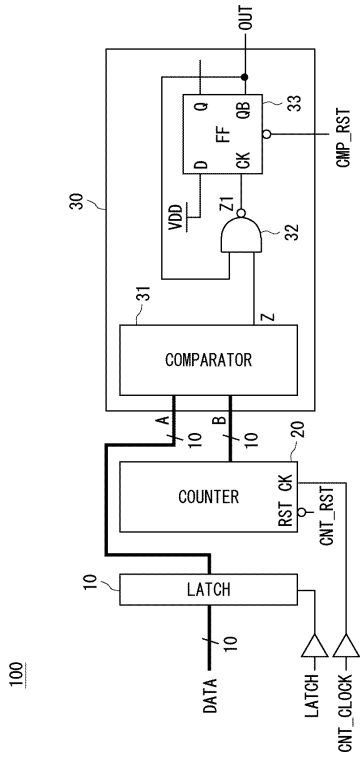


Fig. 1

【図 2】

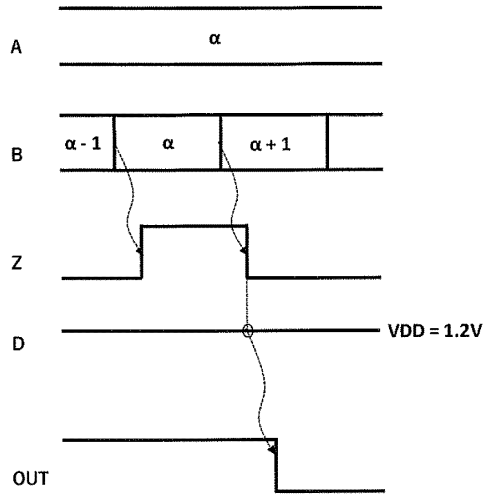


Fig. 2

【図 3】

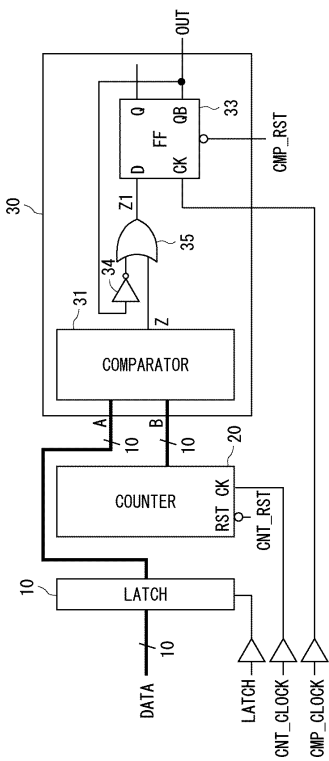


Fig. 3

【図 4】

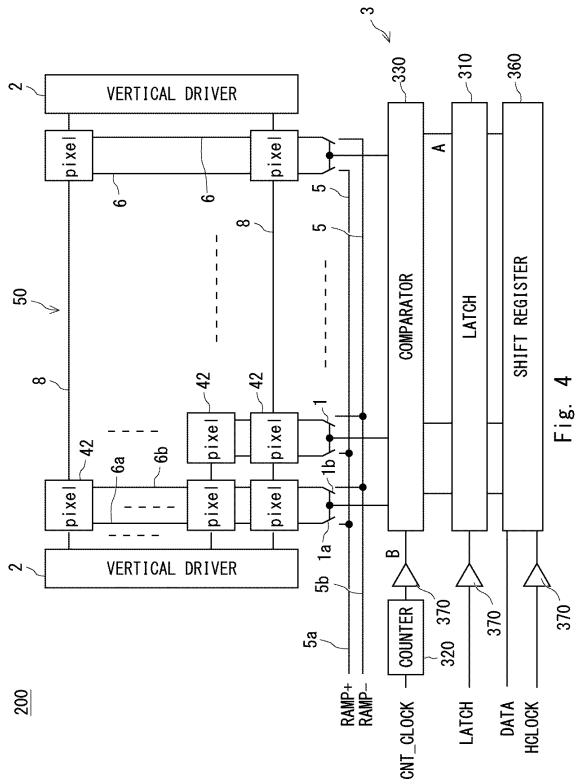


Fig. 4

10

20

30

40

50

フロントページの続き

- (56)参考文献 特開2015-115907(JP,A)
特開2013-105166(JP,A)
特開平7-321772(JP,A)
特開昭52-120665(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
- | | |
|------|--------|
| H03K | 5 / 19 |
| G09G | 3 / 36 |
| G09G | 3 / 20 |