

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年5月15日(15.05.2025)



(10) 国際公開番号

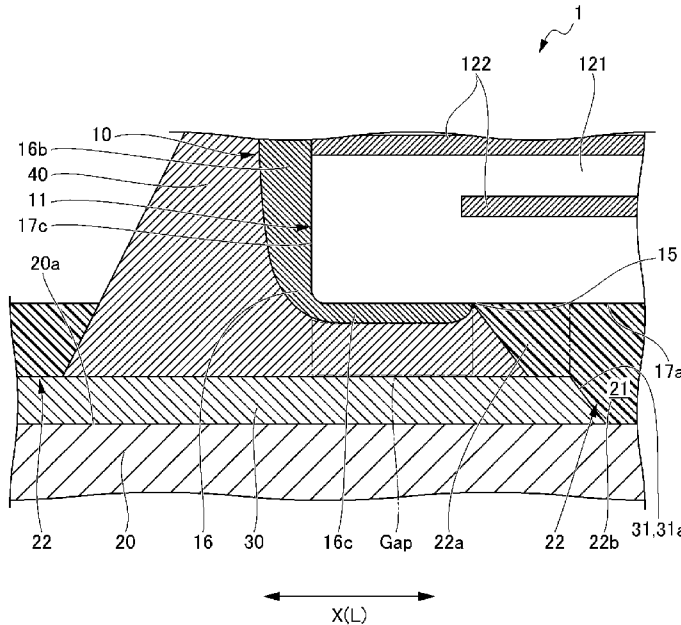
WO 2025/099997 A1

- (51) 国際特許分類:
H05K 1/18 (2006.01) H01G 2/06 (2006.01)
- (21) 国際出願番号: PCT/JP2024/025904
- (22) 国際出願日: 2024年7月19日(19.07.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-190269 2023年11月7日(07.11.2023) JP
- (71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 (JP).
- (72) 発明者: 清水 貴仁 (SHIMIZU Takahito); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 (JP). 木村 真人 (KIMURA Masato); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 (JP). 黒須 勇太 (KUROSU Yuta); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 (JP).
- (74) 代理人: 加藤 竜太, 外 (KATO Ryuta et al.); 〒1000005 東京都千代田区丸の内1-7-12 サピアタワー (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

(54) Title: MOUNTING STRUCTURE FOR ELECTRONIC COMPONENT

(54) 発明の名称: 電子部品の実装構造

図4



(57) Abstract: Provided is a mounting structure for an electronic component, the structure being capable of suppressing occurrence of cracks in the electronic component. A mounting structure 1 comprises: a pair of lands 30 disposed on a substrate 20 so as to be apart from each other; a solder 40 disposed on each of the lands 30; and a multilayer ceramic capacitor 10 that has a component body 11 and a pair of external electrodes 16, each of the external electrodes 16 being connected to the land 30 via the solder 40. Each of the external electrodes 16 includes an extension part 16c that covers a

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

main surface 17a and a side surface of the component body 11. When a direction orthogonal to the surface of the substrate 20 is defined as the Z-direction, the dimension in the Z-direction of the solder 40 disposed in a region sandwiched between the land 30 and the extension part 16c is 1-100 μm .

(57) 要約: 電子部品におけるクラックの発生を抑制可能な電子部品の実装構造を提供すること。実装構造1は、基板20の上に互いに離間して配置された一对のランド30と、ランド30の上にそれぞれ配置された半田40と、部品本体11と、一对の外部電極16とを有し、各外部電極16のそれぞれが各ランド30に半田40を介して接続される積層セラミックコンデンサ10と、を備える。各外部電極16は、それぞれ、部品本体11の各主面17a及び各側面を覆う延出部16cを含む。基板20の表面と直交する方向をZ方向とすると、ランド30と延出部16cとに挟まれた領域に配置される半田40のZ方向の寸法は、1 μm 以上100 μm 以下である。

明 細 書

発明の名称：電子部品の実装構造

技術分野

[0001] 本発明は、電子部品の実装構造に関する。

背景技術

[0002] 従来、回路を有する基板に、積層セラミックコンデンサやインダクタ等の2端子電子部品を半田付けにより実装することが行われている。特許文献1には、積層セラミックコンデンサの長さ方向両端部に設けられた一对の外部電極を、基板に設けられた一对の電極パッドにそれぞれ半田付けにより接続する実装構造が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2014-086606号公報

発明の概要

発明が解決しようとする課題

[0004] 電子機器の使用時に環境温度が変化すると、電子部品、半田、基板の線膨張係数の違いより、電子部品に応力が生じる。電子部品に応力が生じると、素体と外部電極の境目にクラックが生じるおそれがある。また、それらのクラックが生じた電子部品が耐湿環境下に晒された場合、内部の絶縁抵抗が小さくなり発熱することで、電子機器が破損するおそれがある。

[0005] そこで本発明は、電子部品におけるクラックの発生を抑制可能な電子部品の実装構造を提供することを目的とする。

課題を解決するための手段

[0006] 上記課題を解決すべく、本発明の電子部品の実装構造は、基板の上に互いに離間して配置された一对のランドと、前記ランドの上にそれぞれ配置された半田と、積層される誘電体層及び内部電極層を有し、積層方向に相對する一对の主面と、前記積層方向に直交する幅方向に相對する一对の側面と、前

記積層方向及び前記幅方向に直交する長さ方向に相對する一対の端面と、を含む部品本体と、前記各端面にそれぞれ配置される一対の外部電極と、を有し、前記各外部電極のそれぞれが前記各ランドに前記半田を介して接続される電子部品と、を備え、前記各外部電極は、それぞれ、前記各主面及び前記各側面のうち少なくとも一部まで延びて設けられた延出部を含み、前記基板の表面と直交する方向をZ方向とすると、前記ランドと前記延出部とに挟まれた領域に配置される前記半田の前記Z方向の寸法は、 $1\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下である。

発明の効果

[0007] 本発明によれば、電子部品におけるクラックの発生を抑制可能な電子部品の実装構造を提供することができる。

図面の簡単な説明

[0008] [図1]図1は、第1実施形態に係る電子部品の実装構造に適用される電子部品としての積層セラミックコンデンサを示す斜視図である。

[図2]図2は、第1実施形態に係る電子部品の実装構造を示す平面図である。

[図3]図3は、図2の| | | - | | |線断面図である。

[図4]図4は、第1実施形態に係る電子部品の実装構造の要部を示す一部拡大断面図である。

[図5]図5は、第2実施形態に係る電子部品の実装構造を示す平面図である。

[図6]図6は、図5のV | - V |線断面図である。

発明を実施するための形態

[0009] 以下、図面を参照しながら実施形態について説明する。

(第1実施形態)

図1は、第1実施形態に係る電子部品の実装構造に適用される電子部品としての積層セラミックコンデンサ10を示している。第1実施形態は、積層セラミックコンデンサ10を基板に実装する構造の一形態である。

[0010] 積層セラミックコンデンサ10は、全体として略直方体形状をなしている。積層セラミックコンデンサ10は、部品本体11と、一対の外部電極16

と、を備える。部品本体 11 は、複数の誘電体層 121 及び内部電極層 122 が交互に積層されて構成された内層部 12 を有する。

[0011] 本明細書において、誘電体層 121 及び内部電極層 122 が積層されている方向を「積層方向 T」とする。積層方向 T と直交する方向を「長さ方向 L」とする。積層方向 T 及び長さ方向 L に直交する方向を「幅方向 W」とする。なお、一对の外部電極 16 は、長さ方向 L に並んでいる。

[0012] 積層セラミックコンデンサ 10 の寸法としては、例えば、長さ方向 L が 0.2 mm 以上 1.7 mm 以下、幅方向 W が 0.12 mm 以上 0.9 mm 以下、積層方向 T が 0.12 mm 以上 0.9 mm 以下といった寸法が挙げられるが、これらに限定はされない。

[0013] 部品本体 11 は、略直方体状をなしている。部品本体 11 は、積層方向 T において相対する一对の主面 17a と、幅方向 W において相対する一对の側面 17b と、長さ方向 L において相対する一对の端面 17c と、を有する。

[0014] 部品本体 11 は、その内部に、内層部 12 を有する。内層部 12 は、複数の内部電極層 122 及び複数の誘電体層 121 が積層方向 T に交互に積層された多層化構造を有する。内層部 12 の幅方向 W の両側及び積層方向 T の両側の 4 面は、上記誘電体セラミック層と同様の材料からなる外層誘電体セラミック層 13 で覆われている。

[0015] 内部電極層 122 は、例えば、Ni、Cu、Ag、Pd、Ag-Pd 合金、Au 等に代表される金属材料により形成されるが、これらの金属材料に限られず、他の導電材料で形成されてもよい。

[0016] 誘電体層 121 及び外層誘電体セラミック層 13 は、例えば、チタン酸バリウムを主成分とするセラミックス材料や、他の高誘電率のセラミックス材料（例えば、 CaTiO_3 、 SrTiO_3 、 CaZrO_3 等を主成分とするもの）が焼成されて形成される。

[0017] 一对の外部電極 16 は、部品本体 11 の長さ方向 L の両端部にそれぞれ配置されている。各外部電極 16 は、部品本体 11 の一对の端面 17c をそれぞれ覆っている。なお、一对の外部電極 16 は、それぞれ、一对の主面 17

aの一部や一対の側面17bの一部にも配置されていてもよい。内層部12における複数の内部電極層122においては、積層方向Tに隣り合う内部電極層のうち的一方側が一方の外部電極16に接続され、他方側が他方の外部電極に接続されている。一対の外部電極16のそれぞれは、長さ方向Lの端面16aを有している。

[0018] 外部電極16は、例えば、焼結金属層とめっき層との積層膜により構成される。焼結金属層は、例えば、Cu、Ni、Ag、Pd、Ag-Pd合金、Au等のペーストを焼き付けることで形成される。めっき層は、例えば、Niめっき層とこれを覆うSnめっき層とにより構成される。

[0019] 積層セラミックコンデンサ10は、例えば、部品本体11が焼成された後、一対の外部電極16が焼き付けやめっき等により形成されて製造される。外部電極16の一部が部品本体11と同時に焼成され、その後、外部電極16のめっき層が形成される場合もある。

[0020] 図2～図4に示すように、実装構造1は、基板20と、基板20の上に互いに離間して配置された一対のランド30と、各ランド30の上にそれぞれ配置された半田40と、積層セラミックコンデンサ10と、を備える。積層セラミックコンデンサ10は、半田付けにより基板20に実装される。

[0021] 基板20は、例えば、樹脂、ガラス、ガラスエポキシ、紙フェノール、セラミックス等の絶縁材料からなる材料によりシート状に形成されている。

[0022] 基板20の表面20aには、配線33が形成されている。配線33は、離間部21を間に挟んで不連続の状態となっており、離間部21の両側に、配線33の一部であって外部電極16と接続される部分である一対のランド30が露出している。一対のランド30は、互いに離間して基板20の表面20aに配置されている。このため、離間部21は、一対のランド30の間の領域ともいえる。一対のランド30のそれぞれは、各ランド30が並ぶ方向と直交する方向の位置が、互いに同じとなるように並列している。

[0023] ランド30を含む配線33は、例えば、Cu、Ag等の高導電性の金属を基板20の表面20aに成膜することにより形成されている。一対のランド

30のそれぞれは、平面視が矩形状の形状であって、互いにほぼ同じ形状及び寸法を有する。

[0024] 本明細書において、基板20の表面20aに直交する方向を「Z方向」とする。Z方向と直交する方向であって一对のランド30が並ぶ方向を「X方向」とする。X方向及びZ方向と直交する方向を「Y方向」とする。X方向のうち、一对のランド30が離間する方向を「離間方向」とし、一对のランド30が対向する方向を「対向方向」とする。また、「ランドの厚み」とは、ランド30のZ方向の寸法を意味する。

[0025] なお、一对のランド30のX方向及びY方向の周縁部を「周縁部31」とする。周縁部31のうち、離間部21側の端縁を「内側端縁31a」とする。内側端縁31aは、Y方向に延びる直線状をなしている。

[0026] 基板20の表面20aは、絶縁膜22で被覆されている。絶縁膜22は、絶縁材料により構成され、例えば、ソルダーレジストにより構成されている。ただし、これに限定されるものではなく、絶縁膜22を構成する絶縁材料としては、ポリオレフィン樹脂、アクリル樹脂、ポリウレタン樹脂等の樹脂を主成分とする基板用の絶縁コーティング材等を好適に用いることができる。絶縁膜22は、各ランド30上まで延びており、各ランド30の周縁部31寄りの一部は、絶縁膜22で被覆されている。各ランド30の周縁部31は、絶縁膜22で被覆されている。離間部21において、基板20の表面20aは、絶縁膜22で被覆されている。図2において、絶縁膜22が配置されている部分をドットハッチで示している。

[0027] なお、絶縁膜22のうち、各ランド30の表面に配置されている部分を「絶縁膜22a」とし、Z方向に見て離間部21と重なる領域に配置されている部分を「絶縁膜22b」とする。なお、離間部21に配置されている絶縁膜22は、絶縁膜22bに含まれる。ランド30の内側端縁31aが、対向方向に向かうにつれて基板20と近づく方向に傾斜する傾斜面となっている場合には、当該傾斜面とZ方向に見て重なる領域に配置されている絶縁膜22は、絶縁膜22bに含まれることとし、絶縁膜22aには含まれないこと

とする。本明細書において、「絶縁膜 22 の厚み」とは、絶縁膜 22 の Z 方向の寸法を意味する。

[0028] 基板 20 に実装された積層セラミックコンデンサ 10 は、長さ方向 L が X 方向にほぼ沿っており、幅方向 W が Y 方向にほぼ沿っており、積層方向 T が Z 方向にほぼ沿っている。これにより、部品本体 11 の一方の主面 17 a が、基板 20 の表面 20 a にほぼ平行に対向する。なお、積層セラミックコンデンサ 10 は、必ずしも主面 17 a を基板 20 側に向けて基板 20 に実装されていなくてもよく、一方の側面 17 b を基板 20 側に向けて基板 20 に実装されていてもよい。

[0029] 積層セラミックコンデンサ 10 は、一方の外部電極 16 が一方のランド 30 に半田 40 を介して接続され、他方の外部電極 16 が他方のランド 30 に半田 40 を介して接続されている。各外部電極 16 の端面 16 a は、いずれも半田 40 でほぼ覆われる。なお、各外部電極 16 の端面 16 a は、いずれも半田 40 で一部を覆うようにしてもよい。積層セラミックコンデンサ 10 は、幅方向 W の中央が、各ランド 30 の幅方向 W の中央に略一致するように配置されている。

[0030] 一对の外部電極 16 は、いずれも、部品本体 11 の端面 17 c を覆う平板状の端面被覆部 16 b と、端面被覆部 16 b から対向方向側に延出し、一对の主面 17 a 及び一对の側面 17 b の一部に配設された延出部 16 c と、を含む。延出部 16 c は、各主面 17 a 及び各側面 17 b のそれぞれにおいて、各面の端面 17 c 側の一部のみを覆っている。延出部 16 c は、全体として角筒状をなしている。延出部 16 c の対向方向側の端部は、外部電極 16 と部品本体 11 との境界部分（以下、「境界部分 15」いう）となっている。なお、延出部 16 c は、必ずしも、全体として角筒状をなしてなくてもよい。延出部 16 c は、各主面 17 a 及び各側面 17 b のうち全ての面に延出している必要はなく、少なくとも、各主面 17 a 及び各側面 17 b のうち基板 20 と相対する 1 つの面にのみ延出していればよい。

[0031] 基板 20 に対向する部品本体 11 の一方の主面 17 a を覆う延出部 16 c

が、ランド30に半田40を介して接続されている。延出部16cの対向方向側の端部（境界部分15）は、当該延出部16cと接続されるランド30の内側端縁31aよりも、離間方向に位置している。なお、延出部16cの対向方向側の端部（境界部分15）は、当該延出部16cと接続されるランド30の内側端縁31aよりも対向方向又は内側端縁31aと略同一位置に配置されていてもよい。このとき、絶縁膜22aは、延出部16cとランド30との間に配置されてもよいし、絶縁膜22aが設けられなくてもよい。

[0032] また、絶縁膜22bは、基板20と部品本体11との間の領域を隙間なく埋めている。絶縁膜22のZ方向の寸法は、基板20と部品本体11との離間寸法と同一となっている。絶縁膜22bは、基板20上で部品本体11を支持している。絶縁膜22bは、支持部材（詳しくは、第1支持部材）に相当する。なお、絶縁膜22bは、基板20と部品本体11との間の領域を部分的に埋めるよう設けてもよい。すなわち、基板20と部品本体11との間の領域は、部分的に絶縁膜22が存在しない領域を有していてもよい。このとき、絶縁膜22aがランド30上で部品本体11を支持することもできる。

[0033] 絶縁膜22aは、絶縁膜22bと連続しており、絶縁膜22bから離間方向に延びている。絶縁膜22aのZ方向の寸法は、部品本体11とランド30との離間寸法と同一となっている。絶縁膜22aと、絶縁膜22bとは、表面（Z方向のうち基板20から離間する方向側の面）が、面一となっている。絶縁膜22aは、ランド30上で部品本体11を支持している。絶縁膜22aは、支持部材（詳しくは、第2支持部材）に相当する。

[0034] 絶縁膜22aの離間方向の各端部は、境界部分15とそれぞれ接触している。境界部分15は、絶縁膜22bにより覆われている。絶縁膜22bの離間方向の各端部は、傾斜面となっており、詳しくは、対向方向に向かうにつれて基板20側に傾斜する傾斜面となっている。また、絶縁膜22aは、境界部分15よりも離間方向側には延出していない。なお、絶縁膜22aの離間方向の各端部が、境界部分15とそれぞれ接触していなくてもよい。例え

ば、境界部分 15 の周辺には、空隙等により絶縁膜 22 a が存在していなくてもよい。また、絶縁膜 22 a が、境界部分 15 よりも離間方向側に延出しているてもよい。

[0035] 半田 40 の対向方向の端部は、絶縁膜 22 a と接触している。半田 40 の対向側の端部は、傾斜面となっており、詳しくは、対向方向に向かうにつれて基板 20 から離間する側に傾斜する傾斜面となっている。絶縁膜 22 a の離間方向の端部が、対向方向に向かうにつれて基板 20 側に傾斜する傾斜面となっていることで、半田 40 が絶縁膜 22 a に乗り上がるのを抑制することができる。なお、半田 40 の対向方向の端部は、絶縁膜 22 a と接触していなくてもよい。すなわち、半田 40 の対向方向の端部と絶縁膜 22 との間に空隙等が介在しているてもよい。

[0036] 延出部 16 c とランド 30 とで挟まれた領域は、全域に亘って半田 40 により埋められている。これにより、外部電極 16 を、ランド 30 に対して強固に接合することができる。

[0037] 半田 40 は、各外部電極 16 及び各ランド 30 に適合する特性を有するものであれば特にその種類は限定されず、例えば、Sn-Pb 系半田、Sn-Ag-Cu 系半田、Sn-Cu 系半田、Sn-Bi 系半田等であってよい。

[0038] ランド 30 と、ランド 30 に対向する外部電極 16 の延出部 16 c との間には、ギャップ Gap が形成されている。ギャップ Gap は、延出部 16 c とランド 30 とで挟まれた領域ともいえる。なお、ギャップ Gap は、その全体が、Z 方向に見て部品本体 11 と重なっている。

[0039] ギャップ Gap の Z 方向の寸法は、部品本体 11 と基板 20 との間の絶縁膜 22 b の厚みや、部品本体 11 とランド 30 との間の絶縁膜 22 a の厚みに応じた寸法となっている。すなわち、ギャップ Gap の Z 方向の寸法は、絶縁膜 22 a の厚みや絶縁膜 22 b の厚みを調整することにより、調整することができる。

[0040] 半田 40 は、ギャップ Gap に配置されており、詳しくは、ギャップ Gap の全体を隙間なく埋めている。したがって、ギャップ Gap の Z 方向の寸

法は、ギャップG a pに配置された半田40のZ方向の寸法と同一となっている。なお、本明細書において、「半田の厚み」とは、半田のZ方向の寸法を意味する。なお、延出部16cとランド30とで挟まれた領域は、半田40により埋められる必要はなく、半田40が部分的に存在していてもよいし、半田40が存在しなくてもよい。このとき、延出部16cとランド30とで挟まれた領域には、半田40の代わりに、空隙や絶縁膜22aが存在していてもよい。

[0041] 熱衝撃等によって外部電極16の先端部付近のセラミック焼結体に応力がかかることがある。その場合、外部電極16の延出部16cの端縁と部品本体11との境界部分15を起点として、部品本体11にクラックが生じるおそれがある。

[0042] そこで、延出部16cとランド30とで挟まれた領域（すなわち、ギャップG a p）に配置された半田40の厚みは、 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下であることが好ましい。その場合、境界部分15に応力がかかりにくくすることができるため、クラックの発生を抑制することができる。なお、熱衝撃に起因する応力のみならず、基板20の撓みに起因する応力についても境界部分15に作用しにくくすることができる。

[0043] 延出部16cと半田40との接触面積が大きくなるほど、熱衝撃等に起因する応力が境界部分15にかかり易くなると考えられる。実装構造1においては、延出部16cと半田40との接触面積が比較的大きくなっている。しかし、半田40の厚みを上述の範囲とすることで、境界部分15に応力がかかりにくくすることができるため、クラックの発生を抑制することができる。

[0044] ランド30と延出部16cとの間のZ方向の距離（換言すると、ギャップG a pのZ方向の寸法）は、 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下であることが好ましい。半田40の厚みは、ギャップG a pのZ方向の寸法に応じて定まるため、これにより、半田40の厚みを好適な範囲に調整することができる。

[0045] 絶縁膜22aの厚みは、延出部16cとランド30との離間寸法が $1\mu\text{m}$

以上100 μ m以下の範囲内となるよう調整されることが好ましい。換言すれば、絶縁膜22aの厚みは、絶縁膜22bの厚みからランド30及び延出部16cの厚みを差し引いた寸法が、1 μ m以上100 μ m以下となる範囲であることが好ましい。その場合、ギャップGapのZ方向の寸法を所望の寸法にするとともに、ギャップGapに配置された半田40の厚みを所望の寸法にすることができる。

[0046] なお、絶縁膜22の厚みや、ランド30の厚み、ギャップGapに配置された半田40の厚みは、例えば、実装構造1を、積層セラミックコンデンサ1のY方向の中央部を通過するようにX方向及びZ方向と平行に切断して得られた断面において測定される。半田40の厚みの値は、例えば、当該断面において、X方向に等間隔で並ぶ複数（例えば、3つ）の位置で半田40の厚みが測定され、得られた値の平均値とされる。絶縁膜22やランド30の場合も同様である。

[0047] また、上述のように、境界部分15は、絶縁膜22aと接触している。このため、境界部分15と半田40との接触を抑制することができる。これにより、境界部分15に応力がかかりにくくすることができるため、クラックの発生を抑制することができる。

[0048] 第1実施形態において、半田40による半田付けは、例えば、リフローにより行われる。すなわち、積層セラミックコンデンサ10を基板20にリフロー実装することができる。以下、積層セラミックコンデンサ1の実装方法について説明する。

[0049] まず、半田付けに先立って、基板20には、絶縁膜22が配置される。絶縁膜22は、例えば、ランド30のうち周縁部31を含む一部を覆うように配置される。この際、絶縁膜22の厚みは、ギャップGapのZ方向の寸法が所望の寸法になるように調整される。次いで、ランド30のうち絶縁膜22により覆われていない領域に、ペースト状の半田材料が塗布される。次いで、積層セラミックコンデンサ1が、ランド30上の所定の位置に配置される。外部電極16は、部品本体11が、絶縁膜22a及び絶縁膜22bと当

接するまで、ペースト状の半田材料に沈み込む。外部電極16の延出部16cと、ランド30との間にはギャップGapが形成される。当該ギャップGapには、半田材料が充填された状態となる。半田材料の一部は、延出部16cとランド30との間から押し出されるとともに、外部電極16の端面被覆部16bに濡れ上がる。この状態で、半田材料が固化し、外部電極16とランド30とが、半田40により接続される。

[0050] 第1実施形態に係る実装構造1によれば、以下の効果を得ることができる。

[0051] 上記実施形態によれば、延出部16cとランド30とで挟まれた領域に配置された半田40の厚みは、 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下であることが好ましい。

[0052] 熱衝撃等によって外部電極16の先端部付近のセラミック焼結体に応力がかかることがある。その場合、外部電極16の延出部16cの端縁と部品本体11との境界部分15の付近を起点として、部品本体11にクラックが生じるおそれがある。しかし、ギャップGapに配置された半田40の厚みを、 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下の範囲にすることで、境界部分15に応力がかかりにくくすることができる。これにより、クラックの発生を抑制することができる。

[0053] 上記実施形態によれば、ランド30と延出部16cとの間のZ方向の距離は、 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下であることが好ましい。

[0054] これにより、半田40の厚みを好適な範囲に調整することができる。

[0055] 上記実施形態によれば、部品本体11とランド30とに挟まれた領域には、絶縁膜22aが配置されている。絶縁膜22aは、ランド30上で部品本体11を支持している。また、一对のランド30の間の領域とZ方向に見てからなる領域には、絶縁膜22bが配置されている。絶縁膜22bは、基板20上で部品本体11を支持している。

[0056] これらにより、絶縁膜22aや絶縁膜22bのZ方向の寸法を調整することで、ギャップGapのZ方向の寸法と、ギャップGapに配置された半田

40の厚みとを、所望の寸法に調整することができる。

[0057] 上記実施形態によれば、絶縁膜22aの厚みは、延出部16cとランド30との離間寸法が $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下の範囲内となるよう調整されることが好ましい。また、絶縁膜22bの厚みは、絶縁膜22bの厚みからランド30の厚みを差し引いた寸法が絶縁膜22aの厚みであって、上記同様、延出部16cとランド30との離間寸法が $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下となる範囲内となるよう設定されることが好ましい。

[0058] それらの場合、ギャップGapのZ方向の寸法を、 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下の範囲にするとともに、ギャップGapに配置された半田40の厚みを、 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下の範囲にすることができる。これにより、電子部品におけるクラックの発生を抑制することができる。

[0059] (第2実施形態)

次に、図5及び図6を参照しながら第2実施形態について説明する。第2実施形態は、上記第1実施形態の一部を変更したものである。したがって、参照図面において第1実施形態と同様の構成要素には同一の符号を付してそれらの説明は省略し、主に相違点のみを説明する。なお、図5において、絶縁膜22が配置されている部分をドットハッチで示している。図6においては、積層セラミックコンデンサ10の内部構造の図示を省略している。

[0060] 第2実施形態の実装構造2においては、一对のランド30の間に、支持部材50が配置されている。支持部材50は、基板20上で部品本体11を支持する部材であり、第1支持部材に相当する。支持部材50は、離間部21のほぼ中央に配置されている。支持部材50は、全体として直方体状をなすブロック部材51を含む。ブロック部材51は、例えば、金属により形成されており、詳しくは、銅箔である。ブロック部材51は、半田よりも融点が高い素材により形成されている。ブロック部材51は、基板20の表面20aに配置されている。ブロック部材51は、例えば、接着材により表面20aに接着されている。

[0061] なお、ブロック部材51の素材は、金属に限定されるものではない。プロ

ック部材51は、単一の素材により形成されている必要はない。例えば、ブロック部材51は、それぞれ異なる素材により形成された複数の層が重ねられて形成されていてもよい。

[0062] 離間部21の表面は、ソルダーレジストによる絶縁膜22bで被覆されている。ただし、第2実施形態においては、絶縁膜22bは、薄膜状に形成され、第1実施形態よりも厚みが小さくなっている。このため、基板20と部品本体11との間の領域には、ソルダーレジストが配置されていない空間が存在している。このように、絶縁膜22bは、基板20と部品本体11との間の領域を、必ずしも隙間なく埋めていなくてもよい。

[0063] 絶縁膜22bは、ブロック部材51の表面を被覆している。このため、支持部材50は、ブロック部材51と、ブロック部材51の表面を被覆するレジスト膜部52と、を含んで構成されている。レジスト膜部52の表面には、更にシルクが塗布されていてもよい。なお、ブロック部材51は、必ずしも絶縁膜22により被覆されていなくてもよく、支持部材50において、レジスト膜部52は、必須の構成ではない。

[0064] 支持部材50は、部品本体11と基板20との間にぴったりと挟まっている。支持部材50のZ方向の寸法は、ランド30の厚みよりも大きくなっている。第2実施形態においては、ランド30と延出部16cとの間には、絶縁膜22は配置されていない。このため、部品本体11と基板20との離間距離は、支持部材50のZ方向の寸法と同一となっている。部品本体11とランド30との間には、ギャップGapが形成されている。ギャップGapのZ方向の寸法は、支持部材50のZ方向の寸法からランド30の厚みを差し引いた寸法と同一となっている。このため、支持部材50のZ方向の寸法を調整することで、ギャップGapのZ方向の寸法を調整することができる。そして、ギャップGapに配置された半田40の厚みを調整することができる。

[0065] 離間部21に配置された支持部材50のZ方向の寸法は、延出部16cとランド30との離間寸法が $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下の範囲内となるよう設

定されることが好ましい。その場合、ギャップGapに配置された半田40の厚みを、 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下とすることができる。そして、積層セラミックコンデンサ1におけるクラックの発生を抑制することができる。

[0066] なお、第2実施形態においては、半田40は、ランド30の内側端縁31aまで延びており、延出部16cの対向方向側の端部を覆っている。かかる構成においても、半田40の厚みを上記の範囲とすることで、クラックの発生を十分に抑制することができる。

[0067] また、支持部材50を配置可能な位置は、離間部21上に限定されるものではない。例えば、支持部材50は、ギャップGapに配置されていてもよく、ランド30上にブロック部材51が配置されていてもよい。その場合、ギャップGapに配置された支持部材50のZ方向の寸法は、 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下とすることが好ましい。これにより、ギャップGapに配置された半田40の厚みを所望の範囲にすることができる。

[0068] 本発明は上記実施形態に限定されず、本発明の目的を達成できる範囲での変形、改良等は本発明に含まれるものである。

[0069] 例えば、上記第1実施形態では、絶縁膜22aの離間方向の端部は、延出部16cの対向方向の端部と接する位置まで延びていたが、絶縁膜22aは、境界部分15よりも離間方向側に延出していてもよい。絶縁膜22aは、延出部16cとランド30とで挟まれた領域に配置されていてもよく、延出部16cとランド30とで挟まれた領域は、全域に亘って半田40により埋められていなくてもよい。その場合、半田40と境界部分15との距離をより大きくすることができるため、境界部分15に半田40が接触してしまうのをより好適に抑制することができる。ただし、外部電極16をランド30により強固に半田付け可能である点からは、上記第1実施形態の構成とすることが好ましい。

[0070] 支持部材50は、外部電極16の延出部16cと基板20との距離を保つことが可能であれば、上記第2実施形態の構成には限定されない。支持部材は、例えば、接着剤であってもよい。その場合、接着剤は、例えば、エポキ

シ系の樹脂接着剤を用いることができる。ただし、支持部材50は、半田よりも融点が高い素材により形成されていることが好ましい。また、外部電極とランドとを接続する半田は、支持部材には該当しないものとする。

[0071] 上記実施形態での積層セラミックコンデンサ10は電子部品の一例であり、電子部品としてはこれに限定されず、インダクタ等の他の2端子電子部品も適用可能である。例えばインダクタの場合の部品本体は、磁性体セラミックス等で構成される。

[0072] また、本発明は、以下の組み合わせを含む。

[0073] <1>基板の上に互いに離間して配置された一对のランドと、前記ランドの上にそれぞれ配置された半田と、積層される誘電体層及び内部電極層を有し、積層方向に相對する一对の主面と、前記積層方向に直交する幅方向に相對する一对の側面と、前記積層方向及び前記幅方向に直交する長さ方向に相對する一对の端面と、を含む部品本体と、前記各端面にそれぞれ配置される一对の外部電極と、を有し、前記各外部電極のそれぞれが前記各ランドに前記半田を介して接続される電子部品と、を備え、前記各外部電極は、それぞれ、前記各主面及び前記各側面のうち少なくとも一部まで延びて設けられた延出部を含み、前記基板の表面と直交する方向をZ方向とすると、前記ランドと前記延出部とに挟まれた領域に配置される前記半田の前記Z方向の寸法は、 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下である、電子部品の実装構造。

[0074] <2>前記基板及び前記ランドのうち少なくともいずれかに、前記部品本体を支持する支持部材を備える、<1>に記載の実装構造。

[0075] <3>前記支持部材は、絶縁材料を含む、<2>に記載の実装構造。

[0076] <4>前記支持部材は、前記一对のランドの間の領域に配置される第1支持部材を有し、前記第1支持部材の前記Z方向の寸法は、前記第1支持部材の前記Z方向の寸法から前記ランドの前記Z方向の寸法を差し引いた寸法が、 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下となる範囲である、<2>又は<3>に記載の電子部品の実装構造。

[0077] <5>前記支持部材は、前記ランドと前記延出部とに挟まれた領域に配置

される第2支持部材を有し、前記第2支持部材の前記Z方向の寸法は、 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下である、 $\langle 2 \rangle \sim \langle 4 \rangle$ のいずれか1に記載の電子部品の実装構造。

[0078] $\langle 6 \rangle$ 基板の上に互いに離間して配置された一对のランドと、前記ランドの上にそれぞれ配置された半田と、積層された誘電体層及び内部電極層を有し、積層方向に相對する一对の主面と、前記積層方向に直交する幅方向に相對する一对の側面と、前記積層方向及び前記幅方向に直交する長さ方向に相對する一对の端面とを含む部品本体と、前記端面にそれぞれ配置された外部電極とを有し、前記外部電極がそれぞれ前記ランドに前記半田を介して接続された電子部品と、を備え、前記各外部電極は、前記各主面及び前記各側面のうち少なくとも一部まで延びて設けられた延出部を含み、前記基板の表面と略直交する方向をZ方向とすると、前記ランドと前記延出部との間の前記Z方向の距離は、 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下である、 $\langle 1 \rangle \sim \langle 5 \rangle$ のいずれか1に記載の電子部品の実装構造。

符号の説明

- [0079] 1 実装構造
- 10 積層セラミックコンデンサ（電子部品）
 - 11 部品本体
 - 16 外部電極
 - 16b 端面被覆部
 - 16c 延出部
 - 17a 主面
 - 17b 側面
 - 17c 端面
 - 20 基板
 - 22a 絶縁膜（第2支持部材及び絶縁材料）
 - 22b 絶縁膜（第1支持部材及び絶縁材料）
 - 30 ランド

- 4 0 半田
- 5 0 支持部材（第 1 支持部材）
- 5 1 ブロック部材（第 1 支持部材）
- 5 2 レジスト膜部（第 1 支持部材及び絶縁材料）
- 1 2 1 誘電体層
- 1 2 2 内部電極層

請求の範囲

- [請求項1] 基板の上に互いに離間して配置された一対のランドと、
前記ランドの上にそれぞれ配置された半田と、
積層される誘電体層及び内部電極層を有し、積層方向に相對する一対の主面と、前記積層方向に直交する幅方向に相對する一対の側面と、前記積層方向及び前記幅方向に直交する長さ方向に相對する一対の端面と、を含む部品本体と、前記各端面にそれぞれ配置される一対の外部電極と、を有し、前記各外部電極のそれぞれが前記各ランドに前記半田を介して接続される電子部品と、
を備え、
前記各外部電極は、それぞれ、前記各主面及び前記各側面のうち少なくとも一部まで延びて設けられた延出部を含み、
前記基板の表面と直交する方向をZ方向とすると、
前記ランドと前記延出部とに挟まれた領域に配置される前記半田の前記Z方向の寸法は、 $1\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下である、電子部品の実装構造。
- [請求項2] 前記基板及び前記ランドのうち少なくともいずれかに、前記部品本体を支持する支持部材を備える、請求項1に記載の実装構造。
- [請求項3] 前記支持部材は、絶縁材料を含む、請求項2に記載の実装構造。
- [請求項4] 前記支持部材は、前記一対のランドの間の領域に配置される第1支持部材を有し、
前記第1支持部材の前記Z方向の寸法は、前記第1支持部材の前記Z方向の寸法から前記ランドの前記Z方向の寸法を差し引いた寸法が、 $1\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下となる範囲である、請求項2又は3に記載の電子部品の実装構造。
- [請求項5] 前記支持部材は、前記ランドと前記延出部とに挟まれた領域に配置される第2支持部材を有し、
前記第2支持部材の前記Z方向の寸法は、 $1\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以

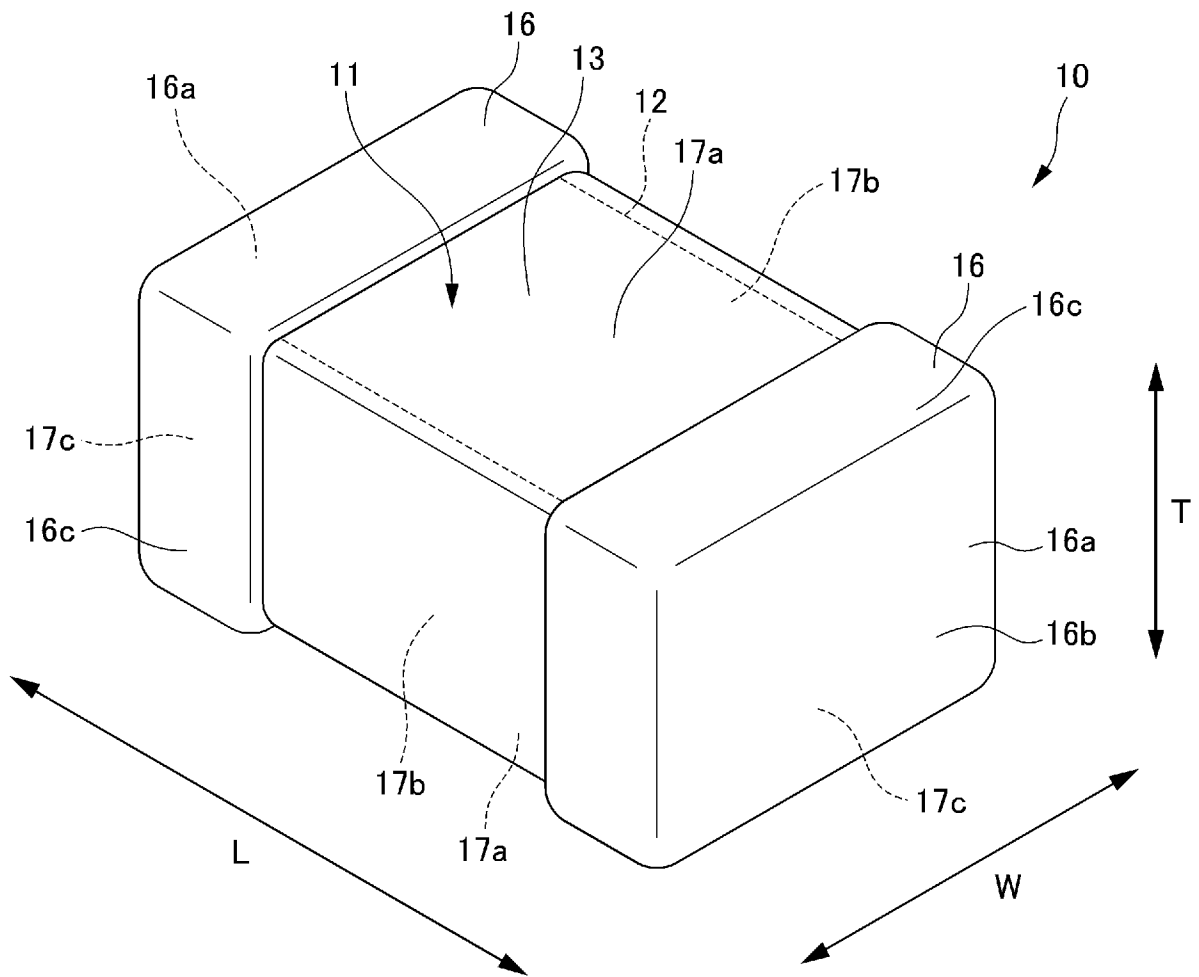
下である、請求項2～4のいずれか1項に記載の電子部品の実装構造。

[請求項6]

基板の上に互いに離間して配置された一対のランドと、
前記ランドの上にそれぞれ配置された半田と、
積層された誘電体層及び内部電極層を有し、積層方向に相對する一対の主面と、前記積層方向に直交する幅方向に相對する一対の側面と、前記積層方向及び前記幅方向に直交する長さ方向に相對する一対の端面とを含む部品本体と、前記端面にそれぞれ配置された外部電極とを有し、前記外部電極がそれぞれ前記ランドに前記半田を介して接続された電子部品と、
を備え、
前記各外部電極は、前記各主面及び前記各側面のうち少なくとも一部まで延びて設けられた延出部を含み、
前記基板の表面と略直交する方向をZ方向とすると、
前記ランドと前記延出部との間の前記Z方向の距離は、 $1\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下である、請求項1～5のいずれか1項に記載の電子部品の実装構造。

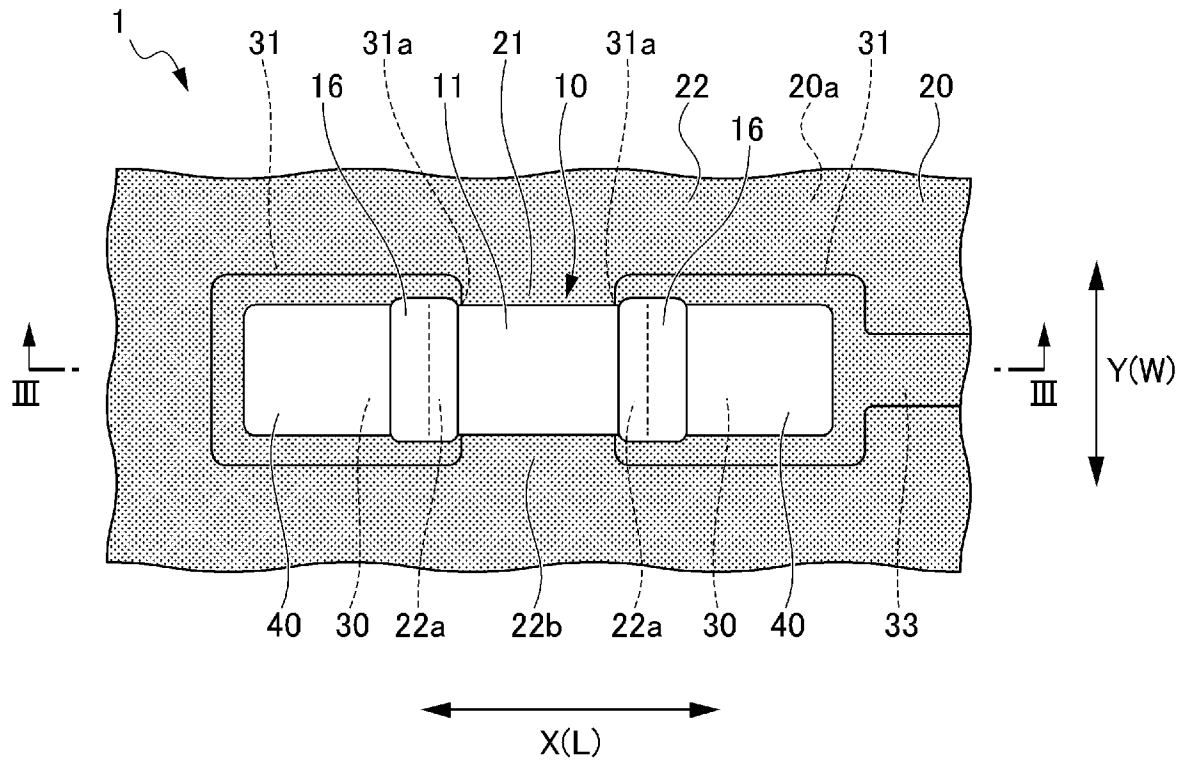
[図1]

図 1



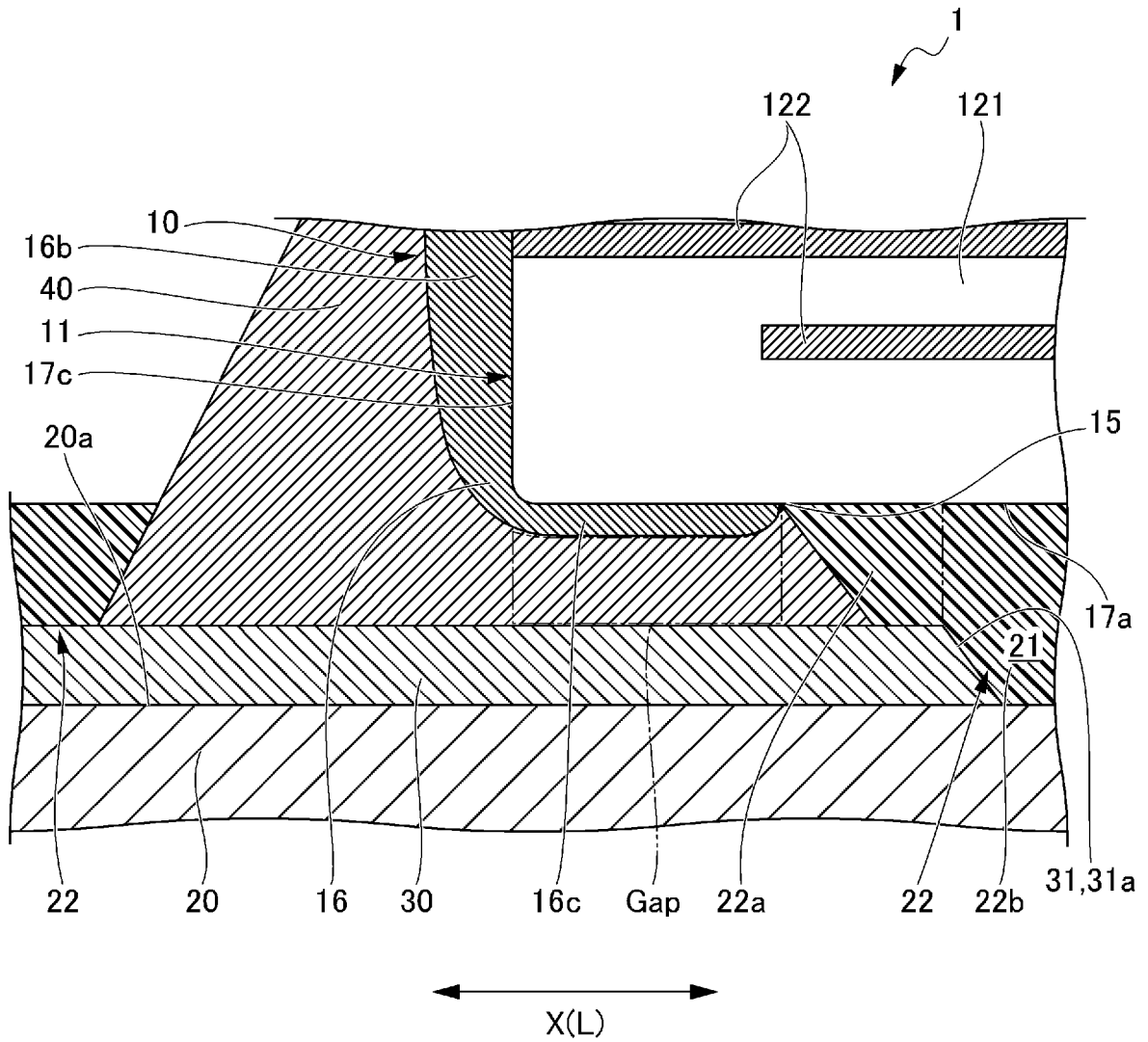
[図2]

図 2



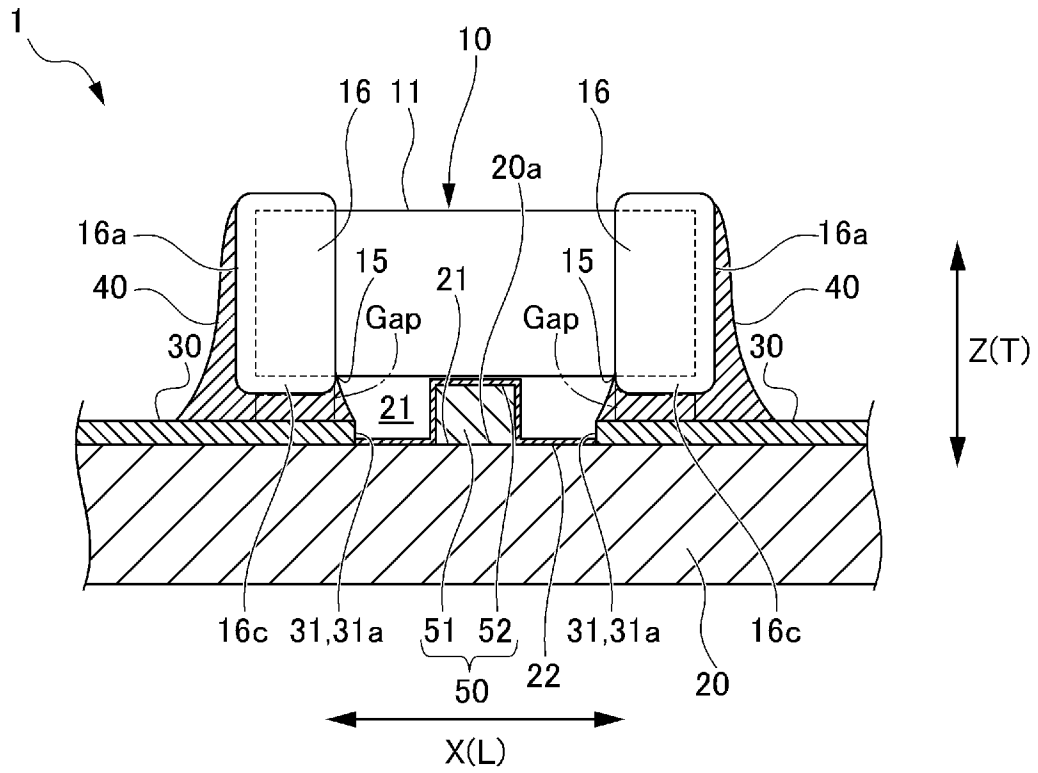
[図4]

図 4



[図6]

図 6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/025904

A. CLASSIFICATION OF SUBJECT MATTER		
H05K 1/18 (2006.01)i; H01G 2/06 (2006.01)i FI: H05K1/18 J; H01G2/06 500		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H05K1/18; H01G2/06		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-65820 A (MURATA MANUFACTURING CO., LTD.) 11 April 2013 (2013-04-11) paragraphs [0014]-[0025], [0041], fig. 1-4	1,6
Y		2-5
Y	JP 2023-53630 A (MURATA MANUFACTURING CO., LTD.) 13 April 2023 (2023-04-13) paragraphs [0039]-[0041], fig. 5-6	2-5
A	WO 2016/017634 A1 (KYOCERA CORPORATION) 04 February 2016 (2016-02-04)	1-6
A	US 2021/0217559 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 15 July 2021 (2021-07-15)	1-6
A	JP 2013-122939 A (SONY CORPORATION) 20 June 2013 (2013-06-20)	1-6
A	JP 11-40918 A (TAIYO YUDEN CO., LTD.) 12 February 1999 (1999-02-12)	1-6
A	US 6903920 B1 (KEMET ELECTRONICS) 07 June 2005 (2005-06-07)	1-6
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 15 August 2024		Date of mailing of the international search report 27 August 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/025904

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2013-65820	A	11 April 2013	US 2013/0056252 A1 paragraphs [0030]-[0041], [0065], fig. 1-4	
				KR 10-2013-0025328 A	
				CN 102970825 A	
				TW 201312612 A1	
JP	2023-53630	A	13 April 2023	US 2023/0104369 A1 paragraphs [0049]-[0051], fig. 5-6	
				CN 115938802 A	
WO	2016/017634	A1	04 February 2016	US 2017/0186545 A1	
				CN 106537534 A	
US	2021/0217559	A1	15 July 2021	KR 10-2021-0092118 A	
				CN 113130209 A	
JP	2013-122939	A	20 June 2013	(Family: none)	
JP	11-40918	A	12 February 1999	(Family: none)	
US	6903920	B1	07 June 2005	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H05K 1/18(2006.01)i; H01G 2/06(2006.01)i FI: H05K1/18 J; H01G2/06 500		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H05K1/18; H01G2/06		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2024年 日本国実用新案登録公報 1996 - 2024年 日本国登録実用新案公報 1994 - 2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-65820 A (株式会社村田製作所) 11.04.2013 (2013 - 04 - 11) 段落[0014]-[0025], [0041], 図1-4	1, 6
Y		2-5
Y	JP 2023-53630 A (株式会社村田製作所) 13.04.2023 (2023 - 04 - 13) 段落[0039]-[0041], 図5-6	2-5
A	WO 2016/017634 A1 (京セラ株式会社) 04.02.2016 (2016 - 02 - 04)	1-6
A	US 2021/0217559 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 15.07.2021 (2021 - 07 - 15)	1-6
A	JP 2013-122939 A (ソニー株式会社) 20.06.2013 (2013 - 06 - 20)	1-6
A	JP 11-40918 A (太陽誘電株式会社) 12.02.1999 (1999 - 02 - 12)	1-6
A	US 6903920 B1 (KEMET ELECTRONICS) 07.06.2005 (2005 - 06 - 07)	1-6
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 25.08.2024	国際調査報告の発送日 27.08.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 井上 信 3T 3309 電話番号 03-3581-1101 内線 3368	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/025904

引用文献			公表日	パテントファミリー文献		公表日
JP	2013-65820	A	11.04.2013	US 2013/0056252	A1	
				段落[0030]-[0041], [0065], 図1-4		
				KR 10-2013-0025328	A	
				CN 102970825	A	
				TW 201312612	A1	

JP	2023-53630	A	13.04.2023	US 2023/0104369	A1	
				段落[0049]-[0051], 図5-6		
				CN 115938802	A	

WO	2016/017634	A1	04.02.2016	US 2017/0186545	A1	
				CN 106537534	A	

US	2021/0217559	A1	15.07.2021	KR 10-2021-0092118	A	
				CN 113130209	A	

JP	2013-122939	A	20.06.2013	(ファミリーなし)		

JP	11-40918	A	12.02.1999	(ファミリーなし)		

US	6903920	B1	07.06.2005	(ファミリーなし)		
