(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 23/48

(45) 공고일자 2002년12월05일
(11) 등록번호 10-0343030
(24) 등록일자 2002년06월21일

(21) 출원번호	10-1996-0706370	(65) 공개번호	특1997-0703046
(22) 출원일자	1996년11월11일	(43) 공개일자	1997년06월10일
번역문제출일자	1996년11월11일		
(86) 국제출원번호	PCT/US1995/05189	(87) 국제공개번호	WO 1995/31829
(86) 국제출원일자	1995년04월27일	(87) 국제공개일자	1995년11월23일
(81) 지정국	국내특허 : 기네 오스트레일리아 바베이도스 불가리아 브라질 캐나다 체코 헝가리 일본 북한 대한민국 스리랑카 마다가스카르 몽고 노르웨이 뉴질랜드 폴란드 루마니아 슬로바키아 우크라이나 베트남 중국 에스토니아 그루지야 라이베리아 AP ARIPO특허 : 말라위 수단 케냐 EA 유라시아특허 : 벨라루스 카자흐스탄 러시아 아르메니아 키르기즈 EP 유럽특허 : 오스트리아 스위스 리히텐슈타인 독일 덴마크 스페인 핀랜드 영국 룩셈부르크 포르투칼 스웨덴 OA OAPI특허 : 코트디브와르		

(30) 우선권주장 08/241,602 1994년05월11일 미국(US)

(73) 특허권자 칩스케일 인코포레이티드
미국 캘리포니아주 95131 산호세 차콧 애비뉴 576
(72) 발명자 존 지. 리차드
미합중국 캘리포니아 95136 산 호세 토니노 드라이브4847
웬델 비. 산더
미합중국 캘리포니아 95030 로스 가토스 하우드 코트 112
도날드 피. 리치몬드 II
미합중국 캘리포니아 94303 팔로 알토 몬트로우즈 애비뉴 743
헥토르 플로레스
미합중국 캘리포니아 95122 산 호세 라나이 애비뉴 1911
(74) 대리인 박종혁, 장용식

심사관 : 오세계

(54) 랩-어라운드플랜지인터페이스를위한콘택트프로세싱을갖춘반도체제조방법및장치

명세서

도면의 간단한 설명

<1> 제 1도는 집적회로 론택트 리드를 나타내는 측단면도,

<2> 제 2도는 다이오드 모듈을 나타내는 나타내는 사시도,

<3> 제 3도는 제 2도의 다이오드 모듈을 나타내는 3-3선에서의 측단면도,

<4> 제 4도는 제 2도의 다이오드 모듈을 나타내는 저면도,

<5> 제 5도는 제 2도의 다이오드 모듈을 제조하는데 이용되는 예시적인 반도체 제조방법을 나타내는 흐름도,

<6> 제 6도는 제 2도의 다이오드 모듈을 제조하는데 이용되는 반도체 웨이퍼를 나타내는 평면도,

<7> 제 7도는 제 6도의 웨이퍼를 나타내는 측단면도,

<8> 제 8도는 웨이퍼에 대하여 상호접촉이 형성된 후 제 6도의 웨이퍼를 나타내는 평면도,

<9> 제 9도는 제 8도의 웨이퍼를 나타내는 측단면도,

<10> 제10도는 웨이퍼의 기판으로부터 트렌치가 형성된 후 제 8도의 웨이퍼를 나타내는 평면도,

<11> 제11도는 제10도의 웨이퍼를 나타내는 측단면도,

<12> 제12도는 웨이퍼에 대하여 상부 가로놓임층이 형성된 후 제10도의 웨이퍼를 나타내는 평면도,

<13> 제13도는 제12도의 웨이퍼를 나타내는 측단면도,

<14> 제14도는 웨이퍼의 바닥면이 박막화된 후 제13도의 웨이퍼를 나타내는 측단면도,

<15> 제15도는 제14도의 웨이퍼를 나타내는 저면도,

<16> 제16도는 웨이퍼의 바닥면에 대하여 마스크 층이 형성된 후 제14도의 웨이퍼를 나타내는 측단면도,

<17> 제17도는 제16도의 웨이퍼를 나타내는 저면도,

<18> 제18도는 웨이퍼의 바닥면이 제재된 후 제16도의 웨이퍼를 나타내는 측단면도,

<19> 제19도는 제18도의 웨이퍼를 나타내는 저면도,

<20> 제20도는 웨이퍼의 기판의 바닥면이 에칭된 후 제18도의 웨이퍼를 나타내는 측단면도,

<21> 제21도는 제20도의 웨이퍼를 나타내는 저면도,

<22> 제22도는 바닥면 마스크 층이 제거된 후 제20도의 웨이퍼를 나타내는 측단면도,

<23> 제23도는 제22도의 웨이퍼를 나타내는 저면도,

<24> 제24도는 웨이퍼의 바닥면에 대하여 도선층이 형성된 후 그리고 웨이퍼의 바닥면에 대하여 마스크 층이 형성된 후 제22도의 웨이퍼를 나타내는 측단면도,

<25> 제25도는 제24도의 웨이퍼를 나타내는 저면도,

<26> 제26도는 웨이퍼의 바닥면에 대하여 콘택트 층이 형성된 후 제24도의 웨이퍼를 나타내는 측단면도,

<27> 제27도는 제26도의 웨이퍼를 나타내는 저면도,

<28> 제28도는 바닥면 마스크 층이 제거된 후 제26도의 웨이퍼를 나타내는 측단면도,

<29> 제29도는 제28도의 웨이퍼를 나타내는 저면도,

<30> 제30도는 웨이퍼의 기판의 바닥면이 에칭된 후 제28도의 웨이퍼를 나타내는 측단면도,

<31> 제31도는 제30도의 웨이퍼를 나타내는 저면도,

<32> 제32도는 웨이퍼가 다이오드 모듈로 분리된 후 제30도의 웨이퍼를 나타내는 측단면도,

<33> 제33도는 제32도의 웨이퍼를 나타내는 저면도,

<34> 제34도는 트랜지스터 모듈을 나타내는 사시도,

<35> 제35도는 제34도의 트랜지스터 모듈을 나타내는 35-35선에서의 측단면도,

<36> 제36도는 제34도의 트랜지스터 모듈을 나타내는 저면도,

<37> 제37도는 제34도의 트랜지스터 모듈을 제조하는데 이용되는 예시적인 반도체 제조 방법을 나타내는 흐름도,

<38> 제38도는 제34도의 트랜지스터 모듈을 제조하는데 이용되는 반도체 웨이퍼를 나타내는 평면도,

<39> 제39도는 제38도의 웨이퍼를 나타내는 측단면도,

<40> 제40도는 웨이퍼에 대하여 상호접속이 형성된 후 제38도의 웨이퍼를 나타내는 평면도,

<41> 제41도는 제40도의 웨이퍼를 나타내는 측단면도,

<42> 제42도는 웨이퍼에 대하여 마스크 층이 형성된 후 제40도의 웨이퍼를 나타내는 평면도,

<43> 제43도는 제42도의 웨이퍼를 나타내는 측단면도,

<44> 제44도는 웨이퍼의 기판으로부터 트렌치가 형성된 후 그리고 마스크층이 제거된 후 제42도의 웨이퍼를 나타내는 평면도,

<45> 제45도는 제44도의 웨이퍼를 나타내는 측단면도,

<46> 제46도는 웨이퍼에 대하여 상부 가로놓임층이 형성된 후 제44도의 웨이퍼를 나타내는 평면도,

<47> 제47도는 제46도의 웨이퍼를 나타내는 측단면도,

<48> 제48도는 웨이퍼의 바닥면이 박막화된 후제47도의 웨이퍼를 나타내는 평면도,

<49> 제49도는 제48도의 웨이퍼를 나타내는 저면도,

<50> 제50도는 웨이퍼의 바닥면에 대하여 마스크 층이 형성된 후 제48도의 웨이퍼를 나타내는 측단면도,

<51> 제51도는 제50도의 웨이퍼를 나타내는 저면도,

<52> 제52도는 웨이퍼의 바닥면이 제재된 후 제50도의 웨이퍼를 나타내는 측단면도,

<53> 제53도는 제52도의 웨이퍼를 나타내는 저면도,

<54> 제54도는 웨이퍼의 기판의 바닥면이 에칭된 후 그리고 바닥면 마스크층이 제거된 후 제52도의 웨이퍼를 나타내는 측면도,

<55> 제55도는 제54도의 웨이퍼를 나타내는 저면도,

<56> 제56도는 웨이퍼의 바닥면에 대하여 콘택트층이 형성된 후 제54도의 웨이퍼를 나타내는 측단면도,

<57> 제57도는 제56도의 웨이퍼를 나타내는 저면도,

<58> 제58도는 웨이퍼의 바닥면에 대하여 마스크 층이 제거된 후 제56도의 웨이퍼를 나타내는 측단면도,

<59> 제59도는 제58도의 웨이퍼를 나타내는 저면도,

<60> 제60도는 콘택트층이 패턴된 후 그리고 바닥면 마스크층이 제거된 후 제58도의 웨이퍼를 나타내는 측단면도,

<61> 제61도는 제60도의 웨이퍼를 나타내는 저면도,

<62> 제62도는 웨이퍼가 트랜지스터 모듈로 분리된 후 제60도의 웨이퍼를 나타내는 측단면도,

<63> 제63도는 제62도의 웨이퍼를 나타내는 저면도,

<64> 제64도는 웨이퍼의 바닥면에 대하여 마스크 층이 형성된 후 제48도의 웨이퍼를 나타내는 측단면도,

<65> 제65도는 제64도의 웨이퍼를 나타내는 저면도,

<66> 제66도는 웨이퍼의 바닥면이 제재된 후 제64도의 웨이퍼를 나타내는 측단면도,

<67> 제67도는 제66도의 웨이퍼를 나타내는 저면도,

<68> 제68도는 웨이퍼 기판의 바닥면이 에칭된 후 그리고 바닥면 마스크 층이 제거된 후 제66도의 웨이퍼를 나타내는 측단면도,

<69> 제69도는 제68도의 웨이퍼를 나타내는 저면도,

<70> 제70도는 웨이퍼의 바닥면에 대하여 마스크 층이 제거된 후 제68도의 웨이퍼를 나타내는 측단면도,

<71> 제71도는 제70도의 웨이퍼를 나타내는 저면도,

<72> 제72도는 다른 트랜지스터 모듈을 나타내는 사시도,

<73> 제73도는 상부 가로놓임층을 가진 제72도의 트랜지스터 모듈을 나타내는 사시도,

<74> 제74도는 전계효과 트랜지스터 모듈을 하부에서 본 사시도,

<75> 제75도는 또 다른 트랜지스터 모들을 나타내는 저면도,

<76> 제76도는 또 다른 트랜지스터 모듈을 나타내는 저면도,

<77> 제77도는 또 다른 트랜지스터 모듈을 나타내는 저면도,

<78> 제78도는 또 다른 트랜지스터 모듈을 나타내는 저면도,

<79> 제79도는 또 다른 트랜지스터 모듈을 나타내는 저면도,

<80> 제80도는 또 다른 트랜지스터 모듈을 나타내는 저면도,

<81> 제81도는 듀얼 트랜지스터 모듈을 나타내는 저면도,

<82> 제82도는 다른 듀얼 트랜지스터 모듈을 나타내는 저면도,

<83> 제83도는 또 다른 트랜지스터 모듈을 나타내는 저면도,

<84> 제84도는 쿼드 트랜지스터 모듈을 나타내는 저면도,

<85> 제85도는 또 다른 트랜지스터 모듈을 나타내는 저면도,

<86> 제86도는 다른 쿼드 트랜지스터 모듈을 나타내는 저면도,

<87> 제87도는 반도체 웨이퍼에 관련된 집적회로를 나타내는 도,

<88> 제88도는 본 발명에 대응하여 제조되는 집적회로에 대한 콘택트 리드를 나타내는 도,

<89> 제89도는 제88도의 집적회로를 제조하는데 사용되는 반도체 웨이퍼를 나타내는 평면도,

<90> 제90도는 제89도의 웨이퍼를 나타내는 측단면도,

<91> 제91도는 상호접속층이 웨이퍼에 대하여 형성된 후 제89도의 웨이퍼를 나타내는 평면도,

<92> 제92도는 제91도의 웨이퍼를 나타내는 측단면도,

<93> 제93도는 트렌치가 웨이퍼로 부터 형성된 후 제91도의 웨이퍼를 나타내는 평면도,

<94> 제94도는 제93도의 웨이퍼를 나타내는 측단면도,

<95> 제95도는 상부가로놓임층이 웨이퍼에 대하여 형성된 후 제93도의 웨이퍼를 나타내는 평면도,

<96> 제96도는 제95도의 웨이퍼를 나타내는 측단면도,

<97> 제97도는 캡층이 웨이퍼에 대하여 형성된 후 제96도의 웨이퍼를 나타내는 측단면도,

<98> 제98도는 캡층이 박막화된 후 제97도의 웨이퍼를 나타내는 측단면도,

<99> 제99도는 웨이퍼의 바닥면이 박막화된 후 제98도의 웨이퍼를 나타내는 측단면도,

<100> 제100도는 마스크 층이 웨이퍼의 바닥면에 대하여 형성된 후 제99도의 웨이퍼를 나타내는 측단면도,

<101> 제101도는 웨이퍼의 바닥면이 제재된 후 제100도의 웨이퍼를 나타내는 측단면도,

<102> 제102도는 웨이퍼의 바닥면이 에칭된 후 그리고 바닥면 마스크 층이 제거된 후 제101도의 웨이퍼를 나타내는 측단면도,

<103> 제103도는 콘택트층이 웨이퍼의 바닥면에 대하여 형성된 후 제102도의 웨이퍼를 나타내는 측단면도,

<104> 제104도는 마스크 층이 웨이퍼의 바닥면에 대하여 형성된 후 제103도의 웨이퍼를 나타내는 측단면도,

<105> 제105도는 콘택트 층이 패턴된 후 그리고 바닥면 마스크 층이 제거된 후 제104도의 웨이퍼를 나타내는 측단면도,

<106> 제106도는 웨이퍼가 집적회로들로 분리된 후 제105도의 웨이퍼를 나타내는 측단면도.

발명의 상세한 설명

<107> [발명의 분야]

<108> 본 발명은 일반적으로 반도체 제조분야에 관련된다. 특히, 본 발명은 반도체 구조 분야 및 반도체 제조를 위한 콘택트 프로세싱 분야에 관련된다.

<109> [발명의 배경]

<110> 제 1도는 회로보드위에 표면 장착된 집적회로를 나타낸다. 이 집적회로는 실리콘(Si) 회로를 포함한다. 절연막(102)은 실리콘 회로(101)의 바닥면을 피복한다. 에폭시층(103) 및 실리콘 캡(104)은 실리콘 회로(101)를 덮는다. 금속 브리지(105)는 실리콘 회로(101)를 실리콘 포스트(106)에 전기적으로 접속시킨다. 금속 브리지(105) 및 실리콘 포스트(106)는 집적회로에 대하여 콘택트 리드를 제공한다. 에폭시층(103) 및 실리콘 캡(104)은 또한 금속 브리지(105)를 덮는다. 에폭시 층(103)은 실리콘 회로(101) 및 실리콘 포스트를 분리시킨다.

<111> 니켈(Ni) 플레이트 콘택트 층(107)은 실리콘 포스트(106)를 덮고, 금속 브릿지(105)와 함께 일종의 버트 조인트를 형성한다. 콘택트 층(107)은 실리콘 포스트(106) 및 금속 브리지(105)에 전기적으로 접촉되어 있다. 콘택트 층(107)은 집적회로에게 외부회로와의 접속점을 제공한다.

<112> 제 1도에 나타낸 것처럼, 집적회로의 콘택트 리드는 솔더 필렛(108)에 의하여 회로보드도선(109)에 솔더링되어 있다. 회로보드도선(109)은 회로보드기판(110)위에 형성된다.

<113> 제 1도에 나타낸 집적회로를 위한 콘택트 리드는 다양한 이점을 제공한다. 예를들면, 콘택트층(107)이 실리콘 포스트(106)의 측면벽을 덮으므로써 집적회로와 회로보드 사이의 본딩을 강화시키는데 도움을 준다. 이것은, 제 1도에 나타낸 것처럼 실리콘 포스트(106)의 측면벽상에서 솔더가 콘택트층(107)위에 위치할 수 있다는 사실에 기인한다. 이것은 또한 회로보드에 집적회로를 표면장착시키는 동안에 검사를 용이하게 해준다. 그 장착이 양호하게 되었는지 여부는 실리콘 포스트(106)의 측면벽상의 솔더를 관찰하므로써 쉽게 확인될 수 있다.

<114> 더나아가, 콘택트층(107)은 실리콘 포스트(106)의 측면벽을 넘어가서, 금속 브리지(105)의 측면과 콘택트하여, 콘택트층(107)과 금속 브리지 사이에 버트-조인트 인터페이스를 형성한다. 이것은 회로보드도선(109)과 실리콘 회로(103) 사이에 일종의 전기적 콘택트를 제공한다.

<115> 하지만, 제 1도의 집적회로 콘택트 리드의 버트-조인트 인터페이스는 콘택트층(107)과 금속 브리지(105) 사이의 본딩접착 내지 결과적 신뢰성에 대하여 확실한 제어능력을 가지도록 형성될 수 없다. 이것에는 여러가지 이유가 있다. 금속 브리지(105)의 측면의 물리적 표면은 이러한 버트-조인트 인터페이스에서 신뢰성 있는 본딩을 보장하기에 충분한 정도로 편평하지 못하다. 더나아가, 금속 브리지(105)의 측면은 그것의 웨이퍼면 위의 위치로 인하여 세정하기 곤란하다. 그래서, 만약 금속 브리지(105)의 측면이 완전히 세정되지 않으면, 이러한 버트-조인트 인터페이스에서의 본딩은 약해진다. 또한 버트-조인트 인터페이스의 형성은 콘택트층(107) 및 금속 브리지(105)를 위하여 사용될 수 있는 금속을 제한한다. 그 이유는, 금속 브리지(105)는 전형적으로 하나 이상의 금속층으로 구성되기 때문이다. 그래서 콘택트층(107)의 본딩층은 효과적인 콘택트를 형성하기 위하여 금속 브리지(105)의 측면에 각각의 금속층과 본딩되도록 형성되어야 한다. 따라서 금속 브리지(105) 및 콘택트층(107)의 본딩층에 사용될 수 있는 재료의 선택은 제한된다.

<116> [본 발명의 요약과 목적]

<117> 본 발명의 하나의 목적은 상당한 내구성과 신뢰성이 있는 전기적 장치를 제공하는 것이다.

<118> 본 발명의 다른 목적은 전기적 본딩을 향상시키기 위하여 내구성 있고 신뢰성 있는 콘택트를 갖춘 전기적 장치를 제공하는 것이다.

<119> 본 발명의 또다른 목적은 전기적 본딩을 향상시키기 위하여 도전성 측면벽 및 플랜지 인터페이스를 가지는 콘택트 영역을 갖춘 전기적 장치를 제공하는 것이다.

<120> 본 발명의 또다른 목적은 전기적 본딩을 향상시키기 위하여 도전성 브리지 및, 도전성 측면벽을 가지고 도전성 브리지와의 플랜지 인터페이스를 형성하는 콘택트 영역을 갖춘 전기적 장치를 제공하는 것이다.

<121> 본 발명에 따르면, 제1 재료를 가지는 제1 층은 웨이퍼의 제1 측면에 대하여 형성된다. 일종의 트렌치가 웨이퍼의 제2 측면으로 부터 형성되어, 제1 층의 일부분이 그 트렌치내에서 노출되도록 한다. 제2 재료를 가지는 제2 층은 웨이퍼의 제2 측면에 대하여 형성되어 제2 층의 일부분이 그 트렌치내에서 노출되도록 한다. 웨이퍼는 그 트렌치를 따라가면서 분리된다. 트렌치는 그 트렌치가 형성될 장소내에서 웨이퍼의 제2 측면을 제재(sawing)하므로써 형성될 수 있다. 트렌치가 형성되도록 웨이퍼가 에칭될 수도 있다.

<122> 또한 본 발명에 따르면, 전기적 장치는 제1 및 제2 측면을 가지는 반도체 웨이퍼를 포함한다. 제1 재료를 가진 제1 층은 웨이퍼의 제1 측면에서 형성된다. 제2재료를 가진 제2 층은 웨이퍼의 제2 측면에서 형성된다. 제1 층 및 제2 층은 그 반도체 웨이퍼의 에지에서 플랜지 인터페이스를 형성한다.

<123> 더욱이 본 발명에 따르면, 향상된 트랜지스터 구조가 제공된다. 향상된 트랜지스터 구조를 제조하는데 사용하기 위한 방법이 또한 제공된다.

<124> 한편, 본 발명의 부수적인 이점, 목적 및 이동은 첨부도면을 참조하며 설명된 본 발명의 상세한 설명을 근거로 당해기술 분야에 통상의 전문가에게 분명하게 될 것이다.

<125> [상세한 설명]

<126> 다음의 상세한 설명은 랩-어라운드 플랜지 인터페이스에 대한 콘택트 처리공정을 가지는 반도체 제조를 위하여 본 발명에 따르는 특정된 실시예 내지 실시예들을 개시한다. 다음의 설명에서, 본 발명에 대한 완전한 이해를 제공하기 위하여 특정한 크기, 재료, 처리공정순서 및 반도체 디바이스 등과 같은 많은 특정된 세부사항이 개시된다. 하지만 이러한 특정된 세부사항의 설명이 없어도 본 발명이 실시될 수 있다는 것은 당해분야의 평균적 전문가에게 분명할 것이다. 한편, 주지의 처리공정 및 설비등은 특별히 상세히 설명하지 않더라도, 본 발명이 불필요하게 모호하게 되지는 않는다.

<127> 다이오드

<128> 제 2도는 본 발명의 일 실시예인 다이오드 모듈(200)의 사시도를 나타낸다. 다이오드 모듈(200)은 다양한 소자 내지 디바이스중의 하나를 포함할 수도 있다. 예를들면, 다이오드 모듈(200)은 PIN 또는 NIP 다이오드를 포함할 수도 있다. 다이오드 모듈(200)은 스위치로 사용되기 위한 일련의 소자를 포함할 수도 있다. 다이오드 모듈(200)은 쇼트키 장벽 다이오드를 포함할 수도 있다. 다이오드 모듈(200)은 일련의 분로소자를 포함할 수도 있다. 다이오드 모듈(200)은 상기의 이러한 소자 또는 디바이스와 같은 다양한 소자 또는 디바이스 중의 하나를 포함하는 장치 내지 전기적 장치로 불리운다. 다이오드 모듈(200)은 또한 일종의 디바이스로도 불리운다.

<129> 어떤 실시예에 있어서, 다이오드 모듈은 예를들면 프린트 회로 보드상에 표면장착 되도록 구성된 무-리드 단일체 디바이스이다. 제 2도에 도시한 것처럼, 다이오드 모듈(200)은 상부 가로놓임층(250), 디바이스 반도체 영역(286), 제1 절연층(271), 제1 상호 접속층(221) 및 제1 콘택트층(280)으로 구성된 제1 랩-어라운드 플랜지 인터페이스 콘택트 영역, 반도체 포스트 영역(287), 제2 절연층(272)와 제2 상호접속층(222) 및 제2 콘택트층(281)으로 구성된 제2 랩-어라운드 플랜지 인터페이스 콘택트 영역을 포함한다.

<130> 제 3도는 제 2도의 다이오드 모듈(200)의 선(3-3)을 따라가는 다이오드 모듈(200)의 측단면도를 나타낸다. 제 3도는 상부 가로놓임층(250), 디바이스 반도체 영역(286), 제1 절연층(271), 제1 상호접속층(221), 제1 콘택트층(280), 반도체 포스트 영역(287), 제2 절연층(272), 제2 상호접속층(222) 및 제2 콘택트층(281)을 나타낸다.

<131> 제 4도는 제 2도의 다이오드 모듈(200)의 저면도를 나타낸다. 제 4도는 상부 가로놓임층(250), 디바이스 반도체 영역(286), 제1 콘택트층(280), 반도체 포스트 영역(287), 및 제2 콘택트층(281)을 나타낸다.

<132> 제 2도 내지 제 4도에 도시한 것처럼, 상부 가로놓임층(250)은 디바이스 반도체 영역(286), 제1 절연층(271), 제1 상호접속층(221), 반도체 포스트 영역(287), 제2 절연층(272) 및 제2 상호접속층(222)의 최상부면을 캡슐화한다. 또한 상부 가로놓임층(250)은 디바이스 반도체 영역(286)과 반도체 포스트 영역(287)을 분리한다. 상부 가로놓임층(250)은 어떠한 적당한 절연재료를 포함할 수 있다. 예를들면, 상부 가로놓임층(250)은 에폭시, 실리콘 다이옥사이드(SiO_2), 실리콘 나이트라이드(Si_3N_4), 플라스틱, 테플론, 폴리이미드 또는 유리를 포함할 수 있다. 상부 가로놓임층(250)은 다른 유전체 또는 절연체 또는 그들의 조합을 포함할 수도 있다. 상부 가로놓임층(250)은 다이오드 모듈(200)을 보호하기 위하여 제공될 수 있다. 상부 가로놓임층(205)은 일종의 패시베이션층으로 제공될 수도 있다. 상부 가로놓임층(250)은 또한 다이오드 모듈(200)을 역학적으로 유지하기 위하여 제공될 수도 있다.

<133> 상부 가로놓임층(250)은 예를들면 실리콘, 폴리실리콘, 비정질 실리콘, 플라스틱, 유리, 에폭시, 알루미나 또는 다이아몬드를 포함하는 선택적인 캡층을 포함할 수도 있다. 이 캡층을 위하여 다른 재료 또는 그들의 조합이 이용될 수도 있다. 이러한 선택적인 캡층은 다이오드 모듈(200)을 더욱 강하고 내구성이 있도록 만들기 위하여 제공될 수 있다. 이러한 선택적인 캡층은 다이오드 모듈(200)을 위한 열전도부로서 제공될 수 있다.

<134> 트렌치 또는 갭(266)은 디바이스 반도체 영역(286)과 반도체 포스트 영역(287)을 분리 한다.

<135> 활성접합영역(202)은 제 3도에 도시한 것처럼 다이오드 모듈(200)의 디바이스 반도체 영역(286) 내에 존재한다. 활성접합영역(202)은 제2 상호접속층(222)과 전기적으로 접촉된다. 제2 상호접속층(222)

은 콘택트층(281)과 전기적으로 접촉된다.

<136> 상호접속층(221, 222)은 어떤 실시예에서 티타늄-텅스텐(Ti-W) 및 금(Au)로 구성될 수도 있다. Ti-W는 확산장벽층을 제공한다. 다른 확산장벽재료가 사용될 수도 있다. 상호접속층(221, 222)은 또한 다른 도전성 재료를 포함할 수도 있다. 예를들면, 알루미늄(Al) 또는 구리(Cu)가 사용될 수도 있다. 인듐 티타늄 산화물(ITO) 또는 금 주석 산화물(ATO)가 사용될 수도 있다. 금속을 포함하는 다른 재료 또는 그들의 조합이 사용될 수도 있다.

<137> 제1 랩-어라운드 플랜지 인터페이스 콘택트 영역은 제1 상호접속층(221) 및 제1 콘택트층(280)을 포함한다. 제1 콘택트층(280)은 디바이스 반도체(286)의 바닥면을 덮고 디바이스 반도체(286)의 측면넘어까지 연장되어 있다. 제1 상호접속층(221) 및 제1 콘택트층은 플랜지 인터페이스를 형성하도록 조인트되어 있다.

<138> 제2 랩-어라운드 플랜지 인터페이스 콘택트 영역은 제2 상호접속층(222) 및 제2 콘택트층(281)을 포함한다. 제2 콘택트층(281)은 디바이스 반도체(287)의 바닥면을 덮고 디바이스 반도체(287)의 측면넘어까지 연장되어 있다. 제2 상호접속층(222) 및 제2 콘택트층은 플랜지 인터페이스를 형성하도록 조인트되어 있다.

<139> 제1 콘택트층(280) 및 제2 콘택트층(281)은 다이오드 모듈(200)의 외부회로에 대한 접속점들이 된다. 제1 콘택트층(280) 및 제2 콘택트층(281)은 각각 디바이스 반도체(286) 및 반도체 포스트 영역(287)의 바닥면에 대하여 모두 상당히 편평하다. 제1 콘택트층(280) 및 제2 콘택트층(281)은 또한 모두 상당히 크다. 이러한 특성은 외부회로와의 양호한 콘택트를 보장하는데에 도움을 준다.

<140> 콘택트층(280, 281)은 어떤 실시예에서 티타늄-텅스텐(Ti-W) 및 니켈(Ni)로 구성될 수도 있다. Ni은 그것이 솔더링에 적합하므로 바람직하다. 이러한 Ni콘택트층은 계속하여 예를들어 금(Au) 박막층으로 피막될 수도 있다. 이러한 피막은 Ni의 솔더링 능력을 해치지 않으면서 Ni 콘택트층의 부식 또는 산화를 방지하기 위하여 제공될 수 있다. 다른 실시예에서는, 금(Au)이 Ni 대신에 사용될 수도 있다. 콘택트층(280, 281)은 또한 다른 도전성 재료를 포함할 수도 있다. 예를들면, 알루미늄(Al) 또는 구리(Cu)가 사용될 수도 있다. 인듐 티타늄 산화물(ITO) 또는 금 주석 산화물(ATO)가 사용될 수도 있다. 금속을 포함하는 다른 재료 또는 그들의 조합이 사용될 수도 있다.

<141> 제1 상호접속층(221)은 콘택트층(280)과 함께 플랜지 인터페이스를 형성한다. 마찬가지로, 제2 상호접속층(221)은 콘택트층(281)과 함께 플랜지 인터페이스를 형성한다. 각각의 경우에 있어서, 플랜지 인터페이스는 상호접속층과 콘택트층 사이에서 내구성 있고 신뢰성있는 본딩을 제공한다.

<142> 어떤 실시예에서, 티타늄-텅스텐(Ti-W)가 본딩 상호접속층으로서 그리고 두 콘택트 영역을 위한 본딩 상호접속층으로서 이용된다. 즉, Ti-W는 상호접속층(221, 222)의 최하부 및 콘택트층(280, 281)의 최상부에서 형성된다. 결국, 이 실시예에서, 신뢰성있는 표면 대 표면 내부금속본딩은 각각의 상호접속층(221, 222) 및 각각의 상호접속층(280-281) 사이에서 각각 형성된다. 다른 실시예에서, Ti-W를 대신하여 다른 재료가 상호접속층(221, 222) 및 콘택트층(280-281) 사이에서 각각 본딩을 생성하는데에 사용될 수도 있다. 여기서 동일한 재료를 사용하는 것은 상호접속층(221, 222) 및 콘택트층(280-281) 사이에서 각각 신뢰성있고 내구성있는 본딩의 형성을 용이하게 할 수도 있다. 또다른 실시예에서, 상호접속층(221, 222)을 콘택트층(280, 281)과 각각 본딩하기 위하여 이용되는 재료는 서로 다를 수도 있다.

<143> 다이오드 모듈(200)은 솔더 내지 도전성 에폭시를 이용하여 표준빔회로갭을 가로질러 다이-부착될 수도 있다. 다이오드 모듈(200)은 현재의 빔 리드 디바이스를 대체하여 드롭-인되도록 구성될 수 있다. 대체적으로, 다이오드 모듈(200)은 사용자의 요구에 따라 작거나 의게 만들어질 수 있다. 다이오드 모듈(200)의 설계는 디바이스를 상당히 작게 만들 수 있도록 허용한다.

<144> 제 5도는 흐름도 형식으로 반도체 제조에서 이용되는 예시적 방법을 나타낸다. 제 5도의 방법은 예를들어 다이오드 모듈을 제조하는데 이용될 수도 있다. 제 5도의 방법을 더욱 잘 설명하기 위하여, 제 6도 내지 제33도가 제 5도의 방법의 다양한 단계를 나타내는 데에 이용될 것이다.

<145> 제 6도는 제 2도의 다이오드 모듈(200)을 제조하는데 이용되는 반도체 웨이퍼의 평면도를 나타낸다. 제 7도는 제 6도의 웨이퍼의 측단면도를 나타낸다.

<146> 반도체 기판은 제 5도의 방법을 실시하기 위하여 제공된다. 이 기판은 예로서 제 6도 및 제 7도에서 기판(400)으로 나타낸다. 기판(400)은 실리콘(Si) 기판이 될 수도 있지만, 다양한 다른 종류의 반도체 기판이 본 발명을 실시하기 위하여 사용될 수 있다.

<147> 제 6도 및 제 7도의 웨이퍼는 4개의 다이오드 디바이스를 제공하기 위하여 형성된 활성접합영역(401, 402, 403 및 404)이 있는 기판(400)을 포함한다. 디바이스의 수는 예시적인 것이고 본 발명의 명확한 이해를 제공하기 위하여 선택된 것이다. 어떠한 수의 디바이스도 동일한 웨이퍼를 이용하여 형성될 수 있으며, 그것은 예를들어 웨이퍼의 크기에 의존하는 것이다. 활성접합영역(401 내지 404)는 적절한 저항성 콘택트를 가지고 제공될 수도 있다.

<148> 영역(411, 412 및 413)을 포함하는 어떤 패턴된 절연층이 웨이퍼에 대하여 형성된다. 어떤 실시예에서, 이 절연층은 실리콘 나이트라이드(Si_3N_4)를 피착시킴으로써 형성된다. 절연층은 또한 기판(400) 표면에서 성장하거나 피착된 실리콘 다이옥사이드(SiO_2)로부터 형성될 수도 있다. 절연층은 다른 재료 또는 그들의 결합을 포함할 수도 있다. 다음, 절연층은 예로서 포토리소그래피 및 에칭기술을 이용하여 영역(411 내지 413)내로 패턴된다.

<149> 제 6도 및 제 7도에 도시된 것처럼, 절연층은 활성접합영역(401 내지 404)를 노출시키도록 그리고 기판(400) 표면에 대하여 트렌치 영역(416, 418)을 정하도록 패턴된다. 트렌치 영역(416)은 활성접합영역(401, 402)를 이용하여 생성될 두 다이오드를 가로 지른다. 트렌치 영역(418)은 활성접합영역(403, 404)를 이용하여 생성될 두 다이오드를 가로지른다. 트렌치 영역(416, 418)은 서로 평행하게 형성된다. 절연영역(411)은 활성 접합영역(401, 402)을 노출시키도록 패턴된다. 절연영역(411, 412)은 트렌치 영역

(416)을 정한다. 트렌치 영역(412)은 활성접합영역(403, 404)를 노출시키도록 패턴된다. 절연영역(412, 413)은 트렌치 영역(418)을 정한다.

<150> 다른 실시예에서, 4개의 콘택트 영역 내지 본딩 패드는 활성접합영역(401 내지 404)에 전기적 접속을 제공하기 위하여 기판(400)에 대하여 형성될 수도 있다. 절연영역(411, 412)은 활성접합영역(401 내지 404)을 노출시키는 것에 대향하는 것으로 콘택트 영역 내지 본딩패드를 노출시키도록 패턴될 수 있다.

<151> 또다른 실시예에서, 절연영역(411 내지 413)은 각각의 영역에서 하부 가로놓임 기판(400)을 노출시키는 스크라이브 선 영역(415, 417 및 419)을 정하도록 패턴될 수 있다. 스크라이브 선 영역(415, 417 및 419)은 제 6도에 도시된 것처럼 웨이퍼의 좌측면, 중앙부 및 우측면을 따라서 각각이 웨이퍼의 길이를 가로지른다. 스크라이브 선 영역(415, 417 및 419)의 이용에 대하여는 다음에 상세히 설명한다.

<152> 제 5도의 단계(300)에 있어서, 상호접속(412, 422 및 423)은 웨이퍼에 대하여 형성된다. 이것은 제 8도 내지 제 9도에 도시되어 있다. 제 8도는 상호접속(421 내지 423)이 웨이퍼에 대하여 형성된 후 제 6도의 웨이퍼의 평면도를 나타낸다. 제 9도는 제 8도의 웨이퍼의 측단면도를 나타낸다.

<153> 상호접속(421 내지 423)은 또한 상호접속층으로 불리운다. 제 8도 및 제 9도에 도시된 것처럼, 상호접속(421)은 상호접속(422, 423)과 유사하게 성형되어 있고 제 8도 및 제 9도에 도시된 다이오드 디바이스의 좌측에 웨이퍼로 부터 형성되도록 다른 다이오드 디바이스까지 연장되는 어떤 상호접속의 일부분이 될 수도 있다. 상호접속(422)은 브리지부(424, 425)를 포함한다. 상호접속(423)은 브리지부(426, 427)를 포함한다.

<154> 브리지부(424)는 트렌치 영역(416)을 넘어가고 활성접합영역(401)에 전기적 접속을 제공한다. 브리지부(424)는 트렌치 영역(416) 위로 놓여있는 갭(434)을 포함한다.

<155> 브리지부(427)는 트렌치 영역(416)을 넘어가고 활성접합영역(402)에 전기적 접속을 제공한다. 브리지부(425)는 트렌치 영역(416) 위로 놓여있는 갭(435)을 포함한다.

<156> 브리지부(426)는 트렌치 영역(418)을 넘어가고 활성접합영역(403)에 전기적 접속을 제공한다. 브리지부(426)는 트렌치 영역(418) 위로 놓여있는 갭(436)을 포함한다.

<157> 브리지부(427)는 트렌치 영역(418)을 넘어가고 활성접합영역(404)에 전기적 접속을 제공한다. 브리지부(427)는 트렌치 영역(418) 위로 놓여있는 갭(437)을 포함한다.

<158> 다른 대체적 실시예에서, 브리지부(424 내지 427)은 갭(434 내지 437)을 포함하지 않고 오히려 각각 고체 브리지로 될 수도 있다.

<159> 어떤 실시예에서, 상호접속(421 내지 423)은 먼저 웨이퍼에 대하여 도선층을 형성하므로써 형성된다. 예를들면 티타늄-텅스텐(Ti~W)이 웨이퍼에 대하여 스퍼터 피착될 수도 있다. 이 Ti-W 층은 상호접속(421 내지 423)에 대한 확산장벽층을 제공하는 역할을 할 수 있다. 다른 확산장벽 재료가 사용될 수도 있다. 다음, 금(Au)이 Ti-W 층에 대하여 스퍼터 피착된다. 이 Au 층은 예를들어 상호접속(421 내지 423)을 형성하는데 있어서 금의 패턴 플레이팅을 용이하게 하는 역할을 할 수 있다. 다음, 예를들어 포토레지스트를 포함하는 어떤 패턴된 마스크 층이 웨이퍼층에 대하여 형성될 수도 있다. 이러한 패턴된 마스크층은 상호접속(421 내지 423)을 생성하기 위하여 Ti-W-Au 층에 대하여 예를들어 약 10㎛의 두께를 갖는 금(Au) 패턴 플레이팅에서 사용된다. 이러한 패턴 플레이팅 처리공정후, 패턴된 마스크 층은 제거된다. 다음 웨이퍼 표면상에 노출된 Ti-W-Au 층의 부분은 에칭될 수도 있고, 제 8도 및 제 9도에 도시한 것처럼 상호접속(421 내지 423)을 남긴다, 결국, 상호접속(421 내지 423)은 Ti-W 및 Au를 포함한다.

<160> 상호접속(421 내지 423)은 또한 다른 도전성 재료를 포함할 수도 있다. 예를들면, 알루미늄(Al) 또는 구리(Cu)가 사용될 수도 있다. 인듐 티타늄 산화물(ITO) 또는 금주석 산화물(ATO)이 사용될 수도 있다. 금속을 포함하는 다른 재료 또는 그들의 조합이 사용될 수도 있다. 더나아가, 상호접속(421 내지 423)은 어떤 적당한 기술은 이용하여 형성될 수도 있다. 다른 예로서, 상호접속(421 내지 423)을 생성하기 위하여 사용되는 하나의 재질 또는 재질들의 층은 웨이퍼에 대하여 상호접속(421 내지 423)을 생성하기 위하여 피착되고 계속하여 패턴될 수 있다. 여기서 예를들면 포토리소그라피 및 에칭기술이 상호접속(421 내지 423)을 패턴하기 위하여 사용될 수도 있다.

<161> 대체적 실시예에서, 분리된 상호접속이 웨이퍼에 대하여 형성될 수도 있다. 즉, 분리된 상호접속이 각각의 다이오드 디바이스가 제조된 웨이퍼에 대하여 형성될 수도 있다. 예를들면 두개의 분리된 브리지부(424, 425)를 가진 상호접속(422)를 형성하는 대신에, 두개의 분리된 상호접속이 각각의 브리지부(424, 425)를 가지고 웨이퍼에 대하여 형성될 수도 있다.

<162> 제 5도의 단계(305)에 있어서, 모우트(moat) 내지 트렌치(442 및 444)는 절연영역(411내지 413)에 의하여 정하여지는 기판(400)의 각각의 트렌치 영역(416 및 418)로 부터 형성된다. 이것은 제10도 및 제11도에 도시되어 있다. 제10도는 트렌치(442 및 444)가 웨이퍼의 기판으로부터 형성된 후 제 8도의 웨이퍼의 평면도를 나타낸다. 제11도는 제10도의 웨이퍼의 측단면도를 나타낸다.

<163> 트렌치(442 및 444)를 형성하는데 있어서, 어떤 적절한 에칭기술 및 화학적 기술이 사용될 수 있다. 절연영역(411 내지 413)이 트렌치(442 및 444)를 에칭할 때 마스크 층으로서 제공될 수 있기 때문에, 에칭기술 및 화학적 기술은 절연영역(411 내지 413)을 위하여 사용되는 재료에 대하여 선택되는 것이 바람직하다. 상호접속(421 내지 423)이 이러한 에칭처리공정이 필요로 하는 때에, 에칭기술 및 화학적 기술은 상호접속(421 내지 423)을 위하여 사용되는 재료에 대하여 선택되는 것이 바람직하다.

<164> 브리지부(424 내지 427) 밑에 놓여 있는 트렌치 영역(416 및 418)내의 기판(400) 재료는 트렌치(442 및 444)를 형성하도록 제거된다. 갭(434 내지 437)은 트렌치(424 및 444)를 에칭하고 여기에서 에칭재가 브리지부(424 내지 427)를 흐르도록 허용하므로써 하부에 가로놓인 기판의 제거를 용이하게 할 수 있다.

<165> 다른 대체 실시예에서, 브리지부(424 내지 427)은 상기 설명하는 것처럼 갭(434 내지 437) 없이

고체 브리지로 될 수도 있다. 이 대체 실시예에서 하부에 가로놓인 기판(400)이 트렌치(442 및 444)를 형성하는 데에 있어서 브리지부(424 내지 427) 밑에서 제거되도록 하는 보장하기 위하여, 브리지부(424 내지 427)는 그 폭이 얇아질 수도 있다.

<166> 트렌치(442 및 444)의 형성으로 기판(400)과 상호접속(422 또는 423) 사이에서 단락이 일어나지 않을 것이다. 즉, 절연영역(411 내지 413)은 상호접속(422, 423)이 트렌치(442, 444) 형성후에, 기판(400)과 콘택트하는 것을 방지한다. 이것은, 절연영역(411 내지 413)이 상호접속(422)가 기판(400)과 콘택트하는 것을 방지하는 것으로서 제11도에 도시 되어 있다. 여기서, 트렌치(442)는 절연층(411, 412)의 에지 밑에서 언더컷하므로써 그 일부가 형성된다. 마찬가지로, 절연영역(412, 413)은 상호접속(423)이 기판(400)과 콘택트하는 것을 방지한다. 여기서, 트렌치(444)는 절연층(412, 413)의 에지 밑에서 언더컷하므로써 그 일부가 형성된다. 대체 실시예에서, 분리된 패턴 마스크 층은 트렌치 영역(416, 418)을 정하기 위하여, 웨이퍼에 대하여 즉 상호접속(422, 423)에 대하여 형성 될 수도 있다. 다음, 트렌치(424, 444)는 이러한 패턴 마스크 층을 사용하는 적절한 에칭기술 및 화학적 기술에 의하여 에칭된다.

<167> 트렌치(424, 444)는 본질적으로 웨이퍼로 부터 생성되는 각각의 다이오드 모듈에 대한 반도체의 최상부면 분리를 제공하도록, 각각의 다이오드 모듈에 대한 디바이스 반도체 영역 및 반도체 포스트 영역을 제공한다. 각각의 다이오드 모듈에 대한 이러한 반도체 분리는 다음에 상세히 설명될 것이다.

<168> 제 5도의 단계(310)에 있어서, 제12도 및 제15도에 도시된 것처럼 상부 가로놓임층(450)가 웨이티에 대하여 형성된다. 제12도는 상부 가로놓임층(450)이 웨이퍼에 대하여 형성된 후 제10도의 웨이퍼의 평면도를 나타낸다. 제13도는 제12도의 웨이퍼의 측단면도를 나타낸다.

<169> 상부 가로놓임층(450) 실질적으로 웨이퍼의 전표면을 캡슐화하고 실질적으로 트렌치(442, 444)를 충전시킨다. 일실시예에서, 상부 가로놓임층(450)은 웨이퍼에 대하여 원심분리된 에폭시를 포함한다. 제어된 진공환경 또한 여기기의 에폭시를 스핀-온 시키는 데에 이용될 수도 있다. 예를들면, 상부 가로놓임층(450)은 에폭시, 실리콘 다이옥사이드(SiO_2), 실리콘 나이트라이드(Si_3N_4), 플라스틱, 테플론, 폴리마이드 또는 유리를 포함할 수 있다. 상부 가로놓임층(450)은 다른 유전체 또는 절연체 또는 그들의 조합을 포함할 수도 있다.

<170> 상부 가로놓임층(450)은 웨이퍼로부터 생성된 다이오드 디바이스를 보호하기 위하여 제공될 수 있다. 상부 가로놓임층(450)은 일종의 패시베이션층으로 제공될 수도 있다. 상부 가로놓임층(250)은 또한 웨이퍼로부터 생성된 다이오드 디바이스를 역학적으로 유지하기 위하여 제공될 수도 있다.

<171> 상부 가로놓임층(450)은 예를들면 실리콘, 폴리실리콘, 비정질 실리콘, 플라스틱, 유리, 에폭시, 알루미나 또는 다이아몬드를 포함하는 선택적인 캡층을 포함할 수도 있다. 이 캡층을 위하여 다른 재료 또는 그들의 조합이 이용될 수도 있다. 이러한 선택적인 캡층은 웨이퍼로부터 생성된 다이오드 디바이스를 더욱 강하고 내구성이 있도록 만들기 위하여 제공될 수 있다. 이러한 선택적인 캡층은 웨이퍼로부터 제조되는 다이오드 디바이스를 위한 열전도부로서 제공될 수 있다.

<172> 제 5도의 단계(315)에 있어서, 웨이퍼의 후면 또는 바닥면은 제14도에 도시된 것처럼 제13도에 도시된 웨이퍼와 비교하여 더욱 박막화된다. 제14도는 웨이퍼의 바닥면이 박막화된 후 제12도의 웨이퍼의 측단면도를 나타낸다. 제15도는 14도의 웨이퍼의 저면도를 나타낸다.

<173> 기판(400)의 바닥면은 어떤 적절한 기술을 이용하여 박막화될 수 있다. 예를들면 기판(400)의 바닥면은 모래분사될 수 있다. 또한 기판(400)의 바닥면은 적절한 에칭기술 및 화학적 기술을 이용하여 에칭될 수도 있고, 대체적으로 그것을 연마하므로써 박막화될 수도 있다. 또한 기판(400)의 바닥면은 랩핑(lapping)에 의하여 박막화될 수도 있다. 활성접합영역(401 내지 404) 아래의 기판(400)의 최하부는 적절한 저항성 콘택트로서 제공될 수도 있다.

<174> 제 5도의 단계(320)에 있어서, 제재-에칭 처리공정은 웨이퍼의 바닥면을 패턴하는데 이용된다. 이 단계의 일 실시예를 제16도 내지 제23도에 나타낸다. 여기서, 마스크 층(452)은 우선 웨이퍼의 바닥면에 대하여 형성된다. 이것은 제16도 및 제16도에 나타낸다. 제16도는 마스크 층(452)이 웨이퍼의 바닥면에 대하여 형성된 후 제14도의 웨이퍼의 측단면도를 나타낸다. 제17도는 제16도의 웨이퍼의 저면도를 나타낸다.

<175> 마스크 층(452)은 예로서 스핀-온될 수 있는 포토레지스트를 포함한다. 다른 감광 재료를 포함하여 다른 적절한 마스크 재료가 또한 여기에 사용될 수도 있으며, 적절한 기술을 이용하여 웨이퍼의 바닥면에 대하여 형성될 수도 있다.

<176> 다음, 웨이퍼의 바닥면은 피트(455, 457, 459)를 생성하고 마스크 영역(453, 454)로 마스크층(452)을 패턴하기 위하여 스크라이브 선 영역(415, 417, 419)를 따라서 제재된다. 이것은 제18도 및 제19도에 나타나 있다. 제18도는 웨이퍼의 바닥면이 제재된 후 제16도의 웨이퍼의 측단면도를 나타낸다. 제19도는 제18도의 웨이퍼의 저면도를 나타낸다.

<177> 스크라이브 선 영역(415, 417, 419)은 제 6도에 도시된 것처럼 웨이퍼가 분리될 위치를 정한다. 일 실시예에서, 웨이퍼의 바닥면은 피트(455, 457, 459)를 생성하기 위하여 스크라이브 선 영역(415, 417, 419)에서 제재될 수 있고 그래서 마스크층(452)으로부터 마스크 영역(453, 454)을 정한다. 다른 실시예에서, 우선 마스크 층(452)은 예를들어 스크라이브 선 영역(415, 417, 419)을 마스크 영역(453, 454)로저 정하기 위하여 포토리소그라피 기술을 이용하여 패턴될 수도 있다. 이렇게 정해진 스크라이브 선 영역은 피트(455, 457, 459)를 제재하는데 있어서 일종의 안내역할을 하는 것으로 이용될 수도 있다.

<178> 웨이퍼는 제18도 및 제19도에 도시된 것처럼, 피트(455, 457, 459)를 생성하기 위하여 웨이퍼의 바닥면을 제재하므로써 완전히 분리되는 것은 아니다. 각각의 피트(455, 457, 459)는 약 2 내지 3 밀리의 폭을 갖는다. 피트(455, 457, 459)는 또한 다른 폭을 가질 수도 있다.

<179> 피트(455, 457, 459)를 생성한 후, 기판(400)은 트렌치(465, 467, 469)를 생성하기 위하여 마스크 영역(453, 454)에 의하여 정하여진 것처럼 스크라이브 선 영역(415, 417, 419) 내에서 웨이퍼의 바닥

면으로부터 에칭된다. 이것은 제20도 및 제21도에 나타나 있다. 제20도는 웨이퍼 기판의 바닥면이 에칭된 후 제18도의 웨이퍼의 측단면도를 나타낸다. 제21도는 제20도의 웨이퍼의 저면도를 나타낸다.

<180> 어떠한 적절한 에칭기술 및 화학적 기술은 여기에서의 트렌치(465, 467, 469)를 생성하기 위하여 사용될 수도 있다. 트렌치(465, 467, 469)는 기판(400)을 분리하는데 제공된다. 제20도에 도시한 것처럼, 트렌치(467)는 기판(400)은 기판영역(475, 476)을 분리되도록 제공한다.

<181> 스크라이브 선 영역(415, 417, 419)내의 절연영역(411 내지 413)으로부터 재료는 또한 여기서 트렌치(465, 467, 469)내에 각각 상호접속(421 내지 424)의 부분을 노출시키기 위하여 에칭된다. 제20도에 도시된 것처럼, 절연영역(411)은 절연영역(471)이 되도록 에칭되고 절연영역(412)은 분리된 절연영역(472, 473)이 되도록 에칭된다. 절연영역(413)은 분리된 절연영역(474)이 되도록 에칭된다. 단일 에칭처리공정은 여기에서 기판(40)재료 및 트렌치(465, 467, 469)내에서 각각 노출된 절연영역(411 내지 413)의 일부분을 에칭하기 위하여 사용될 수 있다. 분리에칭처리공정은 대체적으로 기판(400)의 재료 및 절연영역(411 내지 413)을 위한 재료를 제거하는데 사용될 수도 있다.

<182> 절연영역(411 내지 413)은 상기 설명된 것처럼 스크라이 선 영역(415, 417, 419)내의 하부에 가로놓인 기판을 노출시키기 위하여 초기에 패턴될 수도 있다. 이 실시예에 있어서, 기판(400)의 재료만이 트렌치(465, 467, 469)를 형성하는데 있어서 상호접속(421 내지 423)은 노출시키기 위하여 제거될 필요가 있을 수도 있다.

<183> 대체 실시예에 있어서, 피트(455, 457, 459)는 전혀 생성되지 않을 수도 있다. 오히려, 트렌치(465, 467, 469)가 마스크 영역(453, 454)에 의하여 정해진 대로 스크라이브 선 영역(415, 417, 419)내에서 기판(400)을 에칭하므로써 생성된다. 이 실시예에서, 마스크층(452)은 우선 예를들면 마스크 영역(453, 454)으로써 스크라이브 선 영역(415, 417, 419)를 정하기 위하여 포토리소그라피 기술을 사용하여 패턴될 수도 있다. 어떠한 적절한 에칭 기술 및 화학적 기술도 트렌치(465, 467, 467)를 생성하기 위하여 여기서 사용될 수 있다.

<184> 트렌치(465, 467, 467)가 형성된 후, 마스크 영역(453, 454)은 제22도 및 제23도에 도시된 것처럼 웨이퍼의 바닥면으로부터 제거된다. 제22도는 바닥면 마스크 영역(453, 454)이 제거된 후 제20도의 웨이퍼의 측단면도를 나타낸다. 제23도는 제22도의 웨이퍼의 저면도를 나타낸다. 어떠한 적절한 기술도 마스크 영역(453, 454)를 제거하기 위하여 여기서 사용될 수 있다.

<185> 제25도의 단계(325)에 있어서, 패턴된 콘택트 층은 웨이퍼의 바닥면에 대하여 형성 된다. 이 단계의 일실시예가 제24도 내지 제29도에 도시된다. 제24도는 도선층이 웨이퍼의 바닥면에 대하여 형성된 후 그리고 마스크 영역(477, 478)이 웨이퍼의 바닥면에 대하여 형성된 후 제22도의 웨이퍼의 측단면도를 나타낸다. 제25도는 제24도의 웨이퍼의 저면도를 나타낸다.

<186> 이 실시예에서, 패턴된 콘택트 층은 먼저 웨이퍼에 대하여 도선층(도시되지 않음)을 형성하므로써 형성된다. 예를들면 티타늄-텅스텐(Ti-W)이 웨이퍼에 대하여 스퍼터 피착될 수도 있다. 이 Ti-W 층은 패턴된 콘택트 층에 대한 확산 장벽층을 제공하는 역할을 할 수 있다. 다음, 금(Au)이 Ti-W 층에 대하여 스퍼터 피착된다. 이 Au 층은 예를들어 패턴된 콘택트 층을 형성하는 데 있어서 금(Au) 또는 니켈(Ni)의 패턴 플레이팅을 용이하게 하는 역할을 할 수 있다. 대체적으로, 어떠한 적절한 재료 또는 그들의 조합은 이 Ti-W 및/또는 Au 층을 대신하여 사용될 수도 있다. 예를들면, 니켈(Ni)이 패턴된 콘택트 층을 형성하는데 있어서 Ni 패턴 플레이팅을 용이하게 하기 위하여 여기에서 Au 대신에 사용될 수도 있다. 더나아가 어떠한 적절한 기술이 여기에서의 도선층을 형성하는 데에 사용될 수도 있다.

<187> 마스크 영역(477, 478)을 가진 패턴된 마스크 층은 제24도 및 제25도에 도시된 것처럼 웨이퍼의 바닥면에 대하여 형성된다. 마스크 영역(477, 478)은 패턴된 콘택트 층을 생성하기 위하여 도선층에 대하여 콘택트 재료를 패턴 플레이팅하는 데에 이용된다. 마스크 영역(477, 478)은 어떠한 적절한 재료를 포함할 수도 있고 어떠한 적절한 기술에 의하여 형성될 수도 있다. 예를들어, 포토레지스터가 웨이퍼의 바닥면에 대하여 스핀-온될 수도 있고, 계속하여 마스크 영역(477, 478)을 형성하기 위하여 예로서 포토리소그라피를 이용하므로써 패턴될 수 있다.

<188> 다음, 적절한 콘택트 재료는 제26도 및 제27도에 도시된 것처럼 웨이퍼의 바닥면에 대하여 패턴 플레이팅될 수도 있다. 제26도는 콘택트 영역(480-482)이 웨이퍼의 바닥면에 대하여 형성된 후 제24도의 웨이퍼의 측단면도를 나타낸다. 제27도는 제26도의 웨이퍼의 저면도를 나타낸다.

<189> 마스크 영역(477, 478)은 콘택트 재료가 패턴 플레이팅중에 웨이퍼의 바닥면에 대하여 형성되는 것을 방지한다. 어떤 실시예에서, 니켈(Ni)이 콘택트 영역(480 내지 482)을 형성하기 위한 웨이퍼의 바닥면에 대하여 패턴 플레이팅된다. Ni 콘택트 영역은 Ni가 슬더링에 적합하므로 바람직하다. Ni 콘택트 영역은 계속하여 예를들어 금(Au) 박막층으로 피막될 수도 있다. 이러한 피막은 Ni의 솔더링 능력을 해치지 않으면서 Ni 콘택트 영역의 부식 또는 산화를 방지하기 위하여 제공될 수 있다. 다른 실시예에서는, 금(Au)이 콘택트 영역(480 내지 482)을 형성하기 위한 웨이퍼의 바닥면에 대하여 패턴 플레이팅될 수도 있다.

<190> 콘택트 재료는 웨이퍼의 바닥면의 윤곽에 따른다. 특히 콘택트 영역(480 내지 482)은 제26도 및 제27도에 도시된 것처럼 바닥면 트렌치(465, 467, 469)의 최하부와 측면을 따라가면서 각각 형성된다. 일실시예로서, 콘택트 영역(480 내지 482)의 일부분은 콘택트 재료가 웨이퍼의 바닥면에 대하여 형성될 때, 트렌치(465, 467, 469)내에서 각각 노출되는 상호접속(421 내지 423)의 일부분과 내구성있고 신뢰성있는 표면 대 표면 본딩을 형성한다. 여기서, 트렌치(465, 467, 469)내에서 노출되는 상호접속(421 내지 423)을 위하여 사용되는 재료는 상호접속(421 내지 423)과 콘택트될 콘택트 영역(480 내지 482)에 사용한 재료와 동일한 것이 바람직하다.

<191> 어떤 실시예에서, 티타늄-텅스텐(Ti-W)가 제1 상호접속층으로서 그리고 제1 콘택트 영역층으로서 이용된다. 결국, 이 실시예에서, 신뢰성있는 표면 대 표면 내부 금속 본딩이 형성된다.

<192> 다른 실시예에서, Ti-W를 대신하여 다른 재료가 상호접속(421 내지 423) 및 콘택트 영역(480 내

지 482) 사이에서 본딩을 생성하는 데에 사용될 수도 있다. 여기서 동일한 재료를 사용하는 것은 트렌치(465, 467, 469)내의 각각에 상호접속(421 내지 423) 및 콘택트 영역(480 내지 482) 사이에 신뢰성있고 내구성있는 본딩의 형성을 용이하게 할 수도 있다. 또 다른 실시예에서, 상호접속(421 내지 423)을 콘택트층(480 내지 482)과 본딩하기 위하여 이용되는 재료는 서로 다를 수도 있다.

<193> 콘택트 재료가 웨이퍼의 바닥면에 대하여 형성된 후, 마스크 영역(477, 478)은 제28도 및 제29도에 도시된 것처럼 웨이퍼의 바닥면으로부터 제거된다. 제28도는 바닥면 마스크 영역(477, 478)이 제거된 후 제26도의 웨이퍼의 측단면도를 나타낸다. 제29도는 제28도의 웨이퍼의 저면도를 나타낸다.

<194> 어떠한 적절한 기술도 마스크 영역(477, 478)을 제거하기 위하여 여기서 사용될 수 있다. 상기 실시예에서, 웨이퍼의 바닥면에 노출된 도선층의 일부분은 제거될 수도 있고, 그래서 제28도 및 제29도에 도시된 것처럼 콘택트 영역(480 내지 482)을 남긴다. 예로서 어떠한 적절한 에칭 기술 및 화학적 기술도 노출된 도선층의 일부분을 제거하기 위하여 사용될 수도 있다.

<195> 콘택트 영역(480 내지 482)은 또한 다른 도전성 재료를 포함할 수도 있다. 예를들면, 알루미늄(Al) 또는 구리(Cu)가 사용될 수도 있다. 인듐 티타늄 산호물(ITO) 또는 금 주석 산화물(ATO)이 사용될 수도 있다. 금속을 포함하는 다른 재료 또는 그들의 조합이 사용될 수도 있다. 더나아가, 콘택트 영역(480 내지 482)은 어떤 적당한 기술을 이용하여 형성될 수도 있다. 다른 예로서, 콘택트 영역(480 내지 482)을 생성하기 위하여 사용되는 하나의 재질 또는 재질들의 층은 웨이퍼에 대하여 피착되고 계속하여 콘택트 영역(480 내지 482)을 생성하기 위하여 패턴될 수 있다. 여기서 예를들면 포토리소그라피 및 에칭 기술이 콘택트 영역(480 내지 482)을 패턴하기 위하여 사용될 수도 있다.

<196> 제 5도의 단계(330)에 있어서, 바닥면 트렌치(466, 468)는 웨이퍼에 대하여 형성된다. 이것은 제30도 내지 제31도에 도시되어 있다. 제30도는 웨이퍼의 기판의 바닥면이 에칭된 후 제28도의 웨이퍼의 측단면도를 나타낸다. 제31도는 제30도의 웨이퍼의 저면도를 나타낸다.

<197> 어떤 적절한 에칭 기술이 바닥면 트렌치(466, 468)를 형성하기 위하여 여기에서 사용될 수도 있다 콘택트 영역(480 내지 482)은 트렌치(466, 468)를 에칭하는데 있어서 일종의 마스크 층으로 이용될 수도 있다.

<198> 트렌치(466, 468)는 제30도 및 제31도에 도시된 것처럼, 상부 가로놓임층(450)을 노출시킨다. 따라서 트렌치(466, 468)는 각각의 다이오드 모듈이 웨이퍼로부터 생성되는 반도체의 최하부면 분리를 제공한다. 다음, 트렌치(442, 444)에 의한 반도체의 최상부면과 연관되어, 디바이스 반도체 영역 및 반도체 포스트 영역의 완전한 분리는 각각의 다이오드 모듈이 웨이퍼로부터 형성될 수 있도록 제공된다. 트렌치(442, 446)는 함께 기판영역(475)을 디바이스 반도체 영역(486) 및 반도체 포스트 영역(487)으로 분리 시킨다. 트렌치(444, 448)는 함께 기판영역(476)을 디바이스 반도체 영역(488) 및 반도체 포스트 영역(489)으로 분리시킨다.

<199> 대체 실시예에서, 바닥면 트렌치(466, 468)만이 상기 설명한 것처럼 반도체 분리에 제공되는데 사용될 수도 있다. 즉, 트렌치(442, 444)가 전혀 형성되지 않을 수도 있다. 오히려 트렌치(466, 468)만이 상부 가로놓임층(450)을 노출시키고 기판의 전 두께를 통과 하여 기판재료를 제거하므로써 형성된다. 하지만, 이 대체 실시예에서, 상호접속(422, 423)의 브리지부는 웨이퍼의 바닥면에서 노출될 수도 있다. 내식성 재료가 본 실시예를 위하여 상호접속(421 내지 423)을 형성하는데 사용되는 것이 사용되는 것이 바람직하다. 그래서 상부 가로놓임층(450)은 상호접속(421 내지 423)을 보호하기 위하여 그들을 완전히 캡슐화하지 않을 수도 있다.

<200> 제 5도의 단계(335)에 있어서, 웨이퍼는 제32도 및 제33도에 도시된 것처럼 다이오드 모듈로 분리된다. 제32도는 웨이퍼가 다이오드 모듈(200)로 분리된 후 제30도의 웨이퍼의 측단면도를 나타낸다. 제33도는 제32도의 웨이퍼의 저면도를 나타낸다.

<201> 예를들면 웨이퍼는 그 웨이퍼를 제재하므로써 분리될 수도 있다. 제재컷은 약 1밀리 폭으로 될 수도 있다. 다른 폭의 제재컷도 사용될 수 있다. 또한 예를들면 레이저 스크라이브를 이용하는 것을 포함하는 다른 기술이 웨이퍼를 분리시키기 위하여 사용될 수도 있다.

<202> 예를들면 웨이퍼는 트렌치(467)를 통하여 분리된다. 콘택트 영역(480 내지 481)과 본딩된 상호접속(421 내지 423)은 제32도 및 제33도에 도시된 랩-어라운드 플랜지 인터페이스 콘택트 영역을 형성한다. 상호접속(422) 및 본딩된 콘택트 영역(481)은 모두 웨이퍼로부터 제조되는 분리 다이오드 모듈을 위하여, 웨이퍼를 분리하고 랩-어라운드 플랜지 인터페이스 콘택트 영역을 생성하도록 분리된다. 제32도 및 제33도에 사용된 인용부호는 상기 제 2도 내지 제 4도에 사용한 것과 대응한다.

<203> 트랜지스터

<204> 제34도는 본 발명의 일실시예인 트랜지스터 모듈(500)의 사시도를 나타낸다.

<205> 트랜지스터 모듈(500)은 상기의 이러한 소자 또는 디바이스와 같은 다양한 소자 또는 디바이스중의 하나를 포함하는 장치 내지 전기적 장치로 불리운다.

<206> 어떤 실시예에 있어서, 트랜지스터 모듈(500)은 예를들면 프린트 회로 보드상에 표면 장착되도록 구성된 무-리드 단일체 디바이스이다. 제34도에 도시한 것처럼, 트랜지스터 모듈(500)은 상부 가로놓임층(560), 디바이스 반도체 영역(583), 베이스 및 이미터 반도체 포스트 영역(584, 585), 콜렉터 콘택트층(593)을 포함하는 제1 콘택트 영역, 이미터 또는 베이스 콘택트층(594)을 포함하는 제2 랩-어라운드 플랜지 인터페이스 콘택트 영역 및 이미터 또는 베이스 콘택트층(595)를 포함하는 제3 랩-어라운드 플랜지 인터페이스 콘택트 영역을 포함한다.

<207> 제35도는 제34도의 트랜지스터 모듈(500)의 선(35-35)을 따라가는 트랜지스터 모듈(500)의 측단면도를 나타낸다. 제35도는 상부 가로놓임층(560), 디바이스 반도체 영역(583), 반도체 포스트 영역(584), 콜렉터 콘택트층(593) 및 콘택트층(594)을 나타낸다.

<208> 제36도는 제34도의 트랜지스터 모듈(500)의 저면도를 나타낸다. 제36도는 상부 가로놓임층(560), 디바이스 반도체 영역(583), 콜렉터 콘택트층(593), 베이스 및 아미터 반도체 포스트 영역(584, 585) 및 베이스 및 이미터 콘택트층(594, 595)을 나타낸다.

<209> 제34도 내지 제36도에 도시한 것처럼, 상부 가로놓임층(560)은 디바이스 반도체 영역(583), 베이스 및 이미터 반도체 포스트 영역(584, 585)의 최상부면을 캡슐화한다. 또한 상부 가로놓임층(560)은 디바이스 반도체 영역(583)과 반도체 포스트 영역(584, 585)을 서로 분리시킨다. 상부 가로놓임층(560)은 어떠한 적당한 절연재료를 포함할 수 있다. 예를들면, 상부 가로놓임층(560)은 에폭시, 실리콘 다이옥사이드(SiO_2), 실리콘 나이트 라이드(Si_3N_4), 플라스틱, 테플론, 폴리이미드 또는 유리를 포함할 수 있다. 상부 가로놓임층(560)은 다른 유전체 또는 절연체 또는 그들의 조합을 포함할 수도 있다. 상부 가로놓임층(560)은 다이오드 모듈(500)을 보호하기 위하여 제공될 수 있다. 상부 가로놓임층(560)은 일종의 패시베이션 층으로 제공될 수도 있다. 상부 가로놓임층(560)은 또한 트랜지스터 모듈(500)을 역학적으로 유지하기 위하여 제공될 수도 있다.

<210> 상부 가로놓임층(560)은 예를들면 실리콘, 폴리실리콘, 비정질 실리콘, 플라스틱, 유리, 에폭시, 알루미나 또는 다이아몬드를 포함하는 선택적인 캡층을 포함할 수도 있다. 이 캡층을 위하여 다른 재료 또는 그들의 조합이 이용될 수도 있다. 이러한 선택적인 캡층은 트랜지스터 모듈(500)을 더욱 강하고 내구성이 있도록 만들기 위하여 제공될 수 있다. 이러한 선택적인 캡층은 트랜지스터 모듈(500)을 위한 열전도부로서 제공될 수 있다.

<211> 트렌치 또는 갭(577)은 디바이스 반도체 영역(583)과 베이스 및 이미터 반도체 포스트 영역(584, 585)을 분리한다.

<212> 트렌치 또는 갭(581)은 베이스 및 이미터 반도체 포스트 영역(584, 585)을 분리한다.

<213> 어떤 디바이스는 트랜지스터 모듈(500)의 디바이스 반도체 영역(583)내에 위치한다.

<214> 이 디바이스는 베이스 영역 및 이미터 영역을 갖는다. 베이스 영역은 트랜지스터 모듈(500)내의 베이스 상호접속층에 전기적으로 접촉된다. 이 베이스 상호접속층은 콘택트층(594 또는 595)에 전기적으로 접촉한다. 이미터 영역은 트랜지스터 모듈(500)내의 이미터 상호접속층에 전기적으로 접촉된다. 이 이미터 상호접촉층은 콘택트층(594 또는 595)에 전기적으로 접촉한다. 반도체 포스트 영역(584) 및 콘택트층(594)가 베이스 영역으로 사용될 때, 반도체 포스트 영역(585) 및 콘택트층(595)은 이미터 영역으로 사용된다. 대체적으로, 반도체 포스트 영역 (585) 및 콘택트층(595)가 베이스 영역으로 사용될 때, 반도체 포스트 영역(584) 및 콘택트층(594)이 이미터 영역으로 사용된다.

<215> 베이스 및 이미터 상호접속층은 어떤 실시예에서 티타늄-텅스텐(Ti-W) 및 금(Au)으로 구성될 수도 있다. Ti-W는 확산 장벽층을 제공한다. 다른 확산장벽 재료도 사용될 수 있다. 상호접촉층은 또한 다른 도전성 재료를 포함할 수도 있다. 예를들면, 알루미늄(Al) 또는 구리(Cu)가 사용될 수도 있다. 인듐 티타늄 산화물(ITO) 또는 금 주석 산화물(ATO)이 사용될 수도 있다. 금속을 포함하는 다른 재료 또는 그들의 조합이 사용될 수도 있다.

<216> 제1 콘택트층은 디바이스 반도체 영역(583)의 바닥면을 덮고 디바이스 반도체 영역(583)의 측면 넘어까지 연장되어 있다.

<217> 제2 랩-어라운드 플랜지 인터페이스 콘택트층은 반도체 포스트 영역(584)의 바닥면을 덮고 반도체 포스트 영역(584)의 측면넘어까지 연장되어 있다.

<218> 제3 랩-어라운드 플랜지 인터페이스 콘택트층은 반도체 포스트 영역(585)의 바닥면을 덮고 반도체 포스트 영역(585)의 측면넘어까지 연장되어 있다.

<219> 콜렉터 콘택트층(593) 및 베이스 및 이미터 콘택트층(594, 595)은 트랜지스터 모듈(500)의 외부회로에 대한 접속점들이 된다. 콘택트층(593 내지 595)은 각각 디바이스 반도체(583 내지 585)의 바닥면에 대하여 모두 상당히 편평한다.

<220> 콘택트층(593 내지 595)은 또한 모두 상당히 크다. 이러한 특성은 외부회로와의 양호한 콘택트를 보장하는데에 도움을 준다.

<221> 콘택트층(593 내지 595)은 어떤 실시예에서 티타늄-텅스텐(Ti-W) 및 니켈(Ni)로 구성될 수도 있다. Ni은 그것이 솔더링에 적합하므로 바람직하다. 이러한 Ni는 콘택트층은 계속하여 예를들어 금(Au) 박막층으로 피막될 수도 있다. 이러한 피막은 Ni의 솔더링 능력을 해치지 않으면서 Ni 콘택트 층의 부식 또는 산화를 방지하기 위하여 제공될 수 있다. 다른 실시예에서는, 금(Au)이 Ni 대신에 사용될 수도 있다. 콘택트층(593 내지 595)은 또한 다른 도전성 재료를 포함할 수도 있다. 예를들면, 알루미늄(Al) 또는 구리(Cu)가 사용될 수도 있다. 인듐 티타늄 산화물(ITO) 또는 금 주석 산화물(ATO)이 사용될 수도 있다. 금속을 포함하는 다른 재료 또는 그들의 조합이 사용될 수도 있다.

<222> 베이스 및 이미터는 콘택트층(594, 595)과 함께 플랜지 인터페이스를 형성한다. 각각의 경우에 있어서, 플랜지 인터페이스는 상호접촉층과 콘택트층 사이에서 내구성있고 신뢰성 있는 본딩을 제공한다.

<223> 어떤 실시예에서, 티타늄-텅스텐(Ti-W)가 본딩 상호접속층으로서 그리고 두 콘택트 영역을 위한 본딩 상호접속층으로서 이용된다. 즉, Ti-W는 상호접속층의 최하부 및 콘택트층(594, 595)의 최상부에서 형성된다. 결국, 이 실시예에서, 신뢰성있는 표면 대 표면 내부금속본딩은 각각의 상호접속층 및 각각의 상호접속층(594, 595) 사이에서 각각 형성된다. 다른 실시예에서, Ti-W를 대신하여 다른 재료가 상호접속층 및 콘택트층(594, 595) 사이에서 각각 본딩을 생성하는 데에 사용될 수도 있다. 여기서 동일한 재료를 사용하는 것은 상호접속층 및 콘택트층(594, 595) 사이에서 각각 신뢰성있고 내구성있는 본딩의 형성을 용이하게 할 수도 있다. 또다른 실시예에서, 상호접속층을 콘택트층(594, 595)과 각각 본딩하기 위하여 이용되는 재료는 서로 다를 수도 있다.

<224> 트랜지스터 모듈(500)은 솔더 내지 도전성 에폭시를 이용하여 표준빔회로갭을 가로질러 다이-부

착될 수도 있다. 트랜지스터 모듈(500)은 현재의 빔 리드 디바이스를 대체하여 드롭-인되도록 구성될 수 있다. 대체적으로, 트랜지스터 모듈(500)은 사용자의 요구에 따라 작거나 크게 만들어질 수 있다. 트랜지스터 모듈(500)의 설계는 디바이스를 상당히 작게 만들수 있도록 허용한다.

<225> 제37도는 흐름도 형식으로 반도체 제조에서 이용되는 예시적 방법을 나타낸다. 제37도의 방법은 예를들어 모듈을 제조하는데 이용될 수도 있다. 제37도의 방법을 더욱 잘 설명하기 위하여, 제38도 내지 제71도가 제37도의 방법의 다양한 단계를 나타내는 데에 이용될 것이다.

<226> 제38도는 제34도의 트랜지스터 모듈(500)을 제조하는데 이용되는 반도체 웨이퍼의 평면도를 나타낸다. 제37도는 제38도의 웨이퍼의 측단면도를 나타낸다.

<227> 반도체 기판은 제37도의 방법을 실시하기 위하여 제공된다. 이 기판은 예로서 제38도 및 제39도에서 기판(700)으로 나타낸다. 기판(700)은 실리콘(Si) 기판이 될 수도 있지만, 다양한 다른 종류의 반도체 기판이 본 발명을 실시하기 위하여 사용될 수 있다.

<228> 제38도 및 제39도의 웨이퍼는 4개의 디바이스를 제공하기 위하여 형성된 베이스 및 이미터 영역쌍(701-702, 703-704, 705-706, 707-708)이 있는 기판(700)을 포함한다. 디바이스의 수는 예시적인 것이고 본 발명의 명확한 이해를 제공하기 위하여 선택된 것이다. 어떠한 수의 디바이스도 동일한 웨이퍼를 이용하여 형성될 수 있으며, 그것은 예를들어 웨이퍼의 크기에 의존하는 것이다. 베이스 및 이미터 영역쌍(701 내지 708)은 적절한 저항성 콘택트를 가지고 제공될 수도 있다.

<229> 영역(711, 712, 713 및 714)을 포함하는 어떤 패턴된 절연층이 웨이퍼에 대하여 형성된다. 어떤 실시예에서, 이 절연층은 실리콘 나이트라이드(Si_3N_4)를 피착시킴으로써 형성된다. 절연층은 또한 기판(400) 표면에서 성장하거나 피착된 실리콘 다이옥사이드(SiO_2)로 부터 형성될 수도 있다. 절연층은 다른 재료 또는 그들의 결합을 포함할 수도 있다. 다음,절연층은 예로서 포토리소그래피 및 에칭기술을 이용하여 영역(711 내지 714) 내로 패턴된다.

<230> 제38도 및 제39도에 도시된 것처럼, 절연층은 베이스/이미터 영역쌍(701 내지 708)을 노출시키도록 패턴된다. 절연층(711)은 베이스/이미터 영역쌍(701, 702)을 노출시키도록 패턴된다. 절연층(712)은 베이스/이미터 영역쌍(703, 704)을 노출시키도록 패턴된다. 절연층(713)은 베이스/이미터 영역쌍(705, 706)을 노출시키도록 패턴된다. 절연층(714)은 베이스/이미터 영역쌍(707, 708)을 노출시키도록 패턴된다.

<231> 대체 실시예에서, 콘택트 영역 또는 본딩패드가 베이스/이미터 영역쌍(701 내지 708)과의 전기적 접속을 제공하기 위하여 기판(700)에 대하여 형성될 수도 있다. 절연 영역(711 내지 714)은 베이스/이미터 영역(701 내지 708)을 노출시키는 것에 대향하는 것으로서 콘택트 영역 내지 본딩패드를 노출시키도록 패턴될 수 있다.

<232> 제37도의 단계(600)에 있어서, 상호접속(721, 722, 723 및 724, 725, 726, 727 및 728)은 웨이퍼에 대하여 형성된다. 이것은 제40도 내지 제41도에 도시되어 있다. 제40도는 상호접속(721 내지 728)이 웨이퍼에 대하여 형성된 후 제38도의 웨이퍼의 평면도를 나타낸다. 제41도는 제40도의 웨이퍼의 측단면도를 나타낸다.

<233> 상호접속(721 내지 728)은 또한 상호접속층으로 불리운다. 마찬가지로 상호접속(722 내지 728)은 각각 브리지부(732, 733, 734, 735, 736, 737 및 738)를 포함한다. 브리지부(731 내지 738)는 각각 갭(741, 742, 743, 744, 745, 746, 747 및 748)을 포함한다.

<234> 다른 대체적 실시예에서, 브리지부(731 내지 738)은 갭(741 내지 748)을 포함하지 않고 오히려 각각 고체 브리지로 될 수도 있다.

<235> 상호접속(721, 722)은 베이스/이미터 영역쌍 (701, 702)과의 전기적 접속을 제공한다. 상호접속(723, 724)은 베이스/이미터 영역쌍 (703, 704)과의 전기적 접속을 제공한다. 상호접속(725, 726)은 베이스/이미터 영역쌍 (705, 706)과의 전기적 접속을 제공한다. 상호접속(727, 728)은 베이스/이미터 영역쌍(707, 708)과의 전기적 접속을 제공한다.

<236> 어떤 실시예에서, 상호 접속(721 내지 728)은 먼저 웨이퍼에 대하여 도선층을 형성하므로써 형성된다 예를들면 티타늄-텅스텐(Ti-W)이 웨이퍼에 대하여 스퍼터 피착될 수 있다. 이 Ti-W 층은 상호접속(721 내지 728)에 대한 확산장벽층을 제공하는 역할을 할 수 있다.

<237> 다른 확산 장벽재료로 사용될 수 있다. 그후 금(AU)이 Ti-W층에 걸쳐 스퍼터 피착된다. 이 금층은 금의 패턴도금을 예를들어 상호접속(721-728) 형성시에, 용이하게 하는 역할을 할 수 있다.

<238> 포토레지스트를 포함하는 패턴된 마스크층이 그후 웨이퍼에 걸쳐 형성될 수 있다.

<239> 이 패턴된 마스크층은 상호접속(721-728)을 형성하기 위해 Ti-W-Au 층에 걸쳐서, 예를들어 약 10 ㎛의 두께로 패턴도금 금(Au)에 사용된다. 이 패턴도금 프로세스 후에, 패턴된 마스크층이 제거된다. 웨이퍼의 표면상에서 노출된 Ti-W-Au층의 부분이, 상호접속(721-728)을 제40도 및 제41도에 나타낸 바와 같이 남겨둔채, 에칭된다. 결과로서의 상호접속(721-728)은 Ti-W 및 Au를 포함한다.

<240> 상호접속(721-728)은 마찬가지로 다른 도전재료를 포함할 수 있다. 예를들어, 알루미늄(Aℓ) 또는 구리(Cu)가 사용될 수 있다. 인듐티타늄산화물(ITO) 또는 금주석산화물(ATO)도 사용될 수 있다. 기타 금속 또는 금속을 포함하는 재료의 화합물도 사용될 수 있다 또한, 상호접속(721-728)은 임의의 적절한 기술을 사용하여 형성될 수 있다. 다른예로서, 상호접속(721-728)을 생성하기 위해 사용된 재료 또는 재료들로된 층이 웨이퍼에 걸쳐서 피착될 수 있으며 결과적으로 상호접속(721-728)을 생성하기 위해 패턴된다. 예를들어, 포토리소그래피 및 에칭기술이 상호접속(721-728)을 패턴시키기 위해 사용된다.

<241> 대안 실시예에서, 상호접속(721-728)은 형성되었을 때 전부 분리되지 않는다. 예를들어 상호접속(721 및 725)은 상호접속(721 및 725) 사이의 제40도의 최근접에지(749)에 결합된, 통합 상호접속 패턴으

로서 형성된다.

<242> 상호접속쌍(722/726, 723/727 및 724/728)이 이러한 방식으로 형성될 수 있다. 웨이퍼는 그후 결합된 상호접속쌍(721/725, 722/726, 723/727 및 724/728)이 분리될 수 있다.

<243> 제37도의 단계(605)에서, 그후 기판(700)으로부터 모트 또는 트렌치로부터 형성된다. 이들 트렌치를 형성시에, 임의의 적절한 프로세싱 기술이 사용될 수 있다. 일실시예에서, 마스크 층(750)이 먼저 형성되고 웨이퍼에 걸쳐서 패턴된다. 이것이 제42-43도에 도시되어 있다. 제42도는 마스크층(750)이 웨이퍼에 걸쳐서 형성된후의 제40도의 웨이퍼의 평면도이다. 제43도는 제42도의 웨이퍼의 횡단면도를 나타낸다.

<244> 마스크층(750)은 포토레지스트를 포함할 수 있다. 마스크층(750)은 또한 실리콘 질화물(Si_3N_4) 또는 실리콘 이산화물(SiO_2)도 포함할 수 있다. 마스크층(750)은 마찬가지로 다른 재료 또는 재료들의 화합물을 포함할 수 있다. 마스크층(750)은 포토리소그래피 기술을 사용하여 웨이퍼에 걸쳐서 피착된 후 패턴될 수 있다. 마스크층(750)을 형성하기 위해 다른 프로세스단계도 사용될 수 있다. 제42-43도에 도시된 바와 같이, 트렌치 영역(751, 752, 753 및 754)을 정의하기 위해 마스크층(750)이 패턴된다.

<245> 트렌치 영역(751)은 베이스/에미터 영역쌍(701-704)을 사용하여 생성되어질 두 트랜지스터를 가로지른다. 트렌치 영역(752)은 베이스/에미터 영역쌍(705-708)을 사용하여 사용하여 생성되어질 두 트랜지스터를 가로지른다. 트렌치 영역(751-752)은 서로 평행으로 뻗는다. 트렌치 영역(753-754)은 트렌치 영역(751-752) 사이에서 수직으로 뻗는다. 브리지부(731-734)는 트렌치 영역(751)에 걸쳐 교차한다. 갭(741-744)은 트렌칭 영역(751)위에 가로 놓인다. 브리지부(735-738)는 트렌치 영역(752)에 걸쳐 교차한다. 갭(745-748)은 트렌치 영역(752)위에 가로 놓인다.

<246> 트렌치(755, 756, 757 및 758)는 마스크층(750)에 의해 정의된 바와 같이 각각, 트렌치 영역(751-754)의 기판(700)으로부터 에칭된다. 마스크층(750)은 그후 웨이퍼로부터 제거된다. 제45도는 제44도의 웨이퍼의 횡단면도이다.

<247> 트렌치(755-758)를 에칭하는데 있어서, 임의의 적절한 에칭 기술 및 화학 기술이 사용될 수 있다. 마스크층(750)은 트렌치(755-758)를 에칭할 때 마스크로서의 역할을 하므로, 에칭기술 및 화학기술은 마스크층(750)을 위해 사용되는 재료에 대한 선택이 바람직하다. 에칭 기술 및 화학기술은 브리지부(731-738)가 이 에칭 프로세스에 영향을 받으므로 상호접속(721-728)을 위해 사용되는 재료에 대한 선택이 바람직하다.

<248> 브리지부(731-738)의 밑에 놓여 있는 트렌치 영역(751-752)에서 기판(700)의 재료는 트렌치(751-752)를 형성시에 제거된다. 게이트(741-748)는 에천트가 브리지부(731-738)를 통하여 흐르게 함으로써 트렌치(755-756)를 에칭함에 있어서 하부에 가로놓인 기판(700)의 제거를 용이하게 하는 역할을 한다.

<249> 대안 실시예에서, 브리지부(731-738)는 상기한 바와 같이 갭(741-748)이 없는 솔리드 브리지일 수 있다. 브리지부(731-738)는 폭이 더욱 얇을 것을 필요로 하지만 이 대안 실시예에서 하부에 가로놓인 기판(700)이 트렌치(755-756)를 형성할 때 브리지부(731-738) 밑에서 제거되는 것을 보장하기 위해 폭이 더욱 얇을 것을 필요로 한다.

<250> 트렌치(755-756)의 형성은 기판(700)과 상호접속(721-728)간에 단락을 야기시키지 않는다. 즉, 절연영역(711-714)은 트렌치(755-756) 형성후에 상호접속(721-728)이 기판(700)을 접속하는 것을 보호한다. 절연영역(711)은 상호접속(721-722)이 기판(700)을 접촉하는 것을 보호한다. 절연영역(712)은 상호접속(723-724)이 기판(700)을 접촉하는 것을 보호한다. 절연영역(713)은 상호접속(725-726)이 기판(700)을 접촉하는 것을 보호한다. 절연영역(714)은 상호접속(727-728)이 기판(700)을 접촉하는 것을 보호한다. 이것은 상호접속(724 및 728)이 트렌치(755-756) 형성후에 각각 기판(700)을 접촉하는 것을 절연영역(712 및 714)이 보호하는 제45도에 도시되어 있다. 여기서, 트렌치(755)는 절연영역(712)의 에지의 아래를 언더컷팅함으로써 부분적으로 형성된다.

<251> 마찬가지로, 트렌치(756)는 절연영역(714)의 아래를 언더컷팅함으로써 부분적으로 형성된다. 트렌치(755-756)는 절연영역(711 및 713)에 대해서도 마찬가지로 형성된다.

<252> 트렌치(755-758)가 형성된 후에 마스크층(750)이 제44도-45도에 도시된 바와 같이 웨이퍼의 바닥면으로부터 제거된다. 마스크층(750)을 제거하기 위해 임의의 적절한 기술이 본 발명에 사용될 수 있다.

<253> 대안 실시예에서, 절연영역(711-714)을 포함하는 절연층이 트렌치 영역(751-754)을 정의할 뿐만 아니라 베이스/에미터 영역쌍(701-708) 노출시키기 위해 패턴된다. 이 실시예는 다이오드 모듈에 대해 상기한 절연층의 사용과 마찬가지이다. 이 절연층이 트렌치(755-758)를 에칭함에 있어서 마스크로서 사용될 수 있으므로 마스크층(750)은 필요하지 않을 수 있다. 트렌치(755-758)는 이 마스크를 사용하여 적절한 에칭기술 및 화학기술로 에칭될 수 있다.

<254> 트렌치(755-758)는 본질적으로 웨이퍼로부터 생성되어질 각각의 트랜지스터를 위한 반도체의 최상부측 분리를 제공하며, 웨이퍼로부터 제조될 각각의 트랜지스터를 위한 에미터 반도체 포스트 영역, 베이스 반도체 포스트 영역 및 디바이스 반도체 영역을 제공한다. 각각의 트랜지스터 모듈을 위한 이러한 반도체 분리는 아래에서 더욱 상세히 설명될 것이다.

<255> 제37도의 단계(610)에 대해, 상부 가로놓임층(760)이 제46-47도에 도시된 바와 같이 웨이퍼에 걸쳐서 형성된다. 제46도는 상부 가로놓임층(760)이 웨이퍼에 걸쳐 형성된 후의 제44도의 웨이퍼의 평면도를 나타낸다. 제47도는 제46도의 횡단면도를 나타낸다.

<256> 상부 가로놓임층(760) 웨이퍼의 전체 표면을 실질적으로 캡슐화하여 트렌치(755-758)를 충전한다. 일실시예에 대해, 상부 가로놓임층(760)은 웨이퍼에 걸쳐서 원심분리된 에폭시를 포함한다. 여기서 에폭시를 스핀온시키기 위해 제어된 진공환경도 사용될 수 있다. 대안 실시예에 대해 상부 가로놓임층(760)은 실리콘 이산화물(SiO_2), 실리콘 질화물(Si_3N_4), 플라스틱, 테프론, 폴리이미드 또는 유리를 포

함할 수 있다. 상부 가로놓임층(760)은 다른 유전체 또는 절연재료 또는 재료들의 화합물을 사용하여 형성될 수 있으며, 임의의 적절한 기술을 사용하여 형성될 수 있다.

<257> 상부 가로놓임층(760)은 웨이퍼로부터 형성된 각각의 트랜지스터 디바이스를 보호 하는 역할을 할 수 있다. 상부 가로놓임층(760)은 패시베이션층으로서의 역할을 한다. 상부 가로놓임층(760)은 웨이퍼로부터 형성된 각각의 트랜지스터 디바이스를 함께 역학적으로 유지하는 역할도 한다.

<258> 상부 가로놓임층(760)은 예을들면 실리콘, 폴리실리콘, 비정질 실리콘, 플라스틱, 유리, 에폭시, 알루미나 또는 다이아몬드를 포함한 선택캡층을 포함할 수 있다. 기타재료 또는 재료의 화합물도 사용될 수 있다. 이 선택적 캡층은 웨이퍼로부터 생성된 각각의 트랜지스터 디바이스를 더욱 견고하게 튼튼하게 하는 역할을 한다. 이 선택적 캡층은 또한 웨이퍼로부터 제조된 각각의 디바이스에 대한 열도관으로서의 역할도 할 수 있다. 제37도의 단계(615)에 대해 웨이퍼의 후면 또는 바닥면은 제47도에 도시된 웨이퍼에 비해 제48도에 도시된 바와 같이 더욱 얇게 된다. 제48도는 웨이퍼의 바닥면이 얇게 되어진 후 제47도의 웨이퍼의 횡단면도를 나타내는 도이다. 제49도는 제48도의 웨이퍼의 평면도이다.

<259> 기판(700)의 바닥면은 임의의 적절한 기술을 사용하여 얇게 될 수 있다. 기판(700)의 바닥면은 모래분사로 갈아질 수 있다. 기판(70)의 바닥면은 또한 적절한 에칭기술 및 화학기술을 사용하여 에칭될 수도 있으며 또는 연마함으로써 더욱 얇게 될 수 있다. 베이스/에미터 영역쌍 밑의 기판(700)의 바닥면은 적절한 오믹콘택트가 구비될 수 있다.

<260> 제37도의 단계(620)에 대해, 제재 및 에칭 프로세스가 웨이퍼의 바닥면을 패턴시키기 위해 사용된다. 이 단계의 일실시예가 제50도 내지 제55도에 도시되어 있다. 먼저 패턴된 마스크층(762)이 웨이퍼의 바닥면에 걸쳐 형성된다. 이것이 제50도 및 제51도에 도시되어 있다. 제50도는 마스크층(762)이 웨이퍼의 바닥면에 걸쳐서 형성된 후의 제48도의 웨이퍼의 횡단면도를 나타낸다. 제51도는 제50도의 웨이퍼의 바닥면을 나타낸다. 마스크층(762)은 예를들면 스핀 온된 포토레지스트를 포함할 수 있다. 다른 감광재료를 포함하는 적절한 마스크재료도 사용될 수 있고 임의의 적절한 기술을 사용하여 웨이퍼의 바닥면에 걸쳐 형성될 수 있다.

<261> 제50도 및 제51도에 나타난 바와같이 웨이퍼가 후에 분리되어질 장소를 정의하는 화살표로 표시한 영역(763, 765 및 767)을 정의하기 위해 패턴된다. 마스크층(762)은 또한 바닥면 트렌치영역(764, 766, 768 및 769)을 정의하기 위해서도 패턴된다. 바닥면 트렌치 영역(764, 766, 768 및 769)은 기판(700)에 형성된 트렌치(755-758) 밑에 위치된다. 마스크층(762)은 임의의 적절한 패터닝 기술을 사용하여 패턴될 수 있다. 예를 들어, 마스크층(762)은 포토리소그래피기술을 이용하여 패턴될 수 있다.

<262> 웨이퍼의 바닥면은 그후 피트(771, 773 및 775)를 생성하기 위해 영역(763, 765 및 767)을 따라 절단된다. 이것이 제52도 및 제53도에 나타나 있다. 제52도는 웨이퍼의 바닥면이 절단된 후의 제50도의 웨이퍼의 횡단면도를 나타낸다. 제53도는 제52도의 웨이퍼의 저면도를 나타낸다.

<263> 일 실시예에 대해, 웨이퍼의 바닥면은 피트(771, 773 및 775)를 생성하기 위해 마스크 층(762)에 의해 정의된 바와 같은 화살표로 표시한 영역(763, 765 및 767)을 사용하여 제재될 수 있다. 다른 실시예에서, 마스크층(762)은 트렌치 영역(764, 766, 768)만을 정의하기 위해 패턴될 수 있다. 즉, 이 다른 실시예의 마스크층(762)은 영역(763, 765 및 767)을 정의하기 위해 초기에 패턴되지 않는다. 그후, 피트(771, 773 및 775)를 생성하기 위해 웨이퍼의 바닥면의 제재은 제52도 및 제53도에 도시된 바와 같은 화살표로 표시한 영역을 정의하기 위해 마스크층(762)을 패턴시키는 역할을 한다.

<264> 웨이퍼는 여기저, 제52도 및 제53도에 도시된 바와 같이 피트(771, 773 및 775)를 생성하기 위해 웨이퍼의 바닥면 절단시에 완전히 분리되지 않는다. 각각의 피트(771, 773 및 775)는 폭이 거의 2-3밀이다. 피트(771, 773 및 775)는 다른 폭을 가질수도 있다. 바람직하게 피트(771, 773 및 775)는 기판(700)의 최상부면과 피트(773)의 최상부간의 거리(상기 거리는 거리(774)로서 제52도에 도시된 거리)가 예를들어, 기판(700)의 최하부와 트렌치(755)의 최하부간의 거리(거리(722)로서 제52도에 도시된)와 실질적으로 같도록 제재된다. 이것은 영역(763,765 및 767)으로부터 그리고 바닥면 트렌치영역(764, 766, 768 및 769)으로부터 에칭되어질 기판(700)의 깊이가 거의 같게 됨에 따라 트렌치의 그후의 에칭을 용이하게 하는 역할을 할 수 있다.

<265> 피트(771, 773 및 775)의 생성후에, 기판(700)은 트렌치(776, 777, 778, 779, 780, 781 및 782)를 생성하기 위해 마스크층(762)에 의해 정의된 바와 같이 바닥면 트렌치 영역(764, 766, 768 및 769)과 영역(763, 765 및 767)에서 웨이퍼 바닥면으로부터 에칭된다. 이것이 제54도 및 제55도에 나타나 있다. 제54도는 웨이퍼의 기판의 바닥면의 에칭되어진 후 그리고 바닥면 마스크층(762)이 제거된 후의 제52도의 웨이퍼의 횡단면도를 나타내는 도면이다. 제55도는 제54도의 웨이퍼의 바닥면을 나타내는 도이다.

<266> 임의의 적절한 에칭 기술 및 화학기술이 트렌치(776-782)를 생성하기 위해 사용될 수 있다.

<267> 트렌치(776-782)는 기판(700)을 분리시키는 역할을 한다. 제54도 및 제55도에 도시된 바와 같이, 트렌치(777-782)는 기판(700)을 기판영역(783, 784, 785, 786, 787, 788, 789 및 790)으로 분리하는 역할을 한다.

<268> 트렌치(776-782)가 형성된 후에 마스크층(762)이 제54도 및 제55도에 도시된 바와 같이 웨이퍼의 바닥면으로부터 제거된다. 마스크층(762)을 제거하기 위해 임의의 적절한 기술이 사용될 수 있다.

<269> 각각의 상호접속(721-728)의 부분이 이 에칭후에 영역(765)을 따라 트렌치(778)에 노출된다. 이것이 제54도 및 제55도에 도시되어 있다. 바닥면 트렌치(776-782)는 제54도 및 제55도에 도시된 바와 같이 상부 가로놓임층(760)을 노출시킨다. 따라서 트렌치(777-779 및 781-782)는 웨이퍼로부터 생성되어질 각각의 트랜지스터 모듈을 위해 반도체의 최하부면 분리를 제공한다. 트렌치(755-758)에 의한 반도체의 최상부면 분리와 연결하여 각각의 트랜지스터 모듈을 위한 디바이스 반도체 영역, 베이스 반도체 포스트 영역 및 에미터 반도체 포스트 영역의 완전한 분리가 형성된다.

<270> 대안 실시예에 대해, 상기한 반도체 분리를 제공하기 위해 바닥면 트렌치(776-782)만이

사용된다. 즉, 트렌치(755-758)는 전혀 형성되지 않는다. 반면에 단지 하부면 트렌치(776-782)만이 기판의 전체 두께를 통하여 기판재료를 제거하고, 각각의 바닥면 트렌치를 위해 상부 가로놓임층(760)을 노출시킴으로써 형성된다. 그러나, 이 대안 실시예에 대해, 상호접속(721-728)의 브리지부가 트렌치 영역(764, 766, 768 및 769)에서 웨이퍼의 바닥면에 노출된다. 상부 가로놓임층(760)이 상호접속(721-728)을 보호하기 위해 상호접속(721-728)을 완전히 캡슐화할 수 없으므로 본 실시예에 대해 상호접속(721-728)의 형성에 있어서 내부식성 재료가 사용되는 것이 바람직하다.

<271> 제37도의 단계(625)에 대해, 웨이퍼로부터 형성되어질 각각의 트랜지스터 모듈을 위해 콘택트 영역을 제공하기 위해 웨이퍼의 바닥면에 걸쳐 형성된다. 이 단계의 일실시예가 제56도 내지 제61도에 도시되어 있다. 이 실시예에 대해 먼저 콘택트층(791)이 웨이퍼의 바닥면에 걸쳐 형성된다. 제56도는 콘택트층(791)이 웨이퍼의 바닥면에 걸쳐 형성된 후 제54도의 웨이퍼의 횡단면을 나타내는 도이다. 제57도는 제56도의 웨이퍼의 바닥면을 나타낸다.

<272> 여기서, 티타늄-텅스텐(Ti-W)이 웨이퍼에 걸쳐 스퍼터 피착할 수 있다. 이 Ti-W 층은 패턴된 콘택트층에 대해 확산 장벽층을 제공하는 역할을 한다. 따라서 니켈(Ni)이 웨이퍼의 바닥면에 걸쳐서 스퍼터 피착될 수 있다. Ni은 솔더링에 적절하기 때문에 바람직하다. 이 Ni 콘택트층은 후속하여 예를들면 금으로 된 박층으로 피복될 수 있다. 이러한 피복은 Ni의 솔더링 성능을 열화시키지 않고 콘택트층의 산화 및 부식을 방지 하는 역할을 한다. 다른 실시예에 대해, Ni 대신에 금(Au)이 웨이퍼의 바닥면에 걸쳐 형성될 수 있다. 임의의 적절한 도전재료 또는 이 재료의 화합물이 콘택트층(791)을 형성하기 위해 사용될 수 있다. 더우기, 임의의 적절한 기술이 콘택트층(791)을 형성하기 위해 사용될 수 있다.

<273> 콘택트층(791)은 웨이퍼의 바닥면의 윤곽과 일치한다. 특히, 콘택트층(791)은 제56도 및 제57도에 도시된 바와 같이, 바닥면 트렌치(776, 778 및 780)의 측부 및 최하부를 따라 형성된다. 일 실시예에 대해, 먼저 콘택트층(791)의 일부분은 콘택트 층(791)이 웨이퍼의 바닥면을 따라 형성되었을 때 바닥면 트렌치(778)에 노출된 상호접속(721-728)의 일부분과 내구성있고 신뢰성있는 표면 대 표면 본딩을 형성한다. 트렌치(778)에서 노출된 상호접속(721-728)을 위해 사용되는 재료는 상호접속(721-728)과 접촉하게 되는 콘택트층(791)에 사용되는 재료와 바람직하게 동일하다.

<274> 일 실시예에서, 티타늄-텅스텐(Ti-W)이 제1 상호접속층 및 제1 콘택트 층으로서 사용된다. 결과적으로, 내구성있고 신뢰성있는 금속간 표면 대 표면 본딩이 본 실시예에서 형성된다. 다른 실시예에서, Ti-W 대신에 다른 재료가 상호접속(721-728)과 콘택트층(791) 사이에 본딩을 형성하는데 사용될 수 있다. 동일 재료의 사용은 트렌치(778)에서 콘택트층(791)과 상호접속(721-728) 사이에 내구성있고 신뢰성있는 접합의 형성을 용이하게 할 수 있다. 또다른 실시예에서, 상호접속(721-728)과 콘택트층(791)을 접합시키기 위해 사용되는 재료는 상이할 수 있다.

<275> 패턴된 마스크층(792)은 그후, 제58도 및 제59도에 도시된 바와 같이 웨이퍼의 바닥면에 걸쳐서 형성된다. 제58도는 마스크 층(792)이 웨이퍼의 바닥면에 걸쳐서 형성된 후의 제56도의 웨이퍼의 횡단면을 나타낸다. 제59도는 제58도의 웨이퍼의 바닥면을 도시한다.

<276> 마스크층(792)은 포토레지스트를 포함할 수 있다. 마스크층(792)은 다른 적절한 재료 또는 재료의 화합물을 마찬가지로 포함할 수 있다. 마스크층(792)은 포토리소그래피 기술을 사용하여 웨이퍼에 걸쳐 피착된 후 패턴될 수 있다. 다른 프로세스 단계도 마스크층(792)을 형성하기 위해 사용될 수 있다. 마스크층(792)은 트렌치(777, 779, 781 및 782)가 각각 형성된 후 바닥면 트렌치 영역(764, 766, 768 및 769)을 정의하기 위해 패턴된다.

<277> 콘택트층(791)은 그후 마스크로서 마스크 층(792)을 사용하여 콘택트 영역(793, 794, 795, 796 및 797)으로 패턴된다. 이것이 제60도 및 제61도에 나타나 있다. 제60도는 콘택트층(791)이 패턴되어진 후 그리고 마스크층(792)이 제거된 후의 웨이퍼의 횡단면을 도시한다. 제61도는 제60도의 웨이퍼의 바닥면을 나타낸다.

<278> 콘택트층(791)은 마스크층(792)에 의해 정의된 바와 같이 바닥면 트렌치 영역(764, 766, 768 및 769)으로부터 에칭된다. 즉, 콘택트층(791)은 콘택트 영역(793-797)을 생성하기 위해 바닥면 트렌치(777, 779, 781 및 782)로부터 에칭된다. 임의의 적절한 에칭 기술 및 화학기술이 사용될 수 있다. 마스크층(792)은 그후 임의의 적절한 기술을 사용하여 제거될 수 있다. 콘택트 영역(793-797)은 마찬가지로 다른 도전재료를 포함할 수 있다. 예를들어, 알루미늄(Aℓ) 또는 구리(Cu)가 사용될 수 있다. 인듐 티타늄 산화물(ITO) 또는 금주석 산화물(ATO)도 사용될 수 있다. 다른 금속 또는 금속을 포함하는 재료의 화합물도 사용될 수 있다. 더우기, 콘택트 영역(793-797)이 임의의 적절한 기술을 사용하여 형성될 수 있다. 예를들어, 콘택트 영역(793-797)이 웨이퍼의 바닥면에 걸쳐 패턴 도금될 수 있다.

<279> 제37도의 단계(630)에 대해, 제62도 및 제63도에 도시된 바와 같이 웨이퍼는 트랜지스터 모듈로 분리된다. 제62도는 웨이퍼가 트랜지스터 모듈로 분리된 후의 제60도의 웨이퍼의 횡단면을 도시한다. 제63도는 제62도의 웨이퍼의 바닥면을 도시한다.

<280> 예를들어, 웨이퍼를 제재함으로써 분리될 수 있다. 제재컷트는 폭이 거의 1밀이다. 제재컷트는 상이한 폭을 가질 수 있다. 웨이퍼를 분리하기 위해 다른 기술이 사용될 수도 있으며, 예를들면 레이저 스크라이브를 포함한다.

<281> 웨이퍼는 예를들어 트렌치(778)를 통하여 분리된다. 콘택트 영역(794-796)과 본딩된 상호접속(721-728)은 제62도 및 제63도에 도시된 바와 같이 랩-어라운드 플랜지 인터페이스 콘택트 영역을 형성한다. 본딩된 콘택트 영역(794-796)은 웨이퍼를 분리함으로써 분리된다. 제62도 및 제63도에 사용된 부재번호는 제34도 내지 제36도에 사용된 부재 번호에 대응한다.

<282> 트랜지스터 모듈을 제조하는 다른 실시예에 대해 대안 제재 및 에칭 프로세스가 제37도의 단계(620)에 대해 웨이퍼의 바닥면을 에칭하는데 사용된다. 본 실시예는 제64도 내지 제71도에 예시되어 있다. 상기한 제38도 내지 제63도를 이용하는 제37도의 방법의 예시에 있어서, 제50도 내지 제53도는 제64도 내지 제71도에 의해 대치된다.

<283> 이 대안 실시예에 대해, 마스크층(761)이 우선 제48도 및 제49도의 웨이퍼의 바닥면에 걸쳐 형성된다. 이것이 제64도 및 제65도에 예시되어 있다. 제64도는 마스크층(761)이 웨이퍼의 바닥면에 걸쳐 형성된 후 제48도의 웨이퍼의 횡단면을 도시한다. 제65도는 제64도의 웨이퍼의 저면도를 도시한다.

<284> 마스크층(761)은 스핀 온된 포토레지스트를 포함할 수 있다. 기타 감광재료를 포함하는 다른 적절한 마스크 재료가 사용될 수 있으며 임의의 적절한 기술을 사용하여 웨이퍼의 바닥면에 걸쳐 형성될 수 있다.

<285> 제64도 및 제65도에 도시된 바와 같이, 마스크층(761)은 나중에 웨이퍼가 분리되어질 장소를 정의하는 영역(763, 765 및 767)을 정의하기 위해 패턴된다. 마스크층(761)은 임의의 적절한 패터닝 기술을 사용하여 패턴될 수 있다. 예를들어, 마스크층(761)은 포토리소그래피 기술을 사용하여 패턴될 수 있다.

<286> 웨이퍼의 바닥면은 피트(771, 773 및 775)를 형성하기 위해 영역(763, 765 및 767)을 따라 제재된다. 이것이 제76도 및 제77도에 도시되어 있다, 제66도는 웨이퍼의 바닥면이 제재된 후 제64도의 웨이퍼의 횡단면을 도시한다. 제67도는 제66도의 웨이퍼의 바닥면을 나타낸다.

<287> 일실시예에 대해, 피트(771, 773 및 775)를 생성하기 위해 마스크층(761)에 의해 정의된 바와 같은 영역(763, 765, 767)만큼 사용하여 웨이퍼의 바닥면이 제재될 수 있다. 다른 실시예에 대해 마스크층(761)은 영역(763, 765 및 767)을 정의하기 위해 초기에 패턴되지 않을 수 있다. 피트(771, 773 및 775)를 생성하기 위한 웨이퍼의 바닥면에 대한 제재은 제66도 및 제67도에 도시된 바와 같이, 영역(763, 765 및 767)을 정의하기 위해 패턴 마스크층(761)에 도움이 된다.

<288> 웨이퍼는 제66도 및 제67도에 나타낸 바와 같이 피트(771, 773 및 775)를 형성하기 위해 웨이퍼의 바닥면 제재으로 완전히 분리되지 않는다. 피트(771, 773 및 775)의 각각은 폭이 악 2 내지 3밀이다. 피트(771, 773 및 775)는 상이한 폭을 가질 수도 있다.

<289> 피트(771, 773 및 775) 생성 후에, 기판(700)은 트렌치(776, 778 및 780)를 생성하기 위해 마스크층(761)에 의해 정의된 바와 같이 영역(763, 765 및 767)의 바닥면으로부터 에칭된다. 그후 마스크층(761)이 제거된다. 이것이 제68도 및 제69도에 도시되어 있다. 제68도는 웨이퍼의 기판의 바닥면이 에칭된 후 그리고 바닥면 마스크층(761)이 제거된 후의 제66도의 웨이퍼의 횡단면을 나타낸다. 제69도는 제68도의 웨이퍼의 저면도이다.

<290> 임의의 적절한 에칭 기술 및 화학기술이 트렌치(776, 778 및 780)를 생성하기 위해 사용될 수 있다. 트렌치(776, 778 및 780)는 기판(700)을 분리시키는 역할을 한다.

<291> 트렌치(776, 778 및 780)가 형성된 후, 마스크층(761)은 제68도 및 제69도에 도시된 바와 같이 웨이퍼의 바닥면으로부터 제거된다. 임의의 적절한 기술이 마스크층(761)을 제거하기 위해 사용될 수 있다.

<292> 각각의 상호접속(721-728)의 부분은 이러한 에칭후에 영역(765)을 따라 트렌치(778)에 노출되게 된다. 이것은 제68도 및 제69에 도시되어 있다. 바닥면 트렌치(776, 778 및 780)는 제68도 및 제69도에 도시된 바와 같이, 상부 가로놓임층(760)을 노출시킨다.

<293> 그후 마스크층(759)이 웨이퍼의 바닥면에 걸쳐 형성된다. 이것이 제70도 및 제71도에 도시되어 있다. 제70도는 마스크층(759)이 웨이퍼의 바닥면에 걸쳐 형성된 후의 제68도의 웨이퍼의 횡단면을 나타낸다. 제71도는 제70도의 바닥면을 나타낸다.

<294> 마스크층(759)은 예를들면 스핀 온된 포토레지스트를 포함할 수 있다. 기타 감광재료를 포함하는 그밖의 적절한 마스크 재료가 사용될 수 있으며 적절한 기술을 사용하여 웨이퍼의 바닥면에 걸쳐 형성된다. 제70도 및 제71도에 도시된 바와 같이, 마스크층(759)이 바닥면 트렌치 영역(764, 766, 768 및 769)을 정의하기 위해 패턴된다. 바닥면 트렌치 영역(764, 766, 768 및 769)은 기판(700)에 형성된 트렌치(755-758) 아래에 위치 한다. 마스크층은 임의의 적절한 패터닝 기술을 사용하여 패턴될 수 있다. 예를들어, 마스크층(759)은 포토리소그래피 기술을 사용하여 패턴될 수 있다. 기판(700)은 그후 트렌치(777, 779, 781 및 782)를 생성하기 위해 마스크층(759)에 의해 정의된 바와 같이 바닥면 트렌치 영역(764, 766, 768 및 769)에서 웨이퍼의 바닥면으로부터 에칭된다. 이것이 제54도 및 제55도에 도시되어 있다. 이 실시예에 대한 제54도는 웨이퍼의 기판의 바닥면이 에칭된 후 그리고 바닥면 마스크층(759)이 제거된 후의 제70도의 웨이퍼의 횡단면을 도시한다. 제55도는 제54도의 웨이퍼의 저면도이다. 임의의 적절한 에칭 기술 및 화학기술이 트렌치(777, 779, 781 및 783)를 생성하기 위해 사용될 수 있다. 제54도 및 제55도에 나타난 바와 같이, 트렌치(777-782)는 기판(700)을 기판영역(783, 784, 785, 786, 787, 788, 789 및 789)으로 분리하는 역할을 한다.

<295> 트렌치가 형성된 후, 제54도 및 제55도에 도시된 바와 같이, 마스크층(759)이 웨이퍼의 바닥면으로부터 제거된다. 임의의 적절한 기술이 마스크층(759)을 제거하기 위해 사용될 수 있다.

<296> 각각의 상호접속(721-728)의 부분은 영역(765)을 따라 트렌치(778)에서 노출된다. 바닥면 트렌치(776-782)는 제54도 및 제55도에 도시된 바와 같이, 상부 가로놓임층(760)을 노출시킨다.

<297> 이 실시예에 대해, 상기한 바와 같이, 제37도의 방법이 단계(625)로 계속된다.

<298> 그밖의 다른 실시예에 대해, 단계(620)의 제재 및 에칭 프로세스가 다른 패터닝 프로세스로 대체될 수 있다. 예를들어, 단순한 에칭 기술이 사용될 수 잇다. 마스크층은 제48도의 웨이퍼의 바닥면에 걸쳐 형성될 수 있고, 영역(763, 765 및 767)을 정의하고 바닥면 트렌치 영역(764, 766, 768 및 769)을 정의하기 위해 예를들어 포토리소그래피 기술을 사용하여 패턴될 수 있다. 기판(700)은 그후 마스크로서 마스크층을 사용하여 바닥면 트렌치(776-782)를 생성하기 위해 임의의 적절한 에칭 기술 및 화학기술을 이용하여 에칭된다. 결과로 되는 웨이퍼는 제54도 및 제55도와 같이 나타날 것이다.

<299> 다른 실시예에서와 같이, 마스크층이 영역(763, 765 및 767)을 정의하기 위해 패턴될 수 있다. 트렌치(776, 778 및 780)는 따라서 이 마스크를 사용하여 웨이퍼의 바닥면으로 부터 에칭될 수 있다. 또

다른 마스크층이 바닥면 트렌치 영역(764, 766, 768및 769)을 정의하기 위해 패턴될 수 있다. 트렌치(777, 779 및 781-782)는 이 마스크를 사용하여 웨이퍼의 바닥면으로부터 에칭될 수 있다. 결과로 되는 웨이퍼는 제54도 및 제54도에 도시된 바와 같이 된다.

<300> 제37도의 방법은 상이한 구조의 트랜지스터 모듈을 제공하기 위해 마찬가지로 사용될 수 있다. 예를들어, 제37도의 방법은 제72도 내지 제86도에 도시된 트랜지스터 모듈을 형성하기 위해 마찬가지로 사용될 수 있다.

<301> 제72도는 또다른 트랜지스터 모듈의 사시도를 나타낸다. 제72도의 트랜지스터 모듈은 디바이스 반도체 영역(801), 베이스 및 에미터 반도체 포스트 영역(802-803) 및 상호접속층(80-84)을 포함한다. 상호접속층(804-805)은 반도체 포스트 영역(802-803)에 웰에 형성된다.

<302> 제73도는 상부 가로놓임층(806)을 갖춘 제72도의 트랜지스터 모듈의 사시도를 나타낸다.

<303> 제72도 및 제73도의 트랜지스터 모듈은 랩-어라운드 플랜지 인터페이스 콘택트 영역이 없이 형성된다. 베이스, 콜렉터 및 에미터 콘택트 영역을 제공하기 위해 반도체 영역(801-803)의 바닥면에 걸쳐 형성된다. 이러한 콘택트 영역은 반도체 영역(801-803)의 측벽을 따라서도 뻗을 수 있다.

<304> 제74도는 전계 효과 트랜지스터 모듈의 뒤집은 사시도를 나타낸다. 이 전계 효과 트랜지스터 모듈은 예를들어, J-FET 또는 MOSFET 트랜지스터를 포함할 수 있다. 이 전계 효과 트랜지스터 모듈은 상부 가로놓임층(807), 소스 반도체 포스트 영역(808), 게이트 반도체 포스트 영역(809), 드레인 반도체 포스트 영역(810) 및 디바이스 반도체 영역(811)을 포함한다.

<305> 제74도의 트랜지스터 모듈은 반도체 영역(808-811)의 바닥면에 걸쳐 형성된 적절한 콘택트 영역도 포함할 수 있다. 이러한 콘택트 영역은 또한 반도체 영역(808-811)의 측벽을 따라 뻗도록 형성된다. 랩-어라운드 플랜지 인터페이스 콘택트 영역은 반도체 영역(808-811)에 걸쳐 형성될 수 있다.

<306> 제75도 내지 제80도는 그밖의 다양한 트랜지스터 모듈의 저면도이다. 제75도의 트랜지스터 모듈은 상부 가로놓임층(812), 에미터 콘택트 영역(813), 콜렉터 콘택트 영역(814) 및 베이스 콘택트 영역(815)을 포함한다. 콘택트 영역(813-815)은 각각 제75도에 도시된 바와 같은 트랜지스터 모듈의 동일 측면상에 노출된 플랜지 인터페이스를 갖는 랩-어라운드 콘택트 영역을 포함한다.

<307> 제76도의 트랜지스터 모듈은 상부 가로놓임층(816), 에미터 콘택트 영역(817), 콜렉터 콘택트 영역(818) 및 베이스 콘택트 영역(819)을 포함한다. 콘택트 영역(817-819)은 각각 제76도에 도시된 바와 같이 트랜지스터 모듈의 대향측상에 노출된 플랜지 인터페이스를 갖는 랩-어라운드 콘택트 영역을 포함한다.

<308> 제77도의 트랜지스터 모듈은 상부 가로놓임층(820), 에미터 콘택트 영역(821), 콜렉터 콘택트 영역(822) 및 베이스 콘택트 영역(823)을 포함한다. 콘택트 영역(821 및 823)은 각각 제77도에 도시된 바와 같이 트랜지스터 모듈의 동일측상에 형성된 플랜지 인터페이스를 갖는 랩-어라운드 콘택트 영역을 포함한다.

<309> 콘택트 영역(822)은 제77도에 도시된 바와 같이, 트랜지스터 모듈의 대향측상에 형성된 플랜지 인터페이스를 갖는 랩-어라운드 콘택트 영역을 포함할 수 있다.

<310> 제78도의 트랜지스터 모듈은 상부 가로놓임층(824), 에미터 콘택트 영역(825), 콜렉터 콘택트 영역(826) 및 베이스 콘택트 영역(827)을 포함한다. 콘택트 영역(825 및 827)은 제78도에 도시된 바와 같이 트랜지스터 모듈의 대향측상에 형성된 플랜지 인터페이스를 갖는 랩-어라운드 콘택트 영역을 포함할 수 있다. 콘택트 영역(826)은 제78도에 도시된 바와같이 트랜지스터 모듈의 제3 측상에 형성된 플랜지 인터페이스를 갖는 랩-어라운드 콘택트 영역을 포함한다.

<311> 제78도의 트랜지스터 모듈은 상부 가로놓임층(828), 에미터 콘택트 영역(829), 콜렉터 콘택트 영역(830) 및 베이스 콘택트 영역(831)을 포함한다. 콘택트 영역(829 및 831)은 제79도에 도시된 바와 같이 트랜지스터 모듈의 대향측상에 형성된 플랜지 인터페이스를 갖는 랩-어라운드 콘택트 영역을 포함할 수 있다. 콘택트 영역(830)은 제79도에 도시된 바와같이 트랜지스터 모듈의 대향측상에 형성된 플랜지 인터페이스를 갖는 랩-어라운드 콘택트 영역을 포함한다.

<312> 제80도의 트랜지스터 모듈은 상부 가로놓임층(832), 에미터 콘택트 영역(833), 콜렉터 콘택트 영역(834) 및 베이스 콘렉트 영역(835)을 포함한다. 콘택트 영역(833 및 834)은 제80도에 도시된 바와 같이 트랜지스터 모듈의 두측상에 형성된 플랜지 인터페이스를 갖는 랩-어라운드 콘택트 영역을 포함할 수 있다. 콘택트 영역(834)은 제80도에 도시된 바와같이 트랜지스터 모듈의 일측상에 형성된 플랜지 인터페이스를 갖는 랩-어라운드 콘택트 영역을 포함한다.

<313> 제81도는 듀얼 트랜지스터 모듈의 저면도를 나타낸다. 이 듀얼 트랜지스터 모듈은 상부 가로놓임층(836), 에미터 콘택트 영역(837 및 842), 콜렉터 콘택트 영역(838 및 841) 및 베이스 콘택트 영역(839 및 840)을 포함한다. 각각의 콘택트 영역(837-842)은 듀얼 트랜지스터 모듈의 일측상에 형성된 플랜지 인터페이스를 갖는 랩-어라운드 콘택트 영역을 포함한다. 제81도의 듀얼 트랜지스터 모듈의 각각의 트랜지스터의 구성은 단일 트랜지스터 모듈을 위해서 사용될 수 있다.

<314> 제82도는 듀얼 트랜지스터 모듈의 저면도를 나타낸다. 이 듀얼 트랜지스터 모듈은 상부 가로놓임층(843), 에미터 콘택트 영역(844 및 849), 콜렉터 콘택트 영역(845 및 848) 및 베이스 콘택트 영역(846 및 847)을 포함한다. 각각의 콘택트 영역(844, 846-847 및 849)은 듀얼 트랜지스터 모듈의 이측상에 형성된 플랜지 인터페이스를 갖는 랩-어라운드 콘택트 영역을 포함한다. 콘택트 영역(845 및 848)은 각각 듀얼 트랜지스터 모듈의 일측상에 형성된 플랜지 인터페이스를 갖는 랩-어라운드 콘택트 영역을 포함한다. 제82도의 듀얼 트랜지스터 모듈의 각각의 트랜지스터의 구성은 단일 트랜지스터 모듈을 위해서 사용될 수 있다.

<315> 제83도는 다른 트랜지스터 모듈의 저면도를 도시한다. 제83도의 트랜지스터 모듈은 상부 가로놓

임층(850), 에미터 콘택트 영역(851), 콜렉터 콘택트 영역(852) 및 베이스 콘택트 영역(853)을 포함한다. 콘택트 영역(851-853)은 각각 제83도에 도시된 바와 같이 트랜지스터 모듈의 동일측상에 형성된 플랜지 인터페이스를 갖는 랩-어라운드 콘택트 영역을 포함한다.

<316> 제84도는 쿼드 트랜지스터 모듈의 저면도를 나타낸다. 제84도의 쿼드 트랜지스터 모듈은 상부 가로놓임층(854) 및 콘택트 영역(855, 856, 857, 858, 859, 860, 861, 862, 863, 864, 865 및 866)을 포함한다. 이 쿼드 트랜지스터 모듈의 각각의 트랜지스터는 제83도에 도시된 트랜지스터 모듈에 대응한다. 즉, 제84도의 쿼드 트랜지스터 모듈은 제83도에 도시된 트랜지스터 모듈의 4개로 이루어진다.

<317> 제85도는 다른 트랜지스터 모듈의 저면도를 나타낸다. 제85도의 트랜지스터 모듈은 상부 가로놓임층(867), 에미터 콘택트 영역(868), 콜렉터 콘택트 영역(869) 및 베이스 콘택트 영역(870)을 포함한다. 콘택트 영역(868-870)의 각각은 제85도에 도시된 바와같이, 트렌지스터 모듈의 동일측상에 형성된 플랜지 인터페이스를 갖는 랩-어라운드 콘택트 영역을 포함한다.

<318> 제86도는 또다른 트랜지스터 모듈의 저면도를 나타낸다. 제86도의 쿼드 트랜지스터 모듈은 상부 가로놓임층(871) 및 콘택트 영역(872, 873, 874, 875, 876, 877, 878, 879, 880, 881, 882 및 883)을 포함한다. 이 쿼드 트랜지스터 모듈의 각각의 트랜지스터는 제85도에 도시된 트랜지스터 모듈에 대응한다. 즉, 제86도의 쿼드 트랜지스터 모듈은 제85도에 도시된 트랜지스터 모듈의 4개로 이루어진다.

<319> 집적회로

<320> 제87도는 집적회로(900)가 제조되는 반도체 웨이퍼(901)와 관련하여 집적회로(900)를 도시한다. 집적회로(900)는 본 발명의 일실시예이다. 집적회로(900)는 예를들어, 일 이상의 트랜지스터, 다이오드, 저항기 및 기타 회로소자를 포함할 수 있다. 집적회로(900)는 예를들면 상보형 금속 산화물 반도체(CMOS) 회로, 바이폴라 회로 또는 갈륨 비소회로로 이루어질 수 있다. 집적회로(900)는 또한 상기한 소자 또는 디바이스와 같은 다양한 디바이스 또는 소자중의 하나를 포함하는 전기적 장치 또는 장치로서도 참조된다. 집적회로(900)는 또한 디바이스로서도 참조된다.

<321> 일 실시예에 대해, 집적회로(900)는 예를들면 인쇄회로보드에 걸친 표면장착을 위해 구성되는 리드없는 모노리딕 디바이스이다.

<322> 집적회로(900)는 집적회로(900)의 일측 또는 측들을 따라 배열된, 예를들어, 콘택트 리드(902)와 같은 다수의 콘택트 리드를 포함한다. 이러한 콘택트 리드는 집적회로(900)에 외부회로로의 전기적 접속을 제공한다.

<323> 제88도는 본 발명에 따라 제조된 집적회로(900)용 콘택트 리드를 도시한다. 제88도의 집적회로(900)는 활성회로영역(901)이 형성되어진 반도체 영역(983)을 포함한다. 반도체 영역(983)은 예를들어 실리콘(Si)을 포함할 수 있다. 절연막(999)은 반도체 영역(983)의 바닥면을 피복한다. 이 절연막은 선택적인 사항이며 임의의 적절한 절연재료를 포함할 수 있다.

<324> 집적회로(900)는 또한 선택적 캡 층(961), 상부 가로놓임층(960), 상호접속(922), 반도체 포스트 영역(984) 및 콘택트층(993)을 포함한다.

<325> 상부 가로놓임층(960)은 디바이스 반도체 영역(983), 상호접속(922) 및 반도체 포스트 영역(984)의 최상부면을 보호한다. 상부 가로놓임층(960)은 또한 디바이스 반도체 영역(983) 및 반도체 포스트 영역(984)을 분리시킨다. 상부 가로놓임층(960)은 임의의 적절한 절연재일 수 있다. 예를들어, 상부 가로놓임층(960)은 에폭시, 실리콘 이산화물(SiO_2), 실리콘 질화물(Si_3N_4), 플라스틱, 테프론, 폴리이미드 또는 유리를 포함할 수 있다. 상부 가로놓임층(960)은 마찬가지로 다른 유전재 또는 절연재 또는 재료의 화합물을 포함할 수 있다.

<326> 상부 가로놓임층(960)은 집적회로(900)를 포함하는 역할을 한다. 상부 가로놓임층(960)은 또한 패시베이션 층으로서의 역할도 한다. 상부 가로놓임층(900)은 또한 집적회로(900)를 역학적으로 함께 지지한다.

<327> 캡 층(961)은 상부 가로놓임층(960)을 덮는다. 캡 층(961)은 예를들어, 실리콘, 폴리실리콘, 비정질 실리콘, 플라스틱, 유리, 에폭시, 알루미나 또는 다이아몬드를 포함할 수 있다. 다른 재료 또는 재료의 화합물이 캡 층(961)을 위해 사용될 수 있다.

<328> 캡 층(961)은 집적회로(900)를 더욱 견고하고 튼튼하게 하는 역할을 한다. 캡 층(961)은 집적회로(900)를 위한 열 통로로서의 역할도 한다.

<329> 상호접속(922)은 활성회로영역(910)에 전기적으로 연결된다. 상호접속(922)은 콘택트층(993)과 함께 랩-어라운드 플랜지 인터페이스 콘택트 영역을 형성한다. 상호접속(922)은 콘택트층(993)에 전기적으로 접속된다. 상호접속(922)은 활성회로영역(910)으로부터 콘택트층(993)으로 도전 브리지를 형성한다.

<330> 상호접속(922)은 일 실시예에서 티타늄-텅스텐(Ti-W) 및 금(Au)으로 이루어진다. Ti-W는 확산장벽층을 제공한다. 다른 확산장벽재료도 사용될 수 있다. 상호접속층(922)은 마찬가지로 다른 도전재료를 포함한다. 예를들어, 알루미늄(Aℓ) 또는 구리(Cu)가 사용될 수 있다. 금속을 포함하는 다른 재료 또는 재료의 화합물이 사용될 수 있다.

<331> 인듐 티타늄 산화물(ITO) 또는 금주석 산화물(ATO)이 사용될 수 있다. 금속을 포함하는 다른 재료 또는 다른 재료의 화합물이 사용될 수 있다.

<332> 콘택트층(993)은 반도체 포스트 영역(984)의 측벽을 따라 뻗으며 바닥면을 덮는다. 반도체 포스트 영역(984)은 실리콘(Si)을 포함할 수 있다.

<333> 콘택트층(993)은 집적회로(900)의 외부회로에 대한 접속 포인트이다. 콘택트층(993)은 반도체 포스트 영역(984)의 바닥면상에서 비교적 편평하다. 콘택트층(993)은 또한 비교적 넓다. 이러한 특징들은

외부회로로의 양호한 접촉을 보장하는데 유용하다.

<334> 콘택트층(993)은 일 실시예에서 티타늄-텅스텐(Ti-W) 및 니켈(Ni)로 이루어질 수 있다. 콘택트층(993)은 예를들어, Ni를 반도체 포스트 영역(984)에 걸쳐서 도금함으로써 형성될 수 있다. Ni는 Ni가 솔더링에 적합하기 때문에 바람직하다. 이 Ni층은 후속하여 금(Au)으로 된 박층으로 피복될 수 있다. 이러한 피복은 Ni의 솔더링 능력을 없앰이 없이 Ni의 산화 또는 부식을 방지하는 역할도 한다. 다른 실시예에 대해, Ni 대신에 금(Au)이 사용될 수 있다. 콘택트층(993)은 마찬가지로 다른 도전재료를 포함할 수 있다. 예를들어, 알루미늄(Aℓ) 또는 구리(Cu)가 사용될 수 있다. 인듐 티타늄 산화물(ITO) 또는 금주석 산화물(ATO)도 사용될 수 있다. 금속을 포함하는 다른 재료 또는 다른 재료들의 화합물이 사용될 수 있다.

<335> 상호접속(922)은 콘택트층(933)과 플랜지 인터페이스를 형성한다. 이 플랜지 인터페이스는 상호접속과 콘택트층과의 사이에 내구성있고 신뢰성있는 본딩을 제공한다. 일 실시예에 대해, 티타늄-텅스텐(Ti-W)은 본딩 상호접속층 및 본딩 콘택트층으로서 사용된다. 즉 Ti-W는 상호접속(922)의 최하부 및 콘택트층(933)의 최상부에 형성된다. 결과적으로 내구성있고 신뢰성있는 상호금속성 표면 대 표면본드가 본 실시예에 대해 상호접속(922)과 콘택트층(933)사이에 형성된다.

<336> 다른 실시예에 대해 Ti-W 대신에 다른 재료가 상호접속(922)과 콘택트층(933) 사이에 본딩을 형성하는데 사용될수 있다. 동일 재료의 사용은 상호접속(922)과 콘택트층(933) 사이에 내구성있고 신뢰성있는 본딩의 형성을 용이하게 한다. 다른 실시예에 대해 상호접속(922)과 콘택트층(933)간의 본딩에 사용되는 재료는 상이할 수 있다.

<337> 집적회로(900)는 솔더 또는 에폭시를 사용하여 외부회로에 다이부착될수 있다.

<338> 제88도의 집적회로(900)에 대해, 선택적 캡 층(961)은 두께가 약 0.004인치인 실리콘(Si)을 포함할수 있다. 상부 가로놓임층(960)은 (캡층(961)과 활성회로영역(910)간의) 두께가 약 0.003인치인 수지를 포함할수 있다. 디바이스 반도체영역(983)은 활성회로 영역(910)과 함께 두께가 약 0.003인치일수 있다. 콘택트층(933)은 두께가 약 0.0005 인치인 니켈(Ni) 플레이트를 포함할수 있다. 반도체 포스트(984)의 최하부는 활성회로 영역(910)의 최상부로부터 약 0.005인치 뻗는다. 집적회로(900)는 다른 크기를 갖는 특징을 갖는 것으로 제조될수 있다.

<339> 제37도의 방법은 또한 제88도에 도시된 집적회로와 같은 집적회로를 제조하는데 사용될수 있다. 집적회로의 제조에 있어서 제37도의 방법에 의해 예시적 응용을 더욱 양호하게 설명하기 위해 제89도 내지 제106도가 제37도의 방법의 여러단계를 나타내기 위해 사용될 것이다.

<340> 제89도의 제88도의 집적회로를 제조하기 위해 사용되는 반도체 웨이퍼의 평면도를 나타낸다.

<341> 제37도의 방법을 수행함에 있어서, 반도체기판이 제공된다.

<342> 예를들어 이 기판은 제89도 및 제90도에 기판(1000)으로서 도시되어 있다. 기판(1000)은 실리콘(Si) 기판일수 있고, 대안으로 기타 다양한 기판이 사용될수 있다.

<343> 제89도 및 제90도의 웨이퍼는 활성회로영역(1001-1002)과 기판 콘택트영역(1005-1006)을 갖는 기판(1000)을 포함한다. 기판(1000)은 제89도 및 제90도에 도시된 바와같이, 두 개 집적회로를 제조하는데 사용된다. 본발명의 더욱 명확한 이해를 위해 다수의 디바이스가 예시되고 선택되어 왔다. 임의의 수의 디바이스가 동일 웨이퍼를 사용하여 형성될수 있고 웨이퍼의 사이즈에 좌우 될수 있다. 기판 콘택트영역(1005-1006)은 선택적인 것이다.

<344> 제37도의 단계(600)에 대해, 상호접속(1021-1022)는 웨이퍼에 걸쳐 형성된다. 이것은 제91도 및 제92도에 도시되어 있다. 제91도는 상호접속(1021-1022)이 웨이퍼에 걸쳐 형성된후 제89도의 웨이퍼의 평면도이다. 제92도는 제91도의 웨이퍼의 횡단면을 도시한다.

<345> 상호접속(1021-1022)은 또한 상호접속층으로서도 참조된다. 상호접속(1021)은 브리지부(1031-1032)를 포함한다. 마찬가지로 상호접속(1022)은 브리지부(1033-1034)를 포함한다. 브리지부(1031-1034)는 각각 갭(1041-1044)을 포함한다. 대안 실시예에서, 브리지부(1031-1034)는 각각 갭(1041-1044)을 포함하지 않는 솔리드 브리지이다. 상호접속(1021-1022)은 활성회로영역(1001-1002)으로의 전기적 접속을 제공한다.

<346> 일 실시예에 대해 상호접속(1021-1022)은 먼저 웨이퍼에 걸쳐 컨덕터층을 형성함으로써 형성된다. 예를들어 티타늄-텅스텐(Ti-W)은 웨이퍼에 걸쳐서 스퍼터 피착될수 있다. 이 Ti-W층은 상호접속(1021-1022)을 위한 확산 장벽층을 제공하는 역할을 한다. 다른 확산 장벽재료로 사용될수 있다. 그후 금(Au)이 Ti-W층에 걸쳐서 스퍼터 피착된다. 이 금층은 상호접속(1021-1022)형성에 있어서 패턴 금 도금을 용이하게 하는 역할을 한다. 예를들어 포토레지스터를 포함하는 패턴된 마스크층은 웨이퍼에 걸쳐서 형성될수 있다. 이 패턴된 마스크층은 상호접속(1021-1022)을 생성하기 위해 Ti-W-Au층에 걸쳐서 약 10㎛의 두께로 금(Au) 패턴도금에 사용된다. 이 패턴도금 프로세스후에 패턴된 마스크층이 제거된다. 웨이퍼의 표면상에 형성된 Ti-W-Au층의 부분은 제91도 및 제92도에 도시된 바와같이, 상호접속(1021-1022)을 남겨둔채 에칭될수 있다. 결과적으로 상호접속(1021-1022)은 Ti-W 및 Au를 포함한다.

<347> 상호접속(1021-1022)은 마찬가지로 다른 도전 재료를 포함한다. 예를들어, 알루미늄(Aℓ) 또는 구리(Cu)가 사용될수 있다. 인듐티타늄산화물(ITO) 또는 금주석 산화물(ATO)도 사용될수 있다. 금속 또는 금속을 포함하는 다른 재료의 화합물도 사용될수 있다. 더욱이 상호접속(1021-1022)이 임의의 적절한 기술을 사용하여 형성될수 있다. 다른 예로서 상호접속(1021-1022)을 생성하기 위해 사용된 재료 또는 재료들로 이루어진 층이 웨이퍼에 걸쳐서 피착되고 그후 상호접속(1021-1022)을 생성하기 위해 패턴된다. 예를들어 상호접속(1021-1022)을 패턴시키기 위해 포토리소그래피 및 에칭기술이 사용될수 있다.

<348> 다른 실시예에 대해, 각각의 상호접속이 웨이퍼에 걸쳐서 형성될수 있다. 즉, 별개의 상호접속이 제조되어야할 각각의 집적회로 콘택트 리드를 위해 웨이퍼에 걸쳐서 형성될수 있다. 두 개의 별개 브리지부(1031-1032)를 갖춘 상호접속(1021)은 갖는 대신에 예를들어 각각 브리지부(1031-1032)를 갖는 두 개의

별개 상호 접속이 웨이퍼에 걸쳐서 형성될수 있다.

<349> 제37도의 단계(605)에 대해 모트 또는 트렌치(1051-1052)가 기판(1000)으로부터 형성된 트렌치(1051-1052)를 형성함에 있어서, 임의의 적절한 프로세싱 기술이 사용될수 있다. 이것이 제93도 및 제94도에 도시되어 있다. 제93도는 트렌치 (1051-1052)가 웨이퍼의 기판으로부터 형성되어진후의 제91도의 웨이퍼에 대한 평면도를 도시한다. 제94도는 제93도의 웨이퍼의 횡단면을 도시한다. 트렌치(1051-1052)는 상기한 바와 같이 트랜지스터 모듈을 위찬 트렌치가 형성되는 바와 마찬가지로 형성될수 있다.

<350> 브리지부(1031-1034) 아래에 위치한 기판(1000)의 재료는 트렌치(1051-1052) 형성시에 제거된다. 갭(1041-1044)은 에천트가 브리지부(1031-1034)를 통하여 흐르게 함으로써 트렌치(1051-1052)를 각각 에칭함에 있어서 하부에 가로놓인 기판(1000)의 제거를 용이하게 하는 역할을 한다. 상기한 대안 실시예에 대해, 브리지부(1031-1034)는 갭(1041-1044)이 없는 솔리드 브리지일수 있다. 브리지부(1031-1034)는 대안실시예에서 트렌시 형성(1051-1052)에 있어서 하부에 가로놓인 기판(1000)이 브리지부(1031-1034) 밑에서 제거되는 것을 보장하기 위해 폭이 더욱 얇을 것을 필요로 할수 있다.

<351> 트렌치(1051-1052)는 본질적으로 웨이퍼로부터 생성되어질 각각의 집적회로 콘택트층 리드를 위한 반도체의 최상부측 분리를 제공하며, 디바이스 반도체영역과 반도체 포스트 영역을 제공한다. 이러한 반도체 분리는 아래에서 더욱 상세히 설명된다.

<352> 제37도의 단계(610)에 대해, 상부 가로놓임층(1060)이 제95도 및 제96도에 도시된 바와 같이 웨이퍼에 걸쳐서 형성된다. 제95도는 상부 가로놓임층(1060)이 웨이퍼에 걸쳐서 형성되어진 후의 제93도의 웨이퍼의 평면도를 도시한다.

<353> 제96도는 제94도의 웨이퍼의 횡단면을 나타낸다.

<354> 상부 가로놓임층(1060)은 실질적으로 웨이퍼의 전체 표면을 보호하며 트렌치(1051-1052)를 충전시킨다. 일실시예에서 상부 가로놓임층(1060)은 웨이퍼에 걸쳐서 원심분리된 에폭시를 포함한다. 제어된 진공 환경이 에폭시를 스핀온시키기 위해서도 사용될수 있다. 대안 실시예에서 상부 가로놓임층(1060)은 실리콘 이산화물(SiO_2), 실리콘질화물(Si_3N_4), 플라스틱, 테프론, 폴리이미드 또는 유리를 포함할수 있다. 상부 가로놓임층(1060)은 그 밖의 유전재료 또는 절연재료 또는 재료의 화합물을 사용하여 형성될수 있고, 임의의 적절한 기술을 사용하여 형성될수 있다.

<355> 상부 가로놓임층(1060)은 보호층으로서의 역할을 한다. 상부 가로놓임 층(1060)은 또한 웨이퍼로부터 제조된 집적 회로의 성분을 함께 유지하는 역학적 역할을 한다.

<356> 캡층(1061)은 그후 상부 가로놓임층(1060)에 걸쳐서 형성될수 있다.

<357> 이것이 제97도에 도시되어 있다. 제97도는 캡층(1061)이 웨이퍼에 걸쳐서 형성된후 제96도의 웨이퍼의 횡단면을 도시한다.

<358> 캡층(1061)은 그후, 실리콘, 폴리실리콘, 비정질실리콘, 플라스틱, 유리, 에폭시, 알루미나 또는 다이아몬드를 포함한다. 다른 재료 또는 재료들의 화합물도 캡층(1061)을 위해 사용될수 있다.

<359> 캡층(1061)은 선택적인 층이다. 캡층(1061)은 웨이퍼로부터 생성된 각각의 집적회로가 더욱 견고하고 튼튼하게 하는 역할을 한다. 캡층(1061)은 또한 웨이퍼로부터 형성된 집적회로를 위한 열통로로서의 역할을 한다.

<360> 캡층(1061)은 그후 제98도에 도시된 바와같이 얇아질수 있다. 제98도는 캡층(1061)이 얇아진후 제97도의 웨이퍼의 횡 단면을 도시한다. 캡층(1061)은 임의의 적절한 기술을 사용하여 얇아질수 있다. 예를들어 캡층(1061)은 모래분사되어질수 있다. 캡층(1061)은 임의의 적절한 기술 및 화학기술을 이용하여 에칭될수 있거나 또는 대안으로 연마함으로써 얇아질수 있다. 캡층(1061)은 래핑에 의해 얇아질수 있다.

<361> 캡층(1061)은 또한 패턴될수 있다. 예를들어, 캡층(1061)은 제88도에 도시된 바와같이 집적회로(900)의 캡층(961)으로서 나타나도록 패턴될수 있다.

<362> 제37도의 단계(615)에 대해 웨이퍼의 후면 또는 바닥면은 제98도에 도시된 웨이퍼에 비해 제99도에 도시된 바와같이 얇아진다. 제99도는 웨이퍼의 바닥면이 얇아진후 제98도의 웨이퍼의 횡단면을 도시한다.

<363> 기판(1000)의 바닥면은 임의의 적절한 기술을 사용하여 얇아질 수 있다. 예를들어, 기판(1000)의 바닥면은 모래분사되어질수 있다. 기판(1000)의 바닥면은 적절한 에칭기술 및 화학기술을 사용하여 에칭될수 있거나, 또는 연마함으로써 얇아질수 있다. 기판(1000)의 바닥면은 래핑에 의해 얇아질 수 있다.

<364> 제37도의 단계(620)에 대해, 웨이퍼의 바닥면을 패턴시키기 위해 제재 및 에칭 프로세스가 사용된다. 이 단계의 일 실시예가 제100도 내지 제102도에 도시되어 있다. 패턴된 마스크층(1062)은 먼저 웨이퍼의 바닥면에 걸쳐서 형성된다. 이것이 제100도에 도시되어 있다. 제100도는 마스크층(1062)이 웨이퍼의 바닥면에 걸쳐서 형성된후의 제99도의 웨이퍼의 횡단면을 도시한다.

<365> 마스크층(1062)은 예를들어 스핀온된 포토리소그래피를 포함한다. 다른 감광재료를 포함하는 다른 적절한 마스크 재료가 사용될수 있으며 임의의 적절한 기술을 사용하여 웨이퍼의 바닥면에 걸쳐서 형성될수 있다.

<366> 제100도에 도시된 바와같이, 마스크층(1062)은 웨이퍼가 후에 분리되어질 장소를 정의하는 영역(1065)을 정의하기 위해 패턴된다. 마스크층(1062)은 또한 기판(1000)에 형성된 적어도 트렌치(1051-1052)밑에 위치하는 바닥면영역(1064 및 1066)을 정의하기 위해 패턴된다. 마스크층(1062)은 임의의 적절한 패터닝 기술을 사용하여 형성될수 있다. 예를들어 마스크층(1062)은 포토리소그래피 기술을 사용하여 패턴될수 있다. 마스크층(1062)은 또한 형성되어질 각각의 콘택트 리드를 위한 각각의 반도체 포스트를 정의하기 위해 패턴된다.

<367> 웨이퍼의 바닥면은 그후 피트(1075)를 생성하기 위해 영역(1065)을 따라 제재된다. 이것이 제101도에 도시되어있다. 제101도는 웨이퍼의 바닥면이 제재된 후의 제100도의 웨이퍼의 횡단면을 도시한다.

<368> 일 실시예에 대해, 웨이퍼의 바닥면은 피트(1075)를 생성하기 위해 마스크층(1062)에 의해 정의된 바와같은 영역(1065)을 사용함으로써 제재될수 있다. 다른 실시예에 대해, 마스크층(1062)은 바닥면 영역(1064 및 1066)만을 정의하기 위해 패턴될수 있다.

<369> 즉, 이 다른 실시예에서 마스크층(1062)은 영역(1065)을 정의하기 위해 초기에 패턴되지 않을 것이다. 피트(1075)를 생성하기 위해 웨이퍼의 바닥면에 대한 제재는 따라서 제101도에 도시된 바와같이, 이들 영역을 정의하기 위해 마스크층(1062)을 패턴시키는 역할을 한다.

<370> 웨이퍼는 제101도에 도시된 바와같이 피트(1075)를 생성하기 위해 웨이퍼의 바닥면을 제재하는데 있어서 완전히 분리되지 않는다. 피트(1075)는 폭이 약 2-3밀이다. 피트(1075)는 상이한 폭을 가질수 있다. 바람직하게, 피트(1075)는 기판(1000)의 최상부면과 피트(1075)의 최상부간의 거리(제101도에 도시된 바와같은 거리(1074))가 예를들어, 트렌치(1051)의 최하부와 기판(1000)의 최하부간의 거리(제101도에 도시된 바와같은 거리(1072))가 실질적으로 같도록 제재된다. 이것은 영역(1065)으로부터 그리고 영역(1064 및 1066)으로부터 에칭되어져야 할 기판(1000)의 깊이가 거의 동일하게 됨에 따라, 기판(1000)에 대한 이후의 에칭을 용이하게 한다.

<371> 피트(1075)의 생성후에 기판(1000)은 트렌치(1076)를 셍성하고 기판(1000)의 부분을 제거하기 위해, 특히 트렌치(1051-1052)의 아래에 있는 부분을 제거하기 위해 마스크층(1062)에 의해 정의된 바와같이 영역(1065) 및 바닥면 영역(1064 및 1066)에서 웨이퍼의 바닥면으로부터 에칭된다. 이것이 제102도에 도시되어있다. 제102도는 바닥면의 에칭된후 그리고 바닥면 마스크층(1062)이 제거된 후의 제101도의 웨이퍼의 횡단면을 도시한다.

<372> 임의의 적절한 에칭기술 및 화학기술이 트렌치(1051--1052) 아래의 기판(1000)의 부분을 제거하기 위해 그리고 트렌치(1051-1052)를 생성하기 위해 사용될수 있다. 트렌치(1051-1052 및 1076)는 기판(1000)을 분리시키는 역할을 한다. 제102도에 도시된 바와같이 트렌치(1051-1052 및 1076)는 기판(1000)을 기판영역(1083, 1084, 1085 및 1086)으로 분리시키는 역할을 한다. 각각의 콘택트 리드를 위한 각각의 반도체 포스트가 형성된다.

<373> 마스크층(1062)은 그후 제102도에 도시된 바와같이 웨이퍼의 바닥면으로부터 제거된다. 임의의 적절한 기술이 마스크층(1062)을 제거하기 위해 사용될수 있다.

<374> 각각의 상호접속(1021-1022)의 부분은 이러한 에칭후에 영역(1065)을 따라 트렌치(1076)에 노출되어진다. 이것이 제102도에 도시되어 있다. 트렌치(1051-1052)를 충전시키는 상부 가로놓임층(1060)이 제102도에 도시된 바와같이 웨이퍼의 바닥면상에 노출되어진다.

<375> 디바이스 반도체영역과 반도체 포스트 영역의 완전한 분리는 웨이퍼로부터 제조되어지기 위해 각각의 콘택트리드에 대해 생성된다.

<376> 대안 실시예에서, 상기한 반도체 분리는 상이하게 달성될수 있다. 예를들어 트렌치(1051-1052)를 형성하기 보다는 적절한 바닥면 트렌치가 기판의 전체 두께에 대하여 기판재료를 제거함으로써, 상부 가로놓임층(1060)을 노출시킴으로써 형성될수 있다. 이 대안실시예에 대해 상호접속(1021-1022)의 브리지부가 웨이퍼의 바닥면에 노출될수 있다. 내부식성 재료가, 상부 가로놓임층(1060)이 상호접속을 보호하기 위해 상호접속(1021-1022)을 완전히 보호하지 못하게 됨에 따라, 이 실시예에 대해 상호접속(1021-1022)을 형성하는데 사용된다.

<377> 제37도의 단계(625)에 대해 패턴된 콘택트층이 웨이퍼로부터 생성되어질 각각의 콘택트 리드를 위한 콘택트 영역을 제공하기 위해 웨이퍼의 바닥면에 걸쳐 형성된다. 이 단계의 일실시예가 제103도 및 제105도에 도시되어 있다. 이 실시예에 대해 웨이퍼의 바닥면에 걸쳐서 콘택트층(1091)이 형성된다. 제103도는 콘택트층이 웨이퍼의 바닥면에에 걸쳐서 형성되어진 후의 제102도의 웨이퍼의 횡단면을 도시한다.

<378> 일 실시예에 대해, 티타늄-텅스텐(Ti-W)이 웨이퍼에 걸쳐서 스퍼터 피착된다. 이 Ti-W층은 패턴된 콘택트층에 대해 확산 장벽층을 제공하는 역할을 한다. 그후 니켈(Ni)이 웨이퍼의 바닥면에 걸쳐서 스퍼터 피착된다. Ni 는 솔더링에 적합하므로 바람직하다. 이 콘택트 층의 Ni는 후속하여 금(Au)으로된 박층으로 피복된다. 이러한 피복은 Ni의 솔더링 성능을 열화시킴이 없이 콘택트층의 산화 또는 부식을 방지하는 역할을 한다. 다른 실시예에 대해, 금(Au)이 Ni대신에 웨이퍼의 바닥면에 걸쳐서 형성될수 있다. 임의의 적절한 도전성 재료 또는 재료들의 화합물이 콘택트층을 형성하는데 사용될수 있다. 또한, 임의의 적절한 기술이 이 콘택트층을 형성하는데 사용될 수 있다.

<379> 콘택트층은 웨이퍼의 바닥면의 윤곽과 일치한다. 콘택트층(1091)은 제103도에 도시된 바와같이 바닥면 트렌치(1076)의 측부 및 최하부를 따라 형성된다. 일 실시예에 대해 콘택트층(1091)의 부분은 콘택트층(1091)이 웨이퍼의 바닥면에 걸쳐서 형성되었을 때 바닥면 트렌치(1076)에 노출된 상호접속(1021-1022)의 부분으로 신뢰성 있고 내구성 있는 표면대 표면 본딩을 형성한다. 트렌치(1076)에 노출된 상호접속(1021-1022)을 위해 사용된 재료는 바람직하게 상호접속(1021-1022)과 접촉하게 되는 콘택트층(1091)에 대해 사용된 재료와 동일한 재료이다.

<380> 일 실시예에 대해, 티타늄-텅스텐(Ti-W)이 제1상호접속층 및 제1 콘택트층으로서 사용된다. 결과적으로 내구성 있고 신뢰성 있는 금속성 상호간 표면대 표면 본딩이 이 실시예에 대해 형성된다. 다른 실시예에서, Ti-W를 대신한 다른 재료가 상호접속(1021-1022)과 콘택트층(1091)간의 본딩을 형성하기 위해 사용된다. 동일 재료의 사용은 트렌치(1076)의 콘택트층(1091)과 상호접속(1021-1022)간의 신뢰성있고 내구성있는 본드의 형성을 용이하게할수 있다. 또다른 실시예에 대해, 상호접속(1021-1022)과 콘택트층(1091)간에 본드시키기 위해 사용된 재료가 상이할 수 있다.

<381> 그후 패턴된 마스크층(1092)이 제104도에 도시된 바와같이 웨이퍼의 바닥면에 걸쳐서 형성된다.

제104도는 마스크층(1092)이 웨이퍼의 바닥면에 걸쳐서 형성된 후의 제103도의 웨이퍼의 횡단면을 도시한다.

<382> 마스크층(1092)은 포토레지스트를 포함할수 있다. 마스크층(1092)은 또한 다른 재료의 화합물을 포함할수 있다. 마스크층(1092)은 포토리소그래피 기술을 사용하여 웨이퍼에 걸쳐서 피착된후 패턴될수 있다. 마스크층(1092)을 형성하기 위해 다른 프로세스 단계가 사용될수 있다. 마스크층(1092)은 바닥면영역(1064 및 1066)을 정의하기 위해 패턴된다. 콘택트층(1091)은 그후 마스크로서 마스크층(1092)을 사용하여 콘택트영역(1093)으로 패턴된다. 후속하여 마스크층(1092)은 제거된다. 이것이 제105도에 도시되어 있다. 제105도는 콘택트층(1091)이 패턴된후 그리고 마스크층(1092)이 제거된 후의 제104도의 웨이퍼의 횡단면을 도시한다.

<383> 콘택트층(1091)은 마스크층(1092)에 의해 정의된 바와같이 바닥면 영역(1064 및 1066)으로부터 에칭한다. 임의의 적절한 기술 및 화학기술이 이용될수 있다. 마스크층(1092)은 그후 임의의 적절한 기술을 사용하여 제거될수 있다.

<384> 콘택트영역(1093)은 마찬가지로 다른 도전성 재료를 포함할수 있다. 예를들어, 알루미늄(Aℓ) 또는 (Cu)가 사용될 수 있다. 인듐 티타늄 산화물(ITO) 또는 금주석 산화물(ATO)도 사용될수 있다. 그밖의 금속 또는 금속을 포함한 재료의 화합물도 사용될수 있다. 더욱이, 콘택트영역(1093)이 웨이퍼의 바닥면에 걸쳐서 패턴 도금될 수 있다.

<385> 제37도의 단계(630)에 대해, 제106도에 도시된 바와같이, 웨이퍼가 분리된다. 제106도는 웨이퍼가 집적회로로 분리된 후의 제105도의 웨이퍼의 횡단면을 도시한다. 예를들어 웨이퍼는 웨이퍼를 제재함으로써 분리된다. 제재는 폭이 약 1밀이다. 이 제재는 마찬가지로 상이한 폭을 가질수 있다. 다른 기술, 예를들어 레이저 스크라이브를 포함하는 기술이 웨이퍼를 분리하기 위해 사용될수 있다.

<386> 웨이퍼는 트렌치(1076)를 통하여 분리된다. 콘택트영역(1093)과 본딩된 상호접속(1021-1022)은 제106도에 도시된 바와같이 랩-어라운드 플랜지 인터페이스 콘택트영역을 형성한다. 본드된 콘택트영역(1093)은 웨이퍼를 분리함으로써 분리된다. 제106도에 사용된 부재번호는 상기한 제88도의 부재번호에 대응한다.

<387> 선택적으로 절연막 또는 절연층이 반도체영역(983)의 바닥면에 걸쳐서 형성될수 있다. 절연층(999)으로서 제88도에 도시된 바와같은 이 선택적 절연층은 임의의 적절한 절연재를 포함할수 있다.

<388> 집적회로를 제조하기 위한 다른 실시예에 대해, 제37도의 단계(620)에 대해 웨이퍼의 바닥면을 에칭하는데 있어서 대안 제재 및 에칭 프로세스가 이용된다. 이 대안 제재 및 에칭 프로세스는 제64도 내지 제71도에 대한 상기한 바와 마찬가지이다. 따라서 상기한 제재 및 에칭 프로세스가 본 실시예에도 마찬가지로 적용된다. 요약하면, 피트(1075)가 먼저 웨이퍼의 바닥면에 형성된다. 웨이퍼의 바닥면은 후속하여 트렌치(1076)를 생성하기 위해 영역(1065)에서 에칭된다. 기판(1000)은 그후 바닥면 영역(1064 및 1066)에서 에칭된다.

<389> 제37도의 방법은 본 실시예에 대해, 상기한 바와같이 단계(625)로 계속된다. 또다른 실시예에 대해 단계(620)의 제재 및 에칭 프로세스는 다른 패터닝 프로세스와 대치될수 있다. 예를들어, 단순한 에칭 기술이 사용될수 있다. 마스크층은 예를들어 포토리소그래피 기술을 사용하여, 영역(1065)을 정의하기 위해 그리고 바닥면영역(1064 및 1066)을 정의하기 위해 제99도의 웨이퍼의 바닥면에 걸쳐서 형성되고 패턴된다. 기판(1000)은 그후 임의의 적절한 에칭 기술 및 화학기술을 사용하여 이 마스크에 따라 에칭될수 있다. 결과로 되는 웨이퍼는 그후 제102도에 도시된 바와같이 나타난다.

<390> 다른 실시예에서와 같이, 마스크층은 영역(1065)을 정의하기 위해 패턴된다. 트렌치(1076)은 그후 이 마스크를 사용하여 웨이퍼의 바닥면으로부터 에칭된다. 또다른 마스크층이 바닥면 영역(1064 및 1066)을 정의하기 위해 패턴된다. 웨이퍼의 바닥면은 그후 이 마스크를 사용하여 에칭된다. 결과로 되는 웨이퍼는 그후 제102도에 도시된 바와같이 나타난다.

<391> 웨이퍼의 바닥면은 영역(1064 및 1065)에서 상이하게 패턴될수 있다. 예를들어 트렌치(1051-1052)의 바로 아래의 웨이퍼의 바닥면은 활성회로영역(1001-1002) 바로 아래에 위치하는 영역 이상으로 에칭될수 있다. 결과적으로 반도체영역(1083 및 1086)은 트렌치(1051-1052)를 충전시키는데 사용된 상부 가로놓임층의 최하부 밑으로 뻗는다. 제88도는 이 결과를 나타낸다.

<392> 대안으로, 트렌치(1051-1052)바로 아래의 웨이퍼의 바닥면은 영역(1064-1065)에서 단지 에칭된 부분일수 있다. 활성회로영역(1001-1002)바로 아래의 웨이퍼의 바닥면은 에칭되지 않을수 있다. 이 실시예는 다이오드 모듈 및 트랜지스터모듈의 제조에서 웨이퍼의 바닥면을 페터닝하는데 있어서 상기한 것과 마찬가지이다.

<393> 다이오드 모듈의 제조와 관련하여 상기한 제5도의 단계(320, 325 및 330)는 콘택트 영역을 가진 다른 디바이스를 제조하는데 사용될수 있다. 단계(320, 325 및 330)는 트랜지스터모듈 및 집적회로 콘택트 리드를 위한 콘택트 영역을 형성하기 위해 사용될수 있다. 따라서 제5도의 단계(320, 325 및 330)에 관하여 상기한 논의는 또한 트랜지스터모듈 및 집적회로 콘택트 리드의 제조에도 적용될수 있다.

<394> 마찬가지로 제37도의 단계(620 및 625)는 콘택트 영역을 갖춘 다른 디바이스를 제조하는데 사용될수 있다. 제37도의 단계(620 및 625)는 다이오드 모듈을 위한 콘택트 영역을 형성하는데 사용될수 있다. 그러므로 단계(620 및 625)에 관한 상기 논의는 다이오드 모듈의 제조에도 적용할수 있다.

<395> 다음의 크기는 디바이스의 제조에 일반적으로 적용할수 있다. 각각의 디비 이스에 대한 반도체영역은 두께가 약 4-6 밀 일 수 있다. 상호접속은 약 8-10㎛의 금을 함유할수 있다. 상부 가로놓임층은 두께가 약 6-7 밀인 에폭시를 함유할수 있다. 콘택트층은 두께가 약 .5- 0.7 밀인 니켈을 함유할수 있다. 제재 및 에칭 프로세스에서 형성된 제재는 깊이가 2 밀이고 폭이 약 2.5 밀 일수 있다.

<396> 상기 특징사항의 크기는 다양한 설계 고려사항에 의해 좌우되거나 변경될수 있다.

<397> 본발명에 따라 제조된 디바이스는 약 20 × 40 밀 일 수 있다. 크기는 또한 약 20 × 30 밀 일수 있다. 각각의 디바이스의 크기는 다양한 설계 고려사항에 좌우되거나 변경될수 있다.

<398> 본발명은 또한 콘택트 영역이 제조되는 디바이스의 일측이상에 플랜지 인터페이스를 갖도록 반도체 디바이스의 제조에도 사용될수 있다. 예를들어, 바닥면 및 디바이스의 3측상에 플랜지 인터페이스를 갖는 콘택트 영역이 본발명에 따라 형성될수 있다. 이러한 콘택트 영역은 제76도, 제79도, 제80도 및 제82도의 트랜지스터모듈상에 도시된 콘택트영역과 마찬가지의 영역을 포함한다.

<399> 본발명은 상기한 특정 디바이스의 제조뿐만아니라 다양한 다른 디바이스 제조에도 사용될수 있다. 예를들어 본발명은 링-쿼드, 브리지-쿼드 및 그밖의 다리가 4개인 디바이스 제조에도 이용될수 있다. 본발명은 임의의 수의 콘택트 영역 피트를 갖는 반도체 디바이스 제조에도 사용될수 있다.

<400> 본발명에 따른 상세한 설명이 발명자에 의해 의도된 최량의 모드와 바람직한 실시예와 관련하여 개시된 반면에, 본발명이 다음의 특허청구의 범위에 정의된 바와같은 본발명의 더욱 넓은 범위 및 정신으로부터 벗어남이 없이 본발명의 실시예에 대한 다양한 수정이 이루어질수 있으며 상기한 바람직한 실시예에 제한되지 않음이 인식되어져야 한다. 따라서 특정 실시예는 제한적인 의미라기 보다는 예시적인 것으로 간주되어져야 한다.

(57) 청구의 범위

청구항 1

제1면 및 제2면을 갖는 웨이퍼로 반도체를 제조하는 방법에 있어서, (a) 웨이퍼의 제1면에 걸쳐서 제1재료를 갖는 제1층을 형성하는 단계; (b) 제1층의 부분이 트렌치에 노출되도록 웨이퍼의 제2면으로부터 트랜치를 형성하는 단계; (c) 제2층의 부분이 트렌치에 노출된 제1층의 부분과 접촉하도록 웨이퍼의 제2면에 걸쳐서 제2재료를 갖는 제2층을 형성하는 단계;와 (d) 트렌치를 통하여 웨이퍼를 분리하는 단계로 이루어지는 것을 특징으로 하는 방법.

청구항 2

제1항에 있어서, 상기 (b) 단계는, (b) (i) 트렌치가 형성되어져야 할 구역에 웨이퍼의 제2면을 제재하는 단과; (b) (ii) 트렌치가 형성되도록 웨이퍼를 에칭하는 단으로 이루어지는 것을 특징으로 하는 방법.

청구항 3

(a) 제1면과 제2면을 갖는 반도체 웨이퍼, (b) 웨이퍼의 제1면에 걸쳐서 형성된 제1재료를 갖는 제1층; 과 (c) 웨이퍼의 제2면에 걸쳐서 형성된 제2 재료를 갖는 제2층으로 이루어지고, 제1층 및 제2층은 반도체 웨이퍼의 에지에 플랜지 인터페이스를 형성하는 것을 특징으로 하는 전기 장치.

요약

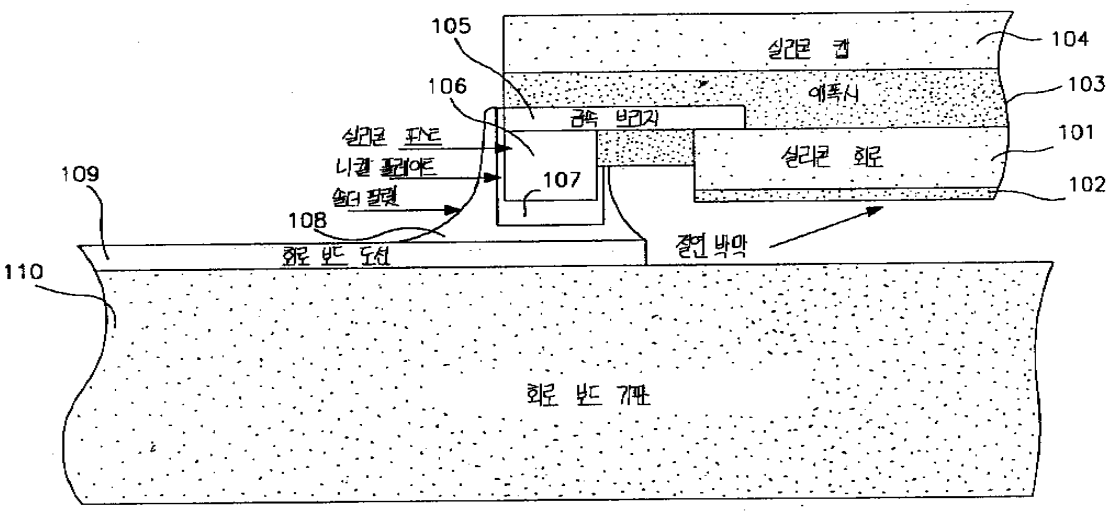
내구성 있고 신뢰성 있는 전기적 본딩을 제공하는 반도체 디바이스 제조시 형성된 랩어라운드 콘택트 영역을 위한 플랜지 인터페이스 제1재료를 갖는 제1층이 웨이퍼의 제1면에 걸쳐 형성된다. 제1층의 부분이 트렌치에 노출되어지도록 웨이퍼의 제2면으로부터 형성된다. 제2재료를 갖는 제2층은 제2층의 부분이 트렌치에 노출된 제1층의 부분과 접촉하도록 웨이퍼의 제2면에 걸쳐 형성된다. 웨이퍼는 트렌치를 통하여 분리된다. 트렌치는 트렌치가 형성되어져야 할 영역에서 웨이퍼의 제2면을 제재함으로써 형성될수 있다. 웨이퍼는 그후 트렌치가 형성되도록 에칭된다.

대표도

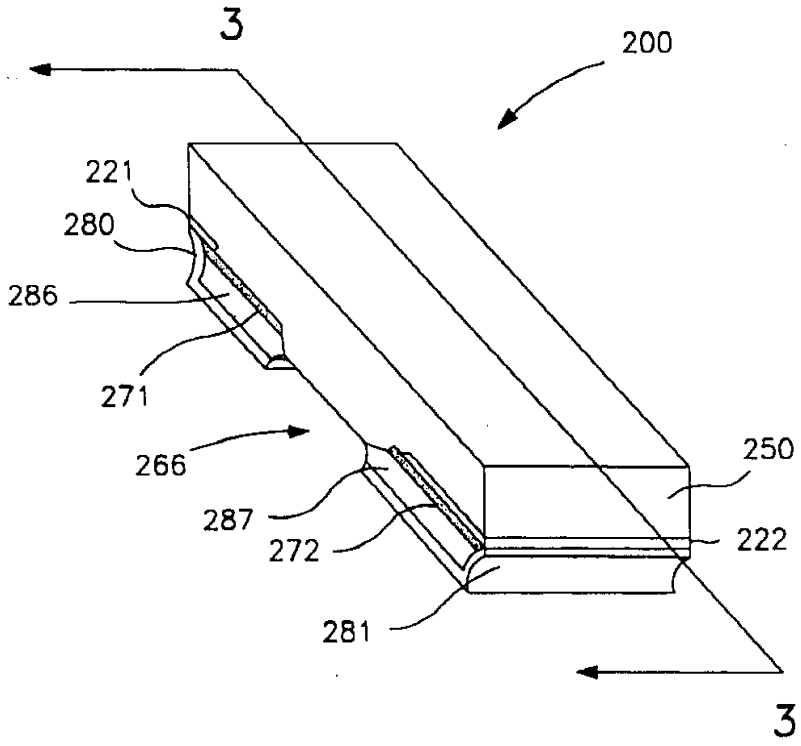
도1

도면

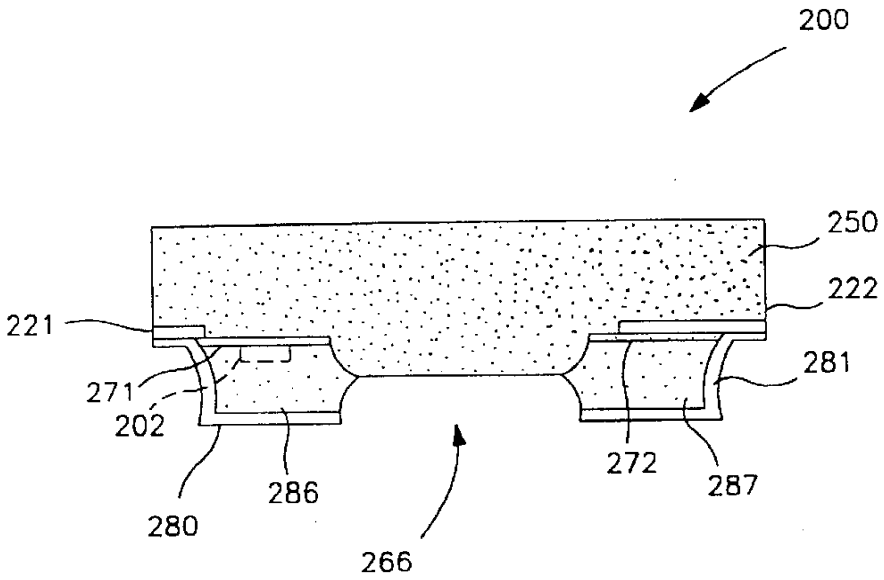
도면1


105
104
실리콘 캡
106
에폭시
103
금속 브리지
실리콘 포스트
101
실리콘 회로
니켈 플레이트
107
109
102
솔더 필렛
108
절연 박막
회로 보드 도선
110
회로 보드 기판

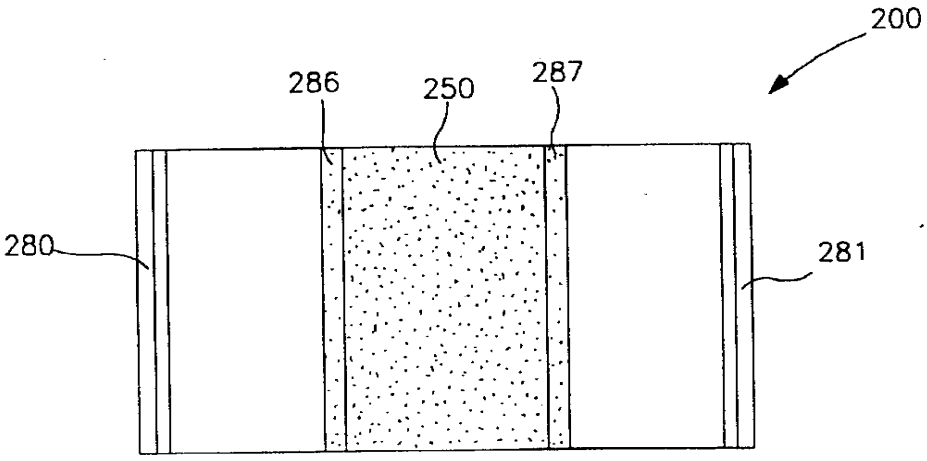
도면2


3
200
221
280
286
271
266
250
287
222
272
281
3

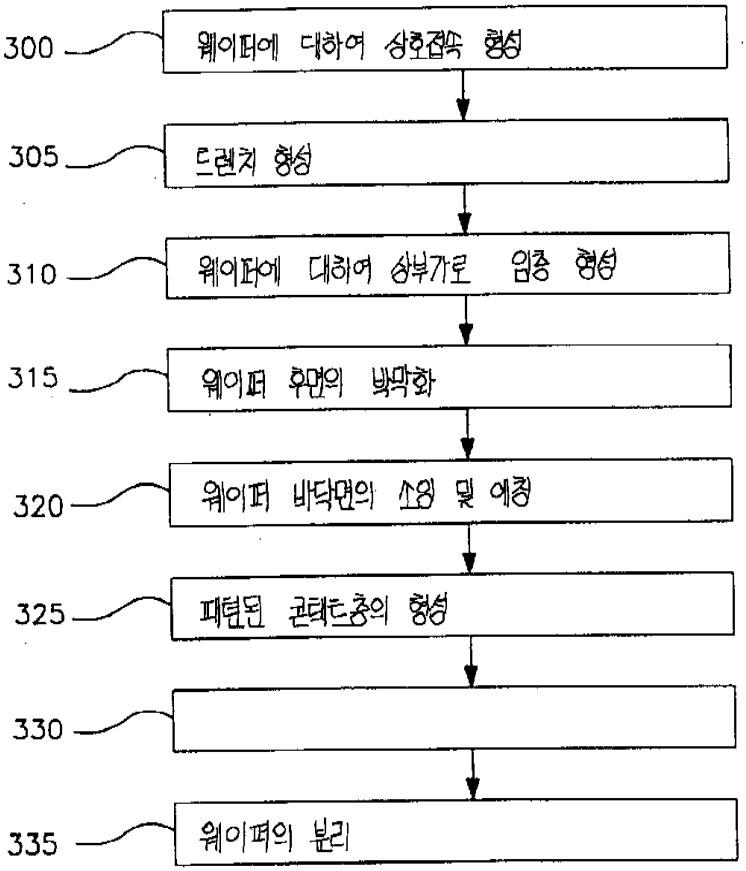
도면3


200
250
222
221
281
271
202
272
287
286
280
266

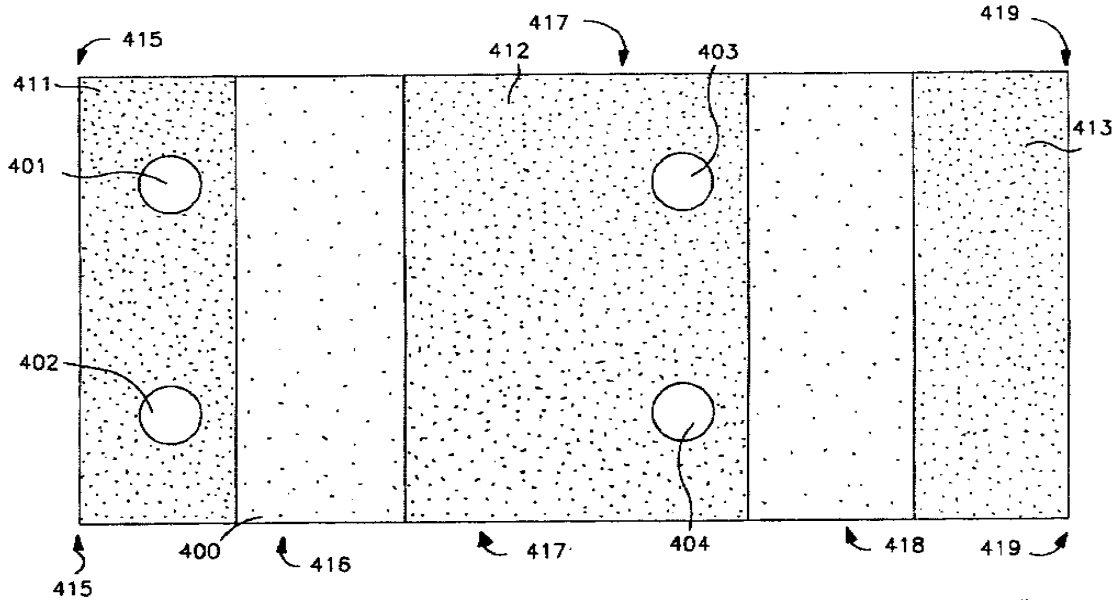
도면4


200
286
250
287
280
281

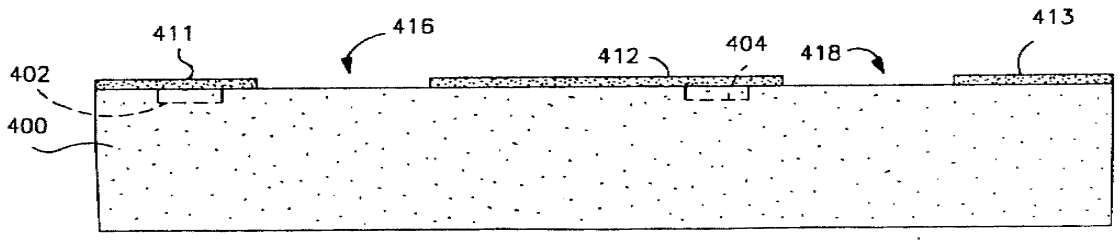
도면5


300
웨이퍼에 대하여 상호접속 형성
305
트렌치 형성
310
웨이퍼에 대하여 상부가로 임층 형성
315
웨이퍼 후면의 박막화
320
웨이퍼 바닥면의 소잉 및 에칭
325
패턴된 콘택트층의 형성
330
335
웨이퍼의 분리

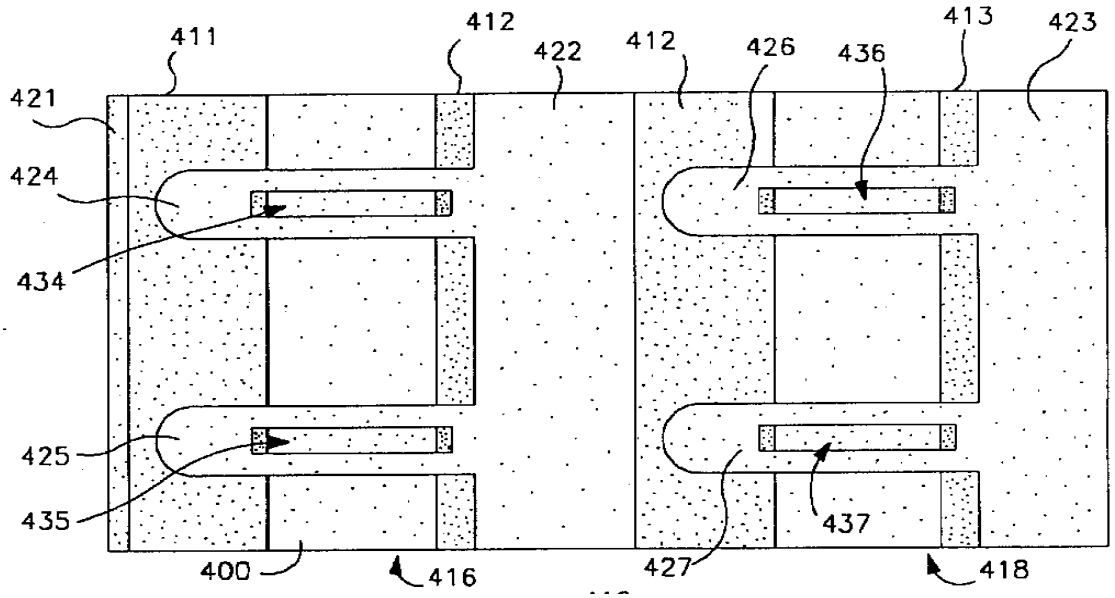
도면6


415
417
419
412
403
411
413
401
402
400
416
417
404
418
419
415

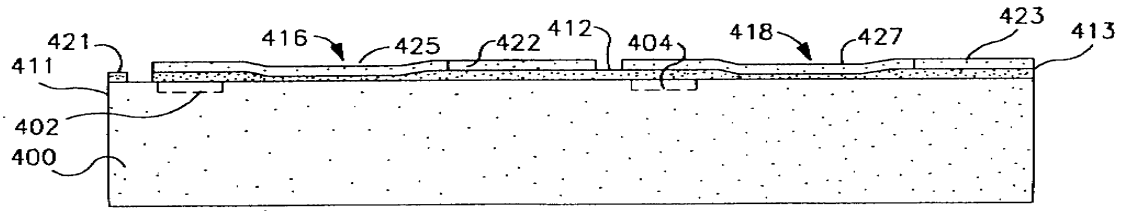
도면7


411
416
412
404
418
413
402
400

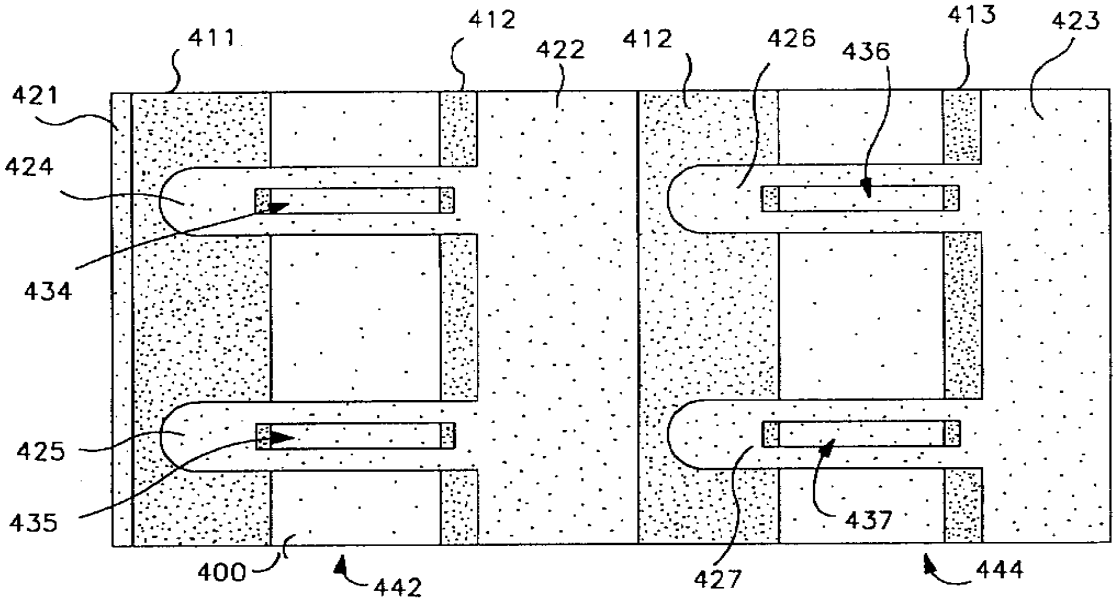
도면8


411
412
422
412
426
436
413
423
421
424
434
425
435
400
416
427
437
418

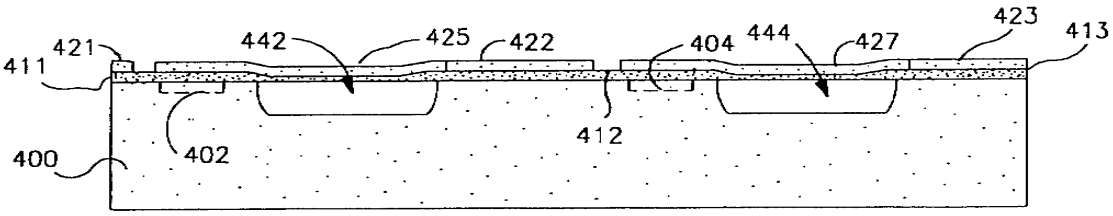
도면9


421
411
416
425
422
412
404
418
427
423
413
402
400

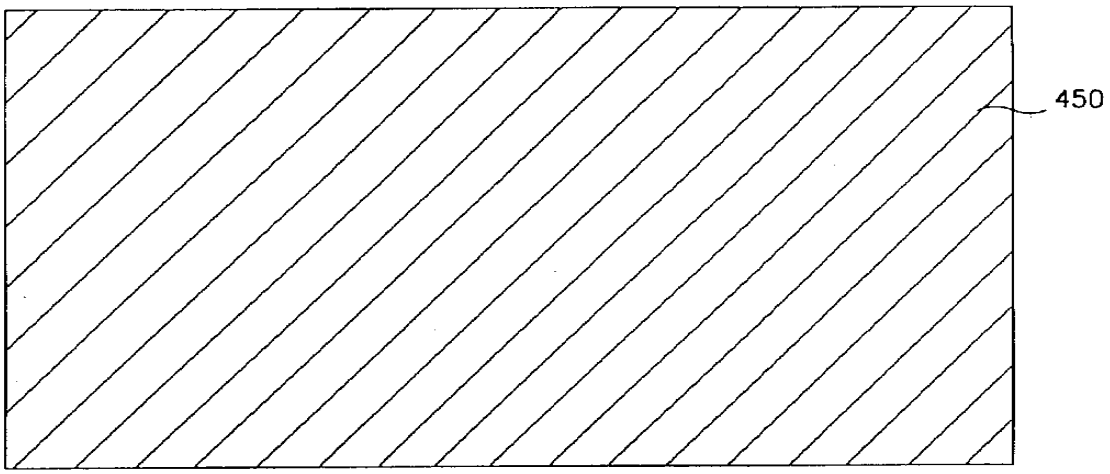
도면10



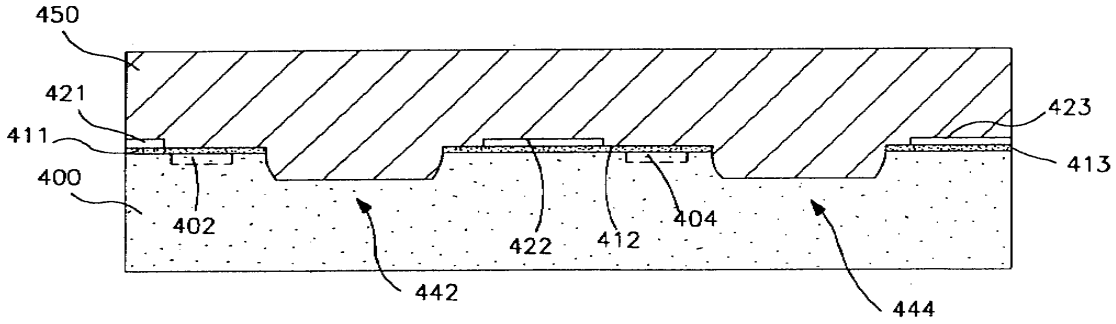
도면11



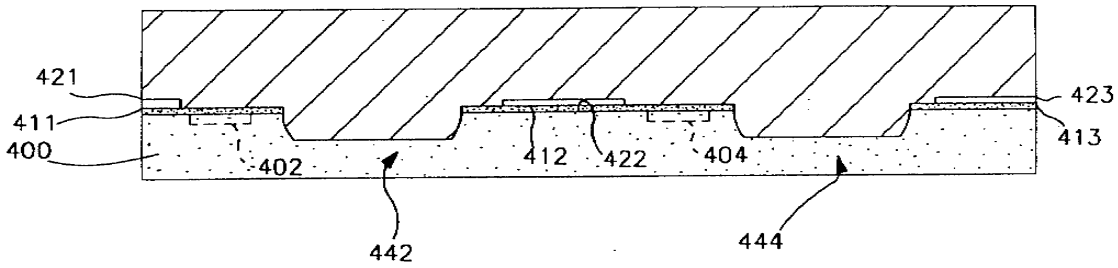
도면12



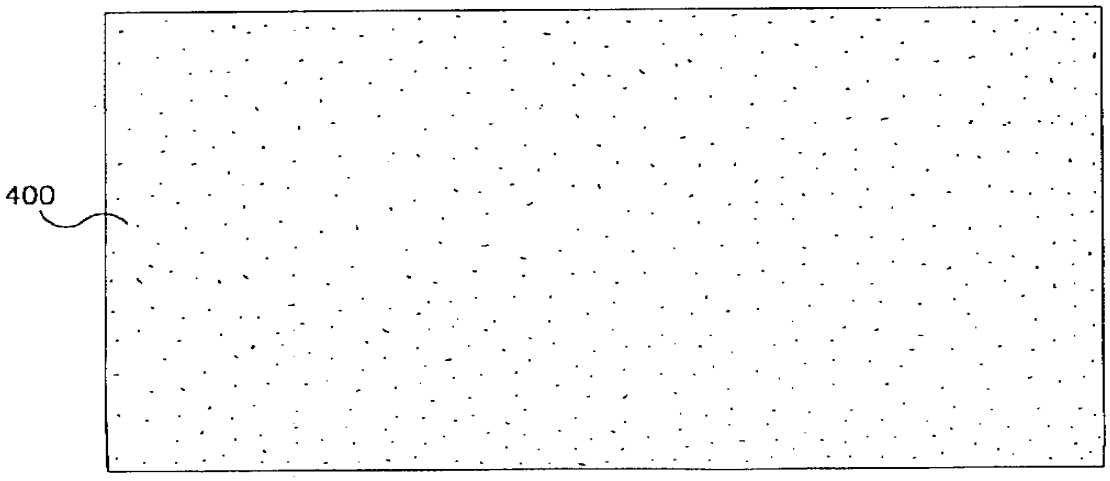
도면13



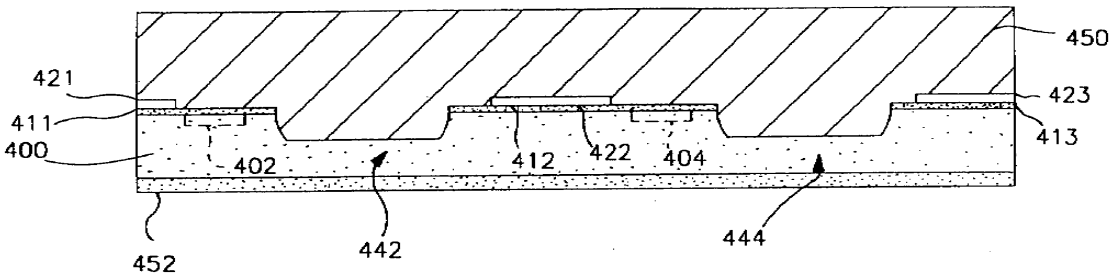
도면14



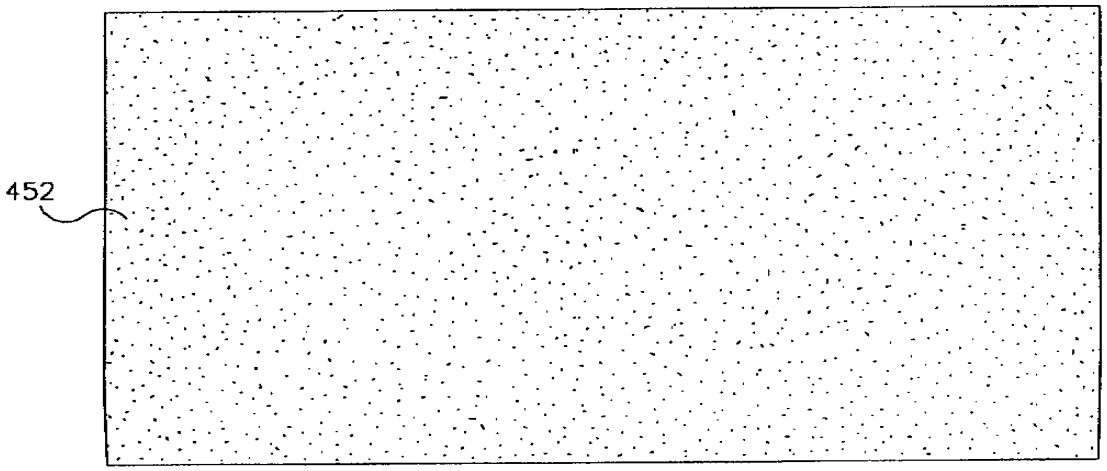
도면15



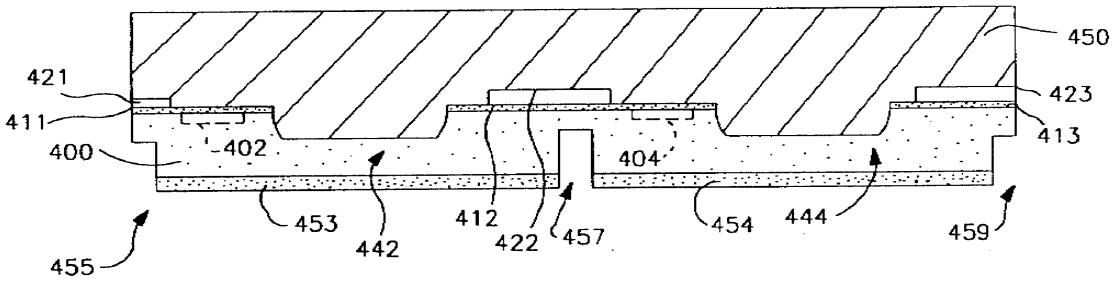
도면16



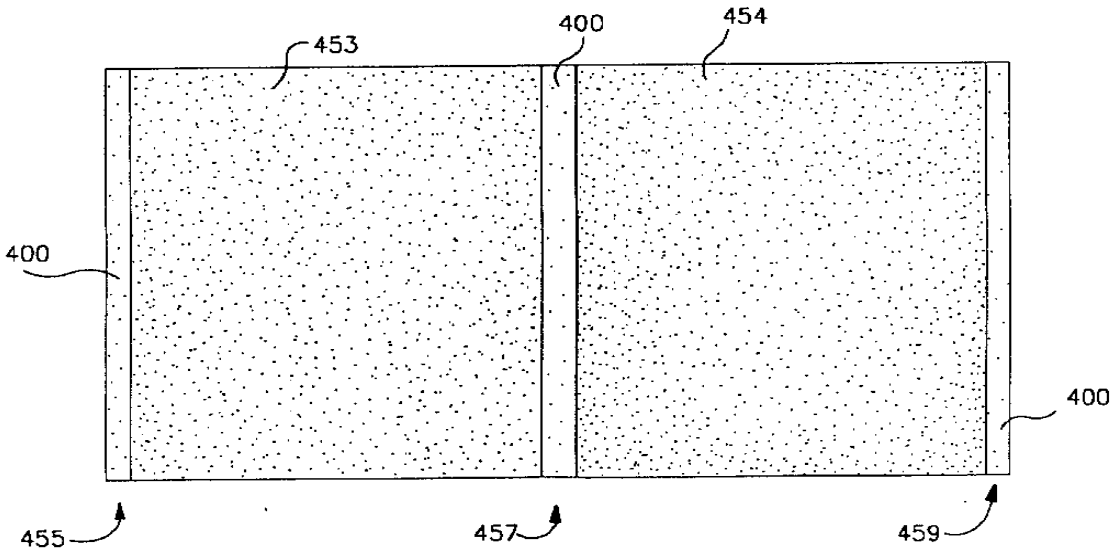
도면17



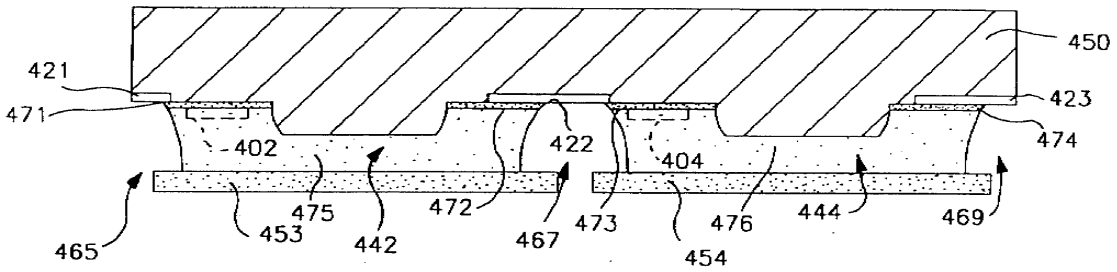
도면18



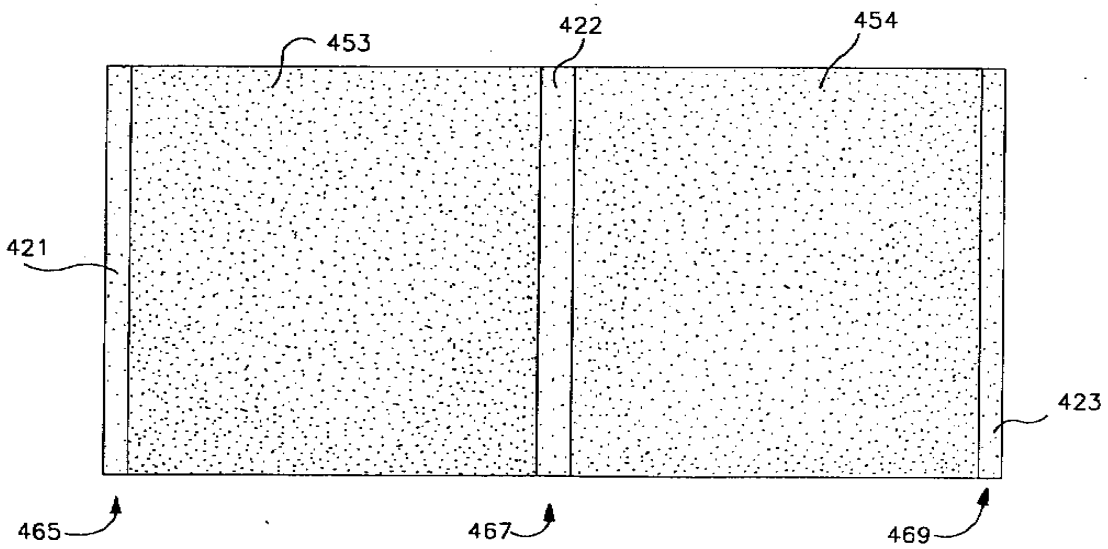
도면19



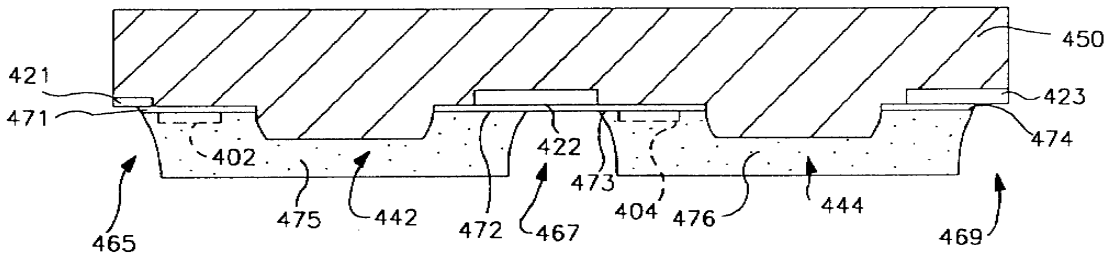
도면20



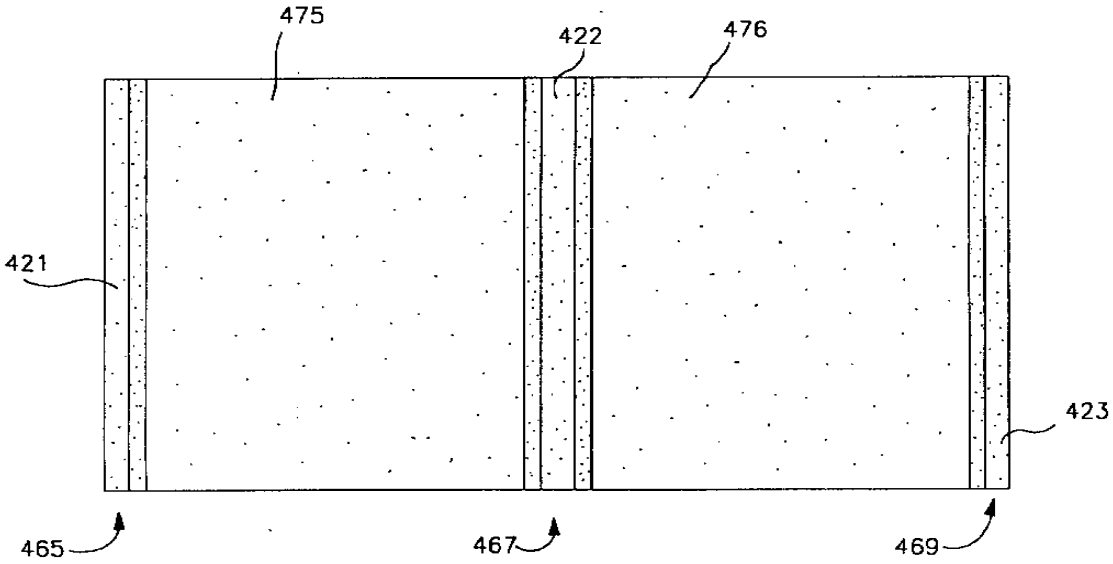
도면21



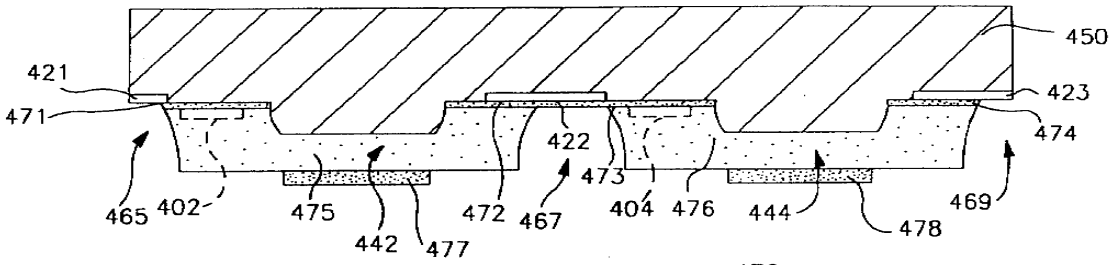
도면22



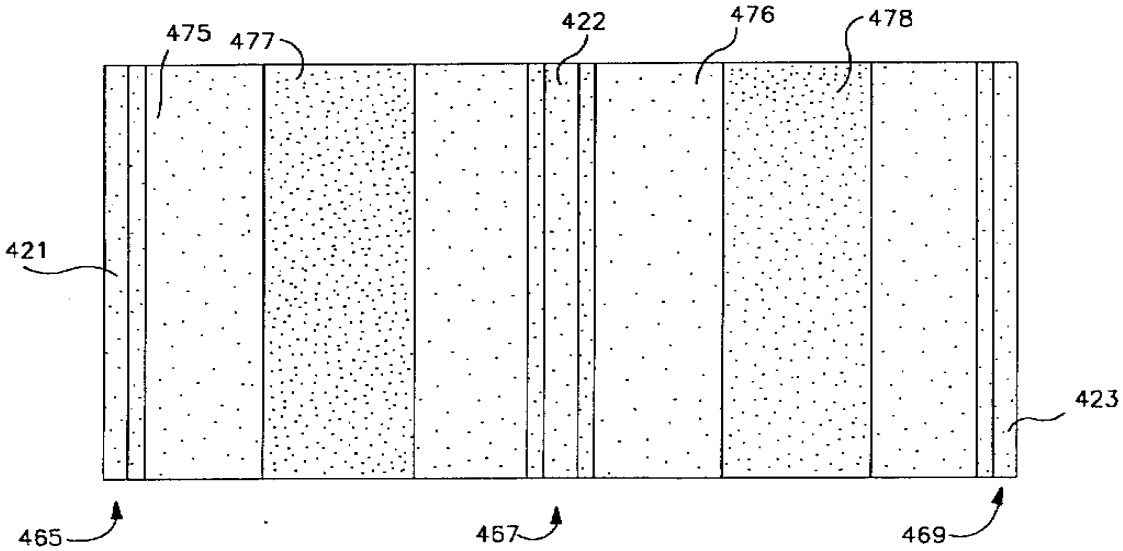
도면23



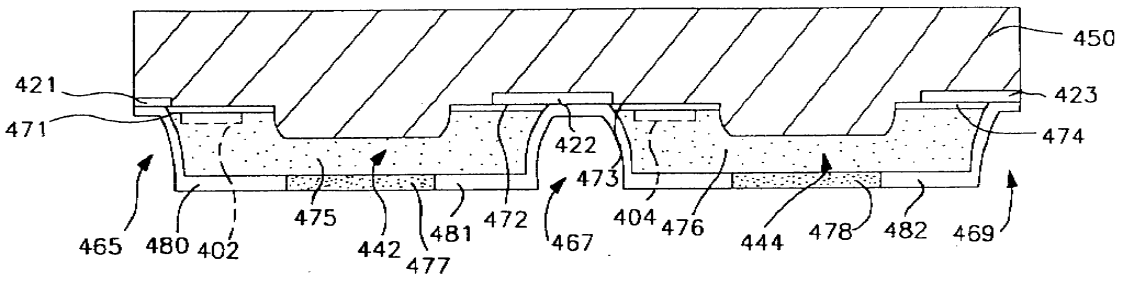
도면24



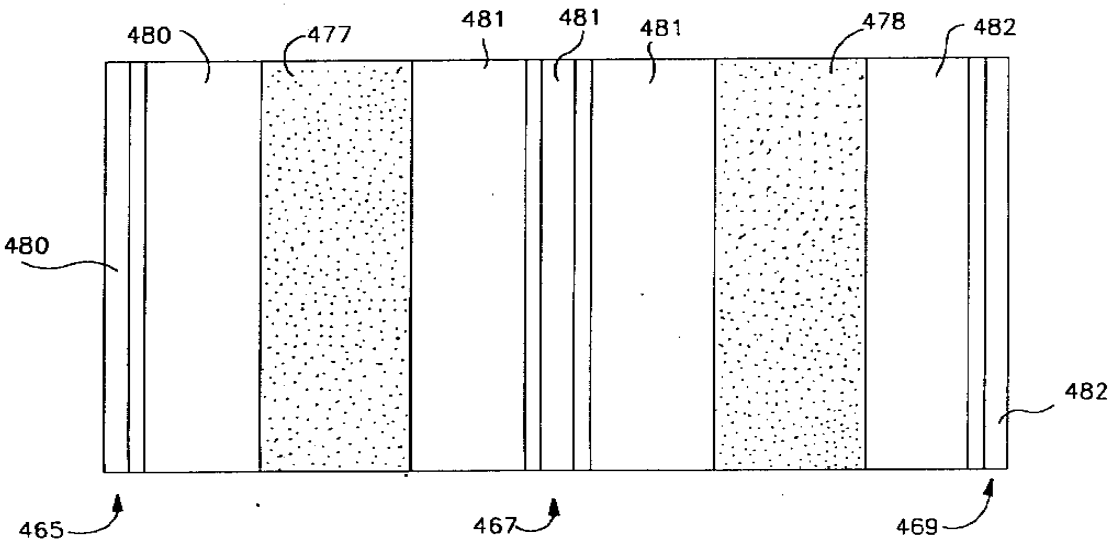
도면25



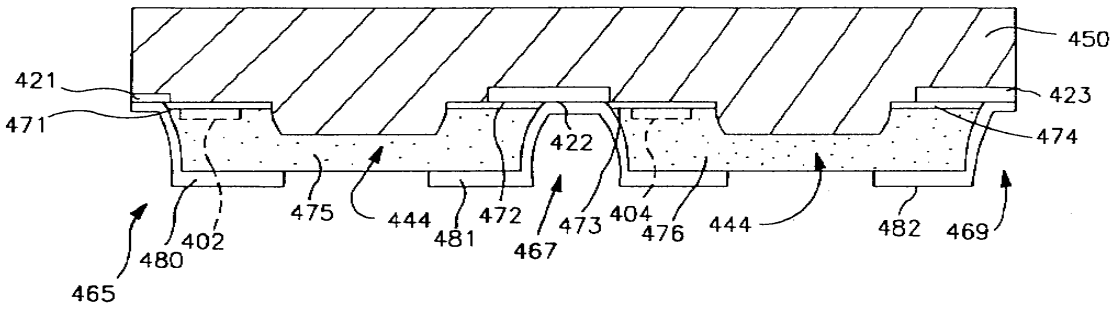
도면26



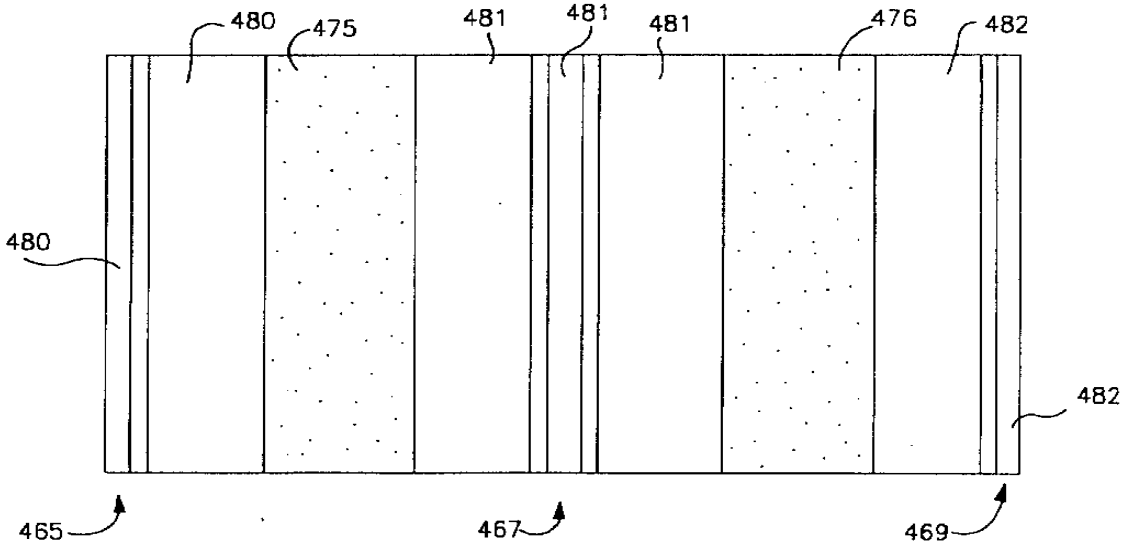
도면27



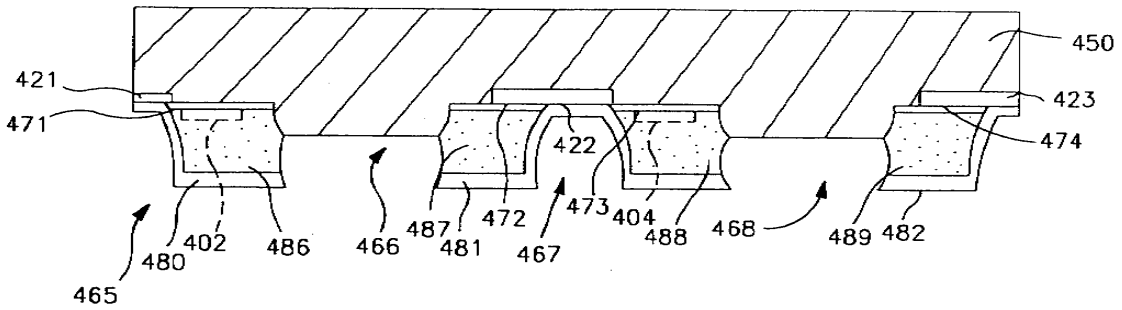
도면28



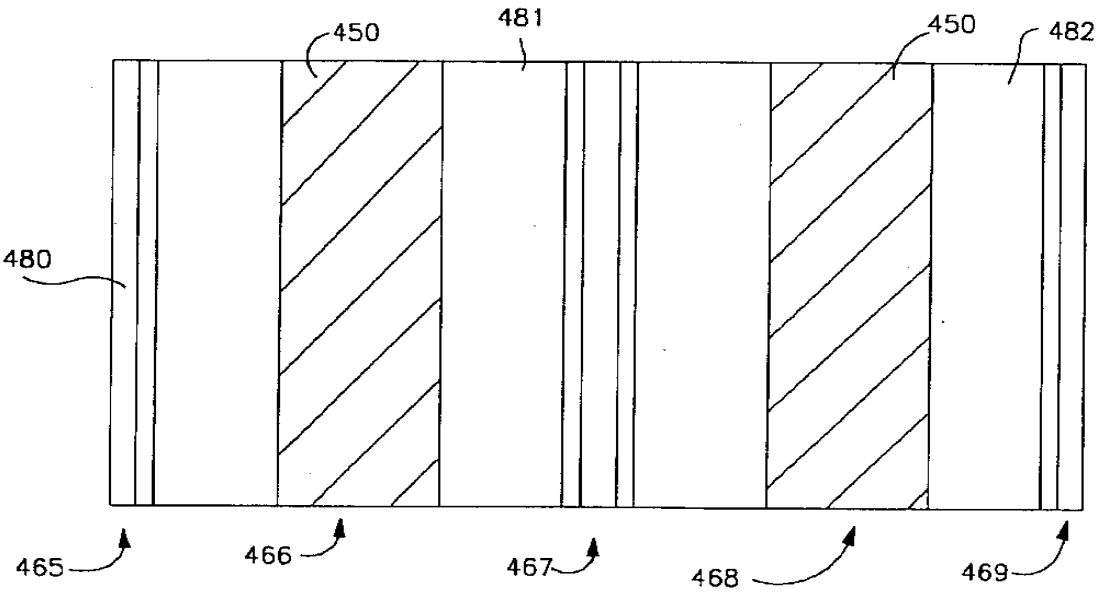
도면29



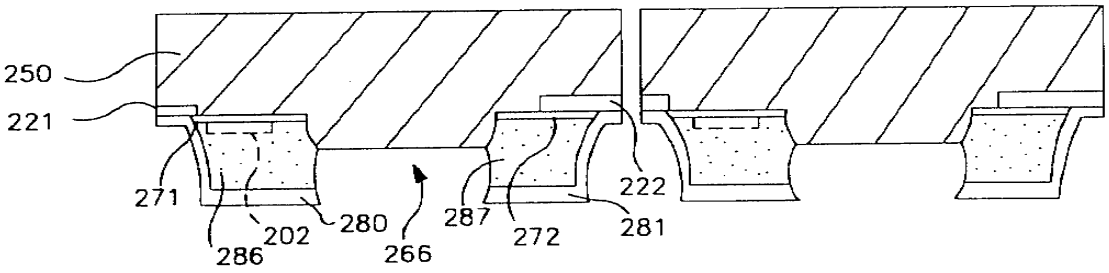
도면30



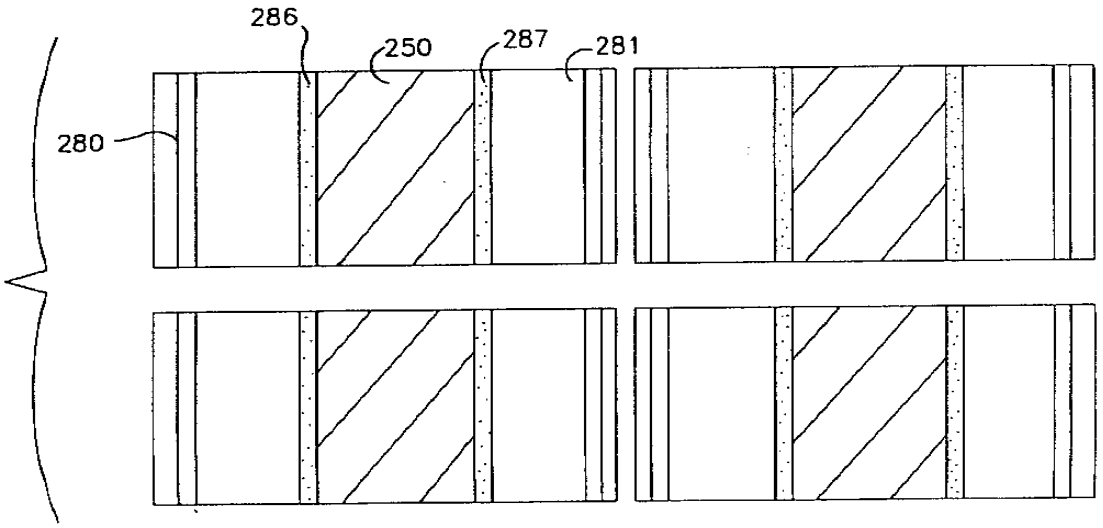
도면31



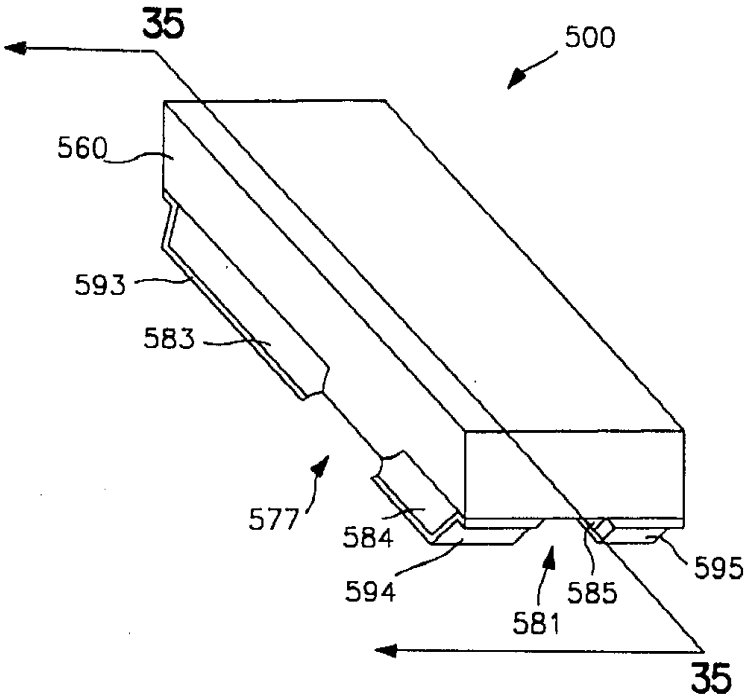
도면32



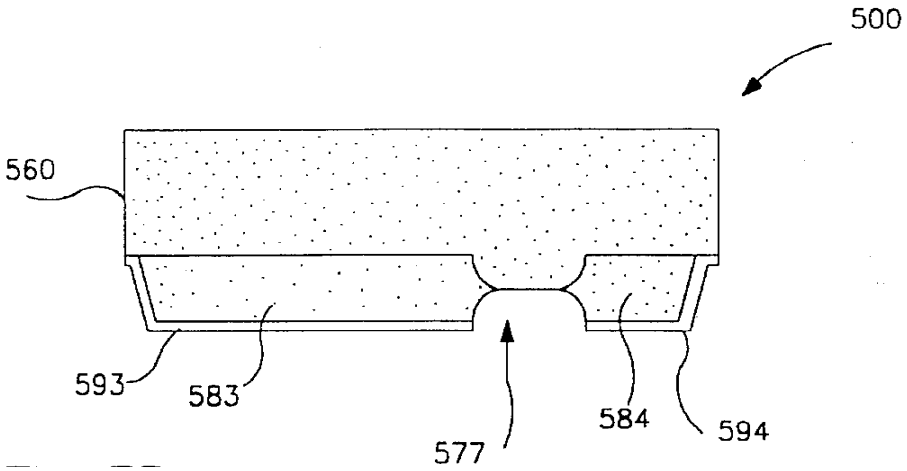
도면33



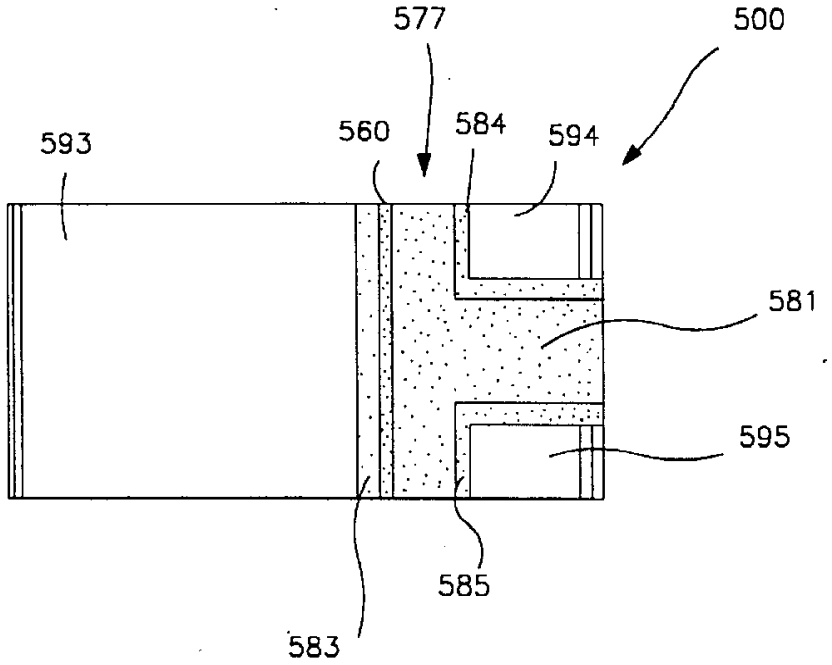
도면34



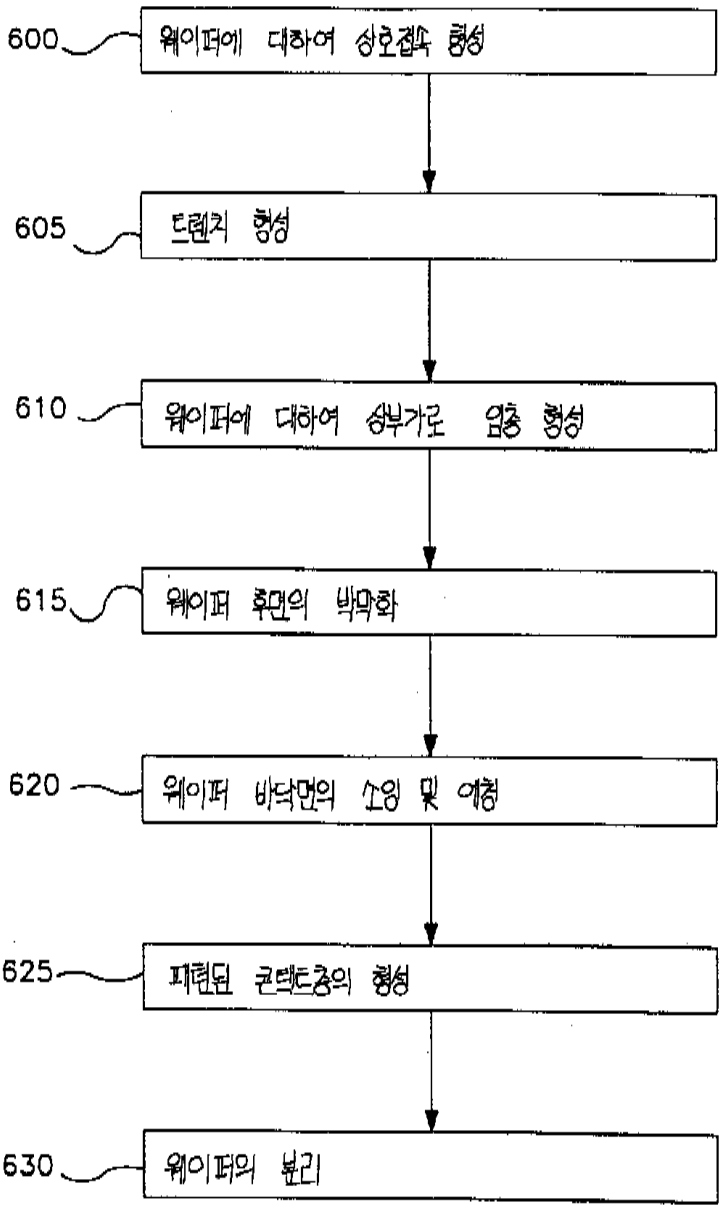
도면35


500
560
593
583
577
584
594

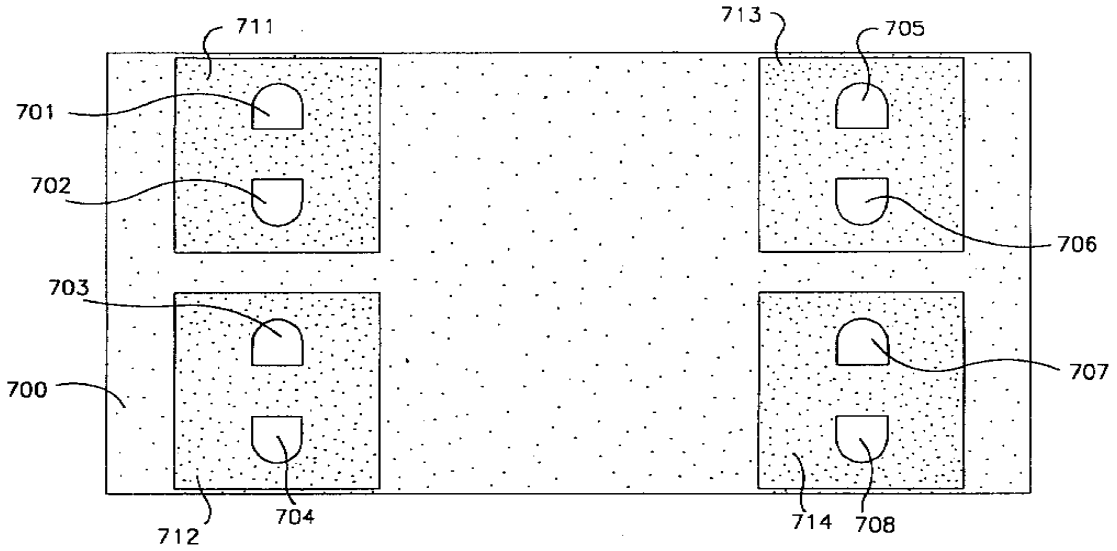
도면36


577
500
593
560
584
594
581
595
585
583

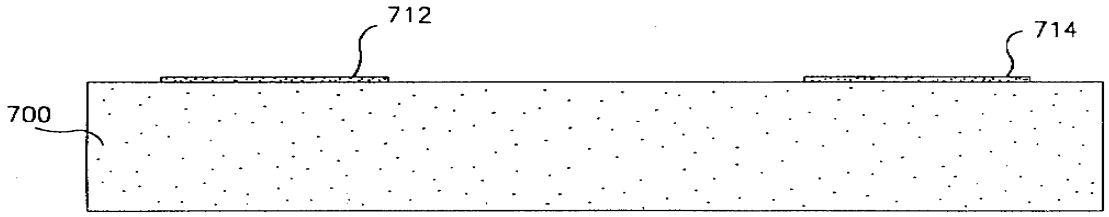
도면37


600
웨이퍼에 대하여 상호접속 형성
605
트렌치 형성
610
웨이퍼에 대하여 상부가로 덮층 형성
615
웨이퍼 후면의 박막화
620
웨이퍼 바닥면의 소잉 및 에칭
625
피복된 콘택트층의 형성
630
웨이퍼의 분리

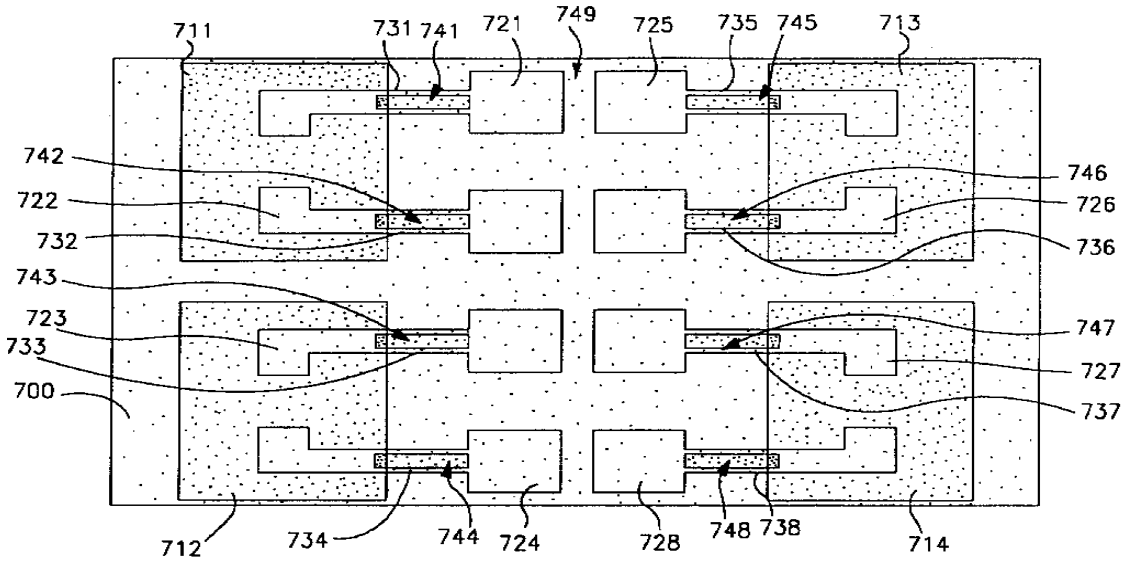
도면38



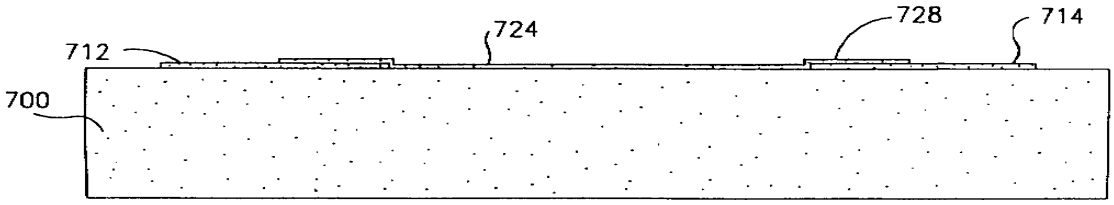
도면39



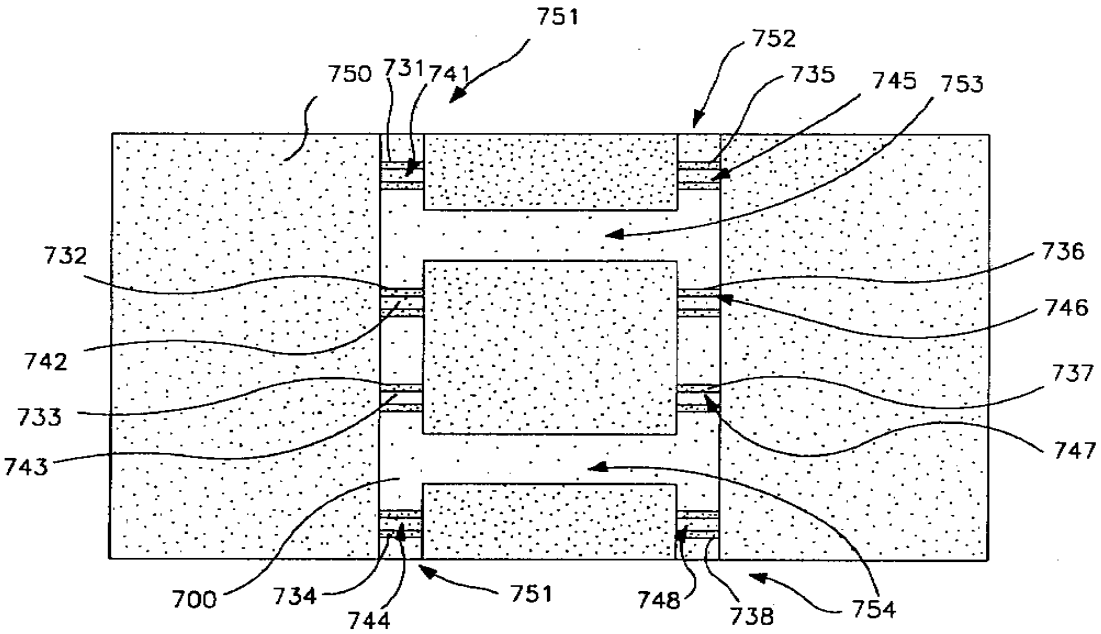
도면40



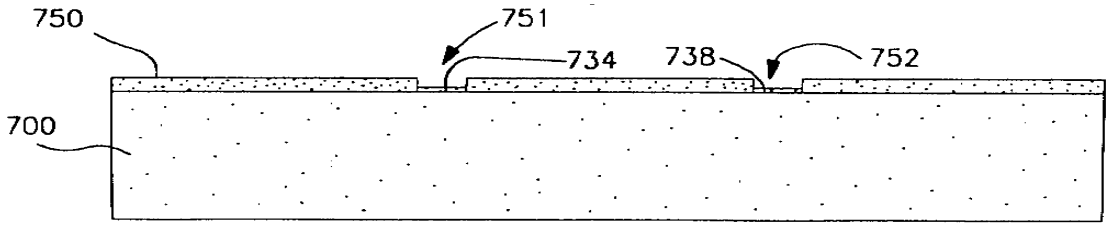
도면41



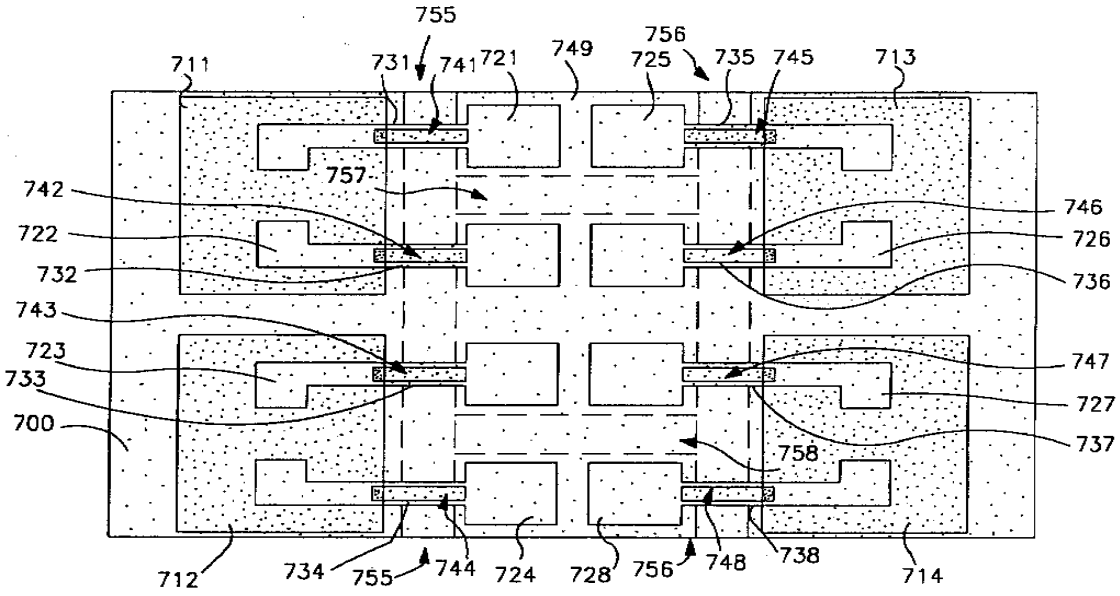
도면42



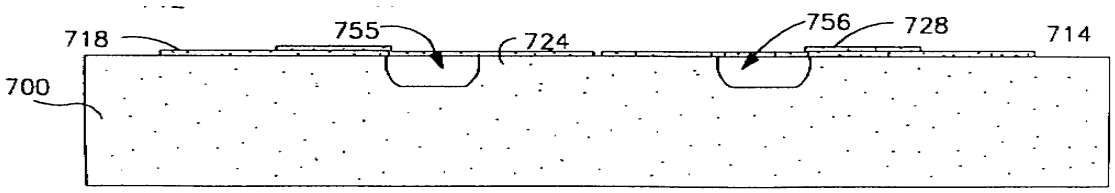
도면43



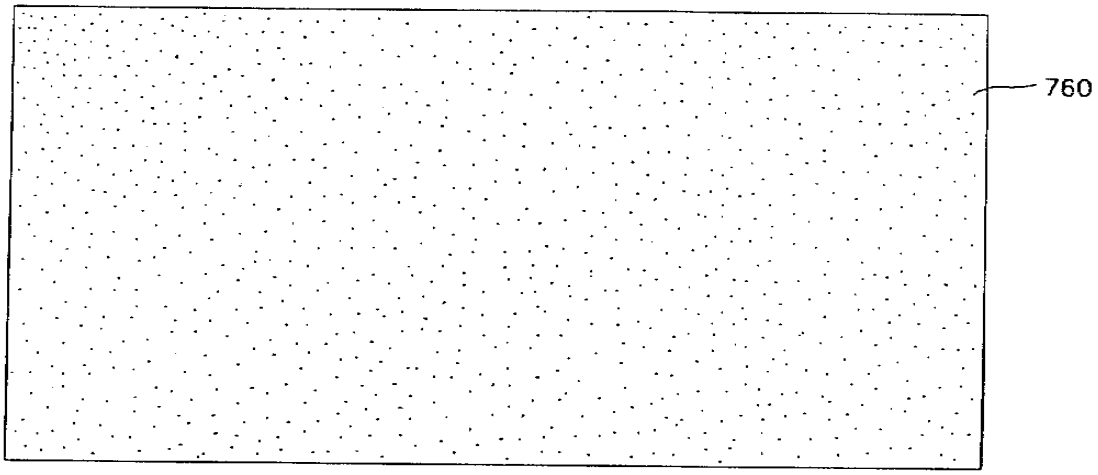
도면44



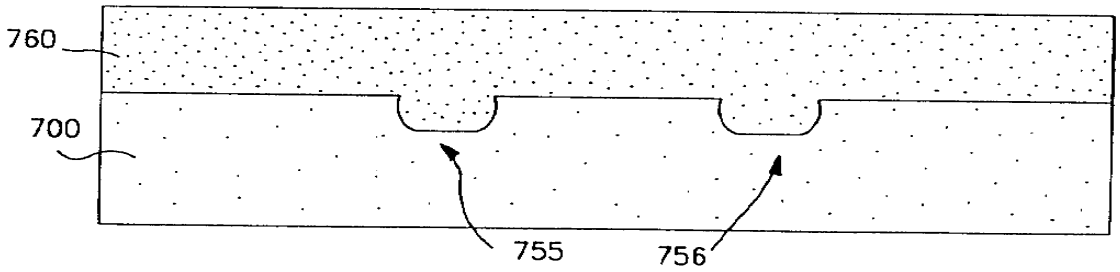
도면45



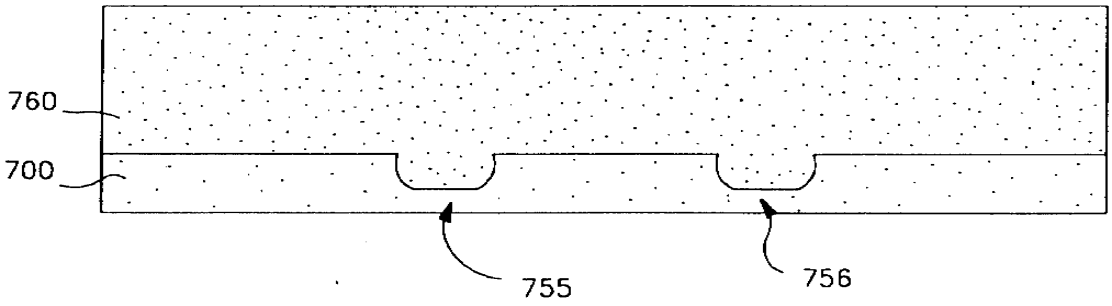
도면46



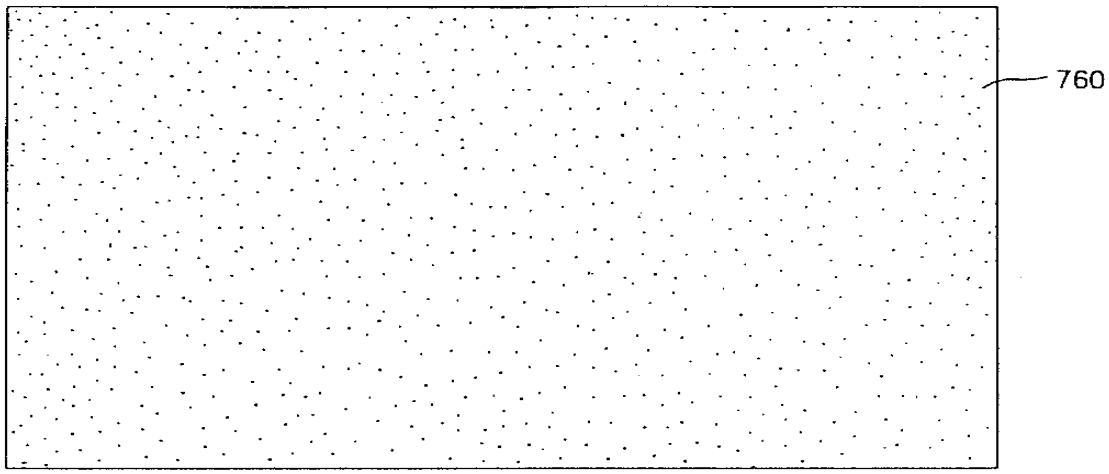
도면47



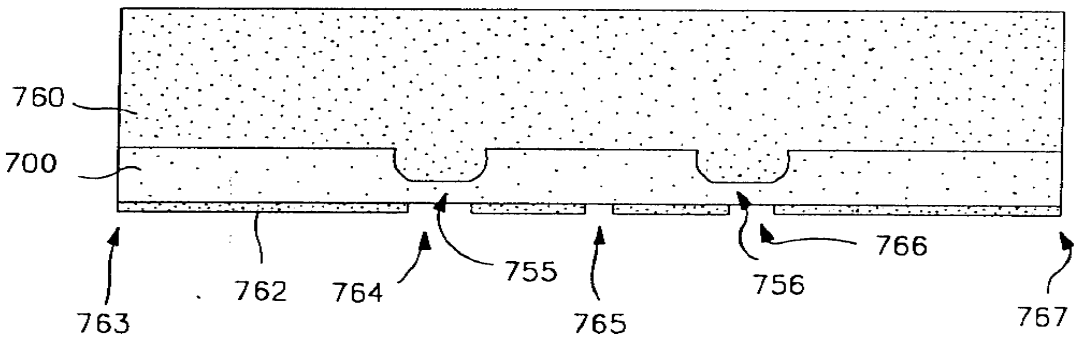
도면48



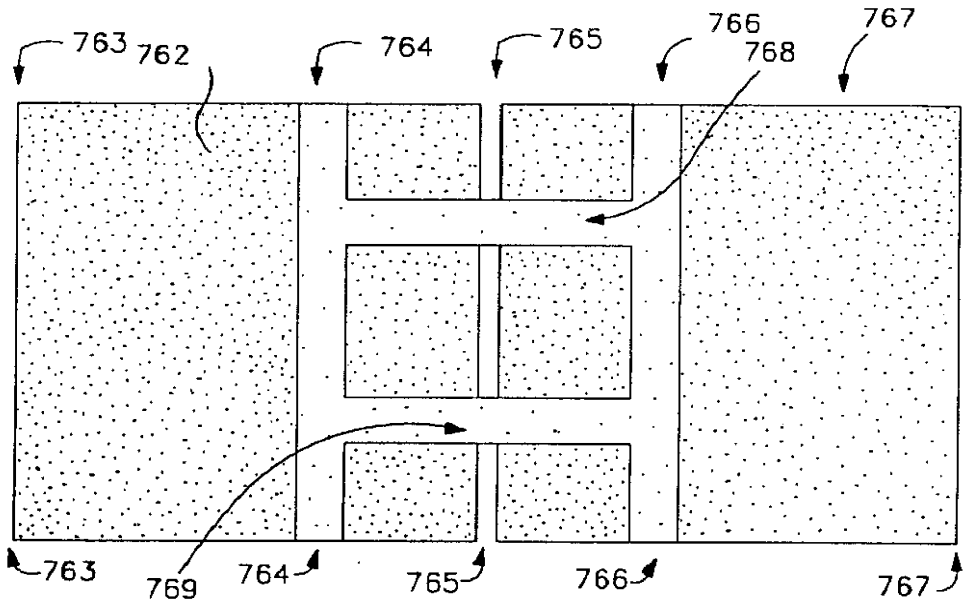
도면49



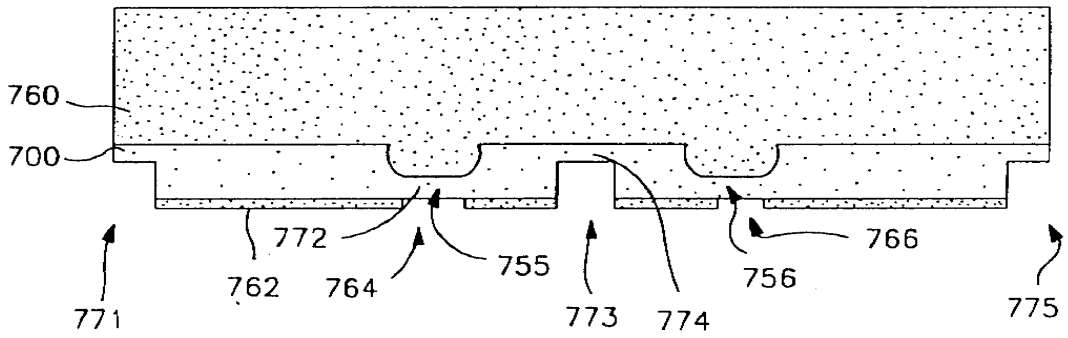
도면50



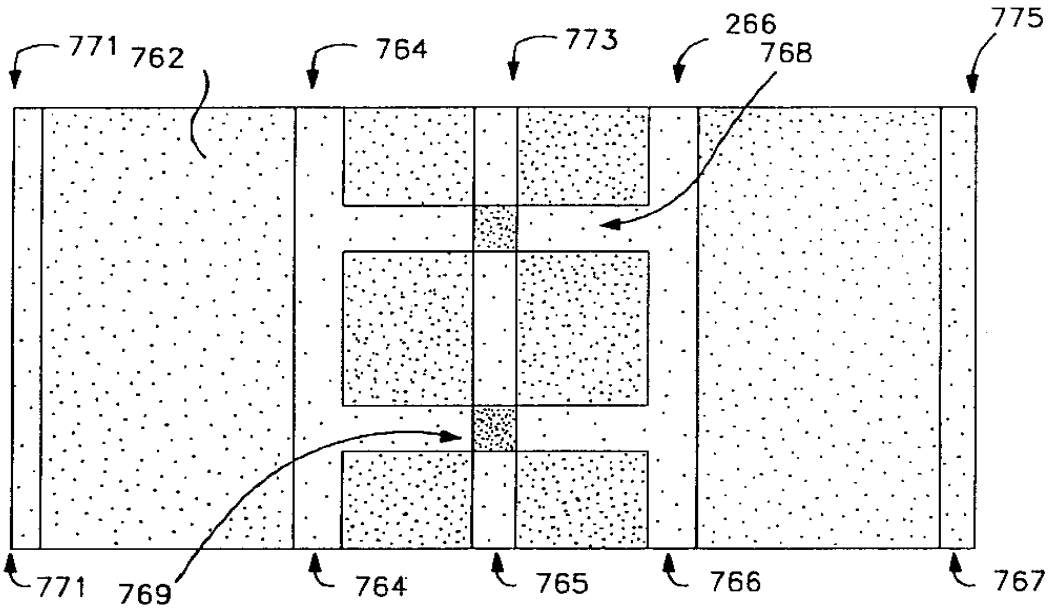
도면51



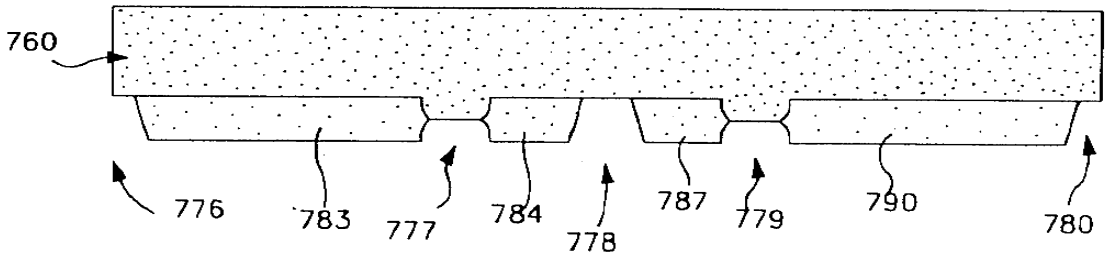
도면52



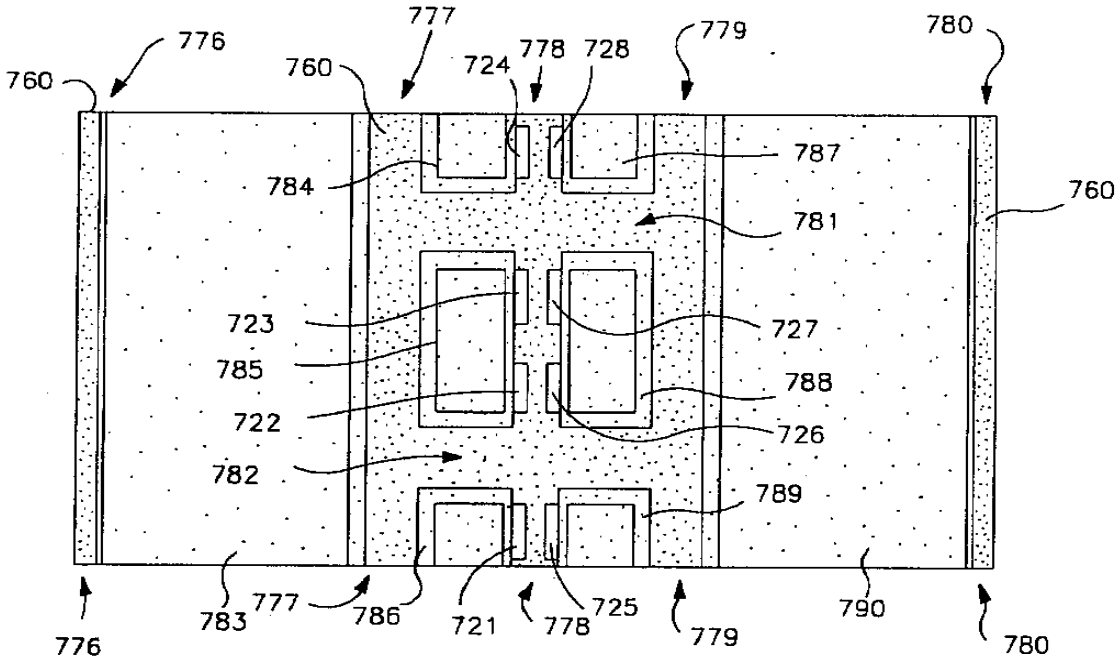
도면53



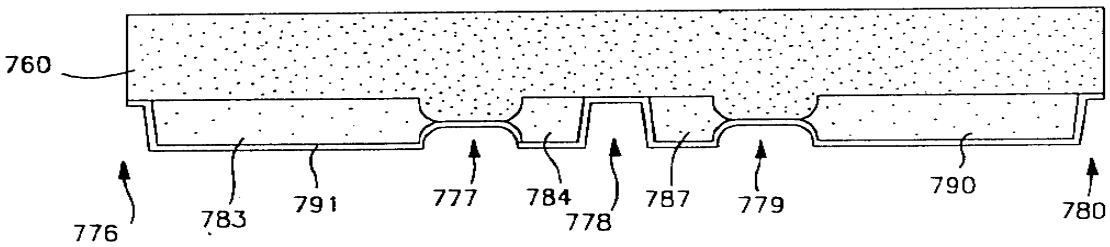
도면54



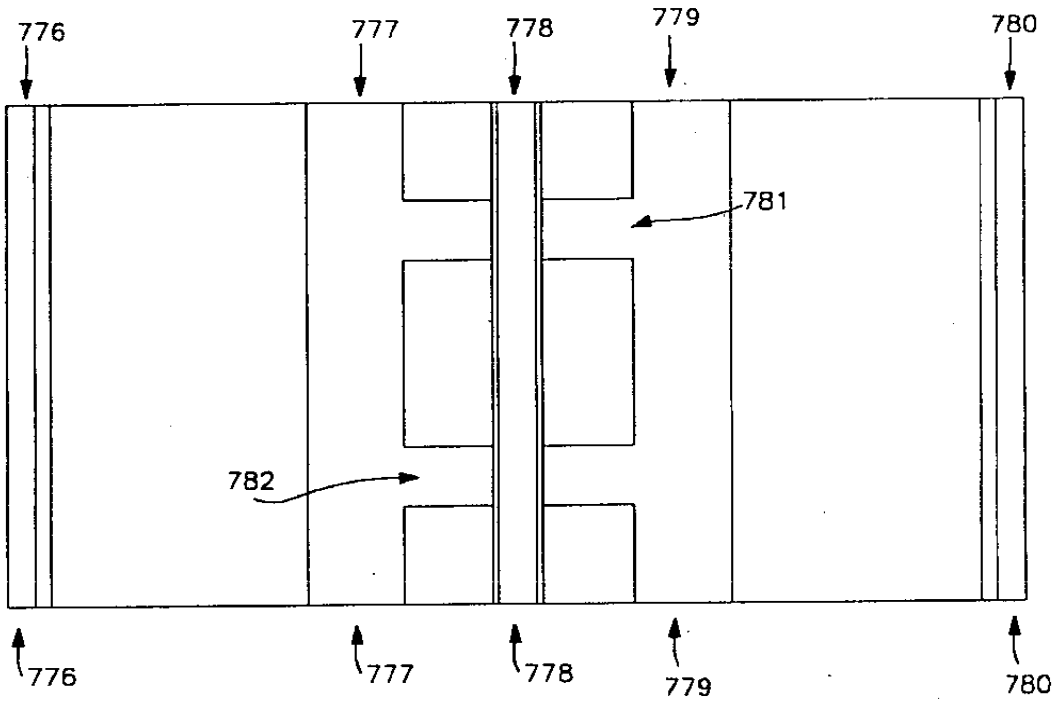
도면55



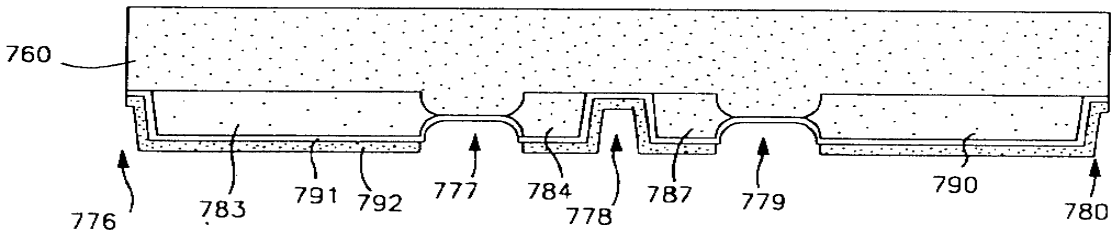
도면56



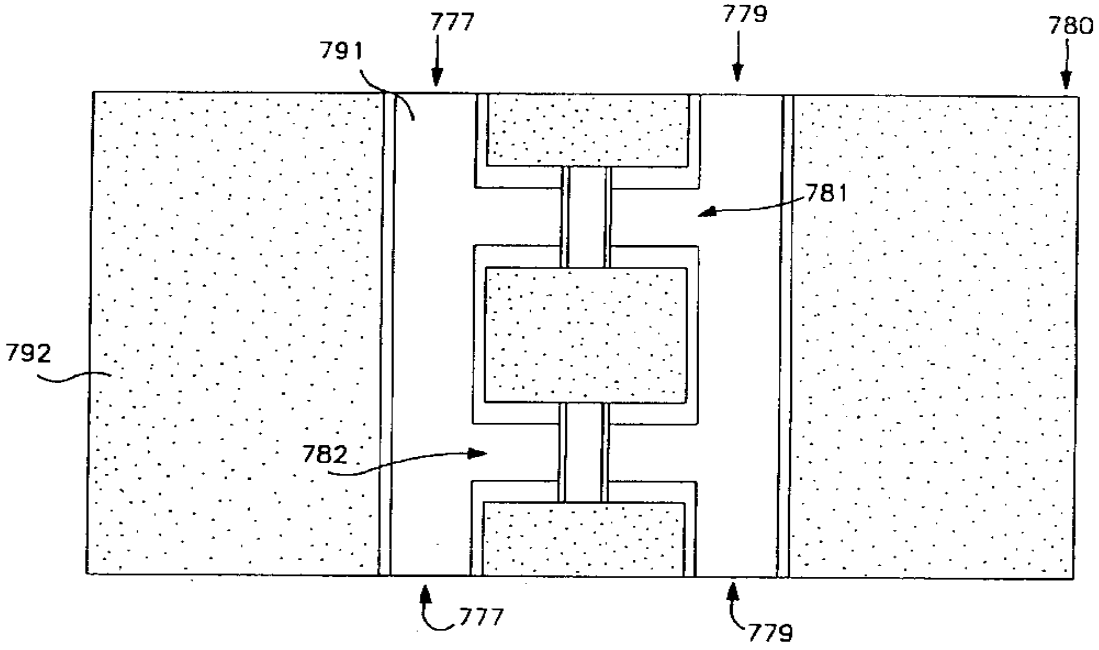
도면57



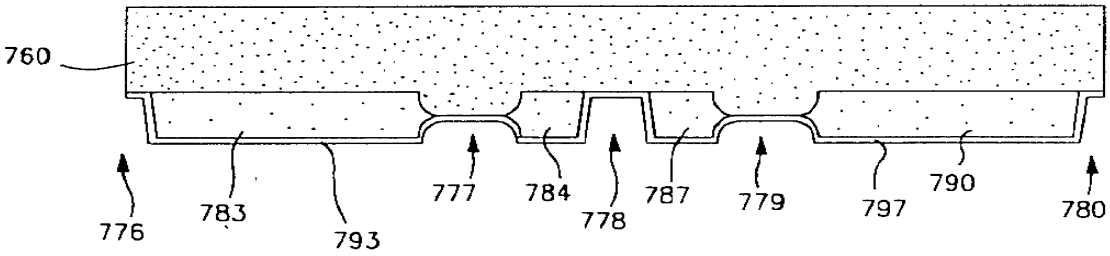
도면58



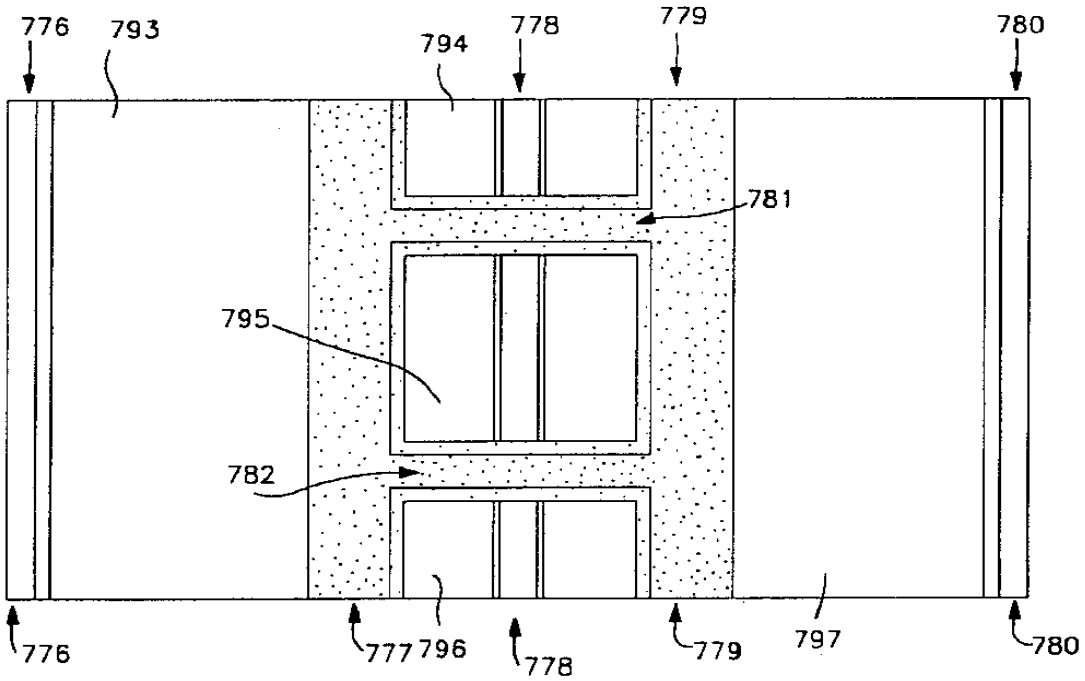
도면59



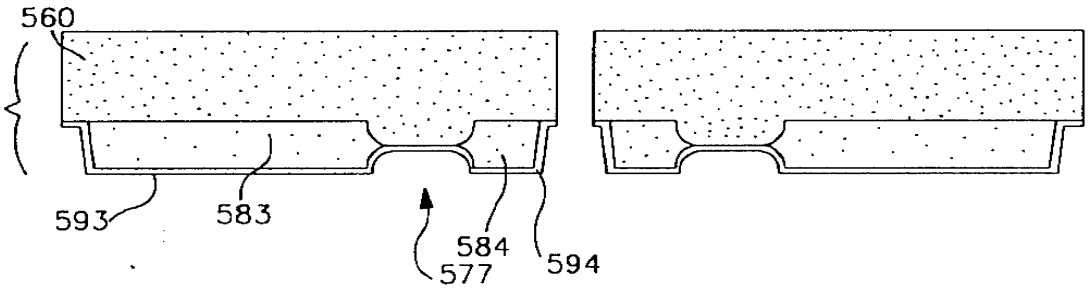
도면60



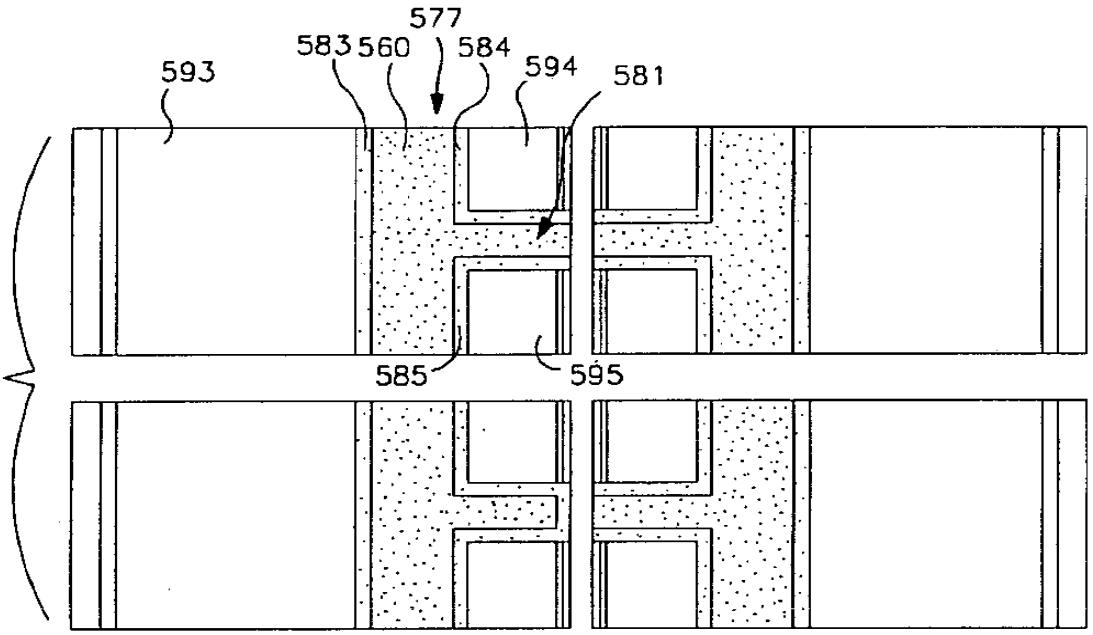
도면61



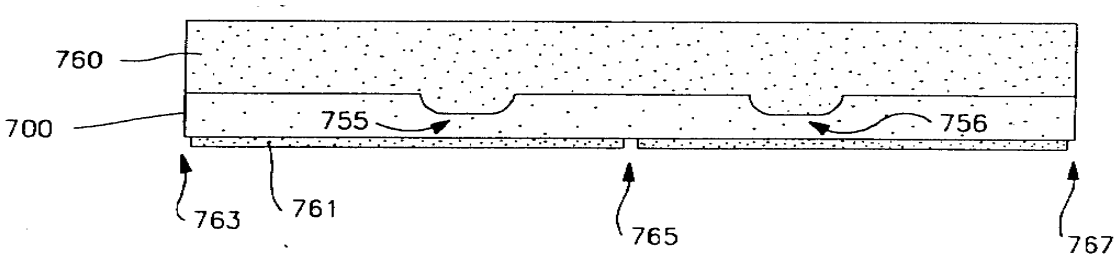
도면62



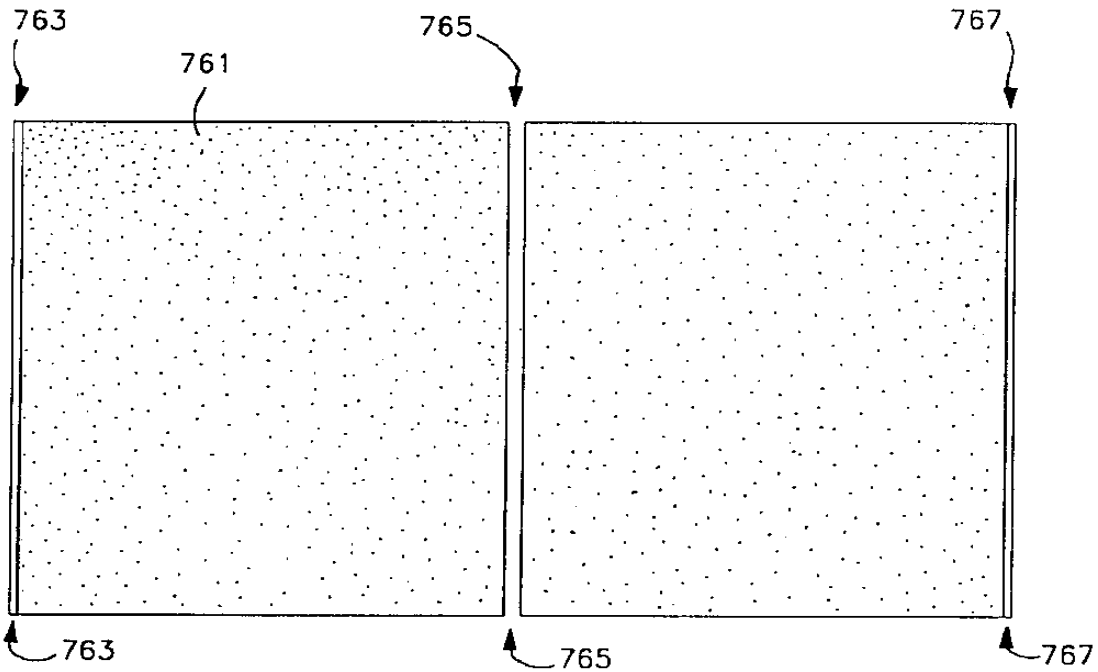
도면63



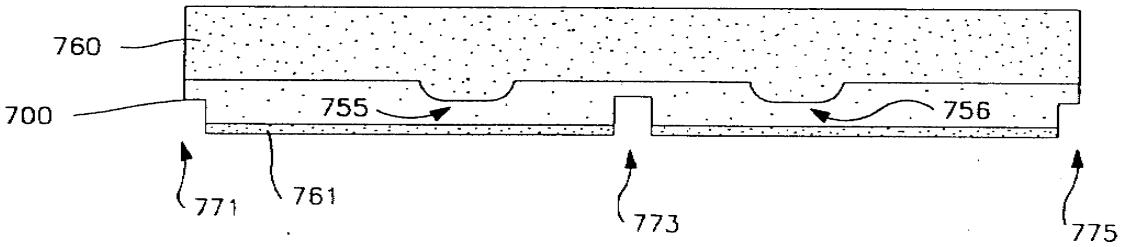
도면64



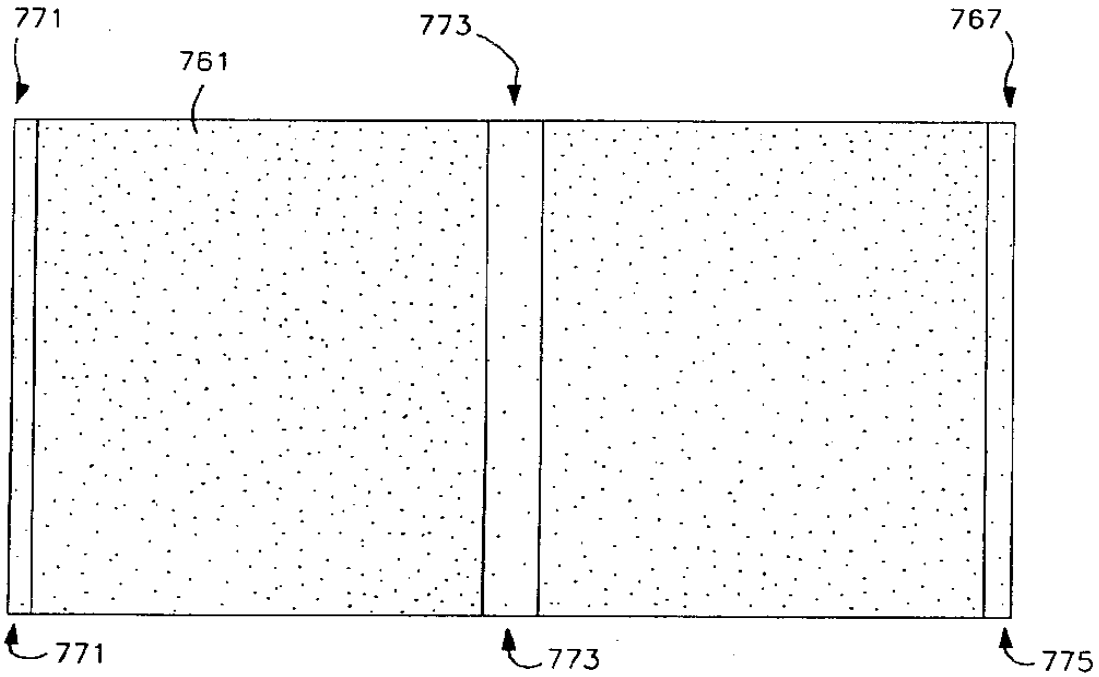
도면65



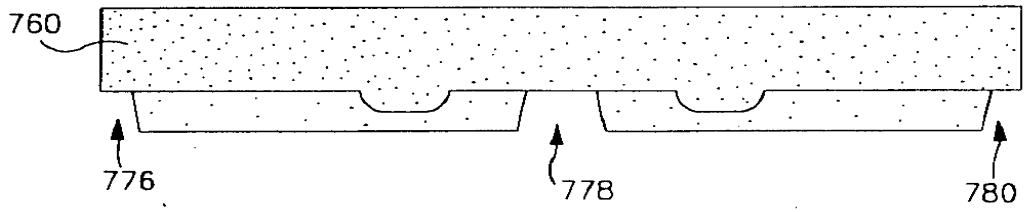
도면66



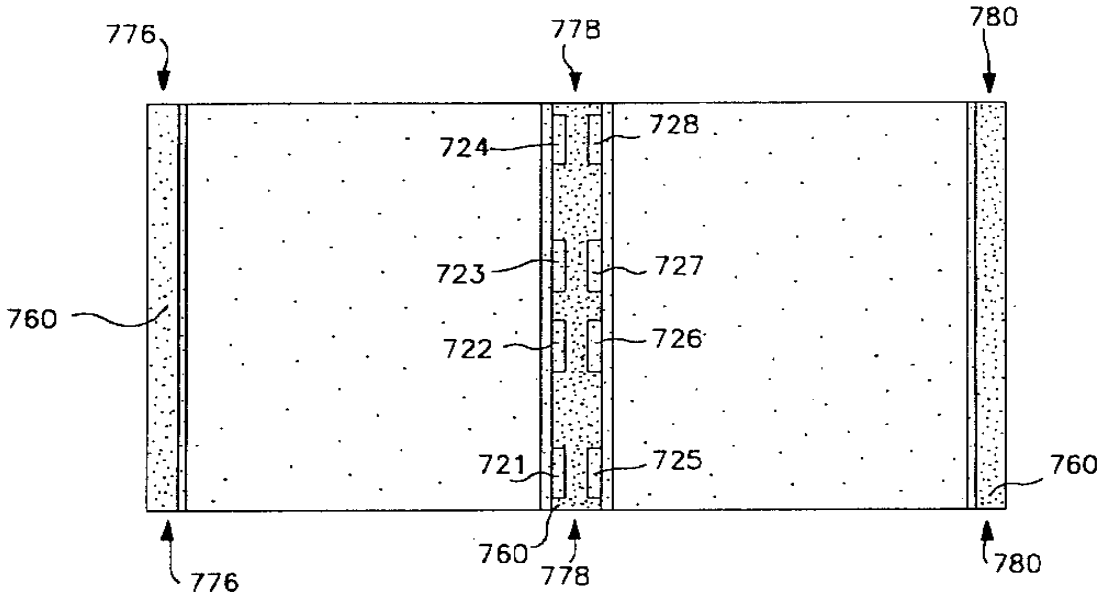
도면67



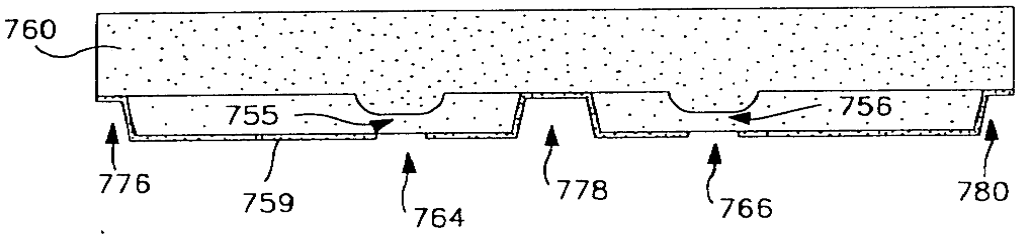
도면68



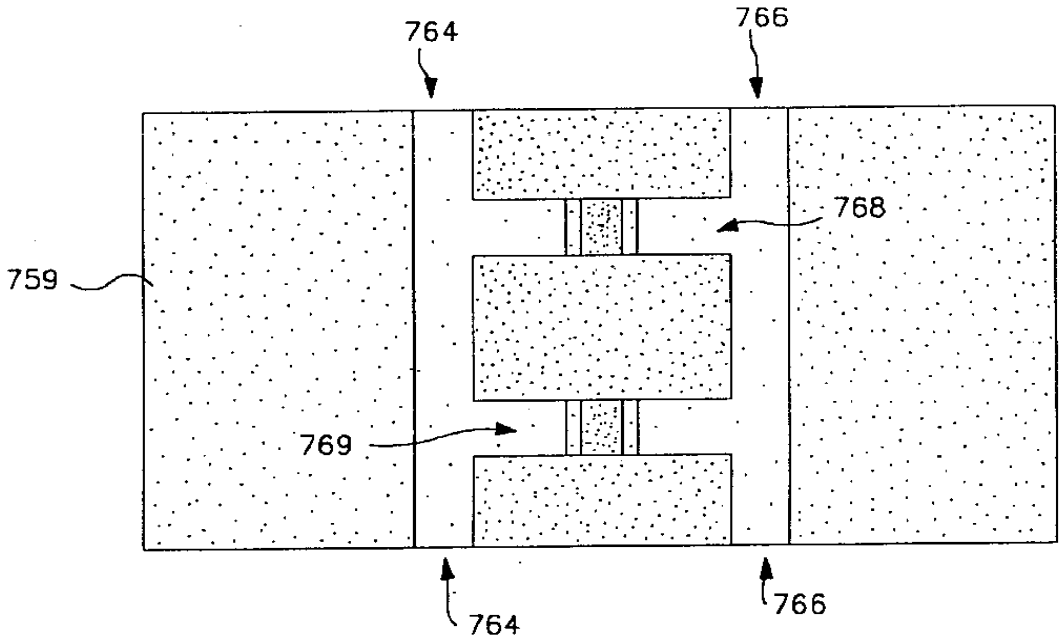
도면69



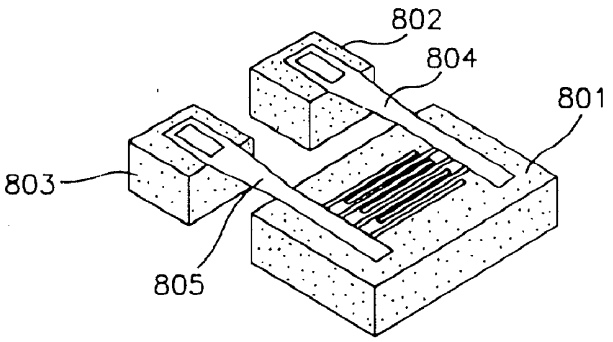
도면70



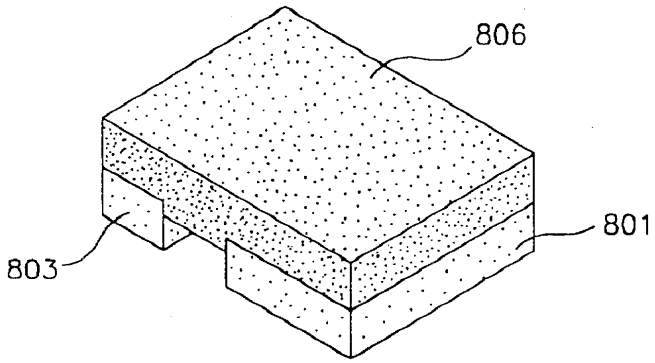
도면71



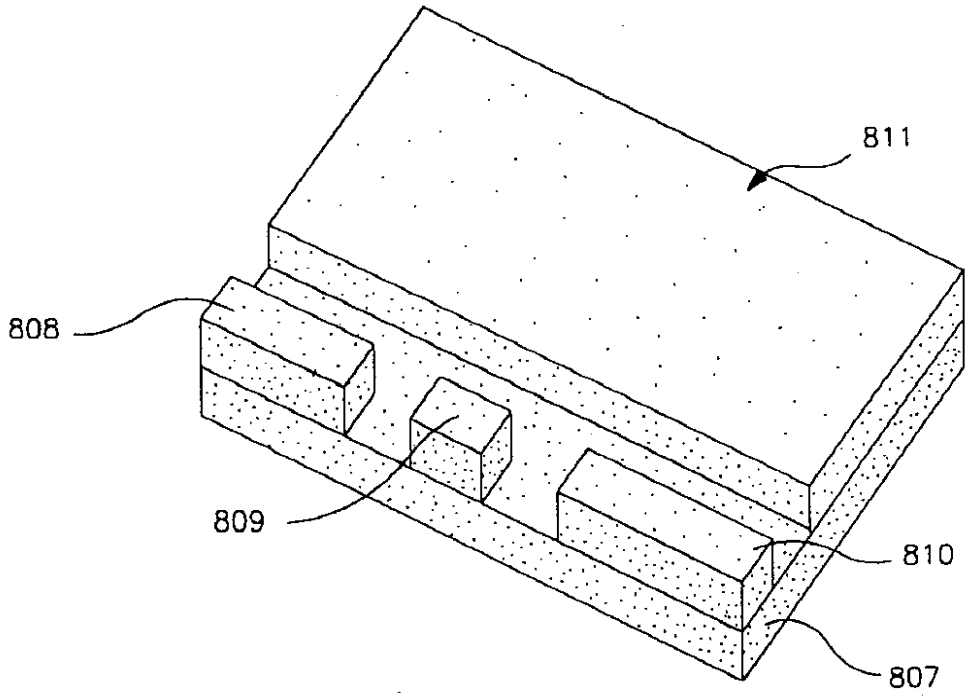
도면72



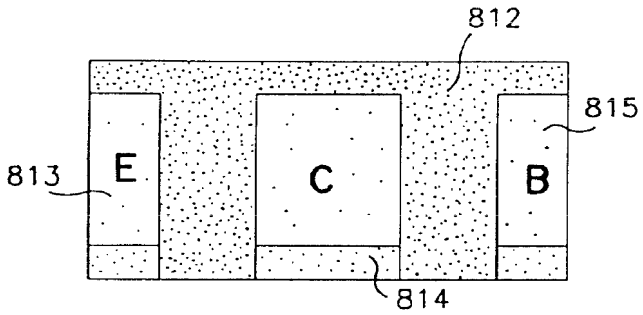
도면73



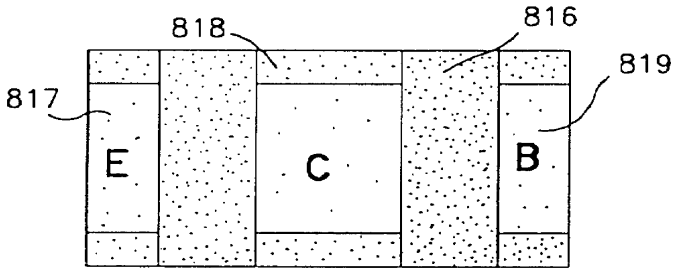
도면74



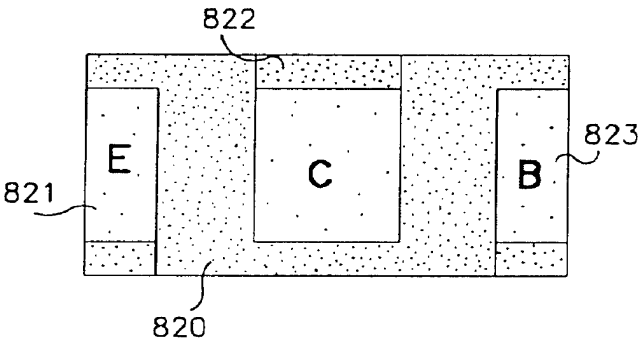
도면75



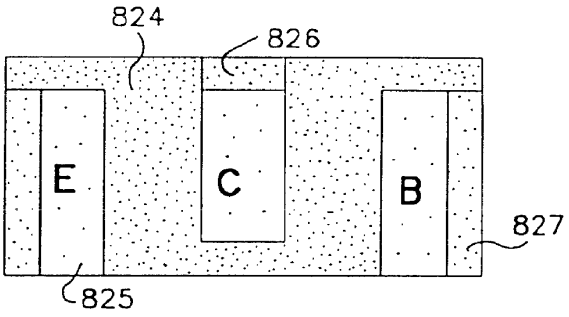
도면76



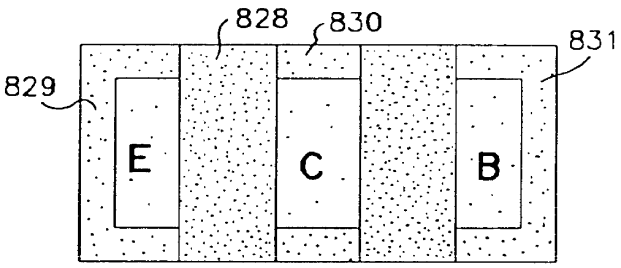
도면77



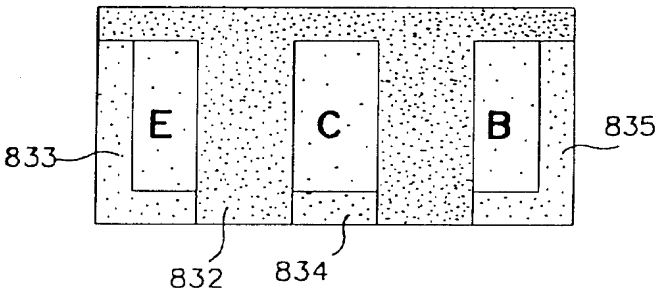
도면78



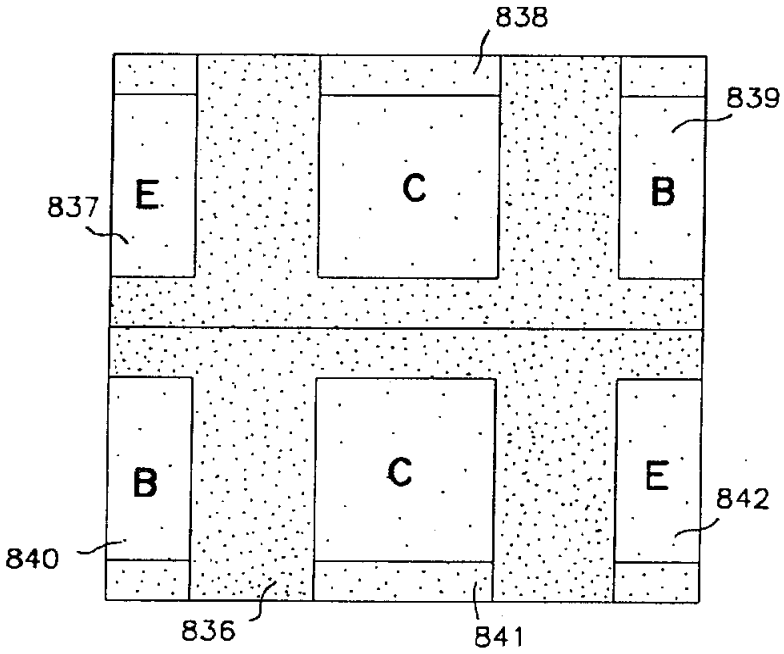
도면79



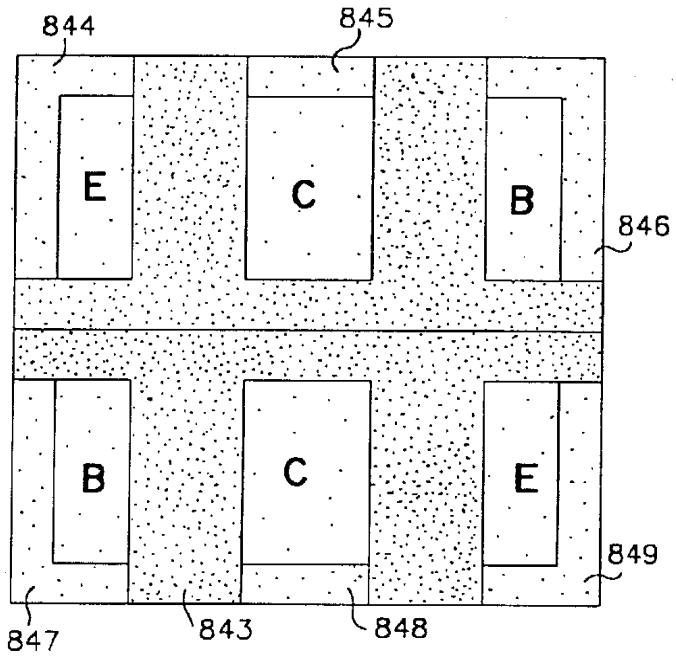
도면80



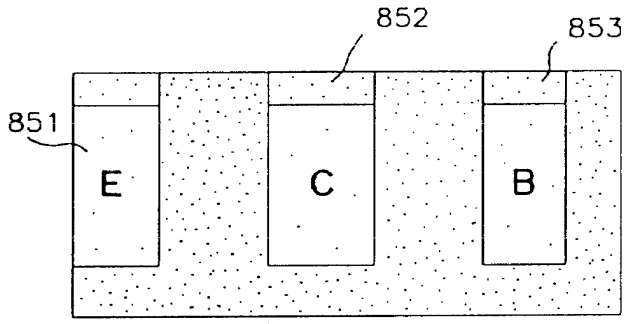
도면81



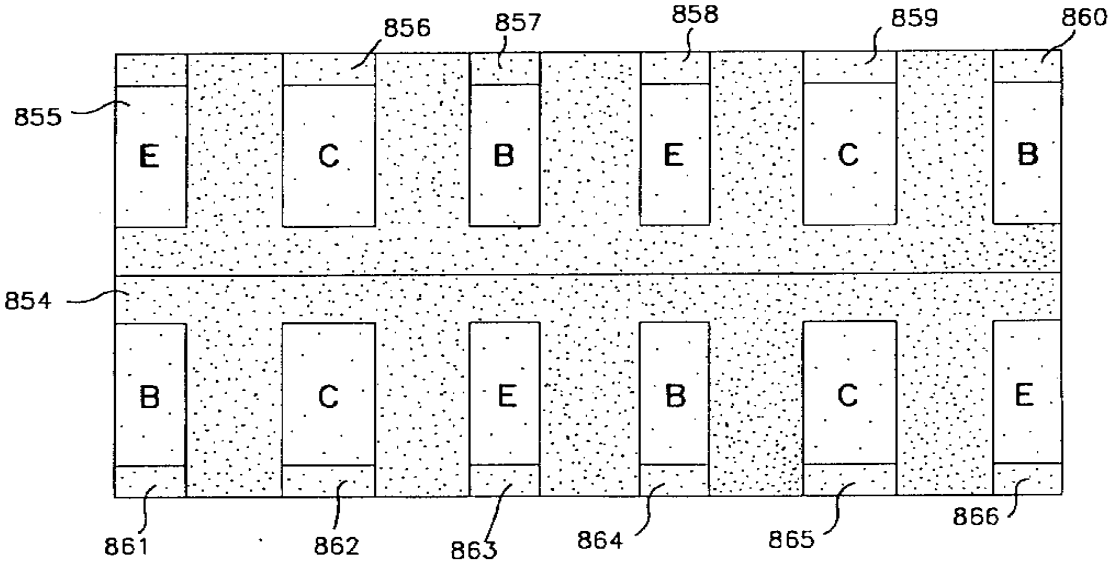
도면82



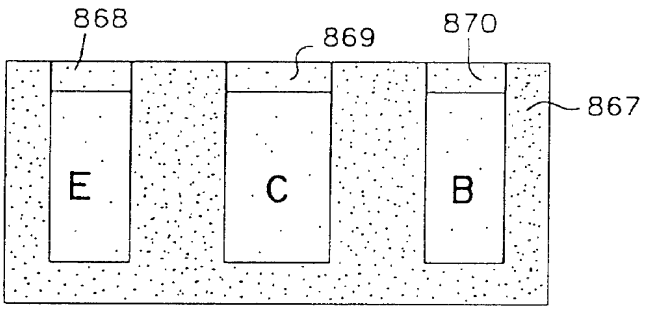
도면83



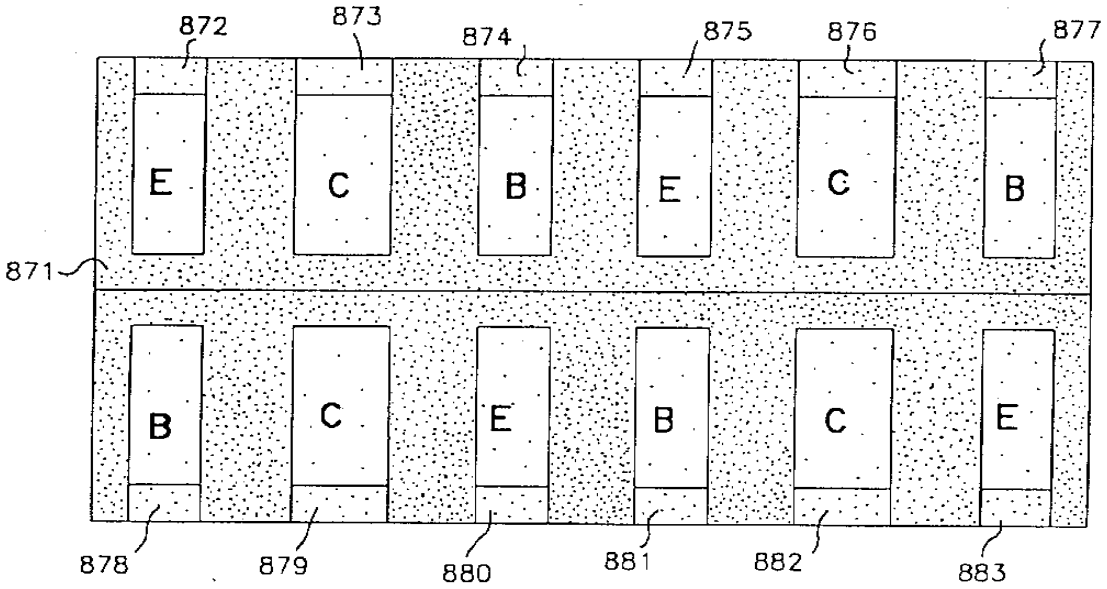
도면84



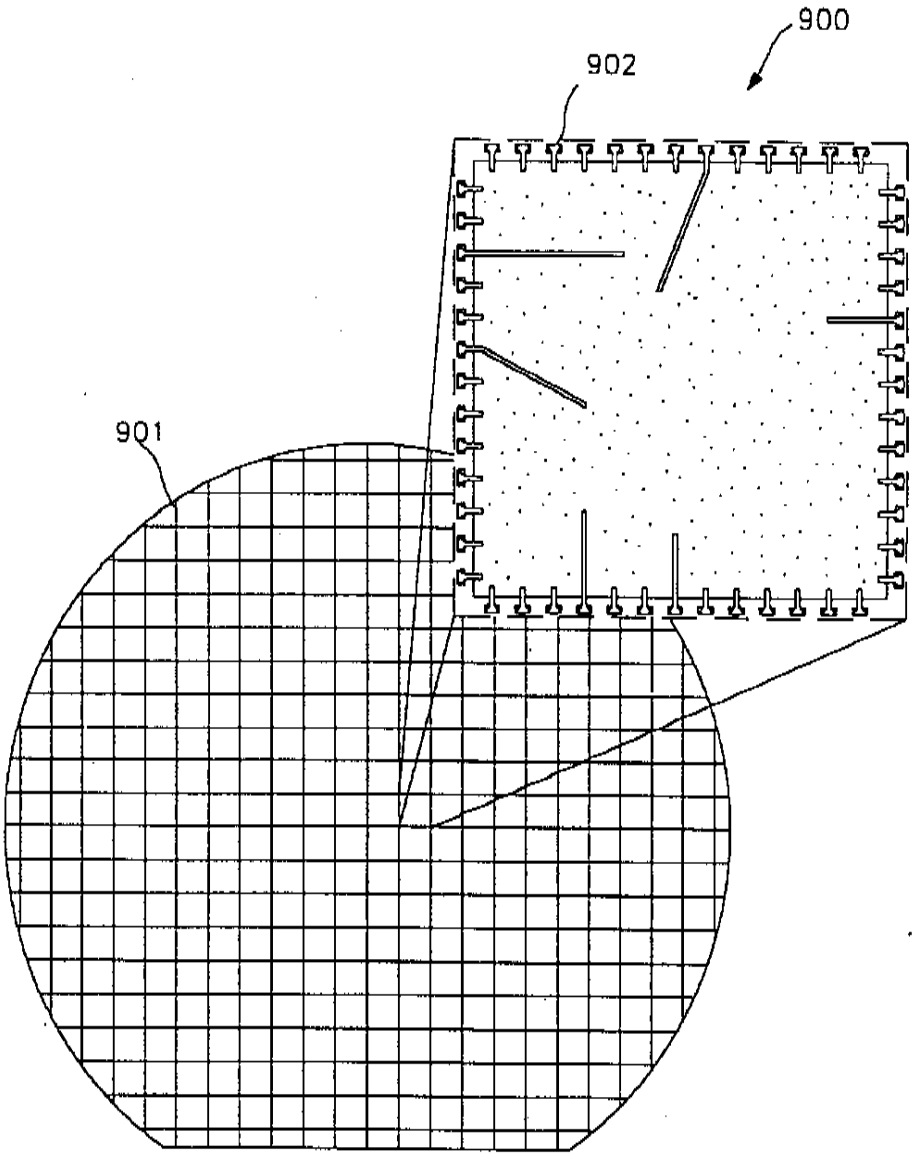
도면85


868
869
870
867
E
C
B

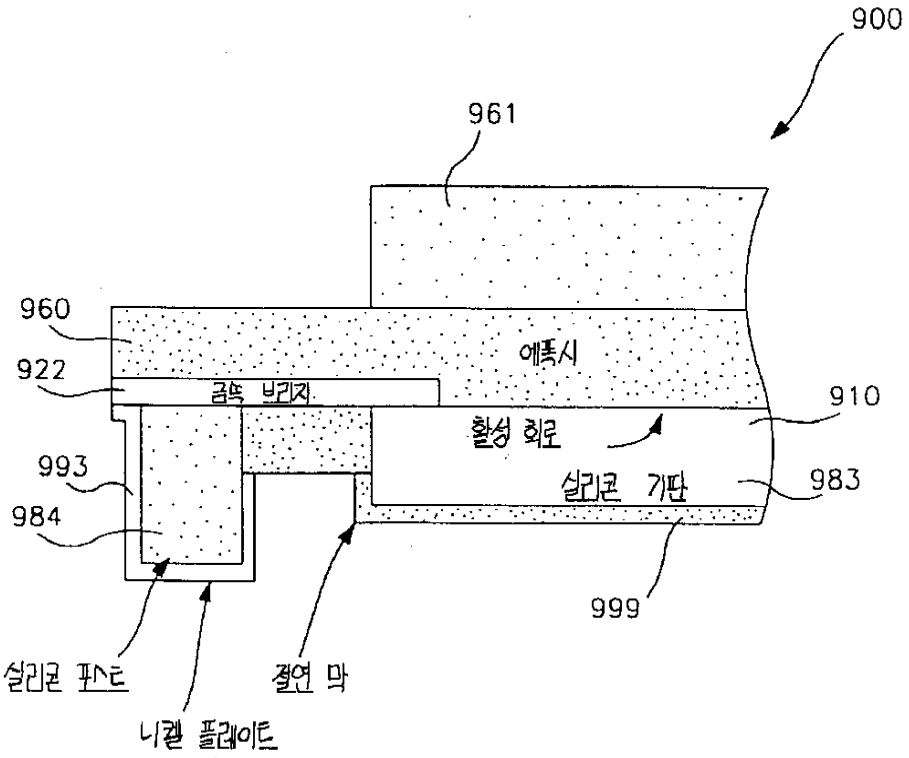
도면86


872
873
874
875
876
877
871
E
C
B
E
C
B
B
C
E
B
C
E
878
879
880
881
882
883

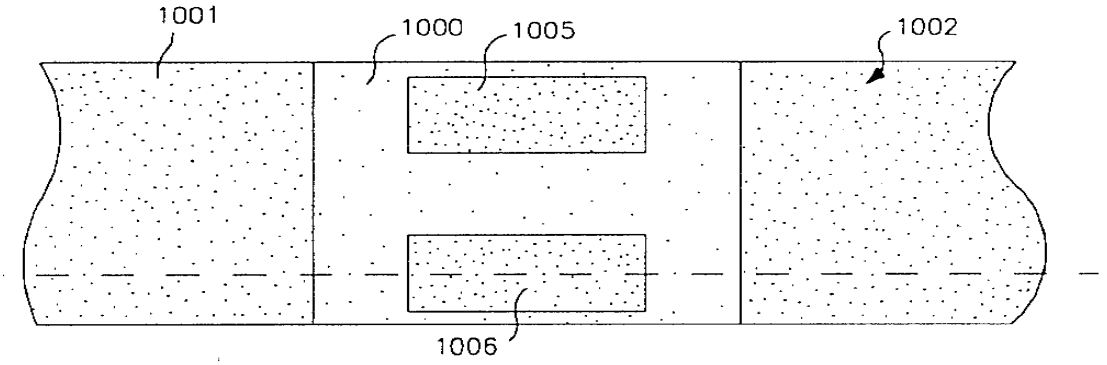
도면87



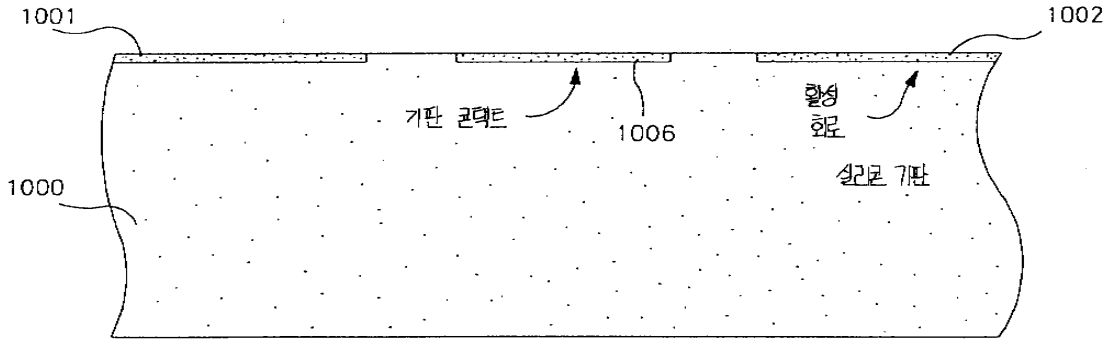
도면88



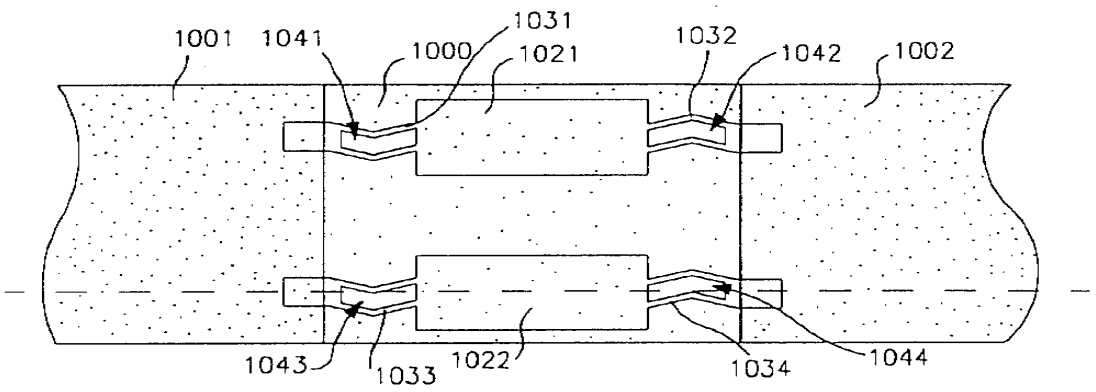
도면89



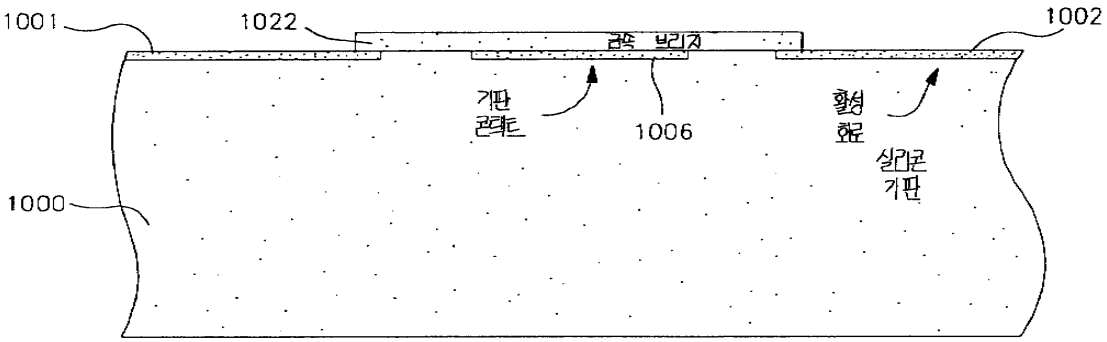
도면90



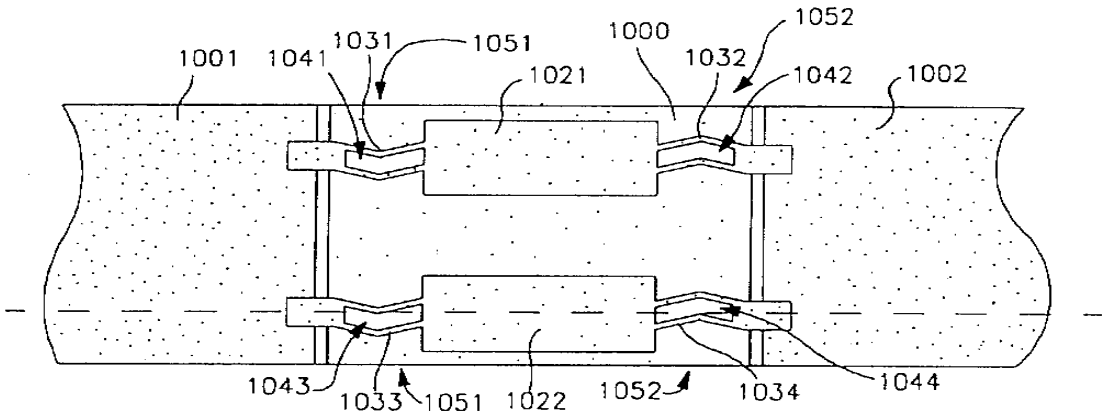
도면91



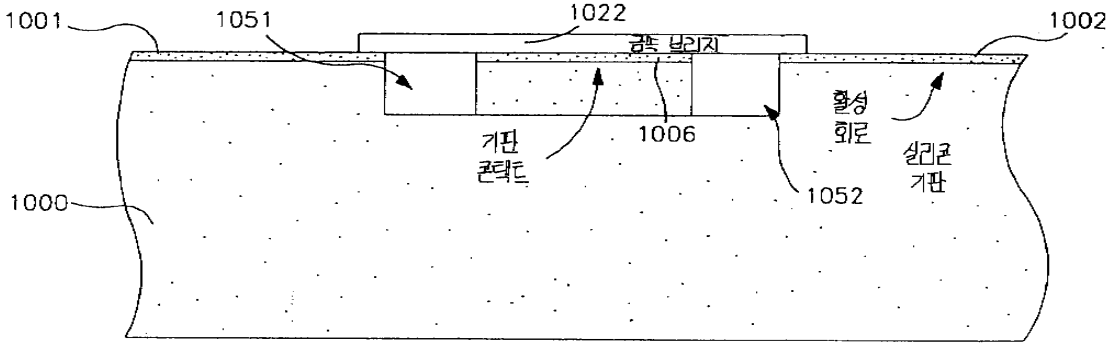
도면92



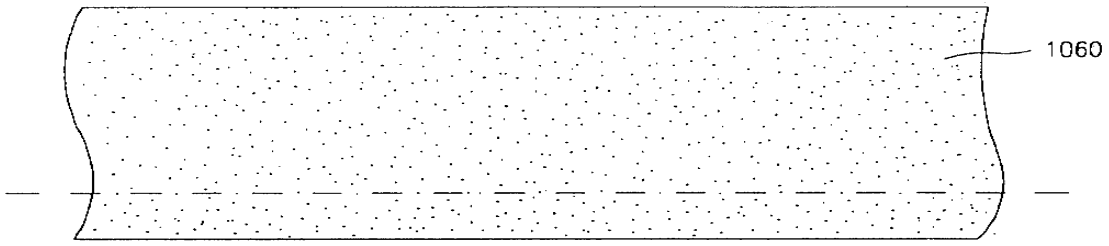
도면93



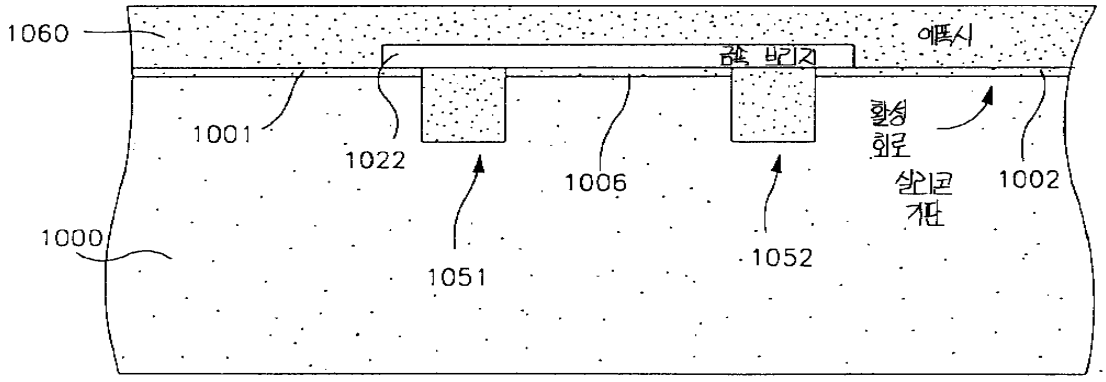
도면94



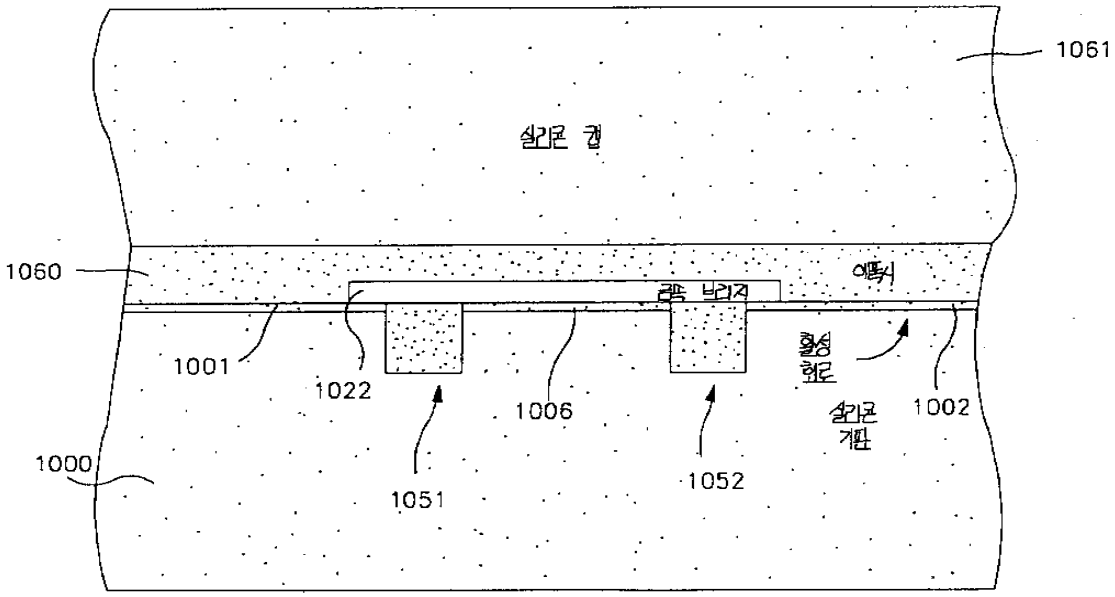
도면95



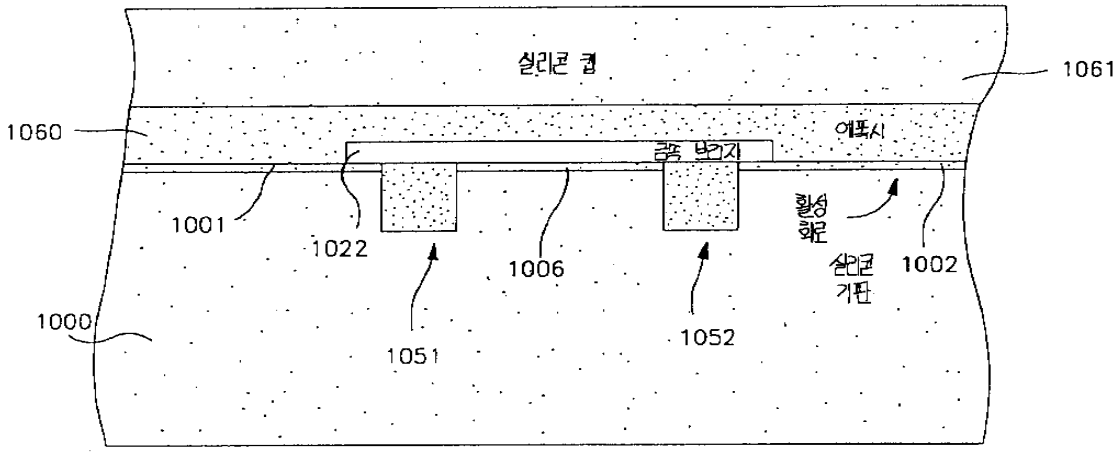
도면96



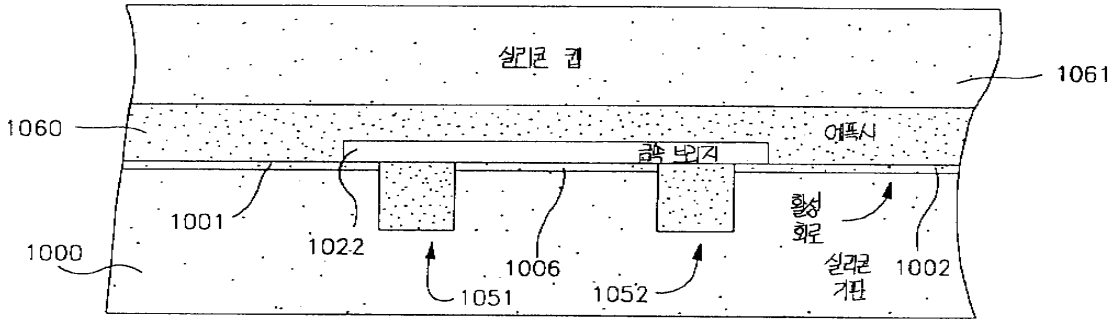
도면97



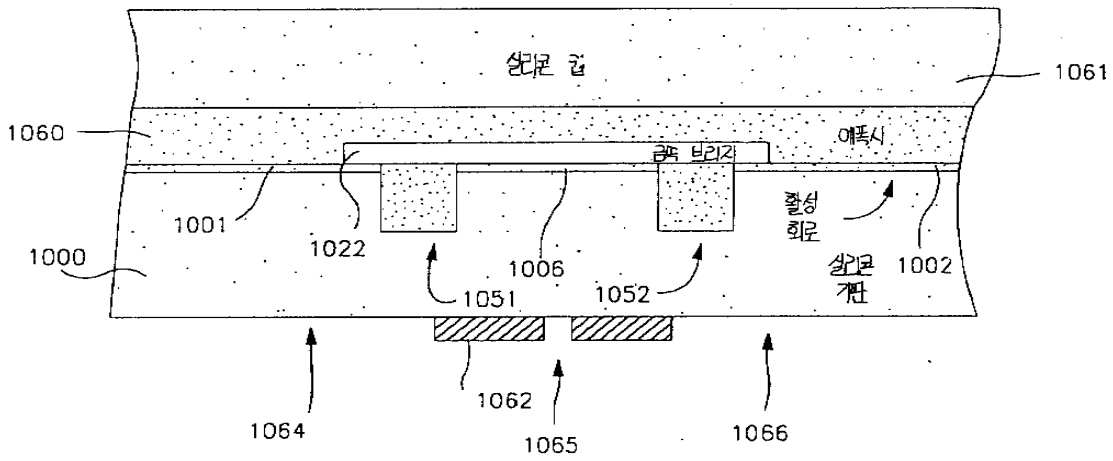
도면98



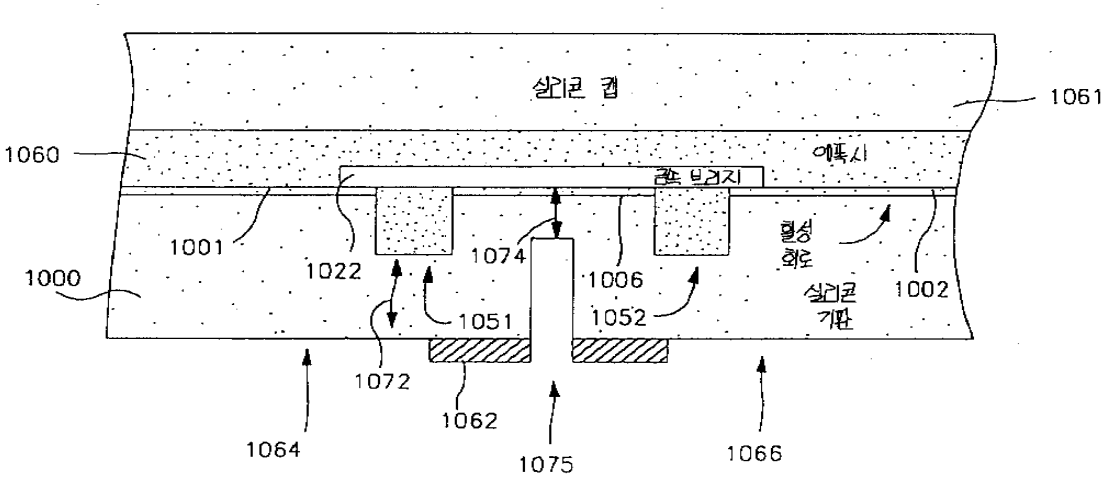
도면99



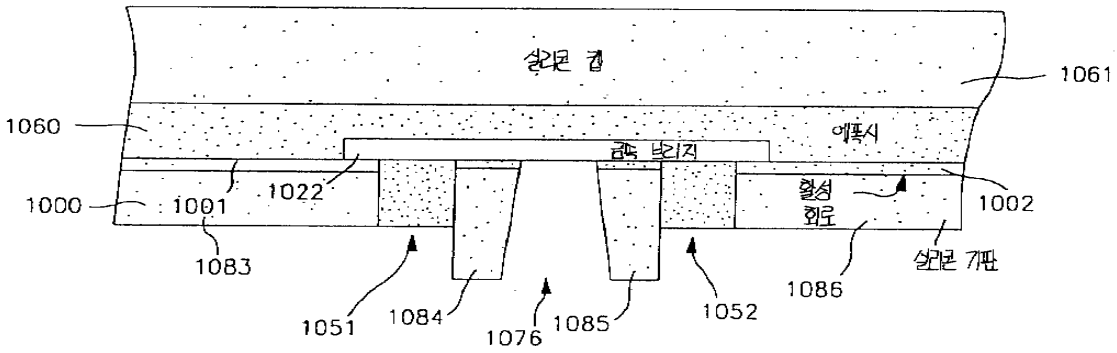
도면100



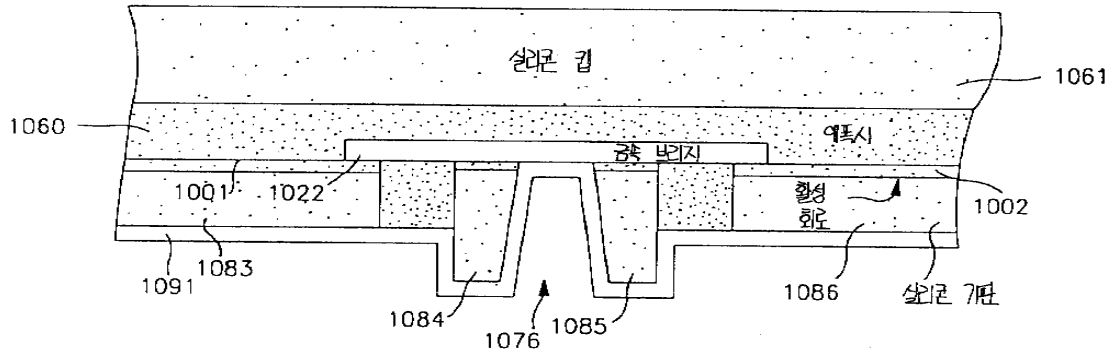
도면101



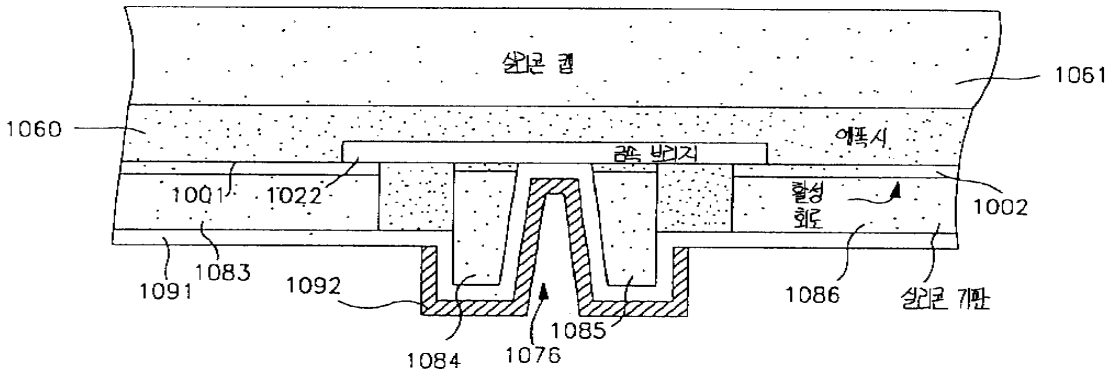
도면102



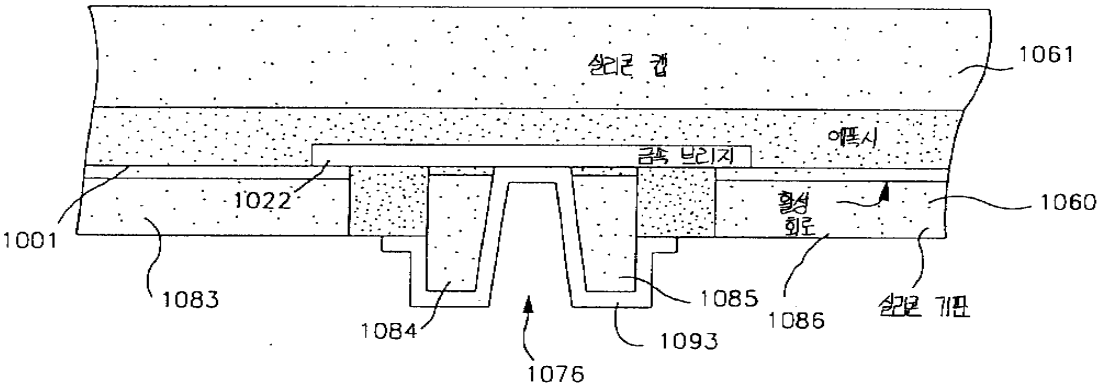
도면103



도면104



도면105



도면106

