

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4340296号
(P4340296)

(45) 発行日 平成21年10月7日 (2009. 10. 7)

(24) 登録日 平成21年7月10日 (2009. 7. 10)

(51) Int. Cl.

F I

H03M 1/18 (2006.01)

H03M 1/18

H03M 1/56 (2006.01)

H03M 1/56

H03M 1/08 (2006.01)

H03M 1/08

A

H04N 5/335 (2006.01)

H04N 5/335

E

H04N 5/335

Z

請求項の数 10 (全 28 頁)

(21) 出願番号 特願2007-18771 (P2007-18771)
(22) 出願日 平成19年1月30日 (2007. 1. 30)
(65) 公開番号 特開2008-187420 (P2008-187420A)
(43) 公開日 平成20年8月14日 (2008. 8. 14)
審査請求日 平成20年1月18日 (2008. 1. 18)

(73) 特許権者 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町2番2号
(74) 代理人 100114476
弁理士 政木 良文
(72) 発明者 丸山 正彦
大阪府大阪市阿倍野区長池町2番2号
シャープ株式会社内

審査官 栗栖 正和

最終頁に続く

(54) 【発明の名称】 A/D変換器

(57) 【特許請求の範囲】

【請求項 1】

電圧値が一定期間単調変化するランプ電圧を発生するランプ電圧発生回路と、

被変換アナログ電圧をサンプリングホールドし、サンプリングホールドされた前記被変換アナログ電圧と、前記ランプ電圧発生回路から発生されるランプ電圧の電圧変化値または前記電圧変化値に比例する電圧値で与えられる参照電圧とを比較する演算器を備え、前記参照電圧が前記被変換アナログ電圧に等しくなった時点で出力変化する電圧比較回路と、

前記参照電圧に応じたデジタル値を計数して出力するカウンタと、

前記カウンタから出力される前記デジタル値を前記電圧比較回路の出力変化時にラッチして出力するラッチ回路と、を備えたA/D変換器であって、

前記被変換アナログ電圧に含まれるノイズ成分を平均化して平均ノイズ電圧を求める平均化処理回路と、

前記平均ノイズ電圧の目標値としての目標ノイズ電圧を設定する目標ノイズ電圧設定回路と、

前記平均ノイズ電圧と前記目標ノイズ電圧の差に基づいて、前記ランプ電圧発生回路によって前記参照電圧が基準電圧レベルから変化を開始する前記制御基準タイミングに対する前記カウンタの計数開始タイミングの調整、及び、前記カウンタの計数開始タイミングにおける前記参照電圧の前記基準電圧レベルの調整の内、少なくとも前記カウンタの前記計数開始タイミングの調整を行う制御回路を備えることを特徴とするA/D変換器。

10

20

【請求項 2】

前記制御回路は、前記平均ノイズ電圧と前記目標ノイズ電圧の差を示す指標値を算出し、前記指標値に応じて前記カウンタの前記計数開始タイミングを調整するカウンタ待機時間を算出し、前記カウンタの前記計数開始タイミングを前記カウンタ待機時間に応じて調整することを特徴とする請求項 1 に記載の A / D 変換器。

【請求項 3】

前記制御回路は、

前記平均ノイズ電圧と前記目標ノイズ電圧の差を示す指標値を算出し、
前記指標値に応じて前記カウンタの前記計数開始タイミングを調整するカウンタ待機時間を算出し、

10

前記平均ノイズ電圧が前記目標ノイズ電圧を上回る場合に、前記制御基準タイミングに対する前記計数開始タイミングを前記カウンタ待機時間に応じて遅らせ、

前記平均ノイズ電圧が前記目標ノイズ電圧を下回る場合に、前記制御基準タイミングに対する前記計数開始タイミングを前記カウンタ待機時間に応じて早め、更に、前記制御基準タイミングにおける前記参照電圧の前記基準電圧レベルの調整量を前記指標値に基づいて算出し、前記制御基準タイミング前に、前記ランプ電圧の電圧変化方向とは反対の方向に、前記参照電圧の前記基準電圧レベルを前記調整量だけ変化させることを特徴とする請求項 1 に記載の A / D 変換器。

【請求項 4】

前記制御回路は、

20

前記平均ノイズ電圧と前記目標ノイズ電圧の差を示す指標値を算出し、
前記指標値に基づいて、前記計数開始タイミングにおける前記参照電圧の前記基準電圧レベルの調整量を算出し、

前記計数開始タイミング前に、前記ランプ電圧の電圧変化方向に、前記参照電圧の前記基準電圧レベルを前記調整量に基づいて変化させることを特徴とする請求項 1 に記載の A / D 変換器。

【請求項 5】

前記制御回路は、

前記平均ノイズ電圧が前記目標ノイズ電圧を下回る場合に、前記指標値に基づいて、前記計数開始タイミングにおける前記参照電圧の前記基準電圧レベルの調整量を算出し、

30

前記計数開始タイミング前に、前記ランプ電圧の電圧変化方向とは反対の方向に、前記参照電圧の前記基準電圧レベルを前記調整量に基づいて変化させることを特徴とする請求項 4 に記載の A / D 変換器。

【請求項 6】

前記ランプ電圧発生回路は、

定電流源からの電流値を複製する第 1 カレントミラー回路及び第 2 カレントミラー回路と、

前記第 1 カレントミラー回路で複製した電流により放電し、前記第 2 カレントミラー回路で複製した電流により充電する積分容量と、

前記積分容量に対する前記第 1 カレントミラー回路による放電及び前記第 2 カレントミラー回路による充電を択一的に切り替えるスイッチ回路と、を備えて構成されることを特徴とする請求項 1 ~ 5 の何れか 1 項に記載の A / D 変換器。

40

【請求項 7】

前記演算器が、インバータ回路を用いて構成され、

前記インバータ回路の入力判定電圧に前記被変換アナログ電圧と前記参照電圧の差電圧を加えた合成電圧を前記インバータ回路の入力電圧として発生させる電圧合成回路を備えていることを特徴とする請求項 1 ~ 6 の何れか 1 項に記載の A / D 変換器。

【請求項 8】

前記演算器が、前記被変換アナログ電圧と前記ランプ電圧を夫々入力電圧とする差動入力型の演算増幅器で構成されていることを特徴とする請求項 1 ~ 6 の何れか 1 項に記載の

50

A / D 変換器。

【請求項 9】

前記制御回路は、前記参照電圧の前記基準電圧レベルを、前記ランプ電圧の電圧変化方向とは反対の方向に変化させる場合に、前記ランプ電圧発生回路を反転動作させることを特徴とする請求項 1 ~ 8 の何れか 1 項に記載の A / D 変換器。

【請求項 10】

光電変換素子の複数がマトリクス状に配列してなるセンサ部と、

前記センサ部の各列に夫々対応して設けられた、請求項 1 ~ 9 の何れか 1 項に記載の A / D 変換器の前記電圧比較回路及び前記ラッチ回路からなる A / D 変換ユニットの複数と、

10

前記 A / D 変換器の前記ランプ電圧発生回路と、前記カウンタと、前記平均化処理回路と、前記目標ノイズ電圧設定回路と、前記制御回路と、を備え、

前記センサ部の周囲の一部に、遮光した光学的黒画素部が設けられ、

前記平均化処理回路は、前記光学的黒画素部の出力信号に対する前記 A / D 変換ユニットの A / D 変換値を平均化して前記平均ノイズ電圧を求めることを特徴とするセンサシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、A / D 変換器、特に、電圧値が一定期間単調変化するランプ電圧を発生するランプ電圧発生回路と、被変換アナログ電圧をサンプリングホールドし、サンプリングホールドされた前記被変換アナログ電圧と、前記ランプ電圧発生回路から発生されるランプ電圧の電圧変化値または前記電圧変化値に比例する電圧値で与えられる参照電圧とを比較する演算器を備え、前記参照電圧が前記被変換アナログ電圧に等しくなった時点で出力変化する電圧比較回路と、前記参照電圧に応じたデジタル値を計数して出力するカウンタと、前記カウンタから出力される前記デジタル値を前記電圧比較回路の出力変化時にラッチして出力するラッチ回路と、を備えた A / D 変換器に関する。

20

【背景技術】

【0002】

近年、固体撮像素子に用いられる A / D 変換器には、高速、低消費電力であることが益々要求されている。当該要求を満たすためにコラム型 A / D 変換器（例えば、下記特許文献 1 参照）が用いられることが多い。

30

【0003】

図 1 に、従来のコラム型 A / D 変換器のブロック図を示す。コラム型 A / D 変換器 10 は、A / D 変換ユニット 11、ランプ電圧 $V_{RAM P}$ を発生するランプ電圧源 14（ランプ電圧発生回路）、ランプ電圧の電圧変化値に応じたデジタル値（ n ビットの 2 値信号）を計数して出力するカウンタ 15 を備えて構成されている。A / D 変換ユニット 11 は、回路要素として、インバータ回路 12 と、インバータ回路 12 の入力ノード C P I 及び出力ノード C P O を短絡するスイッチ R S、被変換アナログ電圧をサンプリングするためのキャパシタ C S、電圧値が一定期間単調変化するランプ電圧 $V_{RAM P}$ を入力ノード C P I に伝送するためのキャパシタ C R とスイッチ S 3、被変換アナログ電圧をサンプリングするためのスイッチ S S、被変換アナログ電圧に応じたカウンタ出力をラッチするためのラッチ回路 13 を備える。更に、図 1 では、コラム型 A / D 変換器 10 に対し、固体撮像素子の画素部 16 及びノード V I N に接続された定電流源 I_x が合わせて図示されている。

40

【0004】

コラム型 A / D 変換器 10 の A / D 変換動作について、図 2 の動作タイミング図を参照して説明する。

【0005】

タイミング t_1 で、画素部 16 のスイッチ R X をオンにすることで、ノード F D が電圧

50

V_{DD} にリセットされ、ノード V_{IN} が MOS トランジスタ M_A を介して高電位に充電される。また、同時にスイッチ R_S がオンして、インバータ回路 12 の入力ノード CPI と出力ノード CPO が短絡して、入力ノード CPI がインバータ回路 12 の入力判定電圧（オートゼロレベル）に自動的にリセットされる。同時にスイッチ S_S がオンするが、他のスイッチ S_3 、 T_X はオフ状態である。

【0006】

タイミング t_2 で、スイッチ R_X をオフにすることで、ノード V_{IN} には、リセット電圧が現れる。タイミング t_3 で、スイッチ R_S をオフにすることで、キャパシタ C_S には、リセット電圧がサンプリングされる。

【0007】

引き続き、タイミング t_4 で、スイッチ T_X をオンにすると、画素部 16 の光電変換素子（フォトダイオード） PD で光電変換された蓄積された電荷がノード FD に転送され、ノード V_{IN} には、光電変換された電荷量に応じた電圧レベル（光電変換レベル）に遷移する。ノード V_{IN} の電圧レベルが安定するタイミング t_5 で、スイッチ T_X をオフにし、スイッチ S_3 をオンにすると、キャパシタ C_R には、その時点でのノード V_{IN} の電圧レベル（光電変換レベル）とランプ電圧 V_{RAMP} の初期電圧との差電圧が保持される。

【0008】

引き続き、タイミング t_6 で、スイッチ S_S をオフにすることで、入力ノード CPI には、ノード V_{IN} のリセット電圧（タイミング t_3 ）と光電変換レベル（タイミング t_6 ）の差分値 V_{SIG} が、被変換アナログ電圧として保持される。

【0009】

タイミング t_7 で、ランプ電圧 V_{RAMP} の電圧値を徐々に増加し始めると、入力ノード CPI の電圧も、ランプ電圧 V_{RAMP} の電圧増加分に比例して増加する。また、タイミング t_7 で、カウンタ 15 のカウントアップも同時に開始させる。

【0010】

タイミング t_8 で、入力ノード CPI の電圧レベルが、インバータ回路 12 の入力判定電圧を超えると、インバータ回路 12 は出力ノード CPO の出力レベルを反転させる。ラッチ回路 13 は、出力ノード CPO の出力変化に応答してカウンタ出力の値を保持する。

【0011】

ここで、差分値 V_{SIG} は、光電変換素子 PD への入射光量に応じた電圧であり、ラッチされたカウンタ出力の値は、差分値 V_{SIG} の A/D 変換値（デジタル値）である。以上の要領で、ラッチ回路 13 で保持された A/D 変換値を出力することで、コラム型 A/D 変換器 10 は、被変換アナログ電圧 V_{SIG} の A/D 変換動作を完了する。

【0012】

図 3 に、コラム型 A/D 変換器 10 において、被変換アナログ電圧 V_{SIG} とランプ電圧 V_{RAMP} の電圧増加値との間の電圧比較を行うインバータ回路 12 の入出力特性を示す。インバータ回路 12 では、上記電圧比較は、被変換アナログ電圧 V_{SIG} とランプ電圧 V_{RAMP} の電圧増加値の差電圧を入力電圧として、入力判定電圧のオートゼロレベルと比較することで実行される。

【0013】

オートゼロレベルは、インバータ回路 12 の入出力間を短絡した状態で得られる電圧レベルであり、インバータの入出力特性曲線 A と、入力電圧 V_{in} と出力電圧 V_{out} が同電圧（ $V_{in} = V_{out}$ ）となる直線 B の交差する点における電圧となる。

【0014】

インバータ回路 12 を構成する P チャンネル型 MOSFET と N チャンネル型 MOSFET の各閾値電圧を V_{thp} 、 V_{thn} 、導電計数（数 5 参照）を p 、 n とすると、インバータ回路 12 の両 MOSFET を貫通して流れる電流量が等しいことから、以下の数 1 が成り立つ。尚、数 1 中、 V_{DD} は P チャンネル型 MOSFET のソース端子に供給される電源電圧で、 V_x はオートゼロレベルであり、数 2 の関係が成り立つ。

【0015】

10

20

30

40

50

【数 1】

$$n / 2 \times (V_x - V_{thn})^2 = p / 2 \times (V_{DD} - V_x - V_{thp})^2$$

【0016】

【数 2】

$$V_x = V_{in} = V_{out}$$

【0017】

数 1 の方程式を V_x について解くと、オートゼロレベル V_x が、以下の数 3 に示すように得られる。

【0018】

【数 3】

$$V_x = \{ (n / p)^{1/2} \times V_{thn} + V_{DD} - V_{thp} \} / (1 + (n / p)^{1/2})$$

【0019】

図 4 に、上述した従来のコラム型 A/D 変換器を用いたセンサシステム 100 の概略ブロック図を示す。センサシステム 100 は、光電変換素子の複数がマトリクス状に配列してなる個体撮像素子の画素部（センサ部）16 と、画素部 16 の各列に夫々対応して設けられた電圧比較回路 17 及びラッチ回路 13 からなる A/D 変換ユニット 11 の複数と、ランプ波発生回路 14 と、カウンタ 15 と、制御回路 18 と、を備えて構成されている。また、画素部 16 は、有効画素部 16a と、画素部 16 の周囲の一部に設けられ遮光した光学的黒画素部 16b から構成されている。より具体的には、画素部 16 は、光学的黒画素部 16b が、有効画素部 16a を囲むように画素部 16 の上下左右に配置されている。

【0020】

図 4 に示すセンサシステム 100 において、CMOS イメージセンサ等の固体撮像素子は、被写体から受け取った光（入射光）を図 1 に示すフォトダイオード PD によって光電変換し、光の強度（入射光量）に応じた電流を有する被変換アナログ信号を出力する。ここで、フォトダイオード PD から出力される被変換アナログ信号には、入射光の強度に応じた電流の他に、熱によって電子／正孔対が発生することに起因する暗電流と呼ばれるノイズ成分が重畳している。暗電流による信号成分はノイズ成分（雑音成分）であるため、除去しなければ、センサシステム 100 から得られた画像の画質が低下する。このため、図 4 に示すセンサシステム 100 では、暗電流による信号成分を検出するために、画素部 16 の周囲の一部に、アルミ等で遮光され暗電流による信号成分のみを出力するように構成された光学的黒画素部 16b が形成されている。尚、アルミ等によって遮光した画素は、一般的に、光学的黒画素、或いは、オプティカル・ブラック画素（以下、適宜 OB 画素と略称する）と呼ばれている。

【0021】

図 5 に、光学的黒画素部（以下、適宜 OB 部と略称する）16b の各 OB 画素夫々から得られる OB 画素信号夫々と、有効画素部 16a の各有効画素夫々から得られる有効画素信号夫々の模式図を示す。

【0022】

図 5 に示すように、OB 部から出力される OB 画素信号夫々の電圧値は、全ての OB 画素で一様ではなく、各 OB 画素からの OB 画素信号の電圧値はランダムな値を示す。以下、OB 画素夫々から得られる OB 画素信号の電圧レベルの平均値を OB レベル（平均ノイズ電圧）と称することとする。また、有効画素部 16b の各有効画素夫々から得られる有効画素信号夫々は、図 5 に示すように、暗電流による信号成分（OB レベル）と光電変換による信号成分が足し合わされた信号となっている。センサシステム 100 から取得したいデータは、光電変換による信号成分である。即ち、有効画素部 16a から得られた有効画素信号の電圧レベルから OB レベルを減算した電圧レベル（信号成分 51）である。

【0023】

ところで、例えば、センサシステム 100 による夜景の撮影時等、被写体から受け取る光の入射光量が少ない場合には、信号成分 51 の電圧レベルの値が非常に小さな値になる

10

20

30

40

50

。このため、CMOSイメージセンサ等では、コントラストの高い画像を得るために、信号成分51にゲイン（利得）を掛けて、AD変換結果を大きくする。図4に示すセンサシステム100のコラム型A/D変換器（図1）では、入力信号（被変換アナログ電圧）に対するゲインは、ランブ電圧 V_{RAM_P} の電圧変化の傾きを変えることで変更することができる。ここで、図6は、ランブ電圧 V_{RAM_P} の電圧変化の傾きを、傾斜角1～3（各傾斜角1～3は幾何学的角度ではなく、単位時間当たりの電圧変化量として定義）に設定したときのノードCPIの電圧波形と、ラッチ回路13の動作タイミング及び出力値（AD変換結果）の関係を示している。図6に示すように、ランブ電圧 V_{RAM_P} の電圧変化の傾きを傾斜角1～3に変動させると、ノードCPIの電圧レベルがオートゼロレベル（インバータ12の閾値電圧）を超えるタイミングが変化する。ラッチ回路13は、インバータ12の出力変化時にカウンタ15から出力されるデジタル値をラッチする。このため、ノードCPIの電圧レベルがオートゼロレベルを超えるタイミングが変化すると、ラッチ回路13がラッチするカウンタ15のデジタル値が変化する。具体的には、ランブ電圧 V_{RAM_P} の電圧変化の傾きが傾斜角1に設定されているときはAD変換結果としてデータD3が、傾斜角2のときはデータD2が、傾斜角3のときはデータD1が出力されることとなる。このように、ランブ電圧 V_{RAM_P} の電圧変化に応じて、AD変換結果（ラッチ回路13の出力値）は変化する。即ち、図1に示すコラム型A/D変換器10に入力される被変換アナログ電圧に対するゲイン（利得）の設定は、ランブ電圧 V_{RAM_P} の電圧変化の傾きを変えることで実現できる。

【0024】

ここで、FS電圧（フルスケール電圧）とは、A/D変換器において、デジタル値に変換可能な入力電圧（被変換アナログ電圧）の範囲を規定する電圧のことであり、FS電圧の値が小さい程、測定可能な入力電圧の範囲（即ち、ダイナミックレンジ）も小さくなる。CMOSイメージセンサ等で用いられるA/D変換器10では、画質向上等のため、光電変換による信号成分51のダイナミックレンジを大きく取ることが望ましい。

【0025】

【特許文献1】特開特開2000-286706号公報

【発明の開示】

【発明が解決しようとする課題】

【0026】

ところで、図1に示す従来技術に係るA/D変換器10では、フルスケール電圧は、光電変換による信号成分と暗電流によるノイズ成分の両方に割り当てられる。ここで、図6において、FS3～FS1は、図5に示す光電変換による信号成分51と暗電流によるノイズ成分に割り当てられるフルスケール電圧を示している。更に、図1に示すA/D変換器10では、ノイズ成分が重畳した被変換アナログ電圧に対してゲインが掛かる。つまり、ノイズ成分に対してもゲインが掛かり、結果的に、OBレベルが増大するのと同じになる。このため、図1に示すA/D変換器10において、ゲインを増大させるためにランブ電圧 V_{RAM_P} の電圧変化の傾きを小さくするように制御すると、ノイズ成分に割り当てられるフルスケール電圧の割合が高くなる。従って、図6に示すように、A/D変換器の入力信号に対するゲイン（利得）を増加させるために、ランブ電圧 V_{RAM_P} の電圧変化の傾きを傾斜角3～1に減少させると、光電変換による信号成分51に割り当て可能なFS電圧も、傾きの減少に応じて、FS3～FS1の減少に比例して減少してしまう。つまり、A/D変換器で測定可能な入力電圧の範囲（ダイナミックレンジ）は、ゲインの増大に応じて小さくなるという問題があった。

【0027】

尚、光電変換による信号成分51に対してのみゲインを掛けることができれば、光電変換による信号成分のフルスケール電圧を大きく取ることができ、信号成分51のダイナミックレンジを増大させることができる。しかし、図1に示す従来のA/D変換器では、光電変換による信号成分51のみにゲインを掛けることはできず、図5に示すOBレベルに対してもゲインが掛かる。このため、入力信号（被変換アナログ電圧）にゲインを掛ける

と、光電変換による信号成分 5 1 に対するフルスケール電圧の割り当てが少なくなり、光電変換による信号成分 5 1 のダイナミックレンジが小さくなるという問題があった。

【 0 0 2 8 】

この問題を図解するために、図 7 に、10 bit 精度のコラム型 A / D 変換器のタイミングチャートを示す。図 7 (a) は、ゲインが 1 の場合におけるノード C P I の電圧波形と、ラッチ回路 1 3 の動作タイミング及び出力値 (A D 変換結果) の関係を、図 7 (b) は、ゲインが 4 の場合におけるノード C P I の電圧波形と、ラッチ回路 1 3 の動作タイミング及び出力値 (A D 変換結果) の関係を示している。図 7 に示すコラム型 A / D 変換器では、10 bit カウンタを用いた場合を想定しており、被変換アナログ電圧を “ 0 (= 2^0) ” ~ “ 1023 (= $2^{10} - 1$) ” のデジタル値に変換する。図 7 に示すコラム型 A / D 変換器のダイナミックレンジは、1024 レベルとなる。

10

【 0 0 2 9 】

図 7 (a) における O B 部 1 6 b からの O B 画素信号の電圧レベル V_{b1ack_a} と、図 7 (b) における O B 部 1 6 b からの O B 画素信号の電圧レベル V_{b1ack_b} は等しく、以下の数 4 で与えられる。

【 0 0 3 0 】

[数 4]

$V_{b1ack_a} = V_{b1ack_b} = "100" (dec)$

【 0 0 3 1 】

ここで、図 7 (a) ではゲインが 1 に設定されており、図 7 (b) ではゲインが 4 に設定されていることから、図 7 (a) の場合におけるランプ電圧 V_{RAMP} の電圧変化の傾き $_a$ と、図 7 (b) の場合におけるランプ電圧 V_{RAMP} の電圧変化の傾き $_b$ の間には、各傾きを幾何学的角度ではなく、単位時間当たりの電圧変化量として定義すると、以下の数 5 の関係が成り立つ。

20

【 0 0 3 2 】

[数 5]

$_b = _a / 4$

【 0 0 3 3 】

従って、ゲインが 1 に設定されている場合における O B 画素信号の電圧レベル V_{b1ack_a} に対する A D 変換結果 $DOUT_a$ として、図 7 (a) より、 $DOUT_a = 100$ (10 進数) が得られる。同様に、ゲインが 4 に設定されている場合における O B 画素信号の電圧レベル V_{b1ack_b} に対する A D 変換結果 $DOUT_b$ として、図 7 (b) より、 $DOUT_b = 400$ (10 進数) が得られる。

30

【 0 0 3 4 】

従って、ゲインが 1 に設定されている場合のダイナミックレンジは、図 7 (a) より、100 レベルがノイズ成分に割り当てられ、残りの 923 (= $1023 - 100$) レベルが光電変換による信号成分に割り当てられる。同様に、ゲインが 4 に設定されている場合のダイナミックレンジは、図 7 (b) より、400 レベルがノイズ成分に割り当てられ、残りの 623 (= $1023 - 400$) レベルが光電変換による信号成分に割り当てられる。即ち、ゲインを 4 に設定したことで、光電変換による信号成分として表現可能なダイナミックレンジは、ゲインを 1 に設定した場合の 923 段階の階調から、ゲインを 4 に設定した場合の 623 段階の階調に減少することとなる。

40

【 0 0 3 5 】

このため、例えば、CMOS イメージセンサ等に用いられるシングルスロープ型 A / D 変換器において、ランプ電圧の電圧波形の傾きを可変にして、入力される被変換アナログ電圧のゲインを変化させる場合に、被変換アナログ電圧に含まれる O B レベル (オプティカル・ブラック・レベル、或いは、光学的黒レベル) にゲインが掛かることに起因して、光電変換による信号成分に割り当てられる階調 (ダイナミックレンジ) が減少するのをおさえることができる A / D 変換器が望まれている。

【 0 0 3 6 】

50

本発明は上記の問題に鑑みてなされたものであり、その目的は、画質の向上等を図るために入力される被変換アナログ電圧のゲインを増加させる場合に、光電変換による信号成分のダイナミックレンジの低下をおさえることができるA/D変換器を提供する点にある。また、該A/D変換器を用い、画質の向上等を図るために入力される被変換アナログ電圧のゲインを増加させる場合に、光電変換による信号成分のダイナミックレンジの低下をおさえることができるセンサシステムを提供する。

【課題を解決するための手段】

【0037】

上記目的を達成するための本発明に係るA/D変換器は、電圧値が一定期間単調変化するランプ電圧を発生するランプ電圧発生回路と、被変換アナログ電圧をサンプリングホール
10
ルドし、サンプリングホールされた前記被変換アナログ電圧と、前記ランプ電圧発生回路から発生されるランプ電圧の電圧変化値または前記電圧変化値に比例する電圧値で与えられる参照電圧とを比較する演算器を備え、前記参照電圧が前記被変換アナログ電圧に等しくなった時点で出力変化する電圧比較回路と、前記参照電圧に応じたデジタル値を計数して出力するカウンタと、前記カウンタから出力される前記デジタル値を前記電圧比較回路の出力変化時にラッチして出力するラッチ回路と、を備えたA/D変換器であって、前記被変換アナログ電圧に含まれるノイズ成分を平均化して平均ノイズ電圧を求める平均化処理回路と、前記平均ノイズ電圧の目標値としての目標ノイズ電圧を設定する目標ノ
20
イズ電圧設定回路と、前記平均ノイズ電圧と前記目標ノイズ電圧の差に基づいて、前記ランプ電圧発生回路によって前記参照電圧が基準電圧レベルから変化を開始する前記制御基準タイミングに対する前記カウンタの計数開始タイミングの調整、及び、前記カウンタの計数開始タイミングにおける前記参照電圧の前記基準電圧レベルの調整の内、少なくとも前記カウンタの前記計数開始タイミングの調整を行う制御回路を備えることを第1の特徴とする。

【0038】

上記特徴の本発明に係るA/D変換器は、前記制御回路が、前記平均ノイズ電圧と前記目標ノイズ電圧の差を示す指標値を算出し、前記指標値に応じて前記カウンタの前記計数開始タイミングを調整するカウンタ待機時間を算出し、前記カウンタの前記計数開始タイ
30
ミングを前記カウンタ待機時間に応じて調整することを第2の特徴とする。

【0039】

上記第1の特徴の本発明に係るA/D変換器は、前記制御回路が、前記平均ノイズ電圧と前記目標ノイズ電圧の差を示す指標値を算出し、前記指標値に応じて前記カウンタの前記計数開始タイミングを調整するカウンタ待機時間を算出し、前記平均ノイズ電圧が前記目標ノイズ電圧を上回る場合に、前記制御基準タイミングに対する前記計数開始タイ
40
ミングを前記カウンタ待機時間に応じて遅らせ、前記平均ノイズ電圧が前記目標ノイズ電圧を下回る場合に、前記制御基準タイミングに対する前記計数開始タイミングを前記カウンタ待機時間に応じて早め、更に、前記制御基準タイミングにおける前記参照電圧の前記基準電圧レベルの調整量を前記指標値に基づいて算出し、前記制御基準タイミング前に、前記ランプ電圧の電圧変化方向とは反対の方向に、前記参照電圧の前記基準電圧レベルを前記調整量だけ変化させることを第3の特徴とする。

【0040】

上記第1の特徴の本発明に係るA/D変換器は、前記制御回路が、前記平均ノイズ電圧と前記目標ノイズ電圧の差を示す指標値を算出し、前記指標値に基づいて、前記計数開始タイミングにおける前記参照電圧の前記基準電圧レベルの調整量を算出し、前記計数開始タイ
50
ミング前に、前記ランプ電圧の電圧変化方向に、前記参照電圧の前記基準電圧レベルを前記調整量に基づいて変化させることを第4の特徴とする。

【0041】

上記特徴の本発明に係るA/D変換器は、前記制御回路が、前記平均ノイズ電圧が前記目標ノイズ電圧を下回る場合に、前記指標値に基づいて、前記計数開始タイミングにおける前記参照電圧の前記基準電圧レベルの調整量を算出し、前記計数開始タイミング前に、

前記ランプ電圧の電圧変化方向とは反対の方向に、前記参照電圧の前記基準電圧レベルを前記調整量に基づいて変化させることを第5の特徴とする。

【0042】

上記何れかの特徴の本発明に係るA/D変換器は、前記ランプ電圧発生回路が、定電流源からの電流値を複製する第1カレントミラー回路及び第2カレントミラー回路と、前記第1カレントミラー回路で複製した電流により放電し、前記第2カレントミラー回路で複製した電流により充電する積分容量と、前記積分容量に対する前記第1カレントミラー回路による放電及び前記第2カレントミラー回路による充電を択一的に切り替えるスイッチ回路と、を備えて構成されることを第6の特徴とする。

【0043】

上記何れかの特徴の本発明に係るA/D変換器は、前記演算器が、インバータ回路を用いて構成され、前記インバータ回路の入力判定電圧に前記被変換アナログ電圧と前記参照電圧の差電圧を加えた合成電圧を前記インバータ回路の入力電圧として発生させる電圧合成回路を備えていることを第7の特徴とする。

【0044】

上記第1～第6の特徴の本発明に係るA/D変換器は、前記演算器が、前記被変換アナログ電圧と前記ランプ電圧を夫々入力電圧とする差動入力型の演算増幅器で構成されていることを第8の特徴とする。

【0045】

上記何れかの特徴の本発明に係るA/D変換器は、前記制御回路が、前記参照電圧の前記基準電圧レベルを、前記ランプ電圧の電圧変化方向とは反対の方向に変化させる場合に、前記ランプ電圧発生回路を反転動作させることを第9の特徴とする。

【0046】

上記目的を達成するための本発明に係るセンサシステムは、光電変換素子の複数がマトリクス状に配列してなるセンサ部と、前記センサ部の各列に夫々対応して設けられた、請求項1～10の何れか1項に記載のA/D変換器の前記電圧比較回路及び前記ラッチ回路からなるA/D変換ユニットの複数と、前記A/D変換器の前記ランプ電圧発生回路と、前記カウンタと、前記平均化処理回路と、前記目標ノイズ電圧設定回路と、前記制御回路と、を備え、前記センサ部の周囲の一部に、遮光した光学的黒画素部が設けられ、前記平均化処理回路は、前記光学的黒画素部の出力信号に対する前記A/D変換ユニットのA/D変換値を平均化して前記平均ノイズ電圧を求めることを第1の特徴とする。

【0047】

尚、上記特徴のA/D変換器において、ランプ電圧発生回路におけるランプ電圧の単調変化は、ランプ電圧発生回路によって参照電圧が基準電圧レベルから変化を開始する制御基準タイミング以降において、ランプ電圧の電圧波形が、増加波形及び無変化波形の組み合わせからなる場合、または、減少波形及び無変化波形の組み合わせからなる場合を想定している。

【発明の効果】

【0048】

上記特徴のA/D変換器によれば、平均ノイズ電圧と目標ノイズ電圧の差に基づいて、制御基準タイミングに対するカウンタの計数開始タイミングの調整、及び、カウンタの計数開始タイミングにおける参照電圧の基準電圧レベルの調整の内、少なくとも前記カウンタの前記計数開始タイミングの調整を行うように構成したので、平均ノイズ電圧のA/D変換結果を、目標ノイズ電圧に対応するデジタル値に追従させることができるので、ゲインの設定値に依存することなく、ダイナミックレンジを広く確保することが可能になる。

【0049】

より具体的には、上記特徴のA/D変換器によれば、OB部に含まれる全てのOB画素からの被変換アナログ信号（ノイズ成分）に対するAD変換結果を平均化した平均ノイズ電圧が、該平均ノイズ電圧（OBレベル）の目標値としての目標ノイズ電圧の電圧レベル

10

20

30

40

50

に従うように、負帰還が掛かることになる。つまり、A/D変換器の限られたフルスケール電圧（FS電圧）に対して、ノイズ成分であるOBレベルを目標ノイズ電圧の電圧レベルに追従させるので、特に、目標ノイズ電圧を小さな値に設定することで、光電変換による信号成分に対して、より多くのフルスケール電圧を割り当てることが可能となる。従って、上記特徴のA/D変換器は、夜景等の暗い被写体を撮像する場合等、入射光量が少なく光電変換信号に対してゲインを掛ける必要がある場合に、特に有効である。この場合、上記特徴のA/D変換器によれば、ゲインの設定値の増大に伴い、ゲインを掛けた後の平均ノイズ電圧が増大しても、光電変換による信号成分に対するフルスケール電圧の割り当てはあまり減少しないため、良好な画像を得ることが維持可能となる。

【0050】

10

また、本発明を適用したセンサシステムは、上記特徴のA/D変換器を用いているため、上記特徴のA/D変換器の作用効果を全て奏することが可能であり、光電変換による信号成分に対するダイナミックレンジの減少を防止することができ、画質の低下を防止することが可能になる。

【発明を実施するための最良の形態】

【0051】

以下、本発明に係るA/D変換器及びセンサシステムの実施形態を図面に基づいて説明する。

【0052】

第1実施形態

20

本発明に係るA/D変換器、及び、該A/D変換器を備えたセンサシステムの第1実施形態について、図8及び図9を基に説明する。

【0053】

先ず、本実施形態のセンサシステムの基本構成について図8を基に説明する。

【0054】

センサシステム1は、図8に示すように、光電変換素子の複数がマトリクス状に配列してなる画素部（センサ部）16と、本発明に係るA/D変換器の各構成を備えて構成されている。画素部16は、有効画素部16aと、画素部16の周囲の一部に設けられた光学的黒画素部（OB部）16bから構成されている。OB部16bは遮光されており、暗電流による被変換アナログ電圧、つまり、ノイズ成分に係る被変換アナログ電圧のみを出力する。

30

【0055】

A/D変換器は、基本構成として、電圧値が一定期間単調変化するランプ電圧を発生するランプ波発生回路（ランプ電圧発生回路）14と、被変換アナログ電圧をサンプリングホールドし、サンプリングホールドされた被変換アナログ電圧と、ランプ波発生回路14から発生されるランプ電圧の電圧変化値または電圧変化値に比例する電圧値で与えられる参照電圧とを比較する演算器を備え、参照電圧が被変換アナログ電圧に等しくなった時点で出力変化する電圧比較回路17と、参照電圧に応じたデジタル値を計数して出力するカウンタ15と、カウンタ15から出力されるデジタル値を電圧比較回路17の出力変化時にラッチして出力するラッチ回路13と、を備えている。尚、ランプ波発生回路14、電圧比較回路17及びラッチ回路13からなるA/D変換ユニット11、及び、カウンタ15の構成は、図1に示す従来技術に係るA/D変換器の構成と同じである。本実施形態のカウンタ15は、10bitカウンタであり、“0 (= 2^0)” ~ “1023 (= $2^{10} - 1$)”のデジタル値を出力するように構成されている。

40

【0056】

更に、本実施形態のA/D変換器は、被変換アナログ電圧に含まれるノイズ成分を平均化して平均ノイズ電圧を求める平均化处理部（平均化处理回路）19と、平均ノイズ電圧の目標値としての目標ノイズ電圧を設定する目標ノイズ電圧設定回路20と、平均ノイズ電圧と目標ノイズ電圧の差に基づいて、ランプ波発生回路14によって参照電圧が基準電圧レベルから変化を開始する制御基準タイミングに対するカウンタ15の計数開始タイミ

50

ングの調整、及び、カウンタ 15 の計数開始タイミングにおける参照電圧の基準電圧レベルの調整の内、少なくともカウンタの計数開始タイミングの調整を行う制御回路 18 を備えている。

【0057】

平均化処理部 19 は、OB 部 16 b (垂直 OB 部、水平 OB 部の何れでもよい) から出力された被変換アナログ電圧を A/D 変換ユニット 11 によって A/D 変換した A/D 変換結果 (デジタル値) を取り込み、平均化処理して、平均ノイズ電圧 (デジタル値) の電圧レベル (OB レベル) を求める。平均化処理部 19 は、OB 部 16 b を構成する OB 画素夫々から出力される被変換アナログ電圧の電圧レベルはランダムな値を取るため、平均化処理して、OB レベルを検出する。

10

【0058】

目標ノイズ電圧設定回路 20 は、目標ノイズ電圧の電圧レベルの値を記憶するレジスタで構成されており、本実施形態では、“64” に設定されている。

【0059】

次に、本実施形態のセンサシステム 1 の動作について、図 8 及び図 9 を基に説明する。ここでは、A/D 変換器の入力信号に対するゲインが 4 に設定されている場合を想定して説明する。

【0060】

図 8 に示す制御回路 18 は、平均化処理部 19 に OB レベルの算出を指示するために、OB 部 16 b の内、OB レベルの算出に用いる OB 画素の領域 (以下、適宜ウィンドウと称する) を特定するウィンドウ指定座標信号を平均化処理部 19 に出力する。ここでは、制御回路 18 は、図 8 に示すウィンドウ 1 とウィンドウ 2 を特定するためのウィンドウ指定座標信号を平均化処理部 19 に対して出力する。また、制御回路 18 は、ランプ波発生回路 14 に対し、ゲインの値を 4 に設定するためのゲイン設定信号を出力する。

20

【0061】

続いて、平均化処理部 19 は、A/D 変換ユニット 11 から、ウィンドウ 1 及びウィンドウ 2 に含まれる OB 画素夫々の電圧レベルを A/D 変換した A/D 変換データを取り込む。尚、ここでは、ウィンドウ 1 及びウィンドウ 2 に含まれる各 OB 画素の電圧レベルを A/D 変換した A/D 変換データは、約 “100” (dec) である場合を想定して説明する。平均化処理部 19 は、取り込んだ OB 画素夫々についての A/D 変換データの値 (“100”) を全ての OB 画素について加算して、A/D 変換データの加算値を求める。平均化処理部 19 は、A/D 変換データの加算値を、ウィンドウ 1 及びウィンドウ 2 に含まれる OB 画素の全画素数で除算することで、平均値 (OB レベル) を算出する。ここでは、ゲインの値が 4 に設定されており、ウィンドウ 1 及びウィンドウ 2 に含まれる OB 画素夫々についての A/D 変換データの値が約 “100” なので、平均化処理部 19 に取り込まれる A/D 変換データの値は、約 “400” になる。従って、この場合は、OB レベルは “400” となる。

30

【0062】

制御回路 18 は、平均化処理部 19 から出力される OB レベルの値 “400” から目標ノイズ電圧設定回路 20 から出力される目標ノイズ電圧の値 “64” を比較器によって減算した値 “336” (= “400” - “64”) を取り込む。続いて、制御回路 18 は、比較器からの出力値 (ここでは “336” (dec)、平均ノイズ電圧と目標ノイズ電圧の差を示す指標値) に応じて、カウンタ 15 の計数開始タイミングを調整するカウンタ待機時間を算出する。本実施形態では、カウンタ 15 は、センサシステム 1 のクロックに同期して出力値を 1 ずつ加算するように構成されていることから、カウンタ待機時間 T_{cw_c} (クロック数) は、OB レベル (平均ノイズ電圧) V_{black} と目標ノイズ電圧 N_{sp} を用いて、以下の数 6 で求められる。

40

【0063】

[数 6]

$$T_{cw_c} = V_{black} - N_{sp}$$

50

【 0 0 6 4 】

制御回路 1 8 は、数 6 で求めたカウンタ待機時間 T_{cw_c} 、ここでは、“ 3 3 6 ”を保存する。更に、制御回路 1 8 は、被変換アナログ電圧を A / D 変換処理する際に、保存しておいたカウンタ待機時間 T_{cw_c} に基づいて、カウンタ 1 5 の計数開始時間を遅延させる。

【 0 0 6 5 】

図 9 に、電圧比較回路 1 7 の入力ノード (ノード C P I)、カウンタ 1 5 の出力及びラッチ回路 1 3 の出力 (A D 変換結果) 夫々の電圧波形を示す。具体的には、制御回路 1 8 は、図 9 に示すように、O B レベル V_{b1ack} が目標ノイズ電圧 N_{sp} と等しい場合のカウンタ 1 5 の計数開始時間である時間 t_5 を起点として、カウンタ 1 5 の計数開始時間を、前処理で求めたカウンタ待機時間 T_{cw_c} (= “ 3 3 6 ” クロック) 遅延させる。

10

【 0 0 6 6 】

尚、図 9 において、ランプ波発生回路 1 4 から出力されるランプ電圧 V_{RAM_P} の電圧変化の傾き $_c$ は、各傾きを幾何学的角度ではなく、単位時間当たりの電圧変化量として定義すると、図 7 に示す傾き $_a$ 及び傾き $_b$ との間で以下の数 7 の関係が成り立つ。

【 0 0 6 7 】

[数 7]

$$_c = _b = _a / 4$$

【 0 0 6 8 】

20

従って、図 9 に示すように、O B 画素夫々についての A / D 変換データの値 V_{b1ack_c} が “ 1 0 0 ” とすると、ラッチ回路 1 3 の出力値である A D 変換結果 $DOUT_c$ は、“ 6 4 ” となる。これは、目標ノイズ電圧の設定値と同じである。従って、本発明によれば、ゲインの設定値如何に拘わらず、カウンタ待機時間を設定し、ランプ波発生回路 1 4 によって参照電圧が基準電圧レベルから変化を開始する制御基準タイミング t_5 に対するカウンタ 1 5 の計数開始タイミングを調整することで、仮想的に、O B レベルを目標ノイズ電圧に設定することが可能となる。この場合、光電変換による信号成分のダイナミックレンジは、“ 1 0 2 3 ” - “ 6 4 ” = “ 9 5 9 ” 階調となる。つまり、ゲインを 4 に設定した場合、図 7 (b) に示す従来技術に係る A / D 変換器では、光電変換による信号成分のダイナミックレンジは “ 6 3 2 ” 階調であったのに対し、本発明に係る A / D 変換器では “ 9 5 9 ” 階調となり、十分に大きなダイナミックレンジを確保できることが分かる。

30

【 0 0 6 9 】

尚、図 8 に示すランプ波発生回路 1 4 の運転時間 T_{int_c} は、カウンタ待機時間 T_{cw_c} と、カウンタ 1 5 が初期値 (ここでは “ 0 ”) から最大値 (ここでは “ 1 0 2 3 ”) まで計数する時間、即ち、カウンタクロック数 I_{nt_c} を用いて、以下の数 8 で求められる。

【 0 0 7 0 】

[数 8]

$$T_{int_c} = T_{cw_c} + I_{nt_c}$$

40

【 0 0 7 1 】

本実施形態では、カウンタ待機時間 T_{cw_c} は “ 3 3 6 ” クロック、カウンタクロック数 I_{nt_c} は 2^N (N はカウンタ 1 5 のビット数、ここでは 1 0) であるので、ランプ波発生回路 1 4 の運転時間 T_{int_c} は、 $336 + 1024 = 1316$ (クロック) となる。尚、ランプ波発生回路 1 4 の運転時間 T_{int_c} は、制御回路 1 8 によって設定される。

【 0 0 7 2 】

第 2 実施形態

本発明に係る A / D 変換器、及び、該 A / D 変換器を備えたセンサシステムの第 2 実施形態について、図 1 0 ~ 図 1 5 を基に説明する。本実施形態では、O B レベル (平均ノイ

50

ズ電圧)が目標ノイズ電圧を上回る場合と、下回る場合とで異なる制御を行う場合について説明する。

【0073】

先ず、本実施形態のA/D変換器及びセンサシステムの構成について説明する。図14に、本実施形態におけるセンサシステム2の概略構成を示す。尚、本実施形態のA/D変換器及びセンサシステム2の基本構成は、上記第1実施形態におけるA/D変換器及びセンサシステムの構成と同じである。

【0074】

本実施形態の制御回路18は、OBレベル(平均ノイズ電圧)と目標ノイズ電圧の差を示す指標値を算出し、指標値に応じてカウンタ15の計数開始タイミングを調整するカウンタ待機時間を算出し、OBレベルが目標ノイズ電圧を上回る場合に、制御基準タイミングに対する計数開始タイミングをカウンタ待機時間に応じて遅らせるように制御する。また、制御回路18は、OBレベルが目標ノイズ電圧を下回る場合に、制御基準タイミングに対する前記計数開始タイミングをカウンタ待機時間に応じて早め、更に、制御基準タイミングにおける参照電圧の基準電圧レベルの調整量を指標値に基づいて算出し、制御基準タイミング前に、ランプ電圧の電圧変化方向とは反対の方向に、参照電圧の基準電圧レベルを調整量だけ変化させる。

【0075】

本実施形態のセンサシステム1の動作について、図8～図14を基に説明する。ここでは、上記第1実施形態と同様に、A/D変換器の入力信号に対するゲインが4に設定されている場合を想定して説明する。

【0076】

尚、OBレベル(平均ノイズ電圧)が目標ノイズ電圧を上回る場合は、上記第1実施形態における制御、即ち、制御回路18が、OBレベル(平均ノイズ電圧)と目標ノイズ電圧の差を示す指標値に基づいてカウンタ待機時間 T_{cw_c} を算出し、制御基準タイミング t_5 に対する計数開始タイミングをカウンタ待機時間 T_{cw_c} に応じて遅らせる制御を行う。

【0077】

以下、OBレベル(平均ノイズ電圧)が目標ノイズ電圧を下回る場合の制御について、図10～図15を基に説明する。

【0078】

図10に、OBレベル(平均ノイズ電圧)が目標ノイズ電圧を下回る場合、即ち、カウンタ待機時間 T_{cw_d} が負の値になる場合において、カウンタの計数開始タイミングのみを調整した場合のタイミングチャートを示す。本実施形態では、OB部16bのウィンドウ1及びウィンドウ2に含まれるOB画素夫々についてのA/D変換データは、約“10”(dec)である場合を想定して説明する。図8に示す平均化処理部19の出力値は、OB画素夫々についてのA/D変換データが約“10”(dec)であり、ゲインが4に設定されていることから、約“40”となる。従って、比較器の出力値は、平均化処理部19から出力されるOBレベルの値“40”から、目標ノイズ電圧設定回路20から出力される目標ノイズ電圧の値“64”を減算した“-24”(=“40”-“64”)クロックとなる。制御回路18は、比較器の出力値“-24”クロックを取り込み、この値をカウンタ待機時間 T_{cw_d} として保存する。

【0079】

図11に、図10に示すOBレベル(平均ノイズ電圧)が目標ノイズ電圧を下回る場合における、有効画素部16a及びOB部16b夫々から出力される被変換アナログ電圧をディジタル変換したA/D変換データを示す。図11に示すように、OBレベルが目標ノイズ電圧より小さい場合、OB画素から電圧比較回路17に入力される被変換アナログ電圧の電圧レベルが、ほぼゼロになるか、負の値になるOB画素が存在する場合がある。

【0080】

ここで、図12は、電圧レベルが負の値になるOB画素からの被変換アナログ電圧をA

10

20

30

40

50

D変換する場合のタイミングチャートを示している。図12に示すように、この場合、被変換アナログ電圧 ($V_{black_e} = -10$) の極性は、電圧レベルが正の値になる画素からの被変換アナログ電圧の極性とは反対であるため、被変換アナログ電圧のサンプリングを開始した時間 t_x において、ノードCPIの電圧レベルは、オートゼロレベル (インバータ回路12の入力判定電圧) を超える。このため、時間 t_x でラッチ回路13がカウンタ15の出力値をラッチすることになるが、カウンタ15は計数開始前であるため、AD変換動作が正常に行われなかったこととなる。従って、OBレベル (平均ノイズ電圧) が目標ノイズ電圧を下回る場合は、カウンタ15の計数開始タイミングの調整と共に、被変換アナログ電圧のサンプリング開始時間 t_x より前に、予め、ノードCPIの電圧レベルを、オートゼロレベルよりも下げておく (ランプ電圧の電圧変化方向とは反対の方向に変化させる) 必要がある。

10

【0081】

以下、制御基準タイミングに対するカウンタ15の計数開始タイミングの調整に加え、制御基準タイミングにおける参照電圧の基準電圧レベルの調整を行う場合の制御について、図13～図15を基に説明する。

【0082】

図13に、電圧レベルが負の値になるOB画素からの被変換アナログ電圧をAD変換する場合において、ランプ波発生回路14を反転動作させてランプ電圧にオフセット電圧を発生させた場合のタイミングチャートを示す。

【0083】

20

制御回路18は、図13及び図14に示すように、制御基準タイミング t_6 の前に、ノードCPIの電圧レベルの調整を行うオフセット時間 T_{offs} 及び電圧レベルの調整量であるオフセット電圧 V_{offs} を設定する。ここで、本実施形態では、図13及び図14に示すように、OB部16のウィンドウ1及びウィンドウ2に含まれるOB画素々々についての被変換アナログ電圧の電圧レベル $V_{black_f} = \text{約} "10"$ 、ゲイン = 4である。従って、制御回路18は、ノードCPIの電圧レベルを $"40" (= "10" \times 4)$ 低下させるように、オフセット電圧 $V_{offs} = "40"$ に設定する。この場合のオフセット時間 T_{offs} は、電圧レベルは1クロックにつき $"1" (dec)$ 低下するので、40クロックとなる。

【0084】

30

ランプ波発生回路14は、制御回路18によって設定されたオフセット時間 T_{offs} の開始時間 t_5 から、反転動作して、出力するランプ電圧の電圧レベルを下げていき、ノードCPIの電圧レベルを下げていく。従って、制御基準タイミング t_6 におけるノードCPIの電圧レベル (参照電圧の基準電圧レベル) は、擬似的に、オートゼロレベルから、 $("10" + "40") = "50"$ 下がったレベルとなる。また、このときの平均化処理部19の出力値 (OBレベル) は、OB画素々々についての被変換アナログ電圧の電圧レベル V_{black_f} (約 $"10"$) + オフセット電圧 V_{offs} ($"40"$) = $"50"$ となる。

【0085】

40

引き続き、制御回路18は、OBレベルと目標ノイズ電圧の差を示す指標値に基づいてカウンタ待機時間を算出する。制御回路18は、比較器から出力される平均化処理部19からのOBレベル ($T_{offs} + V_{black_f}$) と目標ノイズ電圧設定回路20からの目標ノイズ電圧 (N_{sp}) の差を受け付け、カウンタ待機時間 T_{cw_f} として保存する。カウンタ待機時間 T_{cw_f} は、ランプ電圧の電圧レベルを変化させるオフセット時間 T_{offs} 、OB画素からの被変換アナログ電圧 V_{black_f} 、目標ノイズ電圧 N_{sp} を用いて、以下の数9で求められる。

【0086】

[数9]

$$T_{cw_f} = T_{offs} + V_{black_f} - N_{sp}$$

【0087】

50

本実施形態では、数 9 より、カウンタ待機時間 T_{cw_f} は、“ 4 0 ” + “ 1 0 ” - “ 6 4 ” = “ - 1 4 ” となる。従って、制御回路 1 8 は、図 1 3 に示すように、カウンタ 1 5 の計数開始タイミングを、制御基準タイミング t_6 を起点として、カウンタ待機時間 T_{cw_f} = “ - 1 4 ” クロック分調整する（1 4 クロック分早める）。以上の動作により、O B 部 1 6 の O B レベルの値が、擬似的に、目標ノイズ電圧の値とほぼ等しくなり、A D 変換が良好に行われる。

【 0 0 8 8 】

また、制御回路 1 8 内に保存されたカウンタ待機時間 T_{cw_f} は、有効画素部 1 6 a からの被変換アナログ電圧を A D 変換処理する際に利用する。これによって、O B レベルの値が、擬似的に目標ノイズ電圧の値とほぼ等しくなるので、図 1 1 に示す有効画素部 1 6 a からの被変換アナログ電圧に含まれる光電変換による信号成分 1 1 1 のダイナミックレンジを十分に大きくできる。

【 0 0 8 9 】

図 1 5 に、電圧レベルが負の値になる O B 画素からの被変換アナログ電圧を A D 変換する場合のタイミングチャートの一例を示す。図 1 5 に示すように、O B 画素からの被変換アナログ電圧の電圧レベルは、 V_{black_g} = “ - 1 0 ” 相当であり、この場合の待機時間 T_{cw_f} は、上述したように、“ - 1 4 ” となる。このとき、ラッチ回路 1 3 から出力される A D 変換結果 $Dout_g$ は、以下の数 1 0 で求められる。

【 0 0 9 0 】

[数 1 0]

$$Dout_g = V_{black_g} + V_{offset} - T_{cw_f}$$

【 0 0 9 1 】

従って、図 1 5 に示す場合には、A D 変換結果 $Dout_g$ = “ - 1 0 ” + “ 4 0 ” - “ - 1 4 ” = “ 4 4 ” となる。

【 0 0 9 2 】

従って、O B レベル（平均ノイズ電圧）が目標ノイズ電圧を下回る場合に、制御基準タイミングに対するカウンタ 1 5 の計数開始タイミングの調整に加え、制御基準タイミングにおける参照電圧の基準電圧レベルの調整を行うことで、O B レベル（平均ノイズ電圧）と目標ノイズ電圧の差が正負の何れになるかに拘わらず、A D 変換を良好に行うことが可能になる。

【 0 0 9 3 】

第 3 実施形態

本発明に係る A / D 変換器、及び、該 A / D 変換器を備えたセンサシステムの第 3 実施形態について、図 1 6 及び図 1 8 を基に説明する。上記第 1 及び第 2 実施形態では、制御基準タイミングに対するカウンタの計数開始タイミングの調整を行う場合について説明したが、本実施形態では、計数開始タイミングにおける参照電圧の基準電圧レベルの調整を行う場合について説明する。

【 0 0 9 4 】

まず、本実施形態の A / D 変換器及びセンサシステムの構成について図 1 8 を基に説明する。本実施形態の A / D 変換器及びセンサシステムの基本構成は、上記第 1 及び第 2 実施形態における A / D 変換器及びセンサシステムの基本構成と同じである。

【 0 0 9 5 】

本実施形態の制御回路 1 8 は、O B レベル（平均ノイズ電圧）と目標ノイズ電圧の差を示す指標値を算出し、指標値に基づいて、計数開始タイミングにおける参照電圧の基準電圧レベルの調整量を算出し、計数開始タイミング前に、ランプ電圧の電圧変化方向に、参照電圧の基準電圧レベルを調整量に基づいて変化させる。

【 0 0 9 6 】

本実施形態のセンサシステムの動作について、図 1 6 を基に説明する。ここで、図 1 6 は、本実施形態において、計数開始タイミングにおける参照電圧の基準電圧レベルの調整を説明するタイミングチャートである。また、ここでは、上記第 1 及び第 2 実施形態と同

10

20

30

40

50

様に、A/D変換器の入力信号に対するゲインが4に設定されている場合を想定して説明する。

【0097】

本実施形態の制御回路18は、ランプ波発生回路14を制御基準タイミング t_7 より前に一定期間動作させて、ランプ電圧の電圧変化方向（ここでは、増加方向）に、参照電圧の基準電圧レベルを変化させる。ランプ電圧 V_{RAMP} の増加量は、ランプ波発生回路14の動作時間 T_{up} によって規定される。ランプ波発生回路14の動作時間 T_{up} は、OBレベル（平均ノイズ電圧） V_{black} と目標ノイズ電圧 N_{sp} を用いて、以下の数11で求められる。

【0098】

[数11]

$$T_{up} = V_{black} - N_{sp}$$

【0099】

ここで、本実施形態では、図16に示すように、OB画素からの被変換アナログ電圧をA/D変換したA/D変換データの値 $V_{black_h} = "100"$ 、目標ノイズ電圧 $N_{sp} = "64"$ である。従って、ランプ波発生回路14の動作時間 T_{up} は、“100” - “64” = “36”クロックとなる。

【0100】

制御回路18は、図16に示すように、時間 t_5 から動作時間 T_{up} の間、ランプ波発生回路14を動作させてランプ電圧を増加する方向に変化させる。結果として、ノードCPIの電圧レベルは、被変換アナログ電圧のサンプリング時の電圧レベルから“36”レベル分増加する。尚、時間 t_5 は、制御基準タイミング t_7 の直前に設定された基準電圧レベルの調整のために割り当てられた時間 T_{offs_h} の開始時間である。時間 T_{offs_h} は、センサシステム3の回路特性等を考慮して予め設定されている。

【0101】

引き続き、制御回路18は、図16に示すように、積分時間 T_{int_h} の間、即ち、信号 $RAMP_START$ の立ち下がり（制御基準タイミング t_7 ）から、信号 SW_UP の立ち下がり（ランプ波発生回路14の運転時間 T_{int_h} の終了時間）までの時間、ランプ波発生回路14のランプ電圧の出力を行う。ここで、積分時間 T_{int_h} は、A/D変換器の分解能と同じ数のクロック数で規定される固定時間である。本実施形態では、A/D変換器の分解能（カウンタのビット数）が10bitなので、積分時間 T_{int_h} は、“1024 (= 2^{10})”クロック分となる。

【0102】

本実施形態では、図16に示すように、参照電圧の基準電圧レベル、即ち、ノードCPIの電圧レベルを被変換アナログ電圧のサンプリング時の電圧レベル $V_{black_h} = "100"$ から“36”レベル分上昇させる。この場合、参照電圧を“64 (= 100 - 36)”レベル分上昇させると、ノードCPIの電圧レベルがインバータ12の出力切り替えレベルであるオートゼロレベルを超える。このときのカウンタ15の出力値は“64”であり、AD変換結果 $DOU_h = "64"$ となる。従って、計数開始タイミングにおける参照電圧の基準電圧レベルを変化させることにより、OBレベルを擬似的に目標ノイズ電圧の値に設定することが可能になる。

【0103】

第4実施形態

本発明に係るA/D変換器、及び、該A/D変換器を備えたセンサシステムの第4実施形態について、図17及び図18を基に説明する。本実施形態では、上記第3実施形態において、OBレベル（平均ノイズ電圧）が目標ノイズ電圧を上回る場合と下回る場合で、制御回路18が異なる設定を行う場合について説明する。

【0104】

先ず、本実施形態のA/D変換器及びセンサシステムの構成について図18を基に説明する。本実施形態のA/D変換器及びセンサシステムの基本構成は、上記第3実施形態に

10

20

30

40

50

おける A / D 変換器及びセンサシステムの基本構成と同じである。

【 0 1 0 5 】

本実施形態の制御回路 18 は、O B レベル（平均ノイズ電圧）と目標ノイズ電圧の差を示す指標値に基づいて、計数開始タイミングにおける参照電圧の基準電圧レベルの調整量を算出する。そして、O B レベル（平均ノイズ電圧）が目標ノイズ電圧を上回る場合に、計数開始タイミング前に、ランプ電圧の電圧変化方向に、参照電圧の基準電圧レベルを調整量に基づいて変化させる。また、O B レベル（平均ノイズ電圧）が目標ノイズ電圧を下回る場合に、ランプ電圧の電圧変化方向とは反対の方向に、参照電圧の基準電圧レベルを調整量に基づいて変化させる。

【 0 1 0 6 】

10

本実施形態のセンサシステムの動作について、図 17 を基に説明する。ここで、図 17 は、本実施形態において、計数開始タイミングにおける参照電圧の基準電圧レベルの調整を説明するタイミングチャートである。また、ここでは、上記第 1 ～ 第 3 実施形態と同様に、A / D 変換器の入力信号に対するゲインが 4 に設定されている場合を想定して説明する。

【 0 1 0 7 】

尚、本実施形態の制御回路 18 は、O B レベル（平均ノイズ電圧）が目標ノイズ電圧を上回る場合は、上記第 3 実施形態と同じ処理を行う。

【 0 1 0 8 】

本実施形態の制御回路 18 は、O B レベル（平均ノイズ電圧）が目標ノイズ電圧を下回る場合、ランプ波発生回路 14 を制御基準タイミング t_7 より前に、一定期間反転動作させて、ランプ電圧の電圧変化方向とは反対の方向（ここでは、減少方向）に、参照電圧の基準電圧レベルを変化させる。ランプ電圧 V_{RAMP} の減少量は、ランプ波発生回路 14 の反転動作時間 T_{down} によって規定される。ランプ波発生回路 14 の反転動作時間 T_{down} は、O B レベル（平均ノイズ電圧） V_{black} と目標ノイズ電圧 N_{sp} を用いて、以下の数 12 で求められる。

20

【 0 1 0 9 】

[数 12]

$$T_{down} = V_{black} - N_{sp}$$

【 0 1 1 0 】

30

ここで、本実施形態では、図 17 に示すように、O B 画素からの被変換アナログ電圧を A / D 変換した A / D 変換データの値 $V_{black_h} = "10"$ 、目標ノイズ電圧 $N_{sp} = "64"$ である。従って、ランプ波発生回路 14 の反転動作時間 T_{down} は、“10” - “64” = “54” クロックとなる。

【 0 1 1 1 】

制御回路 18 は、図 17 に示すように、時間 t_5 から反転動作時間 T_{down} の間、ランプ波発生回路 14 を反転動作させてランプ電圧を減少する方向に変化させる。結果として、ノード C P I の電圧レベルは、被変換アナログ電圧のサンプリング時の電圧レベルから “54” レベル分減少する。尚、時間 t_5 は、上記第 3 実施形態と同様に、制御基準タイミング t_7 の直前に設定された基準電圧レベルの調整のために割り当てられた時間 T_{offset_h} の開始時間である。時間 T_{offset_h} は、センサシステム 3 の回路特性等を考慮して予め設定されている。

40

【 0 1 1 2 】

引き続き、制御回路 18 は、図 17 に示すように、積分時間 T_{int_i} の間、即ち、信号 $RAMP_START$ の立ち下がり（制御基準タイミング t_7 ）から、信号 SW_DOWN の立ち下がり（積分時間 T_{int_i} の終了時間）までの時間、ランプ波発生回路 14 のランプ電圧の出力を行う。尚、積分時間 T_{int_i} は、上記第 3 実施形態と同様に、A / D 変換器の分解能と同じ数のクロック数で規定される固定時間であり、“1024 (= 2^{10})” クロック分となる。

【 0 1 1 3 】

50

本実施形態では、図 17 に示すように、ノード C P I の電圧レベル（参照電圧の基準電圧レベル）を被変換アナログ電圧のサンプリング時の電圧レベル $V_{black_i} = "10"$ から $"54"$ レベル分減少させる。この場合、参照電圧を $"64 (= 10 + 54)"$ レベル上昇させると、ノード C P I の電圧レベルがオートゼロレベルを超える。このときのカウンタ 15 の出力値は $"64"$ であり、A D 変換結果 $DOUT_i = "64"$ となる。従って、計数開始タイミングにおける参照電圧の基準電圧レベルを変化させることにより、O B レベルを擬似的に目標ノイズ電圧の値に設定することが可能になる。

【 0 1 1 4 】

第 5 実施形態

本発明に係る A / D 変換器、及び、該 A / D 変換器を備えたセンサシステムで用いるランプ発生回路 14 について、図 19 及び図 20 を基に説明する。

【 0 1 1 5 】

図 19 に、本実施形態のランプ波発生回路 14 の概略構成例を示す回路図を、図 20 に、図 19 に示すランプ波発生回路 14 の動作を説明するタイミングチャートを示す。

【 0 1 1 6 】

ランプ波発生回路 14 は、図 19 に示すように、定電流源 I_{ref} からの電流値を複製する第 1 カレントミラー回路及び第 2 カレントミラー回路と、第 1 カレントミラー回路で複製した電流により放電し、第 2 カレントミラー回路で複製した電流により充電する積分容量 C_{int} と、積分容量 C_{int} に対する第 1 カレントミラー回路による放電及び第 2 カレントミラー回路による充電を択一的に切り替えるスイッチ回路 SW_DOWN 、 SW_UP と、を備えて構成される。本実施形態のランプ波発生回路 14 は、更に、安定化電圧源 V_c 、差動アンプ AMP_{int} 、リセットスイッチ SW_reset を備えており、安定化電圧源 V_c 、差動アンプ AMP_{int} 、積分容量 C_{int} 、リセットスイッチ SW_reset によって定積分器が構成される。

【 0 1 1 7 】

第 1 カレントミラー回路は、P M O S トランジスタ $MP1 \sim MP3$ から構成される。第 1 カレントミラー回路では、定電流源 I_{ref} によって供給される定電流 I_{ref} が、P M O S トランジスタ $MP3$ を介して $-I_{int}$ として複製される。第 2 カレントミラー回路は、P M O S トランジスタ $MP1$ 、 $MP2$ 、N M O S トランジスタ $MN1$ 、 $MN2$ から構成される。第 2 カレントミラー回路では、定電流源 I_{ref} によって供給される定電流 I_{ref} が、N M O S トランジスタ $MN2$ を介して電流 $+I_{int}$ として複製される。

【 0 1 1 8 】

ランプ波発生回路 14 は、スイッチ回路 SW_UP をオン状態に、スイッチ回路 SW_DOWN をオフ状態にすることで、ランプ電圧を増加方向に変化させ、スイッチ回路 SW_UP をオフ状態に、スイッチ回路 SW_DOWN をオン状態にすることで、ランプ電圧を減少方向に変化させる。

【 0 1 1 9 】

次に、ランプ波発生回路 14 の動作原理について説明する。

【 0 1 2 0 】

第 1 カレントミラー回路により積分容量 C_{int} が充電される場合（ $-I_{int}$ によって電流を注入する場合）、ランプ波発生回路 14 の出力電圧であるランプ電圧 V_{RAMP} は、減少する方向に電圧変化する。このときのランプ電圧 V_{RAMP} は、積分時間を T_{offs} とすると、以下の数 13 で求められる。

【 0 1 2 1 】

[数 1 3]

$$V_{RAMP} = - (I_{int} / C_{int}) \times T_{offs} + V_c$$

【 0 1 2 2 】

第 2 カレントミラー回路により積分容量 C_{int} が放電される場合（ $+I_{int}$ によって電流を引き抜く場合）、ランプ電圧 V_{RAMP} は、増加する方向に電圧変化する。このときのランプ電圧 V_{RAMP} は、積分時間を T_{int} とすると、以下の数 14 で求められ

る。

【 0 1 2 3 】

[数 1 4]

$$V_{RAMP} = + (I_{int} / C_{int}) \times T_{int} + V_c$$

【 0 1 2 4 】

また、定電流源 I_{ref} の $\pm I_{int}$ に対するカレントミラー比を M とおくと、数 1 3 は以下の数 1 5 のように表すことができ、数 1 4 は以下の数 1 6 のように表せる。

【 0 1 2 5 】

[数 1 5]

$$V_{RAMP} = - M \times (I_{ref} / C_{int}) \times T_{offs} + V_c$$

10

【 0 1 2 6 】

[数 1 6]

$$V_{RAMP} = + M \times (I_{ref} / C_{int}) \times T_{int} + V_c$$

【 0 1 2 7 】

従って、数 1 5 及び数 1 6 より、傾き（単位時間当たりの電圧変化量）は以下の数 1 7 及び数 1 8 で表される。

【 0 1 2 8 】

[数 1 7]

$$= - M \times (I_{ref} / C_{int})$$

【 0 1 2 9 】

20

[数 1 8]

$$= + M \times (I_{ref} / C_{int})$$

【 0 1 3 0 】

以下、ランプ波発生回路 1 4 の動作タイミングについて図 2 0 を基に説明する。

【 0 1 3 1 】

ランプ波発生回路 1 4 は、画素部 1 6 からの被変換アナログ電圧のサンプリングを開始する前毎に、図 1 9 に示す積分容量 C_{int} をリセット（放電）するために、リセットスイッチ SW_reset を H レベルにする。

【 0 1 3 2 】

ランプ波発生回路 1 4 は、制御回路 1 8 によってオフセット時間 T_{offs} が設定されている場合には、ランプ電圧 V_{RAMP} を減少する方向に電圧変化させるために、オフセット時間 T_{offs} の開始時間 t_5 のタイミングで、スイッチ回路 SW_DOWN を H レベル（オン状態）に、スイッチ回路 SW_UP を L レベル（オフ状態）にする。ランプ波発生回路 1 4 は、オフセット時間 T_{offs} の経過後、時間 t_6 でスイッチ回路 SW_DOWN を L レベル（オフ状態）にする。このときのランプ電圧 V_{RAMP} は数 1 5 で、傾きは数 1 7 で表される。数 1 3 及び数 1 5 に示すように、ランプ電圧 V_{RAMP} の減少量は、積分時間 T_{offs} で制御できる。

30

【 0 1 3 3 】

ランプ波発生回路 1 4 は、制御基準タイミング t_6 から運転時間 T_{int} の間、ランプ電圧 V_{RAMP} を増加する方向に電圧変化させるために、スイッチ回路 SW_DOWN を L レベル（オフ状態）に、スイッチ回路 SW_UP を H レベル（オン状態）にする。ランプ波発生回路 1 4 は、運転時間 T_{int} の経過後、スイッチ回路 SW_UP を L レベル（オフ状態）にする。このときのランプ電圧 V_{RAMP} は数 1 6 で、傾きは数 1 8 で表される。数 1 4 及び数 1 6 に示すように、ランプ電圧 V_{RAMP} の増加量は、積分時間 T_{int} で制御できる。

40

【 0 1 3 4 】

上述したように、ランプ電圧 V_{RAMP} の傾きを調整することで、A/D 変換器のゲイン（利得）を設定することが可能である。数 1 7 及び数 1 8 より、傾きは、カレントミラー比 M 、定電流源 I_{ref} 、積分容量 C_{int} をパラメータとする関数で定義されるので、カレントミラー比 M 、定電流源 I_{ref} 、積分容量 C_{int} の何れか、或いは複数

50

を調整可能に構成することで傾き を調整することが可能になる。

【0135】

別実施形態

1 上記第5実施形態において、図19に示すランプ波発生回路14の定電流源 I_{ref} は、定電圧源と、定電圧源から発生される電圧を容量性負荷の充放電に寄与する定電流に変換する抵抗負荷と、を備えるように構成し、抵抗負荷をスイッチトキャパシタで構成しても良い。

【0136】

2 上記第1～第5実施形態では、演算器がインバータ回路12を用いて構成されている場合について説明したが、演算器の構成は、これに限るものではない。演算器は、図22に示すように、被変換アナログ電圧とランプ電圧を夫々入力電圧とする差動入力型の演算増幅器で構成されていても良い。

10

【0137】

3 上記第1～第5実施形態では、制御回路18は、参照電圧の基準電圧レベルを、ランプ電圧の電圧変化方向とは反対の方向に変化させる場合に、ランプ波発生回路14を反転動作させる場合について説明したが、これに限るものではない。図21に示すように、A/D変換ユニット11に、ランプ波発生回路14とは極性が反対のランプ波発生回路14'と、演算器に接続するランプ波発生回路14とランプ波発生回路14'を切り替えるためのスイッチ S_3' を設け、スイッチ S_3 とスイッチ S_3' の切り替え動作によって、参照電圧の基準電圧レベルを変化させるように構成しても良い。

20

【図面の簡単な説明】

【0138】

【図1】従来技術に係るコラム型A/D変換器及び個体撮像素子の概略構成を示す概略ブロック図

【図2】図1に示すコラム型A/D変換器及び個体撮像素子の各ノードにおける概略信号波形を示す波形図

【図3】図1に示すコラム型A/D変換器のインバータ回路の構成と入出力特性を示す説明図

【図4】従来技術に係るコラム型A/D変換器を備えたセンサシステムの概略構成を示す概略ブロック図

30

【図5】従来技術に係るA/D変換器において、センサ部の有効画素部及び光学的黒画素部夫々から出力される被変換アナログ電圧をディジタル変換したディジタル変換信号を示す波形図

【図6】従来技術に係るA/D変換器において、ランプ電圧の電圧変化の傾きを変化させた場合におけるAD変換結果の出力タイミングと出力値を示すタイミングチャート

【図7】従来技術に係るA/D変換器において、ゲインの設定値を変更した場合のダイナミックレンジを示すタイミングチャート

【図8】本発明に係るA/D変換器を備えたセンサシステムの第1実施形態における概略構成を示す概略ブロック図

【図9】本発明に係るA/D変換器を備えたセンサシステムの第1実施形態における演算器の入力ノード(ノードCPI)、カウンタ出力及びAD変換結果夫々の電圧波形を示すタイミングチャート

40

【図10】本発明に係るA/D変換器を備えたセンサシステムの第2実施形態において、カウンタの計数開始タイミングを説明するタイミングチャート

【図11】本発明に係るA/D変換器の第2実施形態において、センサ部の有効画素部及び光学的黒画素部夫々から出力される被変換アナログ電圧をディジタル変換したディジタル変換信号を示す波形図

【図12】本発明に係るA/D変換器を備えたセンサシステムの第2実施形態において、カウンタの計数開始タイミングを説明するタイミングチャート

【図13】本発明に係るA/D変換器を備えたセンサシステムの第2実施形態において、

50

カウンタの計数開始タイミング及びオフセット電圧の調整方法を説明するタイミングチャート

【図 1 4】本発明に係る A / D 変換器を備えたセンサシステムの第 2 実施形態における概略構成を示す概略ブロック図

【図 1 5】本発明に係る A / D 変換器を備えたセンサシステムの第 2 実施形態において、カウンタの計数開始タイミング及びオフセット電圧の調整方法を説明するタイミングチャート

【図 1 6】本発明に係る A / D 変換器を備えたセンサシステムの第 4 実施形態において、参照電圧の基準電圧レベルの調整を説明するタイミングチャート

【図 1 7】本発明に係る A / D 変換器を備えたセンサシステムの第 5 実施形態において、参照電圧の基準電圧レベルの調整を説明するタイミングチャート

10

【図 1 8】本発明に係る A / D 変換器を備えたセンサシステムの第 4 実施形態における概略構成を示す概略ブロック図

【図 1 9】本発明に係る A / D 変換器を備えたセンサシステムで用いるランプ電圧発生回路の概略構成例を示す回路図

【図 2 0】本発明に係る A / D 変換器を備えたセンサシステムで用いるランプ電圧発生回路の動作を説明するタイミングチャート

【図 2 1】本発明に係る A / D 変換器を備えたセンサシステムで用いる A / D 変換ユニットの別実施形態における概略構成例を示す概略回路図

【図 2 2】本発明に係る A / D 変換器を備えたセンサシステムで用いる A / D 変換ユニットの別実施形態における概略構成例を示す概略回路図

20

【符号の説明】

【 0 1 3 9 】

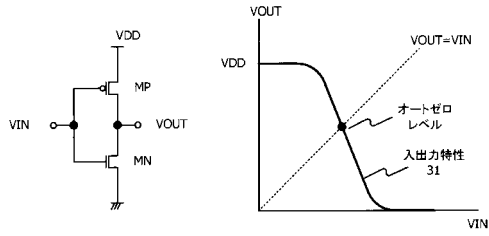
- 1 ~ 3 : 本発明に係るセンサシステム
- 1 0 : 従来のコラム型 A / D 変換器
- 1 1 : A / D 変換ユニット
- 1 2 : インバータ回路
- 1 3 : ラッチ回路
- 1 4 : ランプ波発生回路 (ランプ電圧発生回路)
- 1 5 : カウンタ
- 1 6 : 固体撮像素子の画素部
- 1 7 : 電圧比較回路
- 1 8 : 制御回路
- 1 9 : 平均化処理部
- 2 0 : 目標ノイズ電圧設定回路
- 1 0 0 : 従来技術に係るセンサシステム
- C P I : インバータ回路の入力ノード
- C P O : インバータ回路の出力ノード
- C S、C R : キャパシタ
- I x : 電流源
- M N 1 : N チャンネル型 M O S F E T
- M N 2 : N チャンネル型 M O S F E T
- M P 1 : P チャンネル型 M O S F E T
- M P 2 : P チャンネル型 M O S F E T
- M P 3 : P チャンネル型 M O S F E T
- P D : フォトダイオード
- R S : リセットレベルのサンプリングスイッチ
- R X : リセットスイッチ
- S 3、S 3' : ランプ電圧転送用スイッチ
- S S : 被変換アナログ電圧のサンプリングスイッチ

30

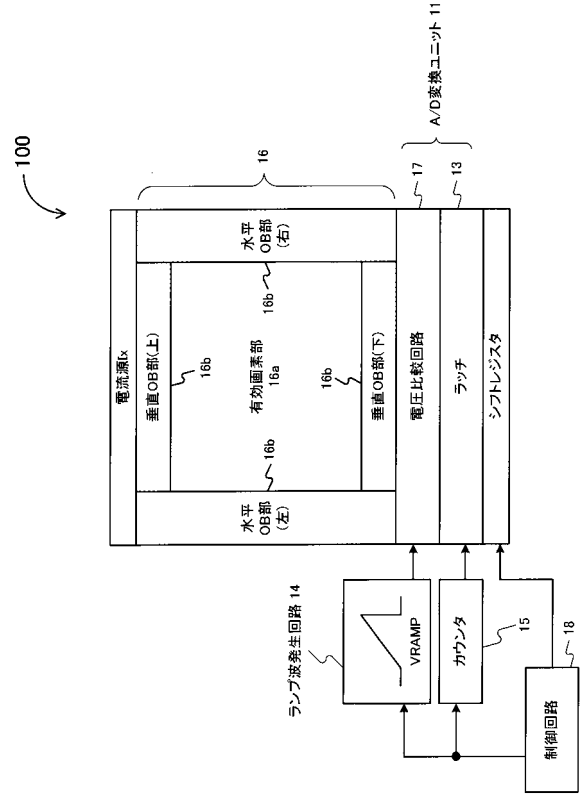
40

50

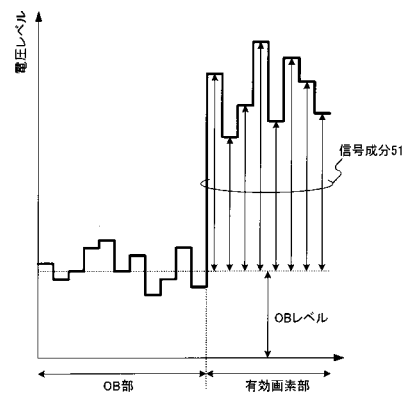
【図3】



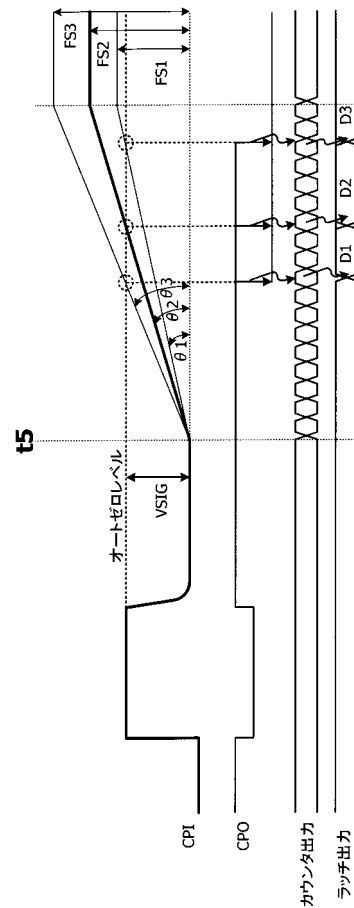
【図4】



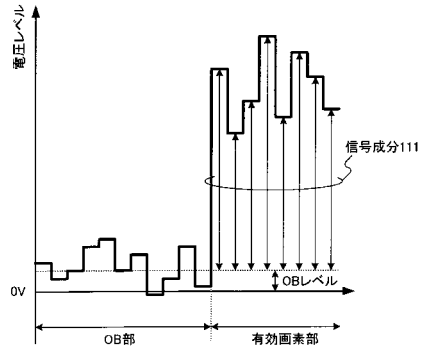
【図5】



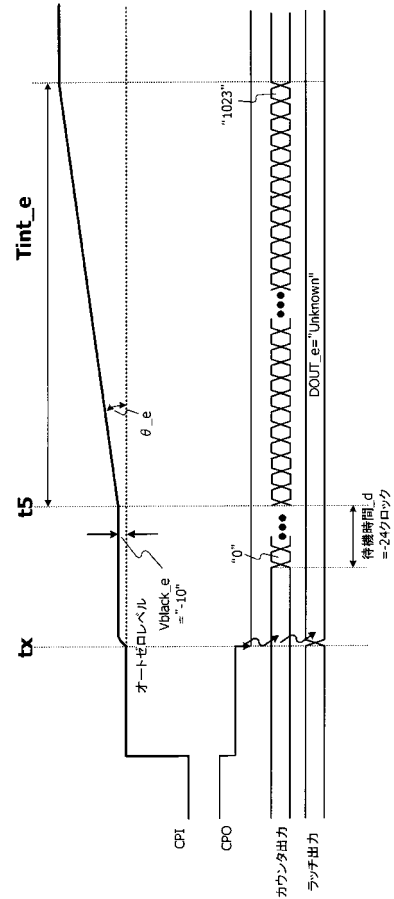
【図6】



【 図 1 1 】

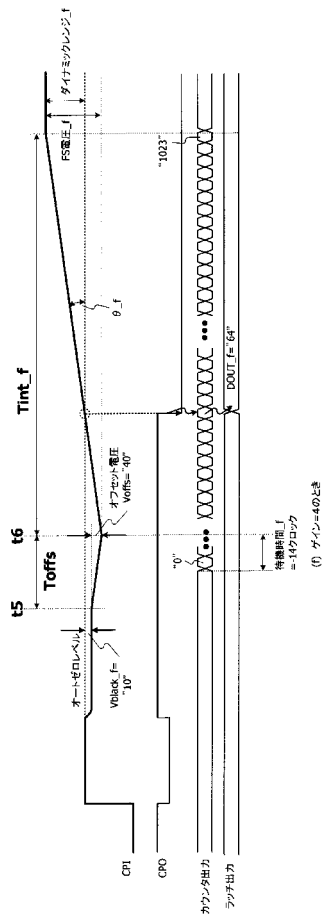


【 図 1 2 】

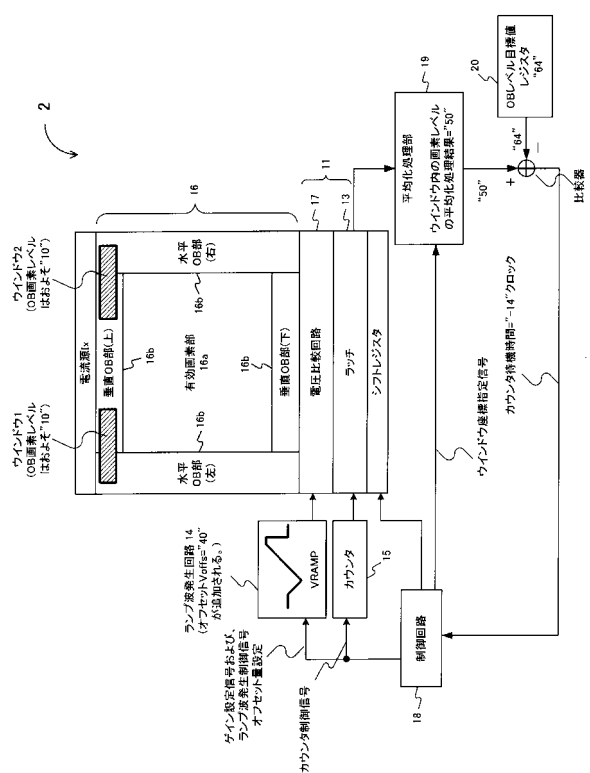


(e) $\text{ゲイン}=4$ のとき

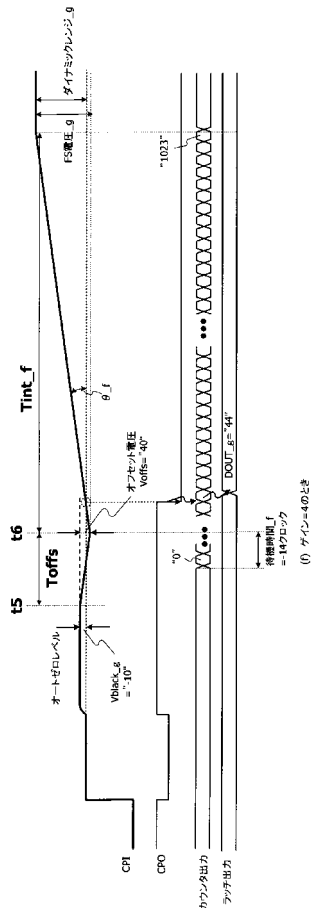
【 図 1 3 】



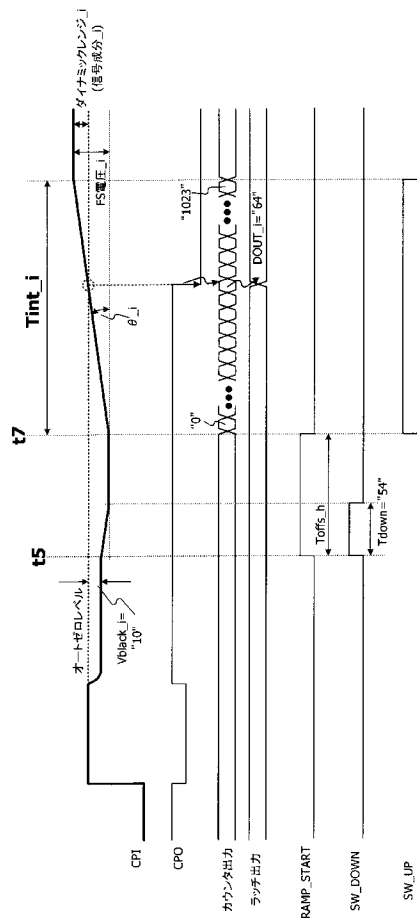
【 図 1 4 】



【図 15】

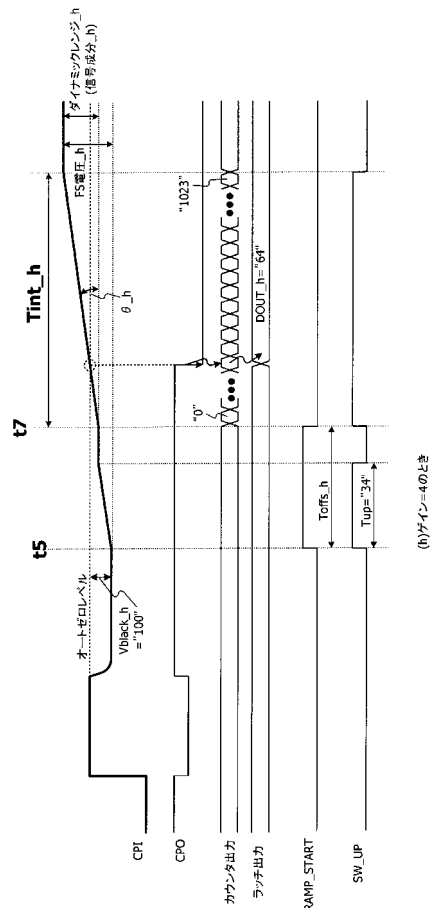


【図 17】

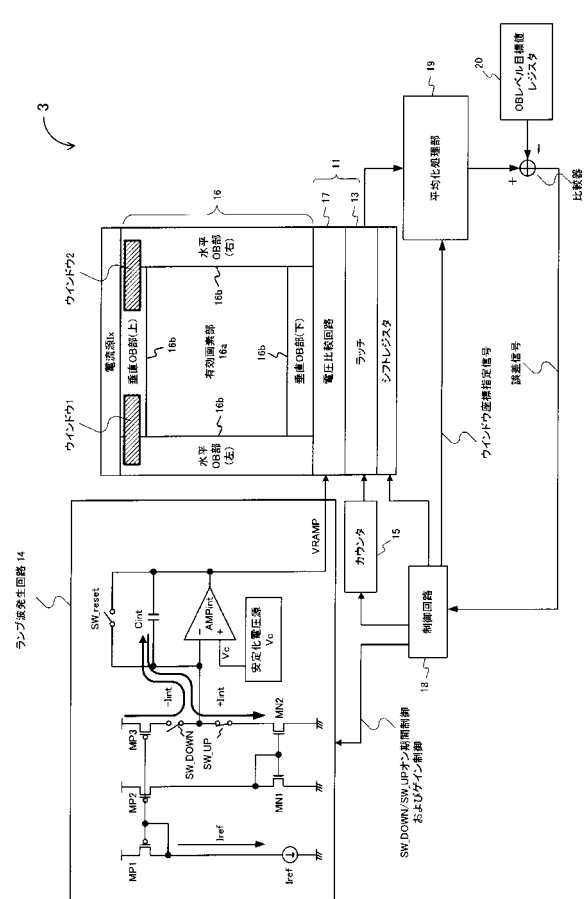


(i) ゲイン=40のとき

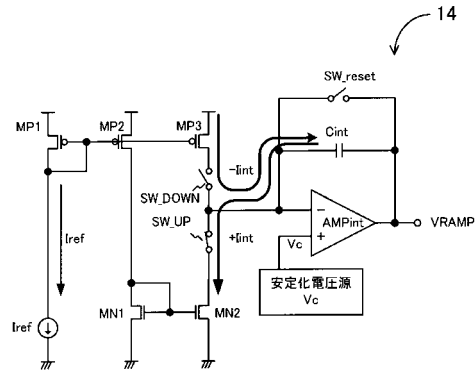
【図 16】



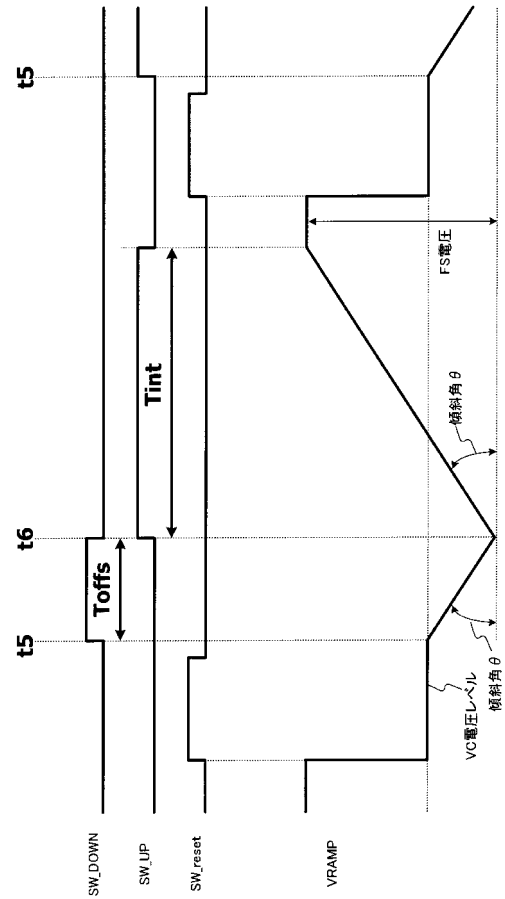
【図 18】



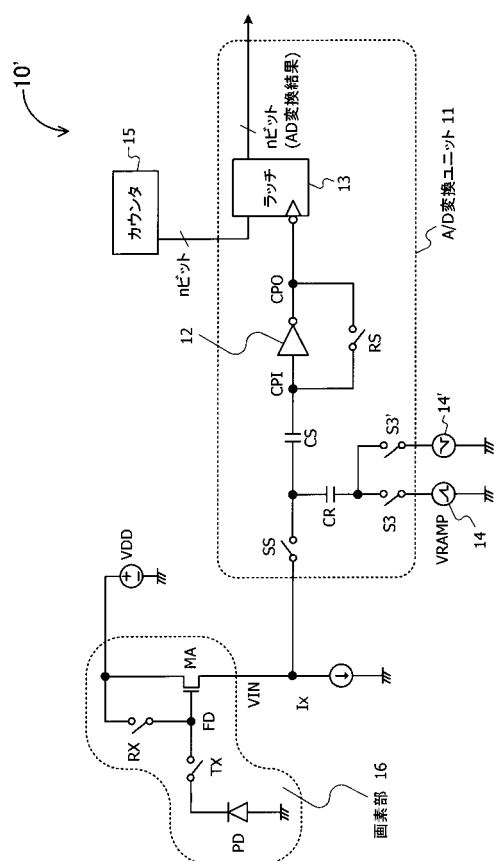
【図 19】



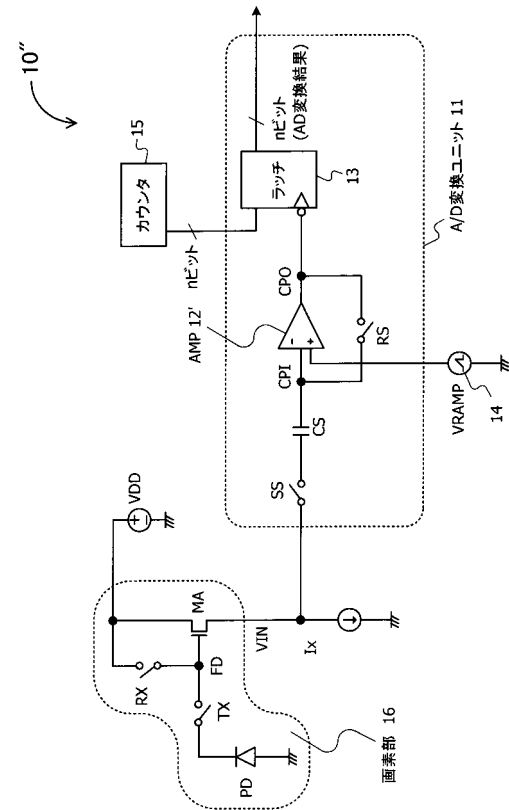
【図 20】



【図 21】



【図 22】



フロントページの続き

(56)参考文献 特開昭57-160221(JP,A)
特開2003-198371(JP,A)
特開2000-286706(JP,A)
特開2007-019682(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03M 1/00 - 1/88
H04N 5/335