



(12) 发明专利

(10) 授权公告号 CN 101523558 B

(45) 授权公告日 2012. 01. 11

(21) 申请号 200780036431. 1

(51) Int. Cl.

(22) 申请日 2007. 08. 28

H01L 21/20 (2006. 01)

(30) 优先权数据

11/529, 353 2006. 09. 29 US

(56) 对比文件

US 2004/0164373 A1, 2004. 08. 26, 全文.

US 2005/0079691 A1, 2005. 04. 14, 全文.

(85) PCT申请进入国家阶段日

2009. 03. 30

审查员 任芸芸

(86) PCT申请的申请数据

PCT/US2007/076937 2007. 08. 28

(87) PCT申请的公布数据

W02008/042528 EN 2008. 04. 10

(73) 专利权人 东京毅力科创株式会社

地址 日本东京都

(72) 发明人 格特·莱乌辛克

(74) 专利代理机构 北京东方亿思知识产权代理

有限责任公司 11258

代理人 李剑 南霆

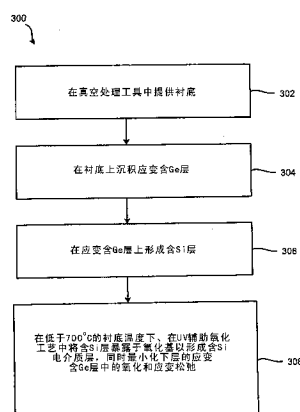
权利要求书 3 页 说明书 8 页 附图 5 页

(54) 发明名称

用于具有应变含锗层的器件的 UV 辅助电介质形成

(57) 摘要

一种形成半导体器件的方法包括：在真空处理工具中提供衬底，该衬底具有在衬底上的应变含 Ge 层和在应变含 Ge 层上的含 Si 层；将衬底维持在低于 700℃ 的温度下；以及在 UV 辅助氧化工艺中将含 Si 层暴露于氧化基，以在最小化下层的应变含 Ge 层中的氧化和应变松弛的同时形成含 Si 电介质层。提供了一种半导体器件，包括衬底、衬底上的应变含 Ge 层、以及形成在应变含 Ge 层上的含 Si 电介质层。该半导体器件还可包含在含 Si 电介质层上的栅极电极层或者含 Si 电介质层上的高 k 层和高 k 层上的栅极电极层。



1. 一种形成半导体器件的方法,包括:

在真空处理工具中提供衬底,所述衬底具有在所述衬底上的应变含 Ge 层和在所述应变含 Ge 层上的含 Si 层;

将所述衬底维持在低于 700°C 的温度下;以及

在 UV 辅助氧化工艺中将所述含 Si 层暴露于氧化基,以在最小化下层的应变含 Ge 层中的氧化和应变松弛的同时形成含 Si 电介质层。

2. 如权利要求 1 所述的方法,其中所述含 Si 层包括 Si 层、SiO₂ 层、SiN 层或 SiON 层,或者其中两者或更多者的组合。

3. 如权利要求 1 所述的方法,其中所述暴露包括将所述含 Si 层暴露于紫外辐射和处理气体,所述处理气体包含含氧气体、含氮气体或者含氧氮气体。

4. 如权利要求 3 所述的方法,其中所述处理气体包括 O₂、H₂O、N₂、NH₃、NO、NO₂ 或 N₂O,或者其中两者或更多者的组合。

5. 如权利要求 3 所述的方法,其中所述暴露包括通过紫外辐射源生成所述紫外辐射,所述紫外辐射源与所述衬底通过对于所述紫外辐射呈透射性的窗口间隔。

6. 如权利要求 3 所述的方法,其中所述暴露包括生成 172nm 波长的紫外辐射。

7. 如权利要求 1 所述的方法,其中所述含 Si 电介质层包括 SiO₂ 层、SiON 层或 SiN 层,或者其中两者或更多者的组合。

8. 如权利要求 1 所述的方法,其中所述含 Si 层包括低密度 SiO_x 层,并且所形成的含 Si 电介质层包括 SiO₂ 层、SiON 层或其组合。

9. 如权利要求 7 所述的方法,其中所述含 Si 层具有约 0.3nm 和约 2nm 之间的厚度,并且所形成的含 Si 电介质层具有约 0.3nm 和约 2nm 之间的厚度。

10. 如权利要求 7 所述的方法,其中所述含 Si 层具有约 0.5nm 和约 1nm 之间的厚度,并且所形成的含 Si 电介质层具有约 0.5nm 和约 1nm 之间的厚度。

11. 如权利要求 1 所述的方法,其中所述暴露包括:

将所述含 Si 层暴露于紫外辐射和包括 O₂ 或 H₂O 的第一处理气体;以及之后,将所述含 Si 层暴露于紫外辐射和包括 N₂ 或 NH₃ 的第二处理气体。

12. 如权利要求 1 所述的方法,其中所述暴露包括:

将所述含 Si 层暴露于紫外辐射和包括 N₂ 或 NH₃ 的第一处理气体;以及之后,将所述含 Si 层暴露于紫外辐射和包括 O₂ 或 H₂O 的第二处理气体。

13. 如权利要求 1 所述的方法,其中所述提供包括:

在所述衬底上沉积应变含 Ge 层;以及

在所述应变含 Ge 层上形成含 Si 层,其中所述沉积和形成步骤之一或这两者是在所述真空处理工具中执行的。

14. 如权利要求 1 所述的方法,还包括在所形成的含 Si 电介质层上形成栅极电极层,所述栅极电极层包括多晶硅、W、WN、WSi_x、Al、Mo、Ta、Ta₂N、TaSiN、HfN、HfSi、HfSiN、Ti、TiN、TiSiN、Mo、MoN、Re、Pt 或 Ru。

15. 如权利要求 1 所述的方法,还包括:

在所形成的含 Si 电介质层上形成高 k 电介质层,其中所述高 k 电介质层包括 Ta₂O₅、TiO₂、ZrO₂、Al₂O₃、Y₂O₃、HfSiO_x、HfO₂、ZrO₂、ZrSiO_x、TaSiO_x、SrO_x、SrSiO_x、LaO_x、LaSiO_x、YO_x 或

YSiO_x, 或者其中两者或更多者的组合 ; 以及

在所述高 k 电介质层上形成栅极电极层, 其中所述栅极电极层包括多晶硅、W、WN、WSi_x、Al、Mo、Ta、Ta₂N、TaSiN、HfN、HfSi、HfSiN、Ti、TiN、TiSiN、Mo、MoN、Re、Pt 或 Ru。

16. 如权利要求 1 所述的方法, 其中所述暴露包括仅氧化所述含 Si 层的一部分。

17. 一种形成 MOSFET 器件的方法, 包括 :

在真空处理工具中提供衬底 ;

在所述衬底上沉积应变含 Ge 沟道区域 ;

在所述应变含 Ge 沟道区域上形成 Si 层 ; 以及

在低于 700°C 的衬底温度下、在 UV 辅助氧化工艺中将所述 Si 层暴露于氧化基, 以在最小化下层的应变含 Ge 层中的氧化和应变松弛的同时形成 SiO₂ 栅极电介质层。

18. 一种半导体器件, 包括 :

衬底 ;

所述衬底上的应变含 Ge 层 ; 以及

形成在所述应变含 Ge 层上的含 Si 电介质层, 其中所述含 Si 电介质层是通过以下方式形成的 : 在低于 700°C 的衬底温度下、在 UV 辅助氧化工艺中将所述应变含 Ge 层上的含 Si 层暴露于氧化基, 以在最小化下层的应变含 Ge 层中的氧化和应变松弛的同时形成含 Si 电介质层。

19. 如权利要求 18 所述的半导体器件, 其中所述含 Si 层包括 Si 层、SiO₂ 层、SiN 层或 SiON 层, 或者其中两者或更多者的组合。

20. 如权利要求 18 所述的半导体器件, 其中所述含 Si 电介质层包括 SiO₂ 层、SiON 层或 SiN 层, 或者其中两者或更多者的组合。

21. 如权利要求 18 所述的半导体器件, 其中所述应变含 Ge 层包括 Si_xGe_{1-x}, 其中 $0.1 \leq 1-x < 1$ 。

22. 如权利要求 18 所述的半导体器件, 其中所述应变含 Ge 层包括应变 Ge 层。

23. 如权利要求 18 所述的半导体器件, 其中所述应变含 Ge 层上覆于所述衬底上的 SiGe 缓冲层。

24. 如权利要求 18 所述的半导体器件, 其中所暴露的含 Si 层包括张应变 Si 层。

25. 如权利要求 18 所述的半导体器件, 其中所暴露的含 Si 层具有约 0.3nm 和约 2nm 之间的厚度, 并且所述含 Si 电介质层具有约 0.3nm 和约 2nm 之间的厚度。

26. 如权利要求 18 所述的半导体器件, 其中所暴露的含 Si 层具有约 0.5nm 和约 1nm 之间的厚度, 并且所述含 Si 电介质层具有约 0.5nm 和约 1nm 之间的厚度。

27. 如权利要求 18 所述的半导体器件, 还包括所述高 k 电介质层上的栅极电极层, 其中所述栅极电极层包括多晶硅、W、WN、WSi_x、Al、Mo、Ta、Ta₂N、TaSiN、HfN、HfSi、HfSiN、Ti、TiN、TiSiN、Mo、MoN、Re、Pt 或 Ru。

28. 如权利要求 18 所述的半导体器件, 还包括 :

在所述含 Si 电介质层上的高 k 电介质层, 其中所述高 k 电介质层包括 Ta₂O₅、TiO₂、ZrO₂、Al₂O₃、Y₂O₃、HfSiO_x、HfO₂、ZrO₂、ZrSiO_x、TaSiO_x、SrO_x、SrSiO_x、LaO_x、LaSiO_x、YO_x 或 YSiO_x, 或者其中两者或更多者的组合 ; 以及

在所述高 k 电介质层上的栅极电极层, 其中所述栅极电极层包括多晶硅、W、WN、WSi_x、

Al、Mo、Ta、Ta₂N、TaSiN、HfN、HfSi、HfSiN、Ti、TiN、TiSiN、Mo、MoN、Re、或 Ru。

用于具有应变含锗层的器件的 UV 辅助电介质形成

技术领域

[0001] 本发明涉及半导体处理,更具体而言涉及形成半导体器件,该半导体器件包含覆盖应变含锗层的含硅电介质层。

背景技术

[0002] 在半导体器件中,应变锗 (s-Ge)、应变硅 (s-Si) 和应变硅锗 (s-SiGe) 层是非常有希望作为未来的晶体管沟道材料的。与使用传统(无应变)硅衬底制作的器件相比,使用应变衬底的器件(例如,金属氧化物半导体场效应晶体管(MOSFET))已经在实验上证明表现出增强的器件性能。潜在的性能改善包括器件驱动电流和跨导增大,以及在不牺牲电路速度的前提下缩放操作电压的能力增强,以降低功耗。

[0003] 通常,应变层的形成是当这些层被生长在由晶态材料形成的衬底上时在这些层中引入应变的结果,其中晶态材料的晶格常数大于或小于应变层的晶格常数。Ge 的晶格常数大约比 Si 的晶格常数大 4.2%,并且 SiGe 合金的晶格常数相对于其 Ge 浓度是线性的。在一个示例中,包含 50%原子的 Ge 的 SiGe 合金的晶格常数为约 Si 的晶格常数的 1.02 倍。

[0004] 在 MOSFET 中覆盖沟道材料的是栅极电介质材料,并且栅极电极材料上覆于栅极电介质材料。当前用于形成电介质层(例如,栅极电介质材料)的方法一般需要高温氧化工艺以实现期望的电气属性。当前,需要超过 700°C 的衬底温度,典型的是 800°C 或者更高的衬底温度。或者,等离子体氧化可以用于在较低温度下形成电介质层。然而,本发明的发明人观察到,以上传统电介质形成工艺在应用于应变含 Ge 层时产生了一些缺陷。

发明内容

[0005] 因此,本发明的实施例针对最小化上述问题和/或与使用应变含 Ge 层的方法和器件有关的其他问题中的任何一个。

[0006] 这些和/或其他目的可以由本发明的实施例实现,本发明的实施例提供了一种低温紫外(UV)辐射暴露工艺,用于为包含应变含 Ge 材料的器件形成含 Si 电介质层,例如 SiO₂、SiON 或 SiN 电介质层。含 Ge 材料可包括 Ge 和 SiGe 层。该工艺使用 UV 辐射和处理气体(包含含氧气体、含氮气体或者含氧氮气体)以及低于 700°C 的衬底温度,以在最小化下层的应变含 Ge 层中的氧化和应变松弛的同时,形成具有优异的电介质属性的高度均匀的、超薄的含 Si 电介质层。在器件中,含 Si 电介质层或者可以单独用作栅极电介质层,或者可以用作界面层与高 k 电介质材料组合使用。

[0007] 因而,根据本发明的一个实施例,该方法包括:在真空处理工具中提供衬底,该衬底具有在衬底上的应变含 Ge 层和在应变含 Ge 层上的含 Si 层;将衬底维持在低于 700°C 的温度下;以及在 UV 辅助氧化工艺中将含 Si 层暴露于氧化基,以在最小化下层的应变含 Ge 层中的氧化和应变松弛的同时形成含 Si 电介质层。

[0008] 根据本发明的另一个实施例,提供了一种半导体器件,包括衬底、衬底上的应变含 Ge 层、形成在应变含 Ge 层上的含 Si 电介质层,其中含 Si 电介质层是通过以下方式形成的:

在低于 700℃ 的衬底温度下、在 UV 辅助氧化工艺中将覆盖应变含 Ge 层的含 Si 层暴露于氧化基,以在最小化下层的应变含 Ge 层中的氧化和应变松弛的同时形成含 Si 电介质层。该半导体器件还可包含在含 Si 电介质层上的栅极电极层或者在含 Si 电介质层上的高 k 层和在高 k 层上的栅极电极层。

附图说明

[0009] 在附图中:

[0010] 图 1A-1E 示意性地示出了对应于用于形成根据本发明实施例的包含应变含 Ge 层的半导体器件的处理步骤的器件剖视图;

[0011] 图 2A 和 2B 示意性地示出了根据本发明实施例的包含应变含 Ge 层的半导体器件的剖视图;

[0012] 图 3 是用于形成根据本发明实施例的包含应变含 Ge 层的半导体器件的工艺流程图;

[0013] 图 4 示意性地示出了用于形成根据本发明实施例的半导体器件的真空处理工具;以及

[0014] 图 5 是根据本发明实施例的用于处理半导体器件的包含紫外 (UV) 辐射源的处理系统的简化框图。

具体实施方式

[0015] 如在上面背景技术部分中指出的,本发明的发明人观察到,传统的电介质形成技术在应用于应变含 Ge 层时可能形成缺陷。具体而言,传统的高衬底温度已被观察到导致了缺陷形成,这至少是由于诸如 Ge 和 SiGe 之类的应变含 Ge 沟道材料中的部分应变松弛和/或应变含 Ge 层的部分氧化。此外,由于电介质层只能是几个单原子层的厚度,因此电介质层下方的应变含 Ge 层可能在传统等离子体氧化期间受到高能量的等离子体物质的损伤。本发明的实施例旨在提供低温电介质形成工艺,该工艺最小化了应变含 Ge 层中的氧化和应变松弛,而不会对下层的应变 Ge 层产生传统的等离子体损伤。

[0016] 本发明的实施例提供了一种用于形成高性能器件的方法,该器件包含形成在应变含 Ge 材料上的超薄含 Si 电介质层。例如,含 Si 电介质层或者可以单独用作栅极电介质层,或者可以用作与高 k 电介质材料结合的界面层。根据本发明的一个实施例,含 Si 电介质层可包括 SiO₂ 层、SiON 层或 SiN 层,或者其中两者或更多者的组合。

[0017] 在下面描述的附图中,为了便于参考,在所有附图中当指代附图共有的相同或类似特征时使用共用标号。

[0018] 图 1A-1E 示意性地示出了对应于用于形成根据本发明实施例的包含应变含 Ge 层的半导体器件的处理步骤的器件剖视图。在图 1A 中,衬底(晶片)100 可以是任何尺寸的,例如 200mm 衬底、300mm 衬底或者甚至更大的衬底。在一个示例中,衬底可以是 n 型 Si 衬底。根据本发明的一个实施例,衬底 100 可包含 SiGe 缓冲层。

[0019] 图 1B 示出了形成在衬底 100 上的应变含 Ge 层 102。应变含 Ge 层 102 可以是 Ge 层或 Si_xGe_{1-x} 层,其中 x 是 Si 的原子分数,1-x 是 Ge 的原子分数。这里所用的“SiGe”指 Si_xGe_{1-x} 合金,其中 0.1 ≤ 1-x < 1。示例性的 Si_xGe_{1-x} 合金包括 Si_{0.1}Ge_{0.9}、Si_{0.2}Ge_{0.8}、Si_{0.3}Ge_{0.7}、

$\text{Si}_{0.4}\text{Ge}_{0.6}$ 、 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 、 $\text{Si}_{0.6}\text{Ge}_{0.4}$ 、 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 、 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 和 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 。应变含 Ge 层 102 例如可以具有约 1nm 和约 20nm 之间的厚度,或者具有约 5nm 和约 10nm 之间的厚度。在一个示例中,应变含 Ge 层 102 可以是沉积在经松弛的 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 缓冲层上的压应变 Ge 层或张应变 $\text{Si}_x\text{Ge}_{1-x}$ ($x > 0.5$)。

[0020] 图 1C 示出了形成在衬底 100 上的应变含 Ge 层 102 上的含 Si 层 104。含 Si 层 104 例如可以具有约 0.3nm 和约 2nm 之间的厚度,或者具有约 0.5nm 和约 1nm 之间的厚度。含 Si 层 104 可包含 Si 层、 SiO_2 层、SiN 层或 SiON 层、或者其中两者或更多者的组合。在一个示例中,含 Si 层 104 可包含覆盖 Si 层的 SiO_2 层。在另一个示例中,含 Si 层 104 可包含覆盖 Si 层的 SiN 层或 SiON 层。Si 层可以是结晶态的、多晶态的或无定形的。根据本发明的一个实施例, Si 层可以是张应变 Si 层。

[0021] 图 1D 示出了在将衬底 100 维持在低于 700℃ 的温度下的同时、图 1C 中所示的含 Si 层 104 被暴露于 UV 辐射 105 和包含含氧、含氮或含氧氮气体的处理气体以通过含 Si 层 104 的氧化形成含 Si 电介质层 104a 的情形。UV 辐射暴露可以利用包含 UV 辐射源的处理系统执行,这将在下面结合图 5 描述。这里所用的含 Si 层 104 的氧化是指含 Si 层 104 和氧、氮或者氧和氮之间的、将氧、氮、或者氧和氮两者结合到含 Si 层 104 中的化学反应。因而,氧化可以形成包括 SiO_2 层、SiON 层或 SiN 层的含 Si 电介质层 104a。UV 辅助氧化工艺包括将含 Si 层 104 暴露于氧化基,氧化基包括氧基、氮基、或者氧基和氮基两者,这些游离基对于形成图 1E 中所示的含 Si 电介质层 104a 是有效的,同时不会显著氧化或松弛下层的应变含 Ge 层 102。可以预期,电介质形成工艺可以氧化含 Si 层 104 的整个垂直厚度,但是这并非必需的,因为可能发生含 Si 层 104 的整个垂直厚度的部分氧化。此外,本领域技术人员将很容易认识到,整个所形成的含 Si 电介质层 104a 中的元素组分可能不是均匀的,而是可具有一种垂直组分分布特性。在一个示例中,层 104a 内的不同元素可能具有不同的垂直组分分布特性。含 Si 电介质层 104a 可以具有约 0.3nm 和约 2nm 之间的厚度,或者具有约 0.5nm 和约 1nm 之间的厚度。

[0022] 根据本发明的一个实施例,含 Si 电介质层 104a 可包含含 Si 和 O 的氧化物层、含 Si、O 和 N 的氧氮化物层、或者含 Si 和 N 的氮化物层。根据本发明的一个实施例,含 Si 电介质层 104a 可包含诸如 SiO_x 层之类的氧化物层,其中 $x \leq 2$ 。在一个示例中,含 Si 电介质层 104a 可包含 SiO_2 。在另一个示例中,含 Si 电介质层 104a 可包含 SiO_x 层,其中 $1 < x < 2$ 。根据本发明的另一个实施例,含 Si 电介质层 104a 可包含诸如 SiO_xN_y 层之类的氧氮化物层。在一个示例中, SiO_xN_y 层的组分可包括 $0 < x \leq 2$ 且 $0 < y \leq 0.25$ 。根据本发明的另一个实施例,含 Si 电介质层 104a 可包含 Si_xN_y 层。 Si_xN_y 层的组分可包括 $x \leq 3$ 且 $y \leq 4$,例如完全氮化的 Si_3N_4 层。总的来说,含 Si 电介质层 104a 可包含 SiO_x 、 SiO_xN_y 或 Si_xN_y 的电介质层,或者其中两者或更多者的组合。在这里,这些电介质层分别被称为 SiO_2 、SiON 或 SiN 电介质层。

[0023] 器件中 SiO_2 、SiON 或 SiN 电介质层之间的选择可以取决于所期望的电气属性和与高 k 材料材料兼容性。例如, SiO_2 电介质层在传统上被观察为具有比 SiON 电介质层更好的电气属性,但是 SiON 和 SiN 电介质层可能在扩散阻挡方面更好,并且可以具有比 SiO_2 电介质层更高的介电常数,从而增大了栅极堆叠的整体介电常数,其代价是降低了器件中的电子迁移率。

[0024] 图 2A 和 2B 示意性地示出了根据本发明实施例的包含应变含 Ge 层的半导体器件的剖视图。在图 2A 和 2B 的示意性剖视图中, MOSFET 20、30 的源极和漏极区域未被示出。图 2A 示出了 MOSFET 20 的剖视图, MOSFET 20 包含在含 Si 电介质层 104a 上的栅极电极层 106 和氧化物间隔物 110。

[0025] 图 2B 示出了 MOSFET 30 的剖视图, MOSFET 30 包含在含 Si 电介质层 104a 上的高 k 电介质层 108、在高 k 层 108 上的栅极电极层 106 以及氧化物间隔物 110。高 k 电介质层 108 例如可包含金属氧化物或金属硅化物, 包括 Ta_2O_5 、 TiO_2 、 ZrO_2 、 Al_2O_3 、 Y_2O_3 、 HfSiO_x 、 HfO_2 、 ZrO_2 、 ZrSiO_x 、 TaSiO_x 、 SrO_x 、 SrSiO_x 、 LaO_x 、 LaSiO_x 、 YO_x 或 YSiO_x , 或者其中两者或更多者的组合。高 k 电介质层 108 的厚度例如可以介于约 2nm 和约 20nm 之间, 并且可以约为 4nm。

[0026] 栅极电极层 106 例如可以约为 10nm 厚, 并且可包含多晶硅、金属或含金属材料, 包括 W、WN、 WSi_x 、Al、Mo、Ta、TaN、TaSiN、HfN、HfSi、HfSiN、Ti、TiN、TiSiN、Mo、MoN、Re、Pt 或 Ru。

[0027] 图 3 是根据本发明一个实施例用于形成包含应变含 Ge 层的半导体器件的工艺流程图。现在参考图 1A-E 和 3, 工艺 300 在步骤 302 中包括在真空处理工具中提供衬底 100。根据本发明的一个实施例, 真空处理工具可以是图 4 中所示的真空处理工具 400。

[0028] 在步骤 304 中, 在衬底 100 上沉积应变含 Ge 层 102。应变 SiGe 层 102 例如可以通过化学气相沉积 (CVD) 利用反应物气体混合物来形成, 反应物气体混合物包含含硅气体和含锗气体, 含硅气体例如是甲硅烷 (SiH_4)、乙硅烷 (Si_2H_6)、氯硅烷 (SiClH_3)、二氯硅烷 (SiCl_2H_2)、三氯硅烷 (SiCl_3H) 或六氯乙硅烷 (Si_2Cl_6), 含锗气体例如是锗烷 (GeH_4)。应变 Ge 层 102 例如可以利用包含 GeH_4 的反应物气体、在低于 700°C 的衬底温度下通过 CVD 形成。或者, 应变含 Ge 层 102 可以通过诸如溅射之类的物理气相沉积 (PVD) 方法沉积。

[0029] 在步骤 306 中, 在应变含 Ge 层 102 上形成含 Si 层 104。含 Si 层 104 例如可以是利用包含含硅气体 (诸如 Si_2Cl_6) 的反应物气体、在低于 700°C 的衬底温度下通过 CVD 形成的 Si 层。

[0030] 应变含 Ge 层 102 和含 Si 层 104 例如可以在批处理系统中沉积, 批处理系统被配置为处理约 100 个衬底 (晶片) 或更少的衬底。或者, 可以利用单晶片处理系统。衬底可以是任何尺寸的, 例如 200mm 衬底、300mm 衬底或者甚至更大的衬底。用于沉积应变含 Ge 层 102 和含 Si 层 104 的处理条件可包括小于约 100Torr 的处理室压强。仅作为示例, 在批处理系统中, 室压强可以小于约 1Torr, 例如约为 0.3Torr。作为另一示例, 在单晶片处理系统中, 室压强可以在约 1-20Torr 的范围内。可用于沉积应变含 Ge 层 102 和含 Si 层 104 的示例性批处理系统在美国专利申请公布 No. 2005/0066892 A1 中有所描述, 该申请的全部内容通过引用结合于此。

[0031] 在步骤 308 中, 在 UV 辅助工艺中, 将含 Si 层在低于 700°C 的衬底温度下暴露于氧化基, 这将在下面进一步讨论。

[0032] 尽管图 3 的步骤 304 和 306 示出了应变含 Ge 层的沉积和 Si 层的形成, 但是在将含 Si 层 104 暴露于 UV 辐射的同一真空处理工具中实际形成这些层并不是本发明所必需的。然而, 在真空处理工具中形成这些层可以最小化这些层的氧化和污染, 然后再将含 Si 层 104 暴露于 UV 辐射和处理气体以形成含 Si 电介质层 104a。另外, 应变含 Ge 层和含 Si 层之一或者这两者可以在实现本发明之前被设在衬底上。也就是说, 步骤 304 和 306 的实

际执行对于实现本发明并不是必需的。

[0033] 例如,根据本发明的一个实施例,在真空处理工具中可设置一衬底,在该衬底 100 上包含了应变含 Ge 层 102。之后,在应变含 Ge 层 102 上形成含 Si 层 104(步骤 306),并且将含 Si 层 104 暴露于 UV 辐射以及包含含氧、含氮、或者含氧氮气体的处理气体,以形成含 Si 电介质层 104a(步骤 308)。在一个示例中,在应变含 Ge 层 102 上形成含 Si 层 104 之前,可以在真空处理工具中去除通过将衬底经过空气转移到真空处理工具而形成在应变含 Ge 层 102 上的任何含 Ge 氧化物。在一个示例中,由于含 Ge 氧化物在适中温度下可能是挥发性的,因此从应变含 Ge 层 102 去除含 Ge 氧化物的部分可以通过退火工艺执行。

[0034] 根据本发明的另一个实施例,在真空处理工具中可设置衬底 100,衬底 100 包含在衬底 100 上的应变含 Ge 层 102 和在应变含 Ge 层 102 上的含 Si 层 104。之后,将含 Si 层 104 暴露于 UV 辐射以及包含含氧、含氮、或者含氧氮气体的处理气体,以形成含 Si 电介质层 104a(步骤 308)。另外,在暴露于 UV 辐射和处理气体之前,可以去除通过将衬底经过空气转移到真空处理工具而形成在含 Si 层 104 上的任何天然氧化物。在一个示例中,天然氧化物去除可以通过化学氧化物去除 (COR) 工艺执行,其中天然氧化物层被暴露于包括 HF 和 NH_3 的处理气体以形成经化学处理层。接下来,执行解吸附工艺以去除经化学处理层。在另一个示例中,在暴露于 UV 辐射之前,可以省略去除形成在含 Si 层 104 上的任何天然氧化物层。

[0035] 如上所述,传统的高温氧化工艺可能氧化或者减轻含 Ge 层的应变,但是较低温度的传统等离子体氧化工艺可能损伤下层的含 Ge 层。这种传统氧化等离子体一般的特征在于高电子温度 (T_e) 和高等离子体密度,或者需要长等离子体暴露时间的低电子温度和低等离子体密度。例如,美国专利申请 No. 11/393, 737(该申请的全部内容通过引用结合于此)公开了一种软等离子体电介质形成工艺,该工艺可以提供损伤程度降低的电介质,但是可能需要对于某些工艺来说不可接受的等离子体暴露时间。在步骤 308 中,在低于 700°C 的衬底温度下,含 Si 层 104 在存在处理气体的情况下被暴露于 UV 辐射 105。本发明的发明人认识到,这种工艺可以提供含 Si 层 104 的时间高效的氧化 (O、N 或者 O 和 N 的结合),同时使得对应变含 Ge 层 102 的损伤最小化。UV 辐射暴露可以由包含 UV 辐射源的处理系统(例如在图 5 中描述的系统)执行。图 5 中所描述的处理系统的特征在于生成了低能量氧和 / 或氮基,这种游离基能够对覆盖应变含 Ge 层 102 的含 Si 层 104 进行基本无损伤的氧化。另外,UV 氧化工艺避免或者最小化了下层的应变含 Ge 层 102 中的氧化和应变松弛。

[0036] 根据本发明的一个实施例,含 Si 层 104 被氧化以由处理气体形成氧化物层 (SiO_2),处理气体包含 O_2 或 H_2O 和诸如 Ar、Kr、He 或 Xe 之类的惰性气体。 O_2 或 H_2O 气体的流率可以介于 10sccm 和 500sccm 之间,并且惰性气体的流率可以介于 500sccm 和 2000sccm 之间。处理室中的气体压强可以介于 20mTorr 和 2000mTorr 之间。衬底可以维持在低于 700°C 的温度下,例如介于室温和低于 700°C 之间,或者介于约 200°C 和约 500°C 之间。在一个示例中,衬底可以维持在约 500°C 的温度下。

[0037] 根据本发明的另一个实施例,含 Si 层 104 被氧化以由处理气体形成氧氮化物层 (SiON),处理气体包含 N_2 、 O_2 ,并且可选地包含诸如 Ar、Kr、He 或 Xe 之类的惰性气体。 O_2 气体和 N_2 气体的流率可以介于 10sccm 和 500sccm 之间,并且惰性气体的流率可以介于 500sccm 和 2000sccm 之间。处理室中的气体压强可以介于 20mTorr 和 2000mTorr 之间。衬底可以

维持在低于 700℃ 的温度下,例如介于室温和低于 700℃ 之间,或者介于约 200℃ 和约 500℃ 之间。在一个示例中,衬底可以维持在约 500℃ 的温度下。根据本发明的另一个实施例,处理气体可包含 NO、NO₂ 或 N₂O,或其组合,并且可选地包括惰性气体。

[0038] 根据本发明的另一个实施例,含 Si 层 104 被氧化以由 UV 激发的处理气体形成氮化物层 (SiN),处理气体包含 N₂ 或 NH₃,并且可选地包含诸如 Ar、Kr、He 或 Xe 之类的惰性气体。N₂ 气体的流率可以介于 10sccm 和 500sccm 之间,并且惰性气体的流率可以介于 500sccm 和 2000sccm 之间。处理室中的气体压强可以介于 20mTorr 和 2000mTorr 之间。衬底可以维持在低于 700℃ 的温度下,例如介于室温和低于 700℃ 之间,或者介于约 200℃ 和约 500℃ 之间。在一个示例中,衬底可以维持在约 500℃ 的温度下。

[0039] 根据本发明的另一个实施例,含 Si 层 104 被氧化以在顺序 UV 辅助氧化工艺中形成氧氮化物层 (SiON)。例如,通过将含 Si 层 104 暴露于 UV 辐射和包含 O₂ 或 H₂O 的第一处理气体,可以首先形成 SiO₂ 层,接着将 SiO₂ 层暴露于 UV 辐射和包含 N₂ 或 NH₃ 的第二处理气体。根据本发明的另一个实施例,通过将含 Si 层 104 暴露于 UV 辐射和包含 N₂ 或 NH₃ 的第一处理气体,可以首先形成 SiN 层,接着将 SiN 层暴露于 UV 辐射和包含 O₂ 或 H₂O 的第二处理气体。这两步工艺可以在同一处理系统中执行,以最小化衬底污染并增大吞吐量,或者,这两步工艺可以在不同处理系统中执行,每个处理系统被配置用于执行这两个步骤之一。上述用于形成氧化物和氮化物层的处理条件可以用于执行形成氧氮化物层的两步工艺。

[0040] 图 4 示意性地示出了根据本发明一个实施例用于形成半导体器件的真空处理工具。真空处理工具 400 包含衬底加载室 410 和 420、处理系统 430-460、机械转移系统 470 以及控制器 480。

[0041] 衬底加载室 410 和 420 被用于将衬底转移到真空处理工具 400 中以进行处理,并在处理之后将衬底移出真空处理工具 400。由于真空处理工具 400 通常处于真空状态下,衬底加载室 410 和 420 被配置为对放置在真空处理工具 400 中的衬底抽真空。如图 4 所示,衬底加载室 410 和 420 耦合到机械转移系统 470。机械转移系统 470 被配置用于在衬底加载室 410 和 420 与处理系统 430-460 之间转移衬底。机械转移系统 470 例如可以在真空条件下(例如,约为 100mTorr 或更小)用例如 Ar 的惰性气体来吹扫。

[0042] 处理系统 430 可以被配置用于除气和/或预清洁。当图案化的衬底被放置在真空处理工具 400 中时,除气可以在抽真空之后执行。除气例如可以通过在存在诸如 Ar 之类的惰性气体的情况下、将衬底加热到约 100℃ 和约 500℃ 之间的温度来执行。预清洁可包括衬底的轻度等离子体清洁以从衬底表面去除任何天然氧化物或其他杂质。根据一个实施例中,处理系统 430 可以被配置用于利用化学氧化物去除 (COR) 处理从衬底表面去除天然氧化物。

[0043] 处理系统 440 可以被配置用于通过化学气相沉积 (CVD)、等离子体辅助气相沉积 (PVD) 或原子层沉积 (ALD) 来在衬底上沉积应变含 Ge 层(例如,Ge 或 SiGe)。此外,处理系统 440 可以被配置用于在沉积应变含 Ge 层之前在衬底上沉积 SiGe 缓冲层。SiGe 缓冲层可以是厚的、经松弛的 SiGe 层。处理系统 450 可以被配置用于在应变含 Ge 层上形成含 Si 层。或者,处理系统 440 可以被配置用于沉积应变含 Ge 层和含 Si 层。处理系统 460 被配置用于通过将含 Si 层暴露于 UV 辐射和处理气体来形成含 Si 电介质层。根据本发明的一个实施例,处理系统 460 可以是在图 5 中示出和描述的处理系统 500。尽管未示出,但是真

空处理工具 400 还可包含衬底对准系统和被配置用于冷却被处理的衬底的冷却系统。

[0044] 在处理系统 430 中除气和 / 或预清洁之后, 衬底被机械转移系统 470 运输到处理系统 440 以沉积应变含 Ge 层。接下来, 衬底被机械转移系统 470 运输到处理系统 450 以向应变含 Ge 层上沉积含 Si 层。接下来, 衬底被机械转移系统 470 运输到处理系统 460 以将含 Si 层暴露于 UV 辐射和处理气体。因而, 真空处理工具 400 允许执行图 3 的处理步骤 302-308, 而无需在步骤 302-308 期间和这些步骤之间暴露于空气。这使得能够形成清洁的材料层, 同时对不同层之间的界面有良好的控制。尽管未示出, 但是处理工具 400 可包含额外的处理系统或者与额外的处理系统处于真空连接, 该额外的处理系统用于在步骤 308 中的处理之后进一步处理衬底。例如, 一个或多个处理系统可以被配置用于在含 Si 电介质层上沉积高 k 层, 在沉积高 k 层之后对高 k 堆叠进行退火, 或者在高 k 层上沉积栅极电极层。

[0045] 根据一个实施例, 含 Si 层 104 可包含通过对 Si 层进行湿法氧化而形成的低密度化学氧化物层 (SiO_x)。低密度化学氧化物层随后可以通过暴露于 UV 辐射和处理气体而被致密化, 以形成含 Si 电介质层 104a。含 Si 电介质层 104a 可包含 SiO_2 或 SiON , 或者其组合。

[0046] 真空处理工具 400 可以被控制器 480 控制。控制器 480 可以耦合到衬底加载室 410 和 420、处理系统 430-460 以及机械转移系统 470 并与之交换信息。控制器 480 可以操作真空处理工具 400 内的衬底转移操作和在处理系统 430-460 内执行的衬底处理。在本发明的一个实施例中, 控制器 480 可以通过存储在控制器 480 的存储器中的程序被编程, 以执行本发明的实施例的处理以及与监视这些处理相关联的任何功能。控制器 480 可以是系统控制器、专用硬件电路、编程通用计算机, 例如可以从 Texas, Austin 的 Dell Corporation 得到的 DELL PRECISION WORKSTATION610™。

[0047] 图 5 是根据本发明实施例用于处理半导体器件的包含 UV 辐射源的处理系统的简化框图。处理系统 500 包括处理室 581, 处理室 581 中容纳有衬底夹持器 582, 衬底夹持器 582 配备有可以是电阻性加热器的加热器 583。或者, 加热器 583 可以是灯加热器或者任何其他类型的加热器。此外, 处理室 581 包含连接到处理室 581 的底部和真空泵 587 的排出管线。衬底夹持器 582 可以被驱动机构 (未示出) 旋转。处理室 581 包含衬底 585 上的处理空间 586。处理室 581 的内表面包含由石英制成的内衬垫 584 以抑制要处理的衬底 585 的金属污染。

[0048] 处理室 581 包含与排出管线 586 相对的具有喷嘴 589 的气体管线 588, 用于使处理气体在衬底 585 上流动。处理气体在处理空间 586 中在衬底 585 上流动, 并且被排出管线 586 从处理室 581 中抽出。

[0049] 从喷嘴 589 供应的处理气体被由 UV 辐射源 591 生成的 UV 辐射激活, UV 辐射源 591 通过 UV 透射窗 592 (例如, 石英) 将 UV 辐射发射到喷嘴 589 和衬底 585 之间的处理空间 586 中。UV 辐射在处理空间 586 中形成了氧化基, 该氧化基沿着衬底 585 的表面流动, 从而将衬底 585 暴露于氧化基。氧化基包括 O 和 / 或 N 原子。UV 辐射源 591 被配置为生成 UV 辐射, 该 UV 辐射能够离解含氧、含氮或者含氧氮气体以形成氧化基。与等离子体处理过程不同, UV 辐射基本上不在处理空间 586 中形成任何离子。通常, UV 辐射被认为具有约 5nm 和约 400nm 之间的波长。根据本发明的一个实施例, UV 辐射源 591 被配置为生成具有 172nm 波长的 UV 辐射。

[0050] 此外,处理室 581 包含与排出管线 586 相反一侧的远程等离子体源 593。远程等离子体源 593 可以用于形成中性和离子化的等离子体激发物质,该物质可以辅助上述的 UV 附属氧化工艺。包含含氧、含氮或者含氧氮气体的处理气体可以被气体管线 594 提供到远程等离子体源 593 以形成等离子体激发的氧化物质。等离子体激发的氧化物质从远程等离子体源 593 沿着衬底 585 的表面流动,从而将衬底暴露于等离子体激发的氧化物质。

[0051] 根据本发明的一个实施例,除了将衬底 585 暴露于由 UV 辐射源 591 生成的氧化基以外,衬底还可以被暴露于由远程等离子体源 593 生成的等离子体激发的氧化物质。

[0052] 仍然参考图 5,控制器 599 包括微处理器、存储器和能够生成控制电压的数字 I/O 端口,该控制电压足以传输并激活到处理系统 500 的输入以及监视来自处理系统 500 的输出。而且,控制器 599 耦合到处理室 581、泵 587、加热器 583、远程等离子体源 593 和 UV 辐射源 591 并与之交换信息。与图 4 中的控制器 499 一样,控制器 599 可以实现为基于 UNIX 的工作站。或者,控制器 599 可以实现为通用计算机、数字信号处理系统,等等。

[0053] 包含 UV 辐射源的处理系统的进一步的细节在题为“NITRIDING METHOD FOR INSULATION FILM, SEMICONDUCTOR DEVICE AND PRODUCTION METHOD FOR SEMICONDUCTOR DEVICE, SUBSTRATE TREATING DEVICE AND SUBSTRATE TREATING METHOD”的未决欧洲专利申请 EP1453083A1 中有所描述,该申请的全部内容通过引用结合于此。

[0054] 应当理解,在实施本发明时可以采用对本发明的各种修改和变化。因此,应当理解,在权利要求的范围内,本发明可以按照不同于这里具体描述的方式来实施。



图 1A



图 1B



图 1C

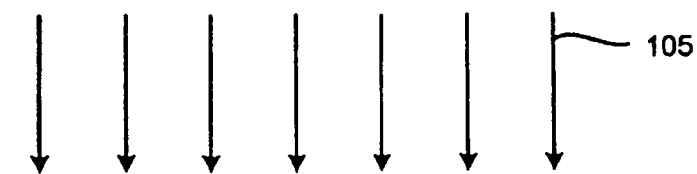


图 1D

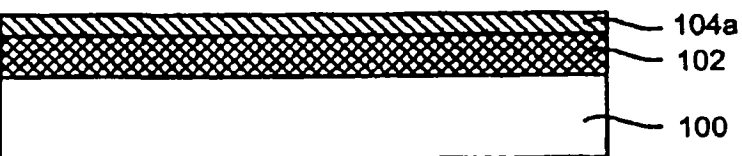


图 1E

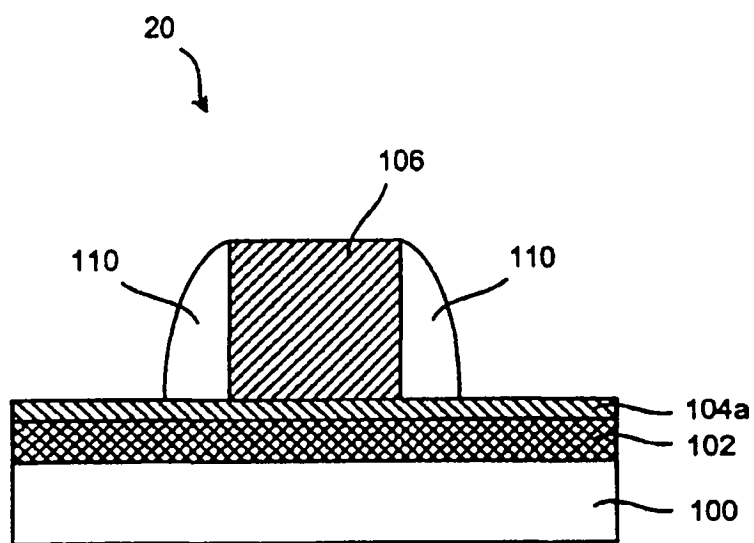


图 2A

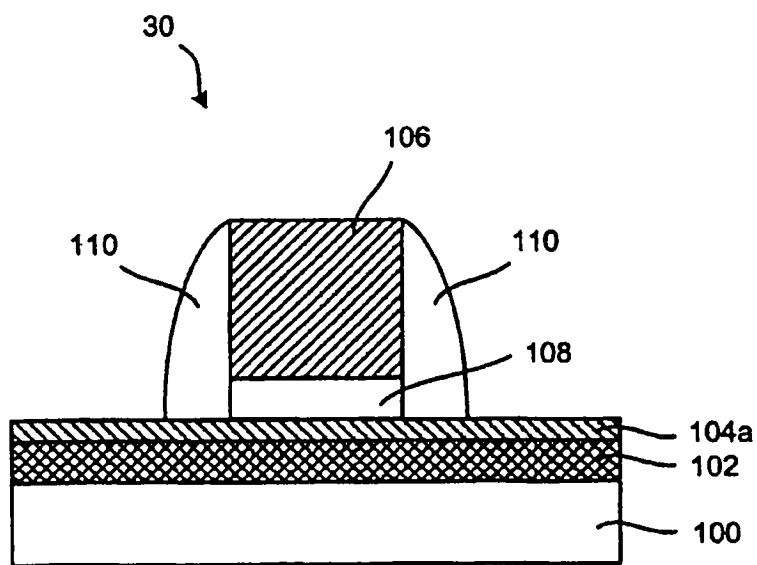


图 2B

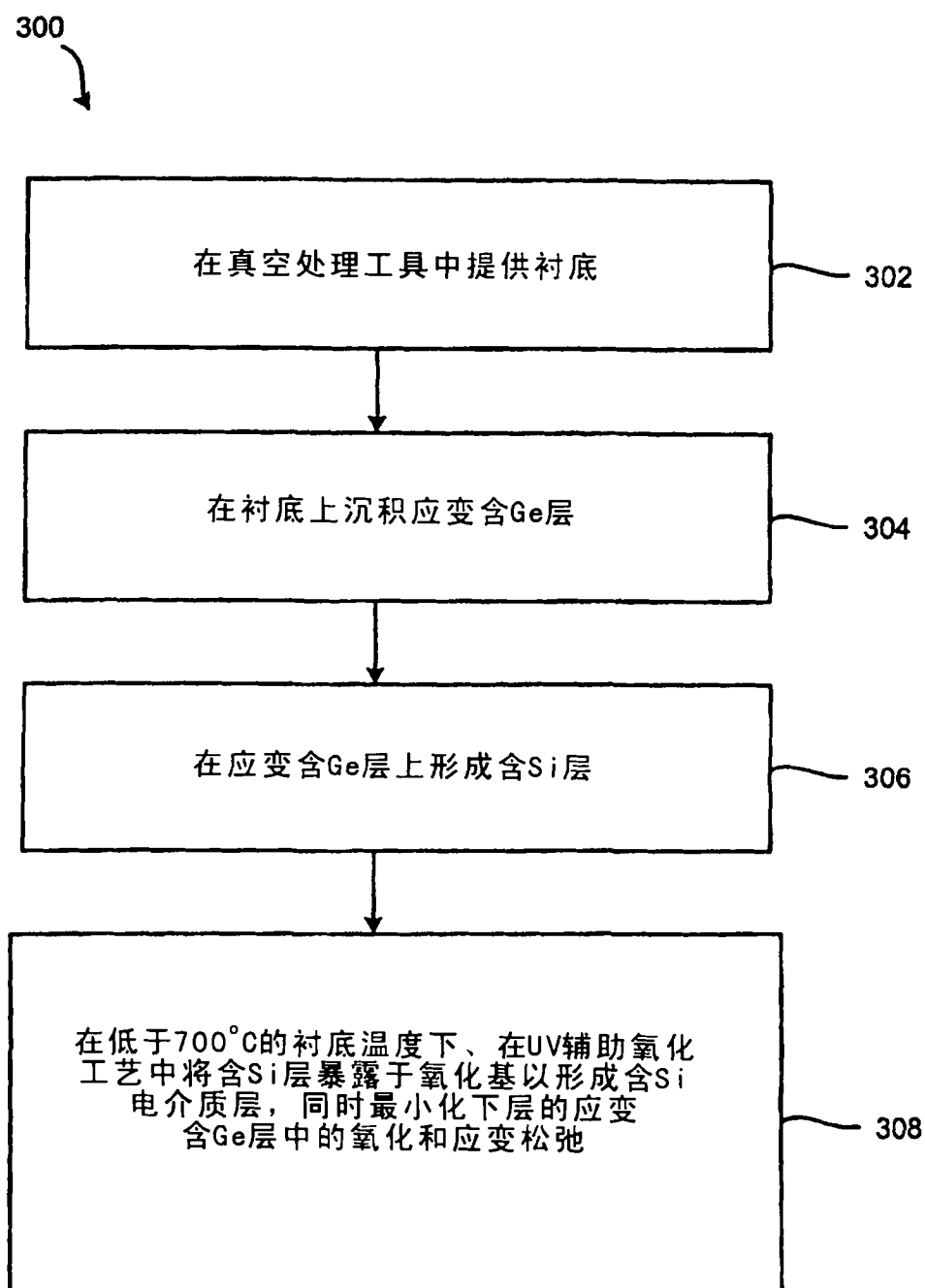


图 3

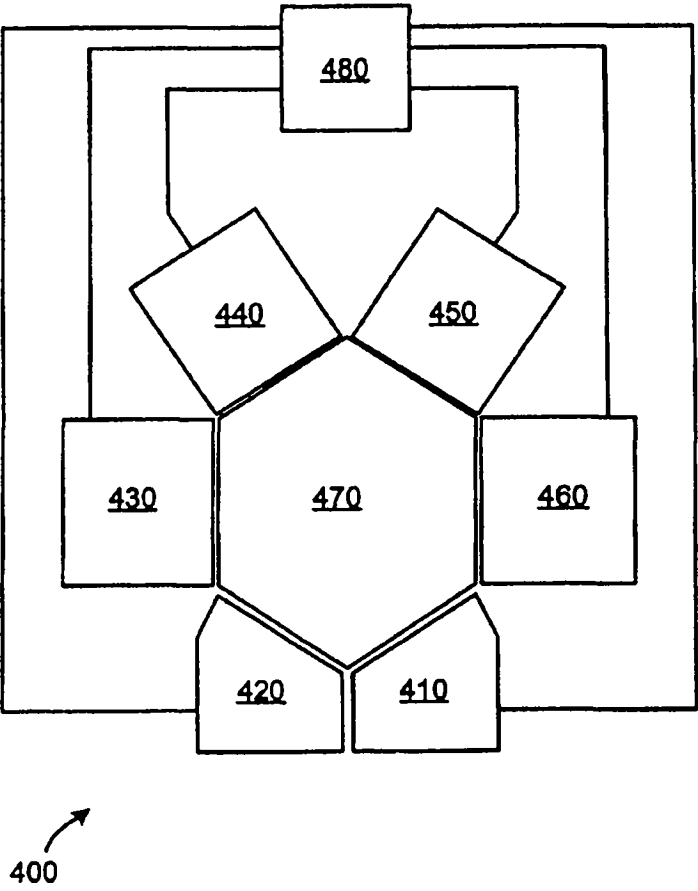


图 4

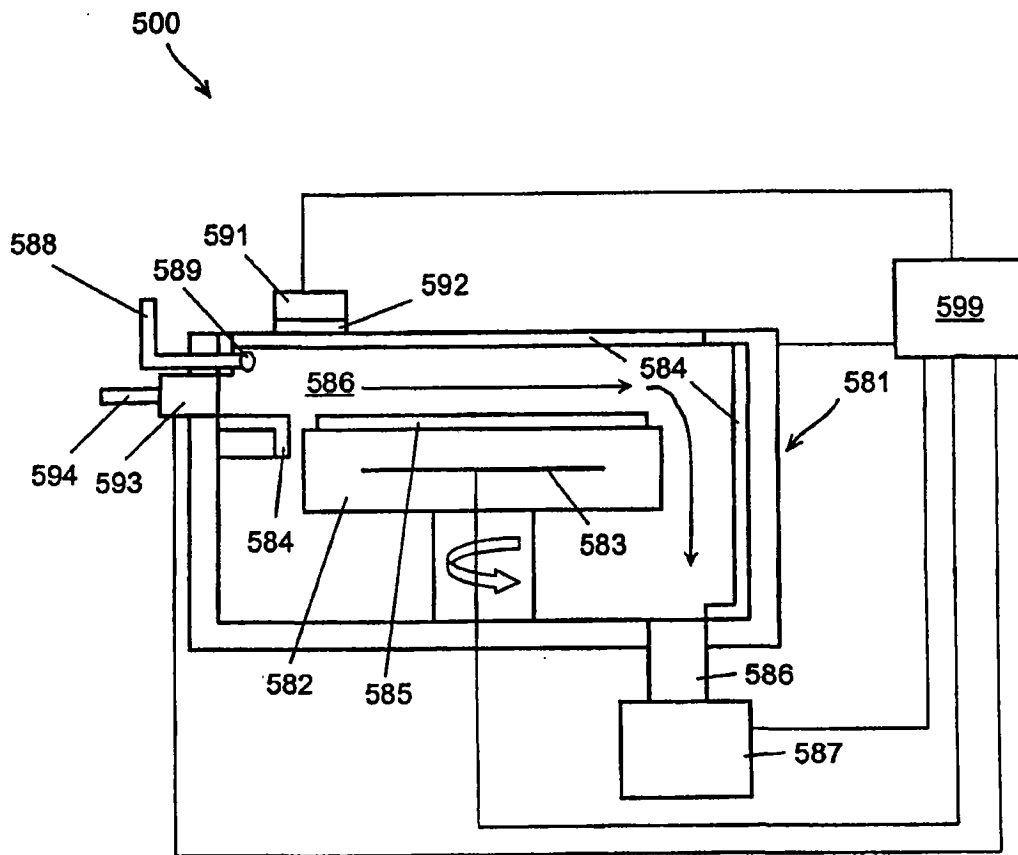


图 5