



(12) 发明专利

(10) 授权公告号 CN 102024816 B

(45) 授权公告日 2015. 02. 11

(21) 申请号 201010284307. 0

EP 1376597 A2, 2004. 01. 02,

(22) 申请日 2010. 09. 14

CN 1516196 A, 2004. 07. 28,

(30) 优先权数据

EP 0769743 A2, 1997. 04. 23,

2009-211544 2009. 09. 14 JP

Byung-Do Yang et al.. A low-power SRAM using hierarchical bit line and local sense amplifiers. 《IEEE JOURNAL OF SOLID-STATE CIRCUITS》. 2005, 第 40 卷 (第 6 期),

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 武田晃一

审查员 汪灵

(74) 专利代理机构 中原信达知识产权代理有限
责任公司 11219

代理人 孙志湧 穆德骏

(51) Int. Cl.

H01L 27/11 (2006. 01)

G11C 11/412 (2006. 01)

(56) 对比文件

CN 1516196 A, 2004. 07. 28,

JP 3938808 B2, 2007. 06. 27,

CN 1542847 A, 2004. 11. 03,

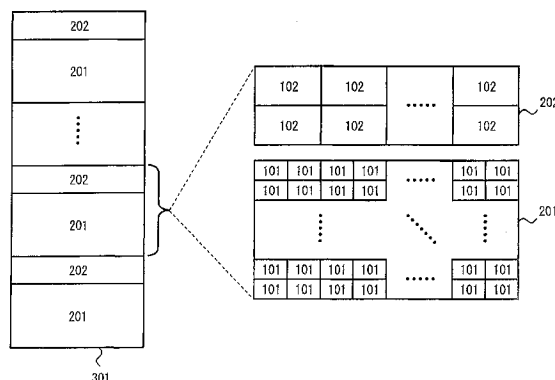
权利要求书2页 说明书13页 附图16页

(54) 发明名称

半导体存储器件

(57) 摘要

本发明涉及一种半导体存储器件。根据本发明的半导体存储器件包括：第一存储器单元阵列，其中多个第一存储器单元被布置成矩阵，数据被从第一存储器单元读取或者被写入到第一存储器单元；和第二存储器单元阵列，其中多个第二存储器单元被布置成矩阵，所述第二存储器单元放大并且存储被布置在相对应的列中的多个第一存储器单元中的一个存储器单元的数据。第一存储器单元阵列和第二存储器单元阵列被布置为在列方向上面对面。第二存储器单元的面积大于第一存储器单元的面积。第一存储器单元阵列的面积是第二存储器单元阵列的面积的两倍或者更大。



1. 一种半导体存储器件,包括:

第一存储器单元阵列,其中多个第一存储器单元被布置成矩阵,数据被从所述第一存储器单元读取或者被写入到所述第一存储器单元;和

第二存储器单元阵列,其中多个第二存储器单元被布置成矩阵,所述第二存储器单元放大并且存储被布置在相对应的列中的所述多个第一存储器单元中的一个存储器单元的数据,

所述第一存储器单元阵列和所述第二存储器单元阵列被布置为在列方向上面对面;

所述第二存储器单元的面积大于所述第一存储器单元的面积;并且

所述第一存储器单元阵列的面积是所述第二存储器单元阵列的面积的两倍或者更大。

2. 根据权利要求1所述的半导体存储器件,其中所述第二存储器单元包括NMOS存取晶体管、PMOS负载晶体管、具有被外部控制的源极端子的NMOS驱动晶体管、以及PMOS预充电晶体管。

3. 根据权利要求1所述的半导体存储器件,其中所述第二存储器单元的面积是所述第一存储器单元的面积的两倍或者更大。

4. 根据权利要求1所述的半导体存储器件,其中在行方向上的所述第一存储器单元阵列的长度等于或者大于所述第二存储器单元阵列的长度。

5. 根据权利要求1所述的半导体存储器件,其中,

所述第二存储器单元中的每一个存储器单元通过第一位线对被连接至在相对应的列中布置的多个第一存储器单元,并且放大且存储要被写入到所述第一存储器单元中的一个存储器单元的数据或者从所述第一存储器单元中的一个存储器单元读取的数据。

6. 根据权利要求1所述的半导体存储器件,包括:

多个存储器单元阵列部件,所述多个存储器单元阵列部件包括第一存储器单元阵列和所述第二存储器单元阵列,其中,

所述多个存储器单元阵列部件在所述列方向上被相邻地布置。

7. 根据权利要求6所述的半导体存储器件,其中以镜像反转来布置彼此相邻的所述多个存储器单元阵列部件。

8. 根据权利要求6所述的半导体存储器件,其中,

所述多个存储器单元阵列部件被分离地布置在两个区域中;

所述分离的两个区域被布置为在所述列方向上面对面;并且

所述第一存储器单元阵列被布置在所述分离的两个区域之间。

9. 根据权利要求1所述的半导体存储器件,其中,

所述第二存储器单元阵列包括与所述第二存储器单元相对应的被布置成矩阵的多个控制单元;并且

所述控制单元被连接至与其相对应的所述第二存储器单元的低压侧电源。

10. 根据权利要求9所述的半导体存储器件,其中所述控制单元是反相器。

11. 根据权利要求9所述的半导体存储器件,其中所述控制单元是NMOS晶体管。

12. 根据权利要求6所述的半导体存储器件,包括:

字线控制电路,所述字线控制电路输出用以选择所述第一存储器单元的第一控制信号以及用以选择所述第二存储器单元的第二控制信号,数据被从所述第一存储器单元读取或

者被写入所述第一存储器单元；

读出放大器电路，所述读出放大器电路在读取操作中，对于从要被选择的所述第二存储器单元处通过与其对应的第二位线对所输入的数据的电压的差进行放大，并且输出放大的信号作为读取信号；以及

写入控制电路，所述写入控制电路在写入操作中基于来自于外部的写入信号将数据输出到与要被选择的所述第二存储器单元相连接的所述第二位线对。

13. 根据权利要求 12 所述的半导体存储器件，其中：

所述字线控制电路将控制预充电操作的第三控制信号输出到所述第二存储器单元的预充电晶体管，并且将控制激活操作的第四控制信号输出到所述第二存储器单元的低压侧电源端子。

14. 根据权利要求 12 所述的半导体存储器件，其中，

所述第二存储器单元阵列包括与所述第二存储器单元相对应的呈矩阵方式的多个控制单元；并且

所述控制单元被连接至与其相对应的所述第二存储器单元的低压侧电源。

15. 根据权利要求 14 所述的半导体存储器件，其中：

所述字线控制电路将控制预充电操作的第三控制信号输出到所述第二存储器单元的预充电晶体管，并且将控制激活操作的第五控制信号输出到所述控制单元。

半导体存储器件

[0001] 通过引用并入

[0002] 本申请基于并且要求 2009 年 9 月 14 日提交的日本专利申请 No. 2009-211544 的优先权,其全部内容在此通过引用整体并入。

技术领域

[0003] 本发明涉及一种半导体存储器件,并且更加具体地,涉及存储器单元的布置。

背景技术

[0004] 近年来,根据 CMOS 工艺的小型化,在被包括在 SRAM(静态随机存取存储器)中的晶体管中,器件差异(variation)已经增加。器件差异的增加引起在 SRAM 中的读取操作中有可能毁坏存储器数据的问题。此外,例如,器件差异引起例如由于读取电流的减少导致读取速度的减少的另一问题。结果,包括 SRAM 的半导体集成电路的产出率下降。因此,要求通过扩大 SRAM 单元规模减少器件差异以保持一定的产出率。因此,这引起电路规模的增加的问题。

[0005] 在 A.Kawasumi 等人,"A Single-Power-Supply 0.7V 1GHz 45nm SRAM with An Asymmetrical Unit- β -ratio Memory Cell",2008IEEEInternational Solid-State circuits Conference(国际固态电路会议),pp-382,383,和 622(在下文中,称为 Kawasumi)"中提供了一种对于上述问题的解决方案。在 Kawasumi 中描述的半导体存储器件包括多个 SRAM 控制电路(本地读取电路/本地写入电路),其将数据写入 SRAM 单元或者从 SRAM 单元读取数据。SRAM 控制电路中的每一个控制通过公共位线对连接的多个 SRAM 单元。因此 SRAM 控制电路和被控制的多个 SRAM 单元组成 SRAM 单元阵列。在这里,在 Kawasumi 中描述的半导体存储器件中,通过 SRAM 控制电路控制的 SRAM 单元的数目受到限制。实际上,通过 SRAM 控制电路控制的 SRAM 单元的数目是 16。这使得能够减少每个位线对的负载容量,从而减少读取操作中的位线对的放电时间。

[0006] 结果,解决由于读取电流中的减少导致读取速度的减少的问题。此外,存储器数据有可能被毁坏的问题也被解决。由于从在高压侧电源 VDD 处充电的位线到保持低电平的 SRAM 单元的存储器结点的电荷流导致引起读取操作中的存储数据的毁坏。因此,如果能够将存储器数据快速地发送到位线,如 Kawasumi 中所描述的,那么从位线到存储器结点的电荷流的量减少,并且能够防止存储器数据的毁坏。

发明内容

[0007] 因此,本发明人已经发现下述事实。有效的是,抑制通过 SRAM 控制电路控制的 SRAM 单元的数目并且布置大量的存储器单元以提高半导体存储器件的读取操作裕量。在这样的情况下,要求尽可能小地缩小 SRAM 控制电路(本地读取电路/本地写入电路)的规模以防止半导体存储器件的规模的增加。在 Kawasumi 中,本地读取电路和本地写入电路包括总共 19 个晶体管。通过两个 SRAM 单元阵列来实现本地读取电路和本地写入电路。因此,

与 SRAM 单元阵列相对应的本地写入电路和本地读取电路的数目是 9.5。

[0008] 此外,“Byung-Do Yang 等人, “ A Low-Power SRAM Using Hierarchical Bit Line and Local Sense Amplifiers”, IEEE JOURNAL OF SOLID-STATE CIRCUITS, 2005 年 6 月, VOL. 40, No. 6, pp 1366 to 1376 (在下文中,称为 Byung)”中提供了一种对上述问题的另一解决方案。在 Byung 中描述的半导体存储器件包括本地读出放大器(本地读取电路/本地写入电路)LSA、存取晶体管、以及多个 SRAM 单元。存取晶体管控制本地读出放大器 LSA 的输入和输出信号。然而,没有关于本地读出放大器和 SRAM 单元的构造和布局的描述。因此,SRAM 单元的单元占有比率会取决于布局和构造而下降。

[0009] 此外,在日本未经审查的专利申请公开 No. 2007-58979 中提供了对上述问题的另一解决方案。在日本未经审查的专利申请公开 No. 2007-58979 中描述的半导体存储器件包括多个存储器单元、字线、位线对、全局位线、读取支持电路、以及读取单元。字线和位线对被连接至多个存储器单元。读取支持电路和读取单元用作本地读取电路。读取支持电路基于要被提供的控制信号和来自于位线对的另一个(第二位线)的信号以预定的电压控制位线对中的一个(第一位线)。读取单元基于第一位线的电压以预定的电压控制全局位线。然而,读取支持电路和读取单元不具有写入功能。因此,要求用于数据写入的其它控制电路。

[0010] 此外,在日本未经审查的专利申请公开 No. 2008-159669 中提供了对上述问题的另一解决方案。在日本未经审查的专利申请公开 No. 2008-159669 中描述的半导体存储器件包括多个存储器单元和本地读取数据放大器电路(本地读取电路)。本地读取数据放大器电路通过位线被连接至多个存储器单元。在这里,本地读取数据放大器电路的 N 型阱被连接至存储器单元的 N 型阱。这使得能够缩小面积并且抑制制造工艺中的产出率的下降。然而,本地读取数据放大器电路不具有写入功能。因此,要求用于数据写入的其它控制电路。因此,半导体存储器件的规模会增加。

[0011] 如上所述,有效的是,抑制通过 SRAM 控制电路(本地读取电路/本地写入电路)控制的 SRAM 单元的数目并且布置大量的单元阵列以提高半导体存储器件的读取操作裕量。然而,如果如上所述本地读取电路/本地写入电路的面积大,那么 SRAM 单元的单元占有比率下降。

[0012] 本发明的第一示例性方面是半导体存储器件,包括:第一存储器单元阵列,其中多个第一存储器单元被布置成矩阵,数据被从第一存储器单元读取或者被写入到第一存储器单元;和第二存储器单元阵列,其中多个第二存储器单元被布置成矩阵,所述第二存储器单元放大并且存储被布置在相对应的列中的多个第一存储器单元中的一个存储器单元的数据。第一存储器单元阵列和第二存储器单元阵列被布置为在列方向上面对面。第二存储器单元的面积大于第一存储器单元的面积。第一存储器单元阵列的面积是第二存储器单元阵列的面积的两倍或者更多。

[0013] 根据上述的电路构造,抑制由于器件差异导致的数据读取精度的下降而存储器单元的单元占有比率没有下降。

[0014] 本发明能够提供一种半导体存储器件,该半导体存储器件能够抑制由于器件差异导致的数据读取精度的下降而存储器单元的单元占有比率没有下降。

附图说明

[0015] 结合附图,根据某些示例性实施例的以下描述,以上和其它示例性方面、优点和特征将更加明显,其中:

[0016] 图 1 是示出根据本发明的第一实施例的被包括在半导体存储器件中的存储器单元阵列部件的基本构造的框图;

[0017] 图 2 是示出根据本发明的第一示例性实施例的第一存储器单元的构造的电路图;

[0018] 图 3 是示出根据本发明的第一示例性实施例的第二存储器单元的构造的电路图;

[0019] 图 4 是示出根据本发明的第一示例性实施例的半导体存储器件的整体构造的框图;

[0020] 图 5 是示出根据本发明的第一示例性实施例的半导体存储器件的读取和写入操作的图;

[0021] 图 6 是示出根据本发明的第一示例性实施例的第一存储器单元的布局的布局图;

[0022] 图 7 是示出根据本发明的第一示例性实施例的第一存储器单元的布局的布局图;

[0023] 图 8 是示出根据本发明的第一示例性实施例的第二存储器单元的布局的布局图;

[0024] 图 9 是示出根据本发明的第一示例性实施例的第二存储器单元的布局的布局图;

[0025] 图 10 是示出根据本发明的第一示例性实施例的存储器单元阵列部件的布局的布局图;

[0026] 图 11 是示出根据本发明的第一示例性实施例的存储器单元阵列部件的布局的布局图;

[0027] 图 12 是示出根据本发明的第一示例性实施例的存储器单元阵列部件的布局的布局图;

[0028] 图 13 是示出根据本发明的第二示例性实施例的第三存储器单元阵列部件的布局的布局图;

[0029] 图 14 是示出根据本发明的第二示例性实施例的存储器单元阵列部件的布局的布局图;

[0030] 图 15 是示出根据本发明的第二示例性实施例的存储器单元阵列部件的布局的布局图;以及

[0031] 图 16 是示出根据本发明的第二示例性实施例的存储器单元阵列部件的布局的布局图。

具体实施方式

[0032] 在下文中参考附图描述并入了本发明的特定的示例性实施例。在附图中,通过相同的附图标记来标注相同的组件,并且适当地省略重复的描述。

[0033] [第一示例性实施例]

[0034] 图 1 是示出被包括在根据本发明的第一示例性实施例的半导体存储器件中的存储器单元阵列部件 301 的基本构造的框图。本发明的存储器单元阵列部件 301 包括存储器单元阵列 201 和存储器单元阵列 202。存储器单元阵列 201 存储数据。存储器单元阵列 202 在外部和存储器单元阵列 201 之间传递数据。在存储器单元阵列 301 中,在图 1 中的横向方向(行方向)上布线第一字线(第一控制信号)WL、第二字线(第二控制信号)YS、读出放大器使能信号线(第四控制信号)SAN、以及预充电使能信号线(第三控制信号)PC。在

图 1 中的纵向方向（列方向）上布线第一位线对 BL0/BL1（第一位线 BL0 和 BL1 的对）和第二位线对 DL0/DL1（第二位线 DL0 和 DL1 的对）。在存储器单元阵列 201 中， $M \cdot N$ （ M 和 N 是 1 或者大于 1 的整数）个第一存储器单元 101 被布置为矩形。在存储器单元阵列 202 中在行方向上布置 N 个第二存储器单元 102。在这里，为了方便起见“WL”、“YS”、“BL0_j”、“BL1_j”、“DL0”、以及“DL1”不仅表示信号线而且表示信号。

[0035] 接下来，将会参考图 1 描述存储器单元阵列部件 301 的电路构造。存储器单元阵列 201 被连接至在行方向上布线的 M 条第一字线 WL 和在列方向上布线的 N 个第一位线对 BL0/BL1。在下文中，通过被描述为第一字线 WL_i（ i 是 1 至 M 的整数）来相互区分 M 条第一字线 WL。通过被描述为第一位线 BL0_j（ j 是 1 至 M 的整数）来相互区分 N 条第一位线 BL0。通过被描述为第一位线 BL1_j 来相互区分 N 条第一位线 BL1。在这里，在被布置在存储器单元阵列 201 中的 $M \cdot N$ 个第一存储器单元 101 中，被布置在第 i 行中的 N 个第一存储器单元 101 被连接至第一字线 WL_i。

[0036] 存储器单元阵列 202 被连接至在行方向上布线的 N 条第二字线 YS、行方向上的一个读出放大器使能信号线 SAN、在行方向上布线的的一个预充电使能信号线 PC、以及在列方向上布线的的一个第二位线对 DL0/DL1。在下文中，通过被描述为第二字线 YS_j 来相互区分 N 条第二字线 YS。在这里，在被布置在存储器单元阵列 202 中的行方向上的 N 个第二存储器单元 102 中，被布置在第 j 列方向上的第二存储器单元 102 被连接至第二字线 YS_j。第二存储器单元 102 中的每一个被共同地连接至预充电使能信号线 PC、第二位线对 DL0/DL1、以及读出放大器使能信号线 SAN。此外，通过 N 个第二存储器单元 102 来共享预充电使能信号线 PC、第二位线对 DL0/DL1、以及读出放大器使能信号线 SAN。

[0037] 存储器单元阵列 201 通过第一位线对 BL0/BL1 被连接至存储器单元阵列 202。实际上，被连接至存储器单元阵列 201 中的第二字线 YS_j 的第二存储器单元 102 通过第一位线对 BL0_j/BL1_j（第一位线 BL0_j 和 BL1_j 的对）被连接至被布置在存储器单元阵列 201 中的第 j 列中的 M 个第一存储器单元 101。

[0038] 图 2 是示出第一存储器单元 101 的构造的电路图。如图 2 中所示，第一存储器单元 101 是包括六个晶体管的普通存储器单元。第一存储器单元 101 包括 NMOS 驱动晶体管 N1 和 N2、NMOS 存取晶体管 N3 和 N4、以及 PMOS 负载晶体管 P1 和 P2。第一存储器单元 101 进一步包括高压侧电源端子 VDD 和低压侧电源端子 GND。注意，为了方便起见符号“VDD”不仅表示端子的名称而且表示高压侧电源。此外，为了方便起见符号“GND”不仅表示端子的名称而且表示低压侧电源。

[0039] NMOS 驱动晶体管 N1 的漏极、NMOS 驱动晶体管 N2 的栅极、PMOS 负载晶体管 P1 的漏极、PMOS 负载晶体管 P2 的栅极、以及 NMOS 存取晶体管 N3 的漏极通过用作第一存储器结点对中的一个的第一存储器结点 ND0 相互连接。NMOS 驱动晶体管 N1 的栅极、NMOS 驱动晶体管 N2 的漏极、PMOS 负载晶体管 P1 的栅极、PMOS 负载晶体管 P2 的漏极、以及 NMOS 存取晶体管 N4 的漏极通过用作第一存储器结点对中的另一个的第一存储器结点 ND1 相互连接。NMOS 驱动晶体管 N1 和 N2 的源极被连接至低压侧电源端子 GND。PMOS 负载晶体管 P1 和 P2 的源极被连接至高压侧电源端子 VDD。NMOS 存取晶体管 N3 的源极被连接至用作第一位线对中的一个的第一位线 BL0。NMOS 存取晶体管 N3 的栅极被连接至第一字线 WL。NMOS 存取晶体管 N4 的源极被连接至用作第一位线对中的另一个的第一位线 BL1。NMOS 存取晶体管

N4 的栅极被连接至第一字线 WL。

[0040] 在这里, NMOS 驱动晶体管 N1 和 PMOS 负载晶体管 P1 组成一个 CMOS 反相器电路。NMOS 驱动晶体管 N2 和 PMOS 负载晶体管 P2 组成另一个 CMOS 反相器电路。总之, 基于要被输入到 NMOS 驱动晶体管 N1 和 PMOS 负载晶体管 P1 的栅极的信号控制在 NMOS 驱动晶体管 N1 和 PMOS 负载晶体管 P1 的源极和漏极之间流动的电流的导通 / 截止。因此, 从 NMOS 驱动晶体管 N1 或者 PMOS 负载晶体管 P1 的漏极输出反转的信号。要从 NMOS 驱动晶体管 N1 的漏极或者 PMOS 负载晶体管 P1 的漏极输出的信号被输入到 NMOS 驱动晶体管 N2 和 PMOS 负载晶体管 P2 的栅极。基于要被输入到 NMOS 驱动晶体管 N2 和 PMOS 负载晶体管 P2 的栅极的信号控制在 NMOS 驱动晶体管 N2 和 PMOS 负载晶体管 P2 的源极和漏极之间流动的电流的导通 / 截止。从 NMOS 驱动晶体管 N2 的漏极或者 PMOS 负载晶体管 P2 的漏极输出反转的信号。要从 NMOS 驱动晶体管 N2 的漏极或者 PMOS 负载晶体管 P2 的漏极输出的信号被输入到 NMOS 驱动晶体管 N1 和 PMOS 负载晶体管 P1 的栅极。如上所述, 第一存储器单元 101 通过环状连接的两个 CMOS 反相器保持作为数据的写入信号的电压电平 (在下文中, 被称为存储数据)。然后, 通过控制在 NMOS 存取晶体管 N3 和 N4 的源极和漏极之间流动的电流的导通 / 截止来执行从第一存储器单元 101 读取存储器数据和将存储器数据写入到第一存储器单元 101。

[0041] 图 3 是示出第二存储器单元 102 的构造的电路图。如图 3 中所示, 第二存储器单元 102 包括 NMOS 驱动晶体管 N5 和 N6、NMOS 存取晶体管 N7 和 N8、PMOS 负载晶体管 P3 和 P4、以及 PMOS 预充电晶体管 P5 和 P6。

[0042] NMOS 驱动晶体管 N5 的漏极、NMOS 驱动晶体管 N6 的栅极、PMOS 负载晶体管 P3 的漏极、PMOS 负载晶体管 P4 的栅极、PMOS 预充电晶体管 P5 的漏极、以及 NMOS 存取晶体管 N7 的漏极通过用作第二存储器结点对中的一个的第二存储器结点 SN0, 或者用作第一位线对 BL1/BL0 中的一个的第一位线 BL0 相互连接。NMOS 驱动晶体管 N5 的栅极、NMOS 驱动晶体管 N6 的漏极、PMOS 负载晶体管 P3 的栅极、PMOS 负载晶体管 P4 的漏极、PMOS 预充电晶体管 P6 的漏极、以及 NMOS 存取晶体管 N8 的漏极通过用作第二存储器结点对中的另一个的第二存储器结点 SN1, 或者用作第一位线对 BL0/BL1 中的另一个的第一位线 BL1 相互连接。

[0043] PMOS 负载晶体管 P3 和 P4 以及 PMOS 预充电晶体管 P5 和 P6 的源极被连接至高压侧电源端子 VDD。PMOS 预充电晶体管 P5 和 P6 的栅极被连接至预充电使能信号线 PC。NMOS 驱动晶体管 N5 和 N6 的源极被连接至存储器结点放电端子 SEB。NMOS 存取晶体管 N7 的源极被连接至用作第二位线对 DL0/DL1 中的一个的第二位线 DL0。NMOS 存取晶体管 N7 的栅极被连接至第二字线 YS。NMOS 存取晶体管 N8 的源极被连接至用作第二位线对 DL0/DL1 中的另一个的第二位线 DL1。NMOS 存取晶体管 N8 的栅极被连接至第二字线 YS。图 3 中所示的第二存储器单元 102 的 NMOS 驱动晶体管 N5 和 N6、NMOS 存取晶体管 N7 和 N8、以及 PMOS 负载晶体管 P3 和 P4 的电路构造与第一存储器单元 101 的相类似, 不同之处在于 NMOS 驱动晶体管 N5 和 N6 的源极被连接至存储器结点放电端子 SEB。

[0044] 在这里, 被布置在存储器单元阵列 202 中的第 j 列 (其中 NMOS 存取晶体管 N7 和 N8 的栅极被连接至第二字线 YS_j) 中的第二存储器单元 102 的第二存储器结点对 (第二存储器结点 SN0 和 SN1 的对) 通过第一位线对 BL0_j/BL1_j 被连接至被布置在存储器单元阵列 201 中的第 j 行中的 M 个第一存储器单元 101。

[0045] 在图 3 中所示的电路中,例如,当 PMOS 预充电晶体管 P5 和 P6 被导通时,高压侧电源 VDD 被提供给第二存储器单元 102 的第二存储器结点对(第二存储器结点 SN0 和 SN1 的对),或者第一位线对 BL0/BL1。在这样的情况下,第二存储器单元 102 表示其中存储器数据没有被存储到其的中间状态。

[0046] 例如,将会描述当 PMOS 预充电晶体管 P5 和 P6 被截止,并且通过读出放大器使能信号 SAN 使得存储器结点放电端子 SEB 处于浮动状态时的情况。在这样的情况下,NMOS 驱动晶体管 N5 和 N6 的源极电压没有被固定在低压侧电源 GND。因此,第二存储器单元 102 表示其中存储器数据没有被存储到其的中间状态。

[0047] 此外,例如,将会描述当 PMOS 预充电晶体管 P5 和 P6 被截止,并且读出放大器使能信号 SAN 处于低压侧电源 GND 时的情况。在这样的情况下,像第一存储器单元 101 一样,第二存储器单元 102 存储存储器数据。然后,通过在 NMOS 存取晶体管 N7 和 N8 的源极和漏极之间流动的电路的导通/截止控制来执行存储器数据的读取和写入操作。

[0048] 图 4 是示出根据本发明的第一示例性实施例的半导体存储器件的整体构造的示例的框图。图 4 中所示的电路的示例包括被布置成矩阵的多个存储器单元阵列部件 301、字线驱动器电路(字线控制电路 303)、读出放大器电路 304、以及写入驱动器电路(写入控制电路)305。

[0049] 在行方向上布线被连接至字线驱动器电路 303 的预充电使能信号线 PC、第一字线 WL、第二字线 YS、以及读出放大器使能信号线 SAN。然后第一字线 WL、相对应的第二字线 YS、读出放大器使能信号线 SAN、以及预充电使能信号线 PC 被连接至存储器单元阵列部件 301 中的每一个。在列方向上布线被连接至读出放大器电路 304 和写入驱动器电路 305 的第二位线对 DL0/DL1。然后,存储器单元阵列部件 301 中的每一个被连接至相对应的第二位线对 DL0/DL1。

[0050] 接下来,将会参考图 5 描述根据本发明的第一示例性实施例的半导体存储器件的操作。在待机状态下,第一字线 WL、所有的第二字线 YS、读出放大器使能信号 SAN、以及预充电使能信号 PC 的电压电平处于低压侧电源 GND 的电压。在这样的情况下,通过第一字线 WL 使 NMOS 存取晶体管 N3 和 N4 变成截止。因此,第一存储器单元 101 保持已经存储的存储器数据。此外,通过预充电使能信号 PC 使 PMOS 预充电晶体管 P5 和 P6 变成导通。因此,第二存储器单元 102 的第二存储器结点对(第二存储器结点 SN0 和 SN1 的对)、或者第一位线对 BL0/BL1 被初步充电到高压侧电源 VDD 的电压。在这样的情况下,第二存储器单元 102 表示其中存储器数据没有被存储到其的中间状态。

[0051] 将会描述根据本发明的第一示例性实施例的半导体存储器件的读取操作。如上所述,在执行读取操作之前第二位线对 DL0/DL1 中的每一个被初步地充电到高电压侧电源 VDD 的电压。如上所述,存储器单元阵列部件 301 包括第一存储器单元阵列 201,其中 $M \cdot N$ 个第一存储器单元 101 被布置成矩阵;和第二存储器单元阵列 202,其中 N 个第二存储器单元 102 被布置在行方向上。在下文中,在从被布置在存储器单元阵列部件 301 的第一存储器单元阵列 201 中的第 i 行第 j 列中的第一存储器单元 101 读取存储器数据的情况下将会描述根据本示例性实施例的半导体存储器件的读取操作。

[0052] 首先,预充电使能信号 PC 被转变为高电压侧电源 VDD。因此,PMOS 预充电晶体管 P5 和 P6 变成截止。接下来,被连接至用作数据读取的对象的第一存储器单元 101 的第一字

线 WL_i 被转变为高电压侧电源 VDD。因此,第一存储器单元 101 的 NMOS 存取晶体管 N3 和 N4 变成导通。因此,被保持在第一存储器单元 101 的存储器数据被输出到第一位线对 BL0_j/BL1_j。

[0053] 在生成第一位线 BL0_j 和 BL1_j 之间的电压差之后,读出放大器使能信号 SAN 被转变为低压侧电源 GND。因此,NMOS 驱动晶体管 N5 和 N6 的源极端子的电压电平也被转变为低压侧电源 GND。第二存储器单元 102 放大第一位线对 BL0_j/BL1_j (第二存储器结点的对) 的电压之间的差,并且保持放大的存储器数据 (读取数据的电压的差)。

[0054] 接下来,被连接至第二存储器单元 102 的第二字线 YS_j 被转变为高压侧电源 VDD。因此,NMS0 存取晶体管 N7 和 N8 变成导通。因此,被保持在第二存储器单元 102 中的放大的存储器数据 (数据的电压的差) 被输出到第二位线对 DL0/DL1。传感放大器电路 304 放大第二位线 DL0 和 DL1 之间的电压的差,并且输出放大的信号作为读取信号。在这里,例如,第二存储器单元 102 用作控制被布置在第 j 列中的 M 个第一存储器单元 101 的读取操作的本地读取电路。

[0055] 接下来,将会描述根据本发明的第一示例性实施例的半导体存储器件的写入操作。如上所述,在执行写入操作之前第二位线对 DL0/DL1 被初步地充电到高压侧电源 VDD 的电压。如上所述,存储器单元阵列部件 301 包括第一存储器单元阵列 201,其中 M·N 个第一存储器单元 101 被布置成矩阵;和第二存储器单元阵列 202,其中 N 个第二存储器单元 102 被布置在行方向上。在下文中,在将存储器数据写入到被布置在存储器单元阵列部件 301 的第一存储器单元阵列 201 中的第 i 行第 j 列中的第一存储器单元 101 的情况下将会描述根据本示例性实施例的半导体存储器件的写入操作。

[0056] 首先,预充电使能信号 PC 被转变为高电压侧电源 VDD。因此,PMOS 预充电晶体管 P5 和 P6 变成截止。接下来,被连接至用作数据写入的对象的第一存储器单元 101 的第一字线 WL_i 被转变为高电压侧电源 VDD。因此,第一存储器单元 101 的 NMOS 存取晶体管 N3 和 N4 变成导通。此外,读出放大器使能信号 SAN 被转变为低压侧电源 GND。因此,NMOS 驱动晶体管 N5 和 N6 的源极端子的电压电平也被转变为低压侧电源 GND。

[0057] 另一方面,写入驱动器电路 305 基于来自于外部的写入信号放电第二位线对 DL0/DL1 中的一个。因此,生成大于读取操作中电压差的第二位线 DL0 和 DL1 之间的电压差。

[0058] 这里,第二字线 YS_j 被转变为高压侧电源 VDD。因此,第二存储器单元 102 的 NMOS 存取晶体管 N7 和 N8 变成导通。因此,第二位线对 DL0/DL1 的信号中的每一个被输入到第一位线对 BL0_j/BL1_j (第二存储器结点的对)。第二存储器单元 102 放大第二存储器结点对的电压的差并且保持放大的存储器数据 (数据的电压的差)。

[0059] 第二存储器单元 102 通过第一位线对 BL0_j/BL1_j 将放大的存储器数据 (写入数据的电压的差) 输出到用作数据写入的对象的第一存储器单元 101。在这里,例如,第二存储器单元 102 用作控制被布置在第 j 列中的 M 个第一存储器单元 101 的写入操作的本地写入电路。

[0060] 如上所述,根据本发明的示例性实施例的电路包括多个第一存储器单元 101 和多个第二存储器单元 102。第二存储器单元 102 用作本地读取电路和写入电路。然后,根据本发明的示例性实施例的电路从选择的第一存储器单元 101 读取数据,并且将数据写入到该选择的第一存储器单元 101。此外,与传统的存储器单元相比,第二存储器单元 102 包括更

少数目的晶体管。因此,即使第二存储器单元 102 增加并且通过第二存储器单元 102 中的每一个控制的第一存储器单元 101 减少,并且能够抑制电路规模的增加。此外,在本发明的示例性实施例中,以规则的方式布置第一存储器单元阵列 201 和第二存储器单元阵列 202。此外,在第一存储器单元阵列 201 中,多个第一存储器单元 101 被布置成矩阵。在第二存储器单元阵列 202 中,多个第二存储器单元 102 被布置成矩阵。因此,抑制了由于器件差异导致的数据读取精度的下降而第一存储器单元 101 的单元占有比率没有下降。

[0061] 将会描述包括多个第一存储器单元 101 的第一存储器单元阵列 201 和第一存储器单元 101。图 6 是示出第一存储器单元 101 的布局的示例的布局图。如图 6 中所示,在纸平面上的右侧中的纵向方向上延伸的 N 型扩散区域 66 形成在半导体基板上。在 N 型扩散区域 66 上以规则的间隔布置三个接触 59、60、61。接触 59 被连接至第一字线 BL0。接触 60 被连接至第一存储器结点 ND0。接触 61 被连接至低压侧电源端子 GND。在横向方向上延伸的栅极多晶硅 69 形成在接触 59 和 60 之间的 N 型扩散区域 66 上。栅极多晶硅 69 通过接触 62 连接至第一字线 WL。总之,接触 59 是 NMOS 存取晶体管 N3 的源极端子。接触 62 是 NMOS 存取晶体管 N3 的栅极端子。接触 60 是 NMOS 存取晶体管 N3 的漏极端子。在横向方向上延伸的栅极多晶硅 70 形成在接触 60 和 61 之间的 N 型扩散区域 66 上。栅极多晶硅 70 通过接触 56 连接至存储器结点 ND1。总之,接触 61 是 NMOS 驱动晶体管 N1 的源极端子。接触 56 是 NMOS 驱动晶体管 N1 的栅极端子。接触 60 是 NMOS 驱动晶体管 N1 的漏极端子。

[0062] 如图 6 中所示,在纸平面上的中心的纵向方向上延伸的 P 型扩散区域 64 和 65 被进一步形成在半导体基板上。接触 55 和 56 被布置在 P 型扩散区域 64 上。接触 55 被连接至高压侧电源端子 VDD。与如上所述的栅极多晶硅 70 一样接触 56 被连接至存储器结点 ND1。在横向方向上延伸的栅极多晶硅 67 形成在接触 55 和 56 之间的 P 型扩散区域 64 上。栅极多晶硅 67 通过接触 57 被连接至存储器结点 ND0。总之,接触 55 是 PMOS 负载晶体管 P2 的源极端子。接触 57 是 PMOS 负载晶体管 P2 的栅极端子。接触 56 是 PMOS 负载晶体管 P2 的漏极端子。接触 57 和 58 被布置在 P 型扩散区域 65 上。与如上所述的多晶硅 67 一样接触 57 被连接至存储器结点 ND0。接触 58 被连接至高压侧电源端子 VDD。上述栅极多晶硅 70 形成在接触 57 和 58 之间的 P 型扩散区域 65 上。总之,接触 58 是 PMOS 负载晶体管 P1 的源极端子。接触 56 是 PMOS 负载晶体管 P1 的栅极端子。接触 57 是 PMOS 负载晶体管 P1 的漏极端子。

[0063] 如图 6 中所示,在纸平面上的左侧中的纵向方向上延伸的 N 型扩散区域 63 被进一步形成在半导体基板上。在 N 型扩散区域 63 上以规则的间隔布置三个接触 51、52、以及 53。接触 51 被连接至低压侧电源端子 GND。接触 52 被连接至第一存储器结点 ND1。接触 53 被连接至第一位线 BL1。上述栅极多晶硅 67 形成在接触 51 和 52 之间的 N 型扩散区域 63 上。总之,接触 51 是 NMOS 驱动晶体管 N2 的源极端子。接触 57 是 NMOS 驱动晶体管 N2 的栅极端子。接触 52 是 NMOS 驱动晶体管 N2 的漏极端子。在横向方向上延伸的栅极多晶硅 68 形成在接触 52 和 53 之间的 N 型扩散区域 63 上。栅极多晶硅 68 通过接触 54 被连接至第一字线 WL。总之,接触 53 是 NMOS 存取晶体管 N4 的源极端子。接触 54 是 NMOS 存取晶体管 N4 的栅极端子。接触 52 是 NMOS 存取晶体管 N4 的漏极端子。具有上述布局的多个第一存储器单元 101 被布置成矩阵,例如,如图 7 中所示,从而组成第一存储器单元阵列 201。

[0064] 接下来,将会描述包括多个第二存储器单元 102 的存储器单元阵列 202 和第二存

存储器单元 102。图 8 是示出第二存储器单元 102 的布局的示例的布局图。如图 8 中所示,在纸平面上的右侧中的纵向方向上延伸的 N 型扩散区域 88 被形成在半导体基板上。在 N 型扩散区域 88 上以规则的间隔布置五个接触 76 至 80。接触 76 被连接至第二位线 DL1。接触 77 被连接至第二存储器结点 SN1。接触 78 被连接至存储器结点放电端子 SEB。接触 79 被连接至第二存储器结点 SN0。接触 80 被连接至第二位线 DL0。在横向方向上延伸的矩形栅极多晶硅 93 形成在接触 76 和 77 之间的 N 型扩散区域 88 上。栅极多晶硅 93 通过接触 85 被连接至第二字线 YS。总之,接触 76 是 NMOS 存取晶体管 N8 的源极端子。接触 85 是 NMOS 存取晶体管 N8 的栅极端子。接触 77 是 NMOS 存取晶体管 N8 的漏极端子。在横向方向上延伸的矩形栅极多晶硅 90 形成在接触 77 和 78 之间的 N 型扩散区域 88 上。栅极多晶硅 90 通过接触 83 被连接至第二存储器结点 SN0。总之,接触 78 是 NMOS 驱动晶体管 N6 的源极端子。接触 83 是 NMOS 驱动晶体管 N6 的栅极端子。接触 77 是 NMOS 驱动晶体管 N6 的漏极端子。

[0065] 在横向方向上延伸的矩形栅极多晶硅 91 形成在接触 78 和 79 之间的 N 型扩散区域 88 上。栅极多晶硅 91 通过接触 84 连接至第二存储器结点 SN1。总之,接触 78 是 NMOS 驱动晶体管 N5 的源极端子。接触 84 是 NMOS 驱动晶体管 N5 的栅极端子。接触 79 是 NMOS 驱动晶体管 N5 的漏极端子。在横向方向上延伸的矩形栅极多晶硅 94 形成在接触 79 和 80 之间的 N 型扩散区域 88 上。栅极多晶硅 94 通过接触 86 被连接至第二字线 YS。总之,接触 80 是 NMOS 存取晶体管 N7 的源极端子。接触 86 是 NMOS 存取晶体管 N7 的栅极端子。接触 79 是 NMOS 存取晶体管 N7 的漏极端子。如图 8 中所示,在纸平面上的左侧中的纵向方向上延伸的 P 型扩散区域 87 形成在半导体基板上。在 P 型扩散区域 87 上以规则的间隔布置五个接触 71 至 75。接触 71、73、以及 75 被连接至高压侧电源端子 VDD。接触 72 被连接至第二存储器结点 SN1。接触 74 被连接至第二存储器结点 SN0。在横向方向上延伸的矩形栅极多晶硅 89 形成在接触 71 和 72 之间的 P 型扩散区域 87 上。栅极多晶硅 89 通过接触 81 被连接至预充电使能信号 PC。总之,接触 71 是 PMOS 预充电晶体管 P6 的源极端子。接触 81 是 PMOS 预充电晶体管 P6 的栅极端子。接触 72 是 PMOS 预充电晶体管 P6 的漏极端子。

[0066] 上述的栅极多晶硅 90 形成在接触 72 和 73 之间的 P 型扩散区域 87 上。总之,接触 73 是 PMOS 负载晶体管 P4 的源极端子。接触 83 是 PMOS 负载晶体管 P4 的栅极端子。接触 72 是 PMOS 负载晶体管 P4 的漏极端子。上述栅极多晶硅 91 形成在接触 73 和 74 的 P 型扩散区域 87 上。总之,接触 73 是 PMOS 负载晶体管 P3 的源极端子。接触 84 是 PMOS 负载晶体管 P3 的栅极端子。接触 74 是 PMOS 负载晶体管 P3 的漏极端子。在横向方向上延伸的矩形栅极多晶硅 92 形成在接触 74 和 75 之间的 P 型扩散区域 87 上。栅极多晶硅 92 通过接触 82 被连接至预充电使能信号 PC。总之,接触 75 是 PMOS 预充电晶体管 P5 的源极端子。接触 82 是 PMOS 预充电晶体管 P5 的栅极端子。接触 74 是 PMOS 预充电晶体管 P5 的漏极端子。具有上述布局的多个第二存储器单元 102 被布置成矩阵,例如如图 9 中所示,从而组成第二存储器单元阵列 202。

[0067] 注意图 6 中所示的电路采用包括如上所述的八个晶体管的 SRAM 电路。因此,电路的面积小于现有技术的面积。此外,在图 6 中所示的电路中,不是通过应用逻辑设计规则而是应用存储器设计规则来生成单元。因此,电路的面积进一步变得更小。在这里,第二存储器单元 102 具有比第一存储器单元 101 大的面积(单元尺寸)。第二存储器单元 102 的面

积（单元尺寸）优选是第一存储器单元 101 的两倍或者更大。例如，图 8 中所示的电路的面积大约是图 6 中所示的电路的四倍。总之，第二存储器单元 102 具有能够抑制器件差异的面积。因此，在本示例性实施例中，能够抑制由于器件差异导致的数据读取精度的下降。此外，与第二存储器单元阵列 202 相比较，第一存储器单元阵列 201 具有两倍或者更大的面积。因此，在本示例性实施例中，能够提高第一存储器单元 101 的单元占有比率。

[0068] 将会进一步详细地描述根据本示例性实施例的半导体存储器件的布局构造。注意，在本示例性实施例中，第二存储器单元 102 的面积是第一存储器单元 101 的面积的四倍。

[0069] 图 10 是示出存储器单元阵列部件 301 的布局的布局图。存储器单元阵列部件 301 包括多个第一存储器单元阵列 201 和与其相对应的多个第二存储器单元阵列 202。第一存储器单元阵列 201 和与其相对应的第二存储器单元阵列 202 组成存储器单元阵列部件。在本示例性实施例中，将会描述当第一存储器单元阵列 201 和第二存储器单元阵列 202 的行方向上的长度大约相同时的示例。

[0070] 在组成存储器单元阵列部件 301 的存储器单元阵列部件（图 10 中的放大图）中，第二存储器单元阵列 202 被布置在纸平面的上侧中。第一存储器单元阵列 201 被布置在纸平面的下侧中。第一存储器单元阵列 201 和第二存储器单元阵列 202 被布置为在列方向上彼此相对。如上所述，在第一存储器单元阵列 201 中，多个第一存储器单元 101 被布置成矩阵。在第二存储器单元阵列 202 中，多个第二存储器单元 102 被布置成矩阵。在这里，第二存储器单元 102 中的每一个放大并且存储被写入到被布置在相对应的列中的多个第一存储器单元 101 中的一个或者从其读取的数据的电压的差。

[0071] 此外，通过增加被布置在第一存储器单元阵列 201 中的第一存储器单元 101 的数目使得第一存储器单元阵列 201 的面积是第二存储器单元阵列 202 的两倍或者更大。总之，通过增加由第二存储器单元 102 中的每一个控制的第一存储器单元 101 的数目使得第一存储器单元阵列 201 的面积是第二存储器单元阵列 202 的两倍或者更大。这使得能够提高第一存储器单元 101 的单元占有比率。当第一存储器单元阵列 201 的面积小于第二存储器单元阵列 202 的两倍时，第一存储器单元 101 的单元占有比率下降。结果，电路规模增加。在图 10 中所示的电路中，通过在列方向上放置具有上述布局构造的多个存储器单元阵列部件来组成存储器单元阵列部件 301。

[0072] 图 11 是示出存储器单元阵列部件 302 的布局的布局图。存储器单元阵列部件 302 包括多个第一存储器单元 201 和与其相对应的多个第二存储器单元阵列 202。在图 11 中，不同于图 10，在存储器单元阵列部件中的每一个中，第二存储器单元 202 被分离地布置在两个部分中。然后，第一存储器单元阵列 201 被布置在第二存储器单元阵列 202 的分离的两个部分之间。在下文中，第二存储器单元阵列 202 中的一个被称为第二存储器单元阵列 202a，并且第二存储器单元阵列 202 中的另一个被称为第二存储器单元阵列 202b。

[0073] 在组成存储器单元阵列部件 302 的存储器单元阵列部件（图 11 中的放大图）中，第二存储器单元阵列 202a 被布置在纸平面的上侧中。第二存储器单元阵列 202b 被布置在纸平面的下侧中。第一存储器单元阵列 201 被布置在纸平面的中心中。第二存储器单元阵列 202a 的下侧和第一存储器单元阵列 201 的上侧被布置为在列方向上面对面。第一存储器单元阵列 201 的下侧和第二存储器单元阵列 202b 的上侧被布置为在列方向上面对面。在

这里,第二存储器单元 102 中的每一个放大并且存储被写入到被布置在相对应的列中的多个第一存储器单元 101 中的一个或者从其读取的数据的电压的差。根据如上所述的布局构造,能够获得与图 10 中的情况相类似的效果。

[0074] 图 12 是示出存储器单元阵列部件 303 的布局的布局图。存储器单元阵列部件 303 包括多个第一存储器单元阵列 201 和与其相对应的多个第二存储器单元阵列 202。不同于图 10,通过镜像反转每对第一单元阵列 201 和第二单元阵列 202 从而在列方向上布置组成存储器单元阵列部件 303 的存储器单元阵列部件。换言之,在列方向上以镜像反转布置相邻的存储器单元阵列部件。根据上述布局构造,能够减少第一存储器单元阵列 201 和第二存储器单元阵列 202 之间的分离区域的数目。因此,这使得能够进一步提高第一存储器单元 101 的单元占有比率。

[0075] 如上所述,根据本发明的半导体存储器件具有能够通过第二存储器单元 101 抑制器件差异的面积。然后,第一存储器单元阵列 201 的面积是第二存储器单元阵列 202 的两倍或者更大。因此,根据本发明的半导体存储器件能够抑制由于器件差异导致的数据读取精度的减少而第一存储器单元 101 的单元占有比率没有下降。

[0076] [第二示例性实施例]

[0077] 在第一示例性实施例中,描述了当字线驱动器电路 303 直接输出读出放大器使能信号 SAN 时的示例。另一方面,在第二示例性实施例中将会描述当进一步包括生成读出放大器使能信号 SAN 的放大控制电路 103(控制单元)时的示例。字线驱动器电路 303 输出控制信号(第五控制信号)SE 替代读出放大器使能信号 SAN。放大控制电路 103 基于来自于字线驱动器电路 303 的控制信号 SE 控制读出放大器使能信号 SAN 的输出。其它的电路构造与第一示例性实施例中的相类似,并且因此描述将会被省略。

[0078] 图 13 是示出放大控制电路 103 和包括放大控制电路 103 的第三存储器单元 203 的布局的布局图。例如,放大控制电路 103 是包括 PMOS 晶体管 P7 和 NMOS 晶体管 N9 的反相器。反相器接收来自于字线驱动器电路 303 的控制信号 SE,并且将读出放大器使能信号 SAN 输出到与其相对应的第二存储器单元 102 的存储器结点放电端子 SEB。在行方向上布置具有上述电路构造的用于放大控制电路 103 的多个单元并且多个第二存储器单元 102 被布置成矩阵,从而组成第三存储器单元阵列 203。

[0079] 在图 13 中的示例中,在列方向上面对面地布置包括放大控制电路 103 的存储器单元阵列和包括第二存储器单元 102 的存储器单元阵列。在这里,放大控制电路 103 中的每一个将具有高驱动能力的读出放大器使能信号 SAN 输出到与其相对应的第二存储器单元 102 的存储器结点放电端子 SEB。

[0080] 通常,为了防止大电流流入读出放大器使能信号 SAN,在被共同地连接至一个读出放大器使能信号 SAN 的第二存储器单元 102 的数目中存在限制。例如,如图 1 中所示,当字线驱动器电路 303 直接地输出读出放大器使能信号 SAN 时,被布置在行方向上的第二存储器单元 102 的数目被限制。另一方面,在第二示例性实施例中,具有高驱动能力的读出放大器使能信号 SAN 被提供给第二存储器单元 102 中的每一个。因此,字线驱动器电路 303 中的一个能够控制的第二存储器单元 102 的数目没有被限制。结果,能够提高第一存储器单元 101 的单元占有比率。

[0081] 图 14 是示出存储器单元阵列部件 304 的布局的布局图。存储器单元阵列部件 304

包括多个第一存储器单元阵列 201 和与其相对应的多个第三存储器单元阵列 203。第一存储器单元阵列 201 中的一个和与其相对应的第三存储器单元阵列 203 中的一个组成存储器单元阵列部件。在本示例性实施例中,将会描述当第一存储器单元阵列 201 和第三存储器单元阵列 203 的行方向上的长度大约相同时的示例。

[0082] 在组成存储器单元阵列部件 304 的存储器单元阵列部件(图 14 中的放大图)中,第三存储器单元阵列 203 被布置在纸平面的上侧中。第一存储器单元阵列 201 被布置在纸平面的下侧中。第一存储器单元阵列 201 和第三存储器单元阵列 203 被布置为在列方向上面对面。如上所述,在第一存储器单元阵列 201 中,多个第一存储器单元 101 被布置成矩阵。在第三存储器单元阵列 203 中,多个放大控制电路 103 被布置在行方向上。此外,在第三存储器单元阵列 203 中,多个第二存储器单元 102 被布置成矩阵。在这里,第二存储器单元 102 中的每一个放大并且存储被写入到被布置在相对应的列中的多个第一存储器单元 101 中的一个或者从其读取的数据的电压的差。

[0083] 此外,通过增加被布置在第一存储器单元阵列 201 中的第一存储器单元 101 的数目使得第一存储器单元阵列 201 的面积是第三存储器单元阵列 203 的两倍或者更大。总之,通过增加由第二存储器单元 102 中的每一个控制的第一存储器单元 101 的数目使得第一存储器单元阵列 201 的面积是第三存储器单元阵列 203 的两倍或者更大。这使得能够提高第一存储器单元 101 的单元占有比率。当第一存储器单元阵列 201 的面积小于第三存储器单元阵列 203 的两倍时,第一存储器单元 101 的单元占有比率下降。结果,电路规模增加。在图 14 中所示的电路中,通过在列方向上放置具有上述布局构造的多个存储器单元阵列部件来组成存储器单元阵列部件 304。

[0084] 图 15 是示出存储器单元阵列部件 305 的布局的布局图。存储器单元阵列部件 305 包括多个第一存储器单元 201 和与其相对应的多个第三存储器单元阵列 203。不同于图 14,在图 15 中的存储器单元阵列部件中的每一个中,第三存储器单元阵列 203 被分离地布置在两个部分中。然后,第一存储器单元阵列 201 被布置在第三存储器单元阵列 203 的分离的两个部分之间。在下文中,第三存储器单元阵列 203 中的一个被称为第三存储器单元阵列 203a,并且第三存储器单元阵列 203 中的另一个被称为第三存储器单元阵列 203b。

[0085] 在组成存储器单元阵列部件 305 的存储器单元阵列部件(图 15 中的放大图)中,第三存储器单元阵列 203a 被布置在纸平面的上侧中。第三存储器单元阵列 203b 被布置在纸平面的下侧中。第一存储器单元阵列 201 被布置在纸平面的中心中。第三存储器单元阵列 203a 的下侧和第一存储器单元阵列 201 的上侧被布置为在列方向上面对面。第一存储器单元阵列 201 的下侧和第三存储器单元阵列 203b 的上侧被布置为在列方向上面对面。在这里,第二存储器单元 102 中的每一个放大并且存储被写入到被布置在相对应的列中的多个第一存储器单元 101 中的一个或者从其读取的数据的电压的差。根据如上所述的布局构造,能够获得与图 14 中的情况相类似的效果。

[0086] 图 16 是示出存储器单元阵列部件 306 的布局的布局图。存储器单元阵列部件 306 包括多个第一存储器单元阵列 201 和与其相对应的多个第三存储器单元阵列 203。不同于图 14,通过镜像反转每对第一单元阵列 201 和第三单元阵列 203,在列方向上布置组成存储器单元阵列部件 306 的存储器单元阵列部件。换言之,在图 16 的列方向上以镜像反转布置相邻的存储器单元阵列部件。根据上述布局构造,能够减少第一存储器单元阵列 201 和第

三存储器单元阵列 203 之间的分离的区域的数目。因此,这使得能够进一步提高第一存储器单元 101 的单元占有率。

[0087] 如上所述,根据本示例性实施例的半导体存储器件具有能够通过第二存储器单元 102 抑制器件差异的面积。然后,第一存储器单元阵列 201 的面积是第三存储器单元阵列 203 的两倍或者更大。因此,根据本示例性实施例的半导体存储器件能够抑制由于器件差异导致的数据读取精度的减少而没有第一存储器单元 101 的单元占有比率的下降。

[0088] 注意,本发明不限于上述示例性实施例而是能够在不脱离本发明的精神的情况下适当地进行修改。例如,在上述示例性实施例中,第一存储器单元阵列 201 和第二存储器单元阵列 202(或者第三存储器单元阵列 203)的行方向上的长度大约是相同的。然而,其不限于此示例。例如,可以应用其中第一存储器单元阵列 201 的行方向上的长度比第二存储器单元阵列 202(或者第三存储器单元阵列 203)的长的布局。此外,能够在从而生成的空间中布置诸如虚单元等等的其它单元。

[0089] 此外,在上述的示例性实施例中,应用了其中第一存储器单元 101 是 SRAM 的电路。然而,其不限于本示例。例如,可以应用其中第一存储器单元 101 是 DRAM(动态随机存取存储器)的电路。

[0090] 此外,在上述的示例性实施例中,放大控制电路 103 是包括 PMOS 晶体管 P7 和 NMOS 晶体管 N9 的反相器。然而,其不限于本示例。例如,可以应用下述电路构造,其中放大控制电路 103 仅包括 NMOS 晶体管 N9 并且基于控制信号 SE 改变存储器结点放电端子 SEB 和低压侧电源 GND 的导通/截止。

[0091] 本领域的技术人员能够根据需要组合第一和第二示例性实施例。

[0092] 虽然已经按照若干示例性实施例描述了本发明,但是本领域的技术人员将理解本发明可以在所附的权利要求的精神和范围内以各种修改来实践,并且本发明并不限于上述的示例。

[0093] 此外,权利要求的范围不受到上述的示例性实施例的限制。

[0094] 此外,应当注意的是,申请人意在涵盖所有权利要求要素的等同形式,即使在后期的审查过程中对权利要求进行过修改亦是如此。

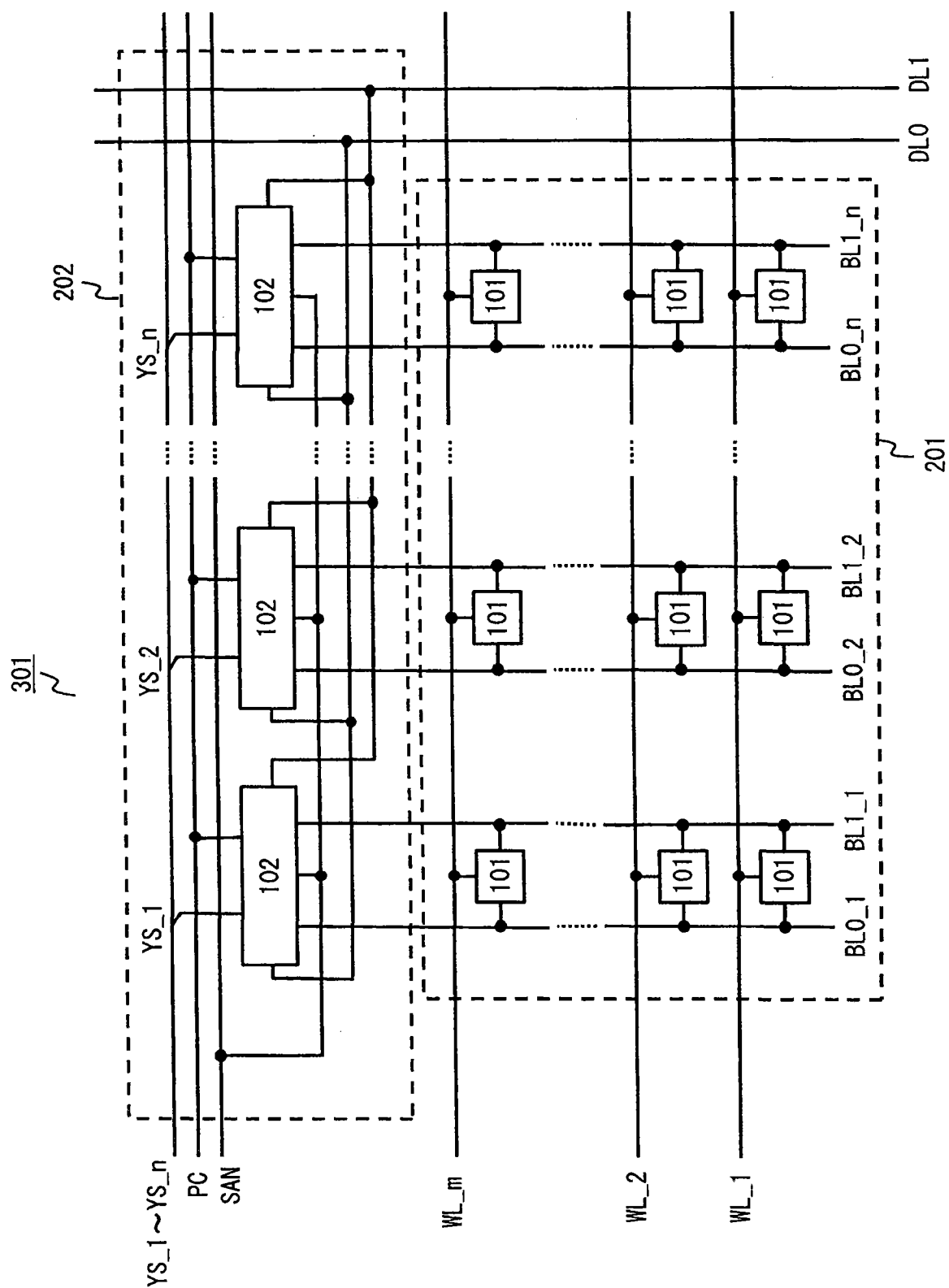


图 1

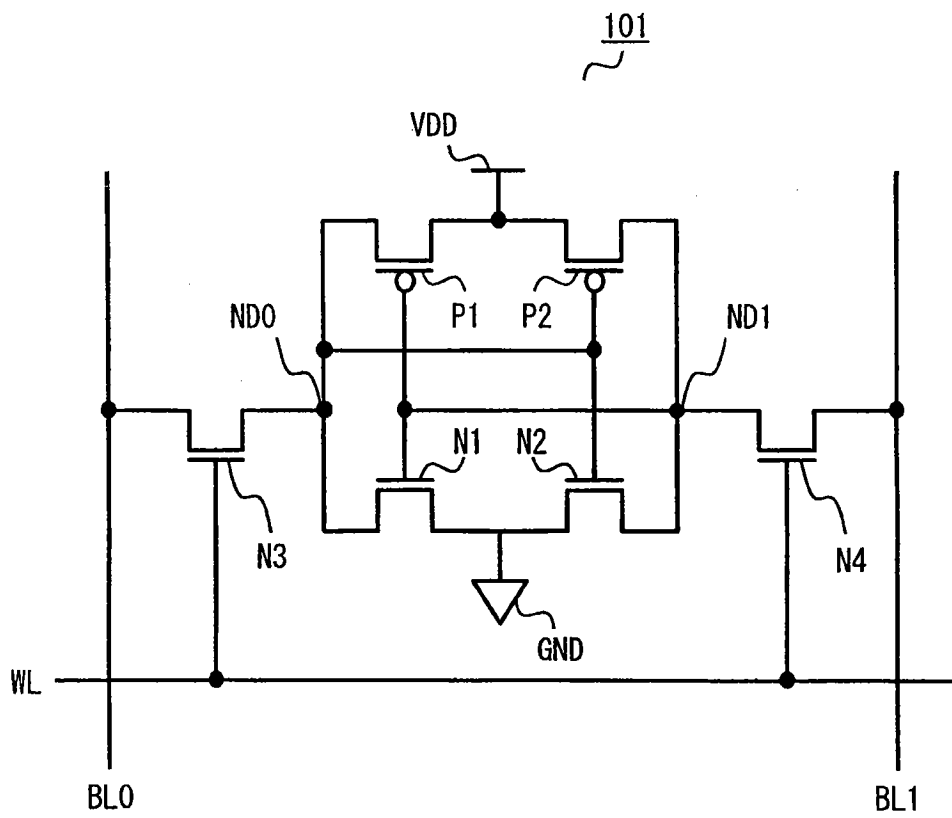


图 2

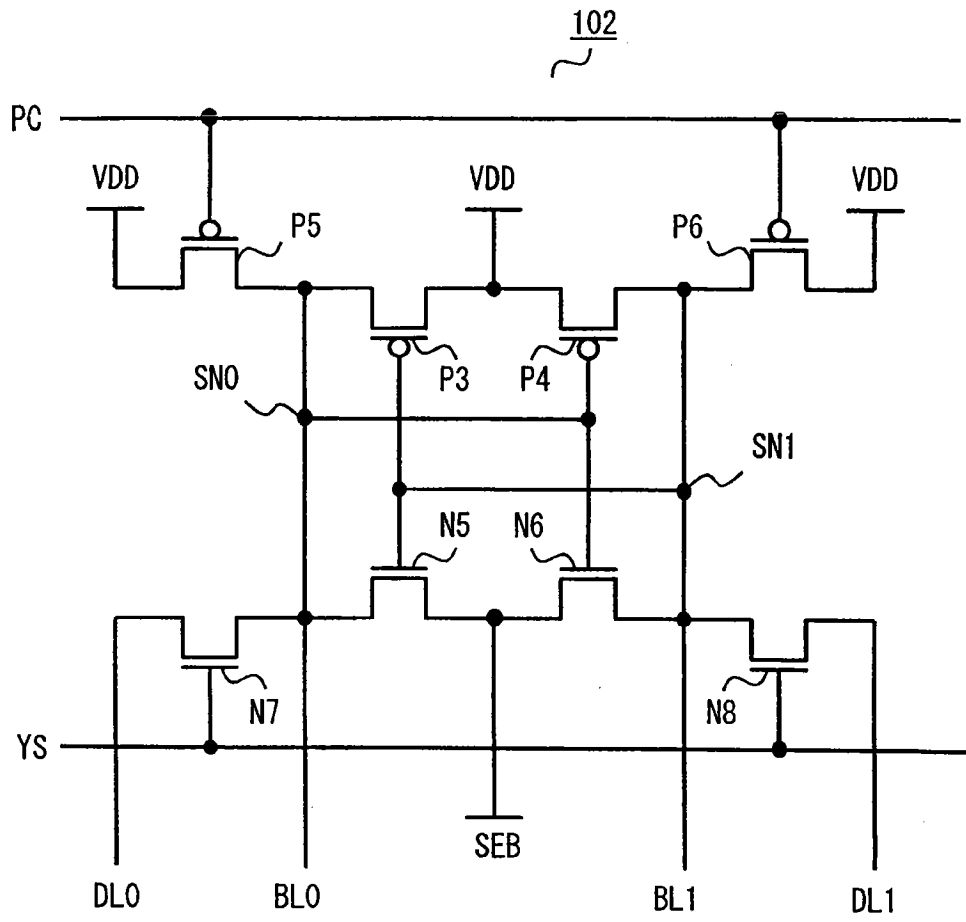


图 3

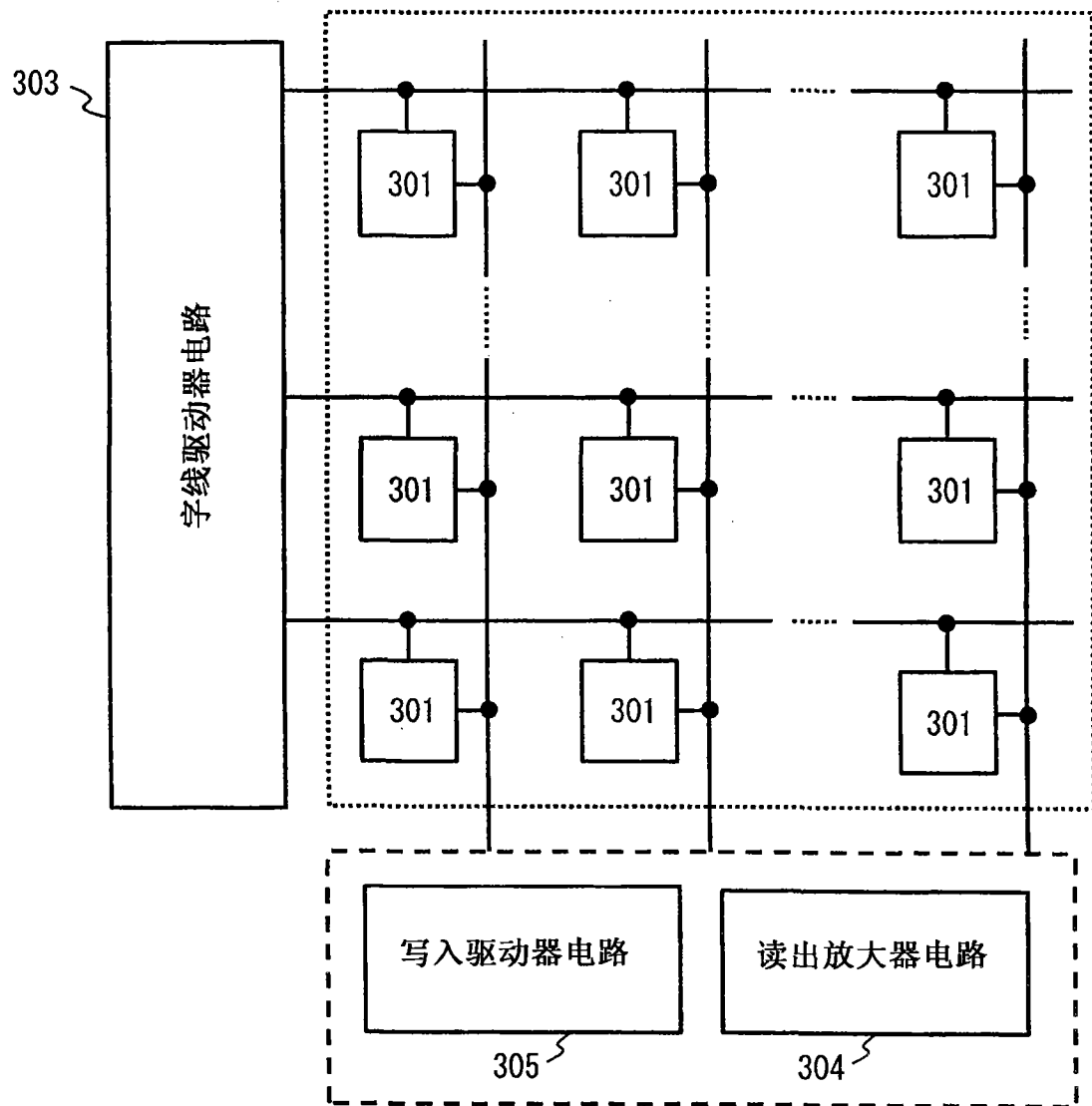


图 4

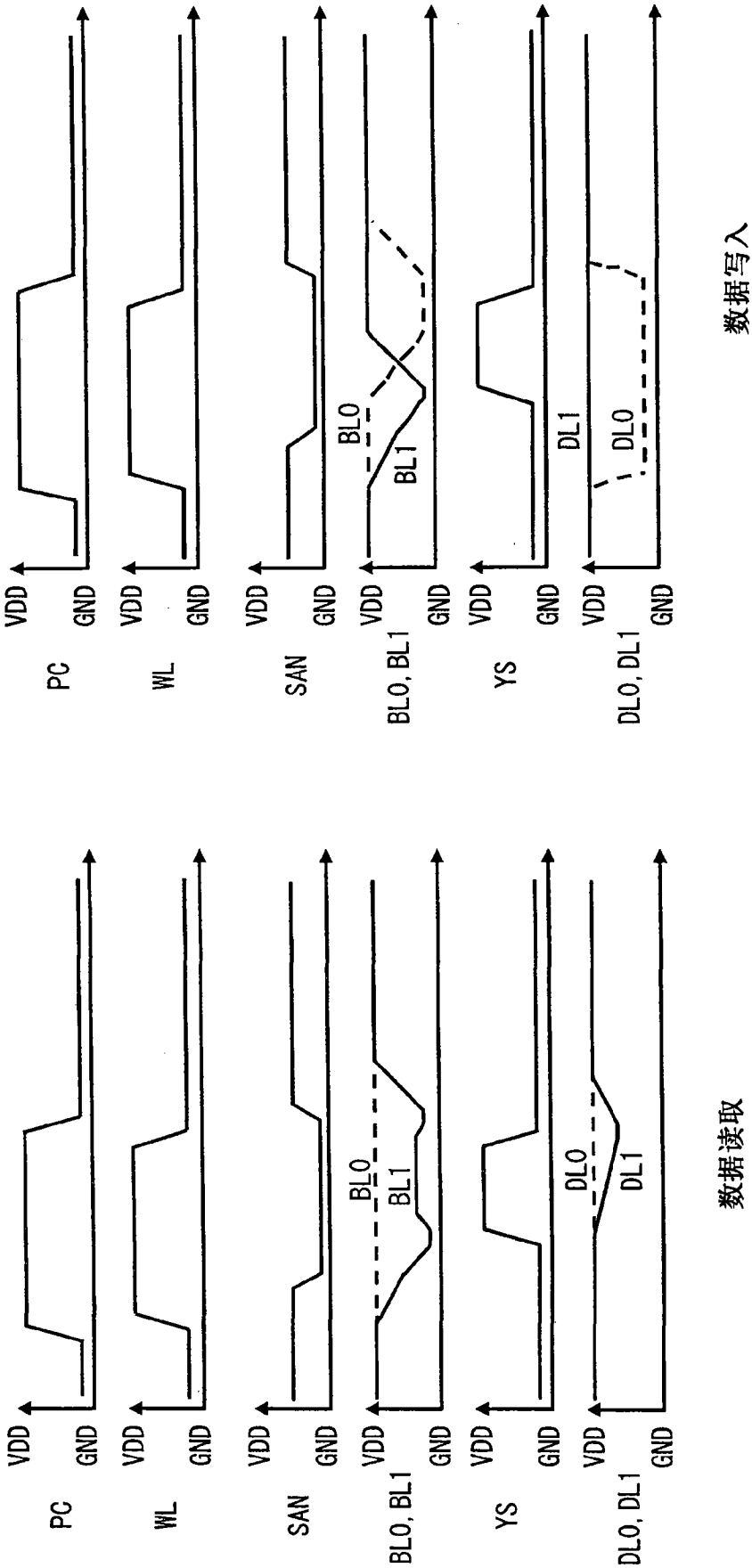


图 5

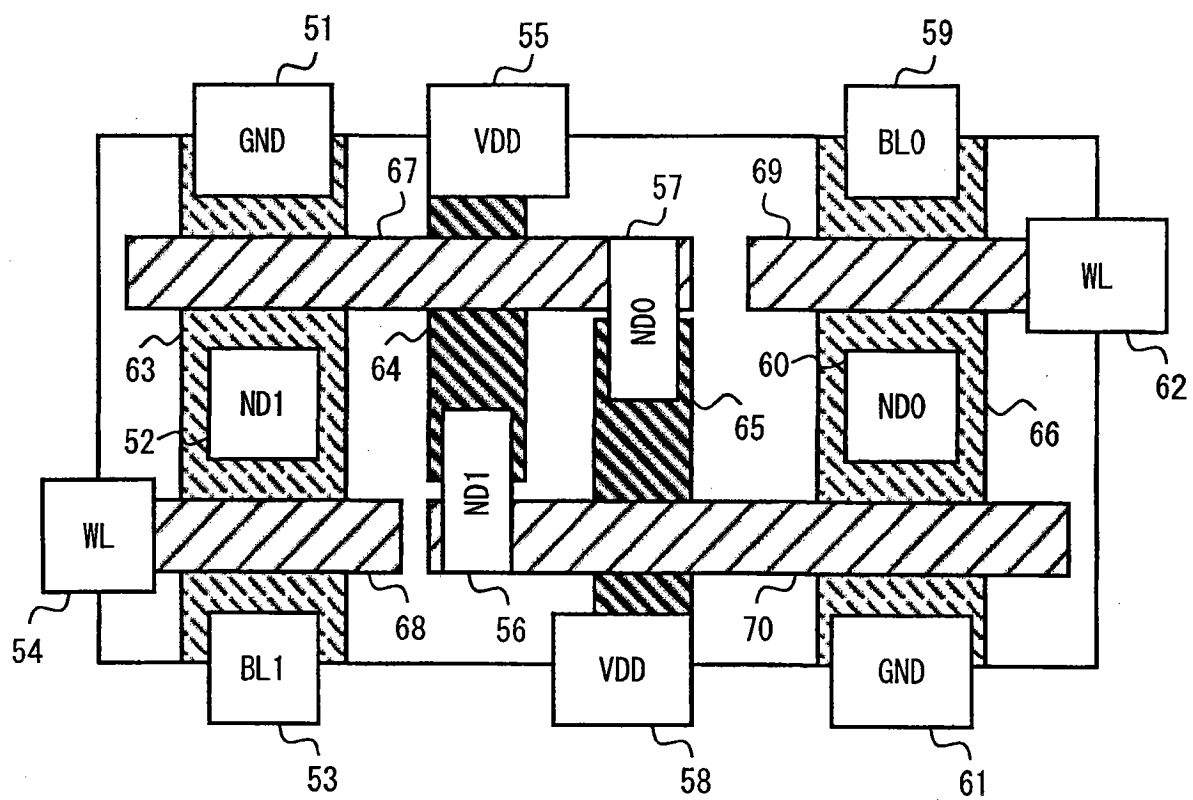


图 6

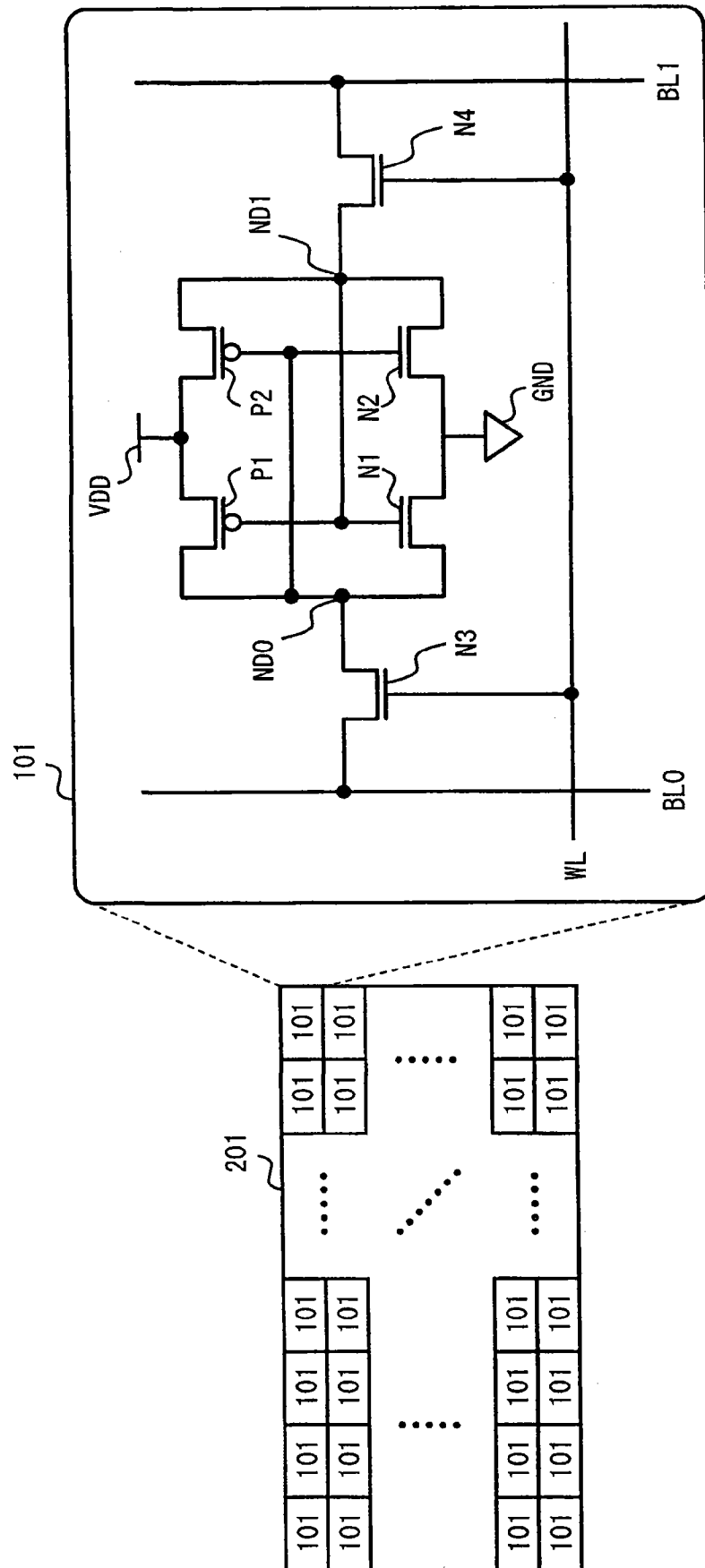


图 7

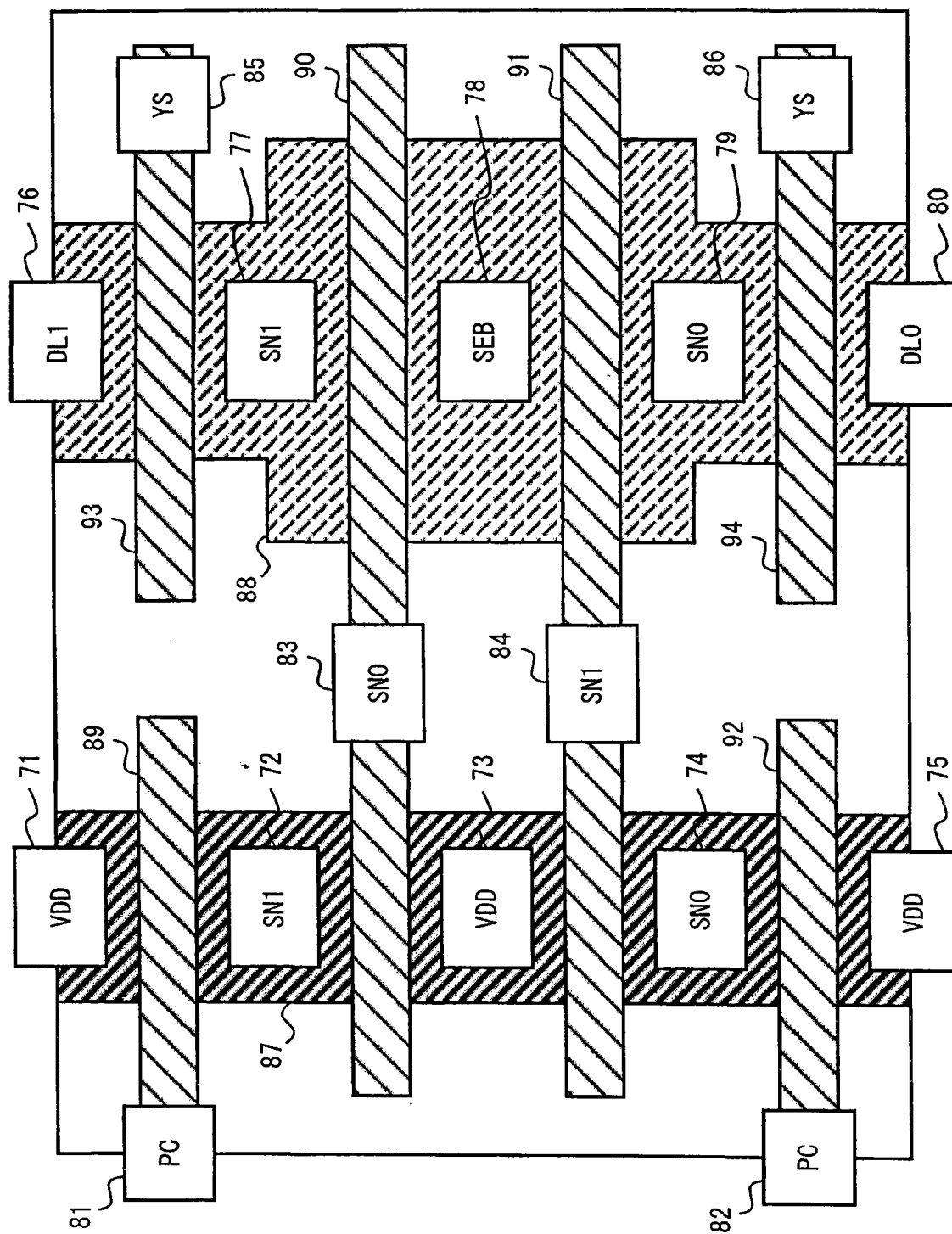


图 8

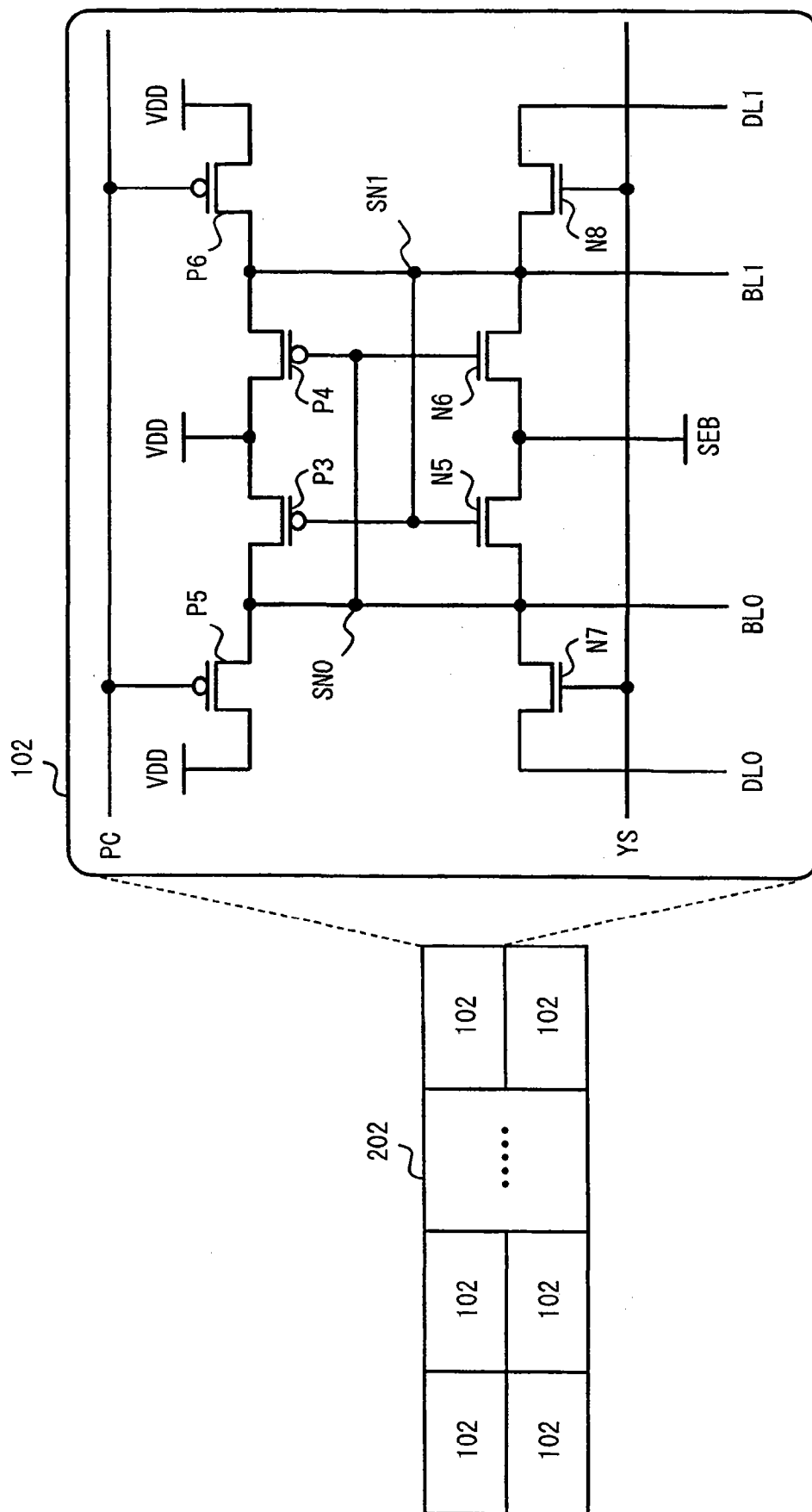


图 9

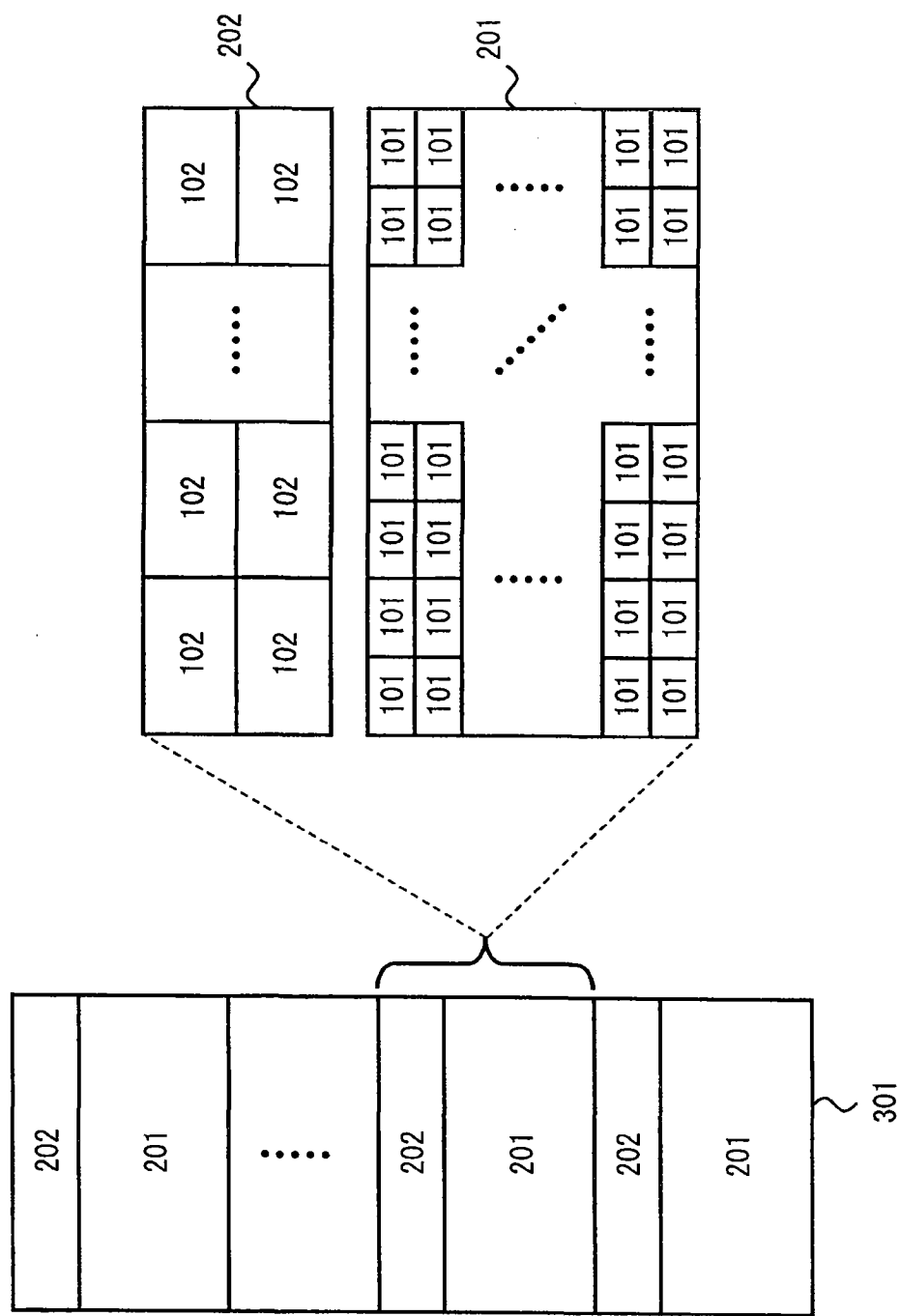


图 10

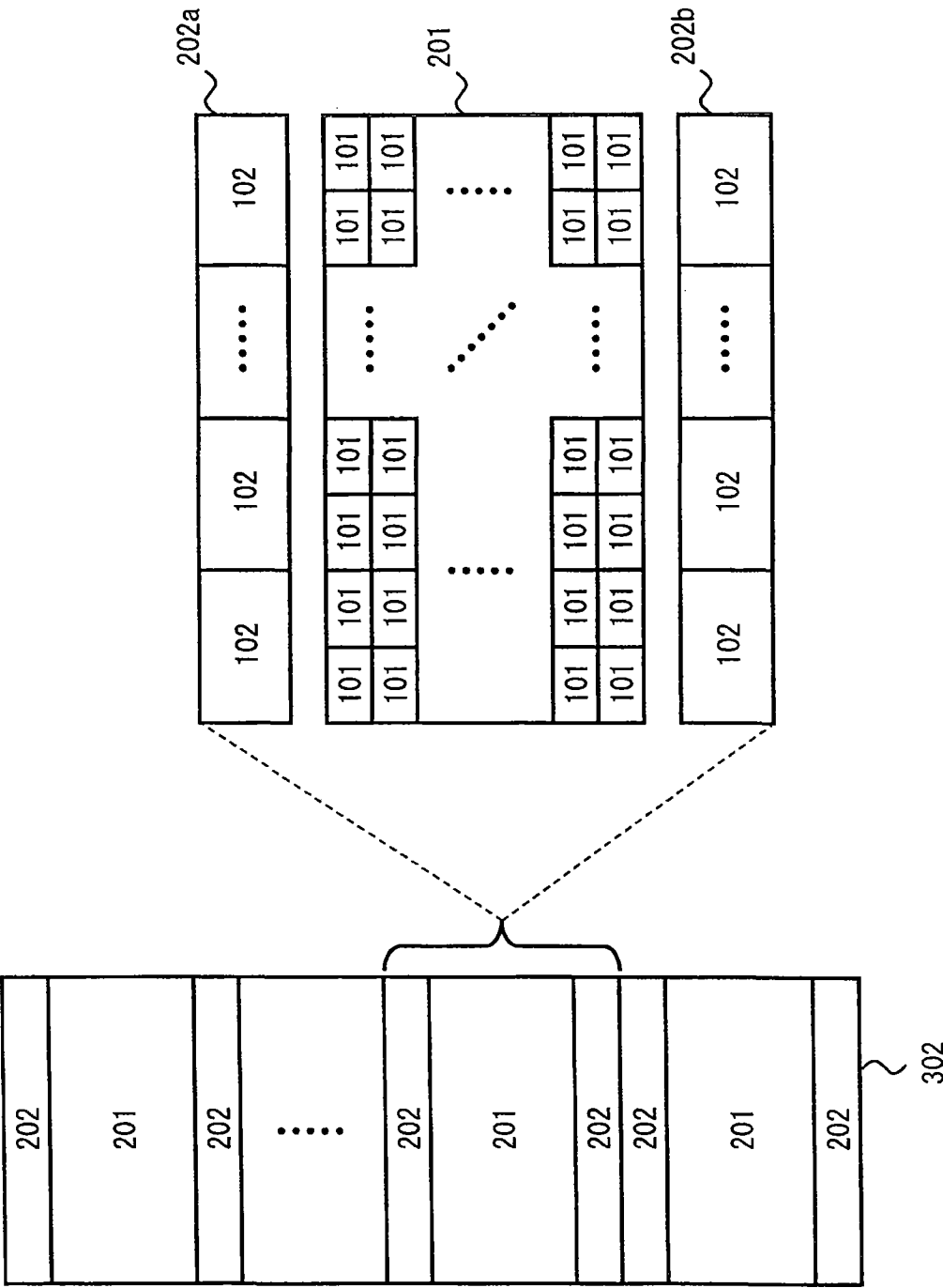


图 11

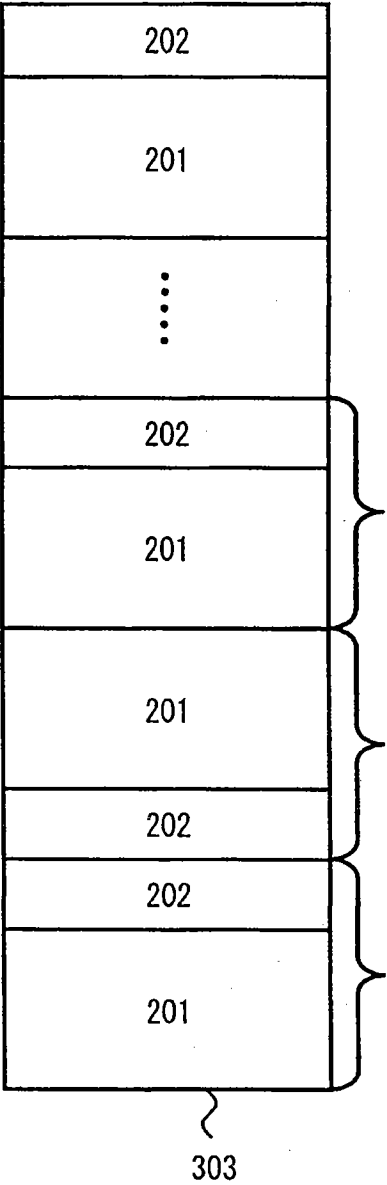


图 12

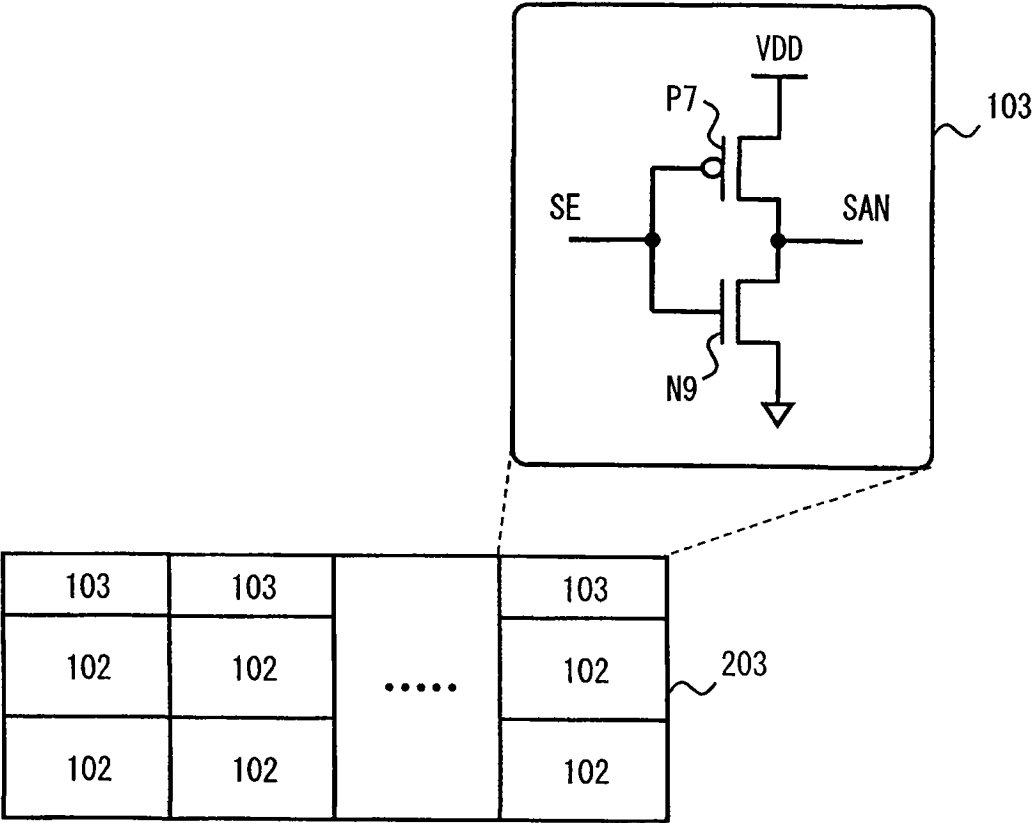


图 13

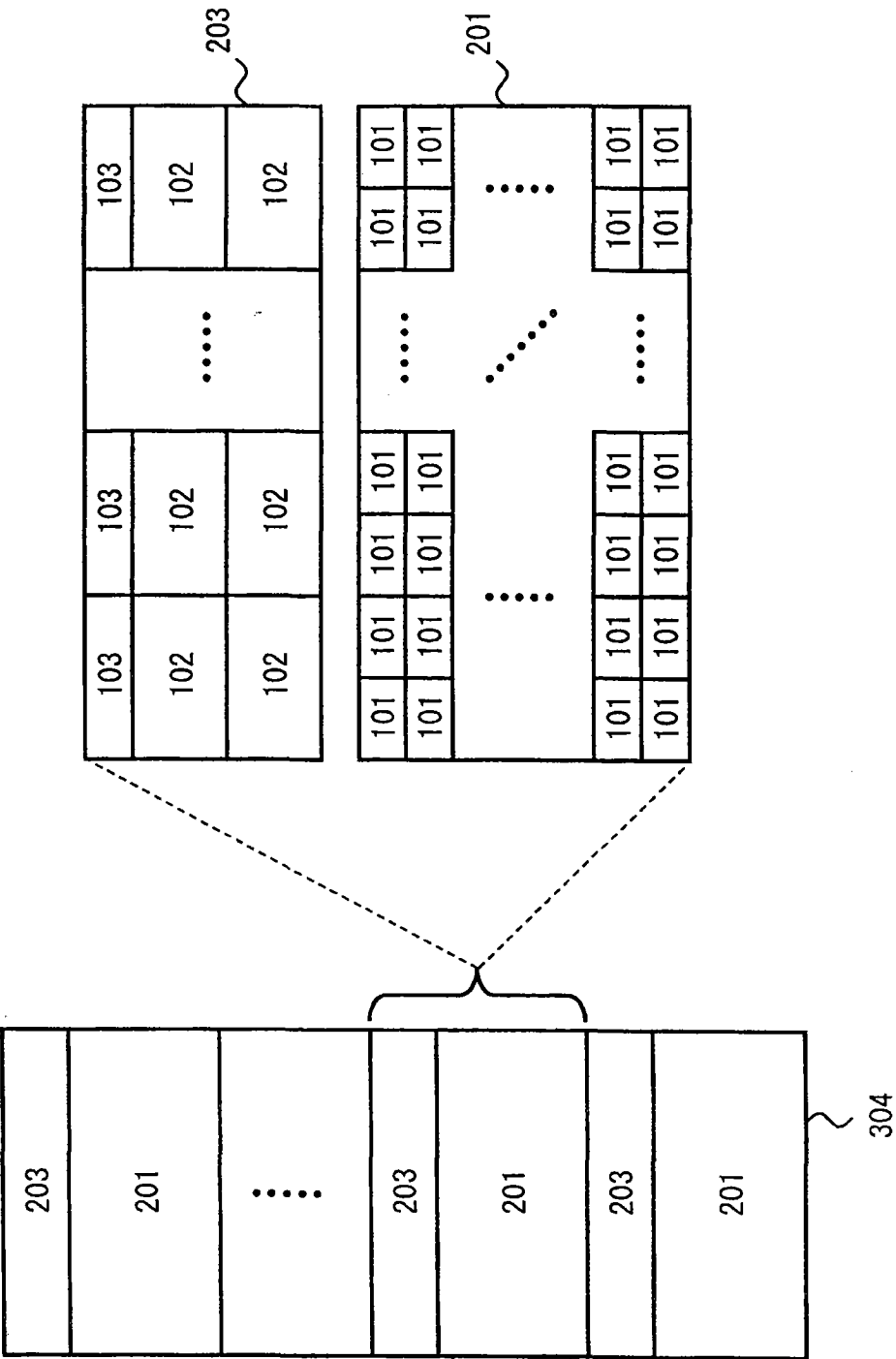


图 14

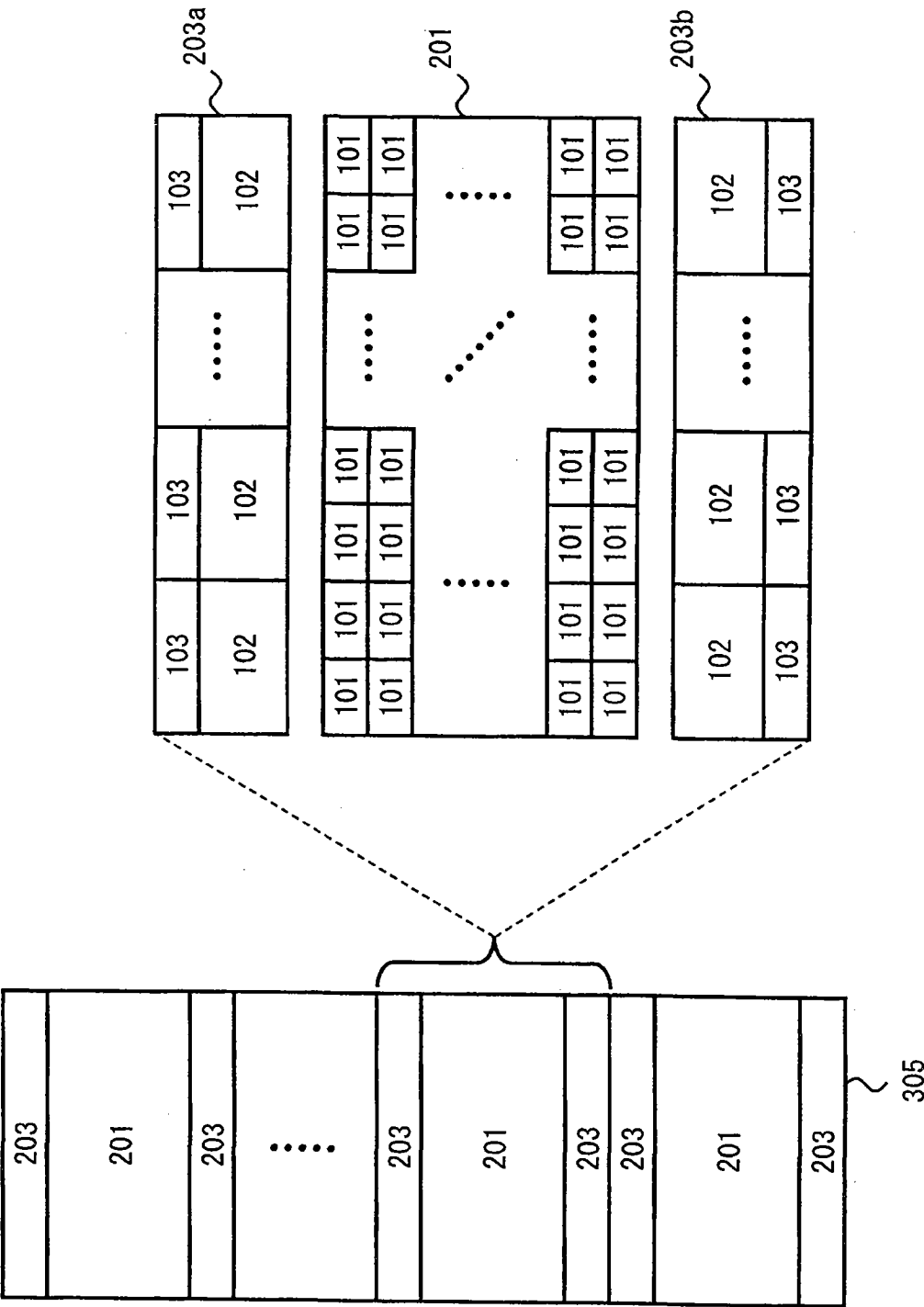


图 15

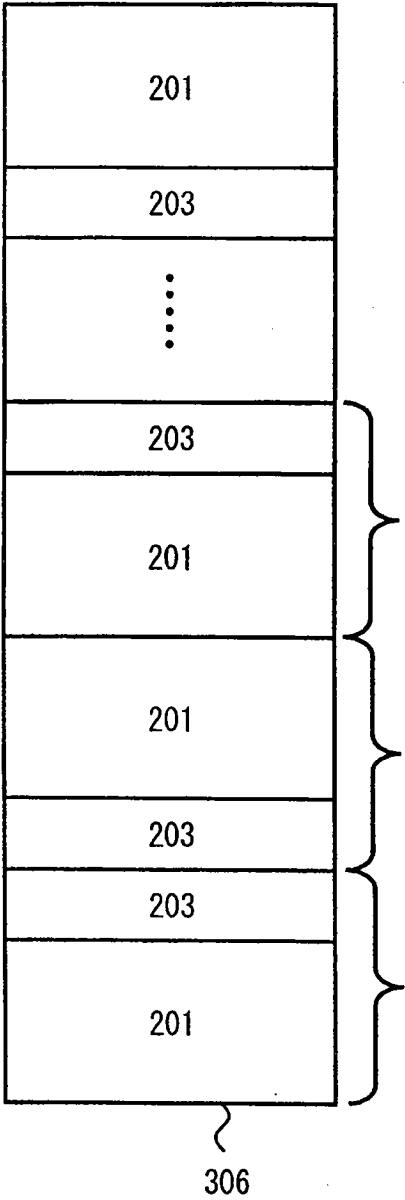


图 16