



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0165488
(43) 공개일자 2022년12월15일

(51) 국제특허분류(Int. Cl.)
H01L 31/113 (2006.01) H01L 21/02 (2006.01)
H01L 31/036 (2006.01)
(52) CPC특허분류
H01L 31/1136 (2013.01)
H01L 21/02178 (2013.01)
(21) 출원번호 10-2021-0074177
(22) 출원일자 2021년06월08일
심사청구일자 2021년06월08일

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
이승현
경기도 성남시 분당구 서판교로 29, 912동 403호 (판교동, 판교원마을)
최용수
경기도 화성시 동탄대로12길 71, 1848동 202호(오산동, 화성동탄2 센트럴힐즈 동탄 아파트)
임진호
서울특별시 강동구 진향도로 212, 201동 605호(둔촌동, 신성둔촌미소지움)
(74) 대리인
김연권

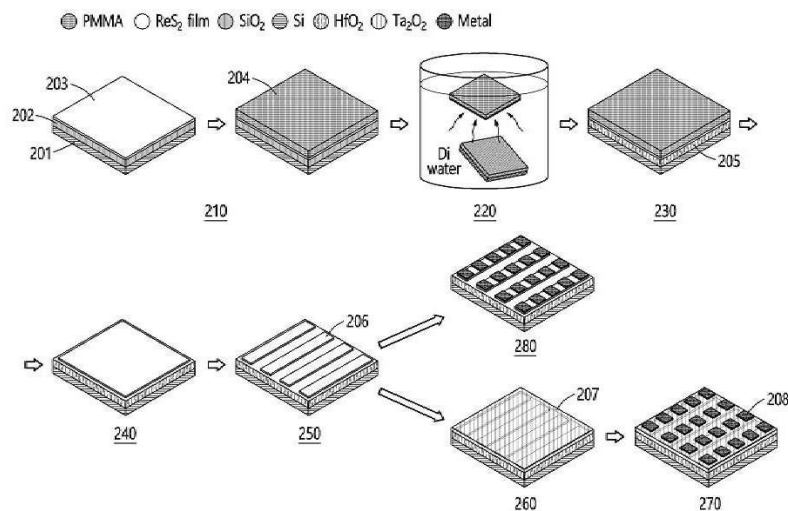
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 터널링 절연체를 통한 모수석상 반도체 나노층과 금속 전극 간 접합저항 저하 기술을 기반으로 하는 광전자 소자 및 광전자 소자의 제조 방법

(57) 요약

본 발명은 Metal-Insulator-Semiconductor (MIS 또는 터널링) 접합을 이용하여 접합저항을 감소시킬 수 있는 광전자 소자 및 광전자 소자의 제조 방법에 관한 것으로서, 일실시예에 따른 광전자 소자는, 모수석상(dendritic) 반도체 나노층과 금속 전극 사이에서 기준 두께 이내의 터널링 절연체를 포함하고, 상기 터널링 절연체는 상기 모수석상(dendritic) 반도체 나노층과, 상기 금속 전극 사이에서 발생하는 화학적 반응 또는 산화 반응을 기준치 이하로 차단하고, 접합에서의 전자 쌍극자를 형성하거나, 유전체 내 금속 유도 간격 상태의 감소에 작용할 수 있다.

대표도



(52) CPC특허분류

H01L 21/02181 (2013.01)
H01L 21/02183 (2013.01)
H01L 21/02186 (2013.01)
H01L 21/0228 (2013.01)
H01L 31/036 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1345315500
과제번호	2018R1A6A1A03025708
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	중점연구소지원(이공계분야)
연구과제명	[대학중점연구소] 융복합 에너지 자율형 다기능 센서 플랫폼 연구 2단계-(1/3)
기 여 율	1/2
과제수행기관명	경희대학교(국제캠퍼스)
연구기간	2021.03.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1711133798
과제번호	10085646
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천기술개발(R&D, 정보화)
연구과제명	3D 맵리스터 어레이 결점 극복을 위한 뉴로모픽 시스템
기 여 율	1/2
과제수행기관명	경희대학교산학협력단
연구기간	2017.12.01 ~ 2021.12.31

명세서

청구범위

청구항 1

모수석상(dendritic) 반도체 나노층과 금속 전극 사이에서 기준 두께 이내의 터널링 절연체를 포함하고,

상기 터널링 절연체는

상기 모수석상(dendritic) 반도체 나노층과, 상기 금속 전극 사이에서 발생하는 화학적 반응 또는 산화 반응을 기준치 이하로 차단하고, 접합에서의 전자 쌍극자를 형성하거나, 유전체 내 금속 유도 간격 상태의 감쇠에 작용하는 것을 특징으로 하는 광전자 소자.

청구항 2

제1항에 있어서,

상기 모수석상(dendritic) 반도체 나노층은, 기관에 평행하지 않고 불특정한 방향으로 상기 기관으로부터 수직 성장하는 형태인 것을 특징으로 하는 광전자 소자.

청구항 3

제1항에 있어서,

상기 터널링 절연체는,

Ta_2O_5 , HfO_2 , Al_2O_3 , Al, TiO_2 및 h-BN 중에서 적어도 하나를 포함하는 것을 특징으로 하는 광전자 소자.

청구항 4

제1항에 있어서,

상기 터널링 절연체는

0.7nm 내지 3nm의 범위 내의 두께로 형성되는 것을 특징으로 하는 광전자 소자.

청구항 5

기관;

상기 기관의 상부에 패터닝된 게이트 전극;

상기 게이트 전극의 상부에 형성되는 게이트 절연막;

상기 게이트 절연막의 상부에 형성되는 모수석상 반도체 나노층;

상기 모수석상(dendritic) 반도체 나노층 상부에 형성되는 터널링 절연체;

상기 터널링 절연체의 상부에 형성되는 소스 전극;

상기 터널링 절연체의 상부에 형성되고, 상기 소스 전극에 대응되게 배치되는 드레인 전극

을 포함하고,

상기 터널링 절연체는,

상기 모수석상(dendritic) 반도체 나노층과, 상기 금속 전극 사이에서 발생하는 화학적 반응 또는 산화 반응을 기준치 이하로 차단하고, 접합에서의 전자 쌍극자를 형성하거나, 유전체 내 금속 유도 간격 상태의 감쇠에 작용하는 것을 특징으로 하는 광전자 소자.

청구항 6

제1항에 있어서,

상기 모수석상(dendritic) 반도체 나노층은, 기판에 평행하지 않고 불특정한 방향으로 상기 기판으로부터 수직 성장하는 형태인 것을 특징으로 하는 광전자 소자.

청구항 7

기판 상에 산화층을 형성하는 단계;

상기 형성된 산화층 상에 필름을 형성한 후 포토 레지스트를 스핀 코팅하는 단계;

상기 산화층으로부터 상기 필름 및 포토 레지스트로 이루어진 구조물을 분리시키는 단계;

상기 포토 레지스트가 상부를 향하도록 상기 구조물을 백게이트용 기판 상에 접합시키는 단계;

상기 포토 레지스트 상에 광을 조사하여 선정된 패턴을 갖도록 필름을 패터닝하여 모수석상 반도체 나노층을 형성하는 단계

상기 형성된 모수석상 반도체 나노층 상에 터널링 절연체를 형성하는 단계; 및

상기 형성된 터널링 절연체 상에 소스 전극과 드레인 전극을 형성하는 단계

를 포함하고,

상기 터널링 절연체는,

상기 모수석상 반도체 나노층과, 상기 소스 전극 또는 상기 드레인 전극 사이에서 발생하는 화학적 반응 또는 산화 반응을 기준치 이하로 차단하고, 접합에서의 전자 쌍극자를 형성하거나, 유전체 내 금속 유도 간격 상태의 감소에 작용하는 광전자 소자의 제조 방법.

청구항 8

제7항에 있어서,

상기 형성된 모수석상 반도체 나노층 상에 터널링 절연체를 형성하는 단계는,

상기 패터닝된 상기 모수석상 반도체 나노층 상에 원자층증착(ALD)을 이용하여 상기 터널링 절연체로서 Ta_2O_5 를 형성 하는 단계

를 포함하는 광전자 소자의 제조 방법.

청구항 9

제8항에 있어서,

상기 패터닝된 상기 모수석상 반도체 나노층 상에 원자층증착(ALD)을 이용하여 상기 터널링 절연체로서 Ta_2O_5 를 형성 하는 단계는,

상기 패터닝된 상기 모수석상 반도체 나노층 상에 상기 Ta_2O_5 를 200° C의 온도로 0.7nm 내지 3nm의 범위 내의 두께로 형성 하는 단계

를 포함하는 광전자 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 Metal-Insulator-Semiconductor (MIS 또는 터널링) 접합을 이용하여 접합저항을 감소시킬 수 있는 광전자 소자 및 광전자 소자의 제조 방법에 관한 것이다.

배경 기술

- [0002] 모수석상(기판에 평행하지 않고 꽃모양으로 자라는, dendritic) 반도체 나노층은 높은 표면적 및 화학적으로 노출된 부분이 있어 전기화학적 촉매, 에너지 저장 그리고 센서 응용에 대해서 높은 가능성을 가지고 있다. 그러나, 모수석상 반도체 나노층과 금속의 상당한 쇼트키 장벽과 에너지밴드 정렬 시 발생하는 페르미 레벨 피닝(Fermi-level pinning) 현상으로 인해 높은 접합저항이 생긴다.
- [0003] 이전에 낮은 일함수의 금속을 이용하여 band-edge 오정렬을 낮추어 접합저항을 낮추었음에도, 낮은 일함수의 금속은 산화되기 쉬워 TMD 트랜지스터의 안정성이 보장되지 못한다.
- [0004] 낮은 접촉 저항으로 금속 접촉을 형성하는 것은 van der Waals 재료를 기반으로 한 전자 제품 개발에 필수적이다.
- [0005] ReS_2 는 MoS_2 와 유사한 MX_2 구조를 가진 반도체 전이 금속 디칼 코게 나이드(TMD, transition metal dichalcogenide)로서, 대부분의 TMD는 화학 기상 증착 (CVD)을 사용하여 합성 될 때 기판과 평행하게 성장하지만 ReS_2 는 성장 중에 수직으로 방향을 맞추는 경향이 있다.
- [0006] 이러한 경향은 표면적을 크게 늘리고 화학적 활성 가장자리를 노출시켜 ReS_2 를 에너지 및 센서 응용 분야를 위한 매력적인 레이어 소재로 만든다. 그러나 수직 성장 물질의 접촉 저항은 MoS_2 와 같은 일반적인 2H 상(2H-phase) TMD에 비해 상대적으로 높은 것으로 알려져 있다.
- [0007] 접촉 저항을 낮추기 위해보고 된 대부분의 방법은 몇 개의 장치 만 테스트 한 박리 된 2H 상(2H-phase) 재료에 초점을 맞추고 있으며 왜곡 된 T 상(T-phase)에 대한 연구는 거의 없는 실정이다. 더욱이, 보고된 거의 모든 연구는 기계적으로 박리 된 flake을 가진 소수의장치에서만 수행되고 있다.

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 한국등록특허 제10-0466207호 "반도체 소자의 제조 방법"
(특허문헌 0002) 한국등록특허 제10-0331265호 "반도체장치의 트랜지스터 형성방법"

발명의 내용

해결하려는 과제

- [0009] 본 발명은 모수석상 반도체 나노층과 금속 전극 사이에 얇은 터널링 절연체를 사용하여 접합저항의 감소로 인해 전자전기분야에 적용시킬 수 있고, 특히, 페르미 레벨 피닝 현상을 보완할 수 있어 반도체 분야에도 적용하는 것을 목적으로 한다.
- [0010] 본 발명은 얇은 터널링 절연체를 이용함으로써 금속과 모수석상 반도체 나노층 사이의 화학적 반응을 방지하고 산화 반응을 방지하는 보호막을 형성하는 것을 목적으로 한다.
- [0011] 본 발명은 MIS 접합을 이용한 트랜지스터를 이용함으로써, MIS 접합을 이용하지 않은 트랜지스터보다 접합저항이 적고 드라이브 전류가 최대 50배 이상 증가시키는 것을 목적으로 한다.
- [0012] 본 발명은 모수석상 반도체 나노층과 금속 전극 사이에 얇은 터널링 절연체를 이용함으로써 접합저항이 줄어 더 높은 드라이브 전류를 대폭 높일 수 있다. 또한, 페르미 레벨 피닝 현상 문제를 보완하는 것을 목적으로 한다.
- [0013] 본 발명은 MIS 접합을 이용한 모수석상 반도체 나노층의 트랜지스터에 기반한 광전자 소자를 이용함으로써 초고 밀도 회로의 중요한 기반을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0014] 일실시예에 따른 광전자 소자는, 모수석상(dendritic) 반도체 나노층과 금속 전극 사이에서 기준 두께 이내의 터널링 절연체를 포함하고, 상기 터널링 절연체는 상기 모수석상(dendritic) 반도체 나노층과, 상기 금속 전극 사이에서 발생하는 화학적 반응 또는 산화 반응을 기준치 이하로 차단하고, 접합에서의 전자 쌍극자를 형성하거

나, 유전체 내 금속 유도 간격 상태의 감쇠에 작용할 수 있다.

- [0015] 일실시예에 따른 상기 모수석상(dendritic) 반도체 나노층은, 기판에 평행하지 않고 불특정한 방향으로 상기 기판으로부터 수직 성장하는 형태일 수 있다.
- [0016] 일실시예에 따른 상기 터널링 절연체는, Ta_2O_5 , HfO_2 , Al_2O_3 , Al, TiO_2 및 h-BN 중에서 적어도 하나를 포함할 수 있다.
- [0017] 일실시예에 따른 상기 터널링 절연체는 0.7nm 내지 3nm의 범위 내의 두께로 형성될 수 있다.
- [0018] 일실시예에 따른 광전자 소자는 기판, 상기 기판의 상부에 패터닝된 게이트 전극, 상기 게이트 전극의 상부에 형성되는 게이트 절연막, 상기 게이트 절연막의 상부에 형성되는 모수석상 반도체 나노층, 상기 모수석상(dendritic) 반도체 나노층 상부에 형성되는 터널링 절연체, 상기 터널링 절연체의 상부에 형성되는 소스 전극, 상기 터널링 절연체의 상부에 형성되고, 상기 소스 전극에 대응되게 배치되는 드레인 전극을 포함하고, 상기 터널링 절연체는, 상기 모수석상(dendritic) 반도체 나노층과, 상기 금속 전극 사이에서 발생하는 화학적 반응 또는 산화 반응을 기준치 이하로 차단하고, 접합에서의 전자 쌍극자를 형성하거나, 유전체 내 금속 유도 간격 상태의 감쇠에 작용할 수 있다.
- [0019] 일실시예에 따른 상기 모수석상(dendritic) 반도체 나노층은, 기판에 평행하지 않고 불특정한 방향으로 상기 기판으로부터 수직 성장하는 형태이고, 상기 터널링 절연체는, 상기 모수석상(dendritic) 반도체 나노층과, 상기 금속 전극 사이에서 발생하는 화학적 반응 또는 산화 반응을 기준치 이하로 차단하고, 접합에서의 전자 쌍극자를 형성하거나, 유전체 내 금속 유도 간격 상태의 감쇠에 작용할 수 있다.
- [0020] 일실시예에 따른 광전자 소자의 제조 방법은 기판 상에 산화층을 형성하는 단계, 상기 형성된 산화층 상에 필름을 형성한 후 포토 레지스트를 스핀 코팅하는 단계, 상기 산화층으로부터 상기 필름 및 포토 레지스트로 이루어진 구조물을 분리시키는 단계, 상기 포토 레지스트가 상부를 향하도록 상기 구조물을 백에이트용 기판 상에 접합시키는 단계, 상기 포토 레지스트 상에 광을 조사하여 선정된 패턴을 갖도록 필름을 패터닝하여 모수석상 반도체 나노층을 형성하는 단계, 상기 형성된 모수석상 반도체 나노층 상에 터널링 절연체를 형성하는 단계, 및 상기 형성된 터널링 절연체 상에 소스 전극과 드레인 전극을 형성하는 단계를 포함하고, 상기 터널링 절연체는, 상기 모수석상 반도체 나노층과, 상기 소스 전극 또는 상기 드레인 전극 사이에서 발생하는 화학적 반응 또는 산화 반응을 기준치 이하로 차단하고, 접합에서의 전자 쌍극자를 형성하거나, 유전체 내 금속 유도 간격 상태의 감쇠에 작용할 수 있다.
- [0021] 일실시예에 따른 상기 형성된 모수석상 반도체 나노층 상에 터널링 절연체를 형성하는 단계는, 상기 패터닝된 상기 모수석상 반도체 나노층 상에 원자층증착(ALD)을 이용하여 상기 터널링 절연체로서 Ta_2O_5 를 형성 하는 단계를 포함할 수 있다.
- [0022] 일실시예에 따른 상기 패터닝된 상기 모수석상 반도체 나노층 상에 원자층증착(ALD)을 이용하여 상기 터널링 절연체로서 Ta_2O_5 를 형성 하는 단계는, 상기 패터닝된 상기 모수석상 반도체 나노층 상에 상기 Ta_2O_5 를 200° C의 온도로 0.7nm 내지 3nm의 범위 내의 두께로 형성 하는 단계를 포함할 수 있다.

발명의 효과

- [0023] 일실시예에 따르면, 모수석상 반도체 나노층과 금속 전극 사이에 얇은 터널링 절연체를 사용하여 접합저항의 감소로 인해 전자전기분야에 적용시킬 수 있고, 특히, 페르미 레벨 피닝 현상을 보완할 수 있어 반도체 분야에도 적용할 수 있다.
- [0024] 일실시예에 따르면, 얇은 터널링 절연체를 이용함으로써 금속과 모수석상 반도체 나노층 사이의 화학적 반응을 방지하고 산화 반응을 방지하는 보호막을 형성할 수 있다.
- [0025] 일실시예에 따르면, MIS 접합을 이용한 트랜지스터를 이용함으로써, MIS 접합을 이용하지 않은 트랜지스터보다 접합저항이 적고 드라이브 전류가 최대 50배 이상 증가시킬 수 있다.
- [0026] 일실시예에 따르면, 모수석상 반도체 나노층과 금속 전극 사이에 얇은 터널링 절연체를 사용함으로써 접합저항이 줄어 더 높은 드라이브 전류를 대폭 높일 수 있다.
- [0027] 일실시예에 따르면, MIS 접합을 이용한 모수석상 반도체 나노층의 트랜지스터에 기반한 광전자 소자를 이용함으

로써 초고밀도 회로의 중요한 기반을 제공할 수 있다.

도면의 간단한 설명

[0028]

도 1a 및 도 1b는 광전자 소자의 일실시예를 도시한다.

도 1c는 터널링 절연체가 없는 경우의 광전자 소자의 단면에 대한 EDS 매핑 결과를 나타낸다.

도 1e 내지 도 1h는 터널링 절연체가 있는 경우의 광전자 소자의 단면에 대한 EDS 매핑 결과, TLM 구조의 현미경 이미지와 그에 따른 저항의 변화를 나타낸다.

도 2는 모수석상 반도체 나노층과 금속 전극 간에 터널링 절연체를 형성하여 광전자 소자를 제조하는 방법을 설명하는 도면이다.

도 3a 내지 도 3c는 Ta_2O_5 및 TiO_2 코팅층이 있는 ReS_2 장치의 단면 TEM 이미지들을 나타낸다.

도 4a 및 도 4b는 ALD 필름이 있는 경우와 없는 수직 성장 ReS_2 의 AFM 결과를 나타낸다.

도 5a 및 도 5b는 ALD 시스템으로 증착된 Ta_2O_5 의 XPS 결과를 나타낸다.

도 6a 내지 도 6c는 고정된 ReS_2 페르미 레벨 및 MIS 접촉 ReS_2 의 밴드 다이어그램을 나타낸다.

도 7a 내지 도 7c는 다양한 Ta_2O_5 층간 두께를 사용한 저항 대 채널 길이의 전형적인 플롯을 나타낸다.

도 8a 및 도 8b는 Ta_2O_5 터널링 절연체의 두께에 따라 추출되는 구동 전류 추출을 나타낸다.

도 9a 내지 도 9f는 동일한 y 축 (IDS) 스케일에서 다양한 Ta_2O_5 두께에 대한 ReS_2 FET의 I-V 특성을 나타낸다.

도 10a는 RSB 감소를 이해하기 위해 온도에 따른 캐리어 전송 측정이 수행된 결과를 나타낸다.

도 10b 내지 도 10g는 Ta_2O_5 두께가 다른 게이트 바이어스의 함수로서 효과적인 쇼트 키 장벽 높이를 나타낸다.

도 11a는 ALD 방법에만 초점을 맞추고 ReS_2 에 대한 다양한 밴드 에지 정렬을 통해 다양한 산화물 재료의 효과를 나타낸다.

도 11b 내지 도 11e는 ALD 공정으로 제작된 다양한 터널링 절연층이 있거나 없는 ReS_2 FET의 출력 곡선을 나타낸다.

도 12a 내지 도 12e는 다양한 증착 방법에 따른 중간막의 효과를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0029]

본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.

[0030]

본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.

[0031]

제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[0032]

어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의

관계를 설명하는 표현들, 예를 들어 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

- [0033] 본 명세서에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0034] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0036] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0038] 본 발명은 수백 개가 넘는 장치들 테스트하고 대규모 통계 분석을 위해 접촉저항을 추출하는 과정을 통해 개발되었다. 특히, 접촉저항을 낮추기 위해 알려진 다양한 재료와 기술을 비교하여 최적화 된 방법을 찾았으며, 장벽 높이의 감소는 접촉 저항의 기하 급수적 인 감소 및 구동 전류의 거의 2 배 증가와 직접적인 상관 관계가 있음을 확인했다.
- [0039] 이하, 도 1a 내지 도 12e를 통해 본 발명을 구체적으로 설명한다.
- [0040] 도 1a 및 1b는 본 발명의 일실시예에 따른 광전자 소자의 일실시예를 도시한다.
- [0041] 도 1a에서 보는 바와 같이, 도면부호 110은 터널링 절연체(tunneling layer)를 사용하지 않은 기존의 구조로서 접합저항이 높은 상태를 유지하고, 도 1b에서 보는 바와 같이, 도면부호 120은 터널링 절연체(tunneling layer)를 사용하여 접합저항을 현저하게 줄인 구조에 해당한다.
- [0042] 먼저 도면부호 110은 기관의 상부에 패터닝된 게이트 전극(111), 게이트 전극(111)의 상부에 형성되는 게이트 절연막(112), 게이트 절연막(112)의 상부에 형성되는 모수석상 반도체 나노층(113), 반도체 나노층(113)의 상부에 형성되는 소스 전극(115) 및 드레인 전극(114)을 포함한다.
- [0043] 이러한 구조는 접합저항을 낮출 수 없으며, 모수석상 반도체 나노소재와 금속 형태의 전극 간에 상당한 쇼트키 장벽과 에너지밴드 정렬 시 발생하는 페르미 레벨 피닝 현상으로 인해 높은 접합저항이 생긴다.
- [0044] 한편, 도면부호 120은 기관의 상부에 패터닝된 게이트 전극(121), 게이트 전극(121)의 상부에 형성되는 게이트 절연막(122), 게이트 절연막(122)의 상부에 형성되는 모수석상 반도체 나노층(123), 모수석상(dendritic) 반도체 나노층(123) 상부에 형성되는 터널링 절연체(124), 터널링 절연체의 상부에 형성되는 소스 전극(126)과, 소스 전극(126)에 대응되게 배치되는 드레인 전극(125)를 포함할 수 있다.
- [0045] 터널링 절연체(124)는 모수석상 반도체 나노층(123)과, 금속 전극들 사이에서 발생하는 화학적 반응 또는 산화 반응을 기준치 이하로 차단하고, 접합에서의 전자 쌍극자를 형성하거나, 유전체 내 금속 유도 간격 상태의 감소에 작용할 수 있다.
- [0046] 도면부호 120은 모수석상(dendritic) 반도체 나노층과 금속 전극 사이에서 기준 두께 이내의 터널링 절연체를 이용하여, MIS(Metal-Insulator-Semiconductor) 접합 또는 터널링 접합 중에서 적어도 하나의 방식으로 형성된 광전자 소자이다.
- [0047] 이 경우, 터널링 절연체(124)는 Ta₂O₅, HfO₂, Al₂O₃, Al, TiO₂ 및 h-BN 중에서 적어도 하나를 이용할 수 있고, 이 중에서도 접합저항의 감소 효율을 높이기 위해 Ta₂O₅가 사용될 수 있다.
- [0048] 또한, 도면부호 120의 광전자 소자에 사용된 터널링 절연체(124)는 0.7nm 내지 3nm의 범위 내의 두께로 형성될

수 있으며, 특히, 0.7nm, 1.5nm, 2.2nm 및 3nm 중에서 적어도 하나의 기준 두께로 형성될 수 있다.

- [0049] 일실시예에 따른 광전자 소자는 트랜지스터로도 해석될 수 있으며, 다양한 두께의 Ta₂O₅가 ALD 방식으로 증착될 수 있다.
- [0050] 구체적인 예로, ALD 공정은 나노 물질에 적합하도록 200° C의 상대적으로 낮은 공정 온도를 사용할 수 있으며, 잠재적인 플라즈마 손상으로부터 ReS₂를 보호하기 위해 모든 플라즈마 지원 방법은 사용하지 않는다.
- [0051] Ta₂O₅ 필름의 XPS 결과는 이하, 도 5를 통해 다시 설명한다.
- [0052] 도 1c는 광전자 소자의 단면에 대한 EDS 매핑 결과를 나타낸다.
- [0053] 도면부호 130은 터널링 절연체가 없는 경우를 나타내고, 도 1d의 도면부호 140은 터널링 절연체로서 Ta₂O₅가 형성된 경우를 나타낸다.
- [0054] 이하에는 모수석상 반도체 나노층의 일례로, ReS₂ 필름으로 본 발명을 설명할 수 있다.
- [0055] 터널링 절연층이 있거나 없는 수직 성장 ReS₂ 필름의 통계적 접촉 저항 결과는 낮은 전도대 오프셋 60-62에서 ReS₂까지의 Ta₂O₅가 MIS 유전체로 사용될 수 있다.
- [0056] 본 발명을 위해, 일반 리소그래피를 사용하여 수백 개가 넘는 FET가 제작되었으며, 수직 구조의 접촉 저항을 조사하였다.
- [0057] 이황화 레늄 (ReS₂)은 수직으로 성장하는 데 특별한 방법이 필요하지 않은 vdW 결정으로서, 평면 플레이크의 이산 성장에 대한 몇 가지 보고서가 있지만 CVD ReS₂ 필름이 SiO₂에서 수직으로 성장하는 경향이 있다는 합의를 형성하기 위해 꽃과 같은 ReS₂ 필름을 보고하는 충분한 연구가 있다.
- [0058] ReS₂의 평면 외 성장 거동은 분자 구조와 밀접한 관련이 있다. MoS₂, WS₂ 및 WSe₂와 같은 대부분의 반도체 TMD는 본질적으로 에너지 적으로 유리한 2H 상 구조를 나타내며 단일 층 한계에서 간접에서 직접 밴드 갭 전이를 나타낸다.
- [0059] 이러한 TMD는 벌크 값에 비해 단층 밴드 갭 크기가 증가했으나, ReS₂는 벌크 값과 유사한 단층 밴드 갭 크기 (1.5-1.6eV)를 가진 직접 밴드 갭 TMD이며 간접에서 직접 밴드 갭 전이를 나타내지 않는다.
- [0060] 수직으로 성장하는 경향과 레이어 독립적 인 밴드 갭 속성은 ReS₂에서 1T 구조의 Peierls 왜곡으로 인한 층간 레지스트리의 상대적 부족 및 약한 층간 결합과 직접적으로 관련될 수 있다.
- [0061] 도 1c 및 1d는 TLM 구조의 현미경 이미지와, 그에 따른 저항의 변화를 나타낸다.
- [0062] 도 1c 및 1d를 살펴보면, Re와 S는 모두 하단 평면 내 ReS₂를 넘어 상단 외부 평면 레이어로 확장될 수 있다. 도면부호 130 및 140의 단면 TEM 이미지는 Ta₂O₅ 층이 평면 층과 평면 층의 상단 부분 모두에 코팅되었음을 나타낸다.
- [0063] Ta₂O₅ ALD 층, 즉 터널링 절연체가 있는 샘플의 계면에서도 Ta가 풍부한 층이 관찰된다. 한편, 터널링 절연체가 있는 샘플의 경우 Ti 접촉 금속도 더 균일하게 나타난다.
- [0064] 도 1e의 도면부호 150에서 보는 바와 같이, 소스-드레인 금속은 TLM 구조를 만들기 위해 패터닝될 수 있다.
- [0065] 일실시예에 따른 광전자 소자의 제조 방법은 도 2에서 다시 설명한다. 이 작업에서 수정없이 CVD로 성장한 ReS₂의 최저 비접촉 저항(ρ_c)은 도 1f의 도면부호 160에 표시된 것처럼 $4.63 \times 10^1 \Omega \text{ cm}^2$ 이다.
- [0066] 한편, 0.7 nm 두께의 Ta₂O₅를 가진 삽입 장치와 1.5 nm 두께의 Ta₂O₅를 가진 삽입 장치 사이에는 무시할 수 있는 ρ_c 차이가 있다. 그러나 최적화 된 Ta₂O₅ 두께 (2.2nm)를 삽입했을 때 ρ_c 는 도 1g의 도면부호 170과 같이 가장 낮은 $9.18 \times 10^{-4} \Omega \text{ cm}^2$ 를 기록했다. 비접촉 저항률 ρ_c 는 도면부호 170에서 보는 바와 같이 두께가 0에서 2.2nm로 증가함에 따라 크게 낮아질 수 있다.

- [0067] 터널링 절연체로 해석될 수 있는, 터널링 절연층이 없으면 금속 유도 겹 상태 (MIGS)의 침투로 인해 쇼트 키 장벽 높이가 높아진다.
- [0068] 그러나 터널링 절연층 절연을 사용하면 MIGS의 침투가 감소하여 쇼트 키 장벽 높이가 감소하고 쌍극자 형성으로 전하 중성이 유도된다.
- [0069] 참고로, 고정된 ReS_2 페르미 레벨과 MIS 접점의 밴드 다이어그램은 도 6에 개시되어 있고, 터널링 절연체를 0.7, 1.5 및 3nm 두께로 하고, Ta_2O_5 소재를 사용하는 샘플에 대한 접촉 저항 추출은 도 7에 설명되어 있다.
- [0070] 저항 대 접촉 거리의 플롯에서 다양한 Ta_2O_5 두께의 접점에 대한 ρc 를 추출할 수 있으며, 그 데이터는 도 1h의 도면부호 180으로 확인할 수 있다.
- [0071] 본 발명은 바람직한 통계 결과를 얻기 위해 각 두께에 대해 최소 4 개의 서로 다른 TLM 장치를 분석했다.
- [0072] 그 결과, 2.2 nm 두께의 Ta_2O_5 층을 삽입하면 ρc 가 3 자릿수 이상 감소했으나, 터널링 절연체 두께가 2.2nm를 초과하면 ρc 가 다시 증가함을 확인 했다.
- [0073] 이러한 현상은 쇼트 키 장벽 저항(RSB)과 터널링 저항(RT) 간의 트레이드 오프 관계에서 이해할 수 있다.
- [0074] 큰 쇼트 키 장벽으로 인해 유전체 층이 없을 때 RSB가 접촉 저항을 지배하게 되는데, 얇은 유전체를 삽입하면 유전체 추가로 인해 RT가 약간 증가하더라도 RSB가 크게 낮아질 수 있다. 따라서 전체 접촉 저항이 크게 감소한다.
- [0075] 층간 두께에 대한 ρc 의 유사한 의존성은 다른 MoS_2 및 MIS 접점이 있는 WS_2 FET에 대해보고 되었으며, 밸리 곡선의 관찰된 추세를 설명하기 위해 추가 터널링 저항을 고려하는 모델이 호출될 수 있다.
- [0076] 도 2는 모수석상 반도체 나노층과 금속 전극 간에 터널링 절연체를 형성하여 광전자 소자를 제조하는 방법을 설명하는 도면이다.
- [0077] 일실시예에 따른 광전자 소자의 제조 방법은 기판(201) 상에 산화층(202)을 형성하고, 형성된 산화층 상에 필름(203)을 형성한 후 포토 레지스트(204)를 스핀 코팅할 수 있다(단계 210).
- [0078] 예를 들어, 일실시예에 따른 광전자 소자의 제조 방법은 2000rpm으로 20초 동안 스핀 코팅을 수행하고, 스핀 코팅된 기판을 180° C에서 15분 동안 PMMA(polymethyl methacrylate)를 형성할 수 있다.
- [0079] 일실시예에 따른 광전자 소자의 제조 방법은 산화층으로부터 필름(203) 및 포토 레지스트(204)로 이루어진 구조물을 분리시킬 수 있다(단계 220).
- [0080] 일실시예에 따른 광전자 소자의 제조 방법은 포토 레지스트(204)가 상부를 향하도록 구조물을 백게이트용 기판(205) 상에 접합시킬 수 있다(단계 230).
- [0081] 백게이트용 기판(205)으로서, HfO_2 를 이용하여 초음파 세척된 기판에 백 게이트 기판을 트랜스퍼하고, 패터닝을 위해 트랜스퍼된 기판에 아세톤을 이용하여 세척하고, 다시 IPA 및 에탄올을 이용하여 기판의 표면을 닦아 내는 과정을 수행할 수 있다.
- [0082] 일실시예에 따른 광전자 소자의 제조 방법은 포토 레지스트 상에 광을 조사하여(단계 240), 선정된 패터닝을 갖도록 필름을 패터닝하여 모수석상 반도체 나노층(206)을 형성할 수 있다(단계 250).
- [0083] 일례로, 산소 플라즈마를 이용하여 패터닝을 수행할 수 있고, 산소 플라즈마를 60와트의 전력으로 60초 동안 발생시켜, ReS_2 를 2차 세척된 기판 상에 패터닝할 수 있다.
- [0084] 일실시예에 따른 광전자 소자의 제조 방법은 형성된 모수석상 반도체 나노층(206) 상에 터널링 절연체(207)를 형성하고(단계 260), 형성된 터널링 절연체(207) 상에 소스 전극과 드레인 전극을 포함하는 금속 전극(208)을 형성할 수 있다(단계 270).
- [0085] 단계 280은 단계 260 내지 단계 270에 대비될 수 있는 제조 과정으로서, 터널링 절연체(207)를 삽입하지 않는 일반적인 과정을 나타낸다.
- [0086] 일실시예에 따른 광전자 소자의 제조 방법은 패터닝 상에 원자층증착(ALD)을 이용하여 Ta_2O_5 를 배치함으로써, 터

터널링 절연체를 이용하여 접합저항을 현저하게 줄인 광전자 소자를 제조할 수 있다.

- [0087] 이 과정에서, 패터닝 상에 원자층증착(ALD)을 이용하여 Ta_2O_5 를 배치 하기 위해, $200^\circ C$ 의 온도로 0.7, 1.5, 2.2, 및 3nm 중에서 적어도 하나의 두께로 배치할 수 있다.
- [0088] 결국, 이러한 과정을 통해 제조된 광전자 소자는 모수석상 반도체 나노층과 금속 전극 사이에 얇은 터널링 절연체를 사용하여 접합저항의 감소로 인해 전자전기분야에 적용시킬 수 있고, 특히, 페르미 레벨 피닝 현상을 보완할 수 있어 반도체 분야에도 적용할 수 있다.
- [0089] 뿐만 아니라, 이러한 과정을 통해 제조된 광전자 소자는 얇은 터널링 절연체를 이용함으로써 금속과 모수석상 반도체 나노층 사이의 화학적 반응을 방지하고 산화 반응을 방지하는 보호막을 형성할 수 있다.
- [0090] 또한, MIS 접합을 이용한 트랜지스터를 이용함으로써, MIS 접합을 이용하지 않은 트랜지스터보다 접합저항이 적고 드라이브 전류가 최대 50배 이상 증가시킬 수 있고, 모수석상 반도체 나노층과 금속 전극 사이에 얇은 터널링 절연체를 사용함으로써 접합저항이 줄어 더 높은 드라이브 전류를 대폭 높일 수 있다.
- [0091] 일실시예에 따르면, MIS 접합을 이용한 모수석상 반도체 나노층의 트랜지스터에 기반한 광전자 소자를 이용함으로써 초고밀도 회로의 중요한 기반을 제공할 수 있다.
- [0092] 도 3a 내지 도 3c는 Ta_2O_5 및 TiO_2 코팅층이 있는 ReS_2 장치의 단면 TEM 이미지들을 나타낸다.
- [0093] 영역의 크기는 수 nm 정도이며 Ti 접촉이 있는 깨끗한 ReS_2 에서 볼 수 있듯이 하부 평면 영역이 상부 금속 재료에 국부적으로 침투 한 것으로 나타나고, 이는 직접 금속 증착으로 인한 확산 또는 결함을 나타낼 수 있다.
- [0094] 이 중에서, 도 3a의 도면부호 310은 pristine ReS_2 , 도 3b의 도면부호 320은 $ReS_2 + ALD Ta_2O_5$, 도 3c의 도면부호 330은 $ReS_2 + e\text{-beam 증발 } TiO_2$ 의 차이를 나타낸다.
- [0095] 도 4a 및 도 4b는 ALD 필름이 있는 경우와 없는 수직 성장 ReS_2 의 AFM 결과를 나타낸다.
- [0096] 도 4a의 도면부호 410은 깨끗한 상태를 나타내고, 도 4b의 도면부호 420은 1.5nm 두께의 Ta_2O_5 ALD 공정 후의 상태를 나타낸다.
- [0097] 도 4b의 꽃과 같은 표면 프로파일은 ALD 필름 증착 후에 유지되는 것으로 나타난다.
- [0098] 도 5a 및 도 5b는 ALD 시스템으로 증착된 Ta_2O_5 의 XPS 결과를 나타낸다.
- [0099] 먼저, 도 5a의 도면부호 510은 XPS Ta4f 스펙트럼을 나타내고, 도 5b의 도면부호 520은 Ta_2O_5 층의 O1sS2p 스펙트럼을 나타낸다.
- [0100] 도 5a의 도면부호 510에서 보는 바와 같이, XPS 스펙트럼은 각각 Ta_2O_5 레이어에 대해 Ta4f 및 O1을 나타내고, Ta 신호의 경우 ~ 26 및 ~ 28 eV에 위치한 두 개의 피크는 각각 Ta의 4f7 / 2 및 4f5 / 2 코어 레벨 피크로 해석될 수 있다. 또한, 530.5 eV의 피크는 O의 1 초 코어 레벨 피크를 나타낸다.
- [0101] 이러한 결과는 일관되게 측정되며, 따라서 Ta_2O_5 층에서 32.44 % Ta4f 및 67.56 % O1이 관찰되어 터널링 절연층의 Ta / O 원자 비가 약 0.48임을 알 수 있다. 이 결과는 Ta_2O_5 층이 합리적으로 화학 양론적임을 나타낸다.
- [0102] 도 6a 내지 도 6c는 고정 된 ReS_2 페르미 레벨 및 MIS 접촉 ReS_2 의 밴드 다이어그램을 나타낸다.
- [0103] 특히 도 6a의 도면부호 610은 고정 된 ReS_2 페르미 레벨의 회로도 밴드 다이어그램으로서, 금속과 ReS_2 가 직접 접촉하고 있으며, MIGS의 침투로 인해 쇼트 키 장벽 높이가 높다. 한편, 도 6b의 도면부호 620은 금속과 ReS_2 사이에 Ta_2O_5 가 삽입된 회로도 밴드 다이어그램을 나타낸다.
- [0104] 도면부호 도 6b의 도면부호 620에서와 같이, 금속 파동 기능은 갭 상태에서 감쇠될 수 있다.
- [0105] 이 중에서, Schottky 장벽은 감소하고 터널링 저항은 Ta_2O_5 터널링 층으로 인해 작은 것으로 나타난다.
- [0106] 한편, 도면부호 630은 금속과 ReS_2 사이에 Ta_2O_5 가 삽입 된 회로도 밴드 다이어그램을 나타낸다.
- [0107] 도 6c의 도면부호 630에서와 같이, 계면에서의 쌍극자 형성은 또한 효과적인 쇼트 키 장벽을 낮출 수 있고, van

der Waals heterointerfaces의 쌍극자는 Ta_2O_5 와 ReS_2 사이의 전하 중성 레벨 불일치로 인해 발생한다.

[0108] MIGS는 도면부호 610과 같이 금속 접촉에 대한 쇼트 키 장벽 높이를 높일 수 있다.

[0109] 이것은 인터페이스의 고유 페르미 레벨을 갭 상태의 전하 중성 레벨쪽으로 당길 수 있으며, 도면부호 620에서 나타나는 MIGS의 침투는 Ta_2O_5 절연체를 사용하여 감소되어 쇼트 키 장벽 높이가 감소하게 된다.

[0110] 그 결과 고유 페르미 레벨을 전하 중립 레벨로 이동하는 데 사용할 수 있는 전하가 줄어 들 수 있다.

[0111] 도 6c의 도면부호 630에서와 같이, 절연체-반도체 또는 금속-절연체 인터페이스에서의 쌍극자로 형성될 수 있다.

[0112] 금속 / Ta_2O_5 인터페이스의 쌍극자는 금속 페르미 레벨과 Ta_2O_5 전하 중성 사이의 전하 이동의 결과로 형성될 수 있다.

[0113] 한편, 반대 극성의 계면 쌍극자는 인터페이스에서 전하를 중화하고 고유 페르미 레벨이 전하 중성 레벨로 이동하는 것을 방지하여 쇼트 키 장벽 높이를 감소시킬 수 있다.

[0114] 도 7a 내지 도 7c는 다양한 Ta_2O_5 층간 두께를 사용한 저항 대 채널 길이의 전형적인 플롯을 나타낸다.

[0115] 도 7a의 도면부호 710은 Ta_2O_5 층간 두께가 0.7nm인 경우, 도 7b의 도면부호 720은 Ta_2O_5 층간 두께가 1.5nm인 경우, 도 7c의 도면부호 730은 Ta_2O_5 층간 두께가 3nm인 경우에서 채널 길이(channel length)에 따른 전체 저항(total resistance)을 나타낸다.

[0116] 도 8a 및 도 8b는 Ta_2O_5 터널링 절연체의 두께에 따라 추출되는 구동 전류 추출을 나타낸다.

[0117] 도 8a의 도면부호 810은 터널링 절연체가 없는 경우에서 추출되는 구동전류를 나타내고, 도 8b의 도면부호 820은 터널링 절연체의 두께가 2.2nm인 경우에서의 ReS_2 트랜지스터에 대한 임계 전압 (V_{th}) 및 증가 된 구동 전류 추출을 나타낸다.

[0118] 이 결과, 전계 효과 이동도 (μ_{FE})는 [수학식1]에 개시된 방정식을 사용하여 추정될 수 있다.

[0120] [수학식 1]

$$\mu_{FE} = \left(\frac{\partial I_{DS}}{\partial V_{GS}} \right) \left(\frac{L}{WC_{ox}V_{DS}} \right)$$

[0121]

[0123] 여기서 L과 W는 채널 길이 ($2\mu m$)와 너비 ($80\mu m$)이고, C_{ox} 는 $0.25\mu F/cm^2$ 의 산화물 커패시턴스이고, V_{DS} 는 1V의 드레인-소스 바이어스로 해석될 수 있다.

[0124] On / off 비율은 $V_{DS} = 1V$ 및 $V_{bg} = 0, 11V$ 에서 추출될 수 있고, 게이트 누설 전류는 $V_{DS} = 1V$ 및 $V_{bg} = 11V$ 에서 추출될 수 있다.

[0125] 아래 [표 1]은 도 3에서 추출한 다양한 Ta_2O_5 두께에 대한 ReS_2 FET의 μ_{FE} 를 나타낸다.

[0126] 2.2nm 두께의 Ta_2O_5 샘플을 사용하는 ReS_2 FET의 경우 μ_{FE} 는 $0.07cm^2 / V^{-1}s^{-1}$ 로 터널링 절연층 없이 준비된 장치에서 얻은 값 ($0.0004cm^2 / V^{-1}s^{-1}$)보다 100 배 이상 높게 나타난다.

[표 1]

도 3	$\mu_{FE}(\text{cm}^2\text{V}^{-1}\text{s}^{-1})$	$V_{TH}(\text{V})$	On/Off ratio	$I_{\text{Gate-leakage}}(\text{nA})$
Ta ₂ O ₅ (0nm)	0.0004(100%)	7.5	12	1.6
Ta ₂ O ₅ (0.7nm)	0.036(8782%)	8.2	101	8.76
Ta ₂ O ₅ (1.5nm)	0.039(9739%)	8.95	714	1.25
Ta ₂ O ₅ (2.2nm)	0.07(17352%)	9.4	448	2.85
Ta ₂ O ₅ (3nm)	0.01(2354%)	8	195	1.58

아래 [표 2]는 도 5와 6에서 추출한 다양한 재료 (제조 방법)에 대한 ReS₂ FET의 μ_{FE} 를 나타낸다.

이 결과는 나노 물질의 스텝 커버리지가 밴드 정렬보다 더 중요하다는 것을 도시한다.

[표 2]

도 5, 6	$\mu_{FE}(\text{cm}^2\text{V}^{-1}\text{s}^{-1})$	$V_{TH}(\text{V})$	On/Off ratio	$I_{\text{Gate-leakage}}(\text{nA})$
Pristine	0.0006(100%)	7.5	47	0.58
h-BN(transfer)	0.0019(302%)	7.7	65	0.94
TiO ₂ (e-beam)	0.0028(451%)	7.7	125	0.57
Al(e-beam)	0.0038(613%)	7.2	45	4.22
Al ₂ O ₃ (ALD)	0.013(2126%)	7.5	6	142
HfO ₂ (ALD)	0.016(2603%)	7.25	12	79
Ta ₂ O ₅ (ALD)	0.012(6965%)	8.95	642	2.08

도 9a 내지 도 9f는 동일한 y 축 (IDS) 스케일에서 다양한 Ta₂O₅ 두께에 대한 ReS₂ FET의 I-V 특성을 나타낸다.

V_{bg}가 긍정적으로 증가함에 따라 IDS가 증가하여 n형 반도체 동작을 나타낸다.

도 9a의 도면부호 910은 터널링 절연체를 사용하지 않는 경우에서의 n형 반도체 동작을 나타낸다.

또한, 도 9b의 도면부호 920은 0.7nm 두께의 Ta₂O₅, 도 9c의 도면부호 930은 1.5nm 두께의 Ta₂O₅, 도 9d의 도면부호 940은 2.2nm 두께의 Ta₂O₅, 도 9e의 도면부호 950은 3nm 두께의 Ta₂O₅에 대한 ReS₂ FET의 I-V 특성을 나타낸다.

한편, 도 9f의 도면부호 960은 터널링 절연체를 사용하지 않는 경우에 대비하여, 터널링 절연체를 사용하는 경우에서 R_c가 감소되는 패턴을 확인할 수 있다.

가장 낮은 p c를 나타내는 2.2nm 두께의 Ta₂O₅ 터널링 절연층 삽입으로 인해 최대 온 전류가 약 55 배 증가함을 확인할 수 있다(IDS = 47nA에서 2.58 μ A, V_{DS} = 2V, V_{bg} = 11V).

또한, 도 9e의 도면부호 950에서와 같이, 두께가 3nm로 증가하면 전류 흐름도 제한되어(V_{DS} = 2V 및 V_{bg} = 11V에서 IDS = 2.58-0.38 μ A) RT가 캐리어 전송을 지배하기 시작함을 보여준다.

도 9f의 도면부호 960은 V_{bg} = 11V에서 다양한 유전체 두께에 대한 on-current 비교를 나타낸다. 유전체 층이 있거나 없는 장치에 대한 I-V 곡선의 선형 플롯은 도 8a 또는 도 8b에 개시되어 있다. Ta₂O₅ 두께가 다양한 캐리

어 수송 특성에 대한 자세한 내용은 위 [표 1]를 통해 확인이 가능하다.

[0143] 도 10a는 RSB 감소를 이해하기 위해 온도에 따른 캐리어 전송 측정이 수행된 결과를 나타낸다.

[0144] RSB 감소를 이해하기 위해 온도에 따른 캐리어 전송 측정이 수행되었다. 도 4에서 볼 수 있듯이 Ta₂O₅ 두께에 따라 효과적인 Schottky 장벽 높이 Φ_{SB} 를 추출할 수 있다. 하단 게이트 바이어스가 평탄 대역 아래에 있을 때 전류 레벨은 I_d 가 드레인 전류, k_B 는 Boltzmann 상수, q 는 전하, A 는 Richardson 상수, V_d 는 드레인-소스 전압 (1V)으로 표시될 수 있다.

[0145] 도 10a의 도면부호 1010은 MIS 콘택이 없는 경우, 도면부호 1020은 MIS 콘택이 없는 경우를 나타낸다.

[0146] MIS 콘택이 있거나 없는 밴드 다이어그램은 서로 다른 게이트 전압에서 열 이온 방출 전류와 열 보조 터널링 전류의 영향을 나타낸다.

[0147] vdW 레이어드 재료의 자연스러운 표면은 대부분의 경우 공유 결합을 생성하지 않는다.

[0149] [수학식2]

$$I_d = AT^2 \exp\left(-\frac{q\Phi_{SB}}{K_B T}\right) \left[\exp\left(-\frac{qV_d}{K_B T}\right) - 1 \right]$$

[0150]

[0152] 따라서 금속과 vdW 레이어드 재료 구성 사이의 인터페이스는 대부분의 조건에서 vdW 갭에 의해서만 생성 될 수 있다. 이 인터페이스의 vdW 갭은 추가 장벽으로 효과적으로 작동하여 전하 주입을 줄여 더 높은 R_c 를 형성할 수 있다.

[0153] 또한, 게이트 전압이 VFB (flat-band bias) 미만이면 열 이온 방출이 캐리어 흐름을 지배할 수 있다.

[0154] 한편, V_{GS} 가 V_{FB} 보다 크면 열 보조 터널링 전류가 중요 해지고 전류 수준은 열 방출 이론에서 벗어나고, 이로 인해 비선형 동작이 발생한다.

[0155] 열 보조 터널링은 전류에 기여하지 않기 때문에, 쇼트 키 장벽은 게이트 바이어스가 플랫 밴드 전압과 같을 때 만 슬로프에서 정확하게 추출 할 수 있다.

[0156] 터널링 전류는 게이트 바이어스가 유사하거나 플랫 밴드 전압보다 낮을 때만 무시할 수 있다. MIS 콘택의 경우 층간 두께가 증가함에 따라 R_c 를 감소시키는 Φ_{SB} 의 감소와 삽입된 층간을 통한 터널링 확률 감소 사이에 절충안이 존재하여 R_c 를 증가시킬 수 있다.

[0157] 도 10b 내지 도 10g는 Ta₂O₅ 두께가 다른 게이트 바이어스의 함수로서 효과적인 쇼트 키 장벽 높이를 나타낸다.

[0158] 도 10b의 도면부호 1030은 터널링 절연체를 사용하지 않는 경우에서의 쇼트 키 장벽 높이를 나타낸다.

[0159] 또한, 도 10c의 도면부호 1040은 0.7nm 두께의 Ta₂O₅, 도 10d의 도면부호 1050은 1.5nm 두께의 Ta₂O₅, 도 10e의 도면부호 1060은 2.2nm 두께의 Ta₂O₅, 도 10f의 도면부호 1070은 3nm 두께의 Ta₂O₅에 대한 쇼트 키 장벽 높이를 나타낸다. 또한 도 10g의 도면부호 1080은 다양한 두께에 따른 Φ_{SB} 의 변화를 도시한다.

[0160] 즉, 플랫 밴드 바이어스 조건에서 효과적인 전자 Φ_{SB} 값은 도 10g의 도면부호 1080에 개시된 Φ_{SB} 대 V_{GS} 곡선을 사용하여 얻을 수 있다.

[0161] 고정 드레인 바이어스에서 $\ln(I_d / T_2)$ 값은 Arrhenius 플롯에 표시될 수 있다.

[0162] 예상대로 MIS 접촉이 없는 장치에 대해 추출 된 쇼트 키 장벽은 도 10b의 도면부호 1030에서 볼 수 있듯이 높은 것으로 나타난다(157meV).

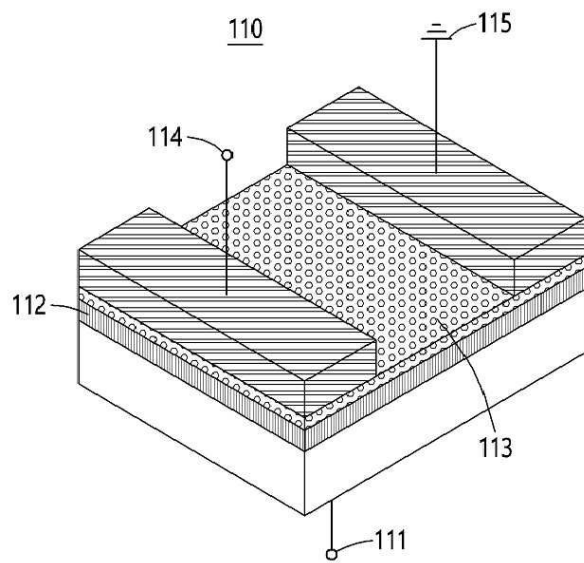
- [0163] 0.7nm 두께와 1.5nm 두께의 Ta₂O₅ 삽입 장치 사이의 장벽 높이에는 무시할 만한 차이가 있으나, 2.2nm 두께의 Ta₂O₅를 삽입 한 후 장벽 높이가 52 meV로 감소했다.
- [0164] Φ_{SB} 의 이러한 변화는 특정 접촉 저항이 크게 감소하기 때문에 소자 전류에 상당한 영향을 미쳤으며, RSB 감소의 반대 효과와 두꺼운 유전체로 RT 증가로 인해 최적의 두께를 결정할 수 있다.
- [0165] 그러나 유전체 두께가 최적 값 (2.2nm) 이상으로 증가하면 RT가 지배하기 시작하고 전류가 낮아져 접촉 저항이 증가한다.
- [0166] 도 11a는 ALD 방법에만 초점을 맞추고 ReS₂에 대한 다양한 밴드 에지 정렬을 통해 다양한 산화물 재료의 효과를 나타낸다.
- [0167] 도 11a의 도면부호 1110에서 보는 바와 같이, 다양한 두께가 가능하지만 터널링 절연층의 물리적 두께의 1.5nm 가 금속 접점과 ReS₂ 사이에 삽입될 수 있고, 관련된 MoS₂ MIS 접촉 연구에서는 비슷한 두께 (1-2 nm)를 사용했다.
- [0168] 터널링 절연체를 제외하고 모든 디바이스는 디바이스 불일치로 인한 오류를 방지하기 위해 동일한 성장 샘플과 동일한 제조 배치로 제작될 수 있다.
- [0169] 또한, 각 플롯은 서로 다른 재료에 대한 대표 플롯 (최고 전류 레벨)을 보여주며, 도면부호 1110은 이전 작업에서 수행된 Al₂O₃, HfO₂ 및 Ta₂O₅에서 사용된 ReS₂ 및 다양한 터널링 절연층의 밴드 정렬을 도시한다.
- [0170] 도 11b 내지 도 11e는 ALD 공정으로 제작 된 다양한 터널링 절연층이 있거나 없는 ReS₂ FET의 출력 곡선을 나타낸다.
- [0171] 도 11b의 도면부호 1120은 터널링 절연체를 사용하지 않는 경우, 도 11c의 도면부호 1130은 1.5nm 두께의 Al₂O₃ 터널링 절연체를 사용하는 경우, 도 11d의 도면부호 1140은 1.5nm 두께의 HfO₂ 터널링 절연체를 사용하는 경우, 도 11e의 도면부호 1150은 1.5nm 두께의 Ta₂O₅ 터널링 절연체를 사용하는 경우를 나타낸다.
- [0172] 이 중에서, 도 11e의 도면부호 1150에 해당하는 터널링 절연체의 전도 밴드 에지 정렬이 가장 우수하며, 특히 Al₂O₃ 및 HfO₂에 비해 포지티브 바이어스에서 적당히 더 나은 결과를 나타낼 수 있다.
- [0173] 도 12a 내지 도 12e는 다양한 증착 방법에 따른 중간막의 효과를 나타낸다.
- [0174] h-BN 단층(기존 습식 전사), TiO₂ (E- 빔 증발) 및 알루미늄 (Al) (E- 빔 증발) 터널링 절연층을 포함하는 MIS 접점이 있는 ReS₂ FET는 비교를 위해 표시된다.
- [0175] 각 플롯은 다양한 방법에 대해 가장 높은 전류 수준을 가진 대표 플롯을 도시하며, 도 12a의 도면부호 1210은 h-BN, TiO₂ 및 Al₂O₃에 사용 된 ReS₂ 및 다양한 터널링 절연층의 밴드 정렬을 나타낸다.
- [0176] 이하, 도 12b 내지 도 12e를 통해 도시된 도면부호 1220 내지 1260은 다양한 증착 공정으로 제작된 터널링 절연층이 있는 ReS₂ FET의 출력 곡선을 도시한다.
- [0177] 도 12b의 도면부호 1220은 h-BN 단일 레이어를 터널링 절연층으로 사용한 ReS₂ FET의 출력 특성을 도시한다. 단일 층 h-BN이 이전 작업에서 가장 효과적인 것으로 밝혀 졌기 때문에 다중 층 대신 단일 층 h-BN이 사용될 수 있고, on-current는 h-BN SL interlayer의 삽입으로 인해 두 배 이상 증가했다. 이 결과는 h-BN 터널링 절연층이 있는 이전 MoS₂ FET의 I-V 특성과 일치함이 확인된다.
- [0178] 도 12c의 도면부호 1230와 도 12d의 도면부호 1240은 각각 Al 및 TiO₂가있는 ReS₂ FET의 출력 특성을 보여주며, e- 빔 증착으로 증착 되었다.
- [0179] Al 터널링 절연층이 있는 ReS₂ FET는 TiO₂ 터널링 절연층이 있는 ReS₂ FET보다 높은 전류 레벨을 나타내지만 둘 다 전자빔 증착을 사용하여 증착 되었다. 이러한 효과는 Al이 대기 중 산소와 반응하여 Al₂O₃의 얇은 층을 형성하여 산소 침투를 더욱 억제함으로써 발생했을 수 있다.
- [0180] 또한 Al은 페르미 레벨을 전도대로 이동시키는 효과적인 전자 공여체 일 수도 있다. 도 12d의 도면부호 1250에

서 볼 수 있듯이, 또한 다른 방법으로 증착 된 Al_2O_3 의 효과와 비교가 가능하다.

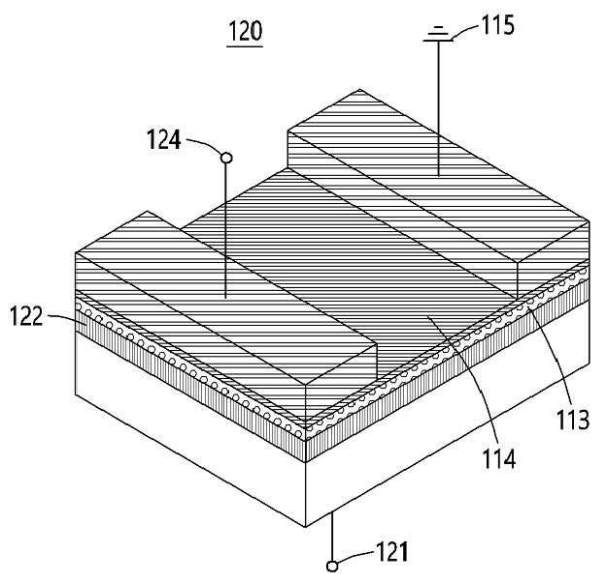
- [0181] ALD 샘플의 전류는 전자빔 증발 샘플의 전류에 비해 약 5 배 더 높음을 확인할 수 있다. 특히, 평범한 전류 레벨의 비대칭 출력 특성과 비교하여 ALD Ta_2O_5 레이어가 있는 트랜지스터의 우수한 전류 레벨을 확인할 수 있다.
- [0182] 다른 vdW 레이어 TMD와 마찬가지로 ReS_2 는 금속과의 접촉시 페르미 레벨 고정에 취약하다.
- [0183] 도 12e의 도면부호 1260은 $V_{\text{DS}} = 1\text{V}$ 및 $V_{\text{bg}} = 11\text{V}$ 에서 다양한 터널링 절연층 및 기술과의 전류 비교를 나타낸다. 장치 개선에 대한 명확한 통계 분석을 위해 30 개 이상의 FET를 제작하고 각 접근 방식에 대해 측정하였으며, 이 과정에서 확인되는 변동 수준은 도면부호 1260에 각 로트의 표준 오류 값을 나타내는 오류 막대로 표시될 수 있다.
- [0184] ALD Ta_2O_5 에서 가장 좋은 결과는 터널링 절연층이 없는 장치의 결과에 비해 oncurrent 수준이 급격히 증가한 것으로 나타났으며, 밴드 에지 정렬이 고성능에 중요하지만 ALD의 제조 공정과 컨 포멀 코팅 능력이 전체 구동 전류에도 더 중요한 영향을 미치는 것으로 나타났다.
- [0185] 다양한 터널링 절연층이 있는 FET의 전송 특성에 대한 자세한 내용은 [표 2]에 설명되어 있으며 각 공정, 방법 및 재료에 대한 출력 곡선은 도 9를 통해 확인이 가능하다.
- [0186] 결론적으로 본 발명은 ReS_2 와 같이, 수직으로 성장한 모수석상(dendritic) 반도체 나노층의 Schottky 장벽 변조에 초점을 맞추어 접촉 저항을 낮추고 캐리어 전송 특성을 개선할 수 있다.
- [0187] 따라서, 기판에 평평하게 놓인 일반적인 2H 상 TMD와 달리 넓은 표면적과 노출 된 화학적 활성 가장자리의 특징을 갖는 모수석상(dendritic) 반도체 나노층의 장점을 그대로 유지할 수 있다.
- [0188] 접촉 저항은 캐리어 전송의 효율성에 직접적인 영향을 미치는 중요한 기생 구성 요소 이므로 이 결과는 촉매 작용, 센서 및 전기 화학 에너지 저장과 같은 수직 TMD의 혜택을 받는 응용 분야에 특히 의미가 있다.
- [0190] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0191] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

도면1a

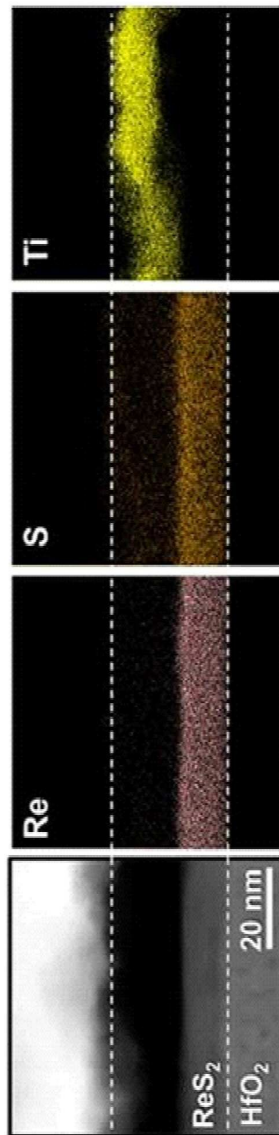


도면1b

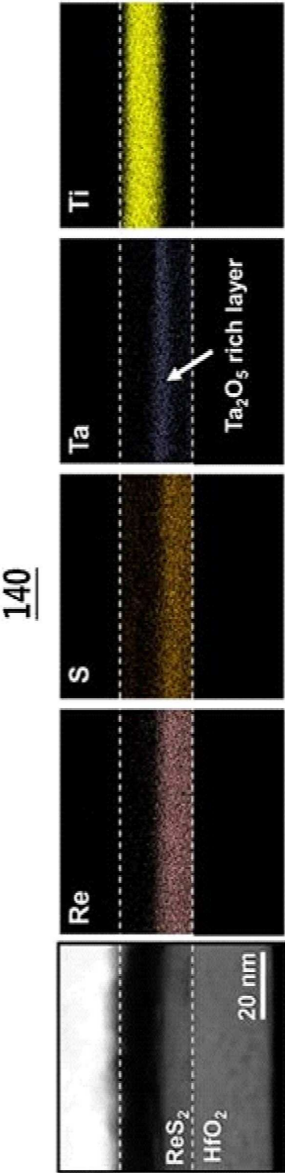


도면1c

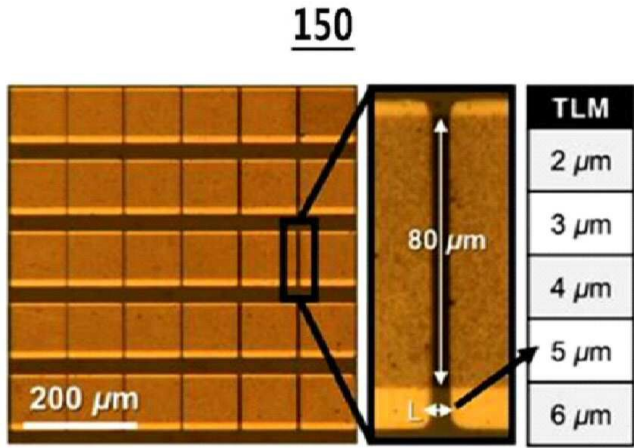
130



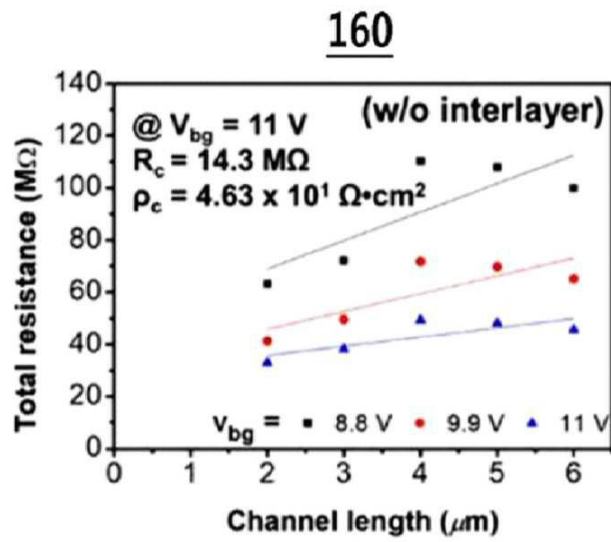
도면1d



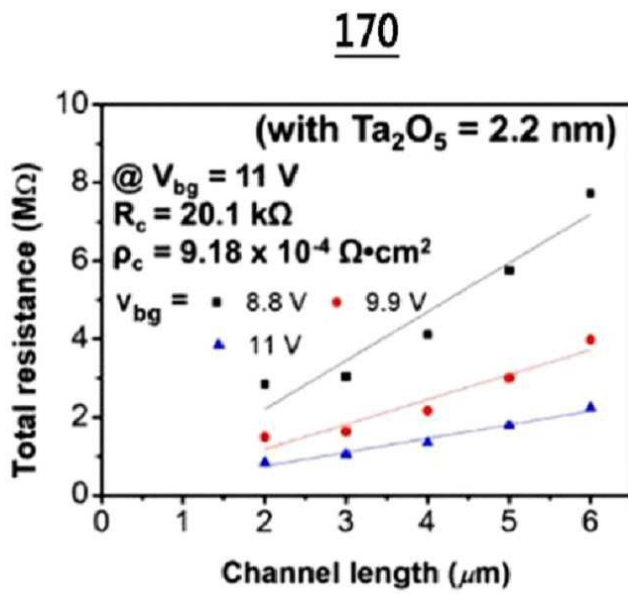
도면1e



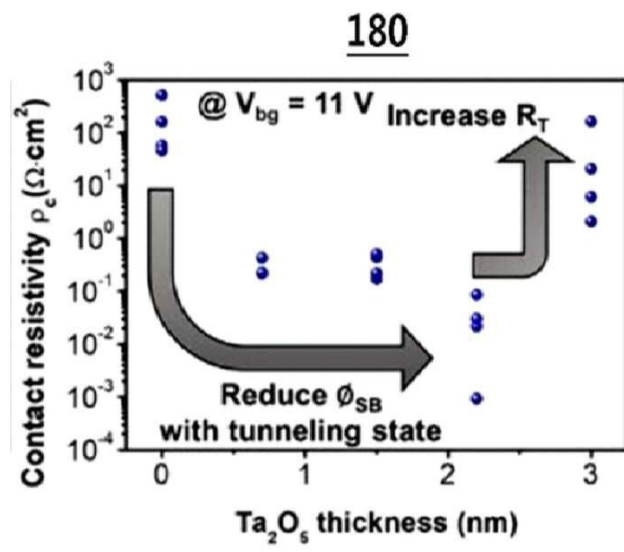
도면1f



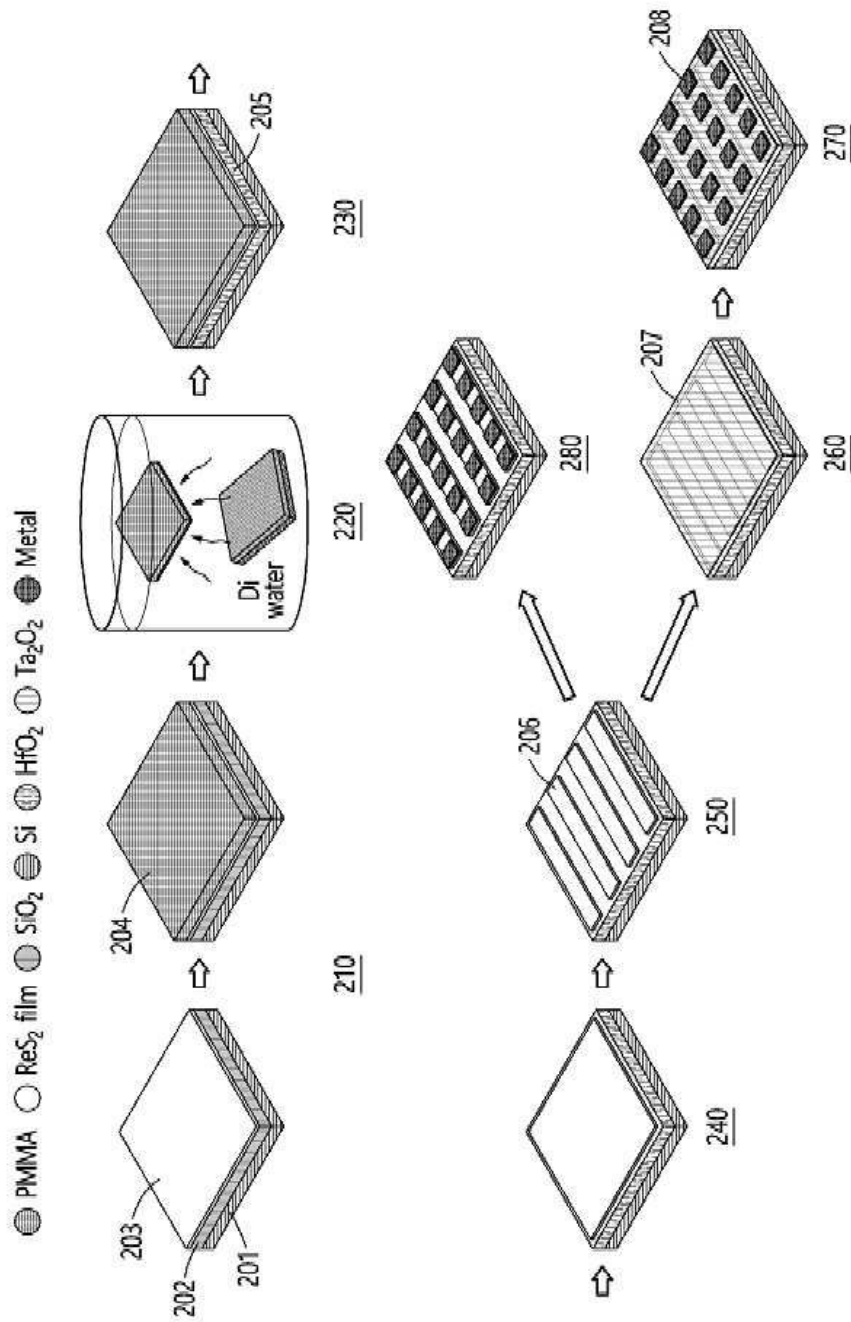
도면1g



도면 1h

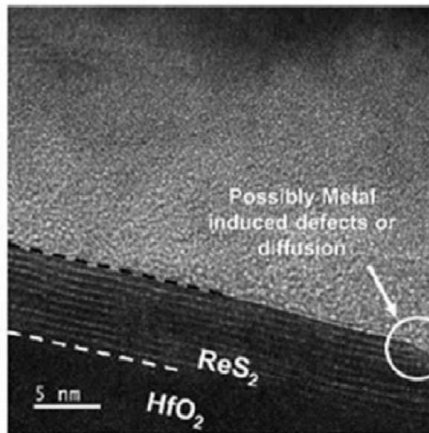


도면2



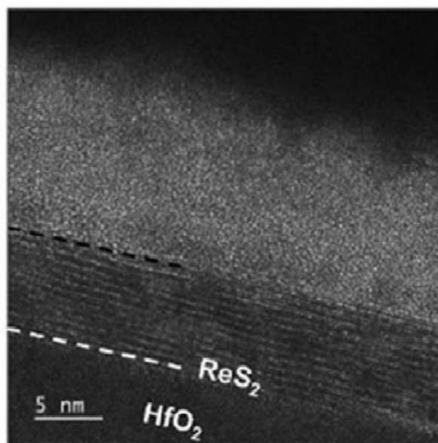
도면3a

310



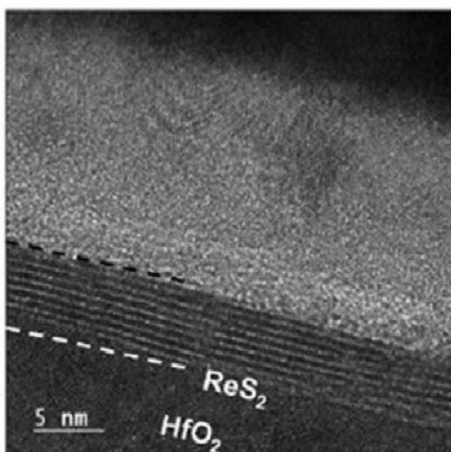
도면3b

320

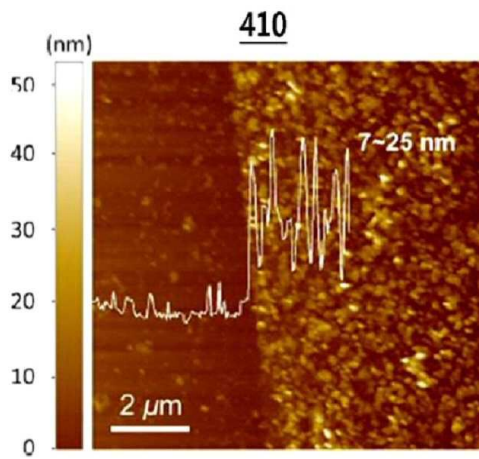


도면3c

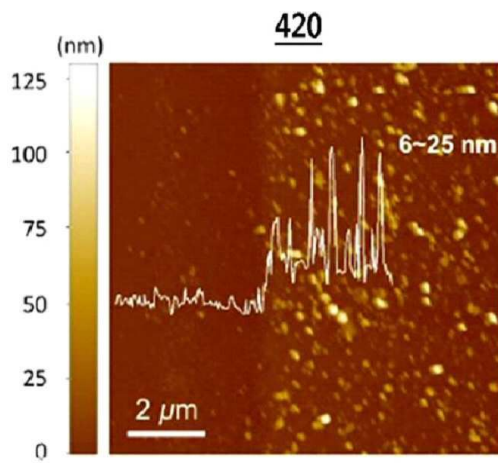
330



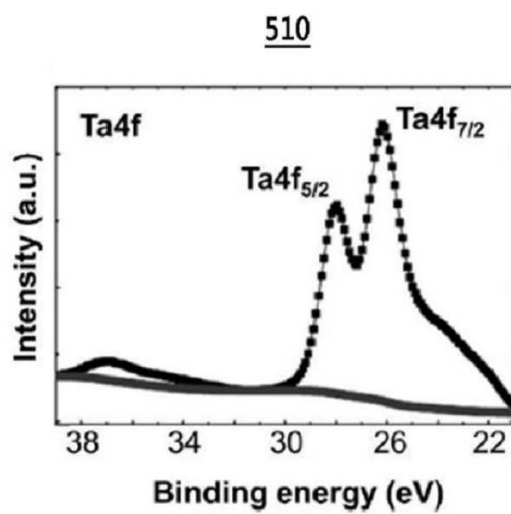
도면4a



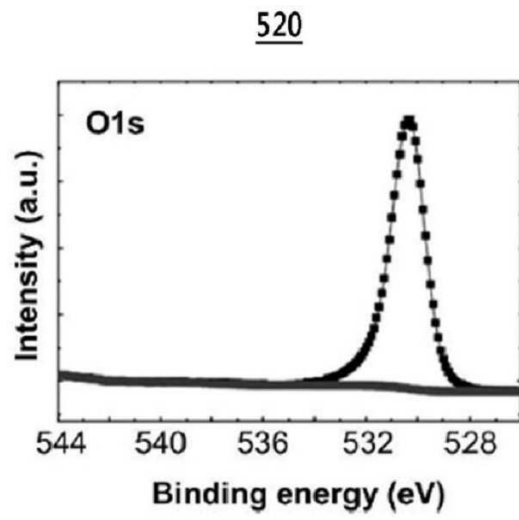
도면4b



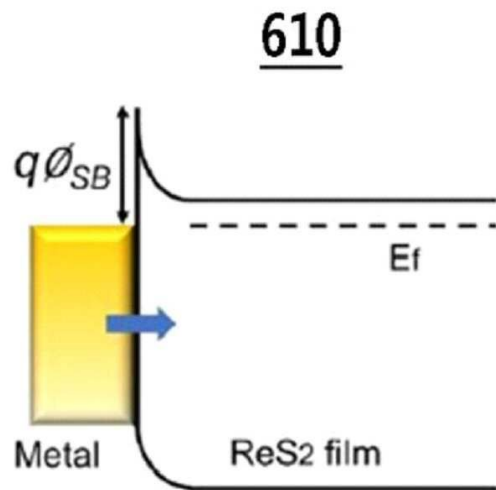
도면5a



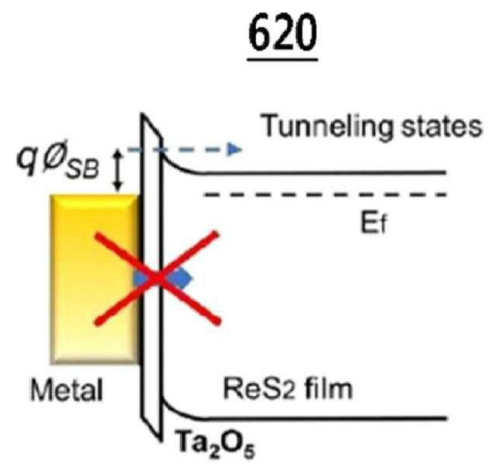
도면5b



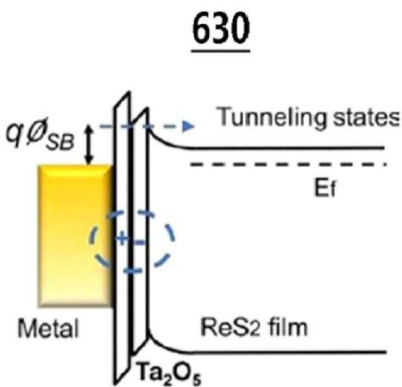
도면6a



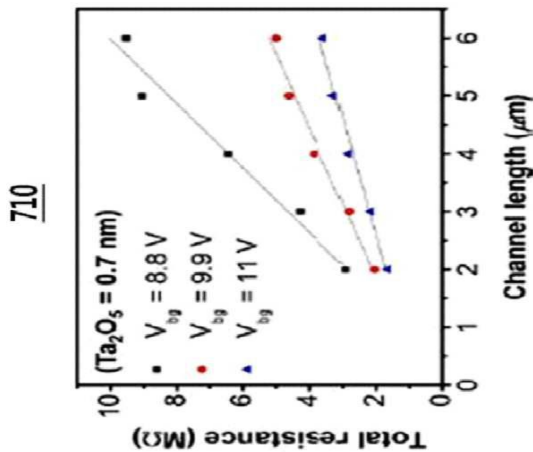
도면6b



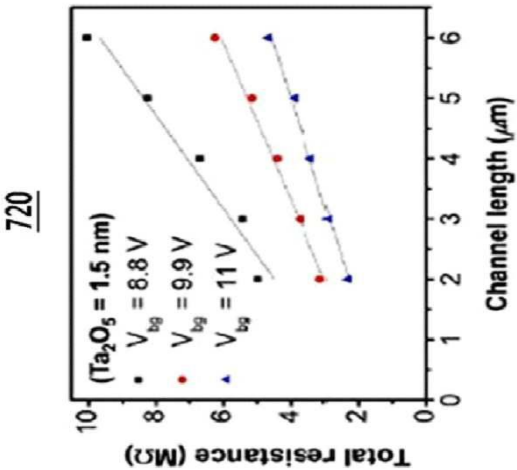
도면6c



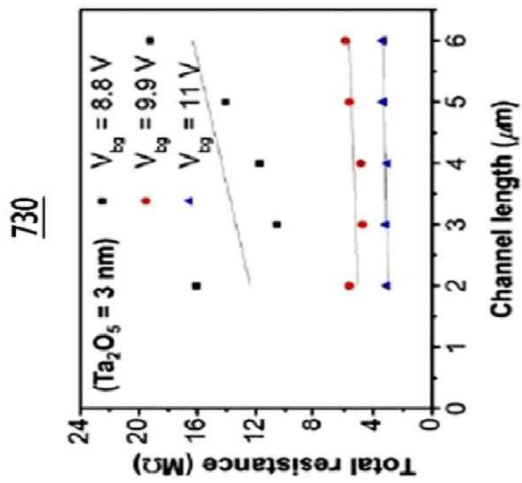
도면7a



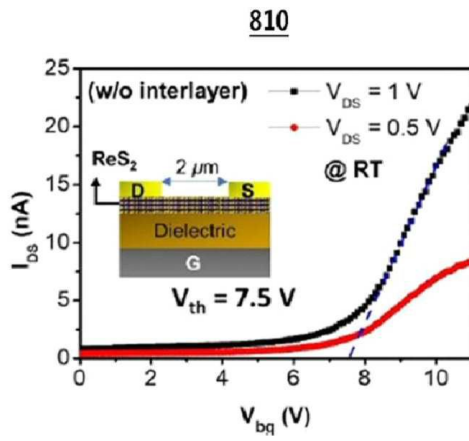
도면7b



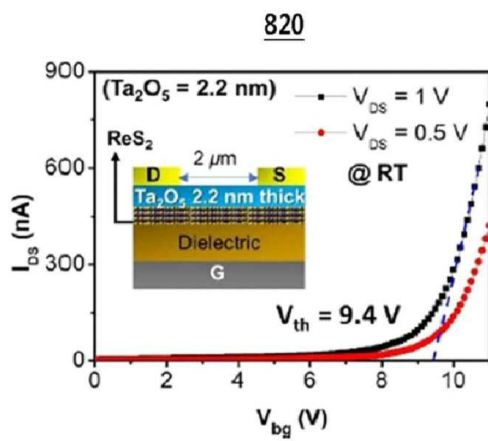
도면7c



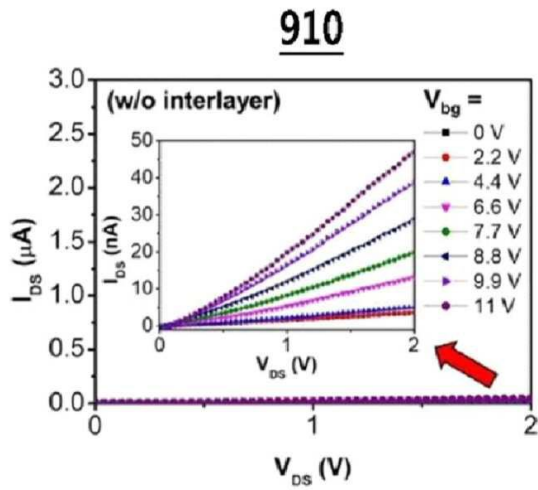
도면8a



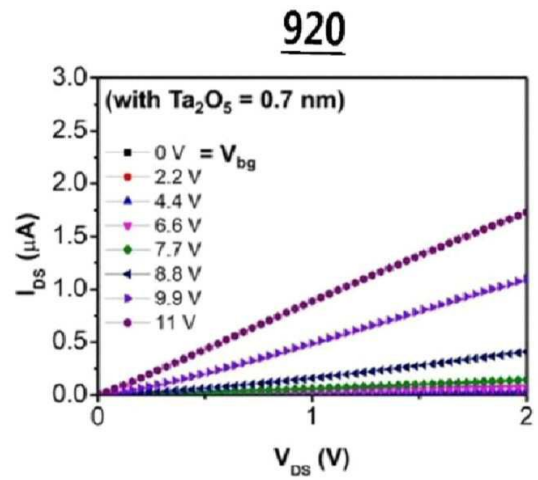
도면8b



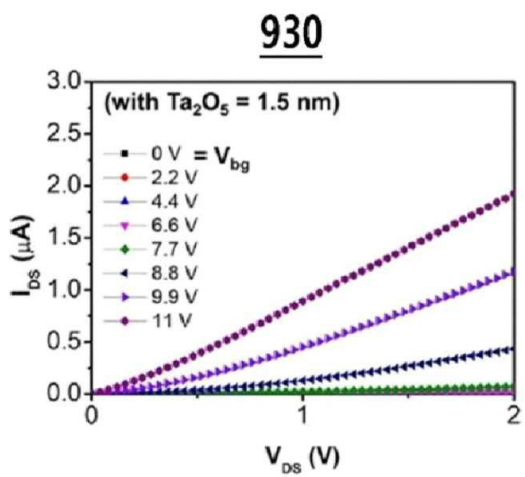
도면9a



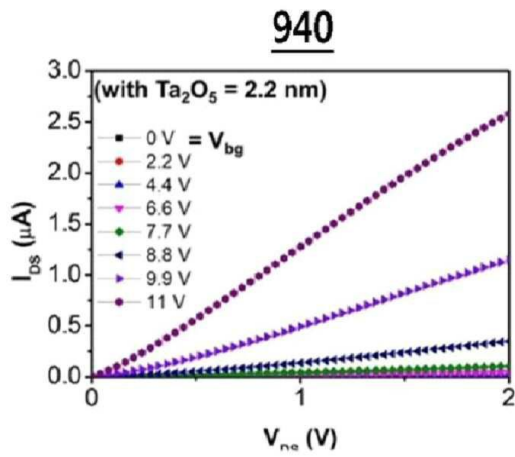
도면9b



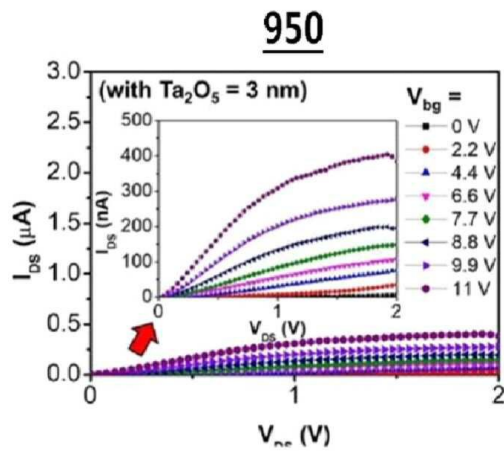
도면9c



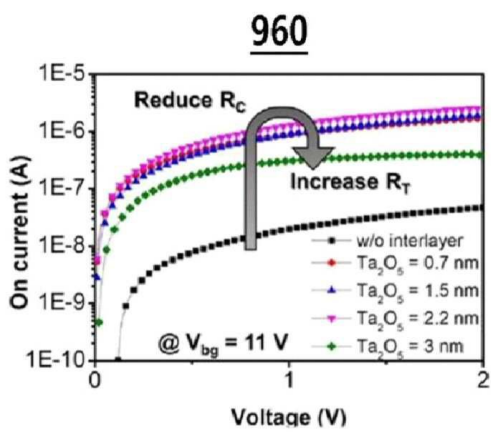
도면9d



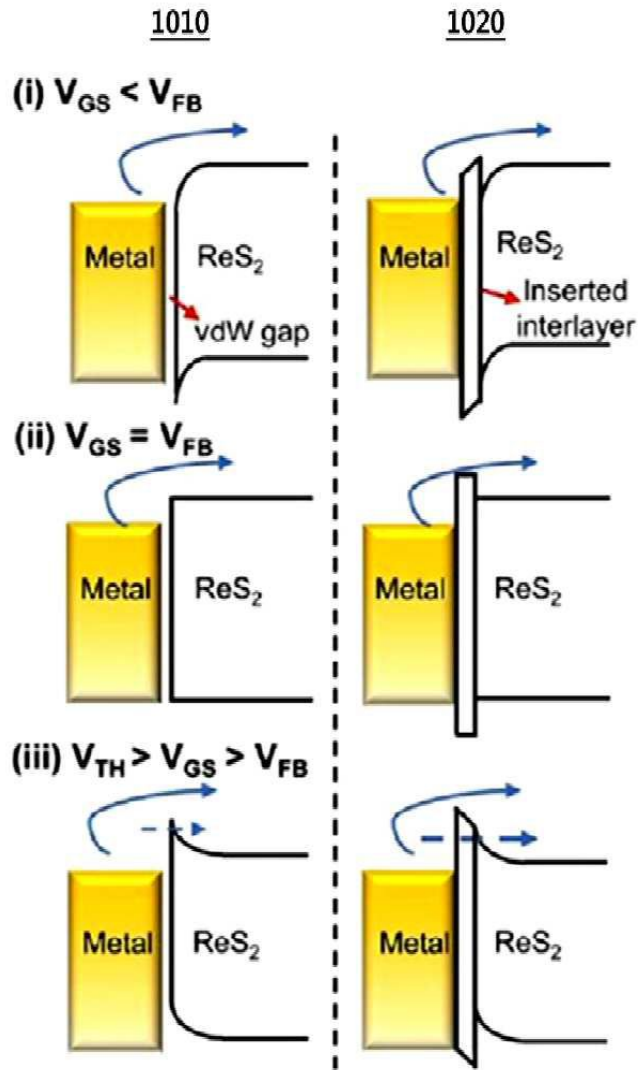
도면9e



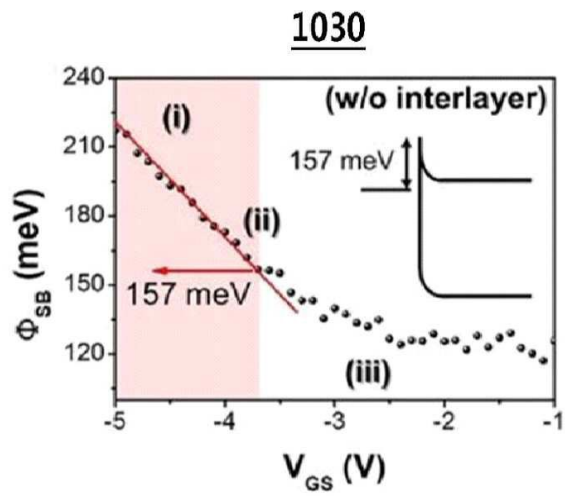
도면9f



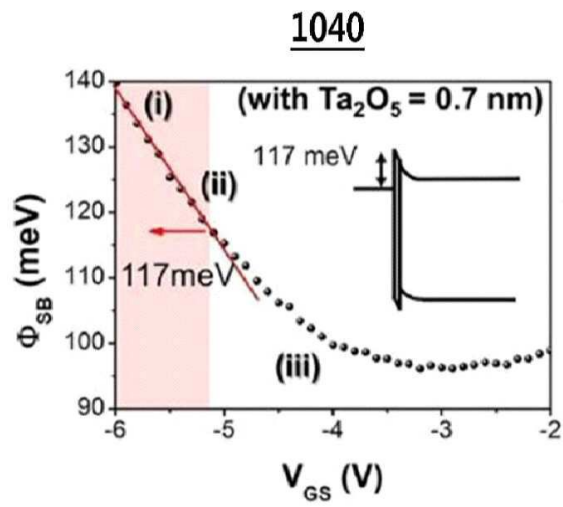
도면10a



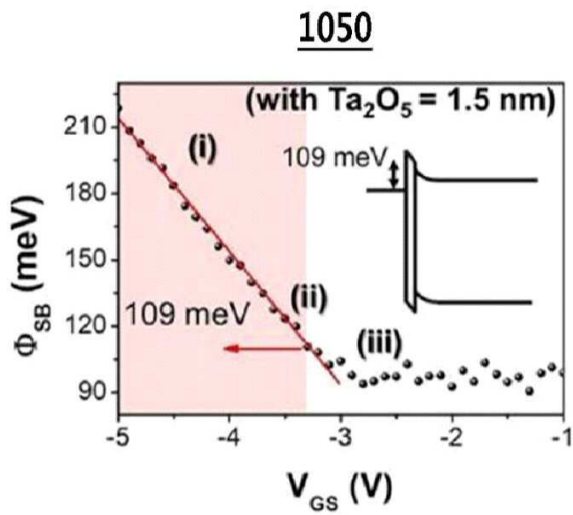
도면10b



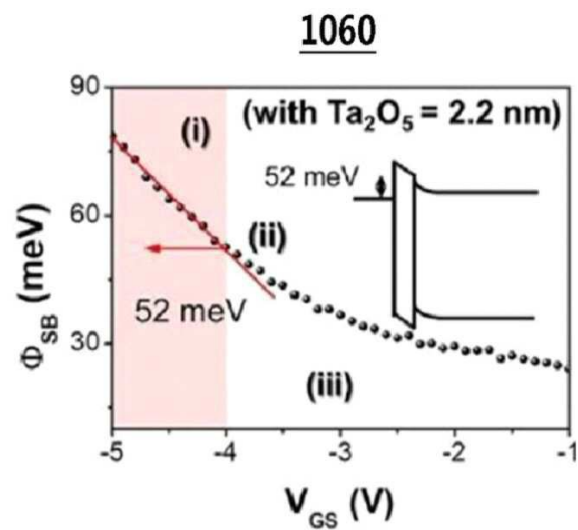
도면10c



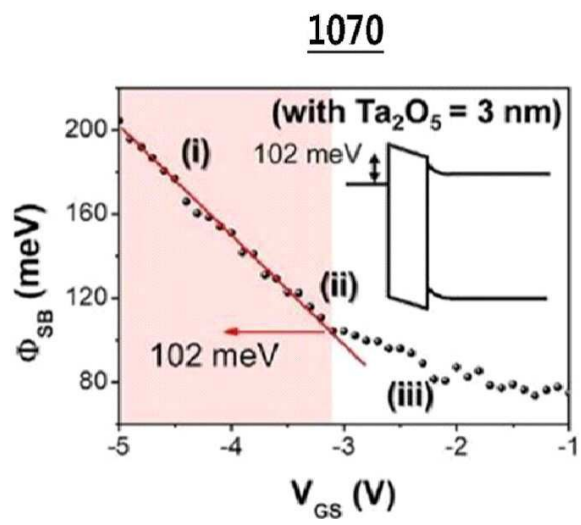
도면10d



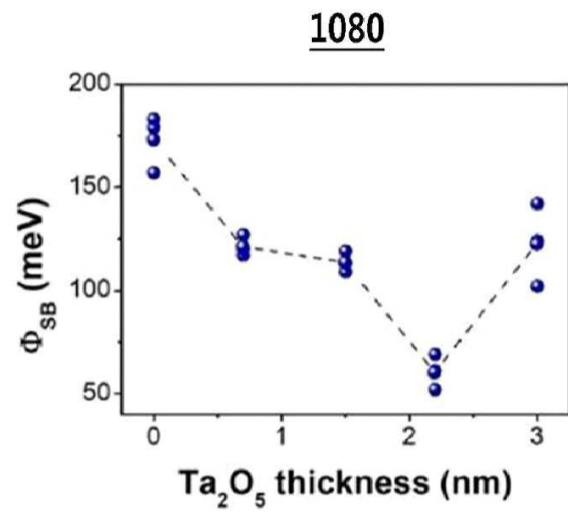
도면10e



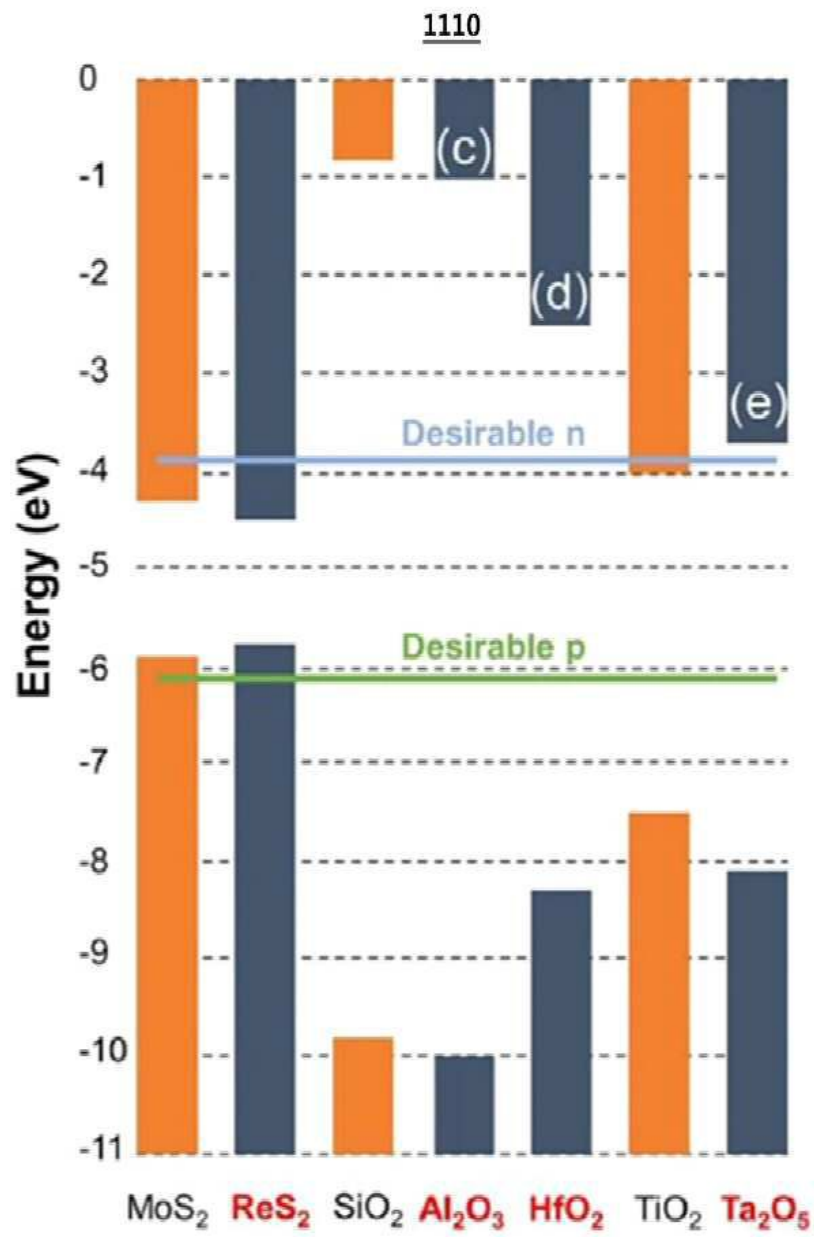
도면10f



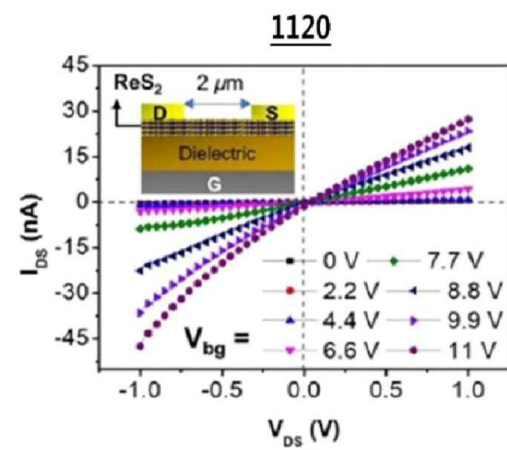
도면10g



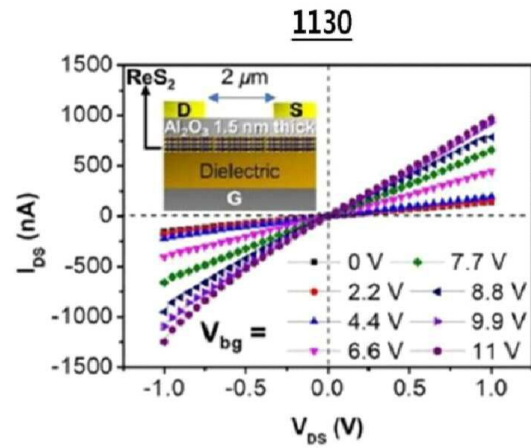
도면11a



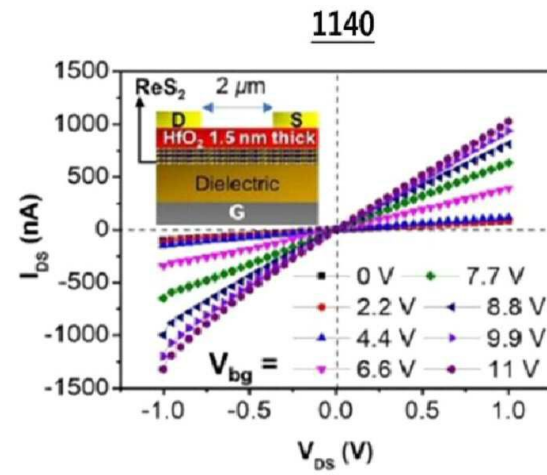
도면11b



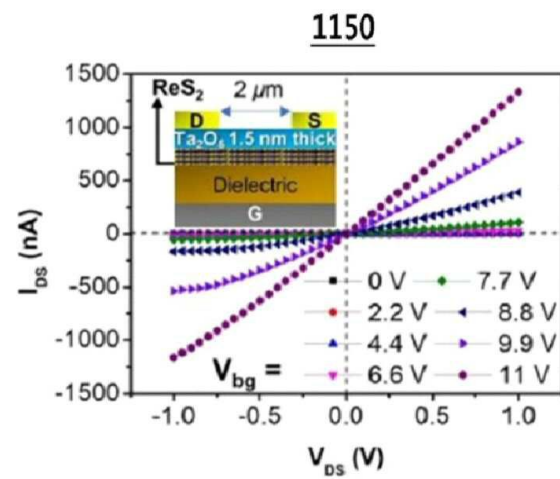
도면11c



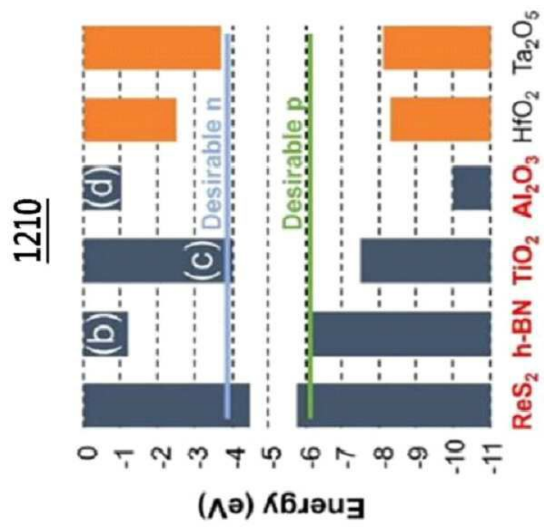
도면11d



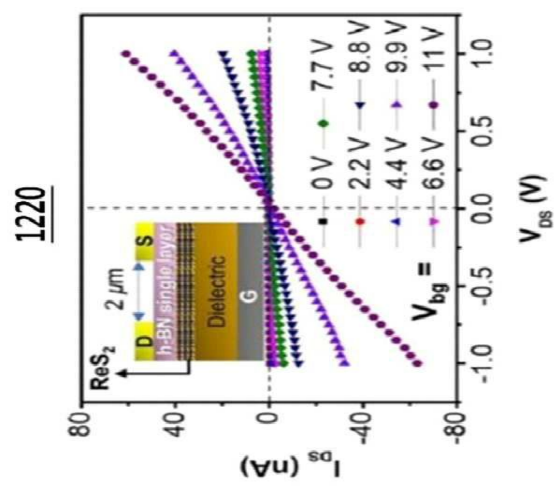
도면11e



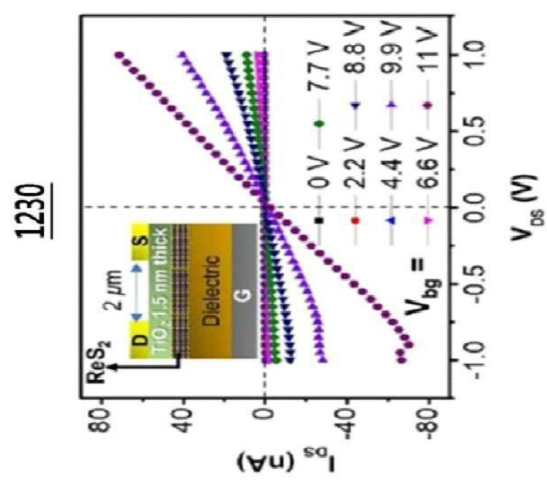
도면12a



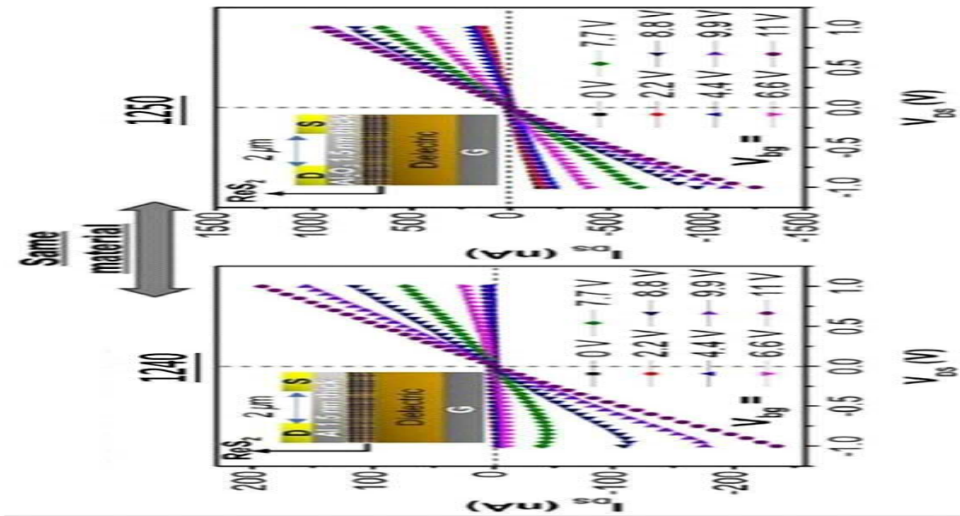
도면12b



도면12c



도면12d



도면12e

1260

