



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/66 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년07월06일 10-0736675 2007년07월02일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0072746 2006년08월01일 2006년08월01일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	주식회사 유니테스트 경기도 용인시 기흥구 고매동 352-9
(72) 발명자	강종구 경기 용인시 기흥구 지곡동 써니밸리아파트 114-1405
(74) 대리인	특허법인지명
(56) 선행기술조사문헌 KR100506771 B1	

심사관 : 김동국

전체 청구항 수 : 총 12 항

(54) 반도체 소자 테스트 장치

(57) 요약

본 발명은 반도체 소자 테스트 장치로서, 테스트 패턴 프로그램을 기초로 DUT의 테스트에 필요한 테스트 패턴 데이터와 이에 대응하는 테스트 기대치 데이터를 생성하는 패턴 생성부와, 상기 테스트 패턴 데이터를 상기 DUT로 전송하는 패턴 데이터 전송부와, 상기 DUT에게로 전송된 상기 테스트 패턴 데이터에 대응하여 상기 DUT로부터 출력되는 출력 데이터와 데이터 스트로브 신호를 수신하는 출력 데이터 수신부와, 상기 DUT로부터 수신되는 상기 데이터 스트로브 신호를 기초로 페치 기준 클럭을 생성하여 상기 출력 데이터를 페치하는 데이터 페치부와, 상기 출력 데이터를 변환한 테스트 수행 데이터와 상기 테스트 기대치 데이터를 비교하여 상기 DUT의 불량 여부를 판단하는 테스트 비교부를 포함하는 반도체 소자 테스트 장치에 관한 것이다.

본 발명에 따르면, 종래의 스트로브 방식의 고정된 시점이 아니라 테스트될 반도체 소자로부터 전송되는 데이터 스트로브 신호를 이용하여 데이터 페치를 수행하여 데이터 페치의 정확성을 증가시키며 데이터 스트로브 인에이블 신호를 이용하여 마지막 데이터에 대해서 데이터를 페치하기 위한 윈도우를 확보할 수 있으며 디스큐 구성을 사용하지 않고서도 테스트 기대치 데이터의 라운드 트립 지연을 효율적으로 보상할 수 있다.

대표도

도 2

특허청구의 범위

청구항 1.

반도체 소자 테스트 장치로서,

테스트 패턴 프로그램을 기초로 DUT의 테스트에 필요한 테스트 패턴 데이터와 이에 대응하는 테스트 기대치 데이터를 생성하는 패턴 생성부와,

상기 테스트 패턴 데이터를 상기 DUT로 전송하는 패턴 데이터 전송부와,

상기 DUT에게로 전송된 상기 테스트 패턴 데이터에 대응하여 상기 DUT로부터 출력되는 출력 데이터와 데이터 스트로브(strobe) 신호를 수신하는 출력 데이터 수신부와,

상기 DUT로부터 수신되는 상기 데이터 스트로브 신호를 기초로 페치(fetch) 기준 클럭을 생성하여 상기 출력 데이터를 페치하는 데이터 페치부와,

상기 출력 데이터를 변환한 테스트 수행 데이터와 상기 테스트 기대치 데이터를 비교하여 상기 DUT의 불량 여부를 판단하는 테스트 비교부

를 포함하는 반도체 소자 테스트 장치.

청구항 2.

제1항에 있어서,

상기 반도체 소자 테스트 장치의 내부 클럭을 기초로 상기 데이터 페치부에서 페치된 데이터를 재동기화하여 상기 테스트 수행 데이터로서 출력하는 재동기화부와,

상기 테스트 기대치 데이터를 라운드 트립 지연에 대응하여 보상하는 데이터 라운드 트립 보상부

를 더 포함하고,

상기 테스트 비교부는 상기 데이터 라운드 트립 보상부에 의해서 보상된 상기 테스트 기대치 데이터와 상기 재동기화부의 출력인 상기 테스트 수행 데이터를 판독하여 비교하는 것인 반도체 소자 테스트 장치.

청구항 3.

제1항에 있어서,

상기 패턴 생성부는 상기 데이터 스트로브 신호를 인에이블(enable)하기 위한 데이터 스트로브 인에이블 신호를 생성하여 상기 데이터 페치부에 전송하며,

상기 데이터 페치부는 상기 데이터 스트로브 인에이블 신호를 기초로 상기 데이터 스트로브 신호의 포스트앰블(postamble) 구간을 제거하여 상기 페치 기준 클럭을 생성하는 것인 반도체 소자 테스트 장치.

청구항 4.

제1항에 있어서, 상기 패턴 데이터 전송부는,

상기 테스트 패턴 데이터를 상기 DUT로 전송하기 전에 상기 DUT의 각 채널에 의해서 발생하는 타이밍 스큐(skew)를 보상하는 전송 디스큐(deskew) 제어부와,

상기 타이밍 스큐가 보상된 상기 테스트 패턴 데이터를 "High", "Low", "Termination"의 3가지 레벨로 상기 DUT로 인가하는 드라이버부

를 포함하는 것인 반도체 소자 테스트 장치.

청구항 5.

제1항에 있어서, 상기 출력 데이터 수신부는,

상기 DUT로부터의 상기 출력 데이터와 상기 데이터 스트로브 신호에 대응하는 출력을 미리 지정된 임계값을 기준으로 비교하여 수신하는 출력 비교부와,

상기 출력 비교부에 의해서 비교된 상기 출력 데이터와 상기 데이터 스트로브 신호에 대해서 상기 DUT의 각 채널에 의해서 발생하는 타이밍 스큐를 보상하는 수신 디스큐 제어부

를 포함하는 것인 반도체 소자 테스트 장치.

청구항 6.

제1항에 있어서,

상기 데이터 페치부는 상기 페치 기준 클럭을 기초로 상기 출력 데이터를 디시리얼라이즈(de-serialize)하는 것인 반도체 소자 테스트 장치.

청구항 7.

제2항에 있어서,

상기 패턴 생성부는 상기 테스트 비교부에서 상기 비교를 인에이블하기 위한 비교 인에이블 신호를 생성하여 상기 재동기화부 및 상기 데이터 라운드 트립 보상부에 각각 전송하며,

상기 재동기화부는 상기 비교 인에이블 신호 및 상기 내부 클럭을 기초로 상기 데이터 페치부에서 페치된 데이터를 재동기화하여 상기 테스트 수행 데이터로서 출력하는 것이고,

상기 데이터 라운드 트립 보상부는 상기 비교 인에이블 신호를 상기 라운드 트립 지연에 대응하여 보상하는 것이고,

상기 테스트 비교부는 상기 재동기화부에서의 상기 비교 인에이블 신호 또는 상기 데이터 라운드 트립 보상부에서 보상된 상기 비교 인에이블 신호가 인에이블 상태일 때에만 상기 비교를 수행하는 것인 반도체 소자 테스트 장치.

청구항 8.

제7항에 있어서,

상기 재동기화부 또는 상기 데이터 라운드 트립 보상부는 기록의 기준이 되는 클럭과 관독의 기준이 되는 클럭을 각각 분리하여 이용하는 이중 클럭 FIFO를 사용하여 상기 비교 인에이블 신호가 인에이블 상태인 경우에만 상기 재동기 또는 상기 보상을 위한 데이터 기록을 수행하는 것인 반도체 소자 테스트 장치.

청구항 9.

제2항, 제3항 및 제7항 중 어느 한 항에 있어서,

상기 데이터 스트로브 인에이블 신호 또는 상기 내부 클럭 또는 상기 재동기화부로 전송되는 상기 비교 인에이블 신호의 라운드 트립 지연을 보상하는 패치 클럭 라운드 트립 보상부

를 더 포함하는 반도체 소자 테스트 장치.

청구항 10.

제1항에 있어서,

상기 데이터 스트로브 신호 또는 상기 반도체 소자 테스트 장치의 내부 클럭 중에서 상기 패치 기준 클럭을 선택하는 기준 클럭 선택부

를 더 포함하고,

상기 데이터 패치부는 상기 기준 클럭 선택부에서 선택된 상기 패치 기준 클럭을 기초로 상기 DUT로부터 전송되는 출력 데이터를 패치하는 것인 반도체 소자 테스트 장치.

청구항 11.

제10항에 있어서,

상기 패턴 생성부는 상기 데이터 스트로브 신호를 인에이블하기 위한 데이터 스트로브 인에이블 신호를 생성하여 상기 데이터 패치부에 전송하며,

상기 기준 클럭 선택부는 상기 데이터 스트로브 인에이블 신호를 기초로 상기 데이터 스트로브 신호의 포스트앰블 구간을 제거한 신호와 상기 내부 클럭 중에서 상기 패치 기준 클럭을 선택하는 것인 반도체 소자 테스트 장치.

청구항 12.

제11항에 있어서,

상기 데이터 스트로브 인에이블 신호 또는 상기 내부 클럭의 라운드 트립 지연을 보상하는 패치 클럭 라운드 트립 보상부를 더 포함하는 반도체 소자 테스트 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 테스트 장치에 관한 것으로, 더욱 구체적으로는 종래의 스트로브 방식의 고정된 시점이 아니라 테스트될 반도체 소자로부터 전송되는 데이터 스트로브 신호를 이용하여 데이터 폐치를 수행하여 데이터 폐치의 정확성을 증가시키며 데이터 스트로브 인에이블 신호를 이용하여 마지막 데이터에 대해서 데이터를 폐치하기 위한 윈도우를 확보할 수 있으며 디스큐 구성을 사용하지 않고서도 테스트 기대치 데이터의 라운드 트립 지연을 효율적으로 보상하는 반도체 소자 테스트 장치에 관한 것이다.

반도체 소자 테스트 장치는 제조된 반도체 소자의 불량 여부를 테스트하는 장치이다. 이러한 반도체 소자 테스트 장치는 특히 메모리 소자의 테스트를 위해서 사용되는 경우가 많기 때문에 메모리 소자의 개발 상황, 특히 메모리 소자의 상당 부분을 차지하는 DRAM의 개발 상황에 따라서 설계되어 개발된다.

현재의 DRAM 발전 상황은 EDO(Extended Data Output) 기능을 탑재한 DRAM이나, SDRAM(Synchronous DRAM), 램버스(Rambus) DRAM에 이어서 DDR(Double Data Rate) DRAM으로 발전되고 있다.

이러한 DRAM을 테스트하기 위해서는 메모리의 고속화에 대응하여 반도체 소자 테스트 장치도 고속 및 고정밀도가 요구된다. 또한 메모리의 대용량화에 따라 테스트 시간이 증가하게 되므로 테스트의 속도 역시 빨라져야 한다. 또한 소형화되고 경제적인 반도체 소자 테스트 장치를 구현하여 테스트 비용을 절감할 수 있어야 한다.

반도체 소자 테스트 장치, 특히 그 중에서도 메모리 테스트 장치는 전형적으로 메모리 컴포넌트 또는 SIMM 또는 DIMM 구성으로 되어 있는 메모리 모듈을 테스트하고 검증하는데 사용된다. 이러한 반도체 소자 테스트 장치는 메모리 모듈 또는 메모리 컴포넌트가 실제 컴퓨터 시스템 등에 장착되어 사용되기 전에 메모리 모듈 또는 컴포넌트 상의 기능상 결함이 존재하는지의 여부를 검출하게 된다.

반도체 소자 테스트 장치는 크게 하드웨어 반도체 소자 테스트 장치와 PC 환경에서 실행되는 소프트웨어 진단 프로그램으로 구별될 수 있다. 그러나 소프트웨어 진단 프로그램은 메모리 모듈 또는 컴포넌트가 실제 컴퓨터 상에 장착되어 사용되는 경우 메모리의 상태를 진단하기 때문에 반도체 메모리 생산과정에서는 하드웨어 메모리 테스트 장치를 주로 사용하게 된다.

이러한 하드웨어 반도체 소자 테스트 장치는 ATE(automatic test equipment)라고 불리는 고급 사양의 테스트 장치와, 중급(medium range) 메모리 테스트 장치, 저급(low-end) 메모리 테스트 장치 등으로 구분할 수 있다.

메모리 소자의 테스트 공정을 수행하기 위해 전형적으로 고급 사양의 테스트 장치인 ATE를 사용한다. 이러한 종래의 ATE는 DC 파라미터들이 회로의 디지털적 동작에 적합한 지를 테스트하는 DC 테스트, 신호의 전달 지연 시간, 셋업(set-up) 시간과 홀드(hold) 시간 등과 관련된 AC 마진(margin) 테스트를 포함하며 이를 위한 테스트 패턴의 생성과 타이밍 생성 등 다양한 기능을 가지고 있다. 그러나 메인프레임 등 부피가 크고 고가인 전용 장비를 사용하여 제작되는 것이므로 제작 비용이 높은 단점이 있다.

도 1은 종래 기술에 반도체 소자 테스트 장치의 예시적인 블록도이다.

도시되듯이 종래의 반도체 소자 테스트 장치는 패턴 생성부(110)와, 타이밍 생성부(120)와, 포맷 제어부(130)와, 드라이버부(140)와, 비교부(150)와, 테스트 결과 저장부(160)를 포함한다. 이러한 구성 요소 이외에도 예컨대 DC 테스트를 위한 전원 제어부 구성이나 클럭 생성을 위한 구성이나 제어를 위한 구성, 테스트될 반도체 소자인 DUT(180)의 동작을 위해서 전원을 공급하는 구성이나 DUT(180)로 테스트 패턴 데이터를 중계하고 DUT(180)로부터 테스트 수행 결과를 수신하는 구성이나 외부로부터 테스트 패턴 프로그램을 수신하는 구성이나 테스트 결과를 외부로 전송하는 구성, DUT(180)의 각 채널 별로 발생하는 스큐(skew)를 보상하는 구성 등이 포함될 수 있으나 이에 대한 설명은 생략한다.

패턴 생성부(110)는 테스트 패턴 프로그램을 기초로 DUT(180)의 테스트에 필요한 테스트 패턴 데이터를 생성한다. 테스트 패턴 프로그램은 예컨대 테스트를 수행하기 위해서 다양한 형태의 동작을 수행하는 인스트럭션을 포함하도록 작성되며, 패턴 생성부(110)는 이러한 테스트 패턴 프로그램을 예컨대 외부의 저장 장치 등으로부터 수신하여 이를 해석하여 테스트 패턴 데이터를 생성한다. 이러한 테스트 패턴 데이터는 DUT(180)에 입력되는 명령어, 주소, 데이터 등의 데이터를 포함하며, 또한 생성되는 테스트 패턴 데이터와 대응하여 테스트 기대치 데이터가 생성된다.

타이밍 생성부(120)는 패턴 생성부(110)에서 생성된 테스트 패턴 데이터를 다양한 형태의 파형으로 변환하기 위한 기준이 되는 타이밍 에지(edge)를 생성한다. 이러한 타이밍 에지는 원활한 파형 변환을 위해서 다수의 클럭을 이용하여 생성된다.

포맷 제어부(130)는 테스트 패턴 데이터를 타이밍 에지를 기초로 변환하여 원하는 파형으로 변환한다.

드라이버부(140)는 변환된 테스트 파형을 DUT(180)에 전송하기 위한 구성이다.

비교부(150)는 DUT(180)에 인가된 테스트 파형에 의해서 DUT(180)의 동작이 수행된 후 DUT(180)로부터 출력된 테스트 수행 데이터와 패턴 생성부(110)에서 생성되는 테스트 기대치 데이터와 비교하여 DUT(180)의 테스트를 수행한다.

테스트 결과 저장부(160)는 비교부(150)의 결과를 기초로 테스트 결과를 저장한다. 예컨대 불량률이 발생한 메모리 소자에 대한 정보를 저장한다.

이러한 종래의 ATE에서 DUT(180)로부터 판독되는 데이터, 즉 테스트 수행 데이터를 페치(fetch)하는 것은 미리 정해진 스트로브(strobe) 신호를 발생시켜 절대적으로 원하는 시간에 테스트 수행 데이터가 유효한 지를 판단하는 방식을 취한다.

이러한 종래의 데이터 페치 방식은 반도체 소자의 동작 속도가 계속 증가하면서 데이터 페치의 오류 가능성이 높아지게 된다. 즉 DUT(180)에서 출력되는 데이터가 미리 정해진 스트로브의 시점에 비해서 미세하게 이동된 상태로 출력되는 경우가 많기 때문에 이러한 종래의 데이터 페치 방식으로는 DDR 메모리 등에서 출력되는 데이터의 정확한 페치가 어려운 단점이 있다.

또한 소스 동기(source synchronous) 방식의 반도체 소자를 테스트하는 경우에도 소스, 즉 DUT(180)로부터 전송되는 데이터 신호(DQ)가 유효한 구간을 나타내는 데이터 스트로브 신호(DQS)를 이용하지 않고 미리 지정된 시간에 스트로브를 다수 개 발생시키는 다중-스트로브(multi-strobe) 방식을 이용하여 DQS 신호의 에지(edge)를 판단하여 데이터를 페치하는 방식도 이용되고 있으나, 이 경우 많은 다중 스트로브를 발생시키고 처리하기 위해서 고가의 ASIC 부품이 필요하여 장비의 가격을 상승시키는 단점이 있으며, 데이터 페치의 오류 가능성이 높다는 단점도 있다.

또한 이러한 반도체 소자의 테스트에 있어서 라운드 트립(round trip) 지연으로 인하여 특히 동기 시스템에서의 데이터 동기화가 어려운 문제가 있다. 라운드 트립 지연이란 신호가 목적지로 도달하였다가 다시 돌아오는 데 소요되는 지연 시간을 의미한다.

예컨대 전송한 DUT(180)에서 테스트 수행 데이터를 판독하여 테스트 기대치 데이터와 비교하는 경우, 패턴 생성부(110)에서 생성되는 테스트 수행 데이터를 판독하는 제어 명령인 "READ" 명령이 패턴 생성부(110)를 출발하여 DUT(180)에 도달한 다음 DUT(180)에서 테스트 수행 데이터가 출력되어 비교부(150)까지 도착하는 시간과, 패턴 생성부(110)에서 테스트 기대치 데이터를 비교부(150)로 전송하는데 소요되는 시간 사이에는 경로의 차이가 있으므로 필연적으로 라운드 트립 지연이 발생한다. 이러한 라운드 트립 지연을 보상하여 테스트 수행 데이터와 테스트 기대치 데이터를 동기화시키는 방법으로는 테스트 기대치 데이터를 DUT(180)로 인해 발생하는 라운드 트립 지연만큼 지연시켜서 동일한 시점에 비교부(150)로 도착하는 방식이 주로 사용된다.

그러나 이러한 방식은 DUT(180)의 각 채널에 대해서 모든 테스트 수행 데이터를 DUT(180)로 인해 발생하는 라운드 트립 지연만큼 지연시키는 디스큐(deskew) 소자를 사용하여야 하므로 효율적이지 못하며 특히 라운드 트립 지연이 길어지면 디스큐 소자를 통해서 효율적으로 라운드 트립 지연을 보상하지 못하는 단점이 있다.

본 출원인은 이러한 종래 반도체 소자 테스트 장치에서의 데이터 페치의 단점들과 라운드 트립 지연 보상 방식을 개선하는 경우 보다 효율적인 반도체 소자 테스트 장치의 개발이 가능할 것이라는 점에 착안하여 본 발명을 이루게 되었다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 종래의 스트로브 방식의 고정된 시점이 아니라 테스트될 반도체 소자로부터 전송되는 데이터 스트로브 신호를 이용하여 데이터 페치를 수행하여 데이터 페치의 정확성을 증가시키며 데이터 스트로브 인에이블 신호를 이용하여 마지막 데이터에 대해서 데이터를 페치하기 위한 윈도우를 확보할 수 있으며 디스큐 구성을 사용하지 않고서도 테스트 기대치 데이터의 라운드 트립 지연을 효율적으로 보상하는 반도체 소자 테스트 장치를 제공하는 데 있다.

발명의 구성

상기 기술적 과제를 달성하기 위하여, 본 발명은 반도체 소자 테스트 장치로서, 테스트 패턴 프로그램을 기초로 DUT의 테스트에 필요한 테스트 패턴 데이터와 이에 대응하는 테스트 기대치 데이터를 생성하는 패턴 생성부와, 상기 테스트 패턴 데이터를 상기 DUT로 전송하는 패턴 데이터 전송부와, 상기 DUT에게로 전송된 상기 테스트 패턴 데이터에 대응하여 상기 DUT로부터 출력되는 출력 데이터와 데이터 스트로브 신호를 수신하는 출력 데이터 수신부와, 상기 DUT로부터 수신되는 상기 데이터 스트로브 신호를 기초로 페치 기준 클럭을 생성하여 상기 출력 데이터를 페치하는 데이터 페치부와, 상기 출력 데이터를 변환한 테스트 수행 데이터와 상기 테스트 기대치 데이터를 비교하여 상기 DUT의 불량 여부를 판단하는 테스트 비교부를 포함하는 반도체 소자 테스트 장치를 제공한다.

본 발명에 따른 반도체 소자 테스트 장치에 있어서, 상기 반도체 소자 테스트 장치의 내부 클럭을 기초로 상기 데이터 페치부에서 페치된 데이터를 재동기화하여 상기 테스트 수행 데이터로서 출력하는 재동기화부와, 상기 테스트 기대치 데이터를 라운드 트립 지연에 대응하여 보상하는 데이터 라운드 트립 보상부를 더 포함하고, 상기 테스트 비교부는 상기 데이터 라운드 트립 보상부에 의해서 보상된 상기 테스트 기대치 데이터와 상기 재동기화부의 출력인 상기 테스트 수행 데이터를 판독하여 비교할 수 있다.

또한 본 발명에 따른 반도체 소자 테스트 장치에 있어서, 상기 패턴 생성부는 상기 데이터 스트로브 신호를 인에이블하기 위한 데이터 스트로브 인에이블 신호를 생성하여 상기 데이터 페치부에 전송하며, 상기 데이터 페치부는 상기 데이터 스트로브 인에이블 신호를 기초로 상기 데이터 스트로브 신호의 포스트앰블 구간을 제거하여 상기 페치 기준 클럭을 생성할 수 있다.

또한 본 발명에 따른 반도체 소자 테스트 장치에 있어서, 상기 패턴 데이터 전송부는, 상기 테스트 패턴 데이터를 상기 DUT로 전송하기 전에 상기 DUT의 각 채널에 의해서 발생하는 타이밍 스큐를 보상하는 전송 디스큐 제어부와, 상기 타이밍 스큐가 보상된 상기 테스트 패턴 데이터를 "High", "Low", "Termination"의 3가지 레벨로 상기 DUT로 인가하는 드라이버부를 포함할 수 있다.

또한 본 발명에 따른 반도체 소자 테스트 장치에 있어서, 상기 출력 데이터 수신부는, 상기 DUT로부터의 상기 출력 데이터와 상기 데이터 스트로브 신호에 대응하는 출력을 미리 지정된 임계값을 기준으로 비교하여 수신하는 출력 비교부와, 상기 출력 비교부에 의해서 비교된 상기 출력 데이터와 상기 데이터 스트로브 신호에 대해서 상기 DUT의 각 채널에 의해서 발생하는 타이밍 스큐를 보상하는 수신 디스큐 제어부를 포함할 수 있다.

또한 본 발명에 따른 반도체 소자 테스트 장치에 있어서, 상기 데이터 페치부는 상기 페치 기준 클럭을 기초로 상기 출력 데이터를 디시리얼라이즈(de-serialize)할 수 있다.

또한 본 발명에 따른 반도체 소자 테스트 장치에 있어서, 상기 패턴 생성부는 상기 테스트 비교부에서 상기 비교를 인에이블하기 위한 비교 인에이블 신호를 생성하여 상기 재동기화부 및 상기 데이터 라운드 트립 보상부에 전송하며, 상기 재동기화부는 상기 비교 인에이블 신호 및 상기 내부 클럭을 기초로 상기 데이터 페치부에서 페치된 데이터를 재동기화하여 상기 테스트 수행 데이터로서 출력하는 것이고, 상기 데이터 라운드 트립 보상부는 상기 비교 인에이블 신호를 상기 라운드 트립 지연에 대응하여 보상하는 것이고, 상기 테스트 비교부는 상기 재동기화부에서의 상기 비교 인에이블 신호 또는 상기 데이터 라운드 트립 보상부에서 보상된 상기 비교 인에이블 신호가 인에이블 상태일 때에만 상기 비교를 수행할 수 있다.

또한 본 발명에 따른 반도체 소자 테스트 장치에 있어서, 상기 재동기화부 또는 상기 데이터 라운드 트립 보상부는 기록의 기준이 되는 클럭과 판독의 기준이 되는 클럭을 각각 분리하여 이용하는 이중 클럭 FIFO를 사용하여 상기 비교 인에이블 신호가 인에이블 상태인 경우에만 상기 재동기 또는 상기 보상을 위한 데이터 기록을 수행할 수 있다.

또한 본 발명에 따른 반도체 소자 테스트 장치에 있어서, 상기 데이터 스트로브 인에이블 신호 또는 상기 내부 클럭 또는 상기 재동기화부로 전송되는 상기 비교 인에이블 신호의 라운드 트립 지연을 보상하는 페치 클럭 라운드 트립 보상부를 더 포함할 수 있다.

또한 본 발명에 따른 반도체 소자 테스트 장치에 있어서, 상기 데이터 스트로브 신호 또는 상기 반도체 소자 테스트 장치의 내부 클럭 중에서 상기 페치 기준 클럭을 선택하는 기준 클럭 선택부를 더 포함하고, 상기 데이터 페치부는 상기 기준 클럭 선택부에서 선택된 상기 페치 기준 클럭을 기초로 상기 DUT로부터 전송되는 출력 데이터를 페치할 수 있다.

또한 본 발명에 따른 반도체 소자 테스트 장치에 있어서, 상기 패턴 생성부는 상기 데이터 스트로브 신호를 인에이블하기 위한 데이터 스트로브 인에이블 신호를 생성하여 상기 데이터 패치부에 전송하며, 상기 기준 클럭 선택부는 상기 데이터 스트로브 인에이블 신호를 기초로 상기 데이터 스트로브 신호의 포스트앰플 구간을 제거한 신호와 상기 내부 클럭 중에서 상기 패치 기준 클럭을 선택할 수 있다.

또한 본 발명에 따른 반도체 소자 테스트 장치에 있어서, 상기 데이터 스트로브 인에이블 신호 또는 상기 내부 클럭의 라운드 트립 지연을 보상하는 패치 클럭 라운드 트립 보상부를 더 포함할 수 있다.

이하, 본 발명의 반도체 소자 테스트 장치를 첨부한 도면을 참조로 하여 보다 구체적으로 설명한다.

도 2는 본 발명에 따른 반도체 소자 테스트 장치의 예시적인 블록도이다.

도시되듯이 도 2를 참조로 한 본 발명에 따른 반도체 소자 테스트 장치는 패턴 생성부(210)와, 패턴 데이터 전송부(220)와, 출력 데이터 수신부(230)와, 데이터 패치부(240)와, 재동기화부(250)와, 데이터 라운드 트립 보상부(260)와, 테스트 비교부(270)와, 패치 클럭 라운드 트립 보상부(도 4에 290으로 표시)를 포함한다.

또한 이러한 구성 이외에도 실제 사용 시에는 패턴 데이터 전송부(230)로부터 다수의 DUT에게로 테스트 패턴 데이터를 분배하기 위한 구성이나 다수의 DUT로부터의 테스트를 수행한 데이터를 동시에 수신하기 위한 구성 등이 더 포함될 수도 있으나 이에 대해서는 설명을 생략한다.

패턴 생성부(210)는 테스트 패턴 프로그램을 기초로 DUT(380)의 테스트에 필요한 명령어, 주소, 데이터 신호 등을 포함하는 테스트 패턴 데이터와 이에 대응하는 테스트 기대치 데이터를 생성한다. 이러한 테스트 패턴 생성에 대한 사항은 종래의 반도체 소자 테스트 장치에서 사용되는 알고리즘 패턴 생성기와 유사하나, 후술하지만 데이터 패치 또는 비교를 위한 인에이블 신호를 생성할 수 있다는 점에서 차이가 있다. 또한 DUT(380)의 각 채널에 대해서 테스트 패턴 데이터 변환을 수행하는 구성이 더 구비될 수 있지만 본 발명의 특징과는 상관이 없으므로 이에 대해서는 상세한 설명을 생략한다.

패턴 데이터 전송부(220)는 테스트 패턴 데이터를 DUT(380)로 전송한다. 이러한 테스트 패턴 데이터 전송에 있어서 DUT(380)의 핀 등의 채널들에서 발생하는 타이밍 스큐(skew)는 각 채널 별로 다를 수 있다. 즉 각 채널에 대한 신호 전송 환경이 동일하지 않기 때문에 이러한 타이밍 스큐가 발생한다. 따라서 패턴 데이터 전송부(220)는 테스트 패턴 데이터를 DUT(380)로 전송하기 전에 DUT(380)의 각 채널에 의해서 발생하는 타이밍 스큐를 보상하는 전송 디스큐 제어부(도 4에 223으로 표시됨)를 포함할 수 있다.

또한 패턴 데이터 전송부(220)는 타이밍 스큐가 보상된 테스트 패턴 데이터를 DUT(380)로 전송하는 경우 "High", "Low", "Termination"의 3가지 레벨로 DUT(380)로 인가하는 드라이버부(도 4에 226으로 표시됨)를 포함할 수 있다. 즉 테스트 패턴 데이터가 DUT(380)로부터의 인가되는 과정에서의 반사 성분을 제거하여야 하는 경우에는 "Termination" 레벨로 인가할 수 있으며, 기타의 경우 "High", "Low" 레벨로 인가하는 것이다.

출력 데이터 수신부(230)는 DUT에게로 전송된 테스트 패턴 데이터에 대응하여 DUT(380)로부터 출력되는 출력 데이터와 데이터 스트로브 신호를 수신한다.

이 경우 출력 데이터와 데이터 스트로브 신호는 미리 지정된 임계값을 기준으로 비교하여 수신될 수 있다. 즉 DDR 메모리 등의 고속 반도체 소자의 경우 임계값을 기초로 이를 넘어서면 "High"로 판단하고 넘어서지 않으면 "Low"로 판단하여 신호를 수신하는 것이다. 이러한 동작을 위해서 출력 데이터 수신부(230)는 출력 비교부(도 4에 236으로 표시됨)를 포함할 수 있다.

또한 이러한 임계값을 기준으로 비교하여 출력 데이터와 데이터 스트로브 신호를 수신한 경우에도 DUT(380)의 각 채널에 의해서 발생하는 타이밍 스큐를 보상할 필요가 있다. 이러한 동작을 위해서 출력 데이터 수신부(230)는 수신 디스큐 제어부(도 4에 233으로 표시됨)를 포함할 수 있다.

데이터 패치부(240)는 DUT(380)로부터 수신되는 데이터 스트로브 신호를 기초로 패치 기준 클럭을 생성하여 출력 데이터를 패치한다. 데이터 스트로브 신호는 DUT(380) 내에서 출력 데이터와 동기되어 생성되어 출력된다.

이 경우, 데이터 스트로브 신호를 이용하여 출력 데이터를 폐치하는 경우에는 특히 출력 데이터의 마지막 부분의 데이터를 폐치하기 위한 윈도우가 좁아지는 단점이 있다. 즉 데이터 스트로브 신호는 출력 데이터가 인밸리드(Invalid)로 변화하는 순간에 동일하게 인밸리드로 변환되어 포스트앰블이 부가되므로 마지막 부분의 데이터를 폐치하기 위한 윈도우가 좁아지게 된다.

이러한 문제를 방지하기 위해서 패턴 생성부(210)는 데이터 스트로브 신호를 인에이블하기 위한 데이터 스트로브 인에이블 신호를 생성하여 데이터 폐치부(240)에 전송할 수 있다. 데이터 스트로브 인에이블 신호는 미리 DUT(380)로부터 데이터 스트로브 신호가 발생할 것으로 예상되는 시점을 예측하여 이에 대응하여 생성된다. 이 경우 데이터 폐치부(240)는 이러한 패턴 생성부(210)로부터 수신한 데이터 스트로브 인에이블 신호를 기초로 데이터 스트로브 신호의 포스트앰블 구간을 제거할 수 있으며 이러한 포스트앰블 구간을 제거한 후 폐치 기준 클럭을 생성하면 출력 데이터의 마지막 부분의 데이터를 폐치하는 윈도우가 다른 부분에서와 마찬가지로 될 수 있다.

또한 패턴 생성부(210)에서 데이터 스트로브 인에이블 신호를 생성하여 데이터 폐치부(240)로 전송하는 과정에서도 DUT(380)의 각 채널에 의해서 발생하는 라운드 트립 지연을 생각할 수 있다. 즉 DUT(380)로부터 출력되는 데이터 스트로브 신호는 이러한 출력 데이터를 출력하는 명령이 패턴 생성부(210)에서 생성되어 DUT(380)에 전송되고 DUT(380)에서 다시 데이터 스트로브 신호가 데이터 폐치부(240)로 전송되지만, 데이터 스트로브 인에이블 신호는 패턴 생성부(210)에서 데이터 폐치부(240)로 직접 전송되므로 라운드 트립 지연이 발생한다.

따라서 본 발명에 따른 반도체 소자 테스트 장치는 도시되듯이 이러한 데이터 스트로브 신호와 데이터 스트로브 인에이블 신호 사이의 라운드 트립 지연에 대해서 보상하는 폐치 클럭 라운드 트립 보상부(도 4에 290으로 표시)를 더 포함할 수 있다.

이러한 폐치 클럭 라운드 트립 보상부(도 4에 290으로 표시)는 전송 디스큐 제어부(도 4에 223으로 표시됨)와 수신 디스큐 제어부(도 4에 233으로 표시됨)에 대응하여 데이터 스트로브 인에이블 신호의 전송과 이에 대한 수신을 가정하여 구비될 수 있다.

또한 데이터 폐치부(240)는 폐치 기준 클럭을 기초로 출력 데이터를 디시리얼라이즈(de-serialize)할 수 있다. 즉 고속으로 동작하는 DUT(380)로부터 출력되는 출력 데이터를 상대적으로 저속으로 동작하는 반도체 소자 테스트 장치에서 사용하기 위해서 디시리얼라이즈를 수행하는 것이다.

재동기화부(250)는 반도체 소자 테스트 장치의 내부 클럭을 기초로 데이터 폐치부(240)에서 폐치된 데이터를 재동기화하여 테스트 수행 데이터로서 출력한다. 즉 DUT(380)로부터의 데이터 스트로브 신호를 기초로 한 폐치 기준 클럭을 이용하여 데이터를 폐치한 이후에 본 발명에 따른 반도체 소자 테스트 장치의 내부 클럭으로 동기화하는 과정이 필요하며 이를 재동기화부(250)에서 수행한다.

데이터 라운드 트립 보상부(260)는 테스트 기대치 데이터를 라운드 트립 지연에 대응하여 보상한다. 즉 테스트 비교부(270)의 비교 대상인 테스트 수행 데이터가 라운드 트립 지연을 가지고 있으므로 이에 대응하여 테스트 기대치 데이터 역시 라운드 트립 지연 만큼 지연을 시키는 것이다.

이러한 테스트 기대치 데이터에 대한 라운드 트립 지연은 종래 디스큐 구성을 이용하여 수행된다. 그러나 이러한 디스큐 구성을 특히 테스트 기대치 데이터에 대해서 적용하는 경우에는 종래의 채널별 딜레이에 비해서 라운드 트립 지연이 더 큰 경우가 많고 다수의 테스트 기대치 데이터에 대해서 이를 보상하여야 하므로 고가의 디스큐 구성이 필요하다. 따라서 본원 발명의 경우 이러한 디스큐 구성이 아니라 예컨대 FIFO 구성을 이용하여 테스트 기대치 데이터의 라운드 트립 지연을 간편하게 보상할 수 있다.

테스트 비교부(270)는 데이터 라운드 트립 보상부(260)에 의해서 보상된 테스트 기대치 데이터와 테스트 수행 데이터를 판독하여 비교한다.

이러한 재동기화부(250)와 데이터 라운드 트립 보상부(260)와 테스트 비교부(270)의 구현에 있어서 원하는 시점에서만 테스트 비교부(270)에서 비교를 수행하도록 구성할 수 있다.

즉 패턴 생성부(210)는 테스트 비교부(270)에서 비교를 인에이블하기 위한 비교 인에이블 신호를 생성하여 재동기화부(250) 및 데이터 라운드 트립 보상부(260)에 전송할 수 있다.

이 경우 재동기화부(250)에서 수신되는 비교 인에이블 신호는 내부 클럭과 마찬가지로 라운드 트립 지연에 대응하여 보상하여 주어야 하며, 예컨대 페치 클럭 라운드 트립 보상부(도 4에 290으로 표시)에서 재동기화부(250)에서 수신되는 비교 인에이블 신호를 라운드 트립 지연에 대응하여 보상할 수 있다.

마찬가지로 데이터 라운드 트립 보상부(260)는 비교 인에이블 신호를 라운드 트립 지연에 대응하여 보상한다.

이 경우 테스트 비교부(270)는 재동기화부(250)에서의 비교 인에이블 신호 또는 데이터 라운드 트립 보상부(260)에서 보상된 상기 비교 인에이블 신호가 인에이블 상태일 때에만 비교를 수행한다.

또한 실제 구현에 있어서 재동기화부(250) 또는 데이터 라운드 트립 보상부(260)는 기록의 기준이 되는 클럭과 판독의 기준이 되는 클럭을 각각 분리하여 이용하는 이중 클럭 FIFO를 사용하여 구현할 수 있다. 즉 비교 인에이블 신호를 수신하는 경우 재동기화부(250) 또는 데이터 라운드 트립 보상부(260)는 비교 인에이블 신호가 인에이블 상태인 경우에만 재동기 또는 보상을 위한 데이터 기록을 수행하도록 구성이 가능하다.

도 2를 참조로 한 본 발명에 따른 반도체 소자 테스트 장치는 DUT(380)로부터의 데이터 스트로브 신호를 페치 기준 클럭으로 이용하여 데이터 페치를 수행하는 구성이다. 그러나 이러한 데이터 스트로브 신호가 아니라 반도체 소자 테스트 장치 내부의 클럭을 페치 기준 클럭으로 이용하여 데이터 페치를 수행할 수도 있다. 이러한 경우를 위해서 데이터 페치의 기준이 되는 페치 기준 클럭을 데이터 스트로브 신호 또는 내부 클럭 중에서 선택하여 이용할 수 있는 구성을 가정할 수 있으며, 이러한 구성이 도 3을 참조로 설명된다.

도 3은 본 발명에 따른 반도체 소자 테스트 장치의 다른 예시적인 블록도이다.

도시되듯이 도 3을 참조로 한 본 발명에 따른 반도체 소자 테스트 장치는 패턴 생성부(210)와, 패턴 데이터 전송부(220)와, 출력 데이터 수신부(230)와, 데이터 페치부(240)와, 재동기화부(250)와, 데이터 라운드 트립 보상부(260)와, 테스트 비교부(270)와, 기준 클럭 선택부(280)와, 페치 클럭 라운드 트립 보상부(도 4에 290으로 표시)를 포함한다. 도 3을 참조로 한 본 발명에 따른 반도체 소자 테스트 장치는 데이터 페치의 기준이 되는 페치 기준 클럭을 선택할 수 있다는 점에서 도 2를 참조로 한 본 발명에 따른 반도체 소자 테스트 장치와 차이가 있으며, 따라서 도 3을 참조로 한 본 발명에 따른 반도체 소자 테스트 장치에 대해서는 기준 클럭 선택부(280)를 위주로 설명하며, 기타 구성 요소에 대해서는 도 2를 참조로 한 본 발명에 따른 반도체 소자 테스트 장치와 중복되므로 상세한 설명을 생략한다.

기준 클럭 선택부(280)는 DUT(380)로부터의 데이터 스트로브 신호 또는 본 발명에 따른 반도체 소자 테스트 장치의 내부 클럭 중에서 데이터 페치를 위한 페치 기준 클럭을 선택한다.

이러한 선택된 페치 기준 클럭은 이후 데이터 페치부(240)에서 DUT로부터 전송되는 데이터를 페치하기 위해서 사용된다.

도 2의 구성에서와 마찬가지로 패턴 생성부(210)는 데이터 스트로브 신호를 인에이블하기 위한 데이터 스트로브 인에이블 신호를 생성하여 이를 기준 클럭 선택부(280)에 전송할 수 있다. 이 경우 기준 클럭 선택부(280)는 내부 선택 신호를 기초로 페치 기준 클럭을 선택한다. 즉 내부 선택 신호가 데이터 스트로브 신호를 사용하는 것으로 지정되어 있으면 데이터 스트로브 신호를 기초로 데이터 페치를 수행하도록 선택하고, 내부 선택 신호가 내부 클럭을 사용하는 것으로 지정되어 있으면 반도체 소자 테스트 장치의 내부 클럭을 페치 기준 클럭으로 선택하여 이후 이를 기초로 데이터 페치를 수행하도록 구성하는 것이다.

또한 데이터 스트로브 신호인 경우, 도 2에서와 마찬가지로 데이터 스트로브 인에이블 신호를 기초로 데이터 스트로브 신호의 포스트앰블 구간을 제거할 수 있으며 이 신호와 내부 클럭 중에서 기준 클럭 선택부(280)에서는 선택을 수행할 수 있다.

도 4는 본 발명에 따른 반도체 소자 테스트 장치의 구현예를 나타내는 도면이다.

도 4를 참조로 하면 패턴 생성부(210)에서 생성된 테스트 패턴 데이터, 예컨대 DQ, DQS가 전송 디스큐 제어부(223)와 드라이버부(226)을 통하여 DUT(380)로 전송된다.

또한 패턴 생성부(210)에서 내부 클럭(RCLK)과, 비교 인에이블 신호(CPE)와 데이터 스트로브 인에이블 신호(DQSE)가 페치 클럭 라운드 트립 보상부(290)를 통하여 기준 클럭 선택부(280)로 전송된다. 기준 클럭 선택부(280)는 내부 클럭(RCLK)과 데이터 스트로브 인에이블 신호(DQSE)에 의해서 포스트앰블이 제거된 DUT(380)로부터의 데이터 스트로브 신호(DQS) 중에서 선택 신호(SEL)를 기초로 기준 클럭을 선택한다.

한편 DUT(380)로부터의 출력 데이터(DQ)와 데이터 스트로브 신호(DQS)는 출력 비교부(233)와, 수신 디스큐 제어부(236)를 통하여 데이터 페치부(240)로 전달된다.

데이터가 페치된 후 재동기화부(250)에서 재동기화된다. 이 경우 내부 클럭(RCLK)과 비교 인에이블 신호(CPE)에 의해서 재동기화된다.

한편 패턴 생성부(210)에서는 비교 인에이블 신호(CPE)와 테스트 기대치 데이터(EXP)를 데이터 라운드 트립 보상부(260)에 전송하고, 라운드 트립 보상된 테스트 기대치 데이터(EXP)와 재동기화된 테스트 수행 데이터가 비교된다. 이러한 비교 결과는 데이터 정보 또는 주소 정보를 각각 "DFM(Data Fail Memory)"과 "AFM(Address Fail Memory)"에 저장될 수 있다.

한편 도 4의 본 발명에 따른 반도체 소자 테스트 장치의 구현예는 도 3에 도시된 본 발명에 따른 반도체 소자 테스트 장치의 구성을 기초로 구현한 것이지만, 도 2에 도시된 본 발명에 따른 반도체 소자 테스트 장치의 구성의 경우도 기준 클럭 선택부(280)를 제외하면 유사하므로 이에 대한 구현예는 생략한다.

비록 본 발명의 구성이 구체적으로 설명되었지만 이는 단지 본 발명을 예시하기 위한 것이며, 본 발명의 보호 범위가 이들에 의해 제한되는 것은 아니며, 본 발명의 보호 범위는 청구범위의 기재를 통하여 정하여진다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면 종래의 스트로브 방식의 고정된 시점이 아니라 테스트될 반도체 소자로부터 전송되는 데이터 스트로브 신호를 이용하여 데이터 페치를 수행하여 데이터 페치의 정확성을 증가시키며 데이터 스트로브 인에이블 신호를 이용하여 마지막 데이터에 대해서 데이터를 페치하기 위한 윈도우를 확보할 수 있으며 디스큐 구성을 사용하지 않고서도 테스트 기대치 데이터의 라운드 트립 지연을 효율적으로 보상할 수 있다.

도면의 간단한 설명

도 1은 종래 기술에 반도체 소자 테스트 장치의 예시적인 블록도.

도 2는 본 발명에 따른 반도체 소자 테스트 장치의 예시적인 블록도.

도 3은 본 발명에 따른 반도체 소자 테스트 장치의 다른 예시적인 블록도.

도 4는 본 발명에 따른 반도체 소자 테스트 장치의 구현예를 나타내는 도면.

<도면의 주요부분에 대한 부호의 설명>

100: 반도체 소자 테스트 장치 110: 패턴 생성부

120: 타이밍 생성부 130: 포맷 제어부

140: 드라이버부 150: 비교부

160: 테스트 결과 저장부 180: DUT

210: 패턴 생성부 220: 패턴 데이터 전송부

223: 전송 디스큐 제어부 226: 드라이버부

230: 출력 데이터 수신부 233: 출력 비교부

236: 수신 디스큐 제어부 240: 데이터 폐치부

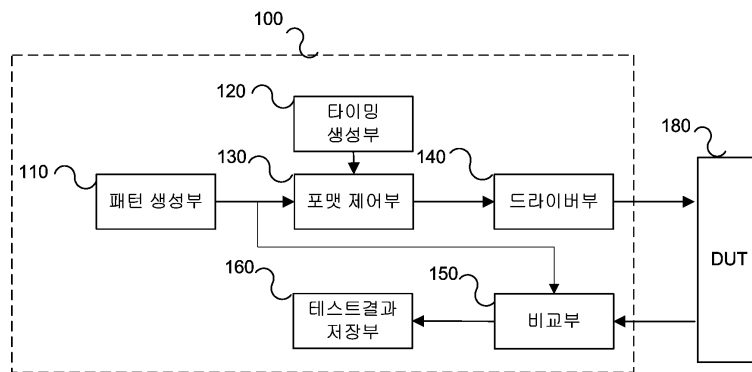
250: 데이터 라운드 트립 보상부 270: 테스트 비교부

280: 기준 클럭 선택부 290: 폐치 클럭 라운드트립 보상부

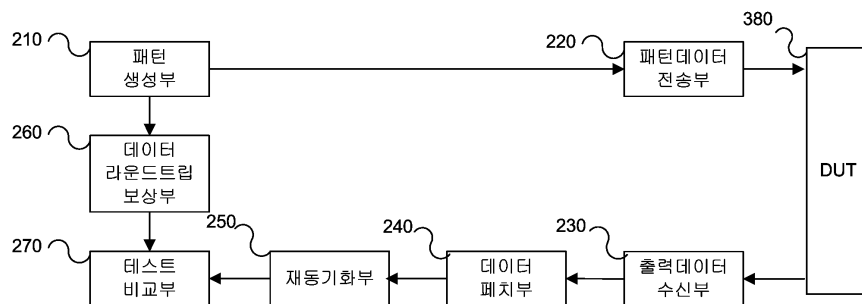
380: DUT

도면

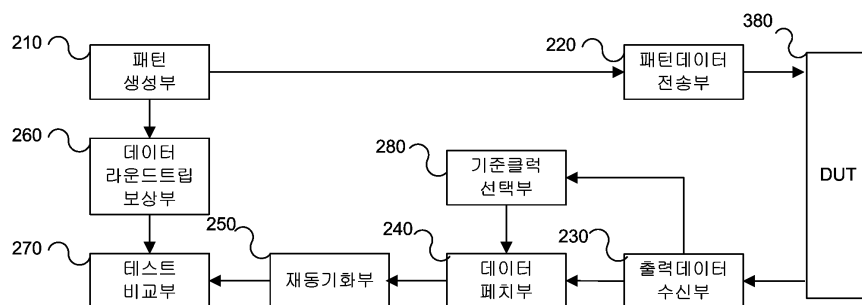
도면1



도면2



도면3



도면4

