



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0062612
(43) 공개일자 2009년06월17일

(51) Int. Cl.

H01L 23/12 (2006.01) H01L 23/28 (2006.01)

(21) 출원번호 10-2007-0129964

(22) 출원일자 2007년12월13일

심사청구일자 없음

(71) 출원인

페어차일드코리아반도체 주식회사

경기 부천시 원미구 도당동 82-3

(72) 발명자

엄주양

경기 부천시 소사구 소사본3동 주공아파트
106-403

박민효

경기 용인시 기흥구 상하동 쌍용아파트 304-903

최승용

서울 강서구 내발산동 729번지 우장산 롯데2차아
파트 2002-1101

(74) 대리인

리엔목특허법인

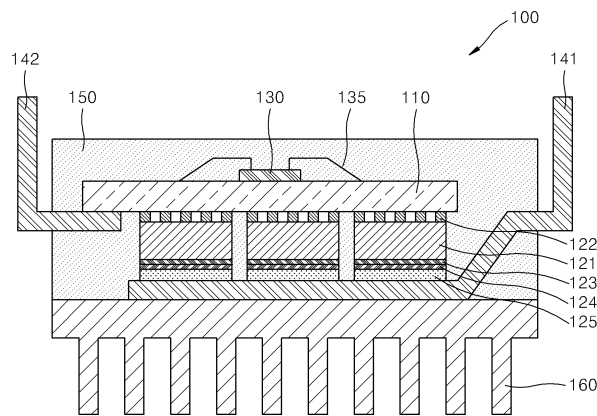
전체 청구항 수 : 총 21 항

(54) 멀티 칩 패키지

(57) 요약

본 발명은 반도체 패키지에 관한 것으로서, 복수개의 반도체 칩들의 서로 간의 절연을 안정적으로 유지할 수 있으며 외부로의 열방출이 효과적으로 이루어질 수 있는 멀티 칩 패키지에 관한 것이다. 본 발명에 따른 반도체 패키지는 리드 프레임 또는 히트싱크와 그 상에 배치되는 반도체 칩들 사이에 화학 기상 증착법에 의해 형성된 다이나몬드층 등을 포함하여 개재되는 절연층을 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

단락을 방지하기 위하여 서로 전기적으로 절연되어 리드 프레임의 상면에 각각 배치된 복수개의 반도체 칩들;

상기 복수개의 반도체 칩들의 상에 배치되며 전기적으로 연결되는 기관;

상기 리드 프레임의 상면, 상기 복수개의 반도체 칩들 및 상기 기관을 포함하여 밀봉하는 봉지재;를 포함하는 멀티 칩 패키지.

청구항 2

제1항에 있어서, 상기 리드 프레임의 상면과 상기 반도체 칩 사이에 개재된 절연층을 더 포함하는 멀티 칩 패키지.

청구항 3

제2항에 있어서, 상기 절연층은 다이아몬드층, BeO층 또는 AlN층을 포함하는 멀티 칩 패키지.

청구항 4

제3항에 있어서, 상기 다이아몬드층, BeO층 또는 AlN층은 화학기상증착법 또는 물리기상증착법에 의해 형성되는 것을 특징으로 하는 멀티 칩 패키지.

청구항 5

제2항에 있어서, 상기 리드 프레임의 상면과 상기 절연층 사이에 개재된 제1 금속층을 더 포함하는 멀티 칩 패키지.

청구항 6

제2항에 있어서, 상기 리드 프레임의 상면과 상기 절연층 사이에 개재된 다이 어태치 접착층을 더 포함하는 멀티 칩 패키지.

청구항 7

제1항에 있어서, 상기 기관은 인쇄회로기판(PCB) 또는 가요성 인쇄회로기판(FPCB)을 포함하고, 상기 반도체 칩과 상기 기관을 전기적으로 연결하는 금속 범프 또는 솔더 범프를 더 포함하는 멀티 칩 패키지.

청구항 8

제1항에 있어서, 상기 봉지재는 상기 리드 프레임의 하면을 노출하도록 형성되고, 상기 리드 프레임의 하면과 접촉하여 배치되는 히트싱크를 더 포함하는 멀티 칩 패키지.

청구항 9

제1항에 있어서, 상기 반도체 칩은 실리콘 칩을 포함하는 멀티 칩 패키지.

청구항 10

제1항에 있어서, 상기 기관과 접촉하고 외부로 전기적 연결이 되는 또 다른 리드 프레임을 더 포함하는 멀티 칩 패키지.

청구항 11

단락을 방지하기 위하여 서로 전기적으로 절연되어 도전성인 히트 싱크의 상면에 각각 배치된 복수개의 반도체 칩들;

상기 복수개의 반도체 칩들의 상에 배치되며 전기적으로 연결되는 기관;

상기 히트 싱크의 상면, 상기 복수개의 반도체 칩들 및 상기 기관을 포함하여 밀봉하는 봉지재;를 포함하는 멀티 칩 패키지.

티 칩 패키지.

청구항 12

제11항에 있어서, 상기 히트 싱크의 상면과 상기 반도체 칩 사이에 개재된 절연층을 더 포함하는 멀티 칩 패키지.

청구항 13

제12항에 있어서, 상기 절연층은 다이아몬드층, BeO층 또는 AlN층을 포함하는 멀티 칩 패키지.

청구항 14

제13항에 있어서, 상기 다이아몬드층, BeO층 또는 AlN층은 화학기상증착법 또는 물리기상증착법에 의해 형성되는 것을 특징으로 하는 멀티 칩 패키지.

청구항 15

제12항에 있어서, 상기 히트 싱크의 상면과 상기 절연층 사이에 개재된 제1 금속층을 더 포함하는 멀티 칩 패키지.

청구항 16

제11항에 있어서, 상기 기판은 인쇄회로기판(PCB) 또는 가요성 인쇄회로기판(FPCB)을 포함하고, 상기 반도체 칩과 상기 기판을 전기적으로 연결하는 금속 범프 또는 솔더 범프를 더 포함하는 멀티 칩 패키지.

청구항 17

제11항에 있어서, 상기 반도체 칩은 실리콘 칩을 포함하는 멀티 칩 패키지.

청구항 18

제11항에 있어서, 상기 기판과 접촉하고 외부로 전기적 연결이 되는 리드 프레임을 더 포함하는 멀티 칩 패키지.

청구항 19

도전성인 리드 프레임의 상면에 탑재된 제1 실리콘 칩;
 상기 제1 실리콘 칩 상에 탑재된 제2 실리콘 칩;
 상기 제1 실리콘 칩과 상기 제2 실리콘 칩 사이에 개재되는 절연층;
 상기 제1 실리콘 칩과 상기 제2 실리콘 칩을 전기적으로 연결하는 본딩 와이어; 및
 상기 리드 프레임의 상면, 상기 제1 실리콘 칩, 상기 제2 실리콘 칩, 상기 절연층 및 상기 본딩 와이어를 포함하여 밀봉하는 봉지재;를 포함하는 멀티 칩 패키지.

청구항 20

제19항에 있어서, 상기 절연층은 화학기상증착법 또는 물리기상증착법에 의해 형성된 다이아몬드층, BeO층 또는 AlN층을 포함하는 멀티 칩 패키지.

청구항 21

제19항에 있어서, 상기 리드 프레임과 상기 제1 실리콘 칩 사이 및 상기 절연층과 상기 제1 실리콘 칩 사이에 개재되는 다이 어태치 접착층을 각각 더 포함하는 멀티 칩 패키지.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 반도체 패키지에 관한 것으로서, 특히 하나 또는 그 이상의 반도체 칩을 포함하는 멀티 칩 패키지에 관한 것이다.

배경기술

<2> 일반적으로 반도체 패키지는 하나 혹은 복수개의 반도체 칩을 봉합수지(EMC:Epoxy Mold Compound)로 밀봉하여 내부를 보호한 후, 인쇄회로기판(PCB : Printed Circuit Board)에 실장하여 사용한다.

<3> 그러나 최근 들어 전자기기의 고속도화, 대용량화 및 고집적화가 급진전되면서 자동차, 산업기기 및 가전제품에 적용되는 전력소자 역시 저비용으로 소형화 및 경량화를 달성해야 하는 요구에 직면하고 있다. 이와 동시에 전력소자는 저발열과 고신뢰를 달성하여야 하기 때문에 하나의 반도체 패키지에 다수개의 반도체칩을 탑재하는 멀티 칩 전력용 모듈 패키지가 일반화되고 있다.

<4> 예를 들어, 미쯔비시(Mitsubishi)에 양도된 미국특허 US 5,703,399호는 전력용 반도체 모듈 패키지를 개시한다. 이러한 반도체 패키지는 전력용 회로와 제어회로를 구성하는 복수개의 반도체칩이 리드프레임 위에 탑재하는 구조를 갖는다. 그리고 리드프레임 하부에 열전도성이 우수한 봉합수지를 사용하고 구리를 재질로 하여 만든 히트싱크를 리드 프레임 아래에 약간 이격시킴으로써, 전력용 회로칩에서 발생하는 열을 외부로 효과적으로 방출시킬 수 있다는 이점을 제공한다.

<5> 그러나 상기 전력용 반도체 모듈 패키지는 다음과 같은 문제점을 발생시킨다.

<6> 첫번째로 리드프레임의 배면과 구리로 된 히트싱크 사이에는 절연특성을 유지하기 위하여 여전히 봉합수지로 채워지기 때문에 전력용 회로칩에서 발생하는 열을 전력용 반도체 모듈 패키지 외부로 완전히 방출하는데 한계가 있다.

<7> 두번째로 한 개의 전력용 반도체 모듈 패키지에 특성이 다른 두 개의 봉합수지를 사용하기 때문에 전력용 반도체 모듈 패키지의 제조공정이 복잡하게 된다.

<8> 세번째로 리드프레임 상에 복수개의 반도체 칩이 탑재되는 경우 도전성의 리드프레임을 통해 복수개의 반도체 칩이 서로 절연을 유지하는 것이 쉽지가 않다. 특히 고전력을 사용하는 전력용 소자인 경우에는 더욱 그러하다.

<9> 이러한 문제점을 해결하기 위하여 DBC(Direct Bonding Copper) 기판이나 IMS(Insulated Metal Substrate) 기판과 같은 절연 기판을 사용하여 전력용 반도체 모듈 패키지를 제조하는 방법이 제안되고 있다.

<10> DBC 기판은 절연성의 세라믹층 양 표면 위에 각각 구리층이 부착된 구조를 갖는 기판으로서, 열방출 특성이 상대적으로 뛰어난 것으로 알려져 있다. 그러나 DBC 기판은 설계된 패턴에 따라 부분적으로 구리층을 형성하므로 그 제조단가가 비싸다는 단점을 갖는다.

<11> DBC 기판에 비해 제조단가가 낮은 IMS(Insulated Metal Substrate) 기판은 알루미늄 기판의 상면에 폴리머 절연층을 형성한 후 폴리머 절연층 위에 설계된 패턴 모양에 따라 구리층을 형성한다. 그러나 IMS 기판은 열적 특성과 절연 특성이 좋지 못하다는 단점이 있다.

<12> 따라서, DBC 기판이나 IMS 기판과 같은 절연기판을 사용하지 않으면서 낮은 열저항 특성과 높은 전기적 저항 특성을 가지는 절연구조를 가지는 멀티 칩 패키지를 구현하는 것이 필요하게 되었다.

발명의 내용

해결 하고자하는 과제

<13> 따라서, 본 발명이 이루고자 하는 기술적 과제는 절연 기판을 사용하지 않으면서 높은 전기적 저항 특성과 낮은 열적 저항 특성을 가지는 절연구조를 가지는 멀티 칩 패키지를 제공하는 데 있다.

과제 해결수단

<14> 상기 기술적 과제를 달성하기 위한 본 발명의 일 형태에 따른 멀티 칩 패키지가 제공된다. 멀티 칩 패키지는 서로 전기적으로 절연되어 리드 프레임의 상면에 각각 배치된 하나 또는 그 이상의 반도체 칩들과 상기 하나 또는 그 이상의 반도체 칩들의 상에 상기 반도체 칩들과 전기적으로 연결되는 기판 및 상기 리드 프레임의 상면 및

상기 하나 또는 그 이상의 반도체 칩들과 상기 기판을 포함하여 밀봉하는 봉지재를 포함한다. 나아가, 상기 반도체 칩은 실리콘 칩을 포함할 수 있다.

- <15> 상기 본 발명에 따른 멀티 칩 패키지의 일 예에 따르면 상기 리드 프레임의 상면과 상기 반도체 칩 사이에 개재된 절연층을 더 포함할 수 있다. 나아가 상기 절연층은 다이아몬드층을 포함할 수 있으며, 바람직하게는 화학기상증착법 또는 물리기상증착법에 의해 형성된 다이아몬드층을 포함할 수 있다.
- <16> 상기 본 발명에 따른 멀티 칩 패키지의 다른 예에 따르면 상기 리드 프레임의 상면과 상기 절연층 사이에 개재된 제1 금속층을 더 포함할 수 있다. 그리고/또는 상기 리드 프레임의 상면과 상기 절연층 사이에 개재된 다이아몬드층을 더 포함할 수 있다. 나아가, 상기 반도체 칩과 상기 기판을 전기적으로 연결하는 금속 범프 또는 솔더 범프를 더 포함할 수 있다.
- <17> 상기 본 발명에 따른 멀티 칩 패키지의 또 다른 예에 따르면 상기 리드 프레임의 하면과 접촉하여 배치되는 히트싱크를 더 포함할 수 있다.
- <18> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 형태에 따른 멀티 칩 패키지가 제공된다. 멀티 칩 패키지는 서로 전기적으로 절연되어 도전성인 히트 싱크의 상면에 각각 배치된 하나 또는 그 이상의 반도체 칩들, 상기 하나 또는 그 이상의 반도체 칩들의 상에 상기 반도체 칩들과 전기적으로 연결되는 기판 및 상기 히트 싱크의 상면 및 상기 하나 또는 그 이상의 반도체 칩들과 상기 기판을 포함하여 밀봉하는 봉지재를 포함한다. 나아가, 상기 반도체 칩은 실리콘 칩을 포함할 수 있다.
- <19> 상기 본 발명에 따른 멀티 칩 패키지의 일 예에 따르면 상기 리드 프레임의 상면과 상기 반도체 칩 사이에 개재된 절연층을 더 포함할 수 있다. 나아가 상기 절연층은 다이아몬드층을 포함할 수 있으며, 바람직하게는 화학기상증착법 또는 물리기상증착법에 의해 형성된 다이아몬드층을 포함할 수 있다.
- <20> 상기 본 발명에 따른 멀티 칩 패키지의 다른 예에 따르면 상기 기판과 접촉하고 외부로 전기적 연결이 되는 리드 프레임을 더 포함할 수 있다.
- <21> 상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 형태에 따른 멀티 칩 패키지가 제공된다. 상기 멀티 칩 패키지는 도전성인 리드 프레임의 상면에 탑재된 제1 실리콘 칩, 상기 제1 실리콘 칩 상에 탑재된 제2 실리콘 칩 및 상기 제1 실리콘 칩과 상기 제2 실리콘 칩 사이에 개재되는 절연층을 포함한다. 나아가 상기 제1 실리콘 칩과 상기 제2 실리콘 칩을 전기적으로 연결하는 본딩 와이어 및 상기 리드 프레임의 상면과 상기 제1 실리콘 칩, 상기 제2 실리콘 칩, 상기 절연층 및 상기 본딩 와이어를 밀봉하는 봉지재를 포함한다.
- <22> 상기 본 발명에 따른 멀티 칩 패키지의 일 예에 따르면 상기 절연층은 화학기상증착법 또는 물리기상증착법에 의해 형성된 다이아몬드층을 포함할 수 있다. 나아가, 상기 리드 프레임과 상기 제1 실리콘 칩 사이 및 상기 절연층과 상기 제1 실리콘 칩 사이에 개재되는 다이아몬드층을 각각 더 포함할 수 있다.

효과

- <23> 본 발명에 따른 멀티 칩 패키지는 절연 기판을 사용하지 않고 상대적으로 낮은 비용으로 하나 이상의 반도체 칩을 탑재하는 패키지를 구현할 수 있다.
- <24> 또한, 본 발명에 따른 멀티 칩 패키지는 높은 전기적 저항 특성과 낮은 열저항 특성을 동시에 가지는 다이아몬드층이 반도체 칩과 리드 프레임 또는 히트 싱크 사이에 개재됨으로써 복수개의 반도체 칩 서로 간의 절연을 안정적으로 유지할 수 있으며 외부로의 열방출이 효과적으로 이루어질 수 있다.

발명의 실시를 위한 구체적인 내용

- <25> 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하여 위하여 과장되어진 것이다.
- <26> 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다. 명세서 전체에 걸쳐서 막, 영역, 또는 기판등과 같은 하나의 구성요소가 또 다른 구성요소 "상에" 위치한다고 언급할 때는, 상기 하나의 구성요소가 다른 구성요소에 직접 접촉하거나 중간에 개재되는 구성요소들이 존재할 수 있다고 해석될 수 있다. 또한,

"상의" 또는 "위의" 및 "하의" 또는 "아래의"와 같은 상대적인 용어들은 도면들에서 도해되는 것처럼 다른 요소들에 대한 어떤 요소들의 관계를 기술하기 위해 여기에서 사용될 수 있다. 상대적 용어들은 도면들에서 묘사되는 방향에 추가하여 소자의 다른 방향들을 포함하는 것으로 이해될 수 있다. 예를 들어, 도면들에서 소자의 위아래가 뒤집어 진다면, 다른 요소들의 상부면 상에 존재하는 것으로 묘사되는 요소들은 상기 다른 요소들의 하부면 상에 방향을 가지게 된다. 그러므로, 예로써 든 "상의"라는 용어는, 도면의 특정한 방향에 의존하여 "하의" 및 "상의" 방향 모두를 포함할 수 있다.

- <27> 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용된 바와 같이, 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 경우 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.
- <28> 본 명세서에서 제 1, 제 2 등의 용어가 다양한 부재, 부품, 영역, 층들 및/또는 부분들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 층들 및/또는 부분들은 이들 용어에 의해 한정되어서는 안됨은 자명하다. 이들 용어는 하나의 부재, 부품, 영역, 층 또는 부분을 다른 영역, 층 또는 부분과 구별하기 위하여만 사용된다.
- <29> 도 1은 본 발명의 일실시예에 따른 멀티 칩 패키지(100)를 보여주는 단면도이다.
- <30> 도 1을 참조하면, 제1 리드 프레임(141) 상면에 탑재된 복수개의 반도체 칩(121)이 제공된다. 제1 리드 프레임(141)은 도전성 물질로 형성되며 일레로 구리로 형성될 수 있다. 따라서, 제1 리드 프레임(141)을 통해 복수개의 반도체 칩(121)이 단락(short)이 되는 것을 방지하기 위하여 복수개의 반도체 칩(121)은 서로 전기적으로 절연되어야 한다. 반도체 칩(121)은 전력 소자 및/또는 제어 소자를 포함할 수 있다. 전력 소자는 모터 드라이브, 전력-인버터, 전력-컨버터, 전력-피에프씨(power factor correctoin;PFC) 또는 디스플레이 드라이브에 응용될 수 있다. 하지만 전력 소자의 이러한 예는 본 발명의 설명을 위해서 추가적으로 제공되었을 뿐, 본 발명의 범위가 이러한 예에 제한되는 않는다. 반도체 칩(121)은 실리콘 칩을 포함하는 것이 바람직하다. 도 1에서는 반도체 칩(121)이 복수개인 경우를 도시하고 있지만 한 개의 반도체 칩(121)인 경우에도 적용할 수 있다.
- <31> 본 발명의 일실시예에서는 제1 리드 프레임(141)의 상면과 반도체 칩(121) 사이에 절연층(123)이 개재된다. 절연층(123)은 반도체 칩(121)과 제1 리드 프레임(141)을 서로 전기적으로 절연시켜야 하므로 높은 전기적 저항 특성을 가져야 한다. 또한 절연층(123)은 반도체 칩(121)에서 발생하는 열을 외부로 효율적으로 방출하기 위하여 낮은 열저항 특성(높은 열전도도 특성)을 동시에 가져야 한다.
- <32> 절연층(123)은 다이아몬드층을 포함하여 형성될 수 있다. 상기 다이아몬드층은 화학기상증착법 또는 물리기상증착법을 통하여 형성될 수 있다.
- <33> 예를 들어 화학기상증착법에 의해 다이아몬드층을 형성하기 위해서 수소 가스 분위기 하에서 플라즈마 화학기상증착법을 사용할 수 있다. 물리기상증착법에 의해 다이아몬드층을 형성하기 위해서 레이저 애블레이션법을 사용할 수 있다. 레이저 애블레이션법은 장치의 구조가 간단하고 그라파이트 타겟으로부터 방출되는 입자들의 높은 운동에너지 때문에 보다 낮은 기판 온도에서도 결정을 성장시킬 수 있다.
- <34> 절연층(123)은 BeO층 또는 AlN층을 포함할 수도 있다. 상기 BeO층 또는 AlN층도 화학기상증착법 또는 화학기상증착법에 의해 형성될 수 있다.
- <35> 표 1은 화학기상증착법에 의해 형성된 다이아몬드, BeO, AlN 및 구리에 대한 여러 특성들을 보여준다.

표 1

물질	영계수 (10 ¹² dynes/cm ²)	비저항 (Ω cm)	열팽창계수 (ppm/°C)	열전도도 (W/cm°C)
CVD diamond	8.40	10 ¹⁶	1.2	21
BeO	1.01	10 ¹⁴	7.4	2.4
AlN	1.81	10 ¹⁴	3.2	2.2
Cu	1.10	1.7x10 ⁻⁶	16.8	3.8

- <37> 표 1을 참조하면, 화학기상증착법에 의한 다이아몬드층은 열적 저항 특성이 매우 높아 절연물질로서 기능을 담당하며 열전도도가 매우 높아서 패키지의 외부 열방출에 기여할 수 있다. 따라서, 본 발명의 일실시예에 따른 절연층(123)은 화학기상증착법에 의한 다이아몬드층을 포함하는 것이 바람직하다. 그러나 이러한 절연층을 구성하는 물질들은 예시적으로 제공되었고, 본 발명의 범위가 이러한 예에 제한되는 것은 아니다.
- <38> 멀티 칩 패키지(100)는 복수개의 반도체 칩(121)들 상에 반도체 칩(121)들과 전기적으로 연결되는 기판(110)이 제공된다. 기판(110)은 인쇄회로기판(PCB), 가요성 인쇄회로기판(FPCB), DBC 기판 또는 IMS 기판 등을 포함할 수 있다. 이러한 기판들은 예시적으로 제공되었고, 본 발명의 범위가 이러한 예에 제한되는 것은 아니다.
- <39> 반도체 칩(121) 상에 형성된 범프(122)에 의해 반도체 칩(121)과 기판(110)은 전기적으로 연결될 수 있다. 범프(122)는 금속 또는 솔더로 형성될 수 있다. 범프(122) 이외에 본딩 와이어에 의해 반도체 칩(121)과 기판(110)이 전기적으로 연결될 수도 있다. 상기 본딩 와이어가 제공되는 경우 반도체 칩(121)의 상면에 제2 금속층(미도시)이 형성될 수도 있다.
- <40> 제1 리드 프레임(141)의 상면과 절연층(123) 사이에는 제1 금속층(124)이 개재될 수 있다. 제1 금속층(124)은 제1 리드 프레임(141) 상에 솔더링을 위해 필요할 수 있다. 또한 제1 리드 프레임(141)의 상면과 절연층(123) 사이에는 다이 어태치 접착층(125)이 개재될 수 있다. 다이 어태치 접착층(125)은 예를 들어 솔더 또는 에폭시로 구성될 수 있으나, 본 발명의 범위가 이러한 예에 의해 제한되는 것은 아니다.
- <41> 도 1에서는 제1 금속층(124)과 다이 어태치 접착층(125)이 동시에 도시되어 있지만 반드시 함께 제공되어야 할 필요는 없다. 경우에 따라서는 제1 금속층(124) 또는 다이 어태치 접착층(125)만 절연층(123)과 제1 리드 프레임(141) 사이에 개재될 수 있다.
- <42> 기판(110) 상에는 또 다른 반도체 칩(130)이 본딩 와이어(135)에 의해 전기적으로 연결되도록 탑재된다. 상기 또 다른 반도체 칩(130)은 전력 소자 및/또는 제어 소자일 수 있으나, 이러한 예는 본 발명의 설명을 위해서 부가적으로 제공되었을 뿐, 본 발명의 범위가 이러한 예에 의하여 제한되지는 않는다.
- <43> 멀티 칩 패키지(100)는 봉지재(150)를 포함한다. 봉지재(150)는 제1 리드 프레임(141)의 상면 및 반도체 칩(121)들과 기판(110)을 포함하여 밀봉할 수 있다. 제1 리드 프레임(141)의 하면은 외부로 노출되도록 봉지재(150)가 형성되는 것이 바람직하다. 봉지재(150)는 절연성 수지, 예컨대 EMC(Epoxy Mold Compound)으로 형성될 수 있다.
- <44> 제1 리드 프레임(141)의 하면은 봉지재(150)에 의해 노출되는데 노출된 제1 리드 프레임(141)의 하면과 접촉하는 히트싱크(heat sink, 160)가 제공될 수 있다. 히트싱크(160)는 봉지재(150)의 하면 및 제1 리드 프레임(141)의 하면과 접착층 및/또는 기계적 결합구조에 의해 결합될 수도 있다. 히트싱크(160)는 전력 소자를 포함하는 반도체 칩(121)에서 발생하는 열을 빠르게 방출하는 역할을 할 수 있다.
- <45> 멀티 칩 패키지(100)는 제2 리드 프레임(142)을 포함할 수 있는데, 제2 리드 프레임(142)은 기판(110)과 접촉하여 외부로 전기적 연결이 가능하게 할 수 있다. 따라서 도 1에서 도시된 멀티 칩 패키지(100)는 부착된 리드 프레임(141, 142)이 양쪽에 두 줄로 늘어선 형태인 이중 직렬 패키지(DIP; dual in-line package)일 수 있다.
- <46> 도 2는 본 발명의 일실시예의 변형예에 따른 멀티 칩 패키지(200)를 보여주는 단면도이다.
- <47> 도 2를 참조하면, 리드 프레임(241) 상면에 탑재된 반도체 칩(221)이 제공된다. 리드 프레임(241)은 도전성 물질로 형성되며 일례로 구리로 형성될 수 있다. 반도체 칩(221)은 전력 소자 및/또는 제어 소자를 포함할 수 있다. 전력 소자는 모터 드라이브, 전력-인버터, 전력-컨버터, 전력-피에프씨(power factor correctoin;PFC) 또는 디스플레이 드라이브에 응용될 수 있다. 하지만 전력 소자의 이러한 예는 본 발명의 설명을 위해서 부가적으로 제공되었을 뿐, 본 발명의 범위가 이러한 예에 제한되지는 않는다. 반도체 칩(221)은 실리콘 칩을 포함하는 것이 바람직하다. 도 2에서는 반도체 칩(221)이 한 개인 경우를 도시하고 있지만 복수개의 반도체 칩인 경우에도 적용할 수 있다.
- <48> 본 발명의 일실시예에서는 리드 프레임(241)의 상면과 반도체 칩(221) 사이에 절연층(223)이 개재된다. 절연층(223)은 반도체 칩(221)과 리드 프레임(241)을 서로 전기적으로 절연시켜야 하므로 높은 전기적 저항 특성을 가져야 한다. 또한 절연층(223)은 반도체 칩(221)에서 발생하는 열을 외부로 효율적으로 방출하기 위하여 낮은 열저항 특성(높은 열전도도 특성)을 동시에 가져야 한다.
- <49> 절연층(223)은 다이아몬드층을 포함하여 형성될 수 있다. 상기 다이아몬드층은 화학기상증착법 또는 물리기상증

작법을 통하여 형성될 수 있다.

- <50> 예를 들어 화학기상증착법에 의해 다이아몬드층을 형성하기 위해서 수소 가스 분위기 하에서 플라즈마 화학기상증착법을 사용할 수 있다. 물리기상증착법에 의해 다이아몬드층을 형성하기 위해서 레이저 애블레이션법을 사용할 수 있다. 레이저 애블레이션법은 장치의 구조가 간단하고 그라파이트 타겟으로부터 방출되는 입자들의 높은 운동에너지 때문에 보다 낮은 기판 온도에서도 결정을 성장시킬 수 있다.
- <51> 절연층(223)은 BeO층 또는 AlN층을 포함할 수도 있다. 상기 BeO층 또는 AlN층도 화학기상증착법 또는 화학기상증착법에 의해 형성될 수 있다.
- <52> 표 1은 화학기상증착법에 의해 형성된 다이아몬드, BeO, AlN 및 구리에 대한 여러 특성들을 보여준다. 표 1을 참조하면, 화학기상증착법에 의한 다이아몬드층은 열적 저항 특성이 매우 높아 절연물질로서 기능을 담당하며 열전도도가 매우 높아서 패키지의 외부 열방출에 기여할 수 있다. 따라서, 본 발명의 일실시예에 따른 절연층(223)은 화학기상증착법에 의한 다이아몬드층을 포함하는 것이 바람직하다. 그러나 이러한 절연층을 구성하는 물질들은 예시적으로 제공되었고, 본 발명의 범위가 이러한 예에 제한되는 것은 아니다.
- <53> 멀티 칩 패키지(200)는 반도체 칩(221) 상에 반도체 칩(221)과 전기적으로 연결되는 기판(210)이 제공된다. 기판(210)은 인쇄회로기판(PCB), 가요성 인쇄회로기판(FPCB), DBC 기판 또는 IMS 기판 등을 포함할 수 있다. 이러한 기판들은 예시적으로 제공되었고, 본 발명의 범위가 이러한 예에 제한되는 것은 아니다.
- <54> 반도체 칩(221) 상에 형성된 범프(222)에 의해 반도체 칩(221)과 기판(210)은 전기적으로 연결될 수 있다. 범프(222)는 금속 또는 솔더로 형성될 수 있다. 범프(222) 이외에 본딩 와이어에 의해 반도체 칩(221)과 기판(210)이 전기적으로 연결될 수도 있다. 상기 본딩 와이어가 제공되는 경우 반도체 칩(221)의 상면에 제2 금속층(미도시)이 형성될 수도 있다.
- <55> 리드 프레임(241)의 상면과 절연층(223) 사이에는 제1 금속층(224)이 개재될 수 있다. 제1 금속층(224)은 리드 프레임(241) 상에 솔더링을 위해 필요할 수 있다. 또한 리드 프레임(241)의 상면과 절연층(223) 사이에는 다이 어태치 접착층(225)이 개재될 수 있다. 다이 어태치 접착층(225)은 예를 들어 솔더 또는 에폭시로 구성될 수 있으나, 본 발명의 범위가 이러한 예에 의해 제한되는 것은 아니다.
- <56> 도 1에서는 제1 금속층(224)과 다이 어태치 접착층(225)이 동시에 도시되어 있지만 반드시 함께 제공되어야 할 필요는 없다. 경우에 따라서는 제1 금속층(224) 또는 다이 어태치 접착층(225)만 절연층(223)과 리드 프레임(241) 사이에 개재될 수 있다.
- <57> 기판(210) 상에는 또 다른 반도체 칩(230)이 연결 부재(232)에 의해 전기적으로 연결되도록 탑재된다. 상기 또 다른 반도체 칩(230)은 전력 소자 및/또는 제어 소자일 수 있으나, 이러한 예는 본 발명의 설명을 위해서 부가적으로 제공되었을 뿐, 본 발명의 범위가 이러한 예에 의하여 제한되지는 않는다.
- <58> 멀티 칩 패키지(200)는 봉지재(250)를 포함한다. 봉지재(250)는 리드 프레임(241)의 상면 및 반도체 칩(221, 230)들과 기판(210)을 포함하여 밀봉할 수 있다. 리드 프레임(241)의 하면은 외부로 노출되도록 봉지재(250)가 형성되는 것이 바람직하다. 봉지재(250)는 절연성 수지, 예컨대 EMC(Epoxy Mold Compound)으로 형성될 수 있다.
- <59> 리드 프레임(241)의 하면은 봉지재(250)에 의해 노출되는데 노출된 리드 프레임(241)의 하면과 접촉하는 히트싱크(heat sink, 260)가 제공될 수 있다. 히트싱크(260)는 봉지재(250)의 하면 및 리드 프레임(241)의 하면과 접촉층 및/또는 기계적 결합구조에 의해 결합될 수도 있다. 히트싱크(260)는 전력 소자를 포함하는 반도체 칩(221)에서 발생하는 열을 빠르게 방출하는 역할을 할 수 있다.
- <60> 멀티 칩 패키지(200)에서 리드 프레임(241)은 기판(210)과 접촉하여 전기적으로 연결된다. 따라서, 기판(210)이 DBC 기판이나 IMS 기판과 같은 절연성 기판이 아닌 경우 반도체 칩(221)과 또 다른 반도체 칩(230)은 전기적으로 단락(short)이 될 수 있다. 따라서 리드 프레임(241)과 반도체 칩(221) 사이에 개재되는 절연층(223)이 상기 단락을 방지할 수 있다.
- <61> 도 2에서 도시된 멀티 칩 패키지(200)는 부착된 리드 프레임(241)이 한쪽에 한 줄로 늘어선 형태인 단일 직렬 패키지(SIP; single in-line package)일 수 있다.
- <62> 도 3은 본 발명의 다른 실시예에 따른 멀티 칩 패키지(300)를 보여주는 단면도이다.
- <63> 도 3을 참조하면, 히트싱크(360)의 상면에 탑재된 반도체 칩(321)이 제공된다. 히트싱크(360)는 도전성 물질로 형성되며 일레로 구리로 형성될 수 있다. 반도체 칩(321)은 전력 소자 및/또는 제어 소자를 포함할 수 있다.

전력 소자는 모터 드라이브, 전력-인버터, 전력-컨버터, 전력-피에프씨(power factor correctoin;PFC) 또는 디스플레이 드라이브에 응용될 수 있다. 하지만 전력 소자의 이러한 예는 본 발명의 설명을 위해서 부가적으로 제공되었을 뿐, 본 발명의 범위가 이러한 예에 제한되지는 않는다. 반도체 칩(321)은 실리콘 칩을 포함하는 것이 바람직하다. 도 3에서는 반도체 칩(321)이 복수개인 경우를 도시하고 있지만 한 개의 반도체 칩인 경우에도 적용할 수 있다.

- <64> 본 발명의 일실시예에서는 히트싱크(360)의 상면과 반도체 칩(321) 사이에 절연층(323)이 개재된다. 절연층(323)은 반도체 칩(321)과 히트싱크(360)를 서로 전기적으로 절연시켜야 하므로 높은 전기적 저항 특성을 가져야 한다. 또한 절연층(323)은 반도체 칩(321)에서 발생하는 열을 외부로 효율적으로 방출하기 위하여 낮은 열저항 특성(높은 열전도도 특성)을 동시에 가져야 한다.
- <65> 절연층(323)은 다이아몬드층을 포함하여 형성될 수 있다. 상기 다이아몬드층은 화학기상증착법 또는 물리기상증착법을 통하여 형성될 수 있다.
- <66> 예를 들어 화학기상증착법에 의해 다이아몬드층을 형성하기 위해서 수소 가스 분위기 하에서 플라즈마 화학기상증착법을 사용할 수 있다. 물리기상증착법에 의해 다이아몬드층을 형성하기 위해서 레이저 에블레이션법을 사용할 수 있다. 레이저 에블레이션법은 장치의 구조가 간단하고 그라파이트 타겟으로부터 방출되는 입자들의 높은 운동에너지 때문에 보다 낮은 기판 온도에서도 결정을 성장시킬 수 있다.
- <67> 절연층(323)은 BeO층 또는 AlN층을 포함할 수도 있다. 상기 BeO층 또는 AlN층도 화학기상증착법 또는 화학기상증착법에 의해 형성될 수 있다.
- <68> 표 1은 화학기상증착법에 의해 형성된 다이아몬드, BeO, AlN 및 구리에 대한 여러 특성들을 보여준다. 표 1을 참조하면, 화학기상증착법에 의한 다이아몬드층은 열적 저항 특성이 매우 높아 절연물질로서 기능을 담당하며 열전도도가 매우 높아서 패키지의 외부 열방출에 기여할 수 있다. 따라서, 본 발명의 일실시예에 따른 절연층(323)은 화학기상증착법에 의한 다이아몬드층을 포함하는 것이 바람직하다. 그러나 이러한 절연층을 구성하는 물질들은 예시적으로 제공되었고, 본 발명의 범위가 이러한 예에 제한되는 것은 아니다.
- <69> 멀티 칩 패키지(300)는 반도체 칩(321) 상에 반도체 칩(321)과 전기적으로 연결되는 기판(310)이 제공된다. 기판(310)은 인쇄회로기판(PCB), 가요성 인쇄회로기판(FPCB), DBC 기판 또는 IMS 기판 등을 포함할 수 있다. 이러한 기판들은 예시적으로 제공되었고, 본 발명의 범위가 이러한 예에 제한되는 것은 아니다.
- <70> 반도체 칩(321) 상에 형성된 범프(322)에 의해 반도체 칩(321)과 기판(310)은 전기적으로 연결될 수 있다. 범프(322)는 금속 또는 솔더로 형성될 수 있다. 범프(322) 이외에 본딩 와이어에 의해 반도체 칩(321)과 기판(310)이 전기적으로 연결될 수도 있다. 상기 본딩 와이어가 제공되는 경우 반도체 칩(321)의 상면에 제2 금속층(미도시)이 형성될 수도 있다.
- <71> 히트싱크(360)의 상면과 절연층(323) 사이에는 제1 금속층(324)이 개재될 수 있다. 제1 금속층(324)은 히트싱크(360) 상에 솔더링을 위해 필요할 수 있다.
- <72> 기판(310) 상에는 또 다른 반도체 칩(330)이 연결 부재(335)에 의해 전기적으로 연결되도록 탑재된다. 상기 또 다른 반도체 칩(330)은 전력 소자 및/또는 제어 소자일 수 있으나, 이러한 예는 본 발명의 설명을 위해서 부가적으로 제공되었을 뿐, 본 발명의 범위가 이러한 예에 의하여 제한되지는 않는다.
- <73> 멀티 칩 패키지(300)는 기판(310) 상에 접촉하여 외부로 전기적 연결을 할 수 있는 리드 프레임(341, 342)이 제공될 수 있다.
- <74> 멀티 칩 패키지(300)는 봉지재(350)를 포함한다. 봉지재(350)는 히트싱크(360)의 상면 및 반도체 칩(321, 330)들과 기판(310)을 포함하여 밀봉할 수 있다. 봉지재(350)는 절연성 수지, 예컨대 EMC(Epoxy Mold Compound)으로 형성될 수 있다.
- <75> 도 4는 본 발명의 다른 실시예의 변형예에 따른 멀티 칩 패키지(400)를 보여주는 단면도이다.
- <76> 도 4를 참조하면, 히트싱크(460)의 상면에 탑재된 반도체 칩(421)이 제공된다. 히트싱크(460)는 도전성 물질로 형성되며 일레로 구리로 형성될 수 있다. 반도체 칩(421)은 전력 소자 및/또는 제어 소자를 포함할 수 있다. 전력 소자는 모터 드라이브, 전력-인버터, 전력-컨버터, 전력-피에프씨(power factor correctoin;PFC) 또는 디스플레이 드라이브에 응용될 수 있다. 하지만 전력 소자의 이러한 예는 본 발명의 설명을 위해서 부가적으로 제공되었을 뿐, 본 발명의 범위가 이러한 예에 제한되지는 않는다. 반도체 칩(421)은 실리콘 칩을 포함하는 것이

바람직하다. 도 4에서는 반도체 칩(421)이 한 개인 경우를 도시하고 있지만 복수개의 반도체 칩인 경우에도 적용할 수 있다.

- <77> 본 발명의 실시예에서는 히트싱크(460)의 상면과 반도체 칩(421) 사이에 절연층(423)이 개재된다. 절연층(423)은 반도체 칩(421)과 히트싱크(460)를 서로 전기적으로 절연시켜야 하므로 높은 전기적 저항 특성을 가져야 한다. 또한 절연층(423)은 반도체 칩(421)에서 발생하는 열을 외부로 효율적으로 방출하기 위하여 낮은 열저항 특성(높은 열전도도 특성)을 동시에 가져야 한다.
- <78> 절연층(423)은 다이아몬드층을 포함하여 형성될 수 있다. 상기 다이아몬드층은 화학기상증착법 또는 물리기상증착법을 통하여 형성될 수 있다.
- <79> 예를 들어 화학기상증착법에 의해 다이아몬드층을 형성하기 위해서 수소 가스 분위기 하에서 플라즈마 화학기상증착법을 사용할 수 있다. 물리기상증착법에 의해 다이아몬드층을 형성하기 위해서 레이저 에블레이션법을 사용할 수 있다. 레이저 에블레이션법은 장치의 구조가 간단하고 그라파이트 타겟으로부터 방출되는 입자들의 높은 운동에너지 때문에 보다 낮은 기판 온도에서도 결정을 성장시킬 수 있다.
- <80> 절연층(423)은 BeO층 또는 AlN층을 포함할 수도 있다. 상기 BeO층 또는 AlN층도 화학기상증착법 또는 화학기상증착법에 의해 형성될 수 있다.
- <81> 표 1은 화학기상증착법에 의해 형성된 다이아몬드, BeO, AlN 및 구리에 대한 여러 특성들을 보여준다. 표 1을 참조하면, 화학기상증착법에 의한 다이아몬드층은 열적 저항 특성이 매우 높아 절연물질로서 기능을 담당하며 열전도도가 매우 높아서 패키지의 외부 열방출에 기여할 수 있다. 따라서, 본 발명의 일실시예에 따른 절연층(423)은 화학기상증착법에 의한 다이아몬드층을 포함하는 것이 바람직하다. 그러나 이러한 절연층을 구성하는 물질들은 예시적으로 제공되었고, 본 발명의 범위가 이러한 예에 제한되는 것은 아니다.
- <82> 멀티 칩 패키지(400)는 반도체 칩(421) 상에 반도체 칩(421)과 전기적으로 연결되는 기판(410)이 제공된다. 기판(410)은 트레이스(411)이 양면에 형성된 인쇄회로기판(PCB) 또는 가요성 인쇄회로기판(FPCB)을 포함할 수 있다. 이러한 기판들은 예시적으로 제공되었고, 본 발명의 범위가 이러한 예에 제한되는 것은 아니다.
- <83> 반도체 칩(421) 상에 형성된 범프(422)에 의해 반도체 칩(421)과 기판(410)은 전기적으로 연결될 수 있다. 범프(422)는 금속 또는 솔더로 형성될 수 있다.
- <84> 히트싱크(460)의 상면과 절연층(423) 사이에는 제1 금속층(424)이 개재될 수 있다. 제1 금속층(424)은 히트싱크(460) 상에 솔더링을 위해 필요할 수 있다.
- <85> 기판(410) 상에 형성된 트레이스(411) 상에는 또 다른 반도체 칩(431)이 연결 부재(432)에 의해 전기적으로 연결되도록 탑재된다. 상기 또 다른 반도체 칩(431)은 전력 소자 및/또는 제어 소자일 수 있으나, 이러한 예는 본 발명의 설명을 위해서 부가적으로 제공되었을 뿐, 본 발명의 범위가 이러한 예에 의하여 제한되지는 않는다.
- <86> 멀티 칩 패키지(400)는 기판(410) 상에 형성된 트레이스(411)이 제공되어 외부로 전기적 연결이 가능할 수 있다.
- <87> 멀티 칩 패키지(400)는 봉지재(450)를 포함한다. 봉지재(450)는 히트싱크(460)의 상면 및 반도체 칩(421, 431)들을 포함하여 밀봉할 수 있다. 봉지재(450)는 절연성 수지, 예컨대 EMC(Epoxy Mold Compound)으로 형성될 수 있다.
- <88> 도 1 및 도 2에서 도시된 멀티 칩 패키지(100, 200)은 리드 프레임이 히트싱크 방향으로 노출된 구조이며, 도 3 및 도 4에서 도시된 멀티 칩 패키지(300, 400)은 반도체칩의 배면(backside)이 히트싱크 방향으로 노출된 구조이다.
- <89> 도 5는 본 발명의 또 다른 실시예에 따른 멀티 칩 패키지(500)를 보여주는 단면도이다.
- <90> 도 5를 참조하면, 제1 리드 프레임(510)의 상면에 탑재된 제1 반도체칩(521a)이 제공된다. 제1 반도체칩(521a)의 상면에 제2 반도체칩(521b)이 또한 제공된다. 제1 반도체칩(521a) 및/또는 제2 반도체칩(521b)은 전력 소자 및/또는 제어 소자를 포함할 수 있다. 전력 소자는 모터 드라이브, 전력-인버터, 전력-컨버터, 전력-피에프씨(power factor correctoin;PFC) 또는 디스플레이 드라이브에 응용될 수 있다. 하지만 전력 소자의 이러한 예는 본 발명의 설명을 위해서 부가적으로 제공되었을 뿐, 본 발명의 범위가 이러한 예에 제한되지는 않는다. 제1 반도체칩(521a) 및/또는 제2 반도체칩(521b)은 실리콘 칩을 포함하여 형성될 수 있다.

- <91> 제1 반도체칩(521a)과 제2 반도체칩(521b) 사이에는 절연층(523b)이 개재된다. 절연층(523b)은 제1 반도체칩(521a)과 제2 반도체칩(521b)을 단락을 방지하기 위하여 서로 전기적으로 절연시켜야 하므로 높은 전기적 저항 특성을 가져야 한다. 또한 절연층(523b)은 반도체 칩에서 발생하는 열을 외부로 효율적으로 방출하기 위하여 낮은 열저항 특성(높은 열전도도 특성)을 동시에 가져야 한다.
- <92> 절연층(523b)은 다이아몬드층을 포함하여 형성될 수 있다. 상기 다이아몬드층은 화학기상증착법 또는 물리기상증착법을 통하여 형성될 수 있다.
- <93> 예를 들어 화학기상증착법에 의해 다이아몬드층을 형성하기 위해서 수소 가스 분위기 하에서 플라즈마 화학기상증착법을 사용할 수 있다. 물리기상증착법에 의해 다이아몬드층을 형성하기 위해서 레이저 에블레이션법을 사용할 수 있다. 레이저 에블레이션법은 장치의 구조가 간단하고 그라파이트 타겟으로부터 방출되는 입자들의 높은 운동에너지 때문에 보다 낮은 기판 온도에서도 결정을 성장시킬 수 있다.
- <94> 절연층(523b)은 BeO층 또는 AlN층을 포함할 수도 있다. 상기 BeO층 또는 AlN층도 화학기상증착법 또는 화학기상증착법에 의해 형성될 수 있다.
- <95> 표 1은 화학기상증착법에 의해 형성된 다이아몬드, BeO, AlN 및 구리에 대한 여러 특성들을 보여준다. 표 1을 참조하면, 화학기상증착법에 의한 다이아몬드층은 열적 저항 특성이 매우 높아 절연물질로서 기능을 담당하며 열전도도가 매우 높아서 패키지의 외부 열방출에 기여할 수 있다. 따라서, 본 발명의 일실시예에 따른 절연층(523b)은 화학기상증착법에 의한 다이아몬드층을 포함하는 것이 바람직하다. 그러나 이러한 절연층을 구성하는 물질들은 예시적으로 제공되었고, 본 발명의 범위가 이러한 예에 제한되는 것은 아니다.
- <96> 제1 반도체칩(521a)과 절연층(523b) 사이에는 제1 금속층(524b)이 개재될 수 있다. 제1 금속층(524b)은 솔더링을 위해 필요할 수 있다.
- <97> 제1 리드 프레임(510)과 제1 반도체칩(521a) 사이에는 제1 다이 어태치 접착층(526a)이 제공될 수 있으며, 제1 반도체칩(521a)과 제2 반도체칩(521b) 사이에는 제2 다이 어태치 접착층(526b)이 제공될 수 있다.
- <98> 제1 반도체칩(521a)과 제2 반도체칩(521b)은 제1 본딩 와이어(535)에 의해 전기적으로 연결될 수 있다.
- <99> 제1 반도체칩(521a) 및/또는 제2 반도체칩(521b) 상에 형성된 패드와 제2 리드 프레임(441)은 제2 본딩 와이어(536)에 의해 전기적으로 연결될 수 있다.
- <100> 멀티 칩 패키지(500)는 봉지재(550)를 포함한다. 봉지재(550)는 제1 반도체칩(521a), 제2 반도체칩(521b), 절연층(523b) 및 본딩 와이어(535, 536)를 포함하여 밀봉할 수 있다. 봉지재(550)는 절연성 수지, 에폭시대 EMC(Epoxy Mold Compound)으로 형성될 수 있다.
- <101> 도 1 내지 도 4에서 도시된 멀티 칩 패키지는 단락을 방지하기 위하여 서로 간에 절연되는 반도체 칩들이 리드 프레임 또는 히트싱크 상에 칩-바이-칩(chip by chip) 형태로 배치되지만, 도 5에서 도시된 멀티 칩 패키지는 단락을 방지하기 위하여 서로 간에 절연되는 반도체 칩들이 칩-온-칩(chip on chip)형태로 배치된다.
- <102> 발명의 특정 실시예들에 대한 이상의 설명은 예시 및 설명을 목적으로 제공되었다. 따라서, 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 해당 분야에서 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

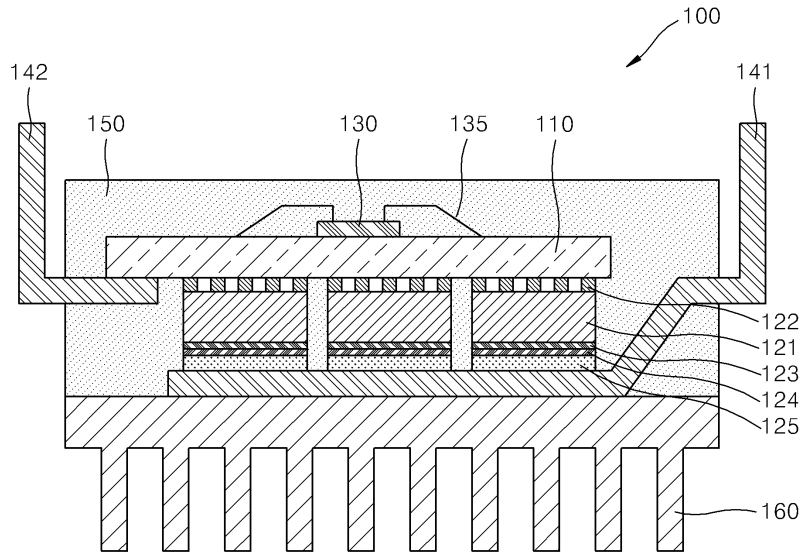
도면의 간단한 설명

- <103> 도 1은 본 발명의 일실시예에 따른 멀티 칩 패키지(100)를 보여주는 단면도이다.
- <104> 도 2는 본 발명의 일실시예의 변형예에 따른 멀티 칩 패키지(200)를 보여주는 단면도이다.
- <105> 도 3은 본 발명의 다른 실시예에 따른 멀티 칩 패키지(300)를 보여주는 단면도이다.
- <106> 도 4는 본 발명의 다른 실시예의 변형예에 따른 멀티 칩 패키지(400)를 보여주는 단면도이다.
- <107> 도 5는 본 발명의 또 다른 실시예에 따른 멀티 칩 패키지(500)를 보여주는 단면도이다.
- <108> <도면의 주요 부분에 대한 부호의 설명>
- <109> 160, 260, 360, 460 : 히트싱크
- <110> 141, 241, 341 : 리드 프레임

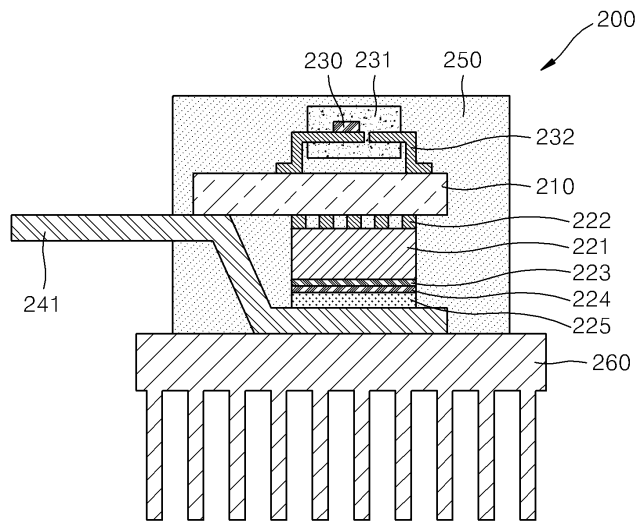
- <111> 121, 221, 321, 421, 521 : 반도체 칩
- <112> 123, 223, 323, 423, 523b : 절연층

도면

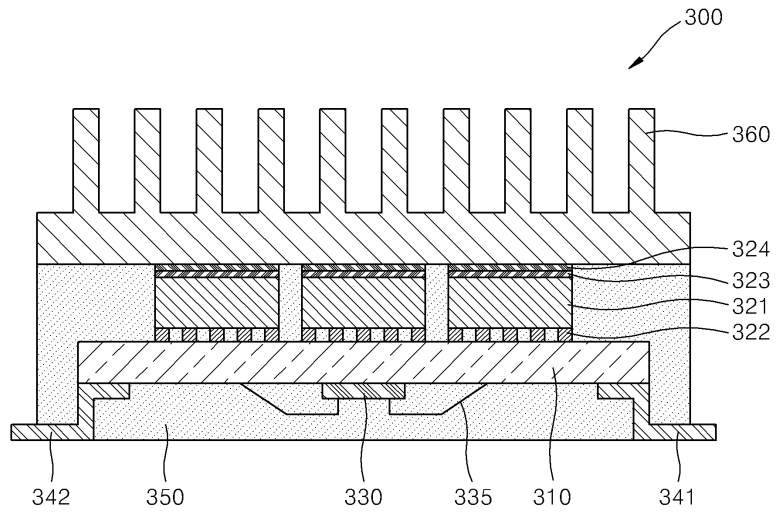
도면1



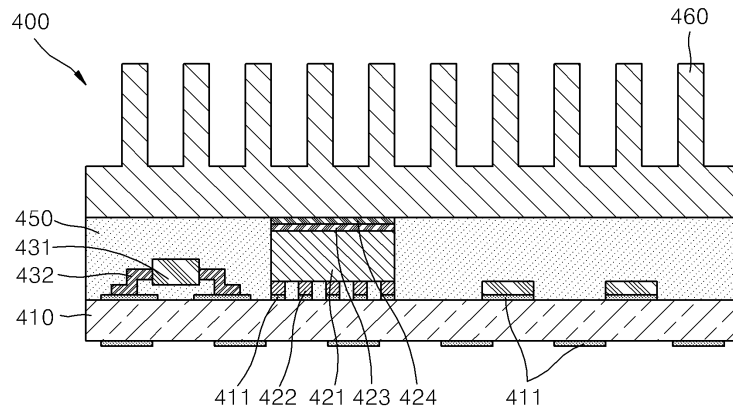
도면2



도면3



도면4



도면5

