(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2016 年 3 月 31 日 (31.03.2016)

WIPO | PCT

(10) 国际公布号
WO 2016/045294 A1

(51) **国际专利分类号**:
G09G 3/36 (2006.01)　　*G11C 19/28* (2006.01)

(21) **国际申请号**: PCT/CN2015/072166

(22) **国际申请日**: 2015 年 2 月 3 日 (03.02.2015)

(25) **申请语言**: 中文

(26) **公布语言**: 中文

(30) **优先权**:
201410509811.4 2014 年 9 月 28 日 (28.09.2014) CN

(71) **申请人**: **京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.)** [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。

(72) **发明人**: **马占洁 (MA, Zhanjie)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) **代理人**: **中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.)**; 中国北京市海淀区西三环北路 87 号 4-1105 室, Beijing 100089 (CN)。

(81) **指定国** (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) **指定国** (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) **Title**: SHIFT REGISTER UNIT, SHIFT REGISTER, GATE DRIVE CIRCUIT AND DISPLAY DEVICE

(54) **发明名称**：移位寄存器单元、移位寄存器、栅极驱动电路和显示装置

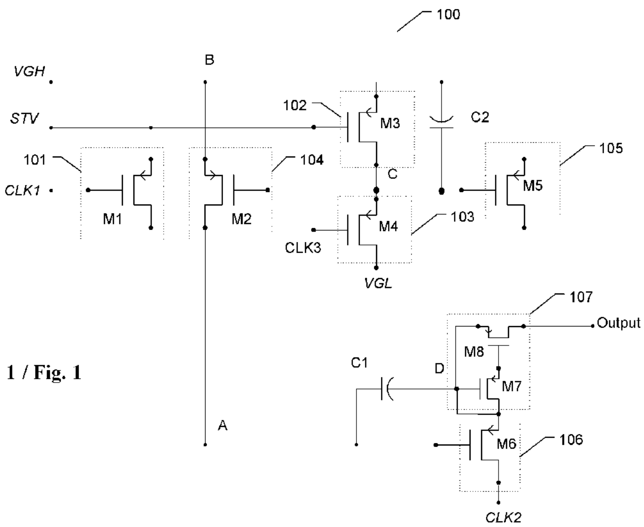

图 1 / Fig. 1

(57) **Abstract**: A shift register unit and a shift register using same, a gate drive circuit and a display device. A signal amplification module (107) comprising a transistor, the width of which is the same as that of two small channels, is added before an output node in the shift register unit, so that the effect of significantly improving the output capability under a large load condition can be realized in the state of the same design parameter.

(57) **摘要**: 一种移位寄存器单元及应用其的移位寄存器、栅极驱动电路和显示装置。在移位寄存器单元中在输出节点之前增加了包括两个小沟道宽度晶体管的信号放大模块（107），从而在相同设计参数状态下，就能实现在大负载条件下，输出能力明显改善的效果。

WO 2016/045294 A1

移位寄存器单元、移位寄存器、栅极驱动电路和显示装置

技术领域

本发明涉及电气电子行业显示驱动电路技术领域，尤其涉及一种移位寄存器单元及应用其的移位寄存器、栅极驱动电路和显示装置。

背景技术

液晶显示器（Liquid Crystal Display，简称 LCD）由于具有低功耗、重量轻、厚度薄、无电磁辐射以及无污染等优点，已广泛地应用于包括手机、平板电脑、电视机、显示器、笔记本电脑、照相机、摄像机、数码相框、导航仪等在内的具有显示功能的产品或部件中。

在现有的液晶显示器中，像素阵列可以包括横纵交错的栅极扫描线和数列数据线。其中，为了实现像素阵列的逐行扫描，通常采用栅线驱动电路给像素阵列的栅极扫描线提供扫描信号。

现有技术中，栅极驱动电路常采用 GOA（Gate Driver on Array，阵列基板行驱动）设计将 TFT（Thin Film Transistor，薄膜场效应晶体管）栅极开关电路集成在显示面板的阵列基板上以形成对显示面板的扫描驱动，这种利用 GOA 技术集成在阵列基板上的栅极驱动电路也称为 GOA 电路或移位寄存器电路。

然而，现有技术的移位寄存器单元中，当输出端口 Output 上负载变大时，其输出能力变差，若在现有结构上进行输出能力的提升，需要将相应的晶体管沟道宽度加大很多，才能提高输出能力，会占用很多设计空间。

发明内容

鉴于上述技术问题，本发明提供了一种在大负载情况下能够保持输出能力大致不变的移位寄存器单元及应用其的移位寄存器、栅极驱动电路和显示装置。

根据本发明的一个方面，提供了一种移位寄存器单元。该移位寄存器

单元包括：输入模块，响应于第一时钟信号输入端输入的时钟信号，将输入信号 STV 提供至第一节点 A；上拉模块，响应于输入信号 STV，将电源正极电压 VGH 提供至第三节点 C；下拉模块，响应于第三时钟信号输入端输入的时钟信号，将电源负极电压 VGL 提供至所述第三节点 C；复位模块，响应于第三节点 C 的信号，将电源正极电压 VGH 提供至第一节点 A；第一输出模块，响应于第三节点 C 的信号，将电源正极电压 VGH 提供至移位寄存器单元的输出节点 Output，其中，在电源正极电压 VGH 和第三节点 C 之间设置有第二电容 C2；第二输出模块，响应于第一节点 A 的输入信号，将第二时钟输入端输入的时钟信号提供至第四节点 D，其中，在第四节点 D 和第一节点 A 之间设置有第一电容 C1；以及信号放大模块，呈反相器结构，设置于第四节点 D 和移位寄存器单元的输出节点 Output 之间，用于对第四节点 D 的信号进行放大后输出至所述移位寄存器单元的输出节点（Output）。

根据本发明的另一个方面，还提供了一种移位寄存器。该移位寄存器包括：n 级的如上所述移位寄存器单元，其中，n≥2；前一级移位寄存器单元的输出端口 Output）输出的信号作为后一级移位寄存器单元的输入信号 STV）。

根据本发明的又一个方面，再提供了一种栅极驱动电路。该栅极驱动电路包括上述的移位寄存器。

根据本发明的再一个方面，再提供了一种显示装置。该显示装置包括上述的栅极驱动电路。

本发明移位寄存器单元及应用其的移位寄存器、栅极驱动电路和显示装置中，仅在原有移位寄存器单元基础上增加两个小沟道宽度的晶体管，在相同设计参数状态下，就能实现在大负载条件下，输出能力明显改善的效果，并且占用的设计空间小，实现成本低。

附图说明

图 1 为根据本发明第一实施例移位寄存器单元的结构示意图；

图 2 为图 1 所示移位寄存器单元中各信号的时序图；

图 3 为现有移位寄存器单元和图 1 所示移位寄存器单元输出能力对比

的曲线图；

图 4 为根据本发明实施例移位寄存器中一部分的结构示意图；

图 5 为图 4 所示移位寄存器中各信号的时序图。

具体实施方式

为使本发明的目的、技术方案和优点更加清楚明白，以下结合具体实施例，并参照附图，对本发明进一步详细说明。需要说明的是，在附图或说明书描述中，相似或相同的部分都使用相同的图号。附图中未绘示或描述的实现方式，为所属技术领域中普通技术人员所知的形式。另外，虽然本文可提供包含特定值的参数的示范，但应了解，参数无需确切等于相应的值，而是可在可接受的误差容限或设计约束内近似于相应的值。

在根据本发明实施例的移位寄存器单元中，仅在原有移位寄存器单元基础上增加两个小沟道宽度的晶体管，在相同设计参数状态下，就能实现在大负载条件下，输出能力明显改善的效果。

第一实施例

在本发明的一个示例性实施例中，提供了一种移位寄存器单元。图 1 为根据本发明实施例的移位寄存器单元的结构示意图。如图 1 所示，根据本实施例的移位寄存器单元 100 包括：

输入模块 101，响应于第一时钟信号输入端输入的时钟信号 CLK1，将输入信号 STV 提供至第一节点 A，其中，该第一节点 A 为该输入模块 101 的输出节点；

上拉模块 102，响应于输入信号 STV，将电源正极电压 VGH 提供至第三节点 C；

下拉模块 103，响应于第三时钟信号输入端输入的时钟信号 CLK3，将电源负极电压 VGL 提供至第三节点 C，该第三节点 C 作为上拉模块 102 和下拉模块 103 共同的输出节点；

复位模块 104，响应于第三节点 C 的输入信号，将电源正极电压 VGH 提供至第一节点 A；

第一输出模块 105，响应于第三节点 C 的输入信号，将电源正极电压 VGH 提供至本实施例移位寄存器单元的输出节点 Output，其中，在电源

正极电压 VGH 和第三节点 C 之间设置有第二电容 C2；

第二输出模块 106，响应于第一节点 A 的输入信号，将第二时钟信号输入端输入的时钟信号 CLK2 提供至第四节点 D，其中，在第四节点 D 和第一节点 A 之间设置有第一电容 C1；

信号放大模块 107，呈反相器结构，设置于第四节点 D 和输出节点 Output 之间，用于对第四节点 D 的信号进行放大后输出。

以下结合图 1 对本实施例移位寄存器单元的各个组成部分分别进行详细说明。

请参照图 1，下拉模块 101 包括：第一 P 型 TFT 晶体管 M1，其栅极连接至第一时钟信号输入端，其源极连接至输入信号 STV 的输入端，其漏极连接至第一节点 A。

请参照图 1，上拉模块 102 包括：第三 P 型 TFT 晶体管 M3，其栅极连接至输入信号 STV 的输入端，其源极连接至电源正极电压 VGH，其漏极连接至第三节点 C。

请参照图 1，下拉节点 103 包括：第四 P 型 TFT 晶体管 M4，其栅极连接至第三时钟信号输入端，其漏极连接至电源负极电压 VGL 的输入端，其源极连接至第三节点 C。

请参照图 1，复位模块 104 包括：第二 P 型 TFT 晶体管 M2，其栅极连接至第三节点 C，其源极连接至电源正极电压 VGH 的输入端，其漏极连接至第一节点 A。

请参照图 1，第一输出模块 105 包括：第五 P 型 TFT 晶体管 M5，其栅极连接至第三节点 C，其源极连接至电源正极电压 VGH 的输入端，其漏极连接至输出节点 Output，且在该第五 P 型 TFT 晶体管 M5 的栅极和源极之间设置有第二电容 C2。

请参照图 1，第二输出模块 106 包括：第六 P 型 TFT 晶体管 M6，其栅极连接至第一节点 A，其漏极连接至第二时钟信号 CLK2 的输入端，其源极连接至第四节点 D，且在该第六 P 型 TFT 晶体管 M6 的源极和栅极之间设置有第一电容 C1。

请参照图 1，信号放大模块 107 包括：第七 P 型 TFT 晶体管 M7，其栅极和漏极均连接至第四节点 D；第八 P 型 TFT 晶体管 M8，其栅极连接

至第七 P 型 TFT 晶体管 M7 的源极，其源极连接至第四节点 D，其漏极连接至输出节点 Output。

由图 1 可以看出，本实施例移位寄存器单元在输出端第六 P 型 TFT 晶体管 M6 上增加了一个反相器结构的信号放大模块 107，该信号放大模块 107 在第六 P 型 TFT 晶体管 M6 的输出端增加了一个信号放大功能的第七 P 型 TFT 晶体管 M7 和第八 P 型 TFT 晶体管 M8，来提高第六 P 型 TFT 晶体管 M6 的输出能力。

尤其需要说明的是，该第七 P 型 TFT 晶体管 M7 和第八 P 型 TFT 晶体管 M8 可以均为小沟道宽度的晶体管，就能够明显提高第六 P 型 TFT 晶体管 M6 的输出能力。并且，相比于通过增加第五 P 型晶体管 M5 和第六 P 型晶体管 M6 的沟道宽度来提升第六 P 型晶体管 M6 的输出能力，根据本发明实施例的移位寄存器单元的成本将大大降低。

本领域技术人员应当清楚，上述的小沟道宽度是与移位寄存器单元所连接负载的大小相关联的，因此不能直接就以某个数值作为代表。本发明中采用这种结构可以降低沟道长度，是指在相同负载状态下，相对不采用这种结构的移位寄存器单元而言，可以降低相应 TFT 沟道长度，只是个对比结果，其不局限于具体数值，特此解释。

当然，本领域技术人员可以知晓，虽然图 1 示出了根据本发明实施例的移位寄存器单元的具体结构，但是根据本发明的原理同样适用于具有不同结构的移位寄存器单元。图 1 所示的结构仅仅是适用的一个示例，本发明并不局限于此。

本实施例中，所有薄膜晶体管 TFT 可均为 P 型薄膜晶体管 TFT，且所有薄膜晶体管 TFT 在低电平时导通，高电平时断开。

图 2 为图 1 所示移位寄存器单元中各信号的时序图。如图 2 所示，在本实施例的移位寄存器单元的驱动中，第一时钟信号、第二时钟信号和第三时钟信号的频率相同，第一时钟信号与输入信号 STV 同步开启，第二时钟信号相对于第一时钟信号相移 120°，第三时钟信号相对于第二时钟信号相移 120°。参考图 2，本实施例移位寄存器单元的工作原理如下：

第一阶段（t1）：STV 和 CLK1 为低电平信号，CLK2 和 CLK3 为高电平信号。由 CLK1 控制的第一 P 型 TFT 晶体管 M1 开启，将 STV 的低电

平信号传输到第六 P 型 TFT 晶体管 M6 的栅极，并且通过第一电容 C1 进行保存，同时该低电平信号还使第六 P 型 TFT 晶体管 M6 开启，将此时 CLK2 的高电平信号通过第六 P 型 TFT 晶体管 M6 传输给输出节点 Output。由 STV 控制的第三 P 型 TFT 晶体管 M3 开启，将高电平 VGH 信号输入到第五 P 型 TFT 晶体管 M5 的栅极，并且通过第二电容 C2 进行保持。在该阶段，第二 P 型 TFT 晶体管 M2、第四 P 型 TFT 晶体管 M4、第五 P 型 TFT 晶体管 M5 关闭。

第二阶段（t2）：STV 和 CLIK1 变为高电平信号，CLK2 变成低电平信号，CLK3 保持为高电平信号。此时，存储在第一电容 C1 中的第六 P 型 TFT 晶体管 M6 栅极电位使第六 P 型 TFT 晶体管 M6 保持开启，CLK2 的低电平信号通过第六 P 型 TFT 晶体管 M6 传输给具有信号放大功能的第七 P 型 TFT 晶体管 M7 和第八 P 型 TFT 晶体管 M8，通过他们来提高 CLK2 的输出能力，将放大后的信号传输到输出节点 Output。此时第五 P 型 TFT 晶体管 M5 栅极的高电平信号通过第二电容 C2 进行存储，使第五 P 型 TFT 晶体管 M5 和第二 P 型 TFT 晶体管 M2 保持关闭状态。在该阶段，CLK1 的高电平信号使第一 P 型 TFT 晶体管 M1 关闭，STV 的高电平信号使第三 P 型 TFT 晶体管 M3 关闭，CLK3 的高电平信号使第四 P 型 TFT 晶体管 M4 保持关闭。

第三阶段（t3）：STV 和 CLIK1 保持为高电平信号，CLK2 变成高电平信号，CLK3 变为低电平信号。CLK3 的低电平信号使第四 P 型 TFT 晶体管 M4 开启，低电平 VGL 信号通过第四 P 型 TFT 晶体管 M4 传输到第五 P 型 TFT 晶体管 M5 和第二 P 型 TFT 晶体管 M2 的栅极，并且通过第二电容 C2 进行保持。低电平 VGL 信号使第二 P 型 TFT 晶体管 M2 开启，将 VGH 信号通过第二 P 型 TFT 晶体管 M2 传输到第六 P 型 TFT 晶体管 M6 的栅极，使第六 P 型 TFT 晶体管 M6 关闭，并且通过第一电容 C1 进行保存。在第六 P 型 TFT 晶体管 M6 关闭后，第七 P 型 TFT 晶体管 M7 和第八 P 型 TFT 晶体管 M8 也关闭。低电平 VGL 信号将第五 P 型 TFT 晶体管 M5 开启，使 VGH 信号通过第五 P 型 TFT 晶体管 M5 传输到输出节点 Output。在该阶段，CLK1 的高电平信号使第一 P 型 TFT 晶体管 M1 关闭，STV 的高电平信号使第三 P 型 TFT 晶体管 M3 关闭。

第四阶段（t4）：CLK1 变成低电平信号，而此时 STV 保持为高电平信号。CLK2 保持为高电平信号，CLK3 变为高电平信号。CLK1 的低电平信号使第一 P 型 TFT 晶体管 M1 开启。STV 的高电平信号通过第一 P 型 TFT 晶体管 M1 传输到第六 P 型 TFT 晶体管 M6 的栅极，使第六 P 型 TFT 晶体管 M6 关断，并且通过第一电容 C1 进行保持。此时第五 P 型 TFT 晶体管 M5 的栅极为上阶段保持的 VGL 信号，因此第五 P 型 TFT 晶体管 M5 依旧开启，将 VGH 信号传输到输出节点 Output。在该阶段，第二 P 型晶体管 M2 保持开启，STV 的高电平信号使第三 P 型 TFT 晶体管 M3 保持关闭，CLK3 的高电平信号使第四 P 型 TFT 晶体管 M4 关闭。

第五阶段（t5）：STV 保持为高电平信号，CLK1 变为高电平信号，CLK2 变为低电平信号，CLK3 保持为高电平信号。此时第六 P 型 TFT 晶体管 M6 栅极上为上阶段保持的高电平信号，第六 P 型 TFT 晶体管 M6 处于关闭状态。M5 栅极还是上阶段通过第二电容 C2 保持的低电平信号，因此第五 P 型 TFT 晶体管 M5 依旧开启，VGH 信号还是通过第五 P 型 TFT 晶体管 M5 传输到输出节点 Output。在该阶段，CLK1 的高电平信号使第一 P 型 TFT 晶体管 M1 关闭。第二 P 型晶体管 M2 保持开启。STV 的高电平信号使第三 P 型 TFT 晶体管 M3 保持关闭，CLK3 的高电平信号使第四 P 型 TFT 晶体管 M4 关闭。

第六阶段（t6）和第三阶段一样。

其余时段的工作就是重复第四阶段到第六阶段的动作，这样输出节点 Output 就一直输出 VGH 信号。

图 3 为本实施例移位寄存器单元与现有移位寄存器单元输出能力对比的曲线图。由图 3 可知，本实施例移位寄存器单元无论是曲线的下降能力还是上升能力，均比现有移位寄存器单元有大幅提升，并且占用的设计空间小，实现的成本低。

第二实施例

在本发明的第二个示例性实施例中，还提供了另外一种移位寄存器单元。该移位寄存器单元与第一实施例移位寄存器单元的区别在于：该移位寄存器中的晶体管均为 N 型的 TFT 晶体管。

本实施例中，只需将如图 1 所示的移位寄存器单元的各信号高低电位反向，电源正极电压 VGH 与电源负极电压 VGL 位置互换即可实现。

第三实施例

在本发明的第三个示例性实施例中，还提供了一种级联的移位寄存器。该移位寄存器包括级联的 n 个如第一/第二实施例所述的移位寄存器单元，$n \geqslant 2$。在图 4 中仅给出该移位寄存器的一部分，即 4 个移位寄存器单元。

请参照图 4，为每一移位寄存器单元提供电源正极电压 VGH、电源负极电压 VGL，前一级移位寄存器单元的输出端口 Output 与后一级移位寄存器单元的输入信号 STV 端连接。

如图 4 所示，在该移位寄存器中，相邻的三个移位寄存器单元-第 i、i+1、i+2 级的移位寄存器单元的时钟信号满足以下关系：

（1）对于第 i 个移位寄存器单元，其第一时钟信号输入端输入的时钟信号为 CLK1，其第二时钟信号输入端输入的时钟信号为 CLK2，其第三时钟信号输入端输入的时钟信号为 CLK3；

（2）对于第 i+1 个移位寄存器单元，其第一时钟信号输入端输入的时钟信号为上述 CLK2，其第二时钟信号输入端输入的时钟信号为上述 CLK3，其第三时钟信号输入端输入的时钟信号为上述 CLK1；

（3）对于第 i+2 个移位寄存器单元，其第一时钟信号输入端输入的时钟信号为上述 CLK3，其第二时钟信号输入端输入的时钟信号为上述 CLK1，其第三时钟信号输入端输入的时钟信号为 CLK2；

本领域技术人员应当清楚，如图 4 所示，对于第 i+3 个移位寄存器单元而言，其时钟信号的输入与第 i 个移位寄存器相同，即第一时钟信号输入端输入的时钟信号为 CLK1，其第二时钟信号输入端输入的时钟信号为 CLK2，其第三时钟信号输入端输入的时钟信号为 CLK3，依次类推。

需要说明的是，上述 i 为大于或等于 1 的整数，且 $i+2 \leqslant n$。

请参照图 5，在该移位寄存器中，后一级移位寄存器单元的输出信号时序相比于前一级移位寄存器单元的输出信号时序，高电平信号向后顺延。

本领域技术人员应当清楚，该移位寄存器单元级联的个数可以根据需要进行设计，其可以为大于或等于 3 的任意级，只要其时钟信号按照上述

顺序进行轮换即可。

第四实施例

在本发明的第四个示例性实施例中，还提供了一种栅极驱动电路。该栅极驱动电路包括第三实施例所述的移位寄存器。该栅极驱动电路中除该移位寄存器之外的其他部件采用现有技术栅极驱动电路中相应部件即可，此处不再详细描述。

第五实施例

在本发明的第五个示例性实施例中，还提供了一种显示装置。该显示装置包括第四实施例的栅极驱动电路。该显示装置除该栅极驱动电路之外的其他部件采用现有技术显示装置中相应部件即可，此处不再详细描述。

至此，已经结合附图对本发明五个实施例进行了详细描述。依据以上描述，本领域技术人员应当对本发明移位寄存器单元及应用其的移位寄存器、栅极驱动电路和显示装置有了清楚的认识。

此外，上述对各元件和方法的定义并不仅限于实施例中提到的各种具体结构、形状或方式，本领域普通技术人员可对其进行简单地更改或替换。

综上所述，本发明的移位寄存器相比于现有移位寄存器增加两个小的晶体管，构成一个反相器结构，就能实现在大负载条件下，输出能力明显改善的效果，其无论是曲线的下降能力还是上升能力，均比现有结构有大幅提升。基于该移位寄存器单元，本发明的移位寄存器、栅极驱动电路和显示装置与现有技术的相应装置在效果上均能得到对应的提升，并且实现成本低，不会增加太大的成本。

以上所述的具体实施例，对本发明的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上所述仅为本发明的具体实施例而已，并不用于限制本发明，凡在本发明的精神和原则之内，所做的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

权 利 要 求

1、一种移位寄存器单元，其特征在于，包括：

输入模块（101），响应于第一时钟信号输入端输入的第一时钟信号，将输入信号（STV）提供至第一节点（A）；

上拉模块（102），响应于输入信号（STV），将电源正极电压（VGH）提供至第三节点（C）；

下拉模块（103），响应于第三时钟信号输入端输入的第三时钟信号，将电源负极电压（VGL）提供至所述第三节点（C）；

复位模块（104），响应于所述第三节点（C）的信号，将电源正极电压（VGH）提供至所述第一节点（A）；

第一输出模块（105），响应于所述第三节点（C）的信号，将电源正极电压（VGH）提供至所述移位寄存器单元的输出节点（Output），其中，在电源正极电压（VGH）和所述第三节点（C）之间设置有第二电容（C2）；

第二输出模块（106），响应于所述第一节点（A）的信号，将第二时钟输入端输入的第二时钟信号提供至第四节点（D），其中，在所述第四节点（D）和所述第一节点（A）之间设置有第一电容（C1）；以及

信号放大模块（107），设置于所述第四节点（D）和所述移位寄存器单元的输出节点（Output）之间，用于对所述第四节点（D）的信号进行放大后输出至所述移位寄存器单元的输出节点（Output）。

2、根据权利要求 1 所述的移位寄存器单元，其特征在于，所述信号放大模块，呈反相器结构，包括：

第七 P 型 TFT 晶体管（M7），其栅极和漏极均连接至所述第四节点（D）；

第八 P 型 TFT 晶体管（M8），其栅极连接至所述第七 P 型 TFT 晶体管（M7）的源极，其源极连接至所述第四节点（D），其漏极连接至所述移位寄存器单元的输出节点（Output）。

3、根据权利要求 1 所述的移位寄存器单元，其特征在于，所述上拉模块包括：

第三 P 型 TFT 晶体管（M3），其栅极连接至输入信号（STV）的输入端，其源极连接至电源正极电压（VGH），其漏极连接至所述第三节点（C）。

4、根据权利要求 1 所述的移位寄存器单元，其特征在于，所述下拉模块包括：

第四 P 型 TFT 晶体管（M4），其栅极连接至第三时钟信号输入端，其漏极连接至电源负极电压（VGL），其源极连接至第三节点（C）。

5、根据权利要求 1 所述的移位寄存器单元，其特征在于，所述复位模块包括：

第二 P 型 TFT 晶体管（M2），其栅极连接至所述第三节点（C），其源极连接至电源正极电压（VGH），其漏极连接至所述第一节点（A）。

6、根据权利要求 1 所述的移位寄存器单元，其特征在于，所述第一输出模块包括：

第五 P 型 TFT 晶体管（M5），其栅极连接至所述第三节点（C），其源极连接至电源正极电压（VGH），其漏极连接至所述移位寄存器单元的输出节点（Output）。

7、根据权利要求 1 所述的移位寄存器单元，其特征在于，所述第二输出模块包括：

第六 P 型 TFT 晶体管（M6），其栅极连接至第一节点（A），其漏极连接至第二时钟信号输入端，其源极连接至所述第四节点（D）。

8、根据权利要求 1 所述的移位寄存器单元，其特征在于，所述第一时钟信号、第二时钟信号和第三时钟信号的频率相同，所述第一时钟信号与所述输入信号（STV）同步开启，所述第二时钟信号相对于所述第一时钟信号相移 120°，所述第三时钟信号相对于所述第二时钟信号相移 120°。

9、一种移位寄存器，其特征在于，包括 n 级的如权利要求 1 至 8 中任一项所述的移位寄存器单元，其中，n≥2；

前一级移位寄存器单元的输出端口（Output）输出的信号作为后一级移位寄存器单元的输入信号（STV）。

10、根据权利要求 9 所述的移位寄存器，其特征在于，所述 n≥3，相邻的第 i、i+1、i+2 级的移位寄存器单元的时钟信号满足以下关系：

第 i 级移位寄存器单元的第一时钟信号输入端、第 i+1 级移位寄存器单元的第三时钟信号输入端、第 i+2 级移位寄存器单元的第二时钟信号输入端同时输入第一时钟信号（CLK1）；

第 i 级移位寄存器单元的第二时钟信号输入端、第 i+1 级移位寄存器单元的第一时钟信号输入端、第 i+2 级移位寄存器单元的第三时钟信号输入端同时输入第二时钟信号（CLK2）；

第 i 级移位寄存器单元的第三时钟信号输入端、第 i+1 级移位寄存器单元的第二时钟信号输入端、第 i+2 级移位寄存器单元的第一时钟信号输入端同时输入第三时钟信号（CLK2）；

其中，i 为大于或等于 1 的整数，且 i+2≤n。

11、一种栅极驱动电路，其特征在于，包括权利要求 9 或 10 所述的移位寄存器。

12、一种显示装置，其特征在于，包括权利要求 11 所述的栅极驱动电路。

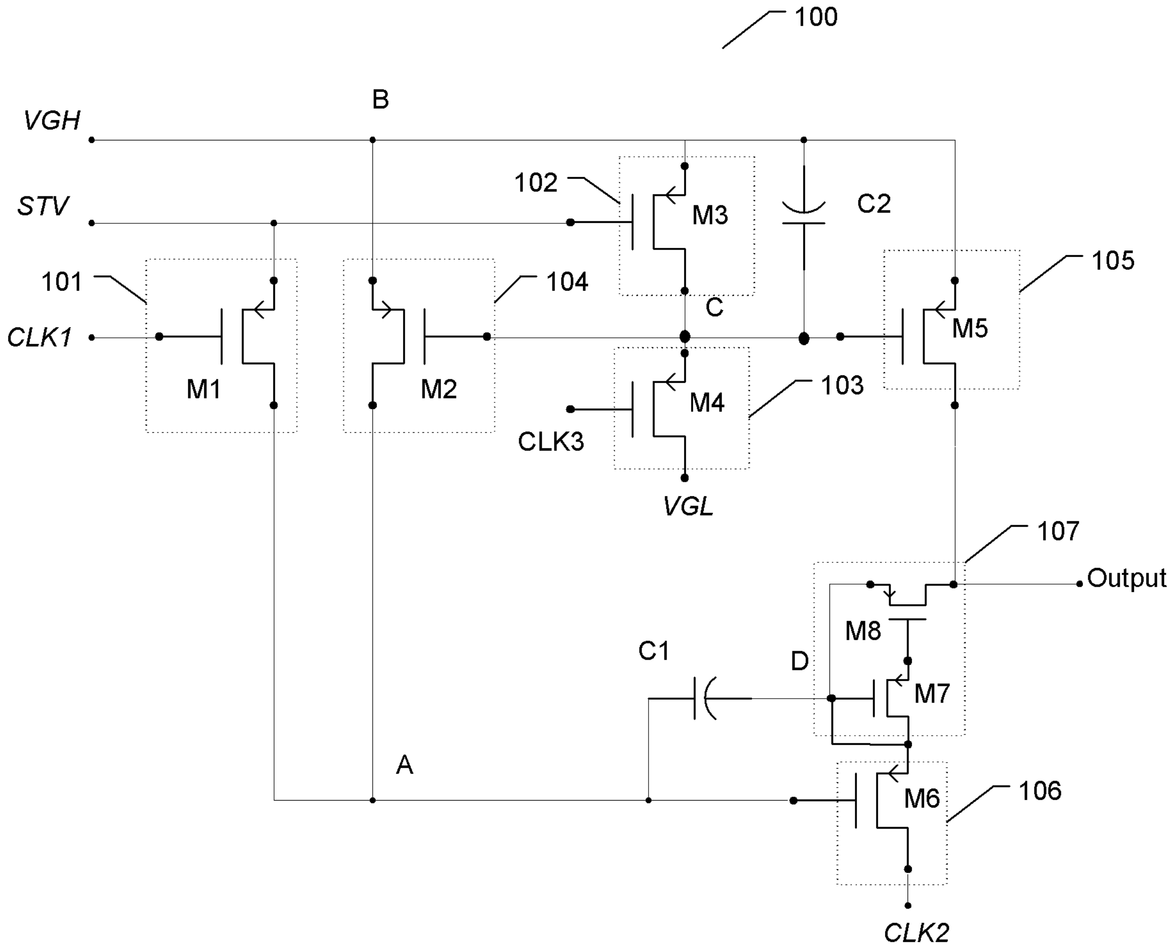
100
B
VGH
STV
CLK1
102
M3
C2
101
104
105
M1
M2
C
M5
M4
103
CLK3
VGL
107
Output
M8
C1
D
M7
A
M6
106
CLK2

图 1

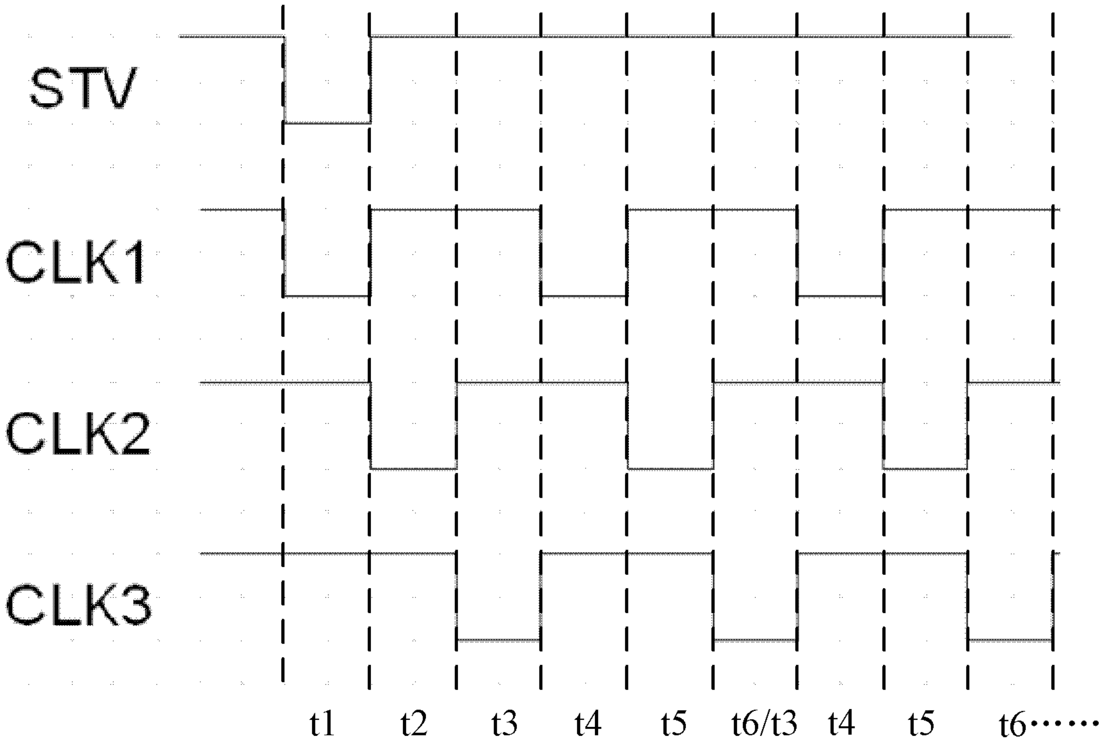

图 2

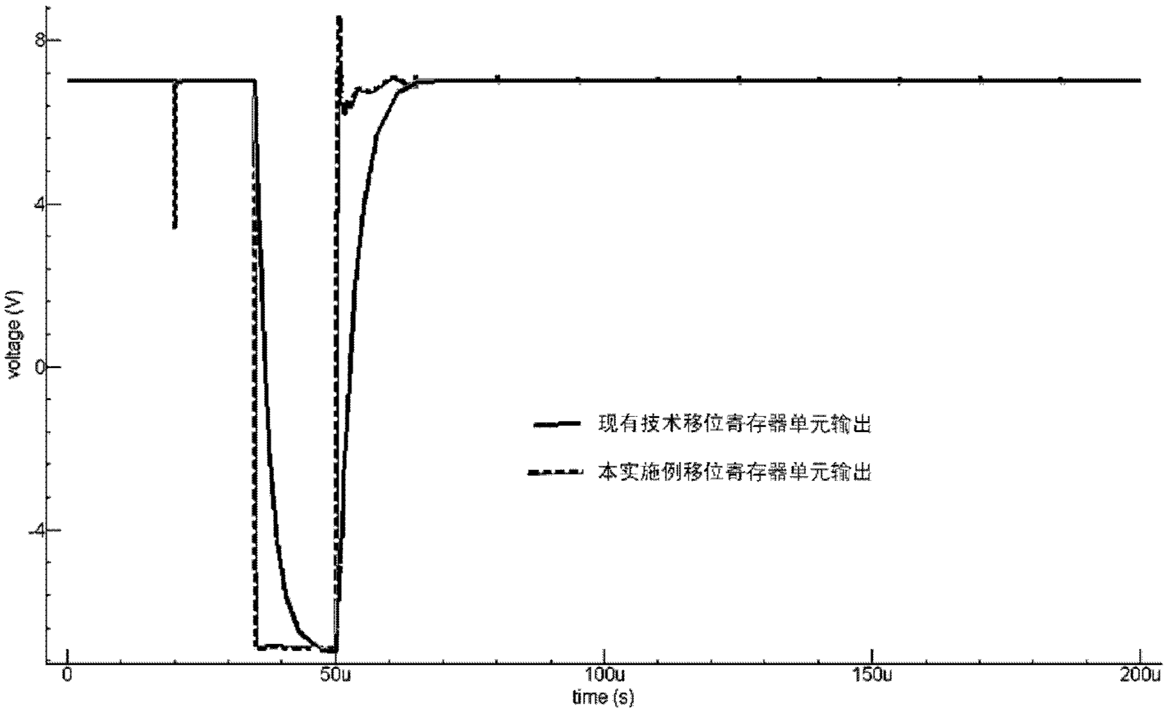
8
4
0
-4
voltage (V)
0
50u
100u
150u
200u
time (s)
现有技术移位寄存器单元输出
本实施例移位寄存器单元输出

图 3

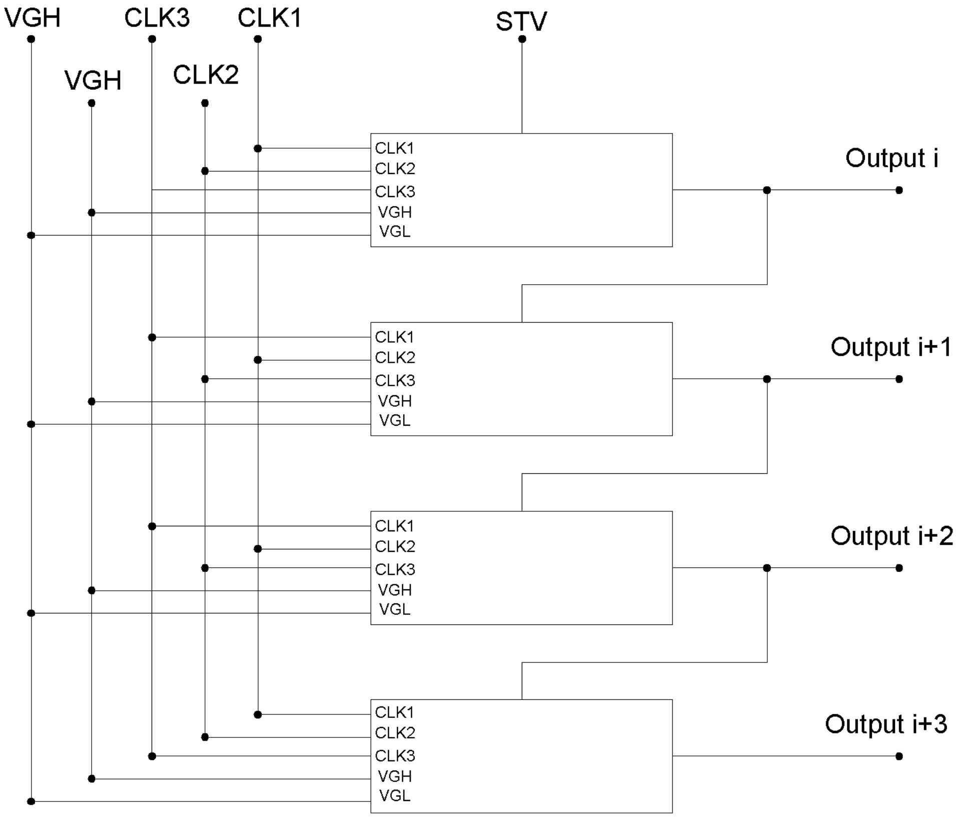
VGH
CLK3
CLK1
STV
VGH
CLK2
CLK1
CLK2
CLK3
VGH
VGL
Output i
Output i+1
Output i+2
Output i+3

图 4

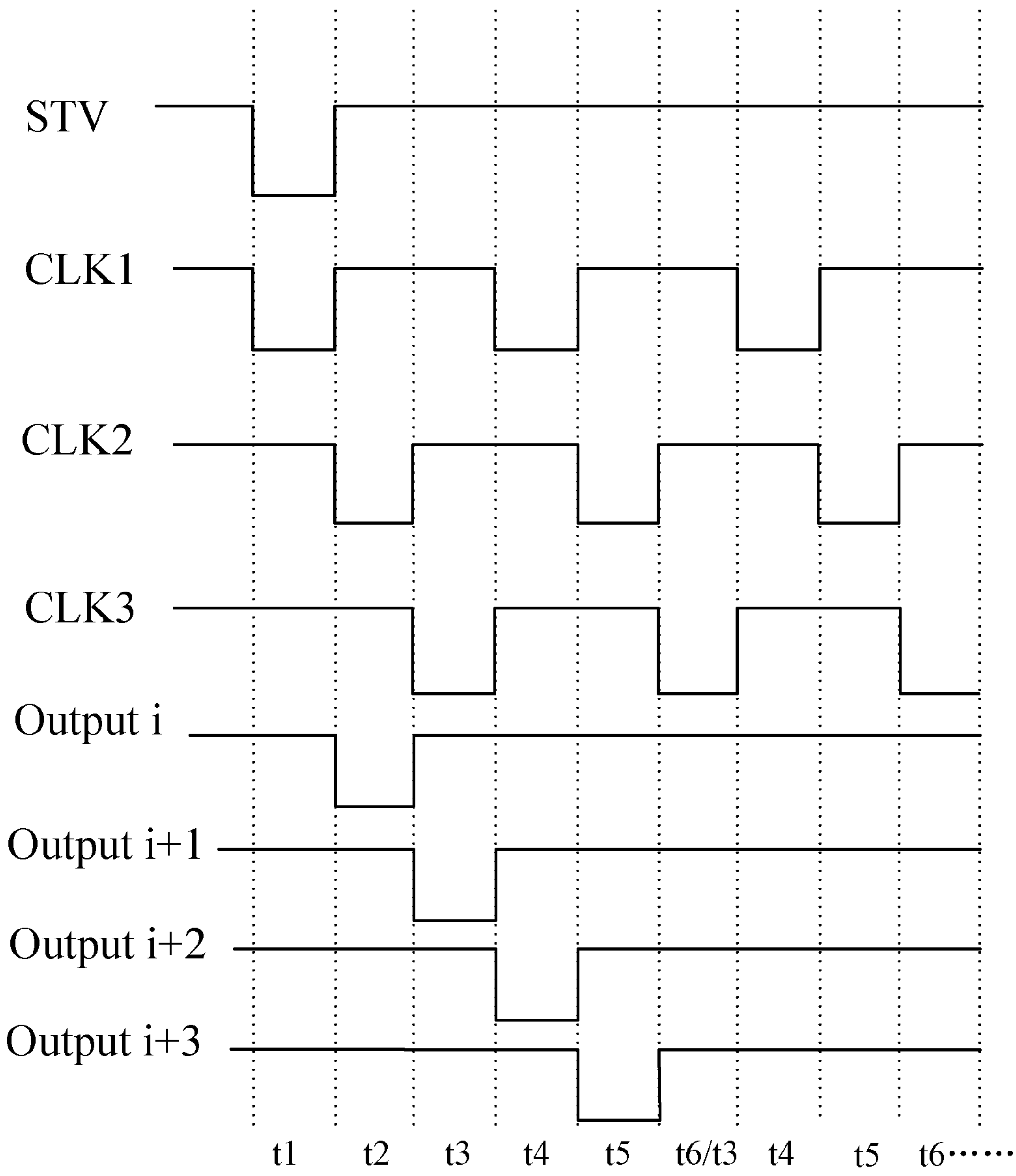
STV
CLK1
CLK2
CLK3
Output i
Output i+1
Output i+2
Output i+3
t1
t2
t3
t4
t5
t6/t3
t4
t5
t6……

图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/072166

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i; G11C 19/28 (2006.01) n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G11C; H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, EPODOC, WPI, GOOGLE: shifting register, upward pull, pull-down, output capability, BOE; MA, Zhanjie; shift, register, pull, up, down, reset, amplifier, magnifier, capacitor, output, load

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104282279 A (BOE TECHNOLOGY GROUP CO., LTD.), 14 January 2015 (14.01.2015), description, paragraphs [0009]-[0073], and figures 1-5	1-12
A	CN 103035218 A (BOE TECHNOLOGY GROUP CO., LTD.), 10 April 2013 (10.04.2013), description, paragraphs [0033]-[0087], and figures 1-7	1-12
A	CN 103761937 A (BOE TECHNOLOGY GROUP CO., LTD.), 30 April 2014 (30.04.2014), the whole document	1-12
A	JP 2009188749 A (SONY CORP.), 20 August 2009 (20.08.2009), the whole document	1-12
A	WO 2011114569 A1 (SHARP KABUSHIKI KAISHA et al.), 22 September 2011 (22.09.2011), the whole document	1-12

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
16 April 2015 (16.04.2015)	**18 April 2015 (18.04.2015)**

Name and mailing address of the ISA/CN:	Authorized officer
State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	**GE, Jiawu** Telephone No.: (86-10) **62413332**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/072166

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104282279 A	14 January 2015	None	
CN 103035218 A	10 April 2013	None	
CN 103761937 A	30 April 2014	None	
JP 2009188749 A	20 August 2009	None	
WO 2011114569 A1	22 September 2011	US 2013069930 A1	21 March 2013

国际检索报告

国际申请号

PCT/CN2015/072166

A. 主题的分类

G09G 3/36(2006.01)i; G11C 19/28(2006.01)n

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G;G11C;H03K

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNPAT,CNKI,EPODOC,WPI,GOOGLE:移位寄存器，上拉，下拉，复位，放大，电容，输出能力，负载，京东方，马占洁，shift，register，pull，up，down，reset，amplifier，magnifier，capacitor，output， load

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 104282279 A（京东方科技集团股份有限公司）2015年 1月 14日（2015 - 01 - 14） 说明书第[0009]-[0073]段、图1-5	1-12
A	CN 103035218 A（京东方科技集团股份有限公司）2013年 4月 10日（2013 - 04 - 10） 说明书第[0033]-[0087]段、图1-7	1-12
A	CN 103761937 A（京东方科技集团股份有限公司）2014年 4月 30日（2014 - 04 - 30） 全文	1-12
A	JP 2009188749 A（SONY CORP.）2009年 8月 20日（2009 - 08 - 20） 全文	1-12
A	WO 2011114569 A1（SHARP KABUSHIKI KAISHA等）2011年 9月 22日（2011 - 09 - 22） 全文	1-12

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2015年 4月 16日	2015年 4月 28日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

受权官员

葛加伍

传真号 (86-10)62019451

电话号码 (86-10)62413332

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/072166

检索报告引用的专利文件	公布日(年/月/日)	同族专利	公布日(年/月/日)
CN 104282279 A	2015年 1月 14日	无	
CN 103035218 A	2013年 4月 10日	无	
CN 103761937 A	2014年 4月 30日	无	
JP 2009188749 A	2009年 8月 20日	无	
WO 2011114569 A1	2011年 9月 22日	US 2013069930 A1	2013年 3月 21日