



(12)发明专利申请

(10)申请公布号 CN 109560102 A

(43)申请公布日 2019.04.02

(21)申请号 201710884968.9

(22)申请日 2017.09.26

(71)申请人 中电海康集团有限公司

地址 311121 浙江省杭州市余杭区文一西路1500号1幢311室

(72)发明人 左正笏

(74)专利代理机构 北京康信知识产权代理有限公司 11240

代理人 韩建伟 谢湘宁

(51) Int. Cl.

H01L 27/22(2006.01)

H01L 43/12(2006.01)

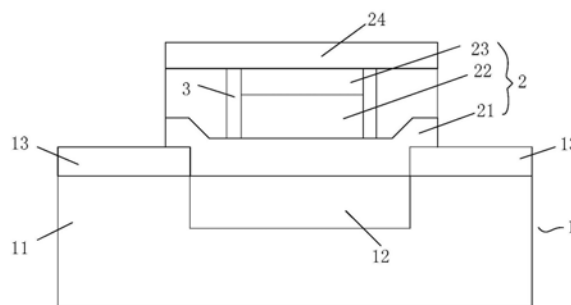
权利要求书2页 说明书7页 附图5页

(54)发明名称

MRAM与其制作方法

(57)摘要

本申请提供了一种MRAM与其制作方法。该制作方法包括:步骤S1,在基底上设置预存储结构,预存储结构至少包括MTJ单元;步骤S2,在预存储结构的裸露表面上设置保护层材料,或者在预存储结构的裸露表面上以及基底的裸露表面上设置保护层材料;步骤S3,采用各向异性刻蚀法自对准刻蚀去除部分保护层材料,形成位于预存储结构的至少部分侧壁上的保护层。采用自对准刻蚀技术刻蚀保护层,该方法无需设置掩膜层,方法简单,容易控制,且只留下预存储结构侧壁上的保护层材料,避免了MTJ单元两侧的基底表面上或者是部分预存储结构的表面上的保护层材料带来的电容效应和应力效应,保证了器件具有较好的性能。



1. 一种MRAM的制作方法,其特征在于,所述制作方法包括:
步骤S1,在基底上设置预存储结构,所述预存储结构至少包括MTJ单元;
步骤S2,在所述预存储结构的裸露表面上设置保护层材料,或者在所述预存储结构的裸露表面上以及所述基底的裸露表面上设置保护层材料;以及
步骤S3,采用各向异性刻蚀法自对准刻蚀去除部分所述保护层材料,形成位于所述预存储结构的至少部分侧壁上的保护层。
2. 根据权利要求1所述的制作方法,其特征在于,所述步骤S1包括:
步骤S11,在所述基底上依次叠置设置底电极层与MTJ结构层;以及
步骤S12,刻蚀去除部分所述MTJ结构层,剩余的所述MTJ结构层形成所述MTJ单元,得到包括所述MTJ单元的所述预存储结构。
3. 根据权利要求2所述的制作方法,其特征在于,采用各向异性刻蚀法实施所述步骤S12中的刻蚀。
4. 根据权利要求2所述的制作方法,其特征在于,
在设置所述MTJ结构层之后,所述步骤S11还包括:
在所述MTJ结构层的远离所述底电极层的表面上设置第一顶电极层,
且在刻蚀所述MTJ结构层之前,所述步骤S12还包括:
刻蚀去除部分所述第一顶电极层,剩余的所述第一顶电极层形成第一顶电极,所述预存储结构还包括所述第一顶电极。
5. 根据权利要求4所述的制作方法,其特征在于,所述步骤S12中,保留所述底电极层,所述预存储结构包括底电极层,且所述步骤S3中,所述保护层位于所述MTJ单元以及所述第一顶电极的侧壁上。
6. 根据权利要求4所述的制作方法,其特征在于,在所述步骤S3之后,所述制作方法还包括:
在所述基底上或者所述底电极层的裸露表面上设置第X+1个介电层,且所述第X+1个介电层的远离所述基底的表面与所述第一顶电极的远离所述基底的表面构成第一平面;
在所述第一平面上设置第二顶电极层;以及
依次刻蚀去除部分所述第二顶电极层、部分所述第X+1个介电层以及部分所述底电极层,剩余的所述第二顶电极层形成第二顶电极,剩余的所述底电极层形成底电极,所述底电极、所述MTJ单元、所述第一顶电极以及所述第二顶电极依次叠置设置。
7. 根据权利要求6所述的制作方法,其特征在于,在所述步骤S1之前,所述制作方法还包括:
在衬底上设置第X个介电层;
在所述衬底上设置第X个金属互连部,所述第X个介电层位于所述第X个金属互连部的两侧,且所述第X个介电层的远离所述衬底的表面与所述第X个金属互连部远离所述衬底的表面构成第二平面;
在所述第二平面上设置刻蚀阻挡层;以及
去除所述第X个金属互连部表面上的所述刻蚀阻挡层,形成所述基底。
8. 根据权利要求7所述的制作方法,其特征在于,所述底电极设置在所述第X个金属互连部的远离所述衬底的表面上以及所述第X个金属互连部两侧的部分所述刻蚀阻挡层的远

离所述衬底的表面上。

9. 根据权利要求6所述的制作方法,其特征在于,在形成所述第二顶电极后,所述制作方法还包括:

在所述第X+1个介电层的裸露表面上以及至少部分所述第二顶电极的裸露表面上设置第X+2个介电层;以及

在至少部分裸露所述第二顶电极的远离所述基底的表面上设置第X+1个金属互连部,且所述第X+2个介电层位于所述第X+1个金属互连部的两侧,且所述第X+2个介电层远离所述基底的表面与所述第X+1个金属互连部的远离所述基底的表面在同一个平面上。

10. 一种MRAM,其特征在于,所述MRAM包括:

基底(1);

预存储结构(2),设置在所述基底(1)上,所述预存储结构(2)至少包括一个MTJ单元(22);以及

保护层(3),设置在所述预存储结构(2)的至少部分侧壁上。

MRAM与其制作方法

技术领域

[0001] 本申请涉及存储器领域,具体而言,涉及一种MRAM与其制作方法。

背景技术

[0002] 磁性随机存储器(Magnetic Random Access Memory,简称MRAM)由于具有高密度、寿命长以及非易失等优点,被认为是未来最广泛应用的“通用”处理器。它的核心工作单元是由“磁参考层/隔离层/磁自由层”三明治结构组成的磁隧道结(MTJ)。

[0003] MRAM中的主要功能单元为MTJ单元,其结构主要包括磁性自由层/非磁性氧化层(MgO)/磁性钉扎层。在外加磁场或电流等驱动下,磁性自由层的磁矩方向发生翻转,与磁性钉扎层的磁矩方向呈现平行态或反平行态,使得MRAM出现低高电阻态,可分别定义为存储态“0”和“1”,从而实现信息的存储。

[0004] 现有技术中在刻蚀形成MTJ单元后,会在MTJ单元1'的裸露表面上沉积一层绝缘的保护层2',如图1所示,在后续的制作过程中,需要将MTJ单元1'上方的那一部分保护层2'去除,形成如图2所示的结构,以方便MTJ单元1'与顶电极相连,或者当保护层设置在MTJ单元以及其上方的顶电极形成的结构的裸露表面上时,方便顶电极与其他结构的电连接。但是,这一部分保护层的介电常数比较大,会降低器件的处理速度;并且,剩余的除了MTJ侧壁上的部分之外的保护层会给器件带来一定的应力问题,从而降低器件的可靠性。

发明内容

[0005] 本申请的主要目的在于提供一种MRAM与其制作方法,以解决现有技术中MTJ周围保护层过多的电容效应和保护层带来的应力问题。

[0006] 为了实现上述目的,根据本申请的一个方面,提供了一种MRAM的制作方法,该制作方法包括:步骤S1,在基底上设置预存储结构,上述预存储结构至少包括MTJ单元;步骤S2,在上述预存储结构的裸露表面上设置保护层材料,或者在上述预存储结构的裸露表面上以及上述基底的裸露表面上设置保护层材料;步骤S3,采用各向异性刻蚀法自对准刻蚀去除部分上述保护层材料,形成位于上述预存储结构的至少部分侧壁上。

[0007] 进一步地,上述步骤S1包括:步骤S11,在上述基底上依次叠置设置底电极层与MTJ结构层;步骤S12,刻蚀去除部分上述MTJ结构层,剩余的上述MTJ结构层形成上述MTJ单元,得到包括上述MTJ单元的上述预存储结构。

[0008] 进一步地,采用各向异性刻蚀法实施上述步骤S12中的刻蚀。

[0009] 进一步地,在设置上述MTJ结构层之后,上述步骤S11还包括:在上述MTJ结构层的远离上述底电极层的表面上设置第一顶电极层,且在刻蚀上述MTJ结构层之前,上述步骤S12还包括:刻蚀去除部分上述第一顶电极层,剩余的上述第一顶电极层形成第一顶电极,上述预存储结构还包括上述第一顶电极。

[0010] 进一步地,上述步骤S12中,保留上述底电极层,上述预存储结构包括底电极层,且上述步骤S3中,上述保护层位于上述MTJ单元以及上述第一顶电极的侧壁上。

[0011] 进一步地,在上述步骤S3之后,上述制作方法还包括:在上述基底上或者上述底电极层的裸露表面上设置第X+1个介电层,且上述第X+1个介电层的远离上述基底的表面与上述第一顶电极的远离上述基底的表面构成第一平面;在上述第一平面上设置第二顶电极层;依次刻蚀去除部分上述第二顶电极层、部分上述第X+1个介电层以及部分上述底电极层,剩余的上述第二顶电极层形成第二顶电极,剩余的上述底电极层形成底电极,上述底电极、上述MTJ单元、上述第一顶电极以及上述第二顶电极依次叠置设置。

[0012] 进一步地,在上述步骤S1之前,上述制作方法还包括:在衬底上设置第X个介电层;在上述衬底上设置第X个金属互连部,上述第X个介电层位于上述第X个金属互连部的两侧,且上述第X个介电层的远离上述衬底的表面与上述第X个金属互连部远离上述衬底的表面构成第二平面;在上述第二平面上设置刻蚀阻挡层;去除上述第X个金属互连部表面上的上述刻蚀阻挡层,形成上述基底。

[0013] 进一步地,上述底电极设置在上述第X个金属互连部的远离上述衬底的表面上以及上述第X个金属互连部两侧的部分上述刻蚀阻挡层的远离上述衬底的表面上。

[0014] 进一步地,在形成上述第二顶电极后,上述制作方法还包括:在上述第X+1个介电层的裸露表面上以及至少部分上述第二顶电极的裸露表面上设置第X+2个介电层;在至少部分裸露上述第二顶电极的远离上述基底的表面上设置第X+1个金属互连部,且上述第X+2个介电层位于上述第X+1个金属互连部的两侧,且上述第X+2个介电层远离上述基底的表面与上述第X+1个金属互连部的远离上述基底的表面在同一个平面上。

[0015] 根据本申请的另一方面,提供了一种MRAM,该MRAM包括:基底;预存储结构,设置在上述基底上,上述预存储结构至少包括一个MTJ单元;保护层,设置在上述预存储结构的至少部分侧壁上。

[0016] 应用本申请的技术方案,采用自对准刻蚀技术刻蚀保护层材料,该方法无需设置掩膜层,方法简单,容易控制,并且,该方法中将设置在MTJ单元两侧的基底表面上或者是部分预存储结构的表面上的保护层材料去除,只留下预存储结构侧壁上的保护层材料形成保护层,避免了MTJ单元两侧的基底表面上或者是部分预存储结构的表面上的保护材料带来的电容效应和应力效应,从而保证了器件具有较好的性能。

附图说明

[0017] 构成本申请的一部分的说明书附图用来提供对本申请的进一步理解,本申请的示意性实施例及其说明用于解释本申请,并不构成对本申请的不当限定。在附图中:

[0018] 图1示出了现有技术中的在MTJ单元的表面上设置保护层后的结构示意图;

[0019] 图2示出了将图1中的部分保护层去除后的结构示意图;以及

[0020] 图3至图12示出了本申请的一种实施例提供的MRAM的制作方法过程的结构示意图。

[0021] 其中,上述附图包括以下附图标记:

[0022] 1'、MTJ单元;2'、保护层;1、基底;11、第X个介电层;12、第X个金属互连部;13、刻蚀阻挡层;2、预存储结构;21、底电极;22、MTJ单元;23、第一顶电极;24、第二顶电极;3、保护层;4、第X+1个介电层;5、第X+2个介电层;6、第X+1个金属互连部;30、保护层材料;210、底电极层;220、MTJ结构层;230、第一顶电极层;240、第二顶电极层。

具体实施方式

[0023] 应该指出,以下详细说明都是例示性的,旨在对本申请提供进一步的说明。除非另有指明,本文使用的所有技术和科学术语具有与本申请所属技术领域的普通技术人员通常理解的含义。

[0024] 需要注意的是,这里所使用的术语仅是为了描述具体实施方式,而非意图限制根据本申请的示例性实施方式。如在这里所使用的,除非上下文另外明确指出,否则单数形式也意图包括复数形式,此外,还应当理解的是,当在本说明书中使用术语“包含”和/或“包括”时,其指明存在特征、步骤、操作、器件、组件和/或它们的组合。

[0025] 应该理解的是,当元件(诸如层、膜、区域、或衬底)描述为在另一元件“上”时,该元件可直接在该另一元件上,或者也可存在中间元件。而且,在说明书以及下面的权利要求书中,当描述有元件“连接”至另一元件时,该元件可“直接连接”至该另一元件,或者通过第三元件“电连接”至该另一元件。

[0026] 正如背景技术所介绍的,现有技术中,在MTJ的表面上设置的保护层去除较难控制,为了解决如上的技术问题,本申请提出了一种MRAM与其制作方法。

[0027] 本申请的一种典型的实施方式中,提供了一种MRAM的制作方法,该制作方法包括:步骤S1,在基底1上设置预存储结构2,上述预存储结构2至少包括MTJ单元22,形成如图5所示的结构;步骤S2,在上述预存储结构2的裸露表面上设置保护层材料30,形成如图6所示的结构,或者在上述预存储结构2的裸露表面上以及上述基底1的裸露表面上设置保护层材料30;步骤S3,采用各向异性刻蚀法自对准刻蚀去除部分上述保护层材料30,剩余的上述保护层材料30位于上述预存储结构2的至少部分侧壁上,形成图7所示的保护层3。

[0028] 本申请的上述制作方法中,采用自对准刻蚀技术刻蚀保护层材料,该方法无需设置掩膜层,方法简单,容易控制,并且,该方法中将设置在MTJ单元两侧的基底表面上或者是部分预存储结构的表面上的保护层材料去除,只留下预存储结构侧壁上的保护层材料形成保护层,避免了MTJ单元两侧的基底表面上或者是部分预存储结构的表面上的保护材料带来的电容效应和应力效应,从而保证了器件具有较好的性能。

[0029] 在形成预存储结构2后,在真空条件下进行保护层材料30的沉积,以防止MTJ单元22等结构暴露在空气中被污染损坏。

[0030] 本申请的保护层的材料可以为氮化硅、二氧化硅与氮掺杂的氧化硅中的一种或者多种的组合。

[0031] 一种具体的实施例中,保护层材料为氮化硅,可以由化学气相沉积或者原子层沉积技术设置保护层材料。

[0032] 本申请的一种实施例中,上述步骤S1包括:步骤S11,在上述基底1上依次叠置设置底电极层210与MTJ结构层220,形成图4所示的结构;步骤S12,刻蚀去除部分上述MTJ结构层220,剩余的上述MTJ结构层220形成上述MTJ单元22,即形成如图5所示的包括上述MTJ单元22的上述预存储结构2。

[0033] 为了进一步保证形成的预存储结构2是预定的形状,进而保证该MRAM具有良好的性能,本申请的一种实施例中,采用各向异性刻蚀法实施上述步骤S12中的刻蚀。

[0034] 本申请各向异性刻蚀法可以是干法刻蚀也可以是湿法刻蚀,对于干法刻蚀来

说,常用的有反应离子束刻蚀和离子束刻蚀等,本领域技术人员可以根据实际情况选择合适的各向异性刻蚀法。上述步骤S12中的刻蚀可以采用硬掩膜层掩蔽进行刻蚀,在刻蚀前,先形成对应的硬掩膜层。

[0035] 本申请的另一种实施例中,在设置上述MTJ结构层220之后,上述步骤S11还包括:如图4所示,在上述MTJ结构层220的远离上述底电极层210的表面上设置第一顶电极层230,且在刻蚀上述MTJ结构层220之前,上述步骤S12还包括:刻蚀去除部分上述第一顶电极层230,如图5所示,剩余的上述第一顶电极层230形成第一顶电极23,上述预存储结构2还包括上述第一顶电极23。这样在设置保护层材料30之前,在MTJ单元22上已经设置了顶电极,使得保护层材料30还可以保护顶电极且放置顶电极的金属扩散到其他结构中,进一步保证了器件的性能。

[0036] 当然,本申请的步骤S11中也可以不设置第一顶电极层230,只设置底电极层210与MTJ结构层220,即二者形成预存储结构2,之后,直接在预存储结构2的裸露表面上或者还有基底1的裸露表面上设置保护层材料30,然后再自对准刻蚀去除部分保护层材料30,形成保护层3,接着,在MTJ裸露的表面上设置顶电极,具体的工艺工程一般有两种,一种是在预存储结构2的裸露表面与保护层3的裸露表面上或者还有基底1的裸露表面上设置介电层,并且平坦化,且使得MTJ的远离基底1的表面露出,然后再在平坦化后的表面上设置顶电极层,随后通过刻蚀工艺形成顶电极;另一种是在预存储结构2的裸露表面与保护层3的裸露表面上或者还有基底1的裸露表面上设置介电层,并且平坦化,且MTJ的远离基底1的表面被覆盖,然后,在介电层中开孔,使得该孔的下端与MTJ连接上,随后,在该孔中设置顶电极层并平坦化形成顶电极。

[0037] 底电极层210的材料可以是金属或者合金,本领域技术人员可以根据实际情况选择合适的金属等形成底电极层210。一种实施例中,底电极层210的材料为钽。

[0038] MTJ结构层220包括很多种材料组分。一种实施例中,其包括依次叠置设置的钉扎层、隧穿层和自由层。但并不限于上述的三层结构,还可以是其他的结构,例如包括人工反铁磁层等的结构。

[0039] 一种具体的实施例中,钉扎层可以是PtMn层,隧穿层为MgO层,自由层为CoFeB层。当然并不限于上述的材料层,还可以是其他材料形成的对应结构层。

[0040] 本申请的再一种实施例中,上述步骤S12中,保留上述底电极层210,即不对底电极层210进行刻蚀,且该底电极层210作为步骤S12中的刻蚀阻挡层13,如图5所示,上述预存储结构2包括底电极层210,且上述步骤S2中,在上述底电极层210的裸露表面、上述MTJ单元22的裸露表面以及上述第一顶电极23的裸露表面上设置上述保护层材料30,且上述步骤S3中,形成的上述保护层3位于上述MTJ单元22以及上述第一顶电极23的侧壁上。

[0041] 当然,在上述步骤S12中,也可以对上述底电极层210进行刻蚀,进而形成包括依次叠置设置的底电极21、MTJ单元22以及顶电极的预存储结构2,后续的工艺中,在预存储结构2以及基底1的裸露表面上设置保护层3,并且,自对准刻蚀时,去除的是基底1表面上的保护层3以及MTJ单元22的远离基底1的表面的保护层材料30,剩余的保护层材料30设置在底电极21、MTJ单元22以及顶电极的侧壁上,形成保护层3。

[0042] 为了进一步保证形成的MRAM具有良好的电性能,本申请的一种实施例中,上述在上述步骤S3之后,上述制作方法还包括:在上述保护层3的两侧的上述基底1上或者上述底

电极层210的裸露表面上设置第X+1个介电层4,如图8所示,且上述保护层3的两侧的上述第X+1个介电层4的远离上述基底1的表面与上述第一顶电极23的远离上述基底1的表面构成第一平面,该步骤实际上是先设施对应介电材料然后再平坦化,考虑到平坦化的工艺会使得第一电极损失一定的厚度,所以,为了形成良好的电接触,保证器件具有良好的电性能,该实施例中还包括:在上述第一平面上设置第二顶电极层240,形成图9所示的结构;依次刻蚀去除部分上述第二顶电极层240、部分上述第X+1个介电层4以及部分上述底电极层210,剩余的上述第二顶电极层240形成第二顶电极24,如图10所示,剩余的上述底电极层210形成底电极21,上述底电极21、上述MTJ单元22、上述第一顶电极23以及上述第二顶电极24依次叠置设置。

[0043] 本申请的顶电极的材料为金属或者合金,具体可以包括钽,氮化钽,钛和/或氮化钛等,本领域技术人员可以根据实际情况选择合适的材料形成顶电极。如果制作工艺中需要形成第一顶电极23与第二顶电极24,则二者的材料可以独立地选自上述材料。

[0044] 当然,如果顶电极在保护层3刻蚀之后设置,该结构一般只需要设置一层顶电极层来形成顶电极,不需要形成两个接触的顶电极,也无需设置两个顶电极层。

[0045] 为了方便MTJ与其他结构电连接,以进一步保证形成的MRAM具有良好的电学性能,本申请的一种实施例中,在上述步骤S1之前,上述制作方法还包括:在衬底(图中未示出)上设置第X个介电层11;在上述衬底上设置第X个金属互连部,且上述第X个介电层11位于上述第X个金属互连部的两侧,且上述第X个介电层11的远离上述衬底的表面与上述第X个金属互连部远离上述衬底的表面构成第二平面;在上述第二平面上设置刻蚀阻挡层13;去除上述第X个金属互连部表面上的上述刻蚀阻挡层13,形成图3所示的上述基底1。

[0046] 上述的刻蚀阻挡层13的材料可以是无机材料,包括氮化硅、二氧化硅氮掺杂的氧化硅与氮掺杂的碳化硅中的一种或者多种的组合。在某些实施例中,也可以是有机材料。

[0047] 本申请的一种具体的实施例中,刻蚀阻挡层13的材料为氮掺杂的碳化硅,采用化学气相沉积法制备,所沉积材料的化学式为 $\text{Si}_a\text{C}_b\text{N}_c\text{H}_d$ (其中,a、b、c以及d均表示分子中该原子的个数,具体数据根据化学可行性来确定)。采用光刻工艺在刻蚀阻挡层13上进行图案化,然后进行阻挡层刻蚀工艺形成沟道,露出底部金属材料。

[0048] 形成图3中的上述第X个金属互连部以及其两侧的第X个介电层11的过程有多种具体的实施方式,以下以两种具体的方式来说明,一种方式为:在衬底的表面上设置第X个介电层11,然后,在该第X个介电层11中开孔或槽,最后,在孔中填充金属并平坦化,形成图3中的部分结构,并且,这种实施方式中,第X个介电层11还位于第X个金属互连部的下方,该种实施方式比较常规,且一般称为大马士革工艺;另一种方式为:在衬底的表面设置金属并且刻蚀形成图3所示的第X个金属互连部,然后,在衬底以及该第X个金属互连部的裸露表面上设置介电材料,并平坦化,形成图3中的第X个介电层11。

[0049] 无论是预存储结构2中包括还是不包括第一顶电极层230,本申请中优选本申请中优选预存储结构2的远离基底1的表面与基底1的距离大于或者等于刻蚀阻挡层13的远离基底1的表面与基底1的距离,即预存储结构2的与基底1距离最大的表面高于刻蚀阻挡层13的与基底1距离最大的表面,这样可以既可以简化后续的制作工艺,也可以降低后续制作工艺的难度,还可以进一步保证制作得到的器件具有良好的性能。

[0050] 本领域技术人员可以根据实际情况选择合适的方法形成图3中的第X个金属互连

部12以及第X个介电层11。

[0051] 本申请的另一种实施例中,如图10所示,上述底电极层210设置在上述第X个金属互连部的远离上述衬底的表面上以及上述第X个金属互连部12两侧的部分上述刻蚀阻挡层13的远离上述衬底的表面上。这样可以更进一步地防止X个金属互连部的金属向上扩散到其他结构层中,进而保证了形成的MRAM具有良好的性能。

[0052] 为了将MTJ上方的电极与其他的金属层电连接,本申请的一种实施例中,在形成上述第二顶电极24后,上述制作方法还包括:在上述第X+1个介电层4的裸露表面上以及至少部分上述第二顶电极24的裸露表面上设置第X+2个介电层5,形成图11所示的结构;在至少部分裸露上述第二顶电极24的远离上述基底1的表面上设置第X+1个金属互连部6,形成图12所示的结构,且上述第X+2个介电层5位于上述第X+1个金属互连部6的两侧,且上述第X+2个介电层5远离上述基底1的表面与上述第X+1个金属互连部6的远离上述基底1的表面在同一个平面上。

[0053] 上述的形成第X+1个金属互连部6以及其两侧的X+2个介电层5的形成过程可以参照上述的形成第X个金属互连部以及其两侧的X+1个介电层4的形成过程,此处就不再赘述了。

[0054] 本申请的上述衬底包含前道工艺所有必要的结构以及器件,例如包括CMOS、X-1个介电层、以及X-1个金属互连部等。

[0055] 本申请中的第X个介电层11、第X+1个介电层4以及第X+2个介电层5的材料可以独立地选自二氧化硅、低介电常数电介质或者超低介电常数电介质。本领域技术人员可以根据实际情况选择合适的材料以及合适的方法形成X个介电层、第X+1个介电层4以及第X+2个介电层5。

[0056] 本申请的另一种典型的实施方式中,提供了一种MRAM,如图10以及图12所示,该MRAM包括基底1、预存储结构2以及保护层3,预存储结构2设置在上述基底1上,上述预存储结构2至少包括一个MTJ单元22;保护层3设置在上述预存储结构2的至少部分侧壁上。

[0057] 该MRAM中,MTJ单元两侧的基底表面上或者是部分预存储结构的表面上没有设置保护材料,保护层只设置在预存储结构侧壁上,避免了MTJ单元两侧的基底表面上或者是部分预存储结构的表面上的保护层材料带来的电容效应和应力效应,从而保证了器件具有较好的性能。

[0058] 本申请的另一种实施例中,如图12所示,上述本申请中的基底1中还包括第X个介电层11与第X个金属互连部12,具体的位置关系可以参照图12以及图3等,但是并不限于该种位置关系。

[0059] 本申请的再一种实施例中,上述预存储结构2包括底电极层210、MTJ单元22以及第一顶电极23,如图12所示,当然,并不限于该种预存储结构2,上述预存储结构2还可以包括底电极21、MTJ单元22以及第一顶电极23,或者包括底电极21与MTJ单元22,再或者包括底电极层210与MTJ单元22。本领域技术人员可以根据实际情况预存储结构2设置为合适的膜层结构。

[0060] 为了进一步避免第X个金属互连部中的金属向上方扩散出去,进一步保证MRAM具有良好的性能,本申请的一种实施例中,如图12所示,上述底电极21设置在上述第X个金属互连部的远离上述衬底的表面上以及上述第X个金属互连部12两侧的部分上述刻蚀阻挡层

13的远离上述衬底的表面上。

[0061] 本申请的再一种实施例中,上述MRAM包括两个连接的顶电极,即第一顶电极23与第二顶电极24,位置关系如图2所示,通过两个顶电极可以更好地保证该MRAM的电学性能。

[0062] 为了进一步保证MRAM具有良好的性能,本申请的一种实施例中,上述MRAM还包括第X+1个介电层4,具体的位置见图12等。

[0063] 本申请的又一种实施例中,上述MRAM还包括第X+2个介电层5与第X+1个金属互连部6,具体的位置关系可以参照图12以及图3等,但是并不限于该种位置关系。这样可以进一步将MTJ的顶电极与其他的结构电连接。

[0064] 从以上的描述中,可以看出,本申请上述的实施例实现了如下技术效果:

[0065] 1)、本申请的MRAM的制作方法中,采用自对准刻蚀技术刻蚀保护层材料,该方法无需设置掩膜层,方法简单,容易控制,并且,该方法中将设置在MTJ单元两侧的基底表面上或者是部分预存储结构的表面上的保护层材料去除,只留下预存储结构侧壁上的保护层材料形成保护层,避免了MTJ单元两侧的基底表面上或者是部分预存储结构的表面上的保护材料带来的电容效应和应力效应,从而保证了器件具有较好的性能。

[0066] 2)、本申请的MRAM中,MTJ单元两侧的基底表面上或者是部分预存储结构的表面上没有设置保护材料,保护层只设置在预存储结构侧壁上,避免了MTJ单元两侧的基底表面上或者是部分预存储结构的表面上的保护层材料带来的电容效应和应力效应,从而保证了器件具有较好的性能。

[0067] 以上所述仅为本申请的优选实施例而已,并不用于限制本申请,对于本领域的技术人员来说,本申请可以有各种更改和变化。凡在本申请的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。

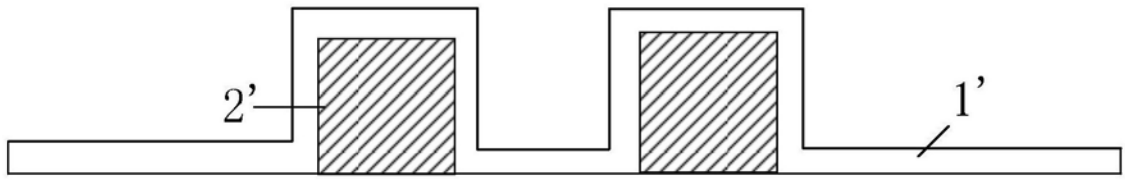


图1

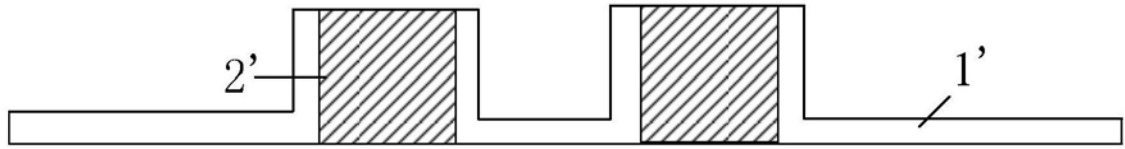


图2

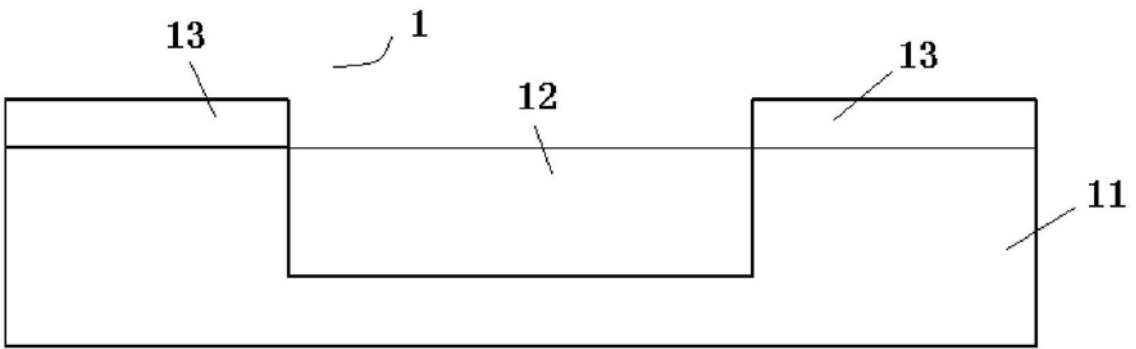


图3

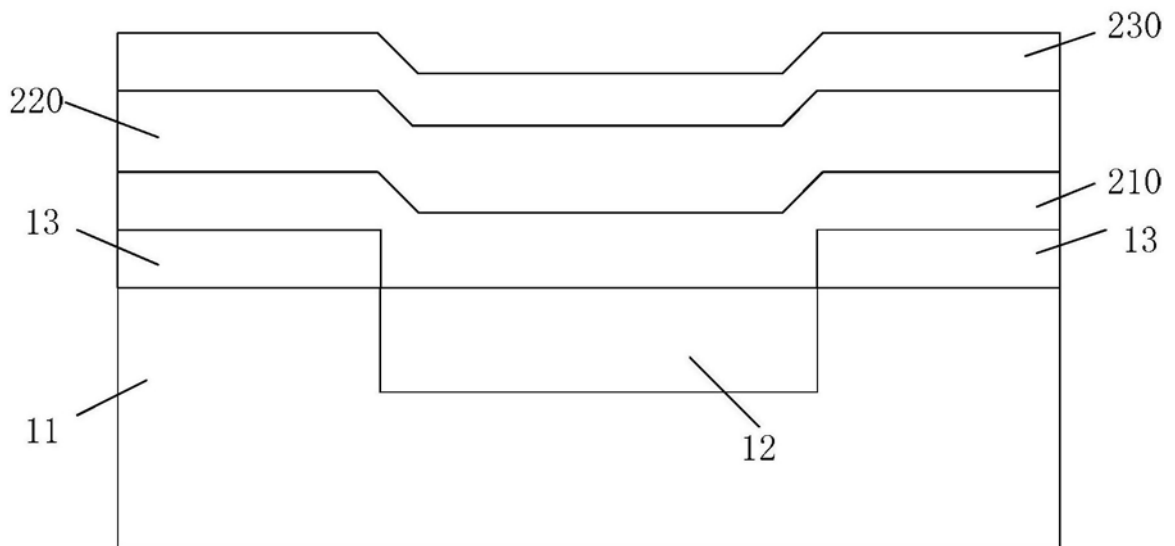


图4

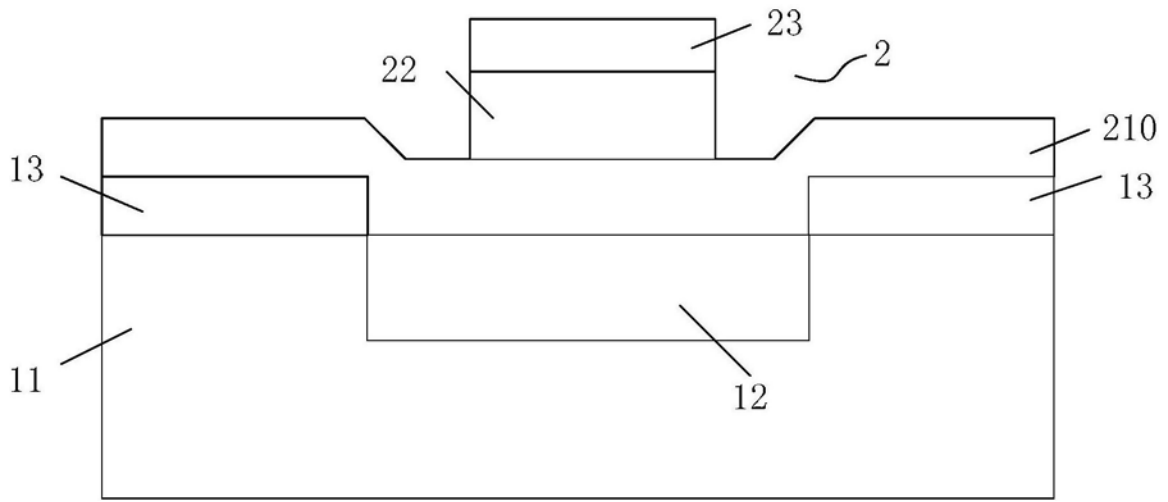


图5

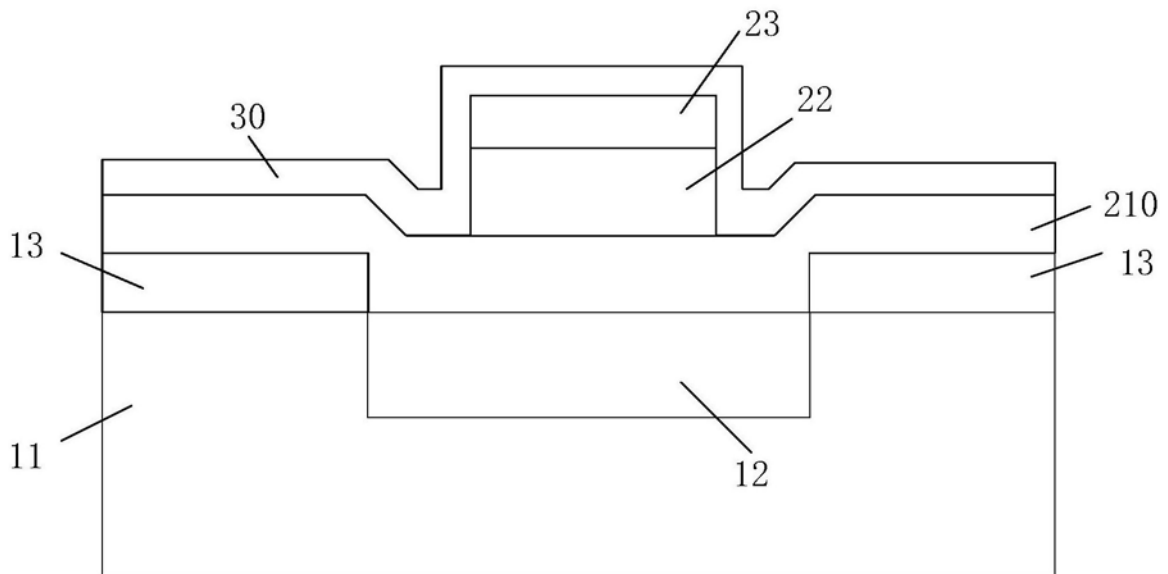


图6

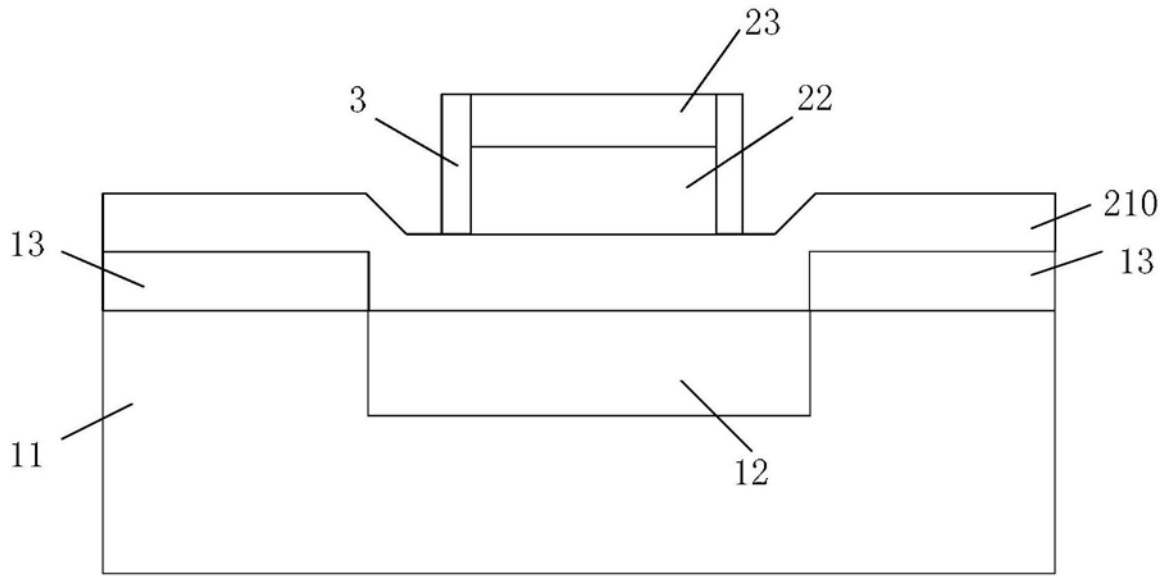


图7

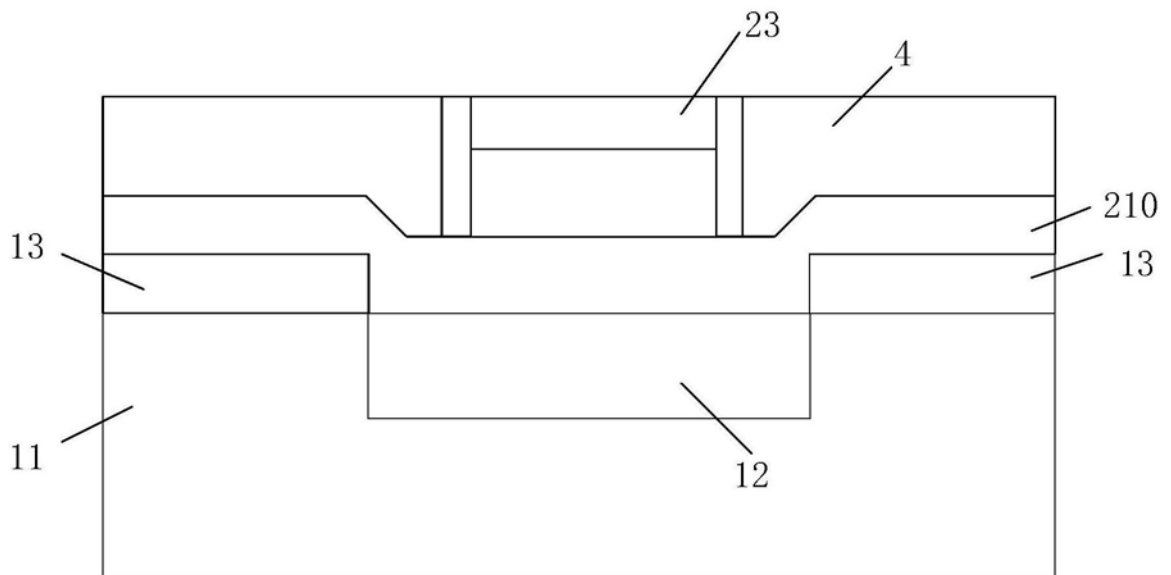


图8

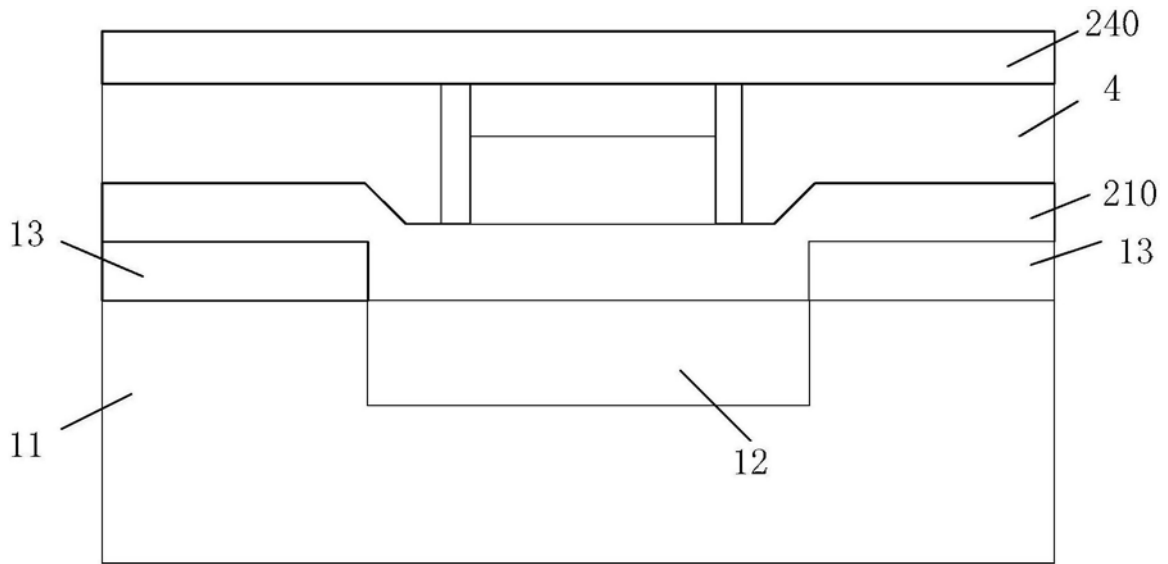


图9

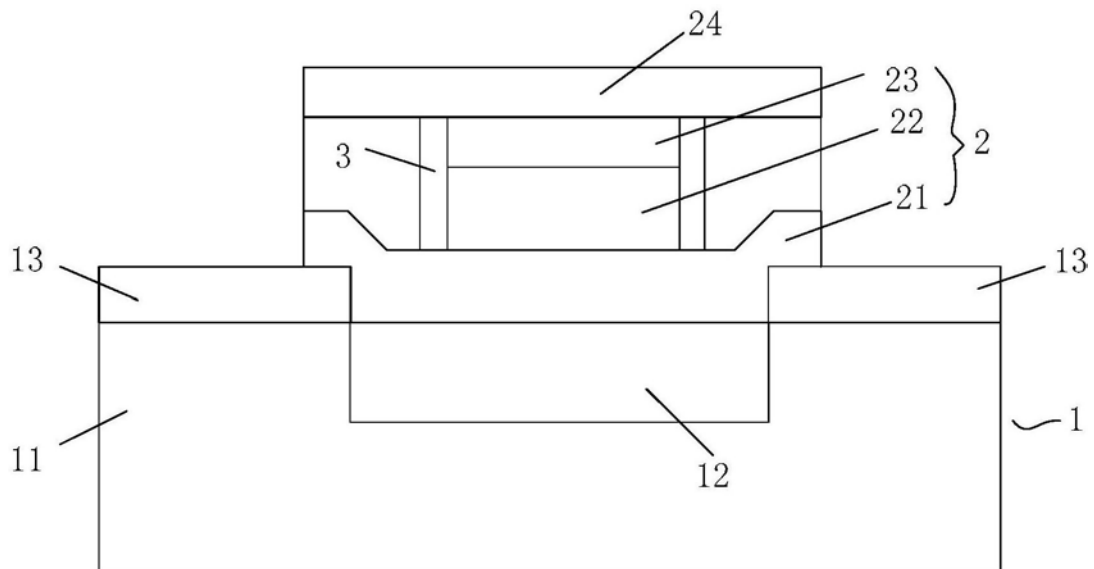


图10

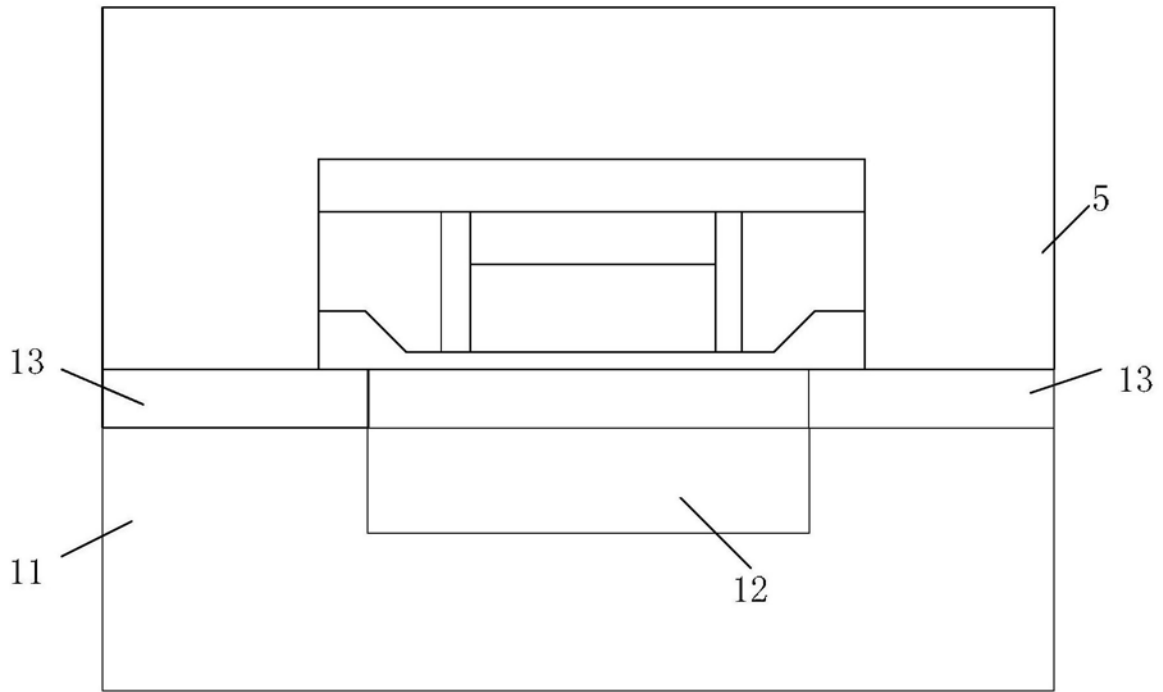


图11

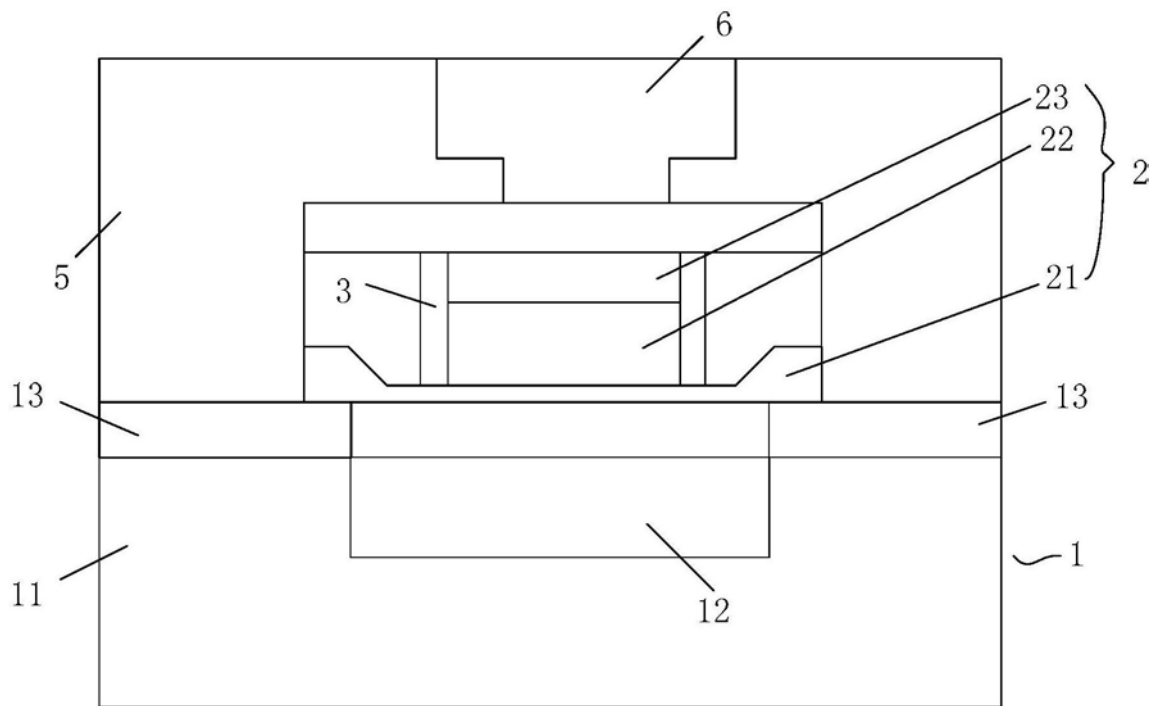


图12