



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

253900

(11)

(B1)

(51) Int. Cl.⁴

G 06 F 3/00

(22) Přihlášeno 31 01 86

(21) PV 685-86

(40) Zveřejněno 12 03 87

(45) Vydáno 15 09 88

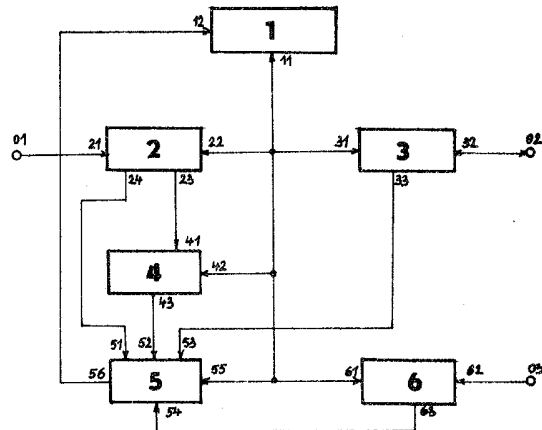
(75)

Autor vynálezu

STAŇKA KAREL ing., DVORSKÝ PAVEL ing., JANŮ KAREL ing. CSC., PRAHA

(54) Zapojení komunikačního procesoru

Řešení se týká zapojení komunikačního procesoru pro výkonné vícepočítačové telemechanizační systémy. Komunikační procesor je vybaven řídicím pamětovým blokem, který bez zásahu mikroprocesorového bloku provádí přenos dat mezikomunikačním blokem a pamětí. Zkrácení času komunikace se druhým univerzálním procesorem systému a pro zkrácení času předávání dat mezi komunikačním procesorem a univerzálním procesorem systému je komunikační procesor vybaven dvoubránovou pamětí s příslušným řízením. Tato dvoubránová paměť spojuje lokální systémovou sběrnici komunikačního procesoru se systémovou sběrnici druhého univerzálního procesoru nebo počítače. Komunikační procesor je vybaven i hlídáním havarijního stavu spojovacího vedení pomocí vestavěného časovacího bloku. Řešení se využije v automatizační technice při stavbě výkonných telemechanizačních systémů.



Vynález se týká zapojení komunikačního procesoru pro telemechanizační systémy, vytvářející místní lokální i dálkové sítě.

Jsou známé výkonné telemechanizační systémy, určené pro přenosy povelů, signálů a měřených hodnot v rámci různě uspořádaných telemechanizačních sítí, které se řeší jako víceprocesorové systémy s jednou společnou sběrnici. Komunikační procesor zajišťuje vlastní vysílání a příjem dat, které odebírá ze společné paměti nebo je zapisuje do společné paměti systému. Univerzální procesor systému vyhodnocuje a zpracovává přijatá data, která přebírá ze společné paměti na sběrnici a opačně do této paměti zapisuje data určená pro vysílání. Oba procesory systému, tj. komunikační i univerzální, sdílejí společnou paměť přes systémovou sběrnici.

Nevýhodou těchto uspořádání je, že toto sdílení vyžaduje jednak příslušné technické vybavení na obou procesorech a jednak vyžaduje příslušnou programovou obsluhu spolu s řízením priority přístupu jednotlivých procesorů ke sběrnici.

Nevýhodou je i to, že celkový výkon systému je tak snížen o ztrátové časy, způsobené programovým zápisem a čtením dat z paměti oběma procesory a ztrátovými časy při nutných a častých výměnách společné sběrnice mezi oběma procesory. Cena výsledné sestavy je relativně vysoká vlivem přídavných obvodů pro řízení přístupu a vlastního odpojování procesorů od sběrnice.

Tyto nedostatky odstraňuje zapojení komunikačního procesoru podle vynálezu. Podstata vynálezu spočívá v tom, že obousměrná komunikační svorka zapojení je spojena se skupinovou obousměrnou komunikační svorkou komunikačního bloku, jehož vyžadovací výstup je spojen s vyžadovacím vstupem řídicího paměťového bloku. Přerušovací výstup řídicího paměťového bloku je spojen s druhým přerušovacím vstupem přerušovacího bloku, jehož třetí přerušovací vstup je spojen s žádacím výstupem dvoubránové paměti. Skupinová obousměrná systémová svorka dvoubránové paměti je spojena s obousměrnou skupinovou systémovou svorkou zapojení. Řídicí svorka zapojení je spojena s řídicím vstupem časovacího bloku, jehož přerušovací výstup je spojen se čtvrtým přerušovacím vstupem přerušovacího bloku.

Přerušovací výstup přerušovacího bloku je spojen s přerušovacím vstupem mikroprocesorového bloku, jehož obousměrná sdružená styková svorka je spojena se skupinovou obousměrnou stykovou svorkou komunikačního bloku, se skupinovou obousměrnou stykovou svorkou dvoubránové paměti, s obousměrnou stykovou sdruženou svorkou řídicího paměťového bloku, se skupinovou obousměrnou stykovou svorkou časovacího bloku a se skupinovou obousměrnou stykovou svorkou přerušovacího bloku. První přerušovací vstup přerušovacího bloku je spojen s přerušovacím výstupem komunikačního bloku.

Výhodou uspořádání podle vynálezu je, že dává předpoklady pro vytvoření výkonného telemechanizačního systému, kde komunikační procesor obsahuje dvoubránovou paměť. Do této paměti ukládá přijatá data pro další zpracování jiným univerzálním procesorem a z této paměti přebírá data uložená tam druhým univerzálním procesorem a připravená pro vysílání.

Zápis a čtení dat z této dvoubránové paměti provádí komunikační procesor nejrychlejší možnou metodou, tj. metodou přímého přístupu do paměti, což výrazně zkracuje pracovní časy. Dvoubránová paměť odděluje systémovou sběrnici komunikačního procesoru od systémové sběrnice univerzálního procesoru, takže vzájemný styk obou procesorů při vzájemném přebírání a předávání dat se děje díky řízení přístupu ke dvoubránové paměti podstatně vyšší rychlostí než při sdílení společné paměti na společné sběrnici. Zapojení používá běžně dostupné a levné součásti, takže celková cena je nízká. Jednoduchost zapojení příznivě ovlivňuje provozní spolehlivost.

Příklad uspořádání podle vynálezu je znázorněn v blokovém schématu na připojeném výkresu.

Jednotlivé bloky zapojení v příkladu konkrétního provedení vynálezu je možno charakteri-

zovat takto: Mikroprocesorový blok 1 je vytvořen jako mikroprocesor běžného typu s příslušnými lokálními paměťovými obvody typu RAM a EPROM ve funkci datové a programové paměti a příslušnými podpůrnými obvody. Slouží k řízení činnosti komunikačního procesoru, případně k dalším účelům. Komunikační blok 2 je vytvořen jako sériový vysílač a přijímač. Slouží k zakódování a ochraně vysílaných informací a k rozpoznávání a ke kontrole přijímaných informací.

Dvoubránová paměť 3 je vytvořena jako datová paměť ze statických nebo dynamických paměťových obvodů a příslušných řídicích logických obvodů. Slouží k uchování dat a k předávání dat mezi komunikačním procesorem a dalším procesorem systému. Řídicí paměťový blok 4 je vytvořen jako blok čítačů a logických obvodů. Slouží ke generaci adres paměti a k řízení komunikace s pamětí bez zásahu mikroprocesorového bloku 1. Přerušovací blok 5 je vytvořen jako registr s logickými obvody. Slouží ke zpracování přerušovacích signálů a ke zjišťování jejich priority. Časovací blok 6 je vytvořen jako programovatelný dělič. Slouží pro odměřování programově zadaného časového intervalu na základě hodinové frekvence, kterou si sám vytváří.

Zapojení jednotlivých bloků a svorek komunikačního řadiče je provedeno takto: Obousměrná komunikační svorka 01 zapojení je spojena se skupinovou obousměrnou komunikační svorkou 21 komunikačního bloku 2. Vyžadovací výstup 23 komunikačního bloku 2 je spojen s vyžadovacím vstupem 41 řídicího paměťového bloku 4, jehož přerušovací výstup 43 je spojen s druhým přerušovacím vstupem 52 přerušovacího bloku 5. Třetí přerušovací vstup 53 přerušovacího bloku 5 je spojen s žádacím výstupem 33 dvoubránové paměti 3.

Skupinová obousměrná systémová svorka 32 dvoubránové paměti 3 je spojena s obousměrnou skupinovou systémovou svorkou 02 zapojení. Řídicí svorka 03 zapojení je spojena s řídicím vstupem 62 časovacího bloku 6. Přerušovací výstup 63 časovacího bloku 6 je spojen se čtvrtým přerušovacím vstupem 54 přerušovacího bloku 5. Přerušovací výstup 56 přerušovacího bloku 5 je spojen s přerušovacím vstupem 12 mikroprocesorového bloku 1.

Obousměrná sdružená styková svorka 11 mikroprocesorového bloku 1 je spojena se skupinovou obousměrnou stykovou svorkou 22 komunikačního bloku 2, se skupinovou obousměrnou stykovou svorkou 31 dvoubránové paměti 3, s obousměrnou stykovou sdruženou svorkou 42 řídicího paměťového bloku 4, se skupinovou obousměrnou stykovou svorkou 61 časovacího bloku 6 a se skupinovou obousměrnou stykovou svorkou 55 přerušovacího bloku 5. První přerušovací vstup 51 přerušovacího bloku 5 je spojen s přerušovacím výstupem 24 komunikačního bloku 2.

Zapojení komunikačního řadiče pracuje takto: Dvoubránová paměť 3 komunikuje přes svoji skupinovou obousměrnou stykovou svorku 31 prostřednictvím lokální systémové sběrnice mikroprocesorového bloku 1 přes jeho obousměrnou sdruženou stykovou svorku 11. Komunikace se druhým univerzálním procesorem systému se provádí přes obousměrnou skupinovou systémovou svorku 02 zapojení a přes skupinovou obousměrnou systémovou svorku 32 dvoubránové paměti 3. Přijímaná a vysílaná data přicházejí a odcházejí přes obousměrnou komunikační svorku 01 zapojení. Průběh komunikace se řídí komunikačním blokem 2. Při příjmu a vysílání dat komunikuje komunikační blok 2 s řídicím paměťovým blokem 4 přes jeho vyžadovací vstup 41. Řídicí paměťový blok 4 generuje adresy a řídicí signály pro řízení výběru nebo ukládání dat z a do dvoubránové paměti 3 bez zásahu mikroprocesorového bloku 1.

Ukončení přesunu dat se indikuje přes přerušovací výstup 43 řídicího paměťového bloku 4 do druhého přerušovacího vstupu 52 přerušovacího bloku 5. Konec komunikační relace hlásí komunikační blok 2 přes přerušovací výstup 24 do prvního přerušovacího vstupu 51 přerušovacího bloku 5. Jsou-li přijatá data vložena do dvoubránové paměti 3 určena druhému procesoru systému, potom se přes obousměrnou skupinovou systémovou svorku 02 zapojení vydá signál žádosti druhému procesoru o převzetí připravených dat. Naopak když druhý procesor zapíše data do dvoubránové paměti 3 přes její skupinovou obousměrnou systémovou svorku 32, vydá dvoubránová paměť 3 na svém žádacím výstupu 33 signál přerušování, který přes třetí přerušovací vstup 53 přerušovacího bloku 5 způsobí přerušování.

Výsledný signál přerušování, způsobený některou z výše popsaných událostí se z přerušova-

ciho výstupu 56 přerušovacího bloku 5 zavádí na přerušovací vstup 12 mikroprocesorového bloku 1, kde způsobí příslušnou programovou obsluhu příslušného typu přerušení. Přerušení se může vyvolat i z přerušovacího výstupu 63 časovacího bloku 6 v případě vzniku tzv. "klidu na vedení", kdy se signalizuje porucha vedení do čtvrtého přerušovacího vstupu 54 přerušovacího bloku 5. Tento stav se vyhodnotí v časovacím bloku 6, který přes svoji skupinovou obousměrnou stykovou svorku 61 může být naprogramován na měření různě dlouhých časových intervalů podle typu provozu. Pokud z vedení docházejí přes řídicí vstup 62 do časovacího bloku 6 impulsy indikující správný provoz, potom se přerušovací signál nevydává. V případě poruchy vedení se na přerušovacím výstupu 63 časovacího bloku 6 signál přerušení vydá.

Vynálezu se využije v automatizační technice při stavbě výkonných víceprocesorových či vícepočítačových systémů a ve všech případech, kdy se má výkonný komunikační procesor podílet o činnost s dalším univerzálním procesorem.

P R E D M Ě T V Y N Á L E Z U

Zapojení komunikačního procesoru, vyznačující se tím, že obousměrná komunikační svorka (01) zapojení je spojena se skupinovou obousměrnou komunikační svorkou (21) komunikačního bloku (2), jehož vyžadovací výstup (23) je spojen s vyžadovacím vstupem (41) řídicího paměťového bloku (4), jehož přerušovací výstup (43) je spojen s druhým přerušovacím vstupem (52) přerušovacího bloku (5), jehož třetí přerušovací vstup (53) je spojen s žádacím výstupem (33) dvoubránové paměti (3), jejíž skupinová obousměrná systémová svorka (32) je spojena s obousměrnou skupinovou systémovou svorkou (02) zapojení, jehož řídicí svorka (03) je spojena s řídicím vstupem (62) časovacího bloku (6), jehož přerušovací výstup (63) je spojen se čtvrtým přerušovacím vstupem (54) přerušovacího bloku (5), jehož přerušovací výstup (56) je spojen s přerušovacím vstupem (12) mikroprocesorového bloku (1), jehož obousměrná sdružená styková svorka (11) je spojena se skupinovou obousměrnou stykovou svorkou (22) komunikačního bloku (2), se skupinovou obousměrnou stykovou svorkou (31) dvoubránové paměti (3), s obousměrnou stykovou sdruženou svorkou (42) řídicího paměťového bloku (4), se skupinovou obousměrnou stykovou svorkou (61) časovacího bloku (6) a se skupinovou obousměrnou stykovou svorkou (55) přerušovacího bloku (5), jehož první přerušovací vstup (51) je spojen s přerušovacím výstupem (24) komunikačního bloku (2).

253900

