(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年6月28日(28.06.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/116633 A1

(51) 国際特許分類:
H04N 5/376 (2011.01) *H04N 5/378* (2011.01)
H04N 5/361 (2011.01)

(21) 国際出願番号： PCT/JP2017/038835

(22) 国際出願日： 2017年10月27日(27.10.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2016-248553 2016年12月22日(22.12.2016) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

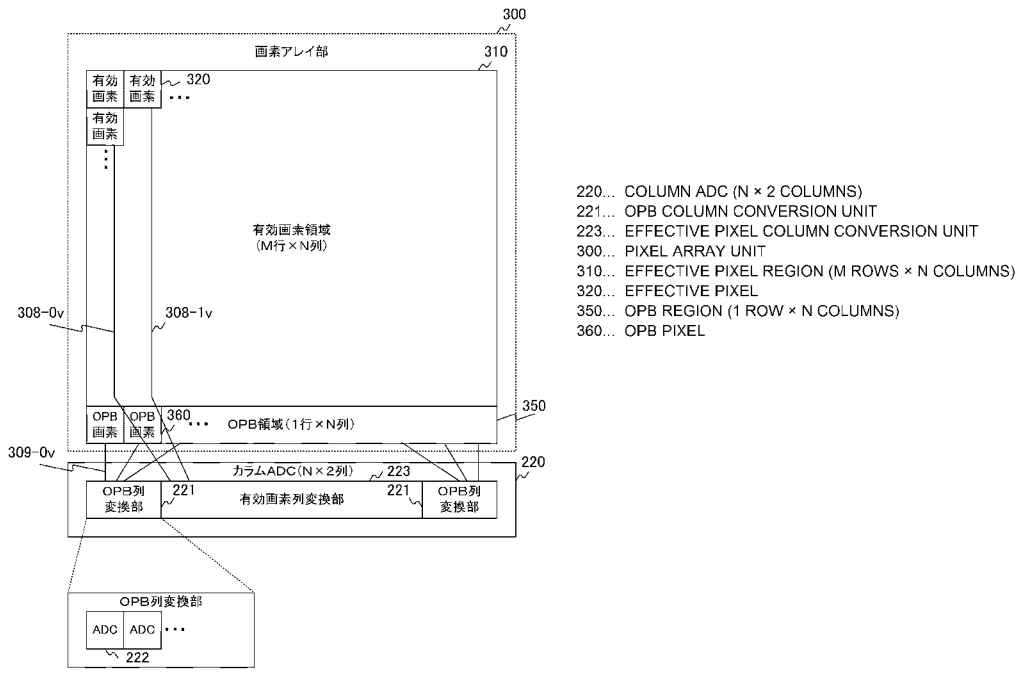
(72) 発明者: 丹羽 篤親(**NIWA, Atsumi**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 松本 静徳(**MATSUMOTO, Shizunori**); 〒2430021 神奈川県厚木市岡田四丁目１６番１号 ソニーＬＳＩデザイン株式会社内 Kanagawa (JP). 平田 英治(**HIRATA, Eiji**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 丸島 敏一(**MARUSHIMA, Toshikazu**); 〒1600022 東京都新宿区新宿３－３－２ 京

(54) **Title:** SOLID-STATE IMAGING ELEMENT, ELECTRONIC DEVICE, AND MANUFACTURING METHOD FOR SOLID-STATE IMAGING ELEMENT

(54) 発明の名称： 固体撮像素子、電子機器、および、固体撮像素子の制御方法

［図3］



(57) **Abstract:** The present invention accurately corrects unevenness in brightness while suppressing increase in the size of a solid-state imaging element. In a pixel array unit, a plurality of lines each comprising a predetermined number of pixels arranged along a predetermined direction are arranged. In an analog/digital conversion unit, a larger number of analog/digital converters than the predetermined number each for converting an analog signal into a digital signal are arranged. A scanning circuit outputs a larger number of analog signals than the predetermined number to the analog/digital

WO 2018/116633 A1

［続葉有］

王新宿三丁目第二ビル ５Ｆ クラフト
国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

conversion unit every time sequentially selecting a line from the plurality of lines. A correction unit performs black level correction processing on the digital signal.

(57) 要約：固体撮像素子のサイズの増大を抑制しつつ、輝度ムラを正確に補正する。 画素アレイ部には、それぞれが所定の方向に沿って配列された所定数の画素からなる複数のラインが配列される。アナログデジタル変換部には、アナログ信号をデジタル信号に変換するアナログデジタル変換器が前記所定数より多く配列される。走査回路は、複数のラインを順に選択してラインを選択するたびに所定数より多くのアナログ信号をアナログデジタル変換部へ出力させる。補正部は、デジタル信号に対して黒レベル補正処理を行う。

明　細　書

発明の名称 ：

固体撮像素子、電子機器、および、固体撮像素子の制御方法

技術分野

[0001]　本技術は、固体撮像素子、電子機器、および、固体撮像素子の制御方法に関する。詳しくは、画素データを補正する固体撮像素子、電子機器、および、固体撮像素子の制御方法に関する。

背景技術

[0002]　従来より、撮像装置において、画像データを生成するためにＣＭＯＳ（Complementary MOS）やＣＣＤ（Charge Coupled Device）などの固体撮像素子が用いられている。この固体撮像素子では、画素ごとの特性のばらつきや電圧変動に起因して、輝度ムラが生じることがある。特に筋状の輝度ムラは、ストリーキングと呼ばれる。このストリーキングを抑制するために、水平方向を左右方向として、有効画素の画素アレイの左側と右側とにＯＰＢ（OPtical Black）画素を配置した固体撮像素子が提案されている（例えば、特許文献１参照。）。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１６－１１１６４１号公報

発明の概要

発明が解決しようとする課題

[0004]　上述の従来技術では、固体撮像素子は、ＯＰＢ画素の画素データを用いて有効画素の画素データを補正することにより、ストリーキングを抑制することができる。しかしながら、有効画素の画素アレイの左右にＯＰＢ画素を配置した分、左右方向の固体撮像素子のサイズが大きくなってしまう。一方、ＯＰＢ画素の画素数を削減すれば、サイズを小さくすることができるが、補正値が不正確な値となり、ストリーキングを正確に補正することができなく

なる。このように、上述の従来技術では、固体撮像素子のサイズの増大を抑制しつつ、輝度ムラ（ストリーキング）を正確に補正することが困難である。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、固体撮像素子のサイズの増大を抑制しつつ、輝度ムラを正確に補正することを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第１の側面は、それぞれが所定の方向に沿って配列された所定数の画素からなる複数のラインを配列した画素アレイ部と、アナログ信号をデジタル信号に変換するアナログデジタル変換器を上記所定数より多く配列したアナログデジタル変換部と、上記複数のラインを順に選択して当該ラインを選択するたびに上記所定数より多くの上記アナログ信号を上記アナログデジタル変換部へ出力させる走査回路と、上記デジタル信号に対して黒レベル補正処理を行う補正部とを具備する固体撮像素子、および、その制御方法である。これにより、ライン内の画素数より多くのアナログ信号が出力されるという作用をもたらす。

[0007] また、この第１の側面において、上記アナログ信号は、有効画素信号と黒レベルを示す基準信号とを含み、上記アナログデジタル変換部は、上記有効画素信号を上記デジタル信号に変換して有効画素データとして出力する有効画素信号変換部と、上記基準信号を上記デジタル信号に変換して基準データとして出力する基準信号変換部とを備え、上記補正部は、上記有効画素データと上記基準データとの差分を求める処理を上記黒レベル補正処理として行ってもよい。これにより、有効画素データと基準データとの差分が求められるという作用をもたらす。

[0008] また、この第１の側面において、上記基準信号を生成するダミー回路をさらに具備し、上記走査回路は、上記ラインを選択するたびに当該選択したライン内の上記画素のそれぞれを駆動して上記有効画素信号を出力させるとと

もに上記ダミー回路に上記基準信号を出力させてもよい。これにより、ダミー回路からの基準信号を変換した基準データに基づいて有効画素データが補正されるという作用をもたらす。

[0009] また、この第１の側面において、上記アナログデジタル変換部は、上記基準信号変換部と上記有効画素信号変換部とのそれぞれが複数個ずつ設けられ、上記基準信号変換部のそれぞれは、上記有効画素信号変換部のそれぞれの間に分散して配列されてもよい。これにより、分散配置された基準信号変換部からの基準信号を変換した基準データに基づいて有効画素データが補正されるという作用をもたらす。

[0010] また、この第１の側面において、上記画素アレイ部には、上記有効画素信号を生成する有効画素と上記基準信号を生成する遮光画素とが上記画素として配列されてもよい。これにより、遮光画素からの基準信号を変換した基準データに基づいて有効画素データが補正されるという作用をもたらす。

[0011] また、この第１の側面において、上記複数のラインは、上記所定数の上記有効画素を上記所定の方向に沿って配列した複数の有効画素ラインと上記所定数の上記遮光画素を上記所定の方向に沿って配列した遮光画素ラインとを含み、上記走査回路は、上記複数の有効画素ラインのいずれかと上記遮光画素ラインとを同時に選択して当該選択したラインに上記有効画素信号および上記基準信号を出力させてもよい。これにより、有効画素ラインのいずれかと遮光画素ラインとが同時に選択されるという作用をもたらす。

[0012] また、この第１の側面において、上記複数のラインのそれぞれは、上記有効画素と上記遮光画素とを含み、上記走査回路は、上記選択したライン内の有効画素数に等しい個数の上記有効画素信号と上記選択したライン内の遮光画素数より多くの上記基準信号とを出力させてもよい。これにより、有効画素数に等しい個数の有効画素信号と上記選択したライン内の上記遮光画素数より多くの上記基準信号とが出力されるという作用をもたらす。

[0013] また、この第１の側面において、上記アナログデジタル変換部および上記補正部は、上記所定の基板に配置され、上記画素アレイ部および上記走査回

路は、所定の基板に積層された基板に配置されてもよい。これにより、積層された基板に配置された画素アレイ部からアナログ信号が出力されるという作用をもたらす。

[0014] また、この第１の側面において、上記アナログデジタル変換部は、第１および第２のアナログデジタル変換部を含み、上記走査回路は、上記複数のラインのうち第１および第２のラインを同時に選択して上記第１のラインに対応する上記アナログ信号を上記第１のアナログデジタル変換部に出力させるとともに上記第２のラインに対応する上記アナログ信号を上記第２のアナログデジタル変換部に出力させてもよい。これにより、第１のラインと第２のラインとから同時にアナログ信号が出力されるという作用をもたらす。

[0015] また、この第１の側面において、上記黒レベル補正処理は、ラインごとに設定された補正係数を上記デジタル信号を乗算する処理を含んでもよい。これにより、デジタル信号にラインごとの補正係数が乗算されるという作用をもたらす。

[0016] また、本技術の第２の側面は、それぞれが所定の方向に沿って配列された所定数の画素からなる複数のラインを配列した画素アレイ部と、アナログ信号をデジタル信号に変換するアナログデジタル変換器を上記所定数より多く配列したアナログデジタル変換部と、上記複数のラインを順に選択して当該ラインを選択するたびに上記所定数より多くの上記アナログ信号を上記アナログデジタル変換部へ出力させる走査回路と、上記デジタル信号に対して黒レベル補正処理を行う補正部と上記黒レベル補正処理が行われたデジタル信号を処理する信号処理部とを具備する電子機器である。これにより、ライン内の画素数より多くのアナログ信号がデジタル信号に変換されて処理されるという作用をもたらす。

発明の効果

[0017] 本技術によれば、固体撮像素子のサイズの増大を抑制しつつ、輝度ムラを正確に補正することができるという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたい

ずれかの効果であってもよい。

図面の簡単な説明

[0018] [図1]本技術の第１の実施の形態における電子機器の一構成例を示すブロック図である。

[図2]本技術の第１の実施の形態における固体撮像素子の一構成例を示すブロック図である。

[図3]本技術の第１の実施の形態における画素アレイ部およびカラムＡＤＣ（Analog to Digital Converter）の一構成例を示すブロック図である。

[図4]本技術の第１の実施の形態における有効画素およびＯＰＢ画素の一構成例を示す回路図である。

[図5]本技術の第１の実施の形態における論理回路の一構成例を示すブロック図である。

[図6]本技術の第１の実施の形態におけるラインに対するアクセス順の一例を示すグラフである。

[図7]本技術の第１の実施の形態における走査回路の動作の一例を示すタイミングチャートである。

[図8]本技術の第１の実施の形態における固体撮像素子の動作の一例を示すフローチャートである。

[図9]本技術の第１の実施の形態の第１の変形例におけるカラムＡＤＣの一構成例を示すブロック図である。

[図10]本技術の第１の実施の形態の第１の変形例における補正前後の有効画素データの一例を示す図である。

[図11]本技術の第１の実施の形態の第２の変形例における固体撮像素子の一構成例を示すブロック図である。

[図12]本技術の第１の実施の形態の第３の変形例における画素アレイ部およびカラムＡＤＣの一構成例を示すブロック図である。

[図13]本技術の第１の実施の形態の第４の変形例における論理回路の一構成例を示すブロック図である。

[図14]本技術の第１の実施の形態の第５の変形例における下側論理回路の一構成例を示すブロック図である。

[図15]本技術の第２の実施の形態における画素アレイ部、ダミー回路およびカラムＡＤＣの一構成例を示すブロック図である。

[図16]本技術の第２の実施の形態におけるダミー回路の一構成例を示す回路図である。

[図17]本技術の第２の実施の形態におけるダミー回路の配置例を示す図である。

[図18]本技術の第３の実施の形態における画素アレイ部およびカラムＡＤＣの一構成例を示すブロック図である。

[図19]本技術の第３の実施の形態におけるＯＰＢ領域の一構成例を示す平面図である。

[図20]本技術の第３の実施の形態におけるラインに対するアクセス順の一例を示すグラフである。

[図21]車両制御システムの概略的な構成の一例を示すブロック図である。

[図22]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0019] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

１．第１の実施の形態（ＯＰＢ画素ラインからの信号を用いて補正する例）

２．第２の実施の形態（ダミー回路からの信号を用いて補正する例）

３．第３の実施の形態（ＯＰＢ列からの信号を用いて補正する例）

４．移動体への応用例

[0020] ＜１．第１の実施の形態＞

［電子機器の構成例］

図１は、本技術の第１の実施の形態における電子機器１００の一構成例を示すブロック図である。この電子機器１００は、撮像機能を有する電子機器

であり、撮像レンズ１１０、固体撮像素子２００、画像処理部１２０、撮像制御部１３０および記録部１４０を備える。電子機器１００としては、デジタルカメラやスマートフォン、パーソナルコンピュータなどが想定される。

[0021] 撮像レンズ１１０は、被写体からの光を集光して固体撮像素子２００に導くものである。

[0022] 固体撮像素子２００は、撮像制御部１３０からの垂直同期信号ＶＳＹＮＣに同期して、画像データを撮像するものである。ここで、垂直同期信号ＶＳＹＮＣは、撮像のタイミングを示すタイミング信号である。例えば、３０ヘルツ（Ｈｚ）や６０ヘルツ（Ｈｚ）の周期信号が垂直同期信号ＶＳＹＮＣとして用いられる。固体撮像素子２００は、画像データを画像処理部１２０に信号線２０９を介して供給する。

[0023] 撮像制御部１３０は、固体撮像素子２００を制御するものである。この撮像制御部１３０は、垂直同期信号ＶＳＹＮＣや、露光時間を制御する信号などを固体撮像素子２００に信号線１３９を介して供給する。また、撮像制御部１３０は、例えば、撮像を開始させるための操作（シャッターボタンの押下など）が行われたときに、垂直同期信号ＶＳＹＮＣの供給を開始する。

[0024] 画像処理部１２０は、画像データに対して、デモザイク処理やホワイトバランス処理などの様々な画像処理を実行するものである。この画像処理部１２０は、処理後の画像データを記録部１４０に信号線１２９を介して供給する。記録部１４０は、画像データを記録するものである。なお、画像処理部１２０は、特許請求の範囲に記載の信号処理部の一例である。

[0025] [固体撮像素子の構成例]

図２は、本技術の第１の実施の形態における固体撮像素子２００の一構成例を示すブロック図である。この固体撮像素子２００は、半導体基板２０１を備える。半導体基板２０１には、走査回路２１０、画素アレイ部３００、カラムＡＤＣ２２０、論理回路２５０およびタイミング制御部２８０が設けられる。

[0026] 画素アレイ部３００には、複数の画素が二次元格子状に配列される。以下

、所定の方向に沿って配列された画素の集合を「行」または「ライン」と称し、行に垂直な方向に沿って配列された画素の集合を「列」と称する。また、画素アレイ部３００には、画素として、遮光されていない有効画素と、遮光されたＯＰＢ画素とが配列される。有効画素およびＯＰＢ画素のそれぞれの配置場所については後述する。

[0027] タイミング制御部２８０は、垂直同期信号ＶＳＹＮＣに同期して、走査回路２１０、カラムＡＤＣ２２０および論理回路２５０のそれぞれの動作タイミングを制御するものである。

[0028] 走査回路２１０は、行を順に選択して、その行内の画素を駆動するものである。駆動された画素のそれぞれは、アナログの画素信号をカラムＡＤＣ２２０に供給する。

[0029] カラムＡＤＣ２２０は、画素信号のそれぞれをデジタル信号に変換して画素データとして論理回路２５０に出力するものである。

[0030] 論理回路２５０は、画素データのそれぞれに対して、ストリーキングを抑制するための黒レベル補正処理を行うものである。この論理回路２５０は、処理後の画素データからなる画像データを画像処理部１２０に供給する。なお、論理回路２５０は、特許請求の範囲に記載の補正部の一例である。

[0031] 図３は、本技術の第１の実施の形態における画素アレイ部３００およびカラムＡＤＣ２２０の一構成例を示すブロック図である。画素アレイ部３００は、有効画素領域３１０と、ＯＰＢ領域３５０とに分割される。

[0032] 有効画素領域３１０には、複数の有効画素３２０が二次元格子状に配列される。有効画素３２０の行数は、Ｍ（Ｍは、整数）であり、列数は、Ｎ（Ｎは、整数）である。また、有効画素領域３１０には、列ごとに垂直信号線３０８－ｎ（ｎは０乃至Ｎ－１の整数）ｖが配線される。第ｎ列の有効画素３２０のそれぞれは、垂直信号線３０８－ｎｖに接続される。

[0033] ＯＰＢ領域３５０は、有効画素領域３１０の列方向を上下方向として、その有効画素領域３１０の上側または下側に隣接して配置される。例えば、カラムＡＤＣ２２０側を下側として、ＯＰＢ領域３５０は有効画素領域３１０

の下側に配置される。このＯＰＢ領域３５０には、行方向に沿ってＮ個のＯＰＢ画素３６０が配列される。また、ＯＰＢ領域３５０には、列ごとに垂直信号線３０９－ｎｖが配線される。第ｎ列のＯＰＢ画素３６０は、垂直信号線３０９－ｎｖに接続される。なお、ＯＰＢ画素３６０は、特許請求の範囲に記載の遮光画素の一例である。

[0034] カラムＡＤＣは、２つのＯＰＢ列変換部２２１と有効画素列変換部２２３とを備える。ＯＰＢ列変換部２２１は、行方向を左右方向として、有効画素列変換部２２３の左側と右側とに配置される。また、ＯＰＢ列変換部２２１のそれぞれには、行方向に沿って、Ｎ／２個のＡＤＣ２２２が配列される。有効画素列変換部２２３には、行方向に沿ってＮ個のＡＤＣ２２２が配列される。すなわち、カラムＡＤＣ２２０には、Ｎ×２個のＡＤＣ２２２が配列される。なお、カラムＡＤＣ２２０は、特許請求の範囲に記載のアナログデジタル変換部の一例である。また、ＯＰＢ列変換部２２１は、特許請求の範囲に記載の基準信号変換部の一例であり、有効画素列変換部２２３は、特許請求の範囲に記載の有効画素信号変換部の一例である。

[0035] 左側のＯＰＢ列変換部２２１の第n_L列のＡＤＣ２２２は、垂直信号線３０９－n_Lｖを介して第n_L列のＯＰＢ画素３６０に接続される。ここで、n_Lは、０乃至（Ｎ／２－１）の整数である。右側のＯＰＢ列変換部２２１の第n_R列のＡＤＣ２２２は、垂直信号線３０９－n_Rｖを介して第n_R列のＯＰＢ画素３６０に接続される。ここで、n_Rは、Ｎ／２乃至Ｎ－１の整数である。

[0036] 有効画素列変換部２２３内の第ｎ列のＡＤＣ２２２は、垂直信号線３０８－ｎｖを介して第ｎ列の有効画素３２０に接続される。

[0037] ＡＤＣ２２２のそれぞれは、対応する垂直信号線からのアナログの画素信号をデジタルの画素データに変換する。有効画素３２０からの画素信号を以下、「有効画素信号」と称し、ＯＰＢ画素３６０からの画素信号を「ＯＰＢ画素信号」と称する。このＯＰＢ画素信号は、ストリーキングの補正において、黒レベルを示す基準の信号として用いられる。また、有効画素信号に対応する画素データを以下、「有効画素データ」と称し、ＯＰＢ画素信号に対

応する画素データを「ＯＰＢ画素データ」と称する。なお、ＯＰＢ画素信号は、特許請求の範囲に記載の基準信号の一例であり、ＯＰＢ画素データは、特許請求の範囲に記載の基準データの一例である。

[0038] 走査回路２１０は、有効画素３２０の行（以下、「有効画素ライン」と称する。）を順に選択し、有効画素ラインの選択のたびに、同時にＯＰＢ画素３６０の行（以下、「ＯＰＢ画素ライン」と称する。）を選択する。このため、有効画素ラインの選択のたびに、選択された有効画素ラインは、Ｎ個の有効画素信号を出力し、ＯＰＢ画素ラインは、Ｎ個のＯＰＢ画素信号を出力する。そして、カラムＡＤＣ２２０は、それらの画素信号をＮ×２個の画素データに変換して論理回路２５０に出力する。

[0039] 一般に、筋状成分（ストリーキング）は、電圧変動や、画素アレイ部３００およびカラムＡＤＣ２２０の特性のばらつきなどに起因して生じる。有効画素ラインとＯＰＢ画素ラインとを同時に駆動することにより、有効画素ラインごとに電圧が変動しても、同じ電圧条件のＯＰＢ画素ラインからの信号を用いた補正により、電圧変動に起因するストリーキングを抑制することができる。

[0040] また、有効画素ラインとＯＰＢ画素ラインとは、プロセスや温度の条件が同一であるため、ＯＰＢ画素ラインからの信号を用いた補正により、画素アレイ部３００の特性のばらつきに起因するストリーキングを抑制することができる。

[0041] また、ＯＰＢ列変換部２２１と、有効画素列変換部２２３とは、プロセスや温度の条件が同一であるため、ＯＰＢ画素データを用いた補正により、カラムＡＤＣ２２０の特性のばらつきに起因するストリーキングを抑制することができる。

[0042] さらに、ＯＰＢ領域３５０を有効画素領域３１０の下側に配置したため、ＯＰＢ領域３５０を左側や右側に配置する場合と比較して、画素アレイ部３００の左右方向（行方向）のサイズを小さくすることができる。

[0043] ［画素アレイ部の構成例］

図４は、本技術の第１の実施の形態における有効画素３２０およびＯＰＢ画素３６０の一構成例を示す回路図である。有効画素３２０のそれぞれは、リセットトランジスタ３２１、転送トランジスタ３２２、フォトダイオード３２３、増幅トランジスタ３２４、浮遊拡散層３２５および選択トランジスタ３２６を備える。

[0044] フォトダイオード３２３は、光電変換により、光から電荷を生成するものである。転送トランジスタ３２２は、転送信号ＴＲＧ_ｍ（Ｍは、０乃至Ｍの整数）に従って、フォトダイオード３２３が生成した電荷を浮遊拡散層３２５へ転送するものである。

[0045] 浮遊拡散層３２５は、転送された電荷を蓄積して、電荷量に応じた電圧を生成するものである。リセットトランジスタ３２１は、リセット信号ＲＳＴ_ｍに従って、浮遊拡散層３２５の電荷量を初期化するものである。

[0046] 増幅トランジスタ３２４は、浮遊拡散層３２５の電圧を増幅するものである。選択トランジスタ３２６は、選択信号ＳＥＬ_ｍに従って、増幅された電圧の信号を有効画素信号として有効画素列変換部２２３に垂直信号線３０８－ｎｖを介して出力するものである。

[0047] 走査回路２１０は、選択したラインに選択信号ＳＥＬ_ｍを供給する。また、走査回路２１０は、選択したラインの露光開始時に転送信号ＴＲＧ_ｍおよびリセット信号ＲＳＴ_ｍを送信して電圧を初期化させる。そして、走査回路２１０は、選択したラインの露光終了時に転送信号ＴＲＧ_ｍして電荷を転送させる。

[0048] ＯＰＢ画素３６０のそれぞれは、リセットトランジスタ３６１、転送トランジスタ３６２、フォトダイオード３６３、増幅トランジスタ３６４、浮遊拡散層３６５および選択トランジスタ３６６を備える。これらの素子の機能は、有効画素３２０と同様である。

[0049] なお、有効画素３２０およびＯＰＢ画素３６０の回路は、図４に例示した回路に限定されない。例えば、浮遊拡散層を複数の画素で共有する構成であってもよい。

[0050] ［論理回路の構成例］

図５は、本技術の第１の実施の形態における論理回路２５０の一構成例を示すブロック図である。この論理回路２５０は、補正値演算部２５１および黒レベル補正部２５２を備える。黒レベル補正部２５２は、Ｎ個の減算器２５３を備える。

[0051] 補正値演算部２５１は、有効画素ラインが選択されるたびに、Ｎ個のＯＰＢ画素データの平均値を補正値として演算するものである。この補正値演算部２５１は、補正値を黒レベル補正部２５２に供給する。なお、補正値演算部２５１は、平均値を補正値として演算しているが、平均値以外の統計量（中央値など）を補正値として演算してもよい。

[0052] 減算器２５３は、対応する列の有効画素データと、補正値との差分を演算するものである。ｎ列の減算器２５３により、ｎ列目の有効画素データから補正値が減算される。減算器２５３は、演算した差分をＯＰＢ補正済み有効画素データとして画像処理部１２０に出力する。

[0053] なお、論理回路２５０は、ＯＰＢ画素データによる黒レベル補正の他、ＣＤＳ（Correlated Double Sampling）処理などの信号処理をさらに実行することもできる。

[0054] 図６は、本技術の第１の実施の形態におけるラインに対するアクセス順の一例を示すグラフである。同図における縦軸は、アクセス先の行（ライン）のアドレス（垂直アドレス）を示し、横軸は時間を示す。Ｖ_０は、ＯＰＢ画素ラインの垂直アドレスを示し、Ｖ_１乃至Ｖ_Ｍは、有効画素ラインの垂直アドレスを示す。

[0055] 垂直同期信号ＶＳＹＮＣの周期内のタイミングＴ_１において、走査回路２１０は、Ｖ_０およびＶ_１のアドレスに同時にアクセスする。これにより、ＯＰＢ画素ラインと最初の有効画素ラインとが同時に駆動される。

[0056] そして、次のタイミングＴ_２において、走査回路２１０は、Ｖ_０およびＶ_２のアドレスに同時にアクセスする。これにより、ＯＰＢ画素ラインと２番目の有効画素ラインとが同時に駆動される。以下、同様に走査回路２１０

は、Ｖ_０のアドレスとＶ_３以降のアドレスとに同時にアクセスする処理を繰り返す。

[0057] そして、タイミングＴ_Ｍにおいて、走査回路２１０は、Ｖ_０およびＶ_Ｍのアドレスに同時にアクセスする。これにより、ＯＰＢ画素ラインと最後の有効画素ラインとが同時に駆動される。このように、有効画素ラインのいずれかとＯＰＢラインとが同時に駆動される。これにより、有効画素ラインの選択のたびに、Ｎ×２個の画素信号が出力される。

[0058] 上述の一連の処理により、画像データが生成される。垂直同期信号ＶＳＹＮＣの周期のたびに、同様の処理により画像データが生成される。

[0059] ここで、仮に、ＯＰＢ領域３５０を有効画素領域３１０の左右に配置する構成とした場合、有効画素ラインの選択のたびに、Ｎ×２個の画素信号を出力させるには、左側と右側とで合わせてＮ列のＯＰＢ画素を配置する必要がある。Ｎ列ものＯＰＢ画素を配置すると、画素アレイ部３００の左右のサイズが有効画素のみの場合と比較して２倍になってしまう。同様に、画素アレイ部３００の面積も２倍となり、固体撮像素子２００の小型化が困難となる。

[0060] これに対して、固体撮像素子２００では、ＯＰＢ画素ラインを有効画素領域３１０の下側に配置したため、画素アレイ部３００の左右方向のサイズは、有効画素のみの場合と同一で済む。また、ＯＰＢ画素ラインは１ラインであるため、画素アレイ部３００の上下方向のサイズは、（Ｍ＋１）／Ｍ倍で済み、面積も（Ｍ＋１）／Ｍ倍となる。

[0061] また、ＯＰＢ領域３５０を有効画素領域３１０の左右に配置する構成であってもＯＰＢ画素の列数を削減すれば、サイズの増大を抑制することができる。しかしながら、その代わりに、ラインごとのＯＰＢ画素信号の数が少なくなり、正確な補正が困難となる。

[0062] これに対して、固体撮像素子２００では、有効画素ラインごとに、そのラインの列数Ｎと同じ個数の多くのＯＰＢ画素信号を出力するため、補正を正確に行うことができる。

[0063] 図７は、本技術の第１の実施の形態における走査回路２１０の動作の一例を示すタイミングチャートである。垂直同期信号の周期を１Ｖ期間とする。１Ｖ期間内のタイミングＴ_１からＴ_Ｍまでの期間において、走査回路２１０は、選択信号ＳＥＬ_０により、ＯＰＢ画素ラインを駆動させる。また、タイミングＴ_１において走査回路２１０は、選択信号ＳＥＬ_１により、第１ライン目の有効画素ラインを駆動させる。

[0064] 次のタイミングＴ_２において、走査回路２１０は、選択信号ＳＥＬ_２により、第２ライン目の有効画素ラインを駆動させ、タイミングＴ_３において選択信号ＳＥＬ_３により第３ライン目の有効画素ラインを駆動させる。以下、同様に、有効画素ラインが順に駆動される。

[0065] ［固体撮像素子の動作例］

図８は、本技術の第１の実施の形態における固体撮像素子の動作の一例を示すフローチャートである。この動作は、例えば、撮像を開始させるための操作が行われたときに開始される。

[0066] 固体撮像素子２００は、ｍに初期値「１」を設定する（ステップＳ９０１）。そして、固体撮像素子２００は、第ｍ行（有効画素ライン）と第０行（ＯＰＢ画素ライン）とを同時に駆動して画素データを読み出す（ステップＳ９０２）。

[0067] 固体撮像素子２００は、ＯＰＢ画素データの平均値を補正値として算出し（ステップＳ９０３）、その補正値により有効画素データを補正する（ステップＳ９０４）。固体撮像素子２００は、ｍをインクリメントし（ステップＳ９０５）、ｍがＭより大きい（すなわち、最後のライン）であるか否かを判断する（ステップＳ９０６）。

[0068] ｍがＭ以下の場合（ステップＳ９０６：Ｎｏ）、固体撮像素子２００は、ステップＳ９０２以降を繰り返す。一方、ｍがＭより大きい場合（ステップＳ９０６：Ｙｅｓ）、固体撮像素子２００は、画像データに対して画像処理を行い（ステップＳ９０７）、撮像の終了が撮像制御部１３０により指示されたか否かを判断する（ステップＳ９０８）。

[0069] 撮像終了が指示されていない場合に（ステップＳ９０８：Ｎｏ）、固体撮像素子２００は、ステップＳ９０１以降を繰り返し実行する。一方、撮像終了が指示された場合に（ステップＳ９０８：Ｙｅｓ）、固体撮像素子２００は、撮像のための動作を終了する。

[0070] このように、本技術の第１の実施の形態によれば、走査回路２１０は、有効画素ラインの列数Ｎより多い２Ｎ個のＡＤＣ２２２のそれぞれへ有効画素信号とＯＰＢ画素信号とを出力させるため、ＯＰＢ画素信号によりストリーキングを補正することができる。また、ＡＤＣ２２２の個数２Ｎよりも、有効画素の列数を少なくしたため、列数を２Ｎとする場合よりも固体撮像素子２００のサイズを小さくすることができる。

[0071] ［第１の変形例］

上述の第１の実施の形態では、カラムＡＤＣ２２０において有効画素列変換部２２３の左側と右側とにＯＰＢ列変換部２２１を配置していたが、この配置では、列ごとに輝度にムラが生じる場合に、その輝度ムラを十分に補正することができないおそれがある。この列ごとの輝度ムラは、水平シェーディング成分と呼ばれる。この第１の実施の形態の第１の変形例の固体撮像素子２００は、水平シェーディング成分をさらに補正する点において第１の実施の形態と異なる。

[0072] 図９は、本技術の第１の実施の形態の第１の変形例におけるカラムＡＤＣ２２０の一構成例を示すブロック図である。この第１の実施の形態の第１の変形例のカラムＡＤＣ２２０には、複数のＯＰＢ列変換部２２１と複数の有効画素列変換部２２３とが設けられる。そして、それらのＯＰＢ列変換部２２１は、両端と有効画素列変換部２２３のそれぞれとの間に分散して配置される。例えば、３個の有効画素列変換部２２３と、４個のＯＰＢ列変換部２２１を配置する場合、そのうち２個のＯＰＢ列変換部２２１は両端に配置される。また、残りの２個のＯＰＢ列変換部２２１は、３個の有効画素列変換部２２３の間に配置される。

[0073] 黒レベル補正部２５２は、有効画素列変換部２２３ごとに、その有効画素

列変換部２２３に隣接するＯＰＢ列変換部２２１からのＯＰＢ画素データを用いて、有効画素データを補正する。例えば、最も左側の有効画素列変換部２２３の有効画素データは、左端のＯＰＢ列変換部２２１と、左から２番目のＯＰＢ列変換部２２１とからのＯＰＢ画素データの平均値により補正される。

[0074] 図１０は、本技術の第１の実施の形態の第１の変形例における補正前後の有効画素データの一例を示す図である。同図におけるａは、黒レベル補正前の列ごとの有効画素データの一例を示す図であり、同図におけるｂは、黒レベル補正後の列ごとの有効画素データの一例を示す図である。また、同図における縦軸は、有効画素データの輝度値を示し、横軸は、列のアドレスである水平アドレスを示す。点線の値は、真の黒レベルを示す。また、白丸は、ＯＰＢ列変換部２２１のＯＰＢ画素データの平均値（補正値）を示す。実線は、有効画素データの輝度値を示す。

[0075] 図１０におけるａに例示するように、黒レベル補正前において、左側の列のＯＰＢ画素データの平均値は、右側よりも比較的高い。このため、全体的に左側の列の輝度が、右側よりも高くなる。すなわち、列ごとの輝度ムラである水平シェーディング成分が生じている。同図におけるｂに例示するように、分散配置したＯＰＢ列変換部２２１の補正値（白丸）により補正すれば、水平シェーディング成分を補正することができる。

[0076] このように、本技術の第１の実施の形態の第１の変形例では、ＯＰＢ列変換部２２１を分散して配置したため、固体撮像素子２００は、それらのＯＰＢ列変換部２２１の補正値により水平シェーディング成分を補正することができる。

[0077] ［第２の変形例］

上述の第１の実施の形態では、１枚の半導体基板２０１に、画素アレイ部３００やカラムＡＤＣ２２０を配置していたが、半導体基板２０１の面積を一定とすると、画素数の増大に伴って画素を微細化する必要が生じる。この微細化により、画素のそれぞれのフォトダイオードの面積が小さくなり、感

度などの画素特性を維持することが困難となる。画素アレイ部３００等を、積層した複数の基板に分散して配置すれば、微細化に伴う画素特性（感度など）の低下を抑制することができる。この第１の実施の形態の第２の変形例の固体撮像素子２００は、積層した複数の基板に画素アレイ部３００やカラムＡＤＣ２２０を分散して配置した点において第１の実施の形態と異なる。

[0078] 図１１は、本技術の第１の実施の形態の第２の変形例における固体撮像素子２００の一構成例を示すブロック図である。この第１の実施の形態の第２の変形例の固体撮像素子２００は、上側基板２０２と、下側基板２０３とを備える。これらの基板は、積層されている。

[0079] 上側基板２０２には、例えば、走査回路２１０および画素アレイ部３００が設けられる。下側基板２０３には、例えば、カラムＡＤＣ２２０、論理回路２５０およびタイミング制御部２８０が設けられる。

[0080] なお、走査回路２１０および画素アレイ部３００を上側基板２０２に、残りを下側基板２０３に配置しているが、この構成に限定されない。例えば、画素アレイ部３００のみを上側基板２０２に配置し、残りを下側基板２０３に配置してもよい。

[0081] このように、本技術の第１の実施の形態の第２の変形例では、画素アレイ部３００やカラムＡＤＣ２２０を、積層された複数の基板に分散して配置したため、微細化に伴う画素特性の低下を抑制することができる。

[0082] ［第３の変形例］

上述の第１の実施の形態では、有効画素の１ライン分のＡＤＣ２２２を配置して１ラインずつ読み出していたが、ライン数の増大に伴って全ラインの読出しに要する時間が長くなってしまう。この第１の実施の形態の第３の変形例の固体撮像素子２００は、全ラインの読出しに要する時間を短くした点において第１の実施の形態と異なる。

[0083] 図１２は、本技術の第１の実施の形態の第３の変形例における画素アレイ部３００およびカラムＡＤＣの一構成例を示すブロック図である。この第１の実施の形態の第３の変形例の画素アレイ部３００は、ＯＰＢ領域３５０の

代わりに、上側ＯＰＢ領域３７０および下側ＯＰＢ領域３８０を備える。また、第３の変形例の固体撮像素子２００は、カラムＡＤＣ２２０の代わりに、上側カラムＡＤＣ２３０および下側カラムＡＤＣ２４０を備える。なお、上側カラムＡＤＣ２３０は、特許請求の範囲に記載の第１のアナログデジタル変換部の一例であり、下側カラムＡＤＣ２４０は、特許請求の範囲に記載の第２のアナログデジタル変換部の一例である。

[0084] 上側ＯＰＢ領域３７０および下側ＯＰＢ領域３８０のそれぞれには、行方向に沿ってＮ個のＯＰＢ画素が配列される。また、上側ＯＰＢ領域３７０は、列方向を上下方向として有効画素領域３１０の上側に配置され、下側ＯＰＢ領域３８０は、有効画素領域３１０の下側に配置される。

[0085] 走査回路２１０は、有効画素領域３１０の２ライン（例えば、奇数ラインと偶数ライン）と、上側のＯＰＢ画素ラインと下側のＯＰＢ画素ラインとを同時に選択する。有効画素領域３１０内の選択された奇数ラインと、上側のＯＰＢ画素ラインとは、Ｎ個の有効画素信号とＮ個のＯＰＢ画素信号とを上側カラムＡＤＣ２３０へ出力する。また、有効画素領域３１０内の選択された偶数ラインと、下側のＯＰＢ画素ラインとは、Ｎ個の有効画素信号とＮ個のＯＰＢ画素信号とを下側カラムＡＤＣ２４０へ出力する。

[0086] 上側カラムＡＤＣ２３０および下側カラムＡＤＣ２４０のそれぞれには、第１の実施の形態のカラムＡＤＣ２２０と同様に、Ｎ×２個のＡＤＣが配置される。上側カラムＡＤＣ２３０および下側カラムＡＤＣ２４０のそれぞれは、入力されたＮ×２個の画素信号（有効画素信号およびＯＰＢ画素信号）をデジタル信号に変換する。

[0087] なお、固体撮像素子２００は、有効画素領域３１０の２ラインを同時に読み出しているが、３ライン以上を同時に読み出してもよい。例えば、４ラインを同時に読み出す場合には、４つのカラムＡＤＣと、４つのＯＰＢ画素ラインとを設ければよい。

[0088] このように、本技術の第１の実施の形態の第３の変形例によれば、有効画素領域３１０の２ラインを同時に読み出すために、１ラインずつ読み出す場

合と比較して、全ラインの読出しに要する時間を短くすることができる。

[0089] ［第４の変形例］

上述の第１の実施の形態では、固体撮像素子２００は、有効画素データと同時に読み出したＯＰＢ画素データの平均値（補正値）により、その有効画素データを補正していた。しかし、有効画素の特性ばらつきなどに起因して、ＯＰＢ画素データの補正値と別途にオフセット成分が生じている場合には、その補正値のみではオフセット成分を補正することができなくなる。例えば、行ごとにオフセット成分が生じている場合には、行ごとに輝度ムラが生じ、この成分は垂直シェーディング成分と呼ばれる。この第１の実施の形態の第４の変形例の固体撮像素子２００は、垂直シェーディング成分をさらに補正する点において第１の実施の形態と異なる。

[0090] 図１３は、本技術の第１の実施の形態の第４の変形例における論理回路２５０の一構成例を示すブロック図である。この第１の実施の形態の第４の変形例の論理回路２５０は、ライン毎補正係数保持部２５４と、垂直シェーディング補正部２５５とをさらに備える点において第１の実施の形態と異なる。

[0091] ライン毎補正係数保持部２５４は、オフセット成分を補正するための補正係数を有効画素ラインごとに保持するものである。この補正係数は、例えば、出荷時のテストなどにおいて求められ、予め保持される。そして、有効画素ラインが選択されるたびに、そのラインに対応する補正係数が、垂直シェーディング補正部２５５により読み出される。

[0092] 垂直シェーディング補正部２５５は、Ｎ個の乗算器２５６を備える。第ｎ（ｎは０乃至Ｎ－１の整数）列の乗算器２５６は、第ｎ列のＯＰＢ補正済み有効画素データと、有効画素ラインに対応する補正係数とを乗算する。そして、乗算器２５６は、乗算後のデータを垂直シェーディング補正済み画素データとして画像処理部１２０に供給する。

[0093] なお、垂直シェーディング補正部２５５は、予め保持した補正係数を用いているが、撮像時の有効画素ラインの平均値から補正係数を求めてもよい。

[0094] このように、本技術の第１の実施の形態の第４の変形例では、有効画素ラインごとに、対応する補正係数をＯＰＢ補正済み画素データに乗算するため、垂直シェーディング成分を補正することができる。

[0095] ［第５の変形例］

上述の第１の実施の形態の第４の変形例では、有効画素の１ライン分のＡＤＣ２２２を配置して１ラインずつ読み出して垂直シェーディング成分を補正していたが、ライン数の増大に伴って全ラインの読出しに要する時間が長くなってしまう。この第１の実施の形態の第５の変形例の固体撮像素子２００は、全ラインの読出しに要する時間を短くした点において第４の変形例と異なる。

[0096] 図１４は、本技術の第１の実施の形態の第５の変形例における下側論理回路２７０の一構成例を示すブロック図である。この第１の実施の形態の第５の変形例の固体撮像素子２００には、論理回路２５０の代わりに上側論理回路２６０および下側論理回路２７０が設けられる。

[0097] 下側論理回路２７０は、補正値演算部２７１、黒レベル補正部２７２、ライン毎補正係数保持部２７４および垂直シェーディング補正部２７５を備える。黒レベル補正部２７２は、Ｎ個の減算器２７３を備え、ＯＰＢ画素データの平均値により列ごとに有効画素データを補正し、下側ＯＰＢ補正済みデータとして垂直シェーディング補正部２７５に出力する。

[0098] ライン毎補正係数保持部２７４は、有効画素ラインごとに、補正係数を保持するものである。

[0099] 垂直シェーディング補正部２７５は、Ｎ×２個の乗算器２７６と、Ｎ個の加算器２７７とを備える。

[0100] 偶数個目の乗算器２７６は、ｎ列目の下側ＯＰＢ補正済み画素データと、対応する偶数ラインの補正係数とを乗算し、乗算値をｎ個目の加算器２７７に供給する。奇数個目の乗算器２７６は、ｎ列目の上側ＯＰＢ補正済み画素データと、対応する奇数ラインの補正係数とを乗算し、乗算値をｎ個目の加算器２７７に供給する。ｎ個目の加算器２７７は、対応する２つの乗算器２

７６からの乗算値を加算して、垂直シェーディング補正済み画素データとして画像処理部１２０に供給する。

[0101] 上側論理回路２６０の構成は、下側論理回路２７０と同様である。

[0102] このように、本技術の第１の実施の形態の第５の変形例では、有効画素領域３１０の２ラインを同時に読み出して補正係数を乗算するために、全ラインの読出しに要する時間を短くしつつ、垂直シェーディング成分を補正することができる。

[0103] ＜２．第２の実施の形態＞

上述の第１の実施の形態では、画素アレイ部３００において、有効画素３２０のほか、有効画素と同じ構成のＯＰＢ画素３６０を追加していたが、ＯＰＢ画素３６０の分、画素アレイ部３００のサイズが大きくなってしまう。この第２の実施の形態の固体撮像素子２００は、画素アレイ部３００のサイズをさらに削減した点において第１の実施の形態と異なる。

[0104] 図１５は、本技術の第２の実施の形態における画素アレイ部３００、ダミー回路２９０およびカラムＡＤＣ２２０の一構成例を示すブロック図である。第２の実施の形態の固体撮像素子２００には、２つのダミー回路２９０が配置される。また、第２の実施の形態の画素アレイ部３００には、有効画素領域３１０のみが配置され、ＯＰＢ領域３５０は配置されない。

[0105] また、第２の実施の形態のカラムＡＤＣ２２０には、２つのＯＰＢ列変換部２２１の代わりに、２つの基準信号変換部２２４が配置される。基準信号変換部２２４は、有効画素列変換部２２３の左側と右側とに配置され、２つのダミー回路２９０は、画素アレイ部３００とカラムＡＤＣ２２０との間に配置される。それらのダミー回路２９０の一方は、左側の基準信号変換部２２４と接続され、他方は、右側の基準信号変換部２２４と接続される。

[0106] ダミー回路２９０のそれぞれは、走査回路２１０の制御に従ってＣ個の所定の基準信号を、対応する基準信号変換部２２４に出力する。この基準信号は、黒レベル補正において基準として用いられる信号である。例えば、１０μＶｒｍｓ（root mean square）程度に十分に相関ノイズが抑制された信号

が基準信号として用いられる。

[0107] ２つの基準信号変換部２２４のそれぞれには、Ｃ（Ｃは、整数）個のＡＤＣ２２２が配置される。有効画素列変換部２２３には、第１の実施の形態と同様にＮ個のＡＤＣ２２２が配置される。すなわち、カラムＡＤＣ２２０には、合計で（Ｎ＋２Ｃ）個のＡＤＣ２２２が配置される。基準信号変換部２２４は、Ｃ個の基準信号のそれぞれをデジタル信号に変換して基準データとして論理回路２５０に出力する。そして、論理回路２５０は、ＯＰＢ画素データの代わりに基準データを用いて有効画素データを補正する。

[0108] 図１６は、本技術の第２の実施の形態におけるダミー回路２９０の一構成例を示す回路図である。このダミー回路２９０は、増幅トランジスタ２９１および選択トランジスタ２９２を備える。増幅トランジスタ２９１および選択トランジスタ２９２の構成は、有効画素３２０内の増幅トランジスタ３２４および選択トランジスタ３２６と同様である。ただし、選択トランジスタ２９２が接続された垂直信号線はＣ個に分岐され、Ｃ個の基準信号が出力される。

[0109] 走査回路２１０は、ソースフォロワなどにより一定の電圧振幅の駆動信号ＤＭＹを生成し、増幅トランジスタ２９１のゲートに入力する。

[0110] 上述したように画素アレイ部３００にＯＰＢ領域３５０が設けられないため、固体撮像素子２００は、画素アレイ部３００のプロセスや温度の条件に起因するストリーキングを補正することができない。しかし、電圧変動やカラムＡＤＣ２２０のばらつきに起因するストリーキングについては第１の実施の形態と同様に補正することができる。さらに、ＯＰＢ領域３５０を設けないため、その分、画素アレイ部３００のサイズを削減することができる。

[0111] なお、ダミー回路２９０をカラムＡＤＣ２２０と画素アレイ部３００との間に配置しているが、ダミー回路２９０の位置は、この位置に限定されない。図１７に例示するように、カラムＡＤＣ２２０の下側にダミー回路２９０を配置してもよい。

[0112] また、第２の実施の形態の固体撮像素子２００に、上述の第１乃至第５の

変形例のそれぞれを適用することもできる。積層構造の第２の変形例を適用する場合には、例えば、ダミー回路２９０は下側基板２０３に配置される。また、上側カラムＡＤＣ２３０および下側カラムＡＤＣ２４０を設ける第３の変形例を適用する場合には、それらのカラムＡＤＣで１つのダミー回路２９０を共有することができる。

[0113] このように、本技術の第２の実施の形態では、走査回路２１０は、有効画素ラインの列数Ｎより多いＮ＋２Ｃ個のＡＤＣ２２２のそれぞれへ有効画素信号と基準信号とを出力させるため、その基準信号によりストリーキングを補正することができる。また、ＡＤＣ２２２の個数（Ｎ＋２Ｃ）よりも、有効画素の列数を少なくしたため、その分、固体撮像素子２００のサイズを小さくすることができる。

[0114] ＜３．第３の実施の形態＞

上述の第１の実施の形態では、走査回路２１０は、有効画素ラインを選択するたびに、ＯＰＢ画素ラインを選択して、それらのラインを読み出していた。しかし、この走査方法では、有効画素ラインのみを選択する場合と比較して読み出すライン数が２倍になり、固体撮像素子２００の消費電力が増大してしまう。このため、消費電力を低減する観点から、読み出すライン数を削減することが望ましい。この第３の実施の形態の固体撮像素子２００は、読み出すライン数を削減した点において第１の実施の形態と異なる。

[0115] 図１８は、本技術の第３の実施の形態における画素アレイ部３００およびカラムＡＤＣ２２０の一構成例を示すブロック図である。第３の実施の形態の画素アレイ部３００において、有効画素領域３１０の下側にはＯＰＢ領域３５０が設けられない。その代りに、有効画素領域３１０の左側と右側とにＯＰＢ領域３９０が設けられる。

[0116] ＯＰＢ領域３９０のそれぞれには、Ｍ行×Ｂ列（Ｂは、Ｃより小さい整数）のＯＰＢ画素が配列される。また、ＯＰＢ領域３９０は、有効画素ラインが選択されるたびに、Ｃ個の画素加算信号を生成してＯＰＢ列変換部２２１に供給する。ここで、画素加算信号は、Ｂ個のＯＰＢ画素信号を加算した信

号である。

[0117] 第３の実施の形態のＯＰＢ列変換部２２１のそれぞれには、Ｃ個のＡＤＣ２２２が配列される。有効画素列変換部２２３には、第１の実施の形態と同様にＮ個のＡＤＣ２２２が配置される。すなわち、カラムＡＤＣ２２０には、合計で（Ｎ＋２Ｃ）個のＡＤＣ２２２が配置される。ＯＰＢ列変換部２２１は、Ｃ個の画素加算信号のそれぞれをデジタル信号に変換して画素加算データとして論理回路２５０に出力する。

[0118] そして、第３の実施の形態の論理回路２５０は、２Ｃ個の画素加算データの合計を（Ｂ×２Ｃ）により除算した値を補正値として演算し、その補正値により有効画素データを補正する。

[0119] 図１９は、本技術の第３の実施の形態におけるＯＰＢ領域３９０の一構成例を示す平面図である。ＯＰＢ領域３９０には、Ｍ行×Ｂ列のＯＰＢ画素３９１が配列される。ＯＰＢ画素３９１の列ごとに垂直信号線が配線される。それらの垂直信号線は、全て接続される。このため、ラインが選択されるたびに、Ｂ個のＯＰＢ画素信号がアナログ加算される。また、その垂直信号線は、Ｃ本に分岐され、Ｃ個の画素加算信号がＯＰＢ列変換部２２１に出力される。

[0120] 図２０は、本技術の第３の実施の形態におけるラインに対するアクセス順の一例を示すグラフである。同図における縦軸は、アクセス先の行（ライン）のアドレス（垂直アドレス）を示し、横軸は時間を示す。Ｖ_１乃至Ｖ_Ｍは、ラインの垂直アドレスを示す。

[0121] タイミングＴ_１において、走査回路２１０は、Ｖ_１のアドレスにアクセスする。これにより、そのライン内の有効画素とＯＰＢ画素とが同時に駆動される。そして、列数Ｎ＋２Ｂよりも多くのＮ＋２Ｃの画素信号が出力される。以下、同様に走査回路２１０は、Ｖ_２以降のアドレスに順にアクセスする。第１の実施の形態では、ＯＰＢ画素ラインにＮ回アクセスしていたが、第３の実施の形態では、それらのアクセスを行わないため、アクセス先のライン数が半分となる。

[0122] なお、第３の実施の形態の固体撮像素子２００に、上述の第１乃至第５の変形例のそれぞれを適用することもできる。

[0123] このように、本技術の第３の実施の形態では、走査回路２１０は、列数（Ｎ＋２Ｂ）より多くの個数（Ｎ＋２Ｃ）のＡＤＣ２２２のそれぞれへ画素信号を出力させるため、画素信号がＮ＋２Ｂ個の場合よりもストリーキングを正確に補正することができる。また、ＡＤＣ２２２の個数（Ｎ＋２Ｃ）よりも、列数を少なくしたため、列数をＮ＋２Ｃとする場合よりも固体撮像素子２００のサイズを小さくすることができる。

[0124] ＜４．移動体への応用例＞

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0125] 図２１は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

車両制御システム１２０００は、通信ネットワーク１２００１を介して接続された複数の電子制御ユニットを備える。図２１に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ（ｉｎｔｅｒｆａｃｅ）１２０５３が図示されている。

[0126] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角

を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0127] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0128] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0129] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合

い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0130] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Ａｄｖａｎｃｅｄ Ｄｒｉｖｅｒ Ａｓｓｉｓｔａｎｃｅ Ｓｙｓｔｅｍ）の機能実現を目的とした協調制御を行うことができる。

[0131] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0132] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0133] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図２１の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいて

もよい。

[0134] 図２２は、撮像部１２０３１の設置位置の例を示す図である。

[0135] 図２２では、撮像部１２０３１として、撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５を有する。

[0136] 撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２，１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0137] 図２２には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００を上方から見た俯瞰画像が得られる。

撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0138] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１

２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０ｋｍ／ｈ以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0139] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0140] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われ

る。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0141] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部１２１０１に適用され得る。撮像部１２１０１に本開示に係る技術を適用することにより、撮像部１２１０１のサイズの増大を抑制しつつ、画像データのストリーキングを抑制することができる。

[0142] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0143] また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、ＣＤ（Compact Disc）、ＭＤ（MiniDisc）、ＤＶＤ（Digital Versatile Disc）、メモリカード、ブルーレイディスク（Blu-ray（登録商標）Disc）等を用いることができる。

[0144] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0145] なお、本技術は以下のような構成もとることができる。

（１）それぞれが所定の方向に沿って配列された所定数の画素からなる複数

のラインを配列した画素アレイ部と、

アナログ信号をデジタル信号に変換するアナログデジタル変換器を前記所定数より多く配列したアナログデジタル変換部と、

前記複数のラインを順に選択して当該ラインを選択するたびに前記所定数より多くの前記アナログ信号を前記アナログデジタル変換部へ出力させる走査回路と、

前記デジタル信号に対して黒レベル補正処理を行う補正部と

を具備する固体撮像素子。

（２）前記アナログ信号は、有効画素信号と黒レベルを示す基準信号とを含み、

前記アナログデジタル変換部は、

前記有効画素信号を前記デジタル信号に変換して有効画素データとして出力する有効画素信号変換部と、

前記基準信号を前記デジタル信号に変換して基準データとして出力する基準信号変換部とを備え、

前記補正部は、前記有効画素データと前記基準データとの差分を求める処理を前記黒レベル補正処理として行う

前記（１）記載の固体撮像素子。

（３）前記基準信号を生成するダミー回路をさらに具備し、

前記走査回路は、前記ラインを選択するたびに当該選択したライン内の前記画素のそれぞれを駆動して前記有効画素信号を出力させるとともに前記ダミー回路に前記基準信号を出力させる

前記（２）記載の固体撮像素子。

（４）前記アナログデジタル変換部は、前記基準信号変換部と前記有効画素信号変換部とのそれぞれが複数個ずつ設けられ、

前記基準信号変換部のそれぞれは、前記有効画素信号変換部のそれぞれの間に分散して配列される

前記（２）または（３）に記載の固体撮像素子。

（５）前記画素アレイ部には、前記有効画素信号を生成する有効画素と前記基準信号を生成する遮光画素とが前記画素として配列される
前記（２）から（４）のいずれかに記載の固体撮像素子。
（６）前記複数のラインは、前記所定数の前記有効画素を前記所定の方向に沿って配列した複数の有効画素ラインと前記所定数の前記遮光画素を前記所定の方向に沿って配列した遮光画素ラインとを含み、
前記走査回路は、前記複数の有効画素ラインのいずれかと前記遮光画素ラインとを同時に選択して当該選択したラインに前記有効画素信号および前記基準信号を出力させる
前記（５）記載の固体撮像素子。
（７）前記複数のラインのそれぞれは、前記有効画素と前記遮光画素とを含み、
前記走査回路は、前記選択したライン内の有効画素数に等しい個数の前記有効画素信号と前記選択したライン内の遮光画素数より多くの前記基準信号とを出力させる
前記（５）記載の固体撮像素子。
（８）前記アナログデジタル変換部および前記補正部は、前記所定の基板に配置され、
前記画素アレイ部および前記走査回路は、所定の基板に積層された基板に配置される
前記（１）から（７）のいずれかに記載の固体撮像素子。
（９）前記アナログデジタル変換部は、第１および第２のアナログデジタル変換部を含み、
前記走査回路は、前記複数のラインのうち第１および第２のラインを同時に選択して前記第１のラインに対応する前記アナログ信号を前記第１のアナログデジタル変換部に出力させるとともに前記第２のラインに対応する前記アナログ信号を前記第２のアナログデジタル変換部に出力させる
前記（１）から（８）のいずれかに記載の固体撮像素子。

（１０）前記黒レベル補正処理は、ラインごとに設定された補正係数を前記デジタル信号を乗算する処理を含む

前記（１）から（９）のいずれかに記載の固体撮像素子。

（１１）それぞれが所定の方向に沿って配列された所定数の画素からなる複数のラインを配列した画素アレイ部と、

アナログ信号をデジタル信号に変換するアナログデジタル変換器を前記所定数より多く配列したアナログデジタル変換部と、

前記複数のラインを順に選択して当該ラインを選択するたびに前記所定数より多くの前記アナログ信号を前記アナログデジタル変換部へ出力させる走査回路と、

前記デジタル信号を補正する補正部と

前記黒レベル補正処理が行われたデジタル信号に対して黒レベル補正処理を行う信号処理部と

を具備する電子機器。

（１２）それぞれが所定の方向に沿って配列された所定数の画素からなる複数のラインを配列した画素アレイ部において前記複数のラインを順に選択して当該ラインを選択するたびに前記所定数より多くの前記アナログ信号を、アナログデジタル変換器を前記所定数より多く配列したアナログデジタル変換部へ出力させる走査手順と、

前記デジタル信号に対して黒レベル補正処理を行う補正手順と

を具備する固体撮像素子の制御方法。

符号の説明

[0146] １００　電子機器

１１０　撮像レンズ

１２０　画像処理部

１３０　撮像制御部

１４０　記録部

２００　固体撮像素子

２０１　半導体基板

２０２　上側基板

２０３　下側基板

２１０　走査回路

２２０　カラムＡＤＣ

２２１　ＯＰＢ列変換部

２２２　ＡＤＣ

２２３　有効画素列変換部

２２４　基準信号変換部

２３０　上側カラムＡＤＣ

２４０　下側カラムＡＤＣ

２５０　論理回路

２５１、２７１　補正値演算部

２５２、２７２　黒レベル補正部

２５３、２７３　減算器

２５４、２７４　ライン毎補正係数保持部

２５５、２７５　垂直シェーディング補正部

２５６、２７６　乗算器

２７０　下側論理回路

２７７　加算器

２８０　タイミング制御部

２９０　ダミー回路

３００　画素アレイ部

３１０　有効画素領域

３２０　有効画素

３２１、３６１　リセットトランジスタ

３２２、３６２　転送トランジスタ

３２３、３６３　フォトダイオード

３２４、３６４、２９１　増幅トランジスタ

３２５、３６５　浮遊拡散層

３２６、３６６、２９２　選択トランジスタ

３５０、３９０　ＯＰＢ領域

３６０、３９１　ＯＰＢ画素

３７０　上側ＯＰＢ領域

３８０　下側ＯＰＢ領域

１２１０１　撮像部

請求の範囲

[請求項1] それぞれが所定の方向に沿って配列された所定数の画素からなる複数のラインを配列した画素アレイ部と、

アナログ信号をデジタル信号に変換するアナログデジタル変換器を前記所定数より多く配列したアナログデジタル変換部と、

前記複数のラインを順に選択して当該ラインを選択するたびに前記所定数より多くの前記アナログ信号を前記アナログデジタル変換部へ出力させる走査回路と、

前記デジタル信号に対して黒レベル補正処理を行う補正部と

を具備する固体撮像素子。

[請求項2] 前記アナログ信号は、有効画素信号と黒レベルを示す基準信号とを含み、

前記アナログデジタル変換部は、

前記有効画素信号を前記デジタル信号に変換して有効画素データとして出力する有効画素信号変換部と、

前記基準信号を前記デジタル信号に変換して基準データとして出力する基準信号変換部とを備え、

前記補正部は、前記有効画素データと前記基準データとの差分を求める処理を前記黒レベル補正処理として行う

請求項１記載の固体撮像素子。

[請求項3] 前記基準信号を生成するダミー回路をさらに具備し、

前記走査回路は、前記ラインを選択するたびに当該選択したライン内の前記画素のそれぞれを駆動して前記有効画素信号を出力させるとともに前記ダミー回路に前記基準信号を出力させる

請求項２記載の固体撮像素子。

[請求項4] 前記アナログデジタル変換部は、前記基準信号変換部と前記有効画素信号変換部とのそれぞれが複数個ずつ設けられ、

前記基準信号変換部のそれぞれは、前記有効画素変換部のそれぞれ

の間に分散して配列される

請求項２記載の固体撮像素子。

[請求項5] 前記画素アレイ部には、前記有効画素信号を生成する有効画素と前記基準信号を生成する遮光画素とが前記画素として配列される

請求項２記載の固体撮像素子。

[請求項6] 前記複数のラインは、前記所定数の前記有効画素を前記所定の方向に沿って配列した複数の有効画素ラインと前記所定数の前記遮光画素を前記所定の方向に沿って配列した遮光画素ラインとを含み、

前記走査回路は、前記複数の有効画素ラインのいずれかと前記遮光画素ラインとを同時に選択して当該選択したラインに前記有効画素信号および前記基準信号を出力させる

請求項５記載の固体撮像素子。

[請求項7] 前記複数のラインのそれぞれは、前記有効画素と前記遮光画素とを含み、

前記走査回路は、前記選択したライン内の有効画素数に等しい個数の前記有効画素信号と前記選択したライン内の遮光画素数より多くの前記基準信号とを出力させる

請求項５記載の固体撮像素子。

[請求項8] 前記アナログデジタル変換部および前記補正部は、前記所定の基板に配置され、

前記画素アレイ部および前記走査回路は、所定の基板に積層された基板に配置される

請求項１記載の固体撮像素子。

[請求項9] 前記アナログデジタル変換部は、第１および第２のアナログデジタル変換部を含み、

前記走査回路は、前記複数のラインのうち第１および第２のラインを同時に選択して前記第１のラインに対応する前記アナログ信号を前記第１のアナログデジタル変換部に出力させるとともに前記第２のラ

インに対応する前記アナログ信号を前記第２のアナログデジタル変換部に出力させる

請求項１記載の固体撮像素子。

[請求項10] 前記黒レベル補正処理は、ラインごとに設定された補正係数を前記デジタル信号を乗算する処理を含む

請求項１記載の固体撮像素子。

[請求項11] それぞれが所定の方向に沿って配列された所定数の画素からなる複数のラインを配列した画素アレイ部と、

アナログ信号をデジタル信号に変換するアナログデジタル変換器を前記所定数より多く配列したアナログデジタル変換部と、

前記複数のラインを順に選択して当該ラインを選択するたびに前記所定数より多くの前記アナログ信号を前記アナログデジタル変換部へ出力させる走査回路と、

前記デジタル信号に対して黒レベル補正処理を行う補正部と

前記黒レベル補正処理が行われたデジタル信号を処理する信号処理部と

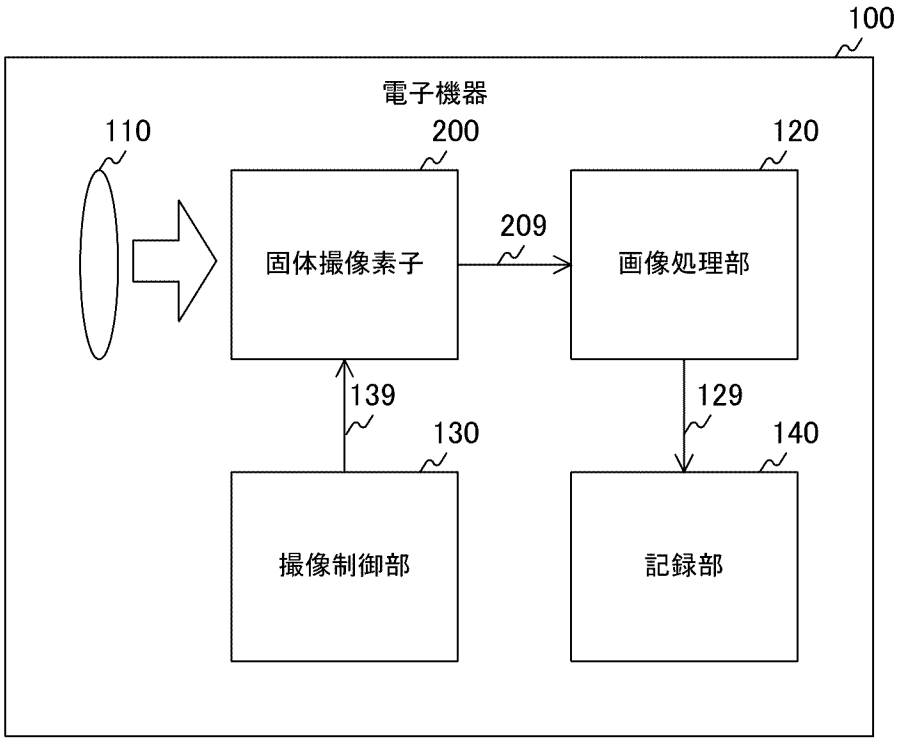
を具備する電子機器。

[請求項12] それぞれが所定の方向に沿って配列された所定数の画素からなる複数のラインを配列した画素アレイ部において前記複数のラインを順に選択して当該ラインを選択するたびに前記所定数より多くの前記アナログ信号を、アナログデジタル変換器を前記所定数より多く配列したアナログデジタル変換部へ出力させる走査手順と、

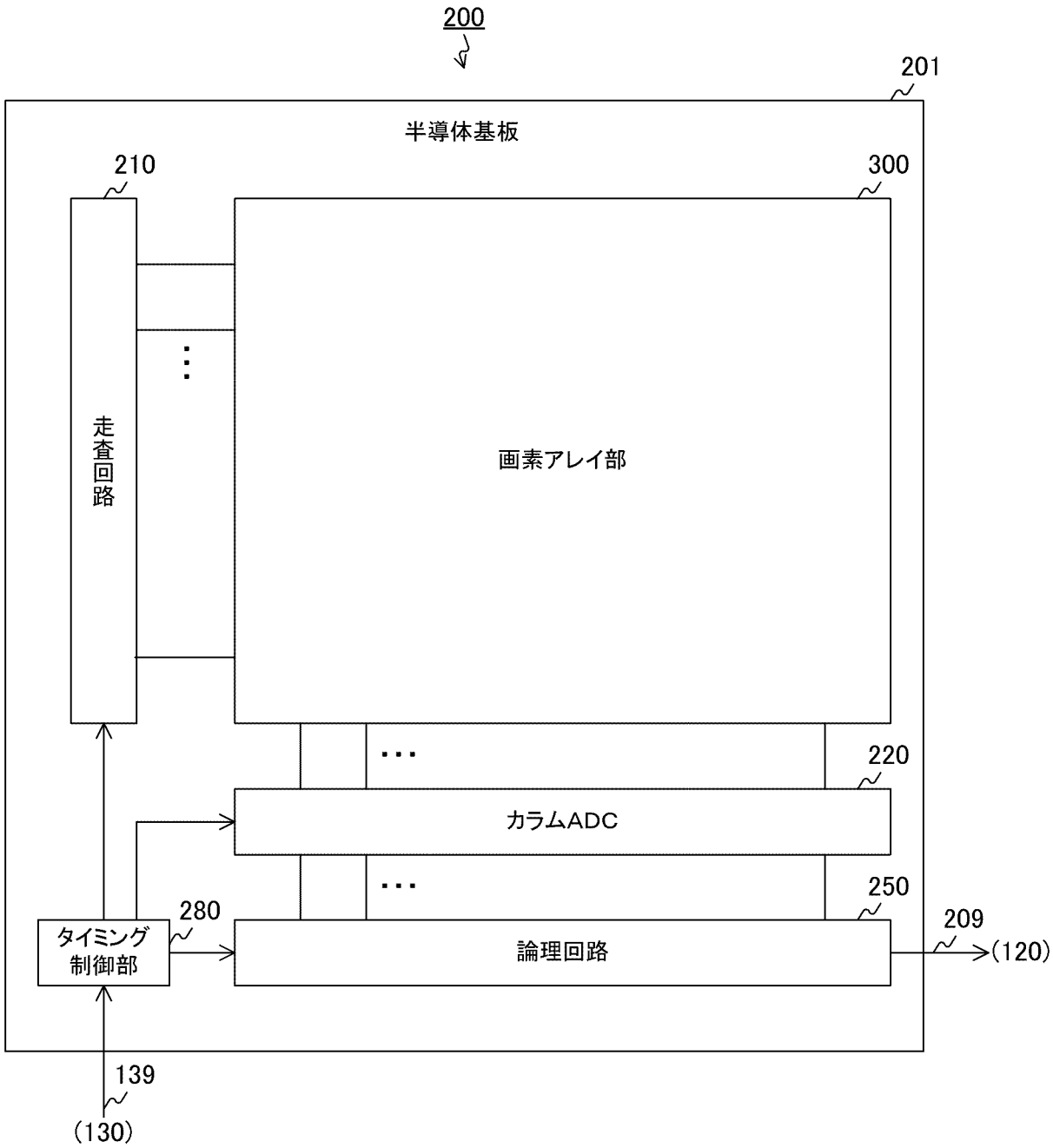
前記デジタル信号に対して黒レベル補正処理を行う補正手順と

を具備する固体撮像素子の制御方法。

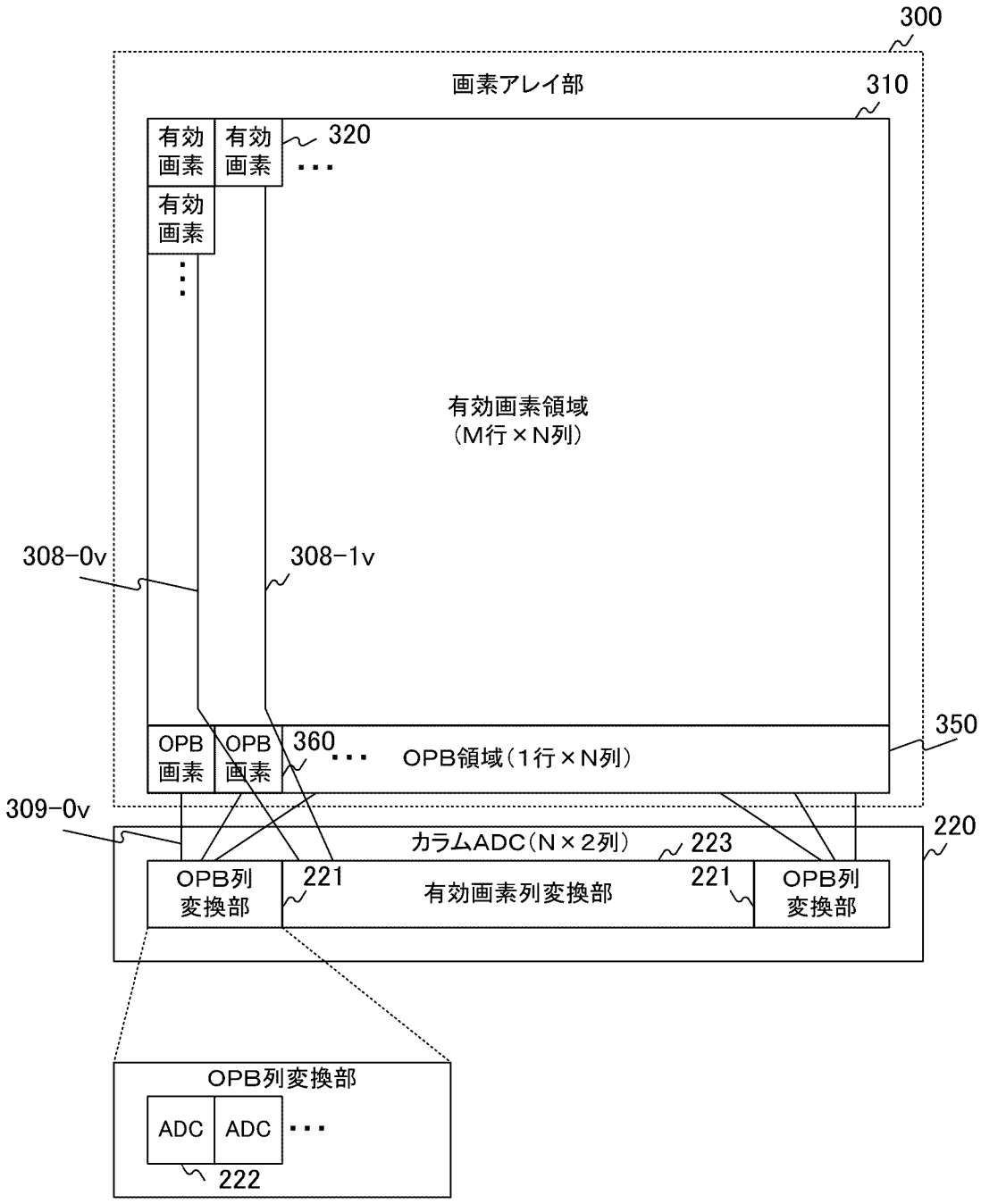
[図1]


100
電子機器
110
200
120
209
固体撮像素子
画像処理部
139
129
130
140
撮像制御部
記録部

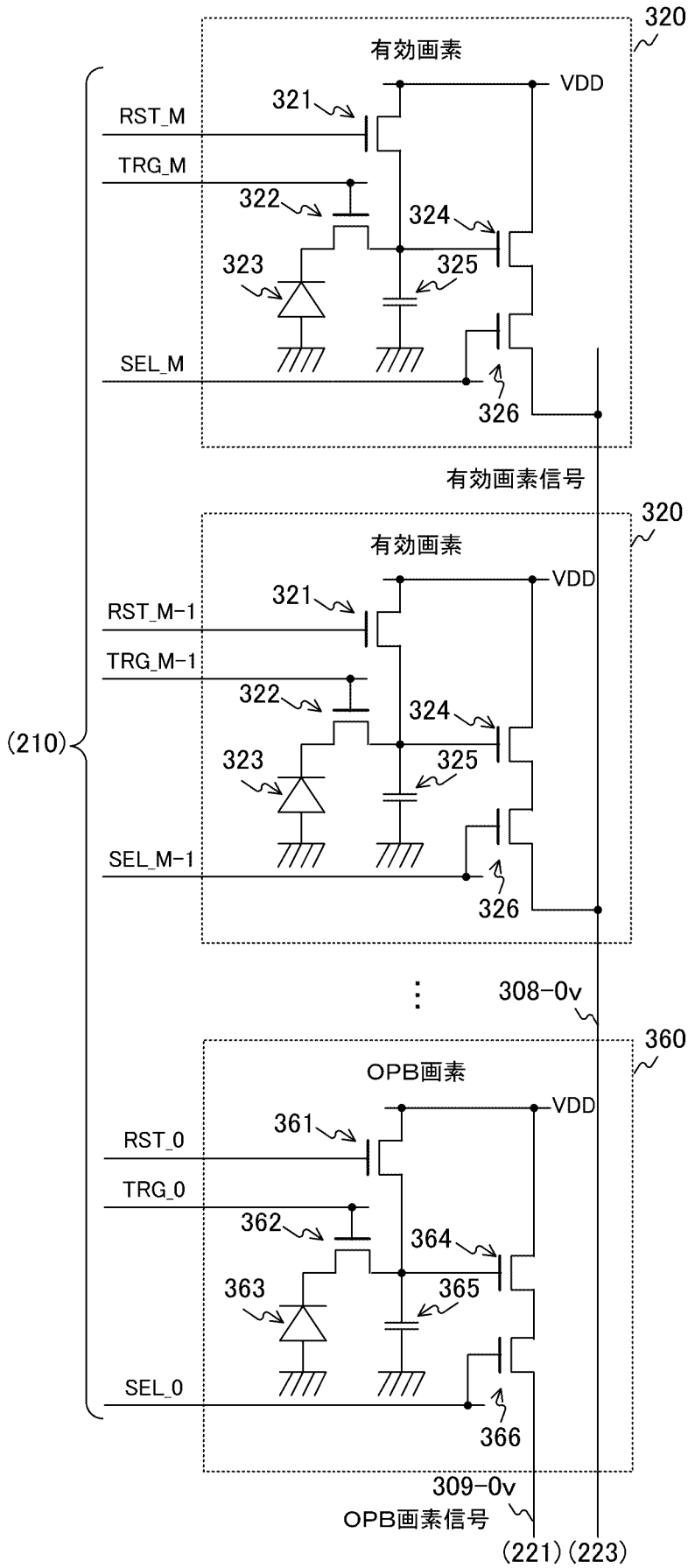
[図2]


200
201
半導体基板
210
300
走査回路
画素アレイ部
220
カラムADC
250
280
タイミング制御部
論理回路
209
(120)
139
(130)

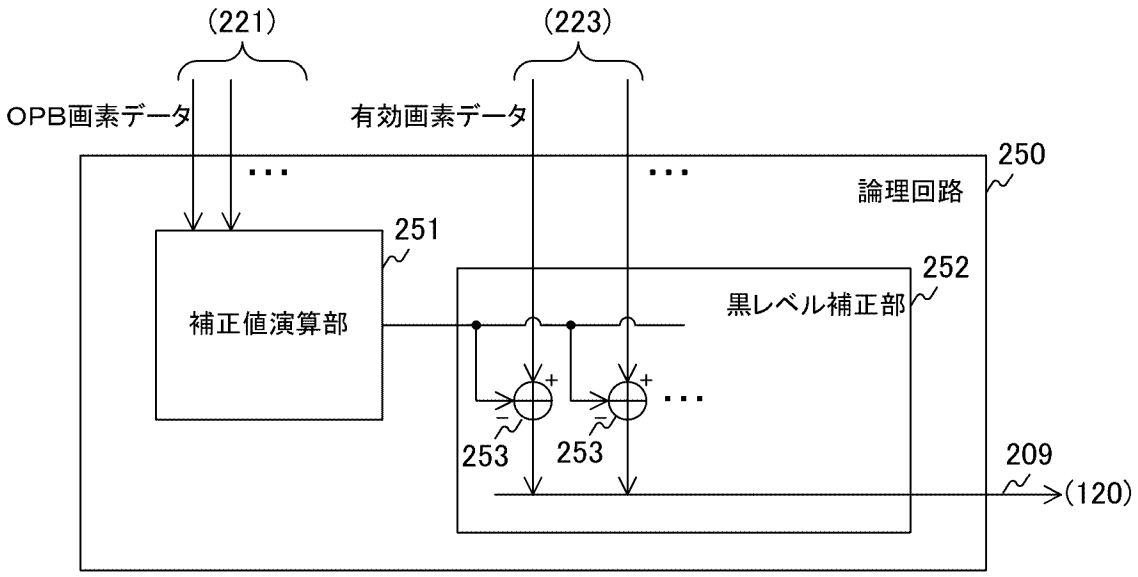
[図3]


300
画素アレイ部
310
有効画素
有効画素
320
有効画素
有効画素領域
（M行×N列）
308-0v
308-1v
OPB画素
OPB画素
360
OPB領域（1行×N列）
350
309-0v
カラムADC（N×2列）
223
220
OPB列変換部
221
有効画素列変換部
221
OPB列変換部
OPB列変換部
ADC
ADC
222

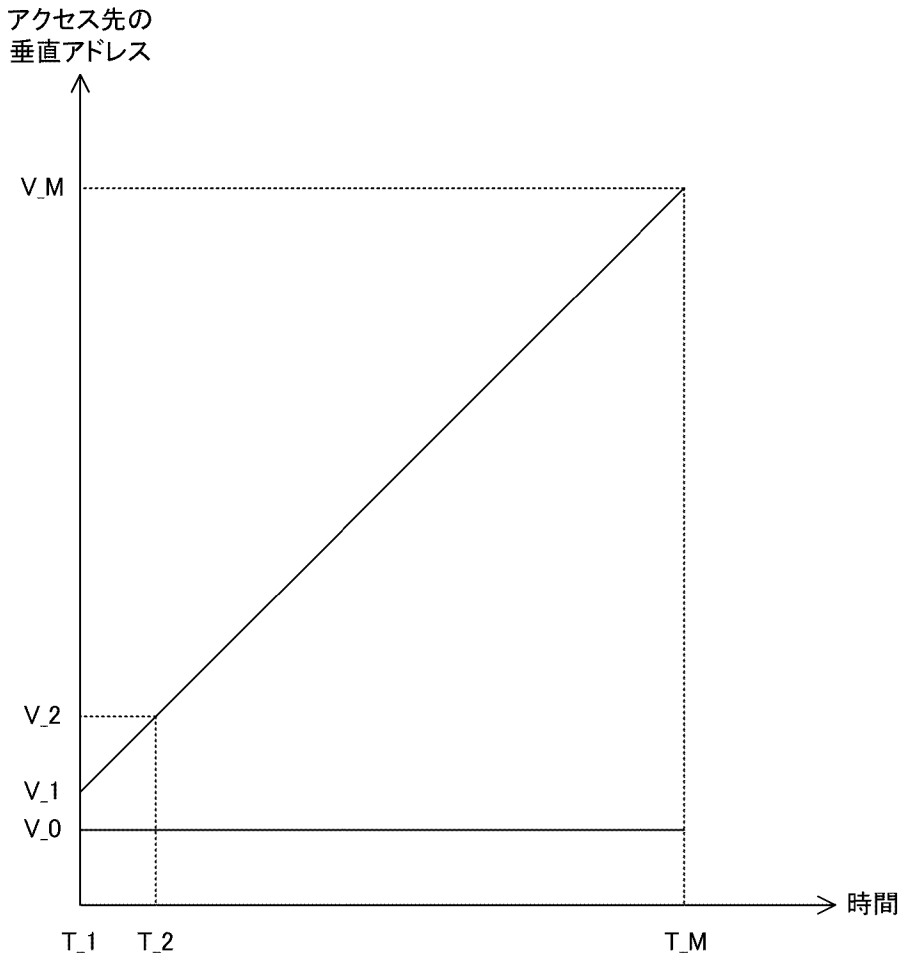
[図4]


320
有効画素
VDD
321
RST_M
TRG_M
322
324
323
325
SEL_M
326
有効画素信号
320
有効画素
VDD
321
RST_M-1
TRG_M-1
322
324
323
325
SEL_M-1
326
(210)
308-0v
360
OPB画素
VDD
361
RST_0
TRG_0
362
364
363
365
SEL_0
366
309-0v
OPB画素信号
(221)(223)

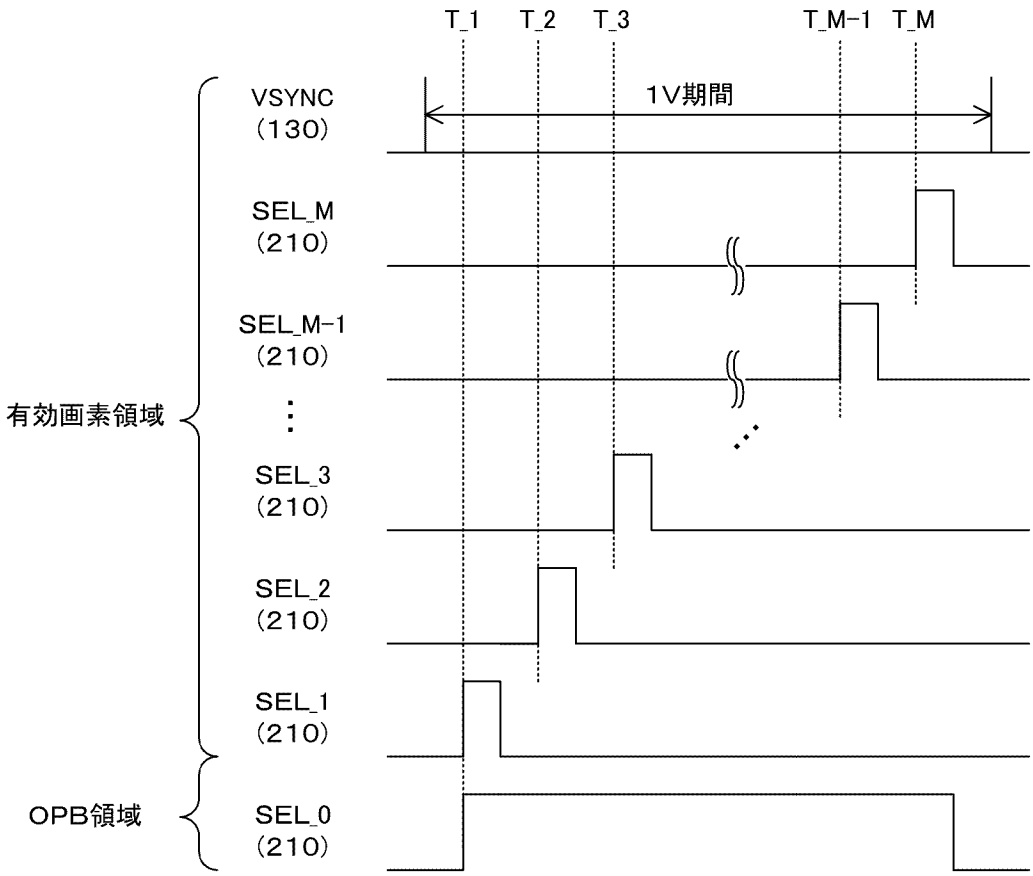
[図5]


(221)
(223)
OPB画素データ
有効画素データ
250
論理回路
251
補正値演算部
252
黒レベル補正部
253
253
209
(120)

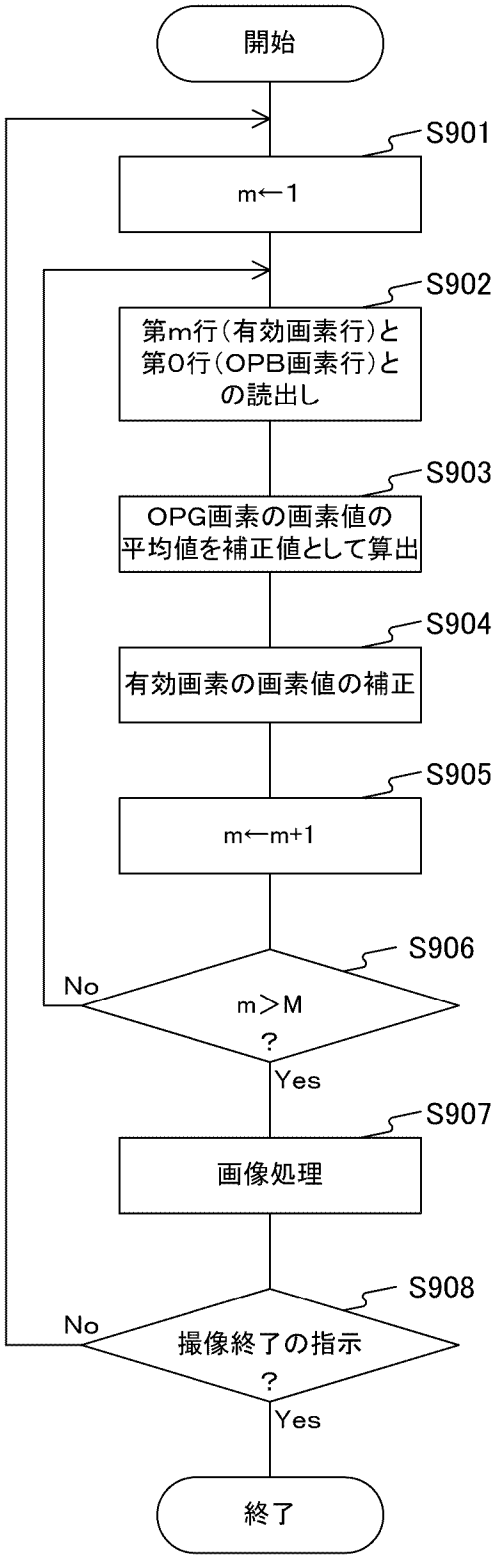
[図6]


アクセス先の
垂直アドレス
V_M
V_2
V_1
V_0
時間
T_1
T_2
T_M

[図7]


T_1
T_2
T_3
T_M-1
T_M
VSYNC
(130)
1V期間
SEL_M
(210)
SEL_M-1
(210)
有効画素領域
SEL_3
(210)
SEL_2
(210)
SEL_1
(210)
OPB領域
SEL_0
(210)

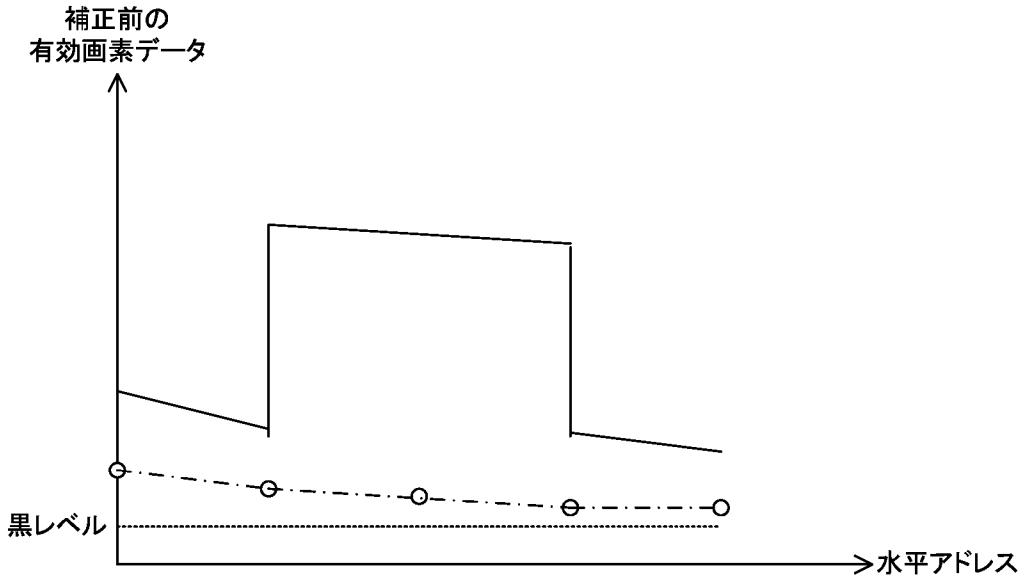
[図8]


開始
S901
m←1
S902
第m行（有効画素行）と
第0行（OPB画素行）と
の読出し
S903
OPG画素の画素値の
平均値を補正値として算出
S904
有効画素の画素値の補正
S905
m←m+1
S906
No
m＞M
？
Yes
S907
画像処理
S908
No
撮像終了の指示
？
Yes
終了

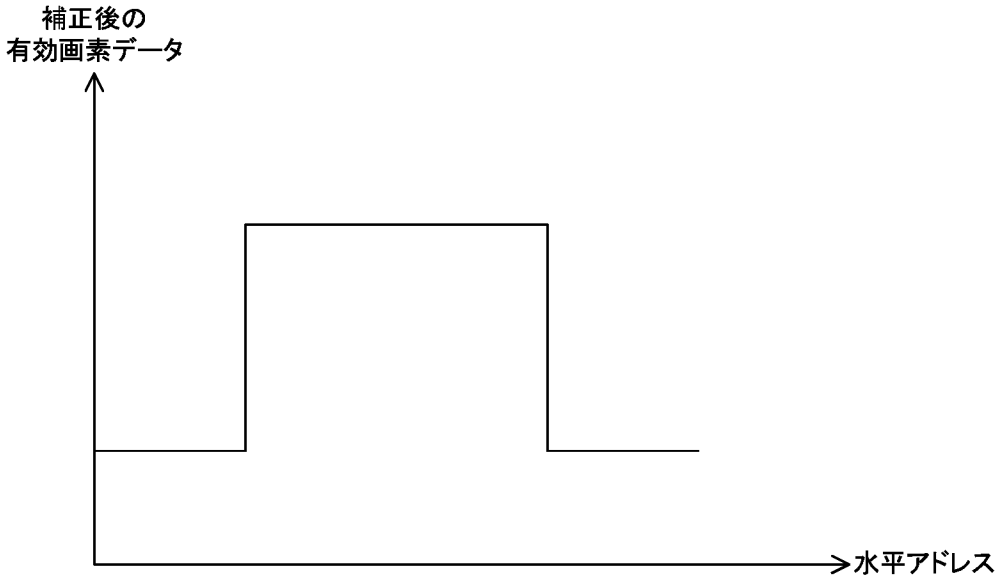
[図9]


220
221
223
カラムADC（N×2列）
221
223
221
OPB列
変換部
有効画素列
変換部
OPB列
変換部
有効画素列
変換部
OPB列
変換部
有効画素列
変換部
OPB列
変換部
221
223

[図10]

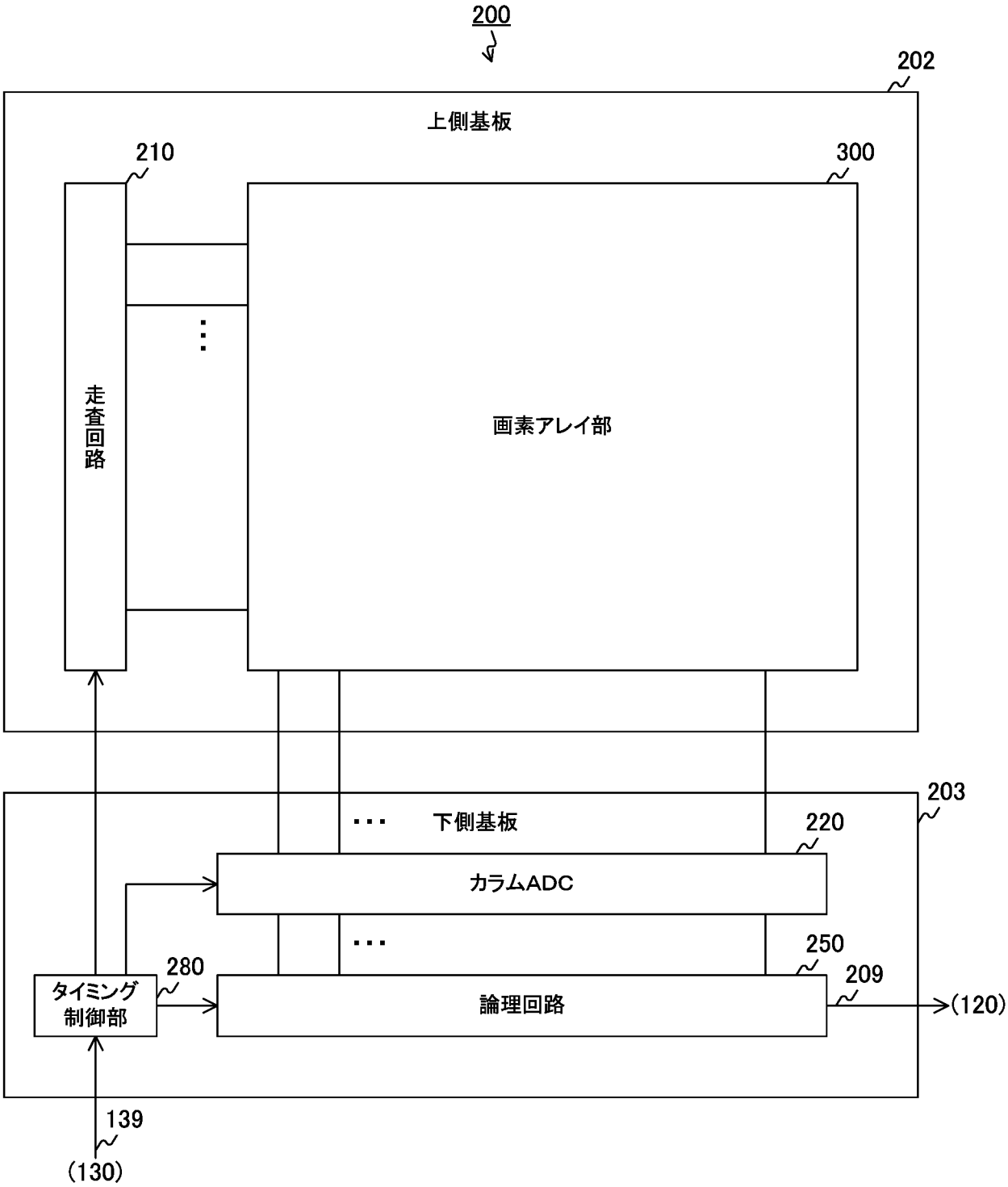


a

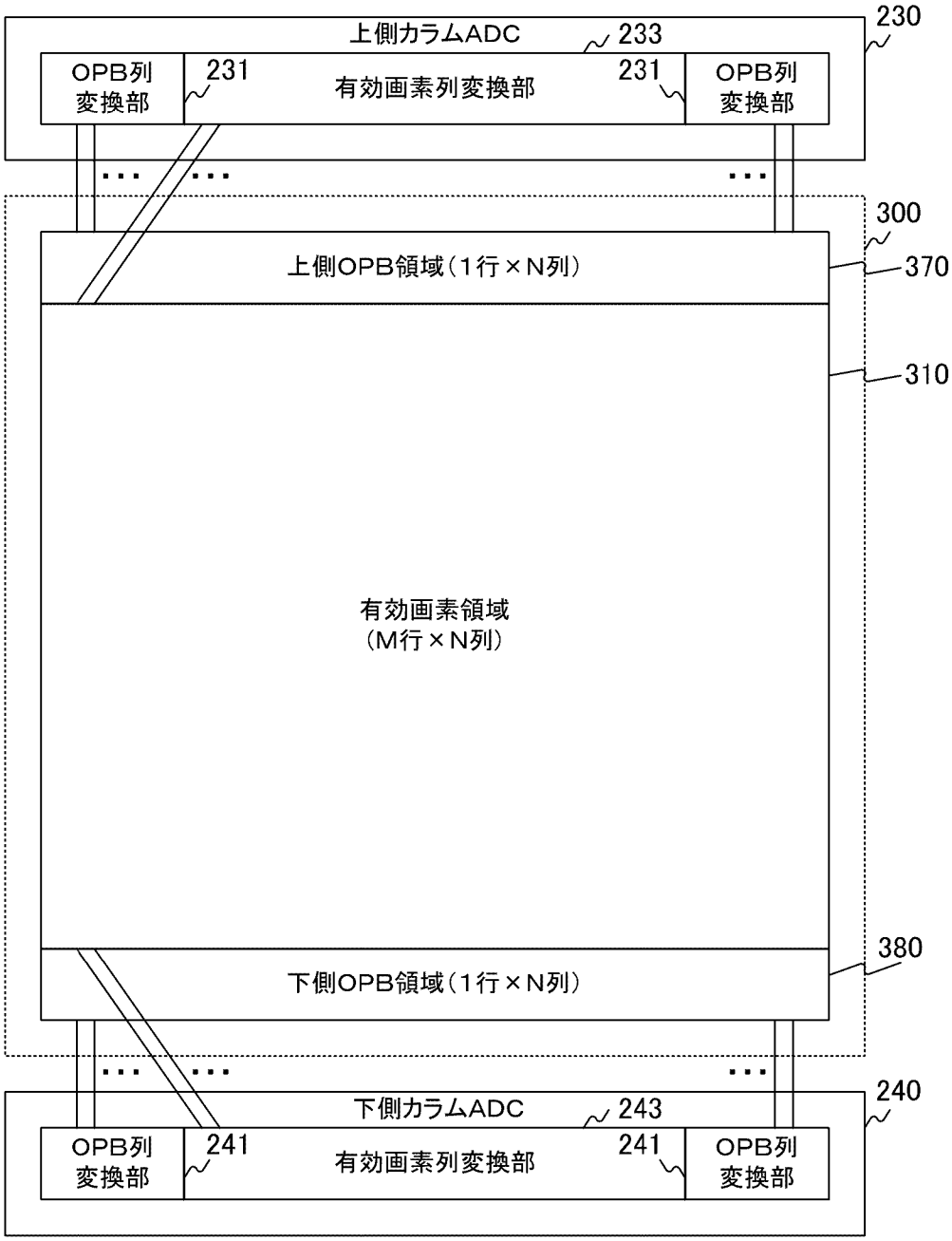


b

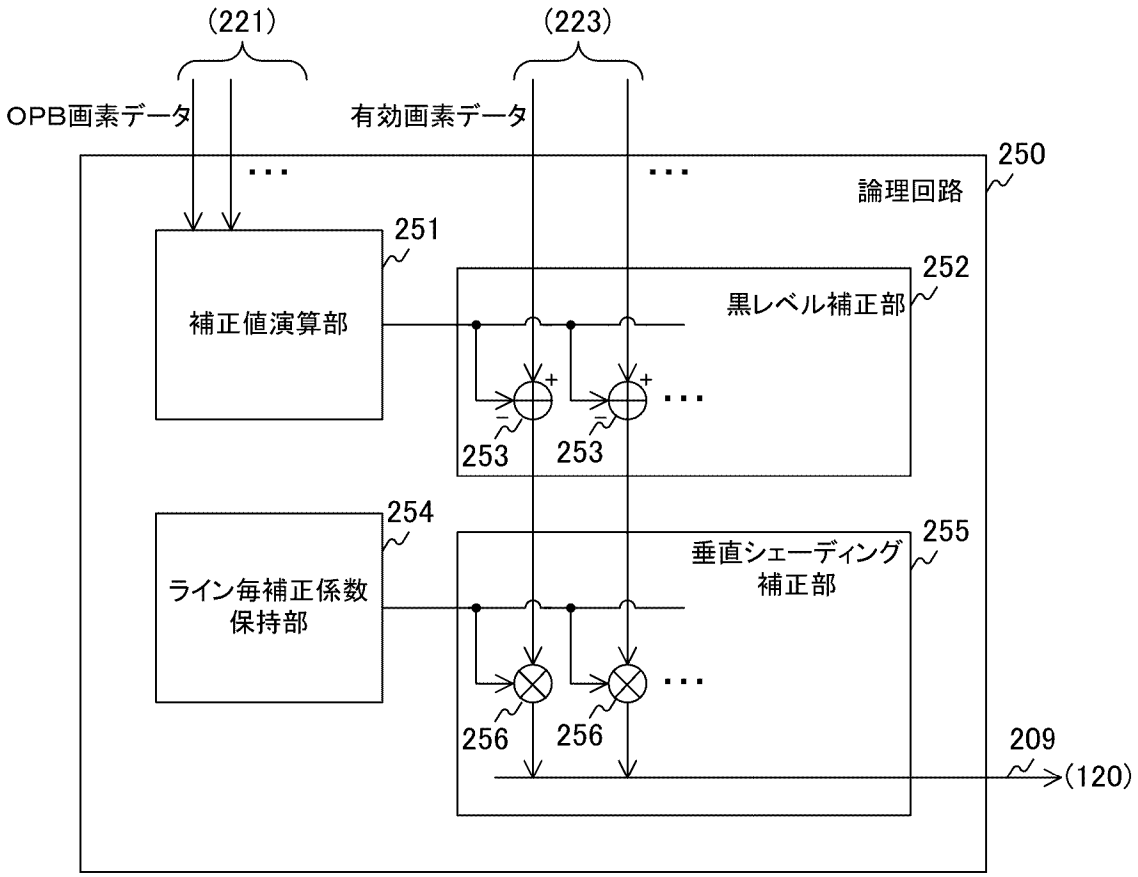
[図11]


200
202
上側基板
210
300
走査回路
画素アレイ部
203
下側基板
220
カラムADC
250
280
209
タイミング制御部
論理回路
(120)
139
(130)

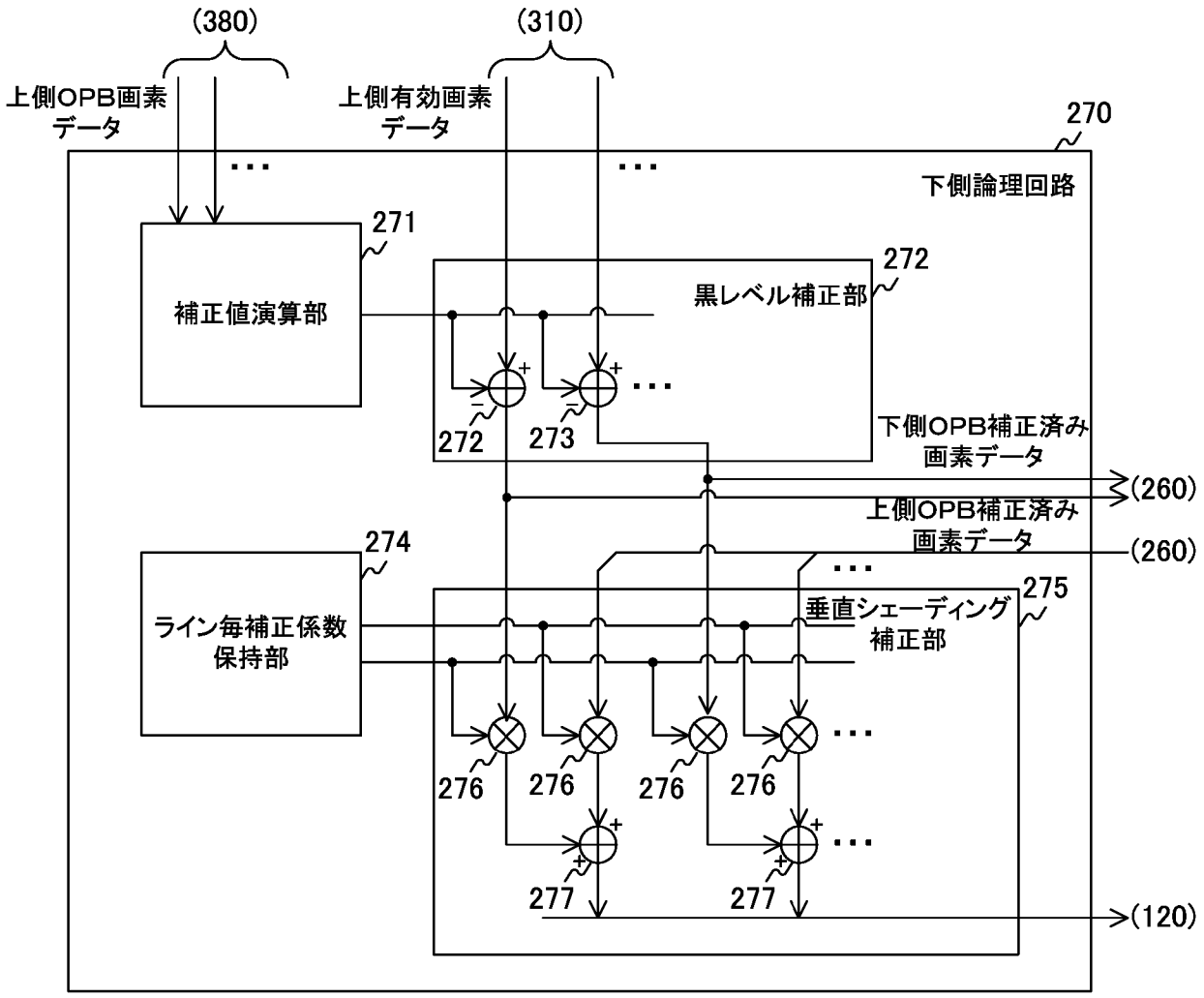
[図12]


上側カラムADC
233
230
OPB列
変換部
231
有効画素列変換部
231
OPB列
変換部
300
上側OPB領域（1行×N列）
370
310
有効画素領域
（M行×N列）
380
下側OPB領域（1行×N列）
240
下側カラムADC
243
OPB列
変換部
241
有効画素列変換部
241
OPB列
変換部

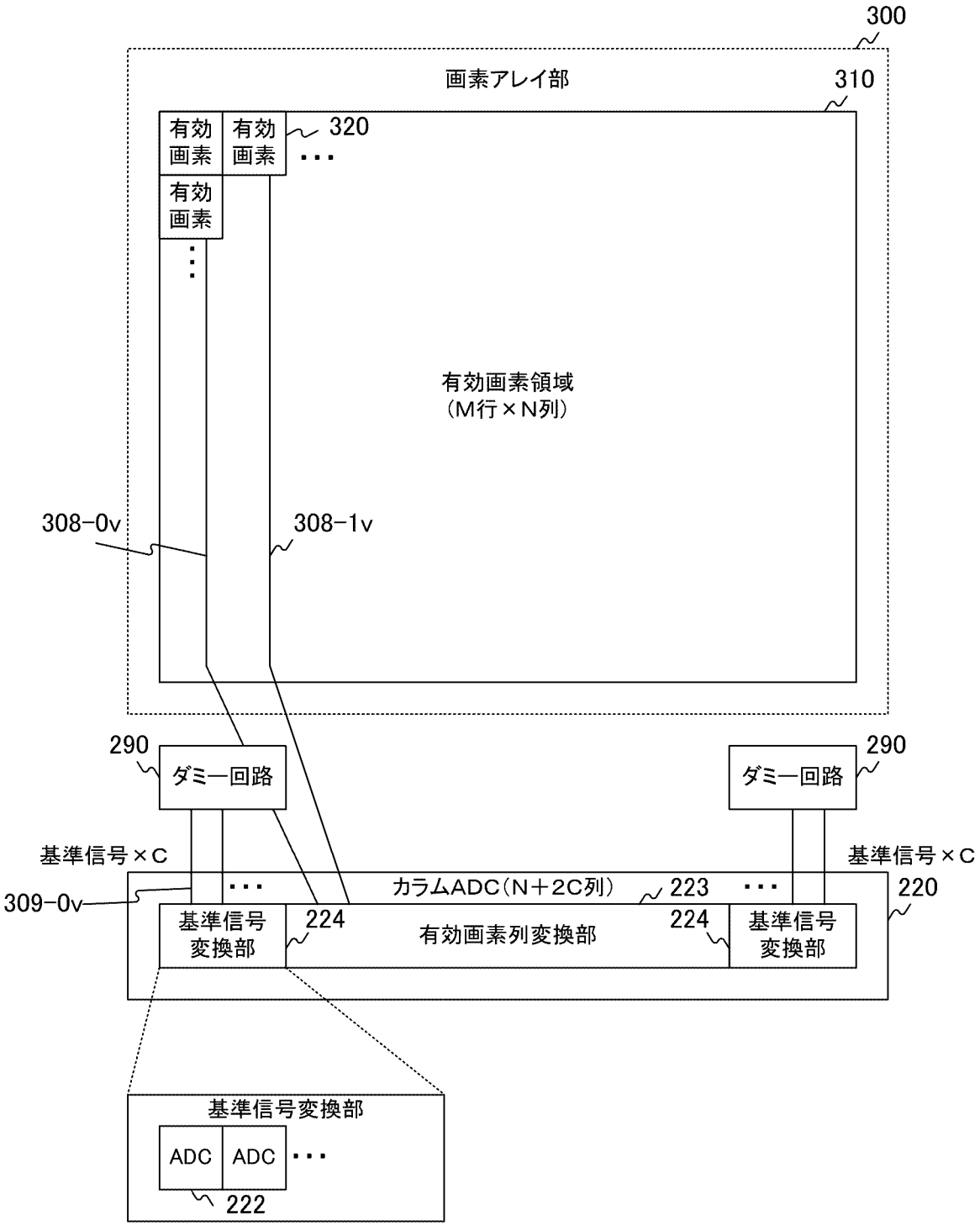
[図13]


(221)
(223)
OPB画素データ
有効画素データ
250
論理回路
251
補正値演算部
252
黒レベル補正部
253
253
254
ライン毎補正係数
保持部
255
垂直シェーディング
補正部
256
256
209
(120)

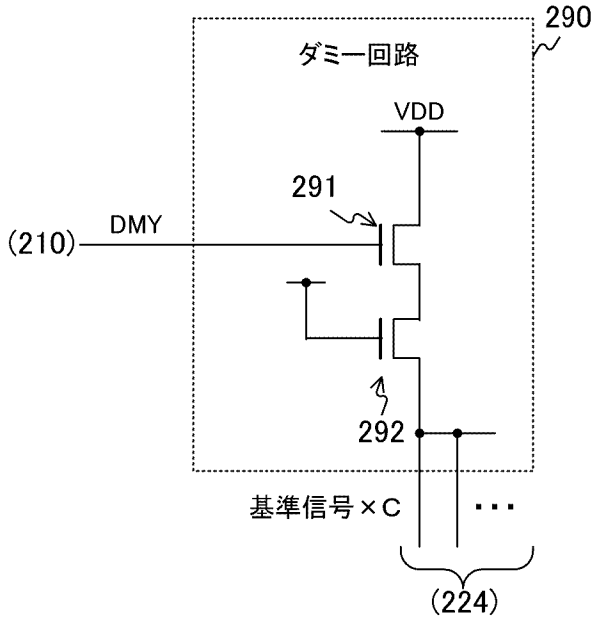
[図14]


(380)
(310)
上側OPB画素データ
上側有効画素データ
270
下側論理回路
271
補正値演算部
272
黒レベル補正部
272
273
下側OPB補正済み画素データ
(260)
上側OPB補正済み画素データ
(260)
274
ライン毎補正係数保持部
275
垂直シェーディング補正部
276
276
276
276
277
277
(120)

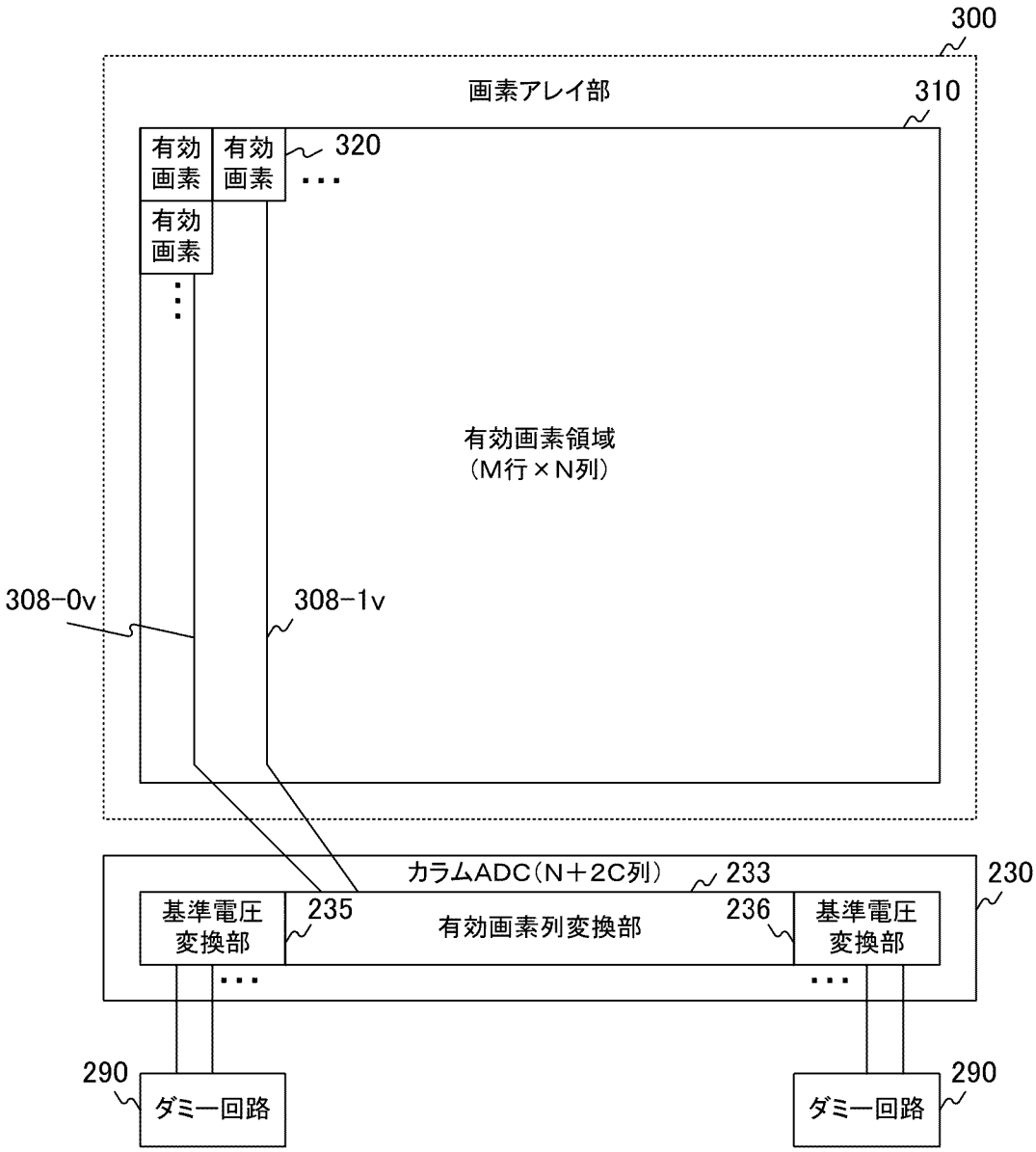
[図15]


300
画素アレイ部
310
有効画素
有効画素
320
有効画素
有効画素領域
(M行×N列)
308-0v
308-1v
290
ダミー回路
290
ダミー回路
基準信号×C
基準信号×C
309-0v
カラムADC(N+2C列)
223
220
基準信号変換部
224
有効画素列変換部
224
基準信号変換部
基準信号変換部
ADC
ADC
222

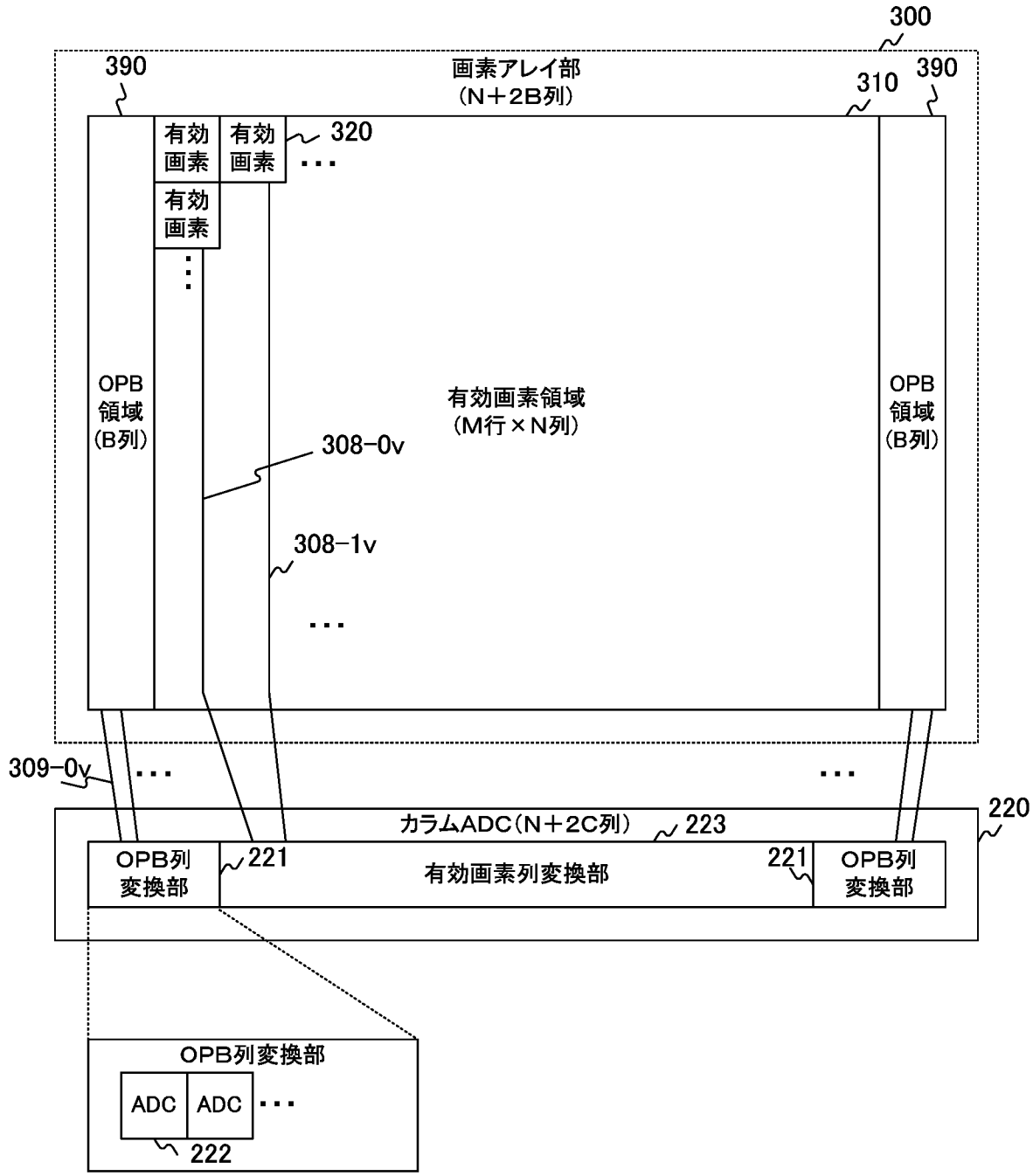
[図16]



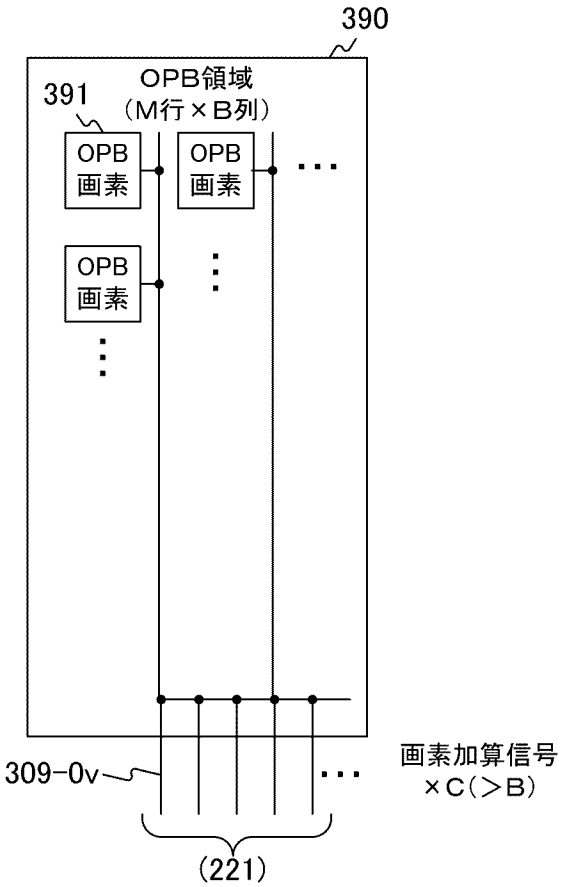
[図17]


300
画素アレイ部
310
有効画素
有効画素
320
有効画素
有効画素領域
（M行×N列）
308-0v
308-1v
カラムADC（N＋2C列）
233
230
基準電圧変換部
235
有効画素列変換部
236
基準電圧変換部
290
ダミー回路
290
ダミー回路

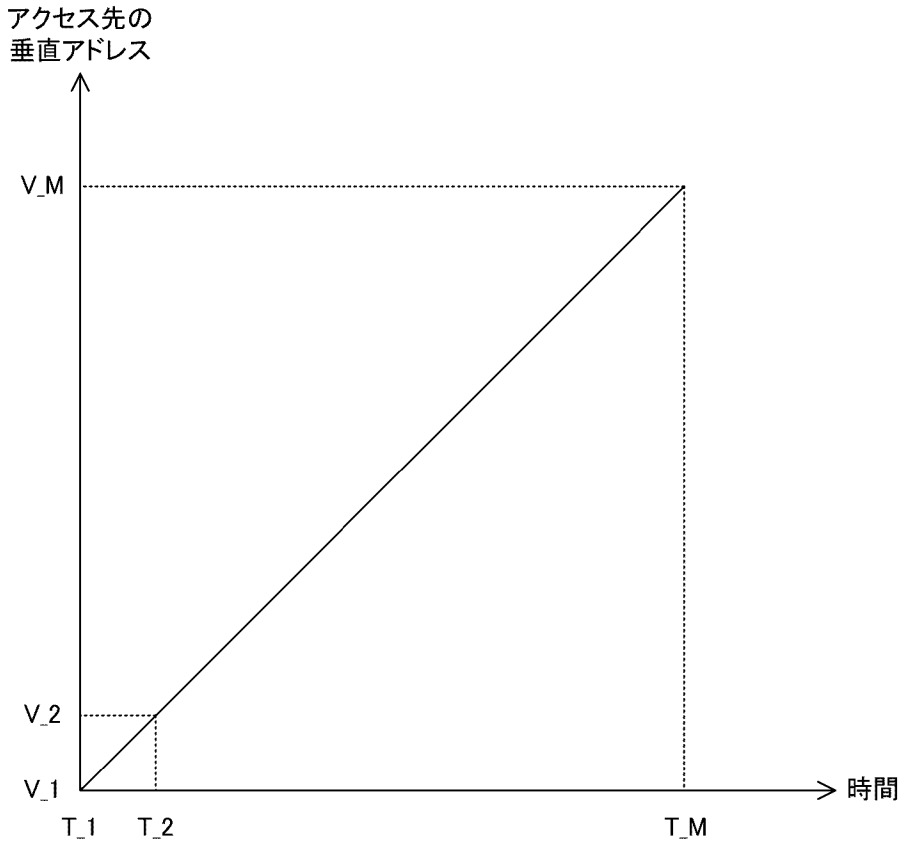
[図18]


300
390
画素アレイ部
(N+2B列)
310
390
有効画素
有効画素
320
有効画素
OPB領域(B列)
有効画素領域
(M行×N列)
OPB領域(B列)
308-0v
308-1v
309-0v
220
カラムADC(N+2C列)
223
OPB列変換部
221
有効画素列変換部
221
OPB列変換部
OPB列変換部
ADC
ADC
222

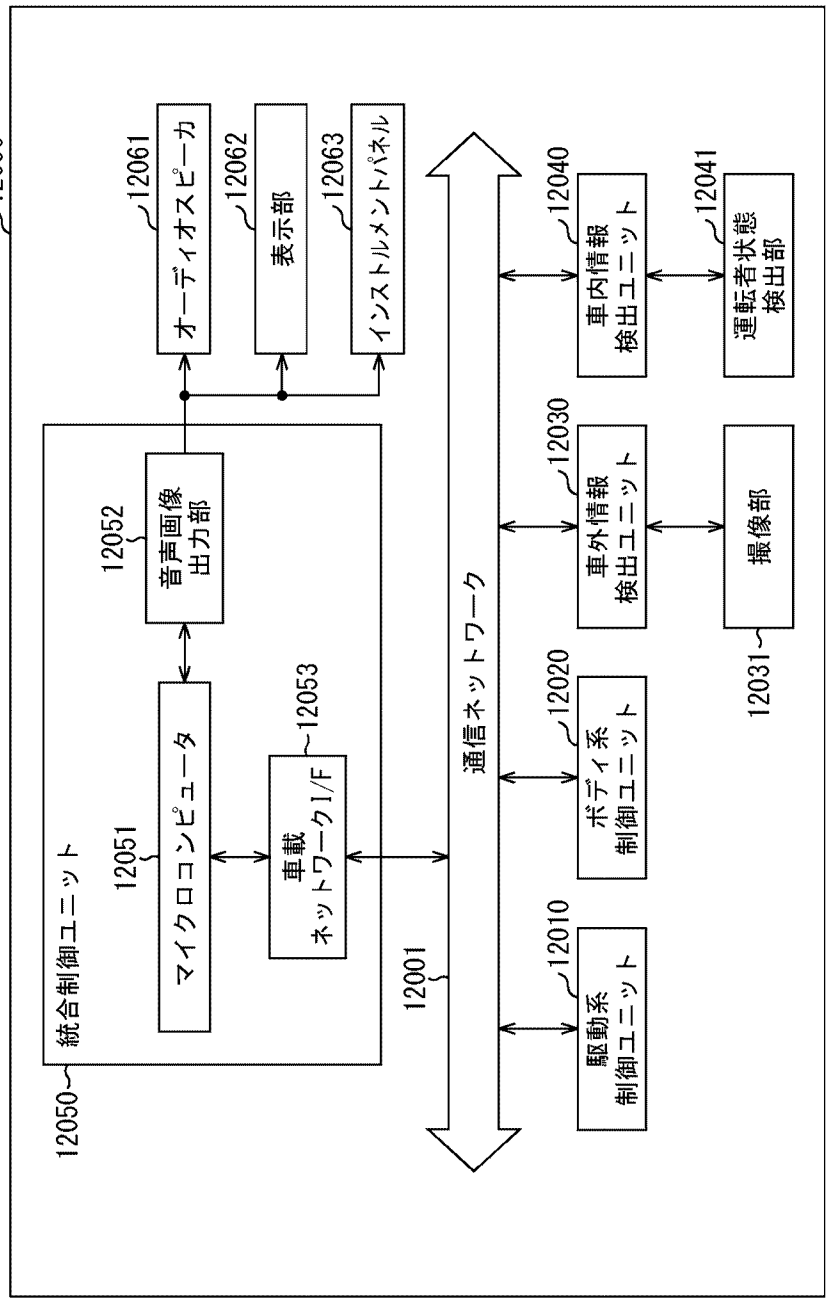
[図19]



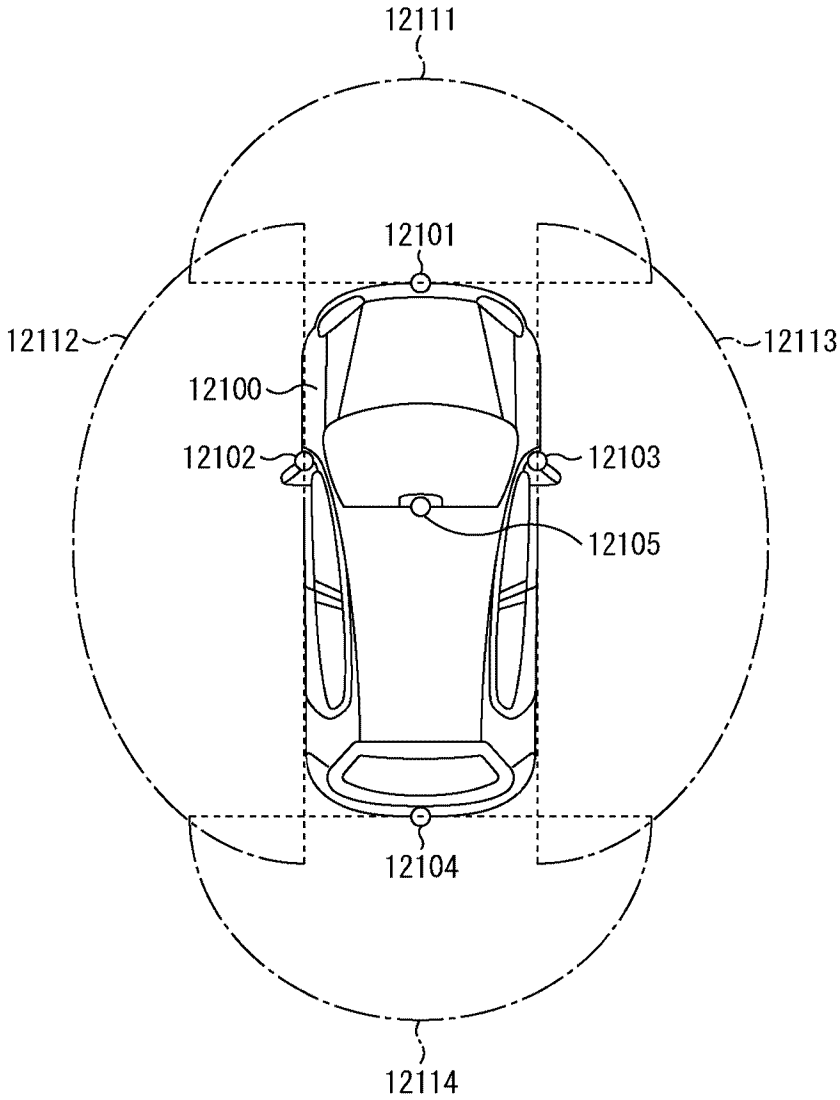
[図20]



[図21]


12000
12061
オーディオスピーカ
12062
表示部
12063
インストルメントパネル
12040
車内情報
検出ユニット
12041
運転者状態
検出部
12052
音声画像
出力部
12030
車外情報
検出ユニット
撮像部
12031
12053
車載
ネットワークI/F
12051
マイクロコンピュータ
12020
ボディ系
制御ユニット
12001
通信ネットワーク
12010
駆動系
制御ユニット
統合制御ユニット
12050

[図22]


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/038835

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H04N5/376(2011.01)i, H04N5/361(2011.01)i, H04N5/378(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H04N5/376, H04N5/361, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2018
Registered utility model specifications of Japan 1996-2018
Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2011-40807 A (TOSHIBA CORPORATION) 24 February 2011, paragraphs [0011]-[0015], [0025]-[0027], fig. 2 (Family: none)	1-2, 4-6, 9, 11-12 3, 7-8, 10
Y	JP 2015-213257 A (OLYMPUS OPTICAL CO.) 26 November 2015, paragraphs [0031], [0032], [0058], [0170], fig. 9 & US 2017/0041565 A1, paragraphs [0054], [0055], [0081], [0198], fig. 9 & WO 2015/166900 A1	3, 8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 January 2018	30 January 2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/038835

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-104102 A (RICOH IMAGING CO., LTD.) 04 June 2015, paragraph [0046] (Family: none)	7
Y	JP 2012-109794 A (TOSHIBA CORPORATION) 07 June 2012, paragraphs [0044], [0045] & US 2012/0120286 A1, paragraphs [0055], [0056]	10

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０３８８３５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/376(2011.01)i, H04N5/361(2011.01)i, H04N5/378(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/376, H04N5/361, H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2011-40807 A (株式会社東芝) 2011.02.24, 段落[0011]-[0015],[0025]-[0027], 図２	1-2,4-6,9, 11-12
Y	(ファミリーなし)	3,7-8,10
Y	JP 2015-213257 A (オリンパス株式会社) 2015.11.26, 段落[0031]-[0032],[0058],[0170], 図９ & US 2017/0041565 A1, 段落[0054]-[0055],[0081],[0198], 図９ & WO 2015/166900 A1	3,8

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １８．０１．２０１８	国際調査報告の発送日 ３０．０１．２０１８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｖ　５５８７ 粕谷　満成 電話番号　０３－３５８１－１１０１　内線　３５７１

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2015-104102 A (リコーイメージング株式会社) 2015.06.04, 段落[0046] (ファミリーなし)	7
Y	JP 2012-109794 A (株式会社東芝) 2012.06.07, 段落[0044]-[0045] & US 2012/0120286 A1, 段落[0055]-[0056]	10