

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 17 年 6 月 23 日 (2005.6.23)

【公開番号】特開 2002-259484 (P2002-259484A)
 【公開日】平成 14 年 9 月 13 日 (2002.9.13)
 【出願番号】特願 2001-345968 (P2001-345968)
 【国際特許分類第 7 版】

G 0 6 F 17/50

G 0 1 R 31/28

【 F I 】

G 0 6 F 17/50 6 6 2 G

G 0 1 R 31/28 F

【手続補正書】

【提出日】平成 16 年 9 月 24 日 (2004.9.24)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリに格納された回路設計を信号ごとに解析する方法であって、
 前記回路設計を格納する階層的データベースを読み取るステップと、
 メモリに格納された前記回路設計の一部に対して、終端ノードによって定義される試験の信号を選択するステップと、
 前記一部における前記信号のそれぞれについて、
 前記回路設計を使用し、前記信号にしたがってノードおよびエッジのフラットな表現を作成するステップと、
 前記信号のフラットな表現上で試験を実行するステップと、
 前記一部において他の信号を解析する前に、前記信号のフラットな表現を削除するステップと、
 を含む方法。

【請求項 2】

前記作成するステップは、
 前記回路の一部のうちの前記終端ノード間のそれぞれの経路に沿って前記信号を再帰的にトレースするステップと、
 前記信号をトレースする間に、前記信号に沿ってそれぞれのネットにノードを作成し、前記信号に沿ってそれぞれの装置にエッジを作成するステップであって、前記ノードおよびエッジのそれぞれは、前記階層的データベースにおける位置に対する名前とアドレス・ポイントを有する、請求項 1 記載の方法。

【請求項 3】

前記再帰的にトレースするステップは、
 上流の終端ノードまたは終端デバイスに達するまで、下流の終端ノードから上流の終端ノードへと上流方向にトレースするステップと、
 前記上流の終端ノードまたは前記終端デバイスに達した後に、前記信号にしたがって経路を再帰的にトレースするステップと、
 を含む請求項 2 記載の方法。