

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2010-56593
(P2010-56593A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 17/95 (2006.01)	H03K 17/95 M	5J050
H03K 17/687 (2006.01)	H03K 17/687 D	5J055
H03K 17/04 (2006.01)	H03K 17/04 E	
H03K 19/166 (2006.01)	H03K 19/166	

審査請求 未請求 請求項の数 7 O L (全 16 頁)

(21) 出願番号	特願2008-216248 (P2008-216248)	(71) 出願人	899000079
(22) 出願日	平成20年8月26日 (2008. 8. 26)		学校法人慶應義塾
			東京都港区三田2丁目15番45号
		(74) 代理人	100089071
			弁理士 玉村 静世
		(72) 発明者	黒田 忠広
			神奈川県横浜市港北区日吉3丁目14番1号慶應義塾大学理工学部内
		Fターム(参考)	5J050 AA02 AA03 BB22 CC12 DD06
			DD14 EE18 EE22 EE35 EE36
			EE37
			5J055 AX02 AX12 BX16 CX24 DX22
			EY05 EY21 EZ10 EZ25 EZ26
			EZ31 EZ50 GX01 GX04

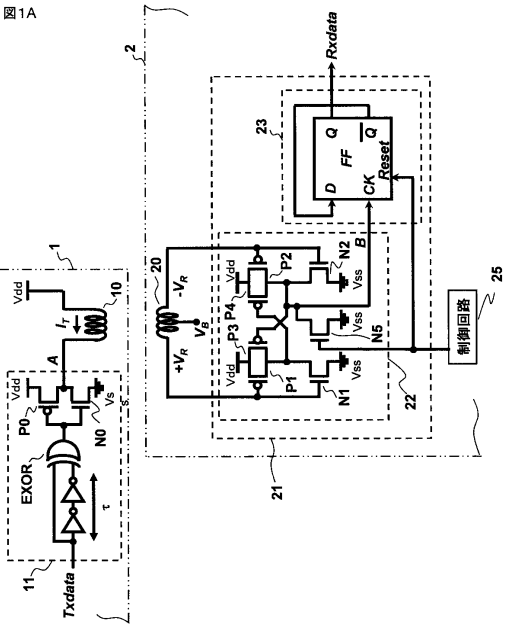
(54) 【発明の名称】 電子回路

(57) 【要約】

【課題】 送信コイルにシングルパルスの電流信号を流し、誘導結合する受信コイルに発生するダブルパルスの電圧信号を非同期に受信できる低電力で高速な非同期誘導結合送受信技術を提供する。

【解決手段】 非接触近接通信を行うための送信回路（1）には送信データの論理値の変化毎に前記第1コイル（10）に第1方向の電流（ I_T ）を流す構成を採用する。前記第1コイルに誘導結合する第2コイル（20）に接続された受信回路（21）には、前記第1方向の電流によって第2コイルに誘起されるダブルパルスの誘導電圧（ V_R ）を判定して単極性のシングルパルス信号（B）を出力する比較器（22）を採用し、比較器が出力する前記シングルパルス信号を入力する毎に出力を順序回路（23）で反転させて受信データの再生を行う。

【選択図】 図1A



【特許請求の範囲】

【請求項 1】

第 1 コイル、及び既定の論理値を先頭にする送信データの論理値の変化毎に前記第 1 コイルに第 1 方向のパルス電流を流す送信回路を有する第 1 基板と、

前記第 1 コイルに誘導結合する第 2 コイル、及び前記第 2 コイルに接続された受信回路を有する第 2 基板と、を備え、

前記受信回路は、前記第 1 方向のパルス電流によって第 2 コイルに誘導されるダブルパルス形状の誘導電圧を閾値電圧を用いて判定して単一極性でシングルパルス信号を出力する比較器、及び前記シングルパルス信号を入力する毎に出力を反転させる順序回路を有する、電子回路。

10

【請求項 2】

前記比較器は、ヒステリシス特性を有する入力 of 閾値電圧に基づいて前記ダブルパルス形状の誘導電圧を判定し、その出力信号の論理値が反転する毎に前記閾値電圧が変化する、請求項 1 記載の電子回路。

【請求項 3】

前記比較器は、その入力 of 閾値電圧を 2 つの値の内の一方に初期化するためにスイッチ動作される初期化トランジスタを有する、請求項 2 記載の電子回路。

【請求項 4】

前記初期化トランジスタは、受信データの先頭を受信する前に前記初期化のためにスイッチ動作される、請求項 3 記載の電子回路。

20

【請求項 5】

前記初期化トランジスタは、受信データの区切り毎に前記初期化のためにスイッチ動作される、請求項 3 記載の電子回路。

【請求項 6】

前記第 1 基板は更に、第 3 コイル及び先頭が既定の論理値とされる送信データの論理値の変化に応じて異なる方向のパルス電流を前記第 3 コイルに流す第 3 コイル用送信回路とを有し、

前記第 2 基板は更に、前記第 3 コイルに誘導結合する第 4 コイル、及び前記第 4 コイルに接続された第 4 コイル用受信回路を有し、

前記第 3 コイル用送信回路は、前記パルス電流のパルス幅を決定し、

30

前記パルス幅は前記パルス電流の変化率に従って第 4 コイルに誘導される誘導電圧を双極性の一方のシングルパルス形状とするために必要な幅を有し、

前記第 4 コイル用受信回路は、前記シングルパルス形状の誘導電圧を判定して出力するヒステリシス比較器を有する請求項 1 記載の電子回路。

【請求項 7】

前記第 1 基板は更に、第 3 コイル及び送信データの論理値の変化に応じて前記第 3 コイルに異なる方向のパルス電流を流す第 3 コイル用送信回路とを有し、

前記第 2 基板は更に、前記第 3 コイルに誘導結合する第 4 コイル、前記第 4 コイルに接続された第 4 コイル用受信回路、及び前記受信回路による受信データを処理する制御回路を有し、

40

前記第 3 コイル用送信回路は、遅延素子による遅延時間に基づいて前記パルス電流のパルス幅を決定し、

前記パルス幅は前記パルス電流の変化率に従って第 4 コイルに誘導される誘導電圧を双極性の一方のシングルパルス形状とするために必要な幅を有し、

前記第 4 コイル用受信回路は、前記シングルパルス形状の誘導電圧を判定して出力するヒステリシス比較器を有し、

前記送信データは先頭に論理値が相違する 2 ビットのダミーデータを有し、

前記制御回路は受信データの先頭の 2 ビットを無視する、請求項 1 記載の電子回路。

【発明の詳細な説明】

【技術分野】

50

【0001】

本発明は、コイルの誘導結合による非接触近接通信技術を適用した電子回路に関し、例えば、積層実装されるIC (Integrated Circuit) ペアチップなどのチップ間の通信や、プリント配線基板間の通信などに適用して有効な技術に関する。

【背景技術】

【0002】

本発明者らは、LSI (Large Scale Integration) チップのチップ上の配線やプリント基板上の配線により形成されるコイルを介して積層実装されるチップ間や近接して配置された基板間で誘導結合による通信を行う電子回路を、下記非特許文献1及び特許文献1等にて既に提案している。

10

【0003】

例えば、特許文献1には、図8に例示されるように、送信器が送信コイルに正または負の単一極性でパルス形状の（以降「シングルパルス」と称する）電流信号 (I_T) を流し、送信コイルと誘導結合する受信コイルに発生する正負の双極性でダブルパルス形状のパルス（以降「ダブルパルス」と称する）電圧信号 (V_R) の正または負のいずれかの極性のパルス（すなわち前半か後半のパルス）の信号を、同期式比較器で構成された受信器で検出して受信する技術が例示される。

【0004】

【特許文献1】特開2005-228981号公報

【非特許文献1】D. Mizoguchi et al, "A 1.2Gb/s/pin Wireless Superconnect based on Inductive Inter-chip Signaling (IIS)," IEEE International Solid-State Circuits Conference (ISSCC'04), Dig. Tech. Papers, pp. 142-143, 517, Feb. 2004.

20

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記同期式送受信回路はデータの送信と受信に共通のクロック (T_{xclk} 、 R_{xclk}) を用いるので、クロックを送信側から受信側に送るためのコイルと送受信器が更に必要になり、コストや電力の増大を招く。また、受信パルス信号の振幅が最大となるタイミングで受信器が動作するように受信器に入力するクロック (R_{xclk}) のタイミング調整が必要になる。また、このタイミングの余裕を確保するために送受信パルスの幅を短く

30

【0006】

そこで本発明者は、送受信にクロックを必要とすることによる上記問題点を解消するために、非同期による送受信方法を検討して先に特許出願（特願2008-023397号）した。即ち、図9に例示されるように送信器 (Transmitter) が送信コイルに送信データに応じた直流電流信号 (I_T) を流し、送信コイルと誘導結合する受信コイルに発生するシングルパルスの電圧信号 (V_R) を、ヒステリシス比較器で構成された受信器で非同期に検出して受信することができる。前述の同期式受信では、所定の短時間だけ受信器を動作させて受信データを受信すればよいが、非同期式受信では、いつでも信号を受信できるように受信器を常に動作させているので、ノイズによる誤動作の確率が高くなる。そこで、ヒステリシス比較器で非同期受信器を構成して、受信パルス信号 V_R が一定の閾値を超えると受信信号 Rxdata が反転し、閾値以下のノイズでは受信信号が反転しないようにしている。この入力閾値は、ヒステリシス比較器が出力しているデータに応じて変化する。図9の V_R 波形中に点線で示したのは入力閾値の変化を表している。初期状態で、受信信号 Rxdata としてローを出力していたときは、入力閾値は $+V_{th}$ だけ高い。入力に正のパルスが入力されてこの入力閾値を超えると受信信号 Rxdata が反転しハイになり、入力閾値が $-V_{th}$ だけ低くなる。次にこの入力閾値を超える負のパルス電圧が入力されるまで受信信号 Rxdata はハイに保持される。この繰り返しで正負のパルス電圧から正しくデジタルデータを復元することができる。例えばヒステリシス比較器は、pチャネル型MOSトランジスタ（単に「PMOSトランジスタ」とも記す）P1とnチャ

40

50

ネル型MOSトランジスタ（単に「NMOSトランジスタ」とも記す）N1から成るCMOSインバータとPMOSトランジスタP2とNMOSトランジスタN2から成るCMOSインバータで増幅回路を構成すると共に、PMOSトランジスタP1に並列されたPMOSトランジスタP3とPMOSトランジスタP2に並列されたP4とのゲートが前記CMOSインバータの出力端子にクロスカップルされて成るラッチ回路を有する。ラッチ回路は保持しているデータに応じてインバータの閾値電圧を変化させる。例えば、ラッチ回路がRxdataにローレベル（/Rxdataにハイレベル）をラッチした状態では V_R のレベル上昇に対して比較器の感度は低く、見掛け上比較器の閾値電圧が高くされ、ラッチデータが一旦反転されると、今度は V_R のレベル降下（ $-V_R$ のレベル上昇）に対して比較器の感度は低く、見掛け上比較器の閾値電圧が低くなる。さらにラッチデータが反転されると、再び V_R のレベル上昇に対して比較器の感度は低く、見掛け上比較器の閾値電圧が高くなる。

10

【0007】

しかしながら、この非同期式送受信回路は、送信データが変化しないときも直流電流 I_T を流すので、電力消費が大きいという問題点のあることが本発明者によって見出された。

【0008】

そこで、送信器の電力消費を減らすために送信データの論理値が変化するときだけその変化に応じて立ち上がり又は立ち下りのシングルパルスの電流信号を流すことについて検討した。しかしながら、受信コイルに発生するダブルパルスの電圧信号を、前記ヒステリシス比較器を用いて受信することはできないということが見出された。その理由を以下に説明する。図10に示すように、送信データの変化に応じて、受信コイルにダブルパルスの信号 V_R が発生する。 V_R 波形中に点線で示したのは入力閾値の変化を表している。待ち構えていたデータをダブルパルスの信号の前半パルスで検出した場合は（図10の（a）における前半や（b）の後半）、その直後に続く逆極性の後半パルスにも応答し、デジタルデータとしての受信データを得ることができる。次に送信されるデータは先に送信されたデータと逆の極性になるので（例えばデータがローからハイに変化した次はハイからローに変化する）、信号 V_R は、その前の信号 V_R に比べて正負が逆極性のダブルパルスとなる。したがって、前半のパルスは入力閾値から離れる入力となり、入力閾値は入力信号と逆方向に変化する。逆方向に変化した入力閾値が元の設定値に戻るには所定の時間を要するので、直後に来る後半のパルスを正しく受信できない。従って、受信データは変化せず、受信信号を再生することができない。（b）の場合には前のダブルパルス信号 V_R についてデータの再生を行うことができない。このように、送信器の電力を減らすために送信コイルに流す電流を直流からシングルパルスの電流に変えると、図9の非同期受信器ではデータを正しく受信することができない。

20

30

【0009】

更に検討を加えた結果、図11に例示される送信電流 I_T のパルス波形のように一つのシングルパルスの前後の波形を非対称にすることで、受信コイルに発生するダブルパルスの電圧信号の後半若しくは前半の振幅を低く抑え、受信器が前半パルス若しくは後半パルスだけに応答するようにして、送受信を正しく行うことについて考えた。しかしながら、図11の（a）の場合にはヒステリシス比較器の入力閾値のヒステリシス幅を後半パルスの振幅の大きさだけ余分に設定しなければならないので、ヒステリシス比較器の消費電力が増大し、応答速度も低下する。また、後半パルスは前半パルスに比べてパルス幅が長いので、送信電流が増大し、信号伝送速度は低下する。パルス形状を図11の（b）に示すように、（a）とは逆の非対称にすると（すなわち前半のパルス幅が長く後半のパルス幅が短い）、ヒステリシス比較器の入力閾値のヒステリシス幅を増大させる必要はなくなるが、前半のパルス入力により入力閾値が逆に変化する問題が残り、図示のとおり誤動作する可能性がある。

40

【0010】

本発明は、上記問題点に鑑み、送信データに応じて送信コイルにシングルパルスの電流

50

信号を流し、誘導結合する受信コイルに発生するダブルパルスの電圧信号を非同期に受信できる低電力で高速な非同期誘導結合送受信技術を提供することを目的とする。

【0011】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0012】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0013】

〔1〕本発明に係る電子回路は送信回路と受信回路を備え、送信回路は送信データに変化があったことを（0から1もしくは1から0、両者を区別しない）送信コイルに単一極性のシングルパルス電流を流すことによって送信する（したがって送信データの極性情報は送らない）。受信回路は受信コイルに誘起されるダブルパルス電圧信号（たとえば凸凹、これは送信データの極性によらず、送信電流の方向と誘導結合の仕方で行き決まる）を比較器で検出し単一極性のシングルパルス信号（たとえば凸、これは送信データの極性によらず送信電流の方向と誘導結合の仕方で行き決まる）を出力して受信データに変化があったことを検出する。この検出結果を分周回路としての順序回路に入力して、送受信データの変化を復元する。データの変化だけを送受信するから、データの最初が0か1かを予め送受信で取り決めておくことを要する。比較器の閾値電圧は、受信ダブルパルス電圧の極性（凸凹か凹凸か）に応じて初期設定され、送受信データの極性とは無関係である。比較器の差動対を対称に設計してもデバイスのばらつきなどで電源投入直後に出力電圧や入力閾値がどちらになっているかは保障できないことがあるので、パワーオンリセット時等において比較器の出力を初期化することが望ましい。また、受信回路はデータの変化だけを送受信するので、ノイズ等で一度誤ると、以降間違いの連続になるから、これを回避するには、例えば一定長のパケットに分割して受信し、パケット毎にデータの最初が0か1かを決めておくことが望ましい。

【0014】

〔2〕更に別の観点によると、送信回路は送信データに変化があったことを（0から1もしくは1から0、両者を区別する）送信コイルに双極性のシングルパルス電流を（受信電圧信号がダブルパルスにならずに2つのシングルパルスが十分な間隔を空けて受信されるように送信電流パルス幅を十分に空けて）流すことによって送信する（したがって送信データの極性情報も送る）。このとき、受信回路は受信コイルに誘起される双極性の1対のシングルパルス電圧信号（たとえば凸と凹もしくは凹と凸、極性の順序は送信データの極性によって決まる）の1つ目のシングルパルスは検出せず2つ目のシングルパルス信号をヒステリシス比較器で検出して受信データを復元するように、ヒステリシス比較器の閾値電圧を設定する。その方法は2つあり、1つは最初のデータが1か0かを予め送受信で取り決めておくことである。例えば0と決めておくと、最初の1が送受信されたときに受信するダブルパルスの極性が決まるから、ヒステリシス比較器の閾値を2つ目のパルスを受信するように設定する。2つ目の方法は、ヒステリシス比較器の閾値を設定しようとはせず、0→1もしくは1→0の2ビットのダミーデータを送受信する。この場合には、以降のデータの送受信が正しくできるようにヒステリシス比較器の閾値は自動的に正しく設定されることになる。

【発明の効果】

【0015】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0016】

すなわち、送信データに応じて送信コイルにシングルパルスの電流信号を流し、誘導結合する受信コイルに発生するダブルパルスの電圧信号を非同期に受信できる低電力で高速

10

20

30

40

50

な非同期誘導結合送受信を実現することができる。

【発明を実施するための最良の形態】

【0017】

1. 実施の形態の概要

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【0018】

〔1〕本発明に係る電子回路は、第1コイル(10)、及び既定の論理値を先頭にする送信データの論理値の変化毎に前記第1コイルに第1方向のパルス電流(I_T)を流す送信回路(11)を有する第1基板(1)と、前記第1コイルに誘導結合する第2コイル(20)、及び前記第2コイルに接続された受信回路(21)を有する第2基板(2)と、を備える。前記受信回路は、前記第1方向のパルス電流によって第2コイルに誘導されるダブルパルス形状の誘導電圧(V_R)を閾値電圧を用いて判定して単一極性でシングルパルス信号を出力する比較器(22)、及び前記シングルパルス信号を入力する毎に出力を反転させる順序回路(23)を有する。

【0019】

これによれば、送信データの論理値の変化毎に前記第1コイルに前記パルス電流を流すから、常時電流を流し続ける構成に比べて送信回路の低消費電力が実現される。また、第1コイルに流す電流の向きは第1方向で一定にされるから、それによって受信回路の第2コイルに誘起されるダブルパルス形状の誘導電圧の波形も一定になり、比較器によって一部のダブルパルスの誘導電圧波形の変化を検出できなくなることはなく、送信データの論理値の変化毎に比較器の出力にデジタルのシングルパルス信号を生成することができる。当該シングルパルス信号を入力する毎に出力を順序回路で反転させることによって受信データの再生が可能にされる。したがって、図8の同期式に比べてクロックの送受信が不要になり送受信電力を減らすことができ、先に検討した図9の非同期式に比べて、送信電力を減らすことができ、図10で検討したシングルパルス送信による場合の受信エラーを生ぜず、図11のシングルパルス送信波形を緩慢に変化させる場合に比べて送受信動作を速くすることができる。

【0020】

〔2〕項1の電子回路において、前記比較器はヒステリシス特性を有する入力 of 閾値電圧に基づいて前記ダブルパルス形状の誘導電圧を判定し、その出力信号の論理値が反転する毎に前記閾値電圧が変化する。

【0021】

〔3〕項2の電子回路において、前記比較器はその入力 of 閾値電圧を2つの値の内の一方に初期化するためにスイッチ動作される初期化トランジスタを有する。

【0022】

〔4〕項3の電子回路において、前記初期化トランジスタは、受信データの先頭を受信する前に前記初期化のためにスイッチ動作される。

【0023】

〔5〕項3の電子回路において、前記初期化トランジスタは、受信データの区切り毎に前記初期化のためにスイッチ動作される。

【0024】

〔6〕項1の電子回路において、前記第1基板は更に、第3コイル及び先頭が既定の論理値とされる送信データの論理値の変化に応じて異なる方向のパルス電流を前記第3コイルに流す第3コイル用送信回路とを有する。前記第2基板は更に、前記第3コイルに誘導結合する第4コイル、及び前記第4コイルに接続された第4コイル用受信回路を有する。前記第3コイル用送信回路は、前記パルス電流のパルス幅を決定し、前記パルス幅は前記パルス電流の変化率に従って第4コイルに誘導される誘導電圧を双極性の一对のシングルパルス形状とするために必要な幅を有する。前記第4コイル用受信回路は、前記シングル

パルス形状の誘導電圧を判定して出力するヒステリシス比較器を有する。これによれば、最初のデータの論理値が1か0か既定の論理値として予め決めてあるから、例えば規定論理値を0と決めておくと、最初の論理値1が送受信されたときに受信するダブルパルスの極性が決まり、ヒステリシス比較器の閾値は当該2つ目のパルスを受信するように設定されることになる。この初期化制御により、受信回路が受信コイルに誘起される双極性の一对のシングルパルス電圧信号（たとえば凸と凹もしくは凹と凸、極性の順序は送信データの極性によって決まる）の1つ目のシングルパルスは検出せず2つ目のシングルパルス信号をヒステリシス比較器で検出して受信データを復元することができるようになる（図6A、6B参照）。

【0025】

〔7〕項1の電子回路において、前記第1基板は更に、第3コイル及び送信データの論理値の変化に応じて前記第3コイルに異なる方向のパルス電流を流す第3コイル用送信回路とを有する。前記第2基板は更に、前記第3コイルに誘導結合する第4コイル、前記第4コイルに接続された第4コイル用受信回路、及び前記受信回路による受信データを処理する制御回路を有する。前記第3コイル用送信回路は、遅延素子による遅延時間に基づいて前記パルス電流のパルス幅を決定し、前記パルス幅は前記パルス電流の変化率に従って第4コイルに誘導される誘導電圧を双極性の一对のシングルパルス形状とするために必要な幅を有する。前記第4コイル用受信回路は、前記シングルパルス形状の誘導電圧を判定して出力するヒステリシス比較器を有する。前記送信データは先頭に論理値が相違する2ビットのダミーデータを有し、前記制御回路は受信データの先頭の2ビットを無視する。ここでは、ヒステリシス比較器の閾値を設定しようとはせずに、0→1もしくは1→0の2ビットのダミーデータを送受信する。この場合には、ダミーデータ以降のデータ送受信において受信回路が受信コイルに誘起される双極性の一对のシングルパルス電圧信号の1つ目のシングルパルスは検出せず2つ目のシングルパルス信号をヒステリシス比較器で検出して受信データを復元することができるようになる。要するに、それ以降のデータの送受信が正しくできるようにヒステリシス比較器の閾値は自動的に正しく設定されることになる（図7A、7B参照）。

【0026】

2. 実施の形態の詳細

実施の形態について更に詳述する。以下、本発明を実施するための形態を図面に基づいて詳細に説明する。なお、発明を実施するための形態を説明するための全図において、同一の機能を有する要素には同一の符号を付して、その繰り返しの説明を省略する。

【0027】

《第1の実施形態》

図1Aには本発明に係る電子回路の第1の実施の形態が示される。図1Bはその動作波形を示す。本発明の電子回路は第1半導体チップ1と第2半導体チップ2が積層され、相互間で誘導結合による近接非接触通信を行う機能を有する。前記非接触通信機能を実現するための単位ユニットとして例えば半導体チップ1はコイル10と送信回路11を有し、半導体チップ2はコイル20と受信回路21を有する。特に図示はしないが、例えば上記単位ユニットは、送受信データの並列ビット数分と、送受信データのビット同期のための1本のストローブ信号の分が設けられる。ストローブ信号は送受信データのビット同期で論理値が変化する信号とされる。したがって、第2半導体チップはストローブ信号とデータを受信することによって受信データの先頭を認識してビット単位で受信データを識別する。

【0028】

送信回路11は、送信データTxdataの変化を検出してパルスを発生する回路により構成され、例えば、送信データTxdataとその遅延信号との排他的論理和信号によってpMOSトランジスタP0、nMOSトランジスタN0から成るCMOSインバータによってコイル10の一端の電位を駆動して、コイル10の他端から電流を引き込むように構成される。即ち、送信回路11は送信データに0から1もしくは1から0の変化があ

ったとき、送信コイルに単一極性のシングルパルス電流を流すことによって送信する。このように送信回路11は送信データの0から1もしくは1から0の両者を区別せずにデータを送信することになる。送信回路11は送信データの極性情報は送信しない。さらに具体的には、送信回路11は、2入力の排他的論理和ゲート（EXOR）の2つの入力に τ の時間差を付けTxdataを入力して、 τ の時間幅のパルス信号を出力する。その結果、 τ の時間だけ出力段のnMOSトランジスタN0がオンしてコイルに電流 I_T を流すが、その後nMOSトランジスタN0がオフして、その後もコイル10のインダクタンスでしばらくは電流を流し続けるが I_T は減少してやがてゼロになる。送信回路11の出力段はnMOSトランジスタだけで構成することもできるが、nMOSトランジスタがオフした後にコイル10のインダクタンスと寄生キャパシタンスでコイル10の電位や電流が共振して送受信の妨げになることがある。この場合に図1に如く、pMOSトランジスタも加えてインバータ回路で構成することにより、nMOSトランジスタN0がオフのときはpMOSトランジスタP0がオンするので共振は起こらない。pMOSトランジスタP0のチャンネル幅は、コイルが共振を起こさない程度に小さくすればよい。

【0029】

受信回路21は、コイル20の両端が接続される比較器例えばヒステリシス比較器22を有し、ヒステリシス比較器22の出力信号の立ち上がりエッジ（ローからハイへの変化時点）もしくは立ち下がりエッジ（ハイからローへの変化時点）のいずれか一方に応答して出力を反転させる順序回路としてのD型フリップフロップ（単に分周回路とも記す）23を介して受信データRxdataを出力する。ヒステリシス比較器22は、例えばpMOSトランジスタP1とnMOSトランジスタN1から成るCMOSインバータとpMOSトランジスタP2とnMOSトランジスタN2から成るCMOSインバータで増幅回路を構成すると共に、pMOSトランジスタP1に並列されたpMOSトランジスタP3とpMOSトランジスタP2に並列されたpMOSトランジスタP4とのゲートが前記CMOSインバータの出力端子にクロスカップルされて成るラッチ回路を有する。ラッチ回路は保持しているデータに応じて前記インバータの閾値電圧を変化させる。例えば、ラッチ回路がローレベルの信号BをラッチするとpMOSトランジスタP3の電流供給作用によりそれぞれのCMOSインバータの論理閾値電圧よりも絶対値的に大きな反転入力が必要であれば出力が反転されず見掛け上ヒステリシス比較器22の閾値電圧が高くされ、ラッチデータが一旦反転されると、今度はpMOSトランジスタP4の電流供給作用によりそれぞれのCMOSインバータの論理閾値電圧よりも絶対値的に大きな反転入力が必要であれば出力が反転されず見掛け上ヒステリシス比較器22の閾値電圧が低くなる。このように、ヒステリシス比較器22は出力信号Bの論理値が反転する毎にその入力閾値電圧が変化される。ヒステリシス比較器22は、図1Bに示すように送信データが変化するたびにパルス信号Bを出力する。誘導電圧 V_R の波形中に記載された破線はヒステリシス比較器22の閾値電圧を示す。このパルス信号Bの幅はおよそ 0.5τ である。このパルス信号Bの立ち上がりエッジもしくは立ち下がりエッジの一方に合わせて交互に反転するデジタルデータを分周回路23が出力することによって、送信データが復元される。

【0030】

上記の如く、受信回路21ではシングルパルス電流に応じて受信コイル20にダブルパルスの誘導電圧であるダブルパルス電圧信号、たとえば凸凹の信号が誘起される。この誘導電圧信号は送信データの極性によらず、送信電流の方向と誘導結合の仕方決まる。ヒステリシス比較器22はダブルパルス電圧信号を検出して単一極性のシングルパルス信号B、たとえば凸状のパルス信号を生成するが、この信号Bは送信データの極性によらず送信電流の方向と誘導結合の仕方決まるから、ヒステリシス比較器22は信号Bを出力して受信データに変化があったことを検出するだけである。このように受信回路は、データの変化だけを送受信するから、データの最初が0か1かを予め送受信で取り決めしておかなければ受信データを復元できない。ヒステリシス比較器22の閾値電圧は、受信ダブルパルス電圧の極性（凸凹か凹凸か）に応じて初期設定すべきで、送受信データの極性とは無関係である。ヒステリシス比較器22の差動段を対称に設計してもデバイスのばらつき

などで電源投入直後にヒステリシス比較器 22 の出力電圧や入力閾値がどちらになっているかは保障できない。そこで、図 1 A に示されるように、ヒステリシス比較器 22 は出力ノードの信号 B を選択的に既定の論理値例えばグラウンドレベル (V_{SS}) に対応する論理値 0 に初期化する初期化トランジスタとして nMOS トランジスタ N5 を採用する。図 1 A の構成において、前記初期化の論理値は、図 1 B から明らかなように、前記ダブルパルス形状の誘導電圧の前半のパルスによってヒステリシス比較器 22 の出力論理値を反転できる論理値 (論理値 0) であるという関係を満足するものである。図 3 の比較例のようにヒステリシス比較器 22 の初期値が上記とは逆に先頭データの既定の論理値と整合しない場合には、受信データの論理値が送信データとは逆になり、受信データの復元が不可能になる。

10

【0031】

ヒステリシス比較器 22 の初期化動作は例えば制御回路 25 がパワーオンリセット時等で行う。即ち、図 1 A では「既定の論理値」は論理値 0 とされ、論理値 1 の受信データの入力に備える場合、先頭データを受信する前に、制御回路 25 の出力は一旦ハイレベルになり次にローレベルになることで、nMOS トランジスタ N5 を一旦オンにして次にオフにし、ヒステリシス比較器 22 の入力閾値電圧 (図 1 B の VR の点線) をプラスに設定する。それと共に、フリップフロップ 23 の出力データ Rxdata の値を論理値 0 に設定しておく必要があるから、制御回路 25 の出力はフリップフロップ 23 のリセット入力端子にも供給され、その入力がハイレベルにされることによってリセットされて、出力データ Rxdata が論理値 0 にリセットされる。

20

【0032】

また、上記送受信の仕組みは、データの変化だけを送受信するので、ノイズ等で一度誤ると、それ以降受信データは間違いの連続になる。すなわち、送信データの変化 (ローレベル (論理値 0) からハイレベル (論理値 1) もしくはハイレベルからローレベルへの変化) のたびに同じパルスを送受信しているので、パルスの送受信に誤りが一度入ると、次に誤るまでの間は受信データのハイとローは逆転して受信データは誤ったままになり、ビット誤り率は非常に悪くなる。これを回避するためには、送受信データを一定長のパケットに分割する。そして、パケット毎にデータの最初が論理値 0 か 1 かを決めておく。即ち、各パケットの先頭も既定の論理値とし、パケットの先頭、又はパケットの終端で、トランジスタ N5 による前記初期化を行えばよい。この時のヒステリシス回路 22 及びフリップフロップ 23 に対する初期化制御は同じく制御回路 25 が行えばよいが、その初期化動作タイミングは図示を省略する受信データ処理回路からのパケットの区切りの検出に応答して制御回路 25 に与えられればよい。

30

【0033】

尚、特に図示はしないが、上記とは逆に先頭データを 1 と定めた場合は、ヒステリシス比較器 22 の出力 B をハイレベルに初期設定する。この場合には、pMOS トランジスタによって B の出力ノードを電源電圧 V_{DD} にプリチャージして初期化すればよい。パケットの先頭データを所定の値から再開することに決めておくのと同様の効果は、パケットの最終データを所定の値で終了することに決めておくことでも得られる。

【0034】

前記ヒステリシス比較器 22 は図 2 A の比較器に変更可能である。同図に示される比較器は、nMOS トランジスタ N11 のチャンネル幅と nMOS トランジスタ N12 のチャンネル幅を等しくし、もちろん pMOS トランジスタ P11 のチャンネル幅と pMOS トランジスタ P12 のチャンネル幅も等しくし、差動入力 of 正・負を判定する。入力の閾値電圧は例えばゼロに設定される。MOS トランジスタ N11 のチャンネル幅を MOS トランジスタ N12 のチャンネル幅よりも短くすれば、差動入力 that プラス α の値以上になったところで出力が反転するので、図 2 B に示すように入力閾値電圧をプラスに設定することができる。図 2 B において V_R の波形と一緒に示されるは線が閾値電圧を示す。

40

【0035】

図 4 にはエッジを検出してパルスを発生する送信回路 11 の別の例が示される。この回

50

路も図 1 と同様に、送信データの論理値の変化毎に前記コイル 10 に電流 I_T を流す。

【0036】

実施の形態 1 に係る電子回路においては、送信コイル 10 に τ の時間だけ電流を流すので、データ送信の電力を小さくできる。 τ の典型的な値は 200 ps である。例えば 0110 という 4 ビットのデータ列を 100 Mbps で送信する場合、図 9 の直流を流す非同期方式では、 $10\text{ ns} \times 4 = 40\text{ ns}$ の間送信コイルを電流 I_T が流れる。 I_T の典型的な値は 5 mA であり、Vdd の典型的な値は 1.8 V である。したがって、送信電力は、 $1.8\text{ V} \times 5\text{ mA} = 9\text{ mW}$ である。一方、本実施の形態の場合、送信データが 0 から 1 に変化するときと 1 から 0 に変化するとき 200 ps の間だけパルス状の電流を流すので、平均で $5\text{ mA} \times (0.2\text{ ns} \times 2\text{ パルス} \div 40\text{ ns}) = 0.05\text{ mA}$ になり、送信電力は 0.09 mW である。したがって、図 9 の直流を流す非同期方式に比べて送信電力を、 $0.09\text{ mW} \div 9\text{ mW} = 0.01$ 、つまり 1% に減少させることができる。

【0037】

《第 2 の実施の形態》

図 5 には本発明に係る電子回路の第 2 の実施の形態が示される。本発明の電子回路は第 1 半導体チップ 1 A と第 2 半導体チップ 2 A が積層され、相互間で誘導結合による近接非接触通信を行う機能を有する。前記非接触通信機能を実現するための単位ユニットとして例えば半導体チップ 1 A はコイル 10 A と送信回路 11 A を有し、半導体チップ 2 A はコイル 20 A と受信回路 21 A を有する。特に図示はしないが、例えば上記単位ユニットは、送受信データの並列ビット数分と、送受信データのビット同期のための 1 本のストロブ信号の分が設けられる。ストロブ信号は送受信データのビット同期で論理値が変化する信号とされる。したがって、第 2 半導体チップはストロブ信号とデータを受信することによって受信データの先頭を認識してビット単位で受信データを識別する。

【0038】

送信回路 11 A は、コイルの両端を相補的に駆動する一対の CMOS インバータを有し、一方のインバータに送信データ Txdata が供給され、他方のインバータに送信データ Txdata の遅延信号が供給され、送信データの論理値に従った向きで且つその遅延時間に従った長さだけコイル 10 A にパルス電流を流す。即ち、前記送信回路 11 A は、遅延素子 13 による遅延時間 τ_p に基づいて前記パルス電流 I_T のパルス幅を決定する。前記パルス幅は前記パルス電流の変化率に従ってコイル 20 A に誘導される誘導電圧 V_R を双極性の一対のシングルパルス形状とするために必要な幅を有する。前記受信回路 21 A は、前記シングルパルス形状の誘導電圧 V_R を閾値電圧を用いて判定して出力するヒステリシス比較器 22 A を有する。ヒステリシス比較器 22 A は例えば図 1 の前記ヒステリシス比較器 22 と同様に構成され、例えば Rxdata がヒステリシス比較器 22 A の出力ノード若しくは受信データとされる。ここでは、ヒステリシス比較器 22 A の出力ノード B を初期化するために、例えば当該ノード B を選択的にプルアップする pMOS トランジスタ P7 が設けられる。pMOS トランジスタ P7 はコントローラ 25 が上記同様にパワーオンリセット等でスイッチ制御される。ノード Bno 信号はインバータ 30 で反転され、その出力が受信データ Rxdata とされる。尚、インバータの出力を受信データ Rxdata としたのは（つまり、ノード B の論理を Rxdata と等しいとした理由は）、双極パルスの後半のパルスを受信していて、後半のパルスは送信データの逆論理値になっていることを考慮したためである。

【0039】

送信回路 11 A は送信データの 0 から 1 の変化と 1 から 0 の変化を区別して送信コイルに双極性のシングルパルス電流 I_T を生成する。受信電圧信号がダブルパルスにならずに 2 つのシングルパルスが十分な間隔を空けて受信されるように送信電流パルス幅が決定されている。例えば図 6 A に代表されるように、前記パルス電流 I_T の立ち上がりと立下りの間に τ_p の時間間隔を空けたことにより、一つのパルス電流 I_T によって双極性の一対のシングルパルス（極性の異なる 2 個のシングルパルス）の誘導電圧 V_R を得ることができる。 τ_r や τ_f の典型的な値が 100 ps である場合、 τ_p の典型的な値は 300 ps

である。 τ_p の値はTxdataに対するその遅延信号の遅延時間であり、図示のインバータなどのゲート段数の増減やトランジスタのチャンネル幅などを変えることでその遅延時間を決定すればよい。

【0040】

第2の実施の形態において、受信コイル20Aに誘起される双極性の一对のシングルパルス電圧信号 V_R は凸と凹もしくは凹と凸の極性の組合せとされ、その極性の順序は送信データの極性によって決まる。このとき、受信回路21Aは受信コイル20Aに誘起される双極性の一对のシングルパルス電圧信号 V_R の1つ目のシングルパルスは検出せず2つ目のシングルパルス信号をヒステリシス比較器22Aで検出して反転することによって受信データを復元することができる。そのためには、ヒステリシス比較器22Aの閾値電圧を初期設定することが必要であり、ここでは第1の方法と第2の方法を開示する。

10

【0041】

第1の方法は、最初のデータが1か0かを予め送受信で取り決めしておく。例えば0と決めておくと、最初の1が送受信されたときに受信するダブルパルスの極性が決まるから、ヒステリシス比較器22Aの閾値を2つ目のパルスを受信できる論理値に初期設定する。例えば、図6Aには送信データの先頭を論理値0とし、ヒステリシス比較器22Aの出力ノードBの初期値を論理値1とする場合、すなわち受信データRxdataの初期値を論理値0とする場合の例が示される。図6Bには送信データの先頭を論理値1とし、ヒステリシス比較器22Aの反転出力端子である/Rxdataの初期値を論理値0とする場合の例が示される。何れの場合にも、送信データの時刻 t_1 、 t_5 における変化にたいして、それぞれ時刻 t_3 、 t_7 の2発目のシングルパルスの誘導電圧 V_R に応答して受信データ/Rxdataが時刻 t_4 、 t_8 で変化され、受信データを正常に再生することができる。尚、図6Bの場合には特に図示はしないが、pMOSトランジスタP7に代えてnMOSトランジスタを採用する。

20

【0042】

第2の方法は、ヒステリシス比較器の閾値を正しく初期設定しようとはせずに、送信データの先頭に $0 \rightarrow 1$ もしくは $1 \rightarrow 0$ の2ビットのダミーデータを付加して送受信し、これによって、ダミーデータ以降のデータの送受信動作ではヒステリシス比較器22Aの閾値が自動的に正しく設定され、正しく受信動作を行うことが可能にされる。例えば図7A、図7Bには送信データの先頭にダミーデータ0、1が付加され、ヒステリシス比較器22Aの反転出力端子である/Rxdataに対して初期化を行わない場合、要するにヒステリシス比較器22Aの反転出力端子の初期値が1又は0の不定で在る場合の例が示される。図7Aはヒステリシス比較器22Aの反転出力端子の初期値が1になっていた場合、図7Bはヒステリシス比較器22Aの反転出力端子の初期値が0になっていた場合を示す。何れの場合にも、時刻 t_1 のダミーデータの変化に応じて時刻 t_2 、 t_3 で形成されるダブルパルスの後半のダブルパルスの変化（時刻 t_3 ）に応答して、ヒステリシス比較器22Aの反転出力端子/Rxdataにおける閾値と出力データ論理値の正規の状態が確定し、これ以降正規の受信動作が可能にされる。マイクロコンピュータ25は前記ストロブ信号を用いて受信データを認識することができる。この第2の方法をストロブ信号に適用する場合は、ストロブ信号の先頭を認識する別の手段を追加しなければならない。尚、図7Bの場合には特に図示はしないが、pMOSトランジスタP7は不要である。

30

40

【0043】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0044】

ヒステリシス比較器、順序回路は上記構成に限定されず適宜変更可能である。本発明の回路はMOS集積回路に限定されずバイポーラトランジスタを用いた回路に変更することも可能である。また、非接触通信のために図1Aの構成と図5の構成をそれぞれの半導体チップに併せ持ってもよい。図1AにおいてノードBとは逆極性のノードの出力をD型フ

50

リップフロップ 2 3 に供給したり、図 5 において反対側のを出力ノードを出力に用いることも可能である。また、上記説明では論理値 1 をハイレベルとする正論理で説明したが本発明はそれに限定されず負論理を適用することも可能である。本発明は半導体チップ間の通信に限定されず、フレキシブル基板に搭載された回路間、フレキシブル基板に搭載された回路と半導体チップ間の通信にも適用することが可能である。本発明において基板とは半導体チップやフレキシブル基板を意味する。双方向通信を行う場合にはそれぞれの基板が送信回路及び受信回路を搭載すればよい。

【図面の簡単な説明】

【0045】

【図 1 A】図 1 A は本発明に係る電子回路の第 1 の実施の形態を示すブロックダイアグラムである。 10

【図 1 B】図 1 B は図 1 A の電子回路における正常な送受信動作の波形図である。

【図 2 A】図 2 A は受信回路に適用可能な別の比較回路を例示する回路図である。

【図 2 B】図 2 B は図 2 A に比較回路を用いたときの正常な送受信動作の波形図である。

【図 3】図 3 はダブルパルスの誘導電圧による最初の電圧変化方向がヒステリシス比較器 2 2 の閾値電圧から離れる方向になるようするハイレベル（電源電圧 V_{DD} レベル）の場合に受信データの論理値が送信データとは逆になってしまう状態を示す波形図である。

【図 4】図 4 はエッジを検出してパルスを発生する送信回路の別の例を示す論理回路図である。

【図 5】図 5 は本発明に係る電子回路の第 2 の実施の形態を例示するブロックダイアグラムである。 20

【図 6 A】図 6 A は図 5 の電子回路において送信データの先頭を論理値 0 とし、ヒステリシス比較器 2 2 A の反転出力端子である $\neg Rxdata$ の初期値を論理値 1 とする場合の動作波形図である。

【図 6 B】図 6 B は図 5 の電子回路において図 6 B には送信データの先頭を論理値 1 とし、ヒステリシス比較器 2 2 A の反転出力端子である $\neg Rxdata$ の初期値を論理値 0 とする場合の動作波形図である。

【図 7 A】図 7 A は図 5 の電子回路において送信データの先頭にダミーデータ 0, 1 が付加され、ヒステリシス比較器 2 2 A の反転出力端子である $\neg Rxdata$ に対して初期化を行わない場合に当該ヒステリシス比較器の反転出力端子の初期値が 1 になっていた場合の動作波形図である。 30

【図 7 B】図 7 B は図 5 の電子回路において送信データの先頭にダミーデータ 0, 1 が付加され、ヒステリシス比較器の反転出力端子である $\neg Rxdata$ に対して初期化を行わない場合に当該ヒステリシス比較器 2 2 A の反転出力端子の初期値が 0 になっていた場合の動作波形図である。

【図 8】図 8 は特許文献 1 に記載の同期式比較器で構成された受信器の説明図である。

【図 9】図 9 は本発明者が先に検討した非同期による送受信を行う発明についての説明図である。

【図 10】図 10 は図 9 に対して送信器の電力消費を減らすために送信データの論理値が変化するときだけその変化に応じた電流信号を流すようにした場合に受信コイルに発生するダブルパルスの電圧信号をヒステリシス比較器を用いて受信することができないことを示す説明図である。 40

【図 11】図 11 は図 9 に更に検討を加えた結果送信電流 I_T の一つのシングルパルスの前後の波形を非対称にすることで受信コイルに発生するダブルパルスの電圧信号の後半の振幅を低く抑えて送受信を正しく行うことを示す説明図である。

【符号の説明】

【0046】

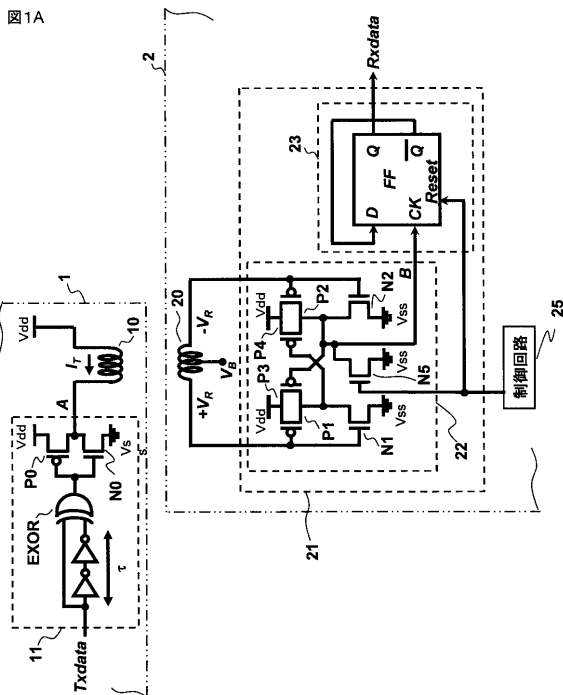
1、1 A 半導体チップ

2、2 A 半導体チップ

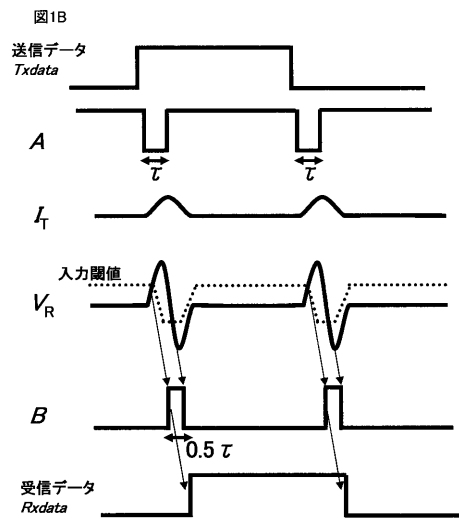
10、10 A 送信用のコイル

- 11、11A 送信回路
 20、20A 受信用のコイル
 21、21A 受信回路
 22、22A ヒステリシス比較器
 23 フリップフロップ（順序回路）
 N5、P7 初期化用のMOSトランジスタ
 25 制御回路

【図1A】

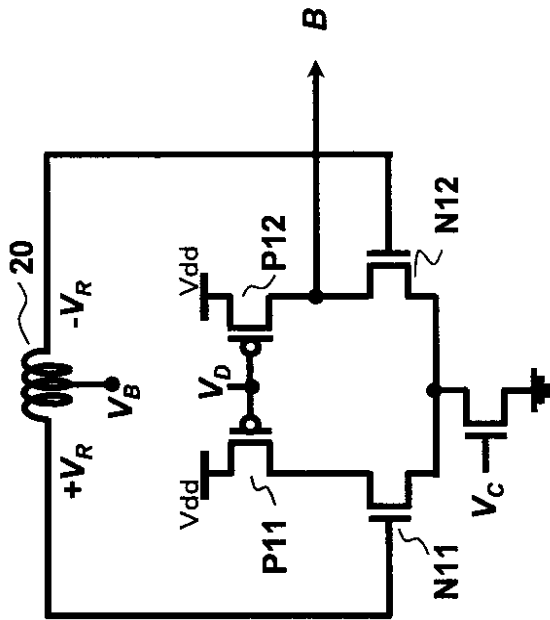


【図1B】



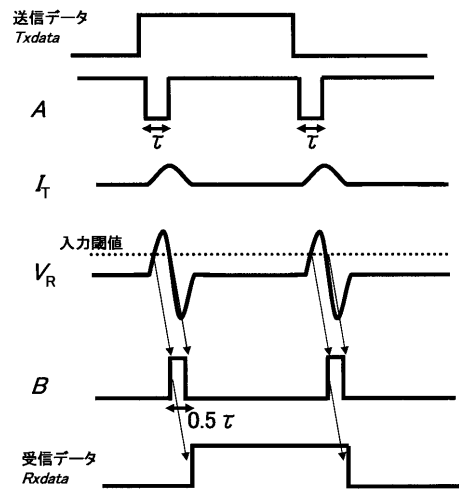
【図 2 A】

図2A



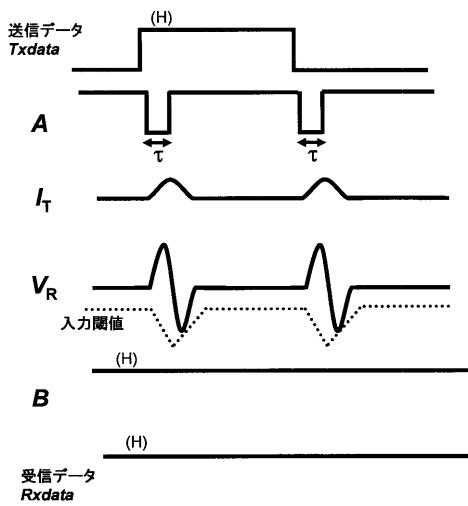
【図 2 B】

図2B



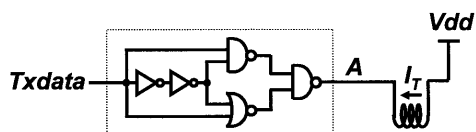
【図 3】

図3



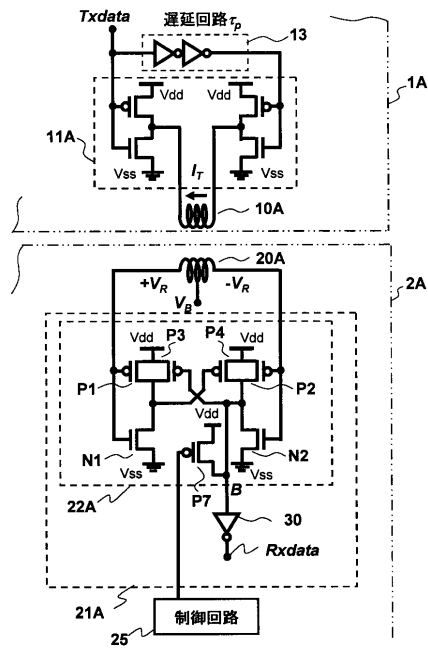
【図 4】

図4

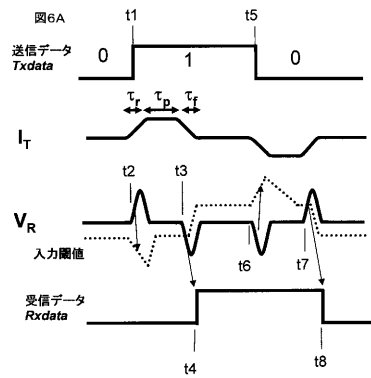


【図 5】

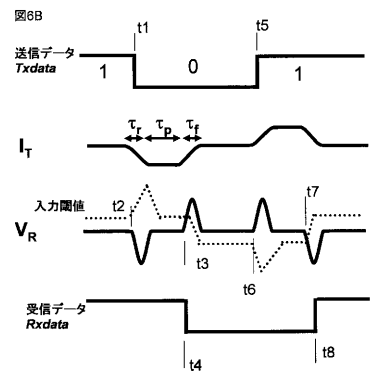
図5



【図 6 A】

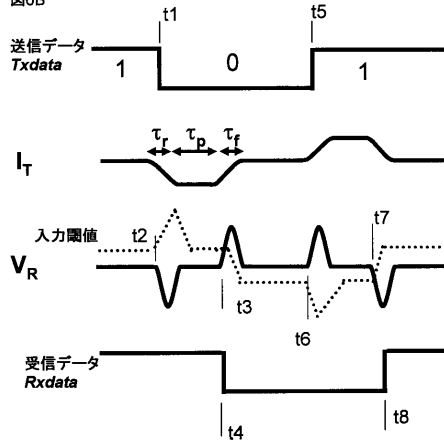


3961 01JP01

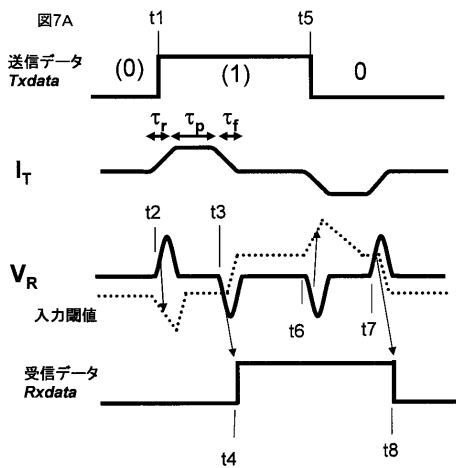


【図 6 B】

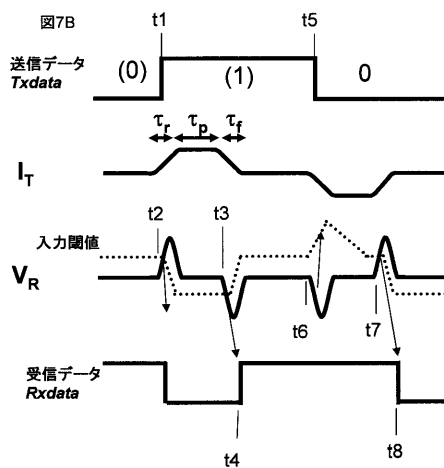
図6B



【図 7 A】

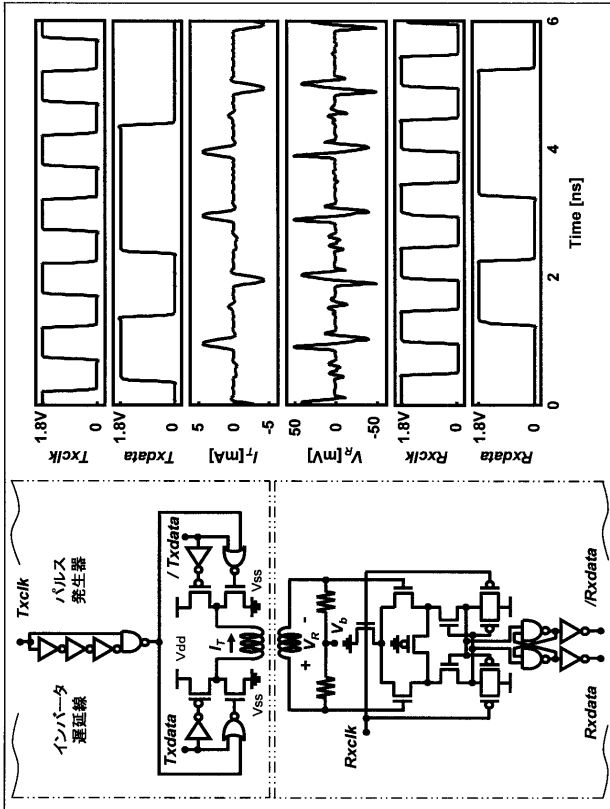


【図 7 B】



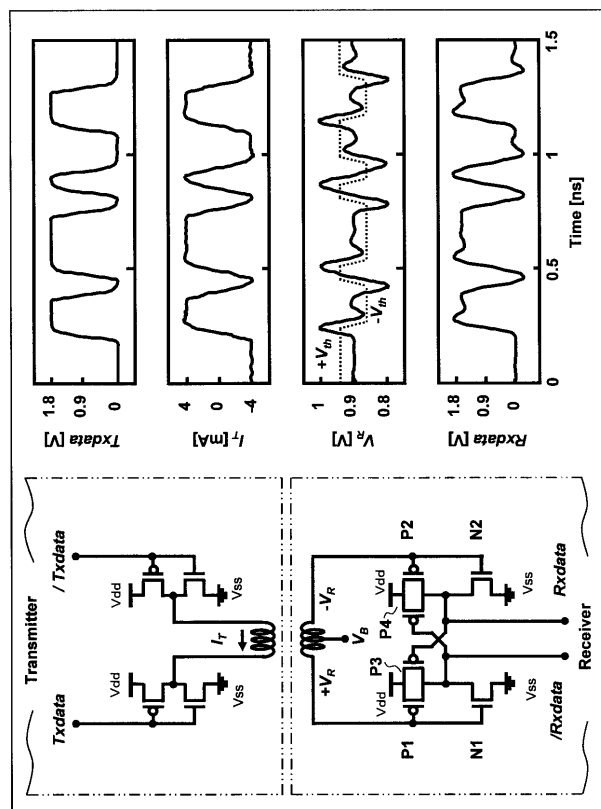
【図 8】

図8



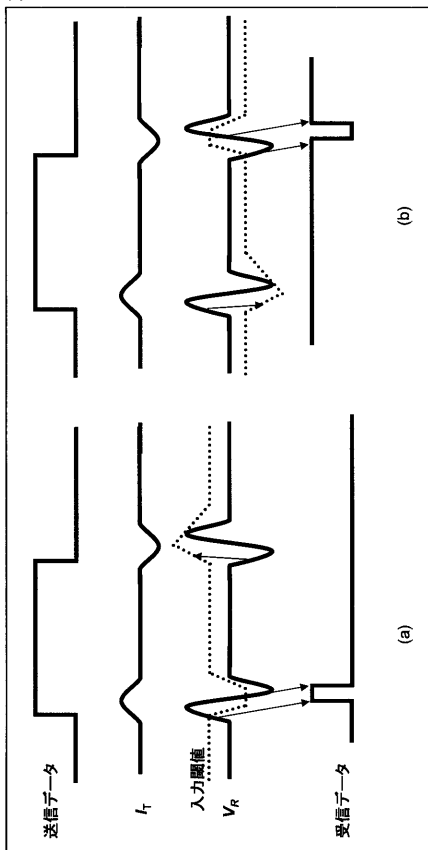
【図 9】

図9



【図 10】

図10



【図 11】

図11

