

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成30年6月7日(2018.6.7)

【公表番号】特表2017-517077(P2017-517077A)

【公表日】平成29年6月22日(2017.6.22)

【年通号数】公開・登録公報2017-023

【出願番号】特願2016-570976(P2016-570976)

【国際特許分類】

G 06 F 12/00 (2006.01)

【F I】

G 06 F 12/00 5 6 4 A

【手続補正書】

【提出日】平成30年4月16日(2018.4.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリインターフェースにおける遅延制御のための方法であって、
遅延回路に電圧バイアスを供給することと、ここにおいて、前記電圧バイアスは、前記
遅延回路の遅延を制御する、

更新レートで前記電圧バイアスを更新することと、

前記遅延回路によって遅延されている信号のデータレートに基づいて、前記更新レート
を調整することと

を備え、

前記データレートは、前記メモリインターフェースの前記データレート動作を示す、方
法。

【請求項2】

前記更新レートを調整することは、

前記信号の前記データレートが第1のデータレートに略等しい場合、前記更新レートを
第1の更新レートに設定することと、

前記信号の前記データレートが第2のデータレートに略等しい場合、前記更新レートを
第2の更新レートに設定することと

を備え、

前記第1のデータレートは、前記第2のデータレートよりも低く、前記第1の更新レ
ートは、前記第2の更新レートよりも低い、

請求項1に記載の方法。

【請求項3】

前記電圧バイアスを更新することは、基準クロックに基づいて前記電圧バイアスを更新
することを備え、ここで、前記更新レートは、前記基準クロックのN個の周期あたり1回
の前記電圧バイアスの更新に略等しく、Nは整数であり、前記更新レートを調整することは、
Nを調整することを備える、請求項1に記載の方法。

【請求項4】

前記更新レートを調整することは、

前記信号の前記データレートが第1のデータレートに略等しい場合、Nを第1の値に設
定することと

前記信号の前記データレートが第2のデータレートに略等しい場合、Nを第2の値に設定することと

を備え、

前記第1のデータレートは、前記第2のデータレートよりも低く、Nの前記第1の値は、Nの前記第2の値よりも大きい、

請求項3に記載の方法。

【請求項5】

前記電圧バイアスを更新することは、

前記電圧バイアスの更新ごとに、基準クロックからパルス対を生成することと、ここにおいて、各パルス対は、第1のパルス及び第2のパルスを備え、前記第1のパルスは、前記第2のパルスに対して前記基準クロックの略1周期ぶん遅延されている、

各パルス対の前記第2のパルスを前記電圧バイアスによって制御された量ぶん遅延させることと、

パルス対ごとに、それぞれの前記第1のパルスとそれぞれの遅延された前記第2のパルスとの間の位相誤差を検出することと、

それぞれの検出された前記位相誤差に基づいて、パルス対ごとに前記電圧バイアスを更新することと

を備える、請求項1に記載の方法。

【請求項6】

前記遅延回路に第2の電圧バイアスを供給することと、ここにおいて、前記第2の電圧バイアスはまた、前記遅延回路の前記遅延を制御する、

前記更新レートで前記第2の電圧バイアスを更新することと

を更に備える、請求項1に記載の方法。

【請求項7】

メモリインターフェースにおける遅延制御のための装置であつて、

遅延回路に電圧バイアスを供給するための手段と、ここにおいて、前記電圧バイアスは、前記遅延回路の遅延を制御する、

更新レートで前記電圧バイアスを更新するための手段と、

前記遅延回路によって遅延されている信号のデータレートに基づいて、前記更新レートを調整するための手段と

を備え、

前記データレートは、前記メモリインターフェースの前記データレート動作を示す、装置。

【請求項8】

前記更新レートを調整するための前記手段は、

前記信号の前記データレートが第1のデータレートに略等しい場合、前記更新レートを第1の更新レートに設定するための手段と、

前記信号の前記データレートが第2のデータレートに略等しい場合、前記更新レートを第2の更新レートに設定するための手段と

を備え、

前記第1のデータレートは、前記第2のデータレートよりも低く、前記第1の更新レートは、前記第2の更新レートよりも低い、

請求項7に記載の装置。

【請求項9】

前記電圧バイアスを更新するための前記手段は、基準クロックに基づいて前記電圧バイアスを更新するための手段を備え、ここで、前記更新レートは、前記基準クロックのN個の周期あたり1回の前記電圧バイアスの更新に略等しく、Nは整数であり、前記更新レートを調整するための前記手段は、Nを調整するための手段を備える、請求項7に記載の装置。

【請求項10】

前記更新レートを調整するための前記手段は、

前記信号の前記データレートが第1のデータレートに略等しい場合、Nを第1の値に設定するための手段と、

前記信号の前記データレートが第2のデータレートに略等しい場合、Nを第2の値に設定するための手段と

を備え、

前記第1のデータレートは、前記第2のデータレートよりも低く、Nの前記第1の値は、Nの前記第2の値よりも大きい、

請求項9に記載の装置。

【請求項11】

前記電圧バイアスを更新するための前記手段は、

前記電圧バイアスの更新ごとに、基準クロックからパルス対を生成するための手段と、ここにおいて、各パルス対は、第1のパルス及び第2のパルスを備え、前記第1のパルスは、前記第2のパルスに対して前記基準クロックの略1周期ぶん遅延されている、

各パルス対の前記第2のパルスを前記電圧バイアスによって制御された量ぶん遅延させるための手段と、

パルス対ごとに、それぞれの前記第1のパルスとそれぞれの遅延された前記第2のパルスとの間の位相誤差を検出するための手段と、

それぞれの検出された前記位相誤差に基づいて、パルス対ごとに前記電圧バイアスを更新するための手段と

を備える、請求項7に記載の装置。

【請求項12】

前記遅延回路に第2の電圧バイアスを供給するための手段と、ここにおいて、前記第2の電圧バイアスはまた、前記遅延回路の前記遅延を制御する、

前記更新レートで前記第2の電圧バイアスを更新するための手段と

を更に備える、請求項7に記載の装置。