(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 21/336

(45) 공고일자 2004년03월26일
(11) 등록번호 10-0400070
(24) 등록일자 2003년09월19일

(21) 출원번호 10-1997-0003662
(22) 출원일자 1997년02월06일

(65) 공개번호 10-1998-0005897
(43) 공개일자 1998년03월30일

(30) 우선권주장
96-020802 1996년02월07일 일본(JP)
96-183004 1996년07월12일 일본(JP)
96-326507 1996년12월06일 일본(JP)

(73) 특허권자
마츠시타 덴끼 산교 가부시키가이샤
일본 오오사카후 가도마시 오오아자 가도마 1006

(72) 발명자
아라이 마사토시
일본국 나라켄 이코마시 히가시야마쵸 211-21-1-206

세가와 미즈키
일본국 오사카후 히라카타시 나가오모토마치 7쵸메 11반 64고

야부 도시키
일본국 오사카후 히라카타시 나가오다이 4쵸메 14반 1고

(74) 대리인
김영철

심사관 : 정회환

(54) 반도체장치및그제조방법

요약

본 발명은 고성능이면서 고신뢰성의 MOS형 전계효과 트랜지스터를 탑재한 반도체 장치 및 그 제조방법을 제공하기 위한 것이다. 소자분리체(4)를 형성한 실리콘 기판(1)상에 게이트 산화막(2) 및 게이트 전극(3)을 형성한다. 다음으로, 4단계의 큰 경사각의 이온 주입법에 의해 25 ° 경사진 방향에서 질소이온을 주입하고, 게이트 산화막(2)의 양단부에 산질화층(5a)을 형성하고, 실리콘 기판(1)내에 질소 확산층(6a)을 형성한다. 그 후, 불순물 이온의 주입에 의해 저농도 소스 · 드레인 영역(7)을 형성하고, 게이트 전극(3)의 양측면 상에 측벽(8)을 형성한 후, 불순물 이온의 주입에 의해 고농도 소스 · 드레인 영역(9)을 형성한다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예에 의한 nMOS형 전계효과 트랜지스터의 제조공정을 도시한 단면도.
도 2는 본 발명의 제 2 실시예에 의한 nMOS형 전계효과 트랜지스터의 제조공정을 도시한 단면도.
도 3은 본 발명의 제 3 실시예에 의한 CMOS 장치의 제조공정을 도시한 단면도.
도 4는 본 발명의 제 4 실시예에 의한 CMOS 장치의 제조공정을 도시한 단면도.
도 5는 본 발명의 제 5 실시예에 의한 CMOS 장치의 제조공정을 도시한 단면도.
도 6은 본 발명의 제 6 실시예에 의한 CMOS 장치의 제조공정을 도시한 단면도.
도 7은 본 발명의 제 7 실시예에 의한 불순물 확산층의 제조공정을 도시한 단면도.
도 8은 질소를 도입한 붕소, BF_2 확산층 및 질소를 도입하지 않은 붕소, BF_2 확산층의 농도 프로파일을 도시한 도면.
도 9는 본 발명의 제 8 실시예에 의한 pMOS형 전계효과 트랜지스터의 제조공정을 도시한 흐름도.
도 10은 본 발명의 제 8 실시예에 의한 pMOS형 전계효과 트랜지스터의 제조공정을 도시한 단면도.
도 11은 본 발명의 제 8 실시예에 의한 효과를 설명하기 위한 임계값의 게이트 길이 의존 특성에 관한 데이터를 도시한 도면.
도 12는 본 발명의 제 8 실시예에 의한 효과를 설명하기 위한 포화 전류 특성에 관한 데이터를 도시한 도면.
도 13은 본 발명의 제 8 실시예에 의한 효과를 설명하기 위한 실리사이드화 영역 계면의 면적에 대한 콘택트 저항의 의존 특성에 관한 데이터를 도시한 도면.
도 14는 본 발명의 제 8 실시예에 의한 효과를 설명하기 위한 n채널측 트랜지스터의 게이트 저항의 게이트폭 의존 특성에 관한 데이터를 도시한 도면.
도 15는 본 발명의 제 8 실시예에 의한 효과를 설명하기 위한 시트 저항의 실리사이드폭 의존 특성에 관한 데이터를 도시한 도면.
도 16은 본 발명의 제 8 실시예에 의한 pMOS형 전계효과 트랜지스터의 소스 · 드레인 영역과, 붕소만을 주입하여 얻어진 종래의 pMOS형 전계효과 트랜지스터의 소스 · 드레인 영역의 차이를 설명하기 위한 단면도.
도 17은 본 발명의 제 8 실시예에 의한 pMOS형 전계효과 트랜지스터의 소스 · 드레인 영역과, 붕소만을 주입하여 얻어진 종래의 pMOS형 전계효과 트랜지스터의 소스 · 드레인 영역의 차이가 발생하는 이유를 설명하기 위한 도면.
도 18은 본 발명의 제 9 실시예에 의한 pMOS형 전계효과 트랜지스터의 제조공정을 도시한 단면도.
도 19는 본 발명의 제 10 실시예에 의한 pMOS형 전계효과 트랜지스터의 제조공정을 도시한 단면도.
도 20은 본 발명의 제 11 실시예에 의한 pMOS형 전계효과 트랜지스터의 제조공정을 도시한 단면도.
도 21은 본 발명의 제 12 실시예에 의한 npn 바이폴라 트랜지스터의 제조공정을 도시한 단면도.
도 22는 종래의 nMOS형 전계효과 트랜지스터의 제조공정을 도시한 단면도.
도 23은 종래의 pMOS형 전계효과 트랜지스터의 소스 · 드레인 영역에서의 붕소, BF_2 의 농도 프로파일도.
도 24는 종래의 붕소, BF_2 를 주입하여 형성되는 소스 · 드레인 영역을 갖는 pMOS형 전계효과 트랜지스터의 쿼지-스태틱 C-V 특성을 도시한 도면.
도 25는 종래의 pMOS형 전계효과 트랜지스터의 플래트밴드 전압의 붕소 및 BF_2 의 주입 도즈량 의존성을 도시한 도면.
* 도면의 주요부분에 대한 부호의 설명 *
1, 57, 71 : 실리콘 기판 2, 32, 53 : 게이트 산화막
3, 33, 54 : 게이트 전극 4, 52 : 소자분리체
5, 5a, 57 : 산질화층 6, 6a, 77 : 질소 확산층
7 : n형 저농도 소스 · 드레인 영역
8, 58 : 측벽 9 : n형 고농도 소스 · 드레인 영역
10 : 게이트 상부 산화막 12 : p형 저농도 소스 · 드레인 영역
13 : p형 고농도 소스 · 드레인 영역
21 : n형 실리콘 기판 22 : p형 확산층
23, 38 : 붕소 · 질소 혼재층(질소 확산층)
31 : n웰 34, 55 : 소스 · 드레인 확장 영역
35 : 포켓 영역 36 : 절연체 측벽
37, 59 : 소스 · 드레인 영역 39 : 실리사이드막
40 : 층간 절연막 41 : 매립 플래그
56 : 질소 확장층 72 : 매립 컬렉터층
73 : 에피택시얼층 75 : 컬렉터층
78 : 베이스층 81a, 81b, 81c : 포토레지스트막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 MIS(금속절연반도체)형 전계효과 트랜지스터나 바이폴라 트랜지스터를 탑재한 반도체 장치 및 그 제조 방법에 관한 것으로, 특히 불순물 확산층이나 게이트 절연막 구조의 개선에 의한 반도체 장치의 성능, 신뢰성의 향상 대책에 관 한 것이다.

종래부터 반도체 기판 상에 게이트 산화막을 통하여 게이트 전극을 설치하고, 게이트 전극의 양측에 불순물 확산영역(소스 · 드레인 영역)을 설치하여 이루어지는 MIS형 전계효과 트랜지스터에 있어서 게이트 산화막의 역할은 매우 중요하다. 특히, 최근처럼 소자의 미세화, 구동전압의 저전압화, 동작의 고속화가 요구되는 반도체 장치에 있어서, 높은 신뢰성을 유지하면서 이들의 요구에 부응하기 위해서는 게이트 산화막의 두께 등 물리적 치수뿐만 아니라, 게이트 산화막의 구조에 관해서도 다양하고 깊은 연구가 필요하다.

이와 같은 게이트 산화막의 구조를 개선하는 기술의 하나로써 CMOS(상보형 금속산화반도체) 장치 중 특히 nMOS형 트랜지스터의 핫 캐리어에 의한 게이트 산화막의 기능 열화(임계값 전압의 변동)를 억제하고, 신뢰성의 향상을 실현하기 위해 게이트 산화막 중에 산질화층을 형성하는 기술이 있다. 예를 들면, 1993, IEEE, IEDM93 다이제스트 P325 328에 나타난 방법에는, 게이트 전극의 형성 후, 질소이온을 게이트 전극 및 반도체 기판 내에 주입하고, 이 질소를 게이트 전극 내에서 나중의 후처리에 의해 확산시켜 게이트 산화막 중에 산질화층을 형성시키도록 하고 있다. 이하, 이 방법을 이용하여 산질화층을 형성하는 공정에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

우선, 도 22(a)에 도시된 공정에서는, 실리콘 기판(1)의 일부에 소자분리체(4)를 형성하고, 소자분리체(4)로 둘러싸인 활성영역 내의 실리콘 기판(1)상에 산화막을 형성하고 또 폴리실리콘막을 퇴적한 후, 포토리소그라피 및 드라이에칭 공정에 의해 산화막 및 폴리실리콘막을 패터닝하여 게이트 산화막(2) 및 게이트 전극(3)을 형성한다.

다음에 도 22(b)에 도시된 공정에서는, 기판의 윗쪽으로부터 게이트 전극(3) 및 활성영역 내의 실리콘 기판(1) 중에 질소 이온(N^+)을 주입한 후, 열처리에 의해 질소 이온을 확산시켜 게이트 산화막(2) 중에 산질화층(5)을 형성함과 동시에, 실리콘 기판(1) 내의 표면 부근의 영역에 질소 확산층(6)을 형성한다.

다음에 도 22(c)에 도시된 공정에서는, 거의 수직 방향에서 저농도의 비소이온(As^+)을 주입하고, 실리콘 기판(1) 내의 표면 부근의 영역에 n형 저농도 소스 · 드레인 영역(7)을 형성한다.

다음에 도 22(d)에 도시된 공정에서는, 기판 상에 두꺼운 실리콘 산화막을 퇴적한 후 에칭을 행하여 게이트 전극(3)의 양측면 상에 측벽(8)을 형성한 후, 또 거의 수직 방향에서 고농도의 비소이온(As^+)을 주입하여 상기 n형 저농도 소스 · 드레인 영역(7)의 바깥쪽으로 n형 고농도 소스 · 드레인 영역(9)을 형성한다.

다만, CMOS 장치 전체의 구조로서, nMOS형 전계효과 트랜지스터의 게이트 전극 중에는 n형 불순물(비소)이 도핑되고, pMOS형 전계효과 트랜지스터의 게이트 전극 중에는 p형 불순물(붕소)이 도핑되어, 이른바 듀얼 게이트형의 구조를 채용한다.

이 상태에서, 실리콘 기판(1) 상에는 미세화, 저전압화, 고속 동작화에 적합한, 이른바 LDD 구조를 갖는 nMOS형 전계효과 트랜지스터를 형성할 수 있다. 그리 고, 트랜지스터의 게이트 산화막(2) 내에 산질화층(5)을 형성하는 것으로 핫 캐리어 열화를 억제하도록 하고 있다. 상기 문헌에는 질소 이온의 주입량이 많을수록 핫 캐리어 열화를 억제할 수 있다는 것이 나타나고, 특히 핫 일렉트론에 의한 특성의 열화(임계값의 상승 등)가 문제로 되는 nMOS형 전계효과 트랜지스터에 있어서 그 효과가 크다.

또 pMOS형 전계효과 트랜지스터측에 있어서는, 붕소가 기판 내의 표면 채널영역까지 통과하여 트랜지스터의 특성에 악영향을 미치는 것을 게이트 산화막 중의 산질화층에 의해 방지할 수 있는 효과가 얻어진다.

발명이 이루고자 하는 기술적 과제

그러나, 종래의 방법과 같이, 도 22(d)에 도시된 바와 같은 산질화층(5)을 형성하면, 오히려 트랜지스터의 구동력이 저하되는 등 트랜지스터의 특성이 열화되는 현상이 관찰되었다. 그 원인은, 산질화층(5)에 의한 게이트 전극(3) 내의 비소나 붕소 등 불순물의 확산 억제작용이 과대해져 듀얼 게이트 구조의 이점을 발휘할 수 없게 되거나, 게이트 전극의 공핍화에 의한 저항의 증대를 초래하는 등에 있다고 추측된다. 또, pMOS형 전계효과 트랜지스터의 게이트 산화막 중에 산질화층을 형성하면, 그 원인은 불명확하지만 트랜지스터의 상호 콘덕턴스가 감소하는 것도 보고되어 있다.

한편, 상기 문제와는 다른 문제로서, 트랜지스터 확산층의 특성상 다음과 같은 문제가 있다.

MOS 장치의 고속화, 고집적화에 필수가 되는 게이트 및 소스 드레인 확산층 의 저저항화의 대표적 기술인 살리사이드(Self-align-silicidation) 프로세스에서는 실리사이드를 형성할 때 확산층인 실리콘을 소비하는 것을 고려하여 안정되고 저저항인 실리사이드막을 두껍게 형성하고자 하면 얕은 접합 형성이 곤란하게 된다. 또 실리사이드 계면의 불순물 농도도 저하하여 기생저항이 높아지기 때문에 드레인 전류가 저하된다.

상기의 문제는, 특히 표면 채널형 p-MOSFET에 있어서 BF_2 (불화붕소-boron fluoride)이온을 주입하여 p형 확산층을 형성하는 경우에 현저하게 되는 것이지만, 그 경우에는, 다음과 같은 새로운 과제가 발생된다. 도 23은 실리콘 기판 중에 BF_2 이온을 가속 에너지가 30keV, 도즈량이 $2\times10^{15}\ cm^{-2}$ 의 조건에서 주입한 것과, B(붕소-boron) 이온을 가속 에너지가 10keV, 도즈량이 $2\times10^{15}\ cm^{-2}$ 조건에서 주입한 것의 각각을 1000℃, 10초간의 조건에서 활성화 열처리한 후의 붕소 SIMS 프로파일을 도시한 것이다.

우선, BF_2 주입의 경우, 불소와 붕소가 결합한 것이기 때문에 괴리를 일으켜 불순물 농도의 피크가 2개 존재한다(도 23 참조). 특히, 농도가 높은 피크가 기판 표면측에 존재하지만, 이 붕소는 나중에 실리사이드화 되는 영역에 존재하기 때문에 최종적인 확산층의 형성에는 기여하지 않고, 결과로서 실리사이드와 확산층의 계면의 농도도 본래 확산층이 가지고 있었을 농도의 피크로부터 저하된 농도로 되고, 이 부분의 콘택트 저항이 증대한다. 또, 표면 채널형 트랜지스터의 경우, 확산 층으로 불순물을 도입할 때, 동시에 게이트 전극 내에도 불순물이 도입되기 때문에, 게이트 전극으로부터 게이트 절연막을 통하여 기판 측으로 불순물이 빠지는 침투(penetration) 현상도 주의해야 한다.

다음에, 도 24는 BF_2 주입(30keV, 2×10^{15} cm^{-2})과 B주입(10keV, 2×10^{15} cm^{-2})의 쿼지-스태틱(Quasi-Static) C-V 특성을 도시한 도면이다. 통상적으로, 침투를 일으키지 않는 것의 파형의 플래트 밴드 전압은 0.86V이지만, BF_2 주입의 경우 약간 시프트하여 0.88V로 되어 약간의 침투가 발생하는 것을 알았다.
도 25는 플래트 밴드전압의 붕소 및 BF_2 의 주입 도즈량 의존성을 도시한 도면이다. BF_2 주입의 경우, 가속 에너지나 도즈량의 증가에 따라 플래트 밴드전압의 시프트도 커지고, 침투가 현저하게 된다. 이러한 점 때문에 BF_2 주입의 경우, 실리사이드 형성 후의 실리사이드와 확산층 계면에서의 불순물 농도를 높이기 위하여 불순물을 주입할 때 가속 에너지나 도즈량을 크게 하는 수단을 취하는 것은 게이트 전극으로부터 기판으로의 불순물 침투를 조장하는 것에 연루되기 때문에 성능이 좋은 트랜지스터를 형성하는 것은 곤란하게 된다.
상술한 문제점에 관한 설명은 BF_2 주입의 경우에 대하여 행하였으나, 한편으로는 B 주입의 경우, 게이트 전극으로부터 기판으로의 붕소의 침투에 대해서는 BF_2 주입의 경우보다 문제점이 완화되지만(도 24 및 도 25 참조), 도 13에 도시된 바와 같이, 소스 · 드레인 영역과 기판 영역 사이의 pn 접합부가 깊은 부위에 형성되기 때문에 미세한 장치로의 적용은 곤란하다.
본 발명의 제 1 목적은, 게이트 산화막 중에서의 산질화층의 구조를 개선함으로써 고성능의 신뢰성이 높은 반도체 장치 및 그 제조 방법을 제공하기 위한 것이다.
본 발명의 제 2 목적은, 얕은 접합 형성을 필요로 하는 반도체 소자에 관하여 특성 열화나 가격을 증가시키지 않고 확산을 억제하여 얕은 접합을 형성하여 고성능의 미세 장치를 실현하는 것에 있고, 특히, 확산층을 실리사이드화 하는 살리사이드 프로세스와 표면 채널형의 p-MOSFET를 갖는 듀얼 게이트를 함께 실현함에 있어서, 붕소의 침투를 억제하면서 저저항의 실리사이드막을 형성하고, 얕은 접합을 형성하기 위한 것이다.

발명의 구성 및 작용

상기 제 1 목적을 달성하기 위하여 본 발명이 강구한 수단은, 게이트 산화막의 적어도 드레인 측단부에 산질화층을 설치함으로써, 핫 캐리어 열화의 억제와, 게이트의 공핍화 등에 의한 성능의 저하를 방지하는 것에 있다. 구체적으로는, 상기 제 1~8 특징에 기재된 제 1 반도체 장치에 관한 수단과, 상기 제 21 43 특징에 기재된 제 1 반도체 장치의 제조 방법에 관한 수단을 강구하고 있다.
상기 제 2 목적을 달성하기 위하여 본 발명이 강구한 수단은, 불순물 확산층에 질소와 반도체 원자의 충돌에 기인하는 검지 레벨 이상의 결함을 발생시키지 않는 상태에서 질소를 도입함으로써, 결함에 의한 특성의 열화를 방지하면서 불순물 확산층의 농도 프로파일을 개선하는 것에 있다. 구체적으로는, 상기 제 9 20 특징에 기재된 제 2 반도체 장치에 관한 수단과, 상기 제 44 60 특징에 기재된 제 2 반도체 장치의 제조 방법에 관한 수단을 강구하고 있다.
본 발명의 제 1 반도체 장치의 제 1 특징은, 반도체 기판 상에 MIS형 전계효과 트랜지스터를 탑재한 반도체 장치에 있어서, 상기 MIS형 전계효과 트랜지스터는 상기 반도체 기판의 일부에 형성되는 활성영역과, 상기 활성영역 위에 형성되는 게이트 산화막과, 상기 게이트 산화막 위에 형성되는 게이트 전극과, 상기 활성영역 중 상기 게이트 전극의 양측방에 위치하는 영역에 불순물을 도입하여 형성되는 소스 영역 및 드레인 영역과, 상기 게이트 산화막의 양단부 중 적어도 상기 드레인 영역측의 단부에 형성되는 산질화층을 포함한다.
이로써, 산질화층이 게이트 산화막의 단부에만 형성되어 있으므로, 게이트 전극 중 불순물의 아래 방향으로의 확산이 방해되는 점과 게이트 전극의 공핍화 등에 기인하는 트랜지스터 성능의 열화가 방지된다. 한편, 핫 캐리어 열화는 핫 캐리어가 드레인측의 게이트 절연막에 포획되는 것이 원인이 되지만, 이와 같이, 열화의 원인으로 되는 드레인측의 게이트 산화막에 효과적으로 산질화층이 형성되므로, 핫 캐리어 신뢰성을 향상시킬 수 있다.
본 발명의 제 2 특징은 상기 제 1 특징에 있어서, 상기 질화층을 상기 게이트 산화막의 양단부에 형성하는 것이 바람직하다.
이로써, 핫 캐리어 열화의 억제 기능이 보다 확실하게 얻어진다.
본 발명의 제 3 특징은, 상기 제 1 특징에 있어서, 상기 소스 영역 및 드레 인 영역 중 적어도 드레인 영역의 일부에 형성되는 질소 확산층을 추가로 포함할 수 있다.
이로써, 반도체 기판 내에 형성되는 질소 확산층에 의하여 이온 주입시의 채널링이 방지되므로, 소스 영역 및 드레인 영역을 안정하게 형성할 수 있는 구조로 되어 트랜지스터의 특성이 안정된다.
본 발명의 제 4 특징은, 상기 제 3 특징에 있어서, 상기 질소 확산층을 상기 소스 영역 및 드레인 영역보다 얕게 형성할 수 있다.
이로써, 반도체 기판 내 특히 표면 부근의 영역에서의 불순물 농도가 높아지므로 시트 저항을 저감할 수 있다.
본 발명의 제 5 특징은, 상기 제 1 특징에 있어서, 반도체 기판 상에 nMIS형 전계효과 트랜지스터와 pMIS형 전계효과 트랜지스터를 포함하고, 상기 MIS형 전계효과 트랜지스터를 상기 nMIS형 전계효과 트랜지스터로 하고, 상기 pMIS형 전계효과 트랜지스터가 상기 반도체 기판의 일부에 형성되는 활성영역과, 상기 활성영역 위에 형성되는 게이트 산화막과, 상기 게이트 산화막 위에 형성되는 게이트 전극과, 상기 활성영역 중 상기 게이트 전극의 양측방에 위치하는 영역에 불순물을 도입하여 형성되는 소스 영역 및 드레인 영역을 포함하고, 상기 pMIS형 전계효과 트랜지스터의 게이트 산화막에는 산질화층이 형성되지 않은 것, 즉 게이트 산화막은 그 중앙부 및 양단부가 동일 조성인 것으로 할 수 있다.
이로써, nMIS형 전계효과 트랜지스터에 있어서, 상술한 본 발명의 제 1 특징의 작용과 같은 작용이 얻어진다. 한편, pMIS형 전계효과 트랜지스터에 있어서는, 게이트 산화막에 산질화층이 형성되어 있지 않으므로, 상호 콘덕턴스의 저하를 회피할 수 있다.

본 발명의 제 6 특징은, 상기 제 5 특징에 있어서, 상기 nMIS형 전계효과 트랜지스터는 상기 소스 영역 및 드레인 영역 내의 적어도 일부에 형성되는 질소 산화층을 추가로 포함할 수 있다.
이로써, 각각 상기 제 2 및 제 3 특징과 동일한 작용을 얻을 수 있다.
본 발명의 제 7 특징은, 상기 제 6 특징에 있어서, 상기 질소 확산층을 상기 소스 영역과 드레인 영역 중 어느 하나 보다 얕게 형성할 수 있다.
이로써, 상기 제 4 특징과 같은 작용이 얻어진다.
본 발명의 제 8 특징은, 상기 제 1 내지 제 7 특징에 있어서, 상기 게이트 전극 위에 상기 게이트 전극과 동시에 패터닝되는 게이트 상부 절연막을 추가로 포함할 수 있다.
이로써, 불순물 이온 주입이나 열확산, 플라즈마 질화 등에 의해 게이트 산화막의 단부에 질소를 도입하여 산질화층을 형성할 때 게이트 전극 상부가 절연막에 의하여 보호된 구조로 되어 있으므로, 게이트 전극의 공핍화 등에 기인하는 트랜지스터의 특성 열화를 확실하게 방지할 수 있다.
본 발명의 제 9 특징인 제 2 반도체 장치는, 반도체 기판과, 상기 반도체 기판 내의 활성영역의 위에 형성되는 캐리어 절연막과, 상기 게이트 절연막 위에 형성되는 게이트 전극과, 상기 활성영역 중 상기 게이트 전극의 양측방에 위치하는 영역 내에 형성되어 캐리어 생성용의 제 1 도전형 불순물을 포함하는 소스 영역 및 드레인 영역과, 상기 활성영역 중 상기 소스 영역 및 드레인 영역 사이에 형성되어 제 2 도전형 불순물을 포함하는 채널 영역을 갖는 MIS형 전계효과 트랜지스터이고, 상기 소스 영역 및 드레인 영역으로 되는 불순물 확산층의 적어도 일부를 포함하는 영역에 반도체 원자와의 충돌에 기인하는 결함이 검지레벨을 초과하지 않는 상태에서 도입된 질소를 함유하는 질소 확산층을 포함한다.
이로써, 불순물 확산층 내의 제 1 도전형 불순물의 확산이 질소의 존재에 의하여 억제되므로, 불순물 확산층 내 중에서 제 1 도전형 불순물의 농도가 높은 영역은 반도체 기판 표면 부근의 영역에 집중된다. 따라서, 불순물 확산층의 시트 저항이 매우 작아지고, 이와 같은 작은 시트 저항을 갖는 불순물 확산층을 이용하여 특성이 우수한 각종 반도체 장치를 얻을 수 있다. 게다가, 불순물 확산층 내에서의 결함이 매우 적으므로, 반도체 장치의 특성에 미치는 악영향도 회피된다.
본 발명의 제 10 특징은, 상기 제 9 특징에 있어서, 상기 불순물 확산층 내에서의 상기 제 1 도전형 불순물의 농도가 반도체 기판 내의 표면 부근 영역의 최대 농도 위치로부터 상기 반도체 기판의 안쪽을 향하여 감소됨과 동시에, 그 감소 비율이 상기 최대 농도 위치를 통과한 그 아래쪽의 소정 위치에 달하기까지는 크고, 상기 소정 위치보다 안쪽을 향하는 영역에서는 감소 비율이 작아지는 분포를 갖도록 구성하는 것이 바람직하다.
이로써, 불순물 확산층 내 중에서 제 1 도전형 불순물의 농도 프로파일이 이상적으로 되고, 상기 제 1 특징의 작용효과를 현저하게 거둘 수 있다.
본 발명의 제 11 특징은, 상기 제 9 또는 제 10 특징에 있어서, 상기 불순물 확산층 위에 형성되는 실리사이드막을 추가로 포함하고, 상기 불순물 확산층 내에서의 상기 제 1 도전형 불순물의 최대 농도 위치가 상기 실리사이드막과의 계면 바로 아래쪽에 있게 할 수 있다.
이로써, BF_2 주입에 의하여 확산을 제한한 경우와 같이 농도의 피크가 기판 표면의 바로 아래 부근은 아니고 기판 표면에서 조금 들어간 곳에 있으므로, 실리사이드막이 형성되면 실리사이드막의 바로 아래쪽에 농도의 피크 위치가 존재하게 된다. 따라서, 불순물 확산층의 시트 저항이 매우 작아짐과 동시에 접합 리크도 저감된다.
본 발명의 제 12 특징은, 상기 제 9 특징에 있어서, 상기 반도체 장치를 반도체 기판 내의 활성영역 위에 형성되는 게이트 절연막과, 상기 게이트 절연막 위에 형성되는 게이트 전극과, 상기 활성영역 중 상기 게이트 전극의 양측방에 위치하는 영역 내에 형성되어 제 1 도전형 불순물을 포함하는 소스 영역 및 드레인 영역과, 상기 활성영역 중 상기 소스 영역 및 드레인 영역 사이에 형성되어 제 2 도전형 불순물을 포함하는 채널 영역을 갖는 MIS형 전계효과 트랜지스터로 하고, 상기 질소 확산층을 상기 소스 영역 및 드레인 영역 각각의 적어도 일부를 포함하는 영역에 형성할 수 있다.
이로써, 시트 저항이 작은 소스 · 드레인 영역을 갖는 반도체 장치가 얻어진다.
본 발명의 제 13 특징은, 상기 제 9 특징에 있어서, 상기 게이트 전극의 양 측면 상에 형성되는 절연성 재료로 된 측벽과, 상기 소스 영역 및 드레인 영역과 상기 게이트 전극의 바로 아래쪽 영역 사이에 각각 형성되어 상기 소스 영역 및 드레인 영역보다 저농도의 제 1 도전형 불순물을 포함하는 확장(extention) 영역을 추가로 포함하고, 상기 질소 확산층을 상기 확장 영역에 걸쳐서도 형성할 수 있다.
본 발명의 제 14 및 15 특징은, 상기 제 9 특징과 제 13 특징에 있어서, 상기 질소 확산층이 상기 채널 영역에 걸쳐 있어도 된다.
상기 제 12 및 13 특징에 의해, 채널 영역에 있어서 pn 접합부분이 얕아지므로, 채널 저항을 저감할 수 있다.
본 발명의 제 16 특징은, 상기 제 9 특징에 있어서, 상기 소스 영역 및 드레인 영역 중 상기 캐리어 생성용 불순물의 농도가 소정값 이상의 영역을, 상기 채널 영역에 인접하는 부분에 있어서, 상기 질소가 없는 경우에 대하여 상기 반도체 기판 내의 표면 부근의 영역에서는 상기 채널 영역측으로 잠입하는 한편, 그 안쪽에서는 채널 영역측으로부터 멀어지도록 구성하는 것이 바람직하다.
이로써, 트랜지스터의 기생저항이 작아지고, 펀치스루에 대한 내성이 커져 단채널 효과의 억제 기능이 향상됨과 동시에 기생용량도 작아진다. 결국, 동작 속도가 높아지고 미세화에 적합한 구조가 얻어지게 된다.
본 발명의 제 17 및 18 특징은, 상기 특징들 중에서, 반도체 기판과, 상기 소스 영역 및 상기 드레인 영역 위에 형성되는 적어도 금속을 함유하는 도체막을 추가로 포함하고, 상기 소스 영역 및 드레인 영역 중 상기 질소 확산층이 형성되는 영역에서의 상기 캐리어 생성용 불순물의 최대 농도 위치는 상기 도체막과의 계면 부근에 있게 할 수 있다.
또, 상기 반도체 장치를 반도체 기판 내의 활성영역 위에 형성되는 게이트 절연막과, 상기 게이트 절연막 위에 형성되는 게이트 전극과, 상기 활성영역 중 상기 게이트 전극의 양측방에 위치하는 영역 내에 형성되어 제 1 도전형 불순물

을 포함하는 소스 영역 및 드레인 영역과, 상기 활성영역 중 상기 소스 영역 및 드레인 영역 사이에 형성되어 제 2 도전형 불순물을 포함하는 채널 영역을 갖는 MIS형 전계효과 트랜지스터로 하고, 상기 질소 확산층을 상기 소스 영역 및 드레인 영역 각각의 적어도 일부를 포함하는 영역에 형성하고, 상기 소스 영역 및 상기 드레인 영역 위에 형성되는 실리사이드막을 추가로 포함하고, 상기 소스 영역 및 드레인 영역 중 상기 질소 확산층이 형성되는 영역에서의 상기 캐리어 생성용 불순물의 최대 농도 위치는 상기 실리사이드막과의 계면 부근에 있게 할 수 있다.

이로써, 소스 · 드레인 영역에서의 시트 저항이 작고 접합 리크가 작은 MIS형 전계효과 트랜지스터가 얻어진다.

본 발명의 제 19 특징은, 반도체 기판과, 상기 반도체 기판 내의 활성영역 의 일부에 형성되어 제 2 도전형 불순물을 포함하는 이미터 영역과, 상기 활성영역 내에서 상기 이미터 영역을 둘러싸도록 형성되어 제 1 도전형 불순물을 포함하는 베이스 영역과, 상기 활성영역 내에서 상기 베이스 영역의 아래쪽을 포함하는 영역에 형성되어 제 2 도전형 불순물을 포함하는 컬렉터 영역을 갖는 바이폴라 트랜지스터이며, 상기 에미터 영역의 적어도 일부를 포함하는 영역에 반도체 원자와의 충돌에 기인하는 결함이 검지레벨을 초과하지 않은 상태에서 도입된 질소를 함유하는 질소 확산층을 포함할 수 있다.

이로써, 이미터 영역에서의 불순물 농도가 높은 영역이 반도체 기판의 표면 부근에 집중되므로, 이미터 영역의 저항이 작아지고, 전류 증폭율이 높은 바이폴라 트랜지스터가 얻어진다.

본 발명의 제 20 특징은 반도체 기판과, 상기 반도체 기판 내의 활성영역의 일부에 형성되어 제 2 도전형 불순물을 포함하는 이미터 영역과, 상기 활성영역 내에서 상기 이미터 영역을 둘러싸도록 형성되어 제 1 도전형 불순물을 포함하는 베이스 영역과, 상기 활성영역 내에서 상기 베이스 영역의 아래쪽을 포함하는 영역에 형성되어 제 2 도전형 불순물을 포함하는 컬렉터 영역을 갖는 바이폴라 트랜지스터이고, 상기 베이스 영역의 적어도 일부를 포함하는 영역에 반도체 원자와의 충돌에 기인하는 결함이 검지레벨을 초과하지 않은 상태에서 도입된 질소를 함유하는 질소확산층을 포함할 수 있다.

이로써, 베이스 영역에서의 불순물 농도 분포가 급격히 가파르게 되어 베이스 영역의 두께가 작아지므로, 베이스 저항이 저감되고, 높은 차단 주파수를 갖는 바이폴라 트랜지스터가 얻어진다.

본 발명에 의한 제 1 반도체 장치의 제조 방법은, 제 21 특징으로서, MIS형 전계효과 트랜지스터를 탑재한 반도체 장치의 제조 방법에 있어서, 반도체 기판 상에 활성영역을 둘러싸는 소자분리체를 형성하는 제 1 공정과, 상기 활성영역 위에 산화막 및 도체막을 퇴적하는 제 2 공정과, 상기 산화막 및 도체막을 패터닝하여 상기 MIS형 전계효과 트랜지스터의 게이트 산화막 및 게이트 전극을 각각 형성하는 제 3 공정과, 상기 게이트 산화막의 양단부 중 적어도 드레인 영역측의 단부에 질소를 도입하여 산질화층을 형성하는 것과 동시에 상기 활성 영역 중 적어도 드레인 영역이 형성되는 영역에 질소를 도입하여 상기 소스 영역 및 드레인 영역보다 얕은 질소 확산층을 형성하는 제 4 공정과, 상기 활성영역 중 상기 게이트 전극의 양측방에 위치하는 영역에 제 1 도전형 불순물을 도입하여 상기 MIS형 전계효과 트랜지스터의 소스 영역 및 드레인 영역을 형성하는 제 5 공정을 포함하고 있다.

이 방법에 의해, 상기 제 1 특징의 구성을 갖는 반도체 장치가 얻어진다.

본 발명의 제 22 특징은, 상기 제 21 특징에 있어서, 상기 제 4 공정은 상기 제 3 공정 후 상기 제 5 공정 전에 행하고, 상기 게이트 산화막 및 게이트 전극의 위쪽으로부터 큰 경사각의 이온 주입법에 의해 적어도 드레인 영역측으로 경사진 방향을 포함하는 방향에서 질소 이온을 주입함으로써 상기 산질화층을 형성할 수 있다.

이 방법에 의해, 질화 이온이 큰 경사각으로 주입되므로, 게이트 산화막의 단부에만 산질화층이 형성된다. 그 때, 게이트 전극 전체에 질소 이온을 주입하는 것에 비하여 주입 에너지가 강하고, 질소 이온의 농도를 옅게 하여도 핫 캐리어 열화를 억제하는데 충분한 산질화층을 형성할 수 있으므로, 게이트 전극의 공핍화를 초래하지 않는다. 또, 반도체 기판 내에 주입되는 질소량이 적어지므로 활성영역에서의 결정성의 흐트러짐도 가급적으로 저감된다. 따라서, 신뢰성이 높고 성능이 양호한 트랜지스터가 형성된다.

본 발명의 제 23 특징은, 상기 제 21 특징에 있어서, 상기 제 4 공정에서는 상기 드레인측으로 경사진 방향과 상기 소스 영역측으로 경사진 방향을 포함하는 적어도 2 이상의 방향에서 불순물 이온을 주입할 수 있다.

이 방법에 의해, 게이트 산화막의 양단부에 산질화층이 형성되므로, 핫 캐리어 열화가 더욱 적은 트랜지스터가 형성된다.

본 발명의 제 24 특징은, 상기 제 22 또는 23 특징에 있어서, 상기 제 4 공정에서는 상기 트랜지스터의 채널 방향으로 평행한 단면 내에서 상기 반도체 기판의 표면에 수직인 방향에 대하여 10 ° 이상 경사진 방향에서 불순물 이온을 주입할 수 있다.

이 방법에 의해, 확실하게 게이트 산화막의 단부에 산질화층을 형성할 수 있다.

본 발명의 제 25 특징은, 상기 제 21 특징에 있어서, 상기 제 4 공정을 적어도 질소를 포함하는 가스 분위기 중에서 상기 반도체 기판을 가열 처리함으로써 행할 수 있다.

본 발명의 제 26 특징은, 상기 제 25 특징에 있어서, 상기 제 4 공정을 암모니아 가스 분위기 중에서 행할 수 있다.

본 발명의 제 27 특징은, 상기 제 21 특징에 있어서, 상기 제 4 공정을 질소를 포함하는 가스 분위기 중에서 플라즈마를 발생시킴으로써 행할 수 있다.

상기 제 25 27 특징의 방법에 의해서도 상기 제 21 특징과 같은 효과를 얻을 수 있다.

상기 제 28 및 29 특징은, 상기 제 21 내지 27 특징에 있어서, 상기 제 4 공 정을 상기 소스 영역 및 드레인 영역에도 질소를 도입하도록 행할 수 있다.

이 방법에 의해, 시트 저항이 작은 소스 · 드레인 영역을 갖는 트랜지스터가 형성된다.

본 발명의 제 30 특징은, 상기 제 21 내지 27 특징에 있어서, 상기 제 4 공정 전에 상기 게이트 전극을 마스크로 하여 반도체 기판 내에 저농도의 제 1 도전형 불순물을 도입하여 저농도 소스 · 드레인 영역을 형성하는 공정과, 상기 제 4 공정 후 상기 제 5 공정 전에 상기 게이트 전극의 양측면 상에 절연체 측벽을 형성하는 공정을 추가로 포함할 수 있다.

이 방법에 의해, LDD 구조를 갖고, 시트 저항이 작은 소스 · 드레인 영역을 갖는 트랜지스터가 형성된다.
본 발명의 제 32 특징은, 상기 제 21 내지 27 특징에 있어서, 상기 제 5 공정 후, 상기 소스 영역 및 드레인 영역 위에 적어도 금속을 포함하는 저저항막을 형성하는 공정을 추가로 포함할 수 있다.
이 방법에 의해, 시트 저항이 매우 작은 소스 · 드레인 영역을 갖는 트랜지스터가 형성된다.
본 발명의 제 34 38 특징은, 상기 제 21 내지 33 특징에 있어서, 상기 제 2 공정에서는 상기 도체막 위에 절연막을 추가로 퇴적하고, 상기 제 3 공정에서는 상기 도체막 및 산화막과 동시에 상기 절연막을 패터닝하여 상기 게이트 전극 위에 게이트 상부 절연막을 형성할 수 있다.
이 방법에 의해, 게이트 전극 내로의 질소의 도입량을 억제할 수 있으므로, 게이트 전극의 공핍화에 기인하는 트랜지스터의 구동력 저하를 확실하게 방지할 수 있다.
본 발명의 제 39 특징은, 상기 제 21 특징에 있어서, 상기 제 1 공정에서는 nMIS형 전계효과 트랜지스터를 형성하기 위한 제 1 활성영역과 상기 pMIS형 전계효과 트랜지스터를 형성하기 위한 제 2 활성영역을 개별적으로 둘러싸는 소자분리체를 형성하고, 상기 제 2 공정에서는 상기 제 1 및 제 2 활성영역 위에 산화막 및 도체막을 퇴적하고, 상기 제 3 공정에서는 상기 산화막 및 도체막을 패터닝하여 상기 제 1 및 제 2 활성영역 위에 nMIS형, pMIS형 전계효과 트랜지스터의 게이트 산화막 및 게이트 전극을 각각 형성하고, 상기 제 4 공정에서는, 상기 nMIS형 전계효과 트랜지스터의 게이트 산화막의 양단부 중 적어도 드레인 영역 측의 단부에 질소를 도입하여 산질화층을 형성하고, 상기 제 5 공정에서는, 상기 제 1 및 제 2 활성영역 중 상기 게이트 전극의 양측방에 위치하는 영역에 제 1, 제 2 도전형 불순물을 각각 도입하여 상기 nMIS형 및 pMIS형 전계효과 트랜지스터의 소스영역 및 드레인 영역을 형성할 수 있다.
이 방법에 의하여, 제 1 활성영역에서는 신뢰성이 높고 성능이 양호한 nMIS형 전계효과 트랜지스터가 제조된다. 한편, 제 2 활성영역에서는 산질화층이 형성되지 않음으로써 상호 컨덕턴스 특성이 양호한 pMIS형 전계효과 트랜지스터가 형성되게 된다.
본 발명의 제 40 특징은, 상기 제 39 특징에 있어서, 상기 제 3 공정 후 상기 제 5 공정 전에 상기 제 2 활성영역을 덮는 제 1 마스크 부재를 형성하는 공정 을 추가로 포함하고, 상기 제 4 공정에서는 상기 마스크 부재를 형성한 상태에서 상기 제 1 활성영역 상의 윗쪽 또는 적어도 드레인 영역측으로 경사진 방향에서 질소이온을 주입함으로써 상기 산질화층을 형성할 수 있다.
이 방법에 의해, 신뢰성이 높고 성능이 양호한 nMIS형 전계효과 트랜지스터가 용이하게 제조된다.
본 발명의 제 41 특징은, 상기 제 39 또는 40 특징에 있어서, 상기 제 3 공정 후 상기 제 5 공정 전에 상기 제 1 활성영역을 덮는 제 2 마스크 부재를 형성하는 공정과, 상기 제 2 마스크 부재를 형성한 상태에서 상기 반도체 기판의 표면에 대하여 거의 수직인 방향에서 상기 제 2 활성영역 내에 질소이온을 주입하는 공정을 추가로 포함할 수 있다.
이 방법에 의해, 제 2 활성영역 내에 질소 확산층이 형성되므로, 제 5 공정에서의 소스 영역 및 드레인 영역을 형성할 때 불순물 이온의 채널링이 방지되어 소스 영역 및 드레인 영역이 안정되게 형성된다.
본 발명의 제 42 및 43 특징은, 상기 제 39 내지 41 특징에 있어서, 상기 제 2 공정에서는 상기 도체막 위에 절연막을 추가로 퇴적하고, 상기 제 3 공정에서는 상기 도체막 및 산화막과 동시에 상기 절연막을 패터닝하여 상기 제 1 및 제 2 활성영역 내의 상기 게이트 전극 위에 게이트 상부 절연막을 형성할 수 있다.
이 방법에 의해, 게이트 전극의 공핍화가 작고 구동력이 큰 CMOS형 전계효과 트랜지스터가 형성된다.
본 발명의 제 2 반도체 장치의 제조 방법은, 상기 제 44 특징에 기재된 바와 같이, 반도체 기판의 반도체 영역 내에 캐리어 생성용 불순물을 도입하여 제 1 불순물 확산층을 형성하는 제 1 공정과, 상기 반도체 기판의 반도체 영역 내에 반도체 원자와의 충돌에 기인하는 검지 레벨 이상의 결함을 발생시키지 않도록 질소를 도입하여 질소 확산층을 형성하는 제 2 공정과, 상기 반도체 기판을 가열하여 상기 캐리어 생성용 불순물을 활성화시키는 제 3 공정을 포함하고, 상기 제 1 공정 및 제 2 공정은 양 공정 중 어느 한쪽을 우선적으로, 상기 제 1 불순물 확산층과 상기 질소 확산층이 적어도 오버랩되도록 행하는 방법이다.
이 방법에 의해, 청구항 9의 작용을 얻는 반도체 장치가 용이하게 형성된다. 다만, 제 2 공정과 제 3 공정은 연속적으로 행할 수 있다.
본 발명의 제 45 특징은, 상기 제 44 특징에 있어서, 상기 제 1 공정을 적어도 질소를 포함하는 가스 분위기 중에서 상기 반도체 기판을 가열 처리함으로써 행할 수 있다.
이 방법에 의해, 질소 확산층 중에 있어서, 질소이온을 주입하는 경우와 같은 질소이온과 반도체 원자의 충돌에 기인하는 결함이 발생하지 않으므로, 결함에 기인하는 특성의 열화가 없는 반도체 장치가 얻어진다.
본 발명의 제 46 특징은, 상기 제 45 특징에 있어서, 상기 제 3 공정을 암모니아 가스 분위기 중에서 행할 수 있다.
이 방법에 의해, 반도체 기판 내로의 질소의 도입기능이 특히 높아지므로, 용이하고 신속하게 질소 확산층을 형성할 수 있다.
본 발명의 제 47 특징은, 상기 제 46 특징에 있어서, 상기 제 3 공정을 온도 가 900 ° 이상, 시간이 10초 이하의 조건하에서 행하는 것이 바람직하다.
본 발명의 제 48 특징은, 상기제 44 특징에 있어서, 상기 제 1 공정을 적어도 질소를 포함하는 가스 분위기 중에서 플라즈마를 발생시킴으로써 행할 수 있다.
이 방법에 의해서도 결함이 거의 없는 상태에서 질소 확산층을 형성할 수 있다.
본 발명의 제 49 특징은, 상기 제 44 특징에 있어서, 상기 제 3 공정 후에 상기 소스 영역 및 드레인 영역 위에 실리사이드막을 형성하는 공정을 추가로 포함할 수 있다.
이 방법에 의해, 붕소 등의 불순물 침투가 적고, 시트 저항이 작은 소스 · 드레인 영역을 갖는 MIS형 전계효과 트랜지스터를 형성할 수 있다.

본 발명의 제 50 특징은, 상기 제 44 내지 48 특징에 있어서, 상기 반도체 기판 내에 MIS형 전계효과 트랜지스터 형성영역을 설치하고, 상기 MIS형 전계효과 트랜지스터 형성영역 위에 게이트 절연막 및 게이트 전극을 형성하는 공정을 추가로 포함하고, 상기 제 1 공정에서는 상기 게이트 절연막 및 게이트 전극을 형성한 후, 상기 MIS형 전계효과 트랜지스터 형성영역 중 상기 게이트 전극의 양측방에 위치하는 영역에 상기 캐리어 생성용 불순물을 도입하여 상기 MIS형 전계효과 트랜지스터의 소스 영역 및 드레인 영역을 형성할 수 있다.

이 방법에 의해, 시트 저항이 작은 소스 · 드레인 영역을 갖는 MIS형 전계효과 트랜지스터를 형성할 수 있다.

본 발명의 제 51 특징은, 상기 제 50 특징에 있어서, 상기 게이트 절연막 및 게이트 전극을 형성하는 공정에서는 산화막으로 된 게이트 절연막을 형성하고, 상기 제 2 공정은 상기 게이트 절연막 및 게이트 전극을 형성하는 공정 후에 행하고, 상기 제 2 공정에서는 상기 게이트 절연막의 양단부에도 질소를 도입하여 산질화층을 형성할 수 있다.

이 방법에 의해, 시트 저항이 작고 핫 캐리어 내성이 큰 트랜지스터를 얻을 수 있다.

본 발명의 제 52 특징은, 상기 제 50 특징에 있어서, 상기 게이트 절연막 및 게이트 전극을 형성하는 공정 후 또는 상기 제 1 공정 전에, 상기 MIS형 전계효과 트랜지스터 형성영역 내에 상기 소스 영역 및 드레인 영역에 도입한 상기 캐리어 생성용 불순물보다 저농도이면서 같은 도전형의 제 2 캐리어 생성용 불순물을 도입하여 확장 영역을 형성하는 공정과, 상기 게이트 전극의 양측면 상에 절연체 측벽을 형성하는 공정을 추가로 포함하고, 상기 제 1 공정에서는 상기 MIS형 전계효과 트랜지스터 형성영역 중 상기 게이트 전극 및 측벽의 양측방에 위치하는 영역 내로 상기 캐리어 생성용 불순물을 도입하고, 상기 제 2 공정에서는 상기 확장 영역의 적어도 일부를 포함하도록 상기 질소 확산층을 형성할 수 있다.

이 방법에 의해, LDD 구조를 갖고 채널 저항이 작은 트랜지스터가 형성된다.

본 발명의 제 53 특징은, 상기 제 52 특징에 있어서, 상기 게이트 절연막 및 게이트 전극을 형성하는 공정 후 또는 상기 제 1 공정 전에 상기 MIS형 전계효과 트랜지스터 형성영역 내에 상기 소스 영역 및 드레인 영역에 도입한 상기 캐리어 생성용 불순물보다 저농도이면서 역도전형의 제 3 캐리어 생성용 불순물을 도입하 여 포켓 영역을 형성하는 공정을 추가로 포함할 수 있다.

이 방법에 의해, 단채널 효과 제어기능이 매우 높은 트랜지스터를 형성할 수 있다.

본 발명의 제 54 및 55 특징은, 상기 제 50, 52 또는 53 특징에 있어서, 상기 제 2 공정은 상기 게이트 절연막 및 게이트 전극을 형성하는 공정 및 상기 제 1 공정 전에 행하고, 상기 MIS형 전계효과 트랜지스터 형성영역의 횡방향 전체에 걸쳐 질소 확산층을 형성할 수 있다.

이 방법에 의해, 채널 저항이 매우 작은 트랜지스터가 얻어진다.

본 발명의 제 56, 57, 58 특징은, 상기 제 50 내지 55 특징에 있어서, 상기 제 3 공정 후, 상기 소스 영역, 드레인 영역 및 게이트 전극 위에 실리사이드막을 형성하는 공정을 추가로 포함할 수 있다.

이 방법에 의해, 붕소 등의 불순물 침투가 적고, 시트 저항이 작은 소스 · 드레인 영역을 갖는 MIS형 전계효과 트랜지스터를 형성할 수 있다.

본 발명의 제 59 특징은, 상기 제 44 내지 48 특징에 있어서, 상기 반도체 기판 내에 바이폴라 트랜지스터 형성영역을 설치하고, 상기 바이폴라 트랜지스터 형성영역에 제 1 도전형 불순물을 도입하여 바이폴라 트랜지스터의 컬렉터 영역을 형성하는 공정과, 상기 컬렉터 영역 내에 제 2 도전형 불순물을 도입하여 바이폴라 트랜지스터의 베이스 영역을 형성하는 공정을 추가로 포함하고, 상기 제 1 공정에서는 상기 베이스 영역 내에 제 1 도전형 불순물을 도입하여 상기 바이폴라 트랜지스터의 이미터 영역을 형성하고, 상기 제 2 공정에서는 상기 이미터 영역의 적어도 일부를 포함하는 영역에 질소를 도입할 수 있다.

이 방법에 의해, 전류 증폭율이 높은 바이폴라 트랜지스터를 형성할 수 있다.

본 발명의 제 60 특징은, 상기 제 44 내지 48 특징에 있어서, 상기 반도체 기판 내에는 바이폴라 트랜지스터 형성영역이 설치되고, 상기 바이폴라 트랜지스터 형성영역에 제 1 도전형 불순물을 도입하여 바이폴라 트랜지스터의 컬렉터 영역을 형성하는 공정과, 상기 제 1 공정 후, 상기 컬렉터 영역 내에 제 1 도전형 불순물을 도입하여 상기 바이폴라 트랜지스터의 이미터 영역을 형성하는 공정을 추가로 포함하고, 상기 제 1 공정에서는 상기 컬렉터 영역 내와 상기 이미터 영역을 둘러싸는 영역에 제 2 도전형 불순물을 도입하여 바이폴라 트랜지스터의 베이스 영역을 형성하고, 상기 제 2 공정에서는 상기 베이스 영역의 적어도 일부를 포함하는 영역에 질소를 도입할 수 있다.

이 방법에 의해, 차단 주파수가 높은 바이폴라 트랜지스터를 형성할 수 있다.

상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해질 것이다.

이하, 본 발명의 실시예를 첨부도면을 참조하여 설명하기로 한다.

(제 1 실시예)

도 1의 (a) (d)는 제 1의 nMOS형 전계효과 트랜지스터의 공정도를 도시한 단면도이다.

우선, 도 1의 (a)에 도시된 공정에서는 실리콘 기판(1)의 일부에 소자분리체(4)를 형성하고, 소자분리체(4)로 둘러싸이는 활성영역 내의 실리콘 기판(1) 상에 열산화 등에 의해 두께가 7nm의 산화막을 형성하고, 또 그 위에 두께가 150nm의 폴리실리콘막을 퇴적한 후, 포토리소그라피 및 드라이에칭 공정에 의해 산화막 및 폴리실리콘막을 패터닝하여 게이트 산화막(2) 및 게이트 전극(3)을 형성한다. 또, 게이트 전극(3)의 도전성을 확보하기 위하여 폴리실리콘막에는 CVD법에 의한 퇴적시 혹은 퇴적후의 이온 주입에 의하여 n형 불순물이 도핑된다. 이것은 후술하는 각 실시예에서도 마찬가지이다.

다음에, 도 1의 (b)에 도시된 공정에서는, 트랜지스터의 채널 방향으로 평행한 단면에 있어서 반도체 기판면으로 수직인 방향에 대하여 25 ° 비스듬히 경사진 방향으로 4 단계 이온 주입법에 의해 질소이온(N^+)을 에너지가 10keV, 도즈량이 1×10^{15} cm^{-2} 로 주입한다. 그 때, 4 단계 이온 주입법으로는 불순물 이온의 주입방향이 고정되어 실리콘

기판(1)을 수평면 내에서 90° 씩 차례로 회전시킨 4곳의 위치로 불순물 이온의 주입을 행한다. 그 후, 열처리에 의해 질소이온을 확산시켜 게이트 산화막(2)의 양단부에 산질화층(5a)을, 실리콘 기판(1) 내에 질소 확산층(6a)을 각각 형성한다. 이 공정에서는, 질소이온의 주입 에너지는 5 20keV, 도즈량은 1×10^{13} 5×10^{15} cm^{-2}, 주입방향의 경사 각도는 7° 45°가 바람직하다.

또 본 실시예에서는, 4 단계 이온 주입법에 의해 질소이온을 주입하므로 게이트 산화막(2)의 양단에 불순물 이온이 투입되지만, 단순히 드레인 영역측으로 경 사진 한 방향으로 불순물 이온을 주입하여도 된다. 또, 불순물 이온을 투입하는 방향은 반드시 트랜지스터의 채널방향(즉 도 1의 지면으로 평행한 방향)과 일치하지 않아도 된다. 즉, 이온 투입 방향이 게이트폭 방향으로 직교하는 면(도 1의 지면) 상에 투영된 선과 기판면의 법선 사이의 각도가 10° 이상이라면 본 발명의 효과는 발휘될 수 있다. 상술한 것은 나중의 각 실시예에 대해서도 마찬가지이다.

다음에, 도 1의 (c)에 도시된 공정에서는 거의 수직 방향으로부터의 이온 주입법에 의해 비소이온(As^{+})을 에너지가 10keV, 도즈량이 1×10^{15} cm^{-2}로 주입하고, 실리콘 기판(1) 내의 표면 부근의 영역에 n형 저농도 소스 · 드레인 영역(7)을 형성한다. 또, 실리콘 기판(1) 내에는 질소 확산층(6a)이 형성되어 있으므로, 수직방향에서 불순물 이온을 주입하여도 채널링은 발생하지 않는다.

다음에, 도 1의 (d)에 도시된 공정에서는, 기판 상에 두꺼운 실리콘 산화막을 퇴적한 후 에치백을 행하여 게이트 전극(3)의 양측면 상에 측벽(8)을 형성한 후, 거의 수직 방향에서의 이온 주입법에 의해 비소이온(As^{+})을 에너지가 30keV, 도즈량이 5×10^{15} cm^{-2}로 주입하고, 측벽(8)의 양측에 n형 고농도 소스 · 드레인 영역(9)을 형성한다.

본 실시예의 제조 공정에 의하여 형성되는 nMOS형 전계효과 트랜지스터에는 상기 종래의 산질화층을 설치한 트랜지스터의 구조와 달리 게이트 산화막(2)의 양단부에만 산질화층(5a)이 형성된다. 일반적으로, 핫 캐리어 열화의 주원인은 핫 캐리어가 드레인측의 게이트 산화막에 포획되는 것에 있다. 따라서, 본 실시예와 같 이 게이트 산화막(2)의 적어도 드레인측의 단부(본 실시예에서는 양단부)에 산질화층(5a)이 형성되면 핫 캐리어 열화를 방지할 수 있다.

한편, 이와 같이 큰 경사각 방향으로부터의 이온 주입에 의하여 게이트 산화막(2)의 단부에만 질소이온을 주입하면 되므로, 1×10^{15} cm^{-2} 정도의 낮은 도즈량과 10keV의 낮은 주입 에너지에 의해 질소이온을 주입하여도 산질화층(5a)을 형성할 수 있다. 상기 종래의 방법과 같이 게이트 산화막 중의 전역에 산질화층을 형성하는 경우에는 질소이온의 도즈량을 진하게 할 필요가 있으므로, 게이트 전극의 공핍화를 초래하였다. 그에 반해, 본 실시예의 방법에서는 도즈량은 약간이어도 되므로 게이트 전극(3)의 공핍화를 초래하지 않는다.

또 도 1의 (b)에 도시된 공정에서 실리콘 기판(1)내에 형성되는 질소 확산층(6a)의 깊이도 얕으므로, 결정성이 흐트러진 영역은 약간의 부분이다. 또, 질소 확산층(6a)에서의 질소 이온의 농도도 낮으므로, 실리콘 기판(1) 중의 결정성이 흐트러진 정도도 최소한도로 줄일 수 있다. 따라서, 트랜지스터의 성능 열화를 억제할 수 있고, 트랜지스터의 신뢰성 향상을 도모할 수 있는 것이다.

또, 본 실시예에서는 게이트 산화막(2)의 양단부에 산질화층(5a)을 형성하였으나, 게이트 산화막(2)의 적어도 드레인측의 단부에 산질화층(5a)이 형성되면 된다. 이것은 후술하는 각 실시예에서도 마찬가지이다.

(제 2 실시예)

도 2의 (a) (d)는 제 2 실시예에 의한 nMOS형 전계효과 트랜지스터의 공정 을 도시한 단면도이다.

우선, 도 2의 (a)에 도시된 공정에서는, 실리콘 기판(1)의 일부에 소자분리체(4)를 형성하고, 소자분리체(4)로 둘러싸이는 활성영역 내의 실리콘 기판(1) 상에 열산화 등에 의해 두께가 7nm인 산화막을 형성하고, 또 그 위에 두께가 150nm인 폴리실리콘막과 두께가 150nm인 산화막을 퇴적한 후, 포토리소그라피 및 드라이에칭 공정에 의해 2개의 산화막 및 폴리실리콘막을 패터닝하여 게이트 산화막(2), 게이트 전극(3) 및 게이트 상부 산화막(10)을 형성한다.

다음에, 도 2의 (b)에 도시된 공정에서는, 4 단계 이온 주입법에 의해 실리콘 기판(1)의 표면으로 수직인 방향에 대하여 25° 경사진 방향으로부터 질소이온(N^{+})을 에너지가 10keV, 도즈량이 1×10^{15} cm^{-2}로 주입한다. 그 때, 4 단계 이온 주입법으로는 불순물 이온의 주입 방향이 고정되어 실리콘 기판(1)을 수평면 내에서 90° 씩 차례로 회전시킨 4곳의 위치에 불순물 이온의 주입을 행한다. 그 후, 열처리에 의해 질소이온을 확산시켜 게이트 산화막(2)의 양단부에 산질화층(5a)을, 실리콘 기판(1) 내에 질소 확산층(6a)을 각각 형성한다. 이 공정에서는, 질소이온의 주입 에너지는 5 30keV, 도즈량은 1×10^{13} 5×10^{16} cm^{-2}, 주입방향의 경사 각도는 7° 45°가 바람직하다.

다음에, 도 2의 (c)에 도시된 공정에서는, 거의 수직 방향으로부터의 이온 주입법에 의해 비소이온(As^{+})을 에너지가 10keV, 도즈량이 1×10^{14} cm^{-2}로 주입하고, 실리콘 기판(1) 내의 표면 부근의 영역에 n형 저농도 소스 · 드레인 영역(7)을 형성 한다.

다음에, 도 2의 (d)에 도시된 공정에서는, 기판 상에 두꺼운 실리콘 산화막을 퇴적한 후 에치백을 행하여 게이트 전극(3)의 양측면 상에 측벽(8)을 형성한 후, 거의 수직 방향에서의 이온 주입법에 의해 비소이온(As^{+})을 에너지가 30keV, 도즈량이 5×10^{15} cm^{-2}로 주입하고, 측벽(8)의 양측에 n형 고농도 소스 · 드레인 영역(9)을 형성한다.

본 실시예에서는 게이트 전극(3) 위에 게이트 상부 산화막(10)이 형성되어 있으므로, 도 2의 (b)에 도시된 공정에 있어서, 게이트 전극(3) 내에 주입되는 질소량이 대폭 감소한다. 따라서, 상술한 제 1 실시예의 효과 외에도 게이트 전극(3)의 공핍화에 의한 트랜지스터의 특성 열화를 보다 확실하게 억제할 수 있다. 또, 질소이온의 주입 에너지나 주입량을 증대하여도 게이트 전극(3)의 공핍화를 초래하지 않으므로 조건의 선택폭을 확대할 수 있다.

(제 3 실시예)

도 3의 (a) (d)는 제 3 실시예에 의한 CMOS 장치의 공정을 도시한 단면도이다.

우선, 도 3의 (a)에 도시된 공정에서는, 실리콘 기판(1) 위에 제 1 활성영역인 nMOSFET 형성영역(Rnfet)과, 제 2 활성영역인 pMOSFET 형성영역(Rpfet)을 구획하는 소자분리체(4)를 형성한다. 그리고, 소자분리체(4)로 둘러싸인 각 영역(Rnfet, Rpfet) 내의 실리콘 기판(1) 상에 열산화 등에 의해 두께가 7nm인 산 화막을 형성하고, 다시 그 위에 두께가 150nm의 폴리실리콘막을 퇴적한 후, 포토리소그라피 및 드라이에칭 공정에 의해 산화막 및 폴리실리콘막을 패

터닝하여 각 영역(Rnfet, Rpfet)에 게이트 산화막(2) 및 게이트 전극(3)을 각각 형성한다. 또, 게이트 전극(3)의 도전성을 확보하기 위하여 각 영역(Rnfet, Rpfet) 상의 폴리실리콘막에는 CVD법에 의한 퇴적시 혹은 퇴적후의 이온 주입에 의하여 n형 불순물, p형 불순물이 각각 도핑된다. 이것은 후술하는 제 4 제 6 실시예에서도 마찬가지이다.

다음에, 도 3의 (b)에 도시된 공정에서는, pMOSFET 형성영역(Rpfet)을 덮는 포토레지스트막(Fr1)을 형성하고, 그 포토레지스트막(Fr1)을 마스크로 하여 실리콘 기판(1)의 표면에 수직인 방향에 대하여 25 ° 비스듬히 경사진 방향에서의 4 단계 이온 주입법에 의해 질소이온(N^+)을 에너지가 10keV, 도즈량이 1×10^{15} cm^{-2} 로 주입한 후, 열처리에 의해 질소이온을 확산시켜 nMOSFET 형성영역(Rnfet)의 게이트 산화막(2)의 양단부에 산질화층(5a)을, 실리콘 기판(1) 내에 질소 확산층(6a)을 각각 형성한다. 그리고, pMOSFET 형성영역(Rpfet)에는 산질화층(5a) 및 질소 확산층(6a)을 형성하지 않고 다음 공정으로 진행한다.

다음에, 도 3의 (c)에 도시된 공정에서는, nMOSFET 형성영역(Rnfet)과 pMOSFET 형성영역(Rpfet)에서 개별적으로 포토레지스트막을 형성하여(도시 생략), 각 영역(Rnfet, Rpfet)에 저농도 소스 · 드레인 영역(7, 12)을 각각 형성한다. 즉, nMOSFET 형성영역(Rnfet)에는 거의 수직 방향에서의 이온 주입법에 의해 비소이온(As^+)을 에너지가 10keV, 도즈량이 1×10^{14} cm^{-2} 로 주입하여 n형 저농도 소스 · 드레인 영역(7)을 형성한다. pMOSFET 형성영역(Rpfet)에는 거의 수직 방향에서의 이온 주입법에 의해 불화 붕소 이온(BF_2^+)을 에너지가 10keV, 도즈량이 1×10^{14} cm^{-2} 로 주입하여 p형 저농도 소스 · 드레인 영역(12)을 형성한다.

다음에, 도 3의 (d)에 도시된 공정에서는, 기판 상에 두꺼운 실리콘 산화막을 퇴적한 후 에치백을 행하여 게이트 전극(3)의 양측면 상에 측벽(8)을 형성한 후, nMOSFET 형성영역(Rnfet)과 pMOSFET 형성영역(Rpfet)에서 개별적으로 포토레지스트막을 형성하여(도시 생략), 각 영역(Rnfet, Rpfet)에 고농도 소스 · 드레인 영역(9, 13)을 형성한다. 즉, nMOSFET 형성영역(Rnfet)에는 거의 수직 방향에서의 이온 주입법에 의해 비소이온(As^+)을 에너지가 30keV, 도즈량이 5×10^{15} cm^{-2} 로 주입하여 측벽(8)의 양측에 n형 고농도 소스 · 드레인 영역(9)을 형성한다. pMOSFET 형성영역(Rpfet)에는 거의 수직 방향에서의 이온 주입법에 의해 에너지가 30keV, 도즈량이 5×10^{15} cm^{-2} 로 불화 붕소 이온(BF_2^+)을 주입하여 측벽(8)의 양측에 p형 고농도 소스 · 드레인 영역(13)을 형성한다.

본 실시예에서는 최종적으로 nMOS형 전계효과 트랜지스터에만 질소가 주입되어 산질화층(5a)과 질소 확산층(6a)이 형성되므로, 상기 제 3 실시예의 효과 이외에 pMOS형 전계효과 트랜지스터에서의 상호 컨덕턴스의 열화를 억제할 수 있다.

(제 4 실시예)

도 4의 (a) (d)는 제 4 실시예에 의한 CMOS 장치의 제조 공정을 도시한 단면도이다.

본 실시예에서는 도 4의 (a)에 도시된 공정에서 게이트 전극(3) 위에 게이트 상부 절연막(10)이 형성되는 점을 제외하면 상기 제 3 실시예에서의 도 3의 (a) (d)에 도시된 공정과 같은 처리를 행한다.

따라서, 본 실시예에서는 게이트 상부 산화막(10)에 의하여 게이트 전극(3) 내에 주입된 질소량이 대폭 저감되므로 상기 제 3 실시예의 효과 외에도 게이트 전극(3)의 공핍화에 기인하는 트랜지스터의 성능 열화를 보다 확실하게 방지할 수 있다.

(제 5 실시예)

도 5의 (a) (e)는 제 5 실시예에 의한 CMOS 장치의 제조 공정을 도시한 단면도이다.

우선, 도 5의 (a)에 도시된 공정에서는, 실리콘 기판(1)의 일부에 소자분리체(4)를 형성하고, 소자분리체(4)로 둘러싸인 활성영역 내의 실리콘 기판(1) 상에 열산화 등에 의해 두께가 7nm인 산화막을 형성하고, 다시 그 위에 두께가 150nm인 폴리실리콘막을 퇴적한 후, 포토리소그라피 및 드라이에칭 공정에 의해 산화막 및 폴리실리콘막을 패터닝하여 nMOSFET 형성영역(Rnfet) 및 pMOSFET 형성영역(Rpfet)에 게이트 산화막(2) 및 게이트 전극(3)을 각각 형성한다.

다음에, 도 5의 (b)에 도시된 공정에서는, pMOSFET 형성영역(Rpfet)을 덮는 포토레지스트막(Fr1)을 형성하고, 이 포토레지스트막(Fr1)을 마스크로 하여 실리콘 기판(1)의 표면에 수직인 방향에 대하여 25 ° 비스듬히 경사진 방향에서의 4 단계 이온 주입법에 의해 질소이온(N^+)을 에너지가 10keV, 도즈량이 1×10^{15} cm^{-2} 로 주입한 후, 열처리에 의해 질소이온을 확산시켜 nMOSFET 형성영역(Rnfet)의 게이트 산화막(2)의 양단부에 산질화층(5a)을, 실리콘 기판(1) 내에 질소 확산층(6a)을 각각 형성한다.

다음에, 도 5의 (c)에 도시된 공정에서는 nMOSFET 형성영역(Rnfet)을 덮는 포토레지스트막(Fr2)을 형성하고, 이 포토레지스트막(Fr2)을 마스크로 하여 거의 수직 방향으로부터의 이온 주입법에 의해 질소이온(N^+)을 에너지가 10keV, 도즈량이 1×10^{15} cm^{-2} 로 주입한 후, 열처리에 의해 질소이온을 확산시켜 pMOSFET 형성영역(Rpfet)의 실리콘 기판(1) 내에 질소 확산층(6)을 형성한다. 또, 게이트 산화막(2)내에는 약한 산질화층(5)이 형성된다.

다음에, 도 5의 (d)에 도시된 공정에서는, nMOSFET 형성영역(Rnfet)과 pMOSFET 형성영역(Rpfet)에서 개별적으로 포토레지스트막을 형성하여(도시 생략), 각 영역(Rnfet, Rpfet)에 저농도 소스 · 드레인 영역(7, 12)을 각각 형성한다. 즉, nMOSFET 형성영역(Rnfet)에는 거의 수직 방향에서의 이온 주입법에 의해 비소이온(As^+)을 에너지가 10keV, 도즈량이 1×10^{14} cm^{-2} 로 주입하여 n형 저농도 소스 · 드레인 영역(7)을 형성한다. pMOSFET 형성영역(Rpfet)에는 거의 수직방향에서의 이온 주입법에 의해 불화 붕소 이온(BF_2^+)을 에너지가 10keV, 도즈량이 1×10^{14} cm^{-2} 로 주입하여 p형 저농도 소스 · 드레인 영역(12)을 형성한다.

다음에, 도 5의 (e)에 도시된 공정에서는, 기판 상에 두꺼운 실리콘 산화막을 퇴적한 후 에치백을 행하여 게이트 전극(3)의 양측면 상에 측벽(8)을 형성한 후, nMOSFET 형성영역(Rnfet)과 pMOSFET 형성영역(Rpfet)에서 개별적으로 포토레지스트막을 형성하여(도시 생략), 각 영역(Rnfet, Rpfet)에 고농도 소스 · 드레인 영역(9, 13)을 형성한다. 즉, nMOSFET 형성영역(Rnfet)에는 거의 수직 방향에서의 이온 주입법에 의해 비소이온(As^+)을 에너지가 30keV, 도즈량이 5×10^{15} cm^{-2} 로 주입하여 측벽(8)의 양측에 n형 고농도 소스 · 드레인 영역(9)을 형성한다. pMOSFET 형성영역(Rpfet)에는 거의 수직방향에서의 이온 주입법에 의해 불화 붕소 이온(BF_2^+)을 에너지가 30keV, 도즈량이 5

$\times 10^{15}\ cm^{-2}$ 로 주입하여 측벽(8)의 양측에 p형 고농도 소스 · 드레인 영역(13)을 형성한다.
본 실시예의 제조 공정에 의하여 형성되는 CMOS 장치는 상기 제 3 실시예의 제조 공정으로 형성되는 CMOS형 장치와 거의 같은 구조를 갖지만, 상기 제 3 실시예와는 달리 pMOS형 전계효과 트랜지스터의 실리콘 기판(1) 내에 질소 확산층(6)이 형성된다. 따라서, 상술한 바와 같은 제 3 실시예의 효과 외에도 pMOSFET 형성영역(Rpfet)에서도 이온 주입시의 채널링을 방지하는 효과가 있고, 소스 · 드레인 영역을 안정되게 형성할 수 있다. 또, pMOS형 전계효과 트랜지스터에 있어서, 거의 수직 방향에서의 질소이온의 주입에 의해 게이트 산화막(2)의 게이트 전극(3) 내에 약간이지만 산질화층이 형성되므로, 게이트 전극(3) 중의 붕소가 실리콘 기판측으로 통과하는 것을 가급적 억제할 수 있는 이점도 있다.
(제 6 실시예)
도 6의 (a) (e)는 제 6 실시예에 의한 CMOS 장치의 제조 공정을 도시한 단면도이다.
본 실시예의 제조공정에서는 상기 제 5 실시예와 거의 같은 공정을 행하고, 도 6의 (a)에 도시된 상태에서 게이트 전극(3) 위에 게이트 상부 절연막(10)을 형성하고 있는 점만이 제 5 실시예와 다르다.
본 실시예의 제조 공정에 의하여 형성되는 CMOS 장치에 있어서는 게이트 전극 위에 게이트 상부 산화막(10)이 설치되어 있으므로 상기 제 5 실시예와 같은 효과 이외에, 게이트 전극(3) 내에 주입되는 질소량을 대폭 저감시킬 수 있다. 따라서, 게이트 전극(3)의 공핍화에 기인하는 트랜지스터의 특성 열화를 보다 확실하게 방지할 수 있다.
(제 7 실시예)
도 7은 본 실시예에서의 반도체 장치의 제조공정을 도시한 단면도이다. 본 실시예에서는 도 7의 (a) (c)를 참조하여 p형 확산층에서의 불순물 농도의 분포를 개량하기 위한 공정에 대하여 설명하기로 한다.
우선, 도 7의 (a)에 도시된 공정에서는, n형 실리콘 기판(21)에 붕소이온(B^+)을 가속 에너지가 10keV, 도즈량이 $2\times 10^{15}\ cm^{-2}$ 로 주입한다. 그 때, 붕 소 이온 대신에 BF_2 이온을 가속 에너지가 30keV, 도즈량이 $2\times 10^{15}\ cm^{-2}$ 로 주입하여도 된다. 붕소 또는 BF_2 의 이온을 주입함으로써 나중에 활성화 처리가 실시되는 p형 확산층(22)이 형성된다.
다음에, 도 7의 (b)에 도시된 공정에서는 통상의 급속 가열 열처리(Rapid Thermal Annealing) 장치 내에 기판을 설치하여 5리터/분의 암모니아 가스가 흐르는 암모니아 가스 분위기 중에서 900℃, 10초간 열처리를 행한다. 이로써, 실리콘 기판(21) 내에 질소가 도입되고, 실리콘 기판(1)의 표면으로부터 소정 깊이에 달하기까지의 영역에 붕소 · 질소 혼재층(23)(질소 확산층)이 형성된다.
또 도 7의 (c)에 도시된 공정에서는 통상의 급속 가열 열처리(Rapid Thermal Annealing) 장치를 이용하여 1000℃에서 10초간 활성화를 위한 열처리를 행함으로써, p형 확산층(22) 내의 붕소(또는 BF_2)가 활성됨과 동시에 확산하여 p형 확산층(22)의 범위가 정해진다. 또, 붕소(또는 BF_2)와 함께 질소도 확산한다.
도 8은 본 실시예에 의하여 형성되는 p형 확산층(22) 내에서의 붕소, BF_2 (실선의 농도분포곡선(L1, L2))와 질소(점선의 농도분포곡선(Ln))의 깊이 방향에서의 농도 프로파일도이다. 또, 비교를 위하여 암모니아 가스 분위기 중에서의 급속 가열 열처리를 행하지 않고 활성화를 위한 열처리를 행한 경우 붕소, BF_2 의 농도 분포곡선(L3, L4)(점선)을 나타낸다. 다만, 다음의 설명에 있어서는 본 실시예의 제조 방법에 의하여 형성되는 p형 확산층, 즉 붕소를 주입한 후 암모니아 가스 분위기 중에서의 급속 가열 열처리를 행한 소스 · 드레인 영역을 갖는 것을 샘플 a, 30keV로 BF_2 이온을 주입한 후 암모니아 가스 분위기 중에서 급속 가열 열처리를 행한 p형 확산층을 샘플 b, 10keV로 붕소 이온을 주입한 후 암모니아 가스 분위기 중에서 급속 가열 열처리를 행하지 않은 p형 확산층을 샘플 c, 30keV로 BF_2 이온을 주입한 후 암모니아 가스 분위기 중에서 급속 가열 열처리를 행하지 않은 p형 확산층을 샘플 d라고 한다. 다만, BF_2 이온을 주입하는 경우와 붕소 이온을 주입하는 경우에 주입 에너지가 다른 것은 질량차에 기인하는 주입 깊이의 차이를 보상하기 때문이다.
도 8로부터 알 수 있는 바와 같이, 붕소 및 질소를 도입하여 암모니아 가스 분위기 중에서 급속가열 열처리한 샘플(a)의 농도 프로파일 곡선(L1)은 원래의 불순물 확산층(22) 중 약 0.1㎛ 깊이까지의 영역이 붕소 · 질소 혼재층(23)으로 되어 있으므로, 이 붕소 · 질소 혼재층(23) 내에서의 붕소 농도가 높은 특징을 갖는다. 샘플(a) 중의 붕소의 농도는 질소를 도입하지 않은 샘플(c)(곡선 (L3))에 비하여 그 피크위치(Peb)를 통과한 후 급격하게 농도가 감소하지만(도면중의 영역(L1a)), 어느 점(Pch1) 부근에서 그 농도의 감소 비율이 작아지고, 그 후 농도가 비교적 완만하게 감소하여 질소를 도입하지 않은 샘플(c)과 가까운 농도로 된다(도면중 영역((L1b)). 다시 말하면, 도면중 점(Pch1)은 농도를 깊이 함수로 했을 때의 농도의 변곡점에 상당한다. 샘플(a) 중 붕소의 농도 분포가 이와 같은 상태를 나타내는 것은 활성화를 위한 열처리시 붕소 · 질소 혼재층(23) 내의 질소에 의하여 붕소의 확산이 억제되는 결과, 활성화 후의 붕소가 질소 농도가 높은 영역(깊이가 약 0.1㎛의 위치보다 윗쪽)으로 치우치는 경향이 발생하기 때문이다.
또, 종래부터 반도체 기판 내로의 질소 도입은 제안되어 있으나, 그 경우, 질소이온의 주입에 의하여 행해진다. 그리고, 일반적인 상식으로는 암모니아 가스 등의 질소 분위기 중에서의 열처리에 의해서는 반도체 기판 중에 실용적으로 의의가 있는 질소의 도입을 행할 수 없다고 생각했다. 그러나, 본 실시예와 같은 조건으로, 즉 암모니아 가스 분위기 중에서 비교적 고온의 급속가열 열처리를 행함으로써 실리콘 기판 내에 비교적 고농도의 질소 확산층을 형성할 수 있음을 알게 되었다.
게다가, 본 실시예와 같은 열처리에 의한 질소의 도입 방법에 의해서는 실리콘 기판 내에 질소 이온을 주입한 경우와는 달리 실리콘 기판 내에 결함이 발생되지 않는다. 따라서, 질소를 도입할 때에 결함을 발생시켜 그 결함에 의해 불순물의 확산을 억제한 것이 아님을 알았다. 또, BF_2 만을 도입하여 질소를 도입시키지 않고 활성화 처리를 행한 샘플(d)의 불순물 농도 분포곡선(L4)은 표면과 같이 근방에 피크값을 갖고 그 후, 전체적으로 완만한 감소 특성을 나타내고 피크값도 작다. 이것은 불소 이온의 존재에 의하여 BF_2 의 확산이 전체적으로 억제되기 때문이라고 생각된다. 따라서, BF_2 만의 도입에 의해서는 본 실시예와 같은 특징을 갖는 불순물 농도 프로파일을 얻을 수 없다.

한편, BF_2 및 질소를 도입하여 암모니아 가스 분위기 중에서 급속 가열 열처 리한 샘플(b)의 농도 분포곡선(L2)은 깊이가 0.1㎛보다 작은 0.07 부근에 변곡점(pch2)을 갖는다. 따라서, 이 경우에는 더욱 작은 범위에 고농도 영역을 집중시킬 수 있다.

도 8에는 어느 특정한 조건으로 질소의 도입과 암모니아 가스 분위기 중에서의 급속 가열 열처리를 행한 경우의 농도 프로파일을 도시하였으나, 암모니아 분위기 중의 급속 가열 열처리의 온도나 시간 등을 조정하거나, 붕소 이온의 주입 공정과 암모니아 가스 분위기 중에서의 급속 가열 열처리 공정의 실시 순서를 바꿈으로써 붕소 농도 프로파일을 제어할 수 있다.

또 암모니아 가스 분위기 중에서의 급속 가열 처리는 900℃ 이상, 10초 이하의 조건으로 행하는 것이 바람직하다. 일반적으로 암모니아 가스는 800℃ 이상에서 열분해하고, 900℃ 이하에서 보다 활성화되기 때문이다. 다만, 이미 p형 불순물 또는 n형 불순물이 도입된 소스 · 드레인 영역에 질소를 급속 가열 처리에 의하여 도입할 때에는 이들의 불순물 확산을 억제하기 위하여 pMOS 트랜지스터에서는 1000℃이하, nMOS 트랜지스터에서는 1050℃이하의 조건으로 행하는 것이 바람직하다. 암모니아 가스 유량은 일반적으로는 1 10slm 정도이지만 이에 한정되는 것은 아니다. 특히, 가열 처리 시간을 매우 짧게, 예를 들면 목표온도에 달하면 순식간에 냉각하도록 펄스적인 가열을 행함으로써 도 8의 농도 분포곡선(L1)으로 나타내는 농도 프로파일의 표면부근의 농도분포가 더욱 가파르게 되는 것이 확인된다. 결국, 피크값(Peb)이 더욱 높아지고, 변곡점(Pch1)이 왼쪽으로 이동한다.

또 암모니아 가스 분위기 중의 급속가열 열처리 공정과 불순물 활성화를 위 한 열처리 공정을 공통화하는 것도 가능하고, 또는 2개의 공정을 다단 처리로서 연속 처리하는 것도 가능하다.

또 반도체 기판 내에 붕소 또는 BF_2 를 주입할 때의 조건이 다소 변화하여도 그 후의 암모니아 가스 분위기 중에서의 급속가열 열처리 조건을 적절히 선택함으로써 본 실시예와 같은 효과를 발휘할 수 있다.

또 반도체 기판 내에 도입하는 캐리어 생성용 불순물로서는 붕소뿐만 아니라 인, 비소, 인듐, 안티몬 등에 적용할 수 있다. 또, 질소를 도입함으로써, 캐리어 생성용 불순물뿐만 아니라 불소계 등의 캐리어를 생성하지 않은 불순물의 확산을 억제하는 효과도 있다. 즉, 그 농도 프로파일 곡선 중에 변곡점을 발생시키는 효과가 있다.

또 암모니아 가스에 질소 가스나 아르곤 가스 등의 불활성 가스를 첨가한 가스 분위기 중에서 급속가열 열처리를 행하여도 본 실시예와 같은 효과를 기대할 수 있다. 또, 질소 가스와 수소 가스 등의 다른 가스의 혼합가스 분위기 중이나, NF_3 가스 분위기 중에서 급속가열 열처리를 행하여 본 실시예와 같은 효과가 얻어진다.

또 본 발명에서의 반도체 영역은 반도체 기판 내의 단결정 반도체 영역 뿐만 아니라, 예를 들면 폴리실리콘 등의 다결정 반도체 영역이나 비결정성 실리콘 등의 비정질 반도체 영역이어도 된다. 다결정 반도체 영역이나 비정질 반도체 영역에 있어서도 도전성을 올리기 위하여 붕소, 인, 비소 등의 캐리어 생성용 불순물을 도입하는 것이 있고, 이러한 경우에도 당해 불순물이 도입된 영역에 질소를 도입함으로 써, 본 실시예와 같은 불순물 농도 프로파일을 발생시킬 수 있다.

(제 8 실시예)

다음에, 상술한 제 7 실시예에서의 불순물 농도 분포의 개량 기술을 pMOS 장치의 특성 개선에 이용한 예인 제 8 실시예에 대하여 설명하기로 한다. 도 9는 본 실시예의 제조 공정의 순서를 도시한 흐름도이고, 도 10은 본 실시예에 의한 pMOS 장치의 제조 공정을 도시한 단면도이다.

우선, 도 10의 (a)에 도시된 공정에서는, 반도체 기판 내에 n웰(31)을 형성하고, 이 n웰(31) 위에 두께가 4nm 정도인 산화막을 형성하고, 다시 게이트 산화막(32) 위에 두께가 200nm 정도인 폴리실리콘막을 형성한 후, 리소그라피 공정, 반응성 이온 에칭(RIE) 공정에 의해 산화막 및 폴리실리콘막을 패터닝하여 게이트 산화막(32) 및 게이트 전극(33)을 형성한다. 그 후, 게이트 전극(33)을 마스크로 하여 가속 에너지가 약 10keV, 도즈량이 약 $1\times10^{14}\ cm^{-2}$ 의 조건에서 BF_2 이온의 주입을 행하여 소스 · 드레인의 확장 영역(34)(p형 확산층)을 형성한다. 또, 게이트 전극(33)을 마스크로 하여 가속 에너지가 약 160keV, 도즈량이 약 $6\times10^{12}\ cm^{-2}$, 주입각도가 20° 정도의 조건에서 비소이온의 주입을 행하여 펀치스루 내압을 향상시키기 위한 포켓 영역(35)(n형 확산층)을 형성한다.

계속하여, 도 10의 (b)에 도시된 공정에서는, TEOS 가스에 의한 LPCVD에 의해 두께 120nm의 산화막을 퇴적한 후, 드라이 에칭에 의해 이 산화막을 에칭하여 게이트 전극(33)의 양 측면 상에 산화막의 일부를 잔존시켜 측벽(36)을 형성한다. 또, 가속 에너지가 약 10keV, 도즈량이 약 $2\times10^{15}\ cm^{-2}$ 의 조건에서 붕소 이온의 주입을 행하여 소스 · 드레인 영역(37)(p형 확산층)을 형성한다. 이 때, 게이트에도 붕소가 도입되어 p형 트랜지스터의 전극으로 된다.

계속하여, 도 10의 (c)에 도시된 공정에서는, 통상의 급속가열 열처리(Rapid Thermal Annealing) 장치 내에 기판을 설치하여 5리터/분의 암모니아가 흐르는 암모니아 분위기 중, 약 900℃, 약 10초간의 조건으로 열처리를 행한다. 이로써, 반도체 기판 내에 질소가 도입되고, 소스 · 드레인 영역(37) 중 표면 부근의 영역에 붕소 · 질소 혼재층(38)(질소 확산층)이 형성된다. 또, 통상의 급속가열 열처리(Rapid Thermal Annealing) 장치에 의해 불순물을 활성화하기 위한 열처리로서 약 1000℃, 약 10초간의 열처리를 가함으로써, p형의 확장 영역(34)과, p형의 소스 · 드레인 영역(37) 및 n형의 포켓영역(35)의 범위가 정해진다. 이 때, 상기 제 1 실시예의 p형 확산층(22)에서와 마찬가지로 소스 · 드레인 영역(37) 내에는 질소가 약 0.1㎛의 깊이까지 고농도로 확산된다. 따라서, 소스 · 드레인 영역(37) 내에서의 붕소의 농도 프로파일은 도 8에 도시된 프로파일과 거의 일치한다. 결국, 고농도의 붕소가 존재하는 영역이 표면 부근에 집중된 농도 프로파일을 갖는다. 또, 확장 영역(34) 내에서도 질소에 의해 불순물의 확산이 억제되므로, 확장 영역(34) 내 중 표면부근의 영역에 비교적 고농도의 붕소가 존재하고, 그 바로 아래에는 급격한 농도 구배(농도의 감소)를 나타내는 농도 프로파일을 갖는다.

또 본 실시예에서는 소스 · 드레인 영역(37) 내에 확장 영역(34) 및 포켓영 역(35)을 형성하기 위한 불순물도 도입되었으나, 소스 · 드레인 형성용의 불순물 농도에 비하면 미량이기 때문에 소스 · 드레인 영역(37) 내에 있어서는 그들의 불순물 존재는 거의 무시할 수 있다. 다만, 후술하는 바와 같이, 소스 · 드레인 영역(37)의 형상에 영향을 미칠

수 있다.
계속하여, 도 10의 (d)에 도시된 공정에서는, 티탄과 같은 고융점 금속을 스퍼터링법에 의해 30nm 퇴적하고, 700℃, 1분간 열처리를 가한다. 이 열처리에 의하여 실리콘으로 구성된 소스 · 드레인 영역(37)이나 폴리실리콘으로 구성된 게이트 전극(33) 등 표면 부근의 영역은 티탄과 반응하므로, 소스 · 드레인 영역(37)이나 게이트 전극(33)의 표면 부근에는 티탄 실리사이드막(39)이 형성된다. 그 후, 실리사이드화 되지 않았던 미반응 티탄막은 웨이트 에칭에 의하여 제거된다. 그 후, 기판 상에 층간 절연막(40)이나 콘택트홀에 매립되는 플래그(41), 배선(도시 생략) 등이 형성되어 표면 채널형의 p형 MOSFET가 제조된다.
이상과 같은 제조 방법에 의하면, 질소에 의한 불순물의 확산 억제 작용에 의하여 소스 · 드레인 영역(37)에서의 고농도 영역이나 확장 영역(34a) 내의 비교적 고농도의 영역이 표면 부근으로 집중되므로, 트랜지스터의 펀치스루 내압이 향상되어 단채널 효과의 억제 기능도 향상된다. 이 점에 대해서는 나중에 상세히 설명하기로 한다.
다음에, 본 실시예에 대하여 행한 트랜지스터의 특성에 관한 측정 결과에 대하여 설명하기로 한다. 다만, 이하의 설명에 있어서는 본 실시예의 제조 방법에 의하여 형성되는 p형 MOSFET, 다시 말하면, 붕소를 주입한 후 암모니아 가스 분위기 중에서의 급속가열 열처리를 행한 소스 · 드레인 영역을 갖는 것을 샘플 A, 30keV로 BF_2 이온을 주입한 후 암모니아 가스 분위기 중에서 급속가열 열처리를 행한 p형 MOSFET를 샘플 B, 10keV로 붕소 인을 주입한 후 암모니아 가스 분위기 중에서 급속가열 열처리를 행하지 않은 p형 MOSFET를 샘플 C, 30keV로 BF_2 이온을 주입한 후 암모니아 가스 분위기 중에서 급속가열 열처리를 행하지 않은 p형 MOSFET를 샘플 D라 한다. 다만, BF_2 이온을 주입하는 경우와 붕소 이온을 주입하는 경우에 주입 에너지가 다른 것은 질량차에 기인하는 주입 깊이의 차이를 보상하기 때문이다.
도 11은 샘플 A, C, D에 대해서의 임계값 전압의 게이트 길이 의존성을 도시한 특성도이다. 다만, 임계값 전압이 게이트 길이에 의하여 변화하는 정도가 작을수록 단채널 효과 억제기능이 커지는 것을 도시한다. 도 12는 샘플 A와 D를 게이트 길이와 임계값 전압이 거의 같아지도록 형성한 상태에서 양자의 트랜지스터 특성(I-V특성)을 측정한 결과를 도시한 데이터이다. 도 13은 샘플 A,B,C,D에 대하여 소스 · 드레인 영역 상에 실리사이드막을 형성했을 때의 실리사이드막-소스 · 드레인 영역간 계면의 면적에 대한 당해 계면의 콘택트 저항의 변화를 도시한 데이터이다.
도 11로부터 알 수 있는 바와 같이, 붕소 이온을 10keV로 주입한 것 끼리에 대하여 비교하면 암모니아 가스 분위기 중에서의 급속가열 열처리를 행한 본 실시예의 샘플 A는 암모니아 가스 분위기 중에서의 급속가열 열처리를 행하지 않은 샘플 C 보다 단채널 효과의 억제 기능이 크고, BF_2 이온을 30keV로 주입한 후 암모니 아 분위기 중에서 급속가열 열처리를 행하지 않은 샘플 D와 같은 단채널 효과 억제기능을 갖는다. 한편, 도 12로부터 알 수 있는 바와 같이, 샘플 A와 D의 트랜지스터 특성을 비교하면, 붕소 10keV 주입으로 암모니아 가스 분위기 중에서 급속가열 열처리를 행한 본 실시예의 샘플 A 쪽이 포화 드레인 전류가 10% 크다. 이것은 도 13에 도시된 실리사이드막-소스 · 드레인 영역간 계면의 저항이 본 실시예의 샘플 A 쪽이 낮은 점과, 도 8에 도시된 바와 같이, 붕소 10keV 주입에 의하여 소스 · 드레인 영역의 프로파일 끝쪽이 광범위하게, 즉 소스 · 드레인 영역의 안쪽 영역에서의 불순물 농도가 높기 때문에 샘플 A의 소스 · 드레인 영역의 저항이 낮아지는 것에 기인한다고 생각된다. 결국, 본 실시예의 MOS 장치는 BF_2 이온의 주입만 행하고 암모니아 가스 분위기에서의 급속가열 열처리를 행하지 않은 MOS 장치에 비하여 단채널 효과 억제 기능은 동등하지만 보다 큰 포화 드레인 전류를 실현할 수 있다.
또 도 14는 비소 이온의 주입 후에 암모니아 가스 분위기 중에서의 급속가열 열처리를 행한 n형 MOSFET와, 암모니아 가스 분위기 중에서의 급속가열 열처리를 행하지 않은 n형 MOSFET에 대하여 그 n-채널 게이트 저항의 게이트 폭 의존성을 비교하는 데이터를 도시한다. 또, 도 15는 p형 MOSFET의 상술한 샘플 A,B,C,D의 소스 · 드레인 영역에서의 시트 저항의 실리사이드폭 의존성을 도시한 데이터이다. 도 14에 도시된 바와 같이, 본 실시예와 같은 질소를 도입함으로써, 실리사이드화에 의하여 저저항화를 도모한다는 실리사이드 기술의 목적을 저해하는 문제점은 발생 되지 않는다. 일반적으로는, 질소의 도입에 의하여 실리사이드화 처리가 저해되는 것이 지적되고 있으나, 본 실시예의 방법에서는 질소의 농도가 매우 미량이므로, 이러한 문제점이 발생되지 않음을 알았다. 또, 도 15에 도시된 바와 같이, BF_2 이온의 주입에 의한 시트 저항의 증폭이라는 문제점이 질소의 도입에 의하여 완화된 것을 알았다. 결국, BF_2 이온 주입의 경우 표면과 아주 가까운 근방에 불순물 농도의 피크값이 있으므로 균일한 실리사이드막의 형성이 저해되는 것은 알려져 있으나, 붕소 이온 주입의 경우, 표면보다도 조금 아래쪽의 위치, 즉 실리사이드화된 영역의 바로 아래에 불순물 농도의 피크값이 존재하므로, 균일한 실리사이드막의 형성이 저해되지 않는다. 게다가, 본 실시예의 MOS 장치에서는 시트 저항의 저감에 가장 중요한 기능을 다하는 실리사이드막 바로 아래 영역의 불순물 농도를 높이는 것으로 시트 저항을 대폭 개선할 수 있는 것이다.
또 접합 리크를 저감하는 것도 가능하다는 현저한 효과가 얻어짐을 알았다.
다음에, MOSFET 소스 · 드레인 영역에 질소를 도입함으로써 발생하는 구조상의 특징과 이점에 대하여 설명하기로 한다.
도 16은 MOSFET의 일반적인 소스 · 드레인 영역과 채널 영역 부근의 구조를 도시한 단면도이다. 다만, 도 16에서는 드레인 영역만이 도시되고, 소스 영역은 일반적으로는 드레인 영역과 대칭 구조를 가지므로 도시가 생략되었다.
또, 도 17은 상술한 도 8 중의 데이터로부터 본 실시예의 붕소와 질소를 도입한 소스 · 드레인 영역과 종래의 붕소 주입만에 의한 소스 · 드레인 영역에 대하여 기판의 깊이 방 향에 대한 불순물 농도 분포 곡선(L1, L3)을 인출한 도면이다. 도 16에 도시된 바와 같이, 붕소 이온만의 도입에 의하여 형성되는 종래의 소스 · 드레인 영역(SDb)은 일반적으로 점선으로 도시된 형상을 갖는다. 일반적으로, 불순물의 확산(이온 주입에 의한 확산과 가열에 의한 확산의 쌍방을 포함)은 확산원으로부터 일정한 속도로 각 방향으로 균일하게 진행한다. 그리고, 이 경우에는 소스 · 드레인 영역의 표면이 확산원에 상당하므로, 도 16에 도시된 단면 내에서는 직선 형상의 확산원으로부터 확산이 진행되기 때문이다. 한편, 실시예의 소스 · 드레인 영역(SDbn)은 도면중 실선으로 도시한 형상을 나타낸다. 이와 같은 차이가 발생

되는 것은 다음과 같은 이유에 의한다고 생각된다.
소스 · 드레인 영역은 채널영역과 인접한 영역(Rch)과, 펀치스루를 발생하는 방향으로 된 영역(Rpa) 및 기판 영역과 인접한 저부의 영역(Rsb)으로 대별할 수 있다. 한편, 반도체 기판 중에는 임계값 제어를 위한 n형 불순물(비소, 인 등)이나 펀치스루 방지용 n형 불순물이 도핑되고, 이 n형 불순물의 고농도 영역은 반도체 기판의 표면으로부터 안쪽으로 들어와 있는 깊이 범위에 존재한다(도 17 참조). 상술한 바로 부터, 본 실시예에 의한 소스 · 드레인 영역(SDbn)은 종래의 소스 · 드레인 영역(SDb)에 대하여 이하와 같은 형상적 특징을 나타낸다. 우선, 기판 표면 부근의 영역(Rch)에 있어서는, 본 실시예의 소스 · 드레인 영역(SDbn) 내의 불순물 농도는 종래의 소스 · 드레인 영역(SDb) 내의 농도보다 진하므로 표면 부근의 영역(Rch)에서는 본 실시예의 소스 · 드레인 영역(SDbn)은 종래의 소스 · 드레인 영역(SDb)보다 채널영역 측으로 밀려 나와 있다. 이것은, 고농도 영역을 표면 부근 의 좁은 영역에 제한할 수 있는 것에 의하여 소스 · 드레인 형성용 불순물의 이온 주입시 질소를 도입하지 않을 때의 조건보다 큰 에너지로 주입할 수 있기 때문이다. 그리고, 채널 영역보다 깊은 영역(Rpa)에서는, 본 실시예의 소스 · 드레인 영역에서의 불순물 농도는 피크를 지난 후에 급격하게 저하되기 때문에, n형 불순물에 의한 캐리어 생성을 저감하는 효과를 강하게 받는다. 따라서, 영역(Rpa)에서는 종래의 MOSFET의 소스 · 드레인 영역(SDb) 보다 채널 영역으로부터 멀어지는 방향으로 후퇴한다. 또, 상술한 바와 같이, 이온 주입 에너지를 크게 할 수 있는 것으로 소스 · 드레인 영역의 저부 영역(Rsb)은 질소를 도입하지 않을 때의 소스 · 드레인 영역(SDb)보다 깊어진다. 결국, 본 실시예의 소스 · 드레인 영역(SDbn)의 기판 안쪽에서의 농도 분포는 질소를 도입하지 않을 때의 농도 분포에 비하면 광범위한 분포를 나타내고, 소스 · 드레인 영역(SDbn)이 깊어진다.
그리고, 상술한 구조상의 특징에 의하여 본 실시예의 MOSFET는 다음과 같은 이점을 갖는다. 우선, 기판 표면 부근의 영역(Rch)이 채널 영역측으로 밀림으로써 기생 저항이 작아진다. 그리고, 그 바로 아래의 영역(Rpa)이 후퇴하는 것으로 펀치스루에 대한 내성이 커지고, 단채널 효과의 억제 기능이 커진다. 또, 영역(Rpa)에서의 경사가 완만하게 되므로 기생용량이 작아진다.
또 상술한 설명에서는 포켓 영역의 존재를 무시하고 있으나, 포켓 영역이 존재함으로써 도 16에 도시한 영역(Rpa)의 후퇴가 현저하게 된다. 다만, 포켓 영역을 설정하지 않아도 기본적으로 도 16에 도시된 불순물 농도 프로파일이 얻어지기 때문에 공정을 보다 간소화할 수 있는 이점이 있다.
또, 본 실시예에서는 저저항화의 수단으로서 Ti 살리사이드 프로세스의 경우에 대하여 설명하였으나, Co나 Ni 등 그 외의 살리사이드 프로세스나 선택 텅스텐 퇴적에 의한 텅스텐 부착기술 등 그 외의 기술을 적용하여도 같은 효과를 기대할 수 있다.
또 여기에서의 붕소 및 BF_2 의 주입 조건으로서는 어떠한 조건이라도 같은 효과가 있다.
또 불순물로서는 붕소뿐만 아니라, 인, 비소, 인듐, 안티몬 등 모든 불순물을 도입한 확산층을 형성하는 경우라도 마찬가지이다. 또, 불소 등의 확산층을 형성하지 않은 불순물의 확산을 억제하는 경우라도 마찬가지이다.
또 암모니아 분위기 중의 급속가열 열처리에 관해서는 질소, 아르곤 등의 분위기라도 같은 효과를 기대할 수 있다. 다만, 질소를 붕소와는 다른 제 2 불순물로서 도입하는 것이 바람직하다고 생각된다.
또 실리콘 기판뿐만 아니라 폴리실리콘 중에 대해서도 같은 효과를 기대할 수 있다.
또 본 실시예에서는 소스 · 드레인 영역 및 소스 · 드레인 영역의 확장 영역에 질소를 도입한 경우의 효과에 대하여 설명하였으나, 웰이나 채널 영역에 질소를 도입한 경우에 대해서도 본 실시예와 마찬가지로 캐리어 생성용 불순물의 확산을 억제하는 효과가 있다.
(제 9 실시예)
도 18의 (a) (d)는 본 실시예에 의한 MOSFET의 제조 공정을 도시한 단면도이다.
우선, 도 18의 (a)에 도시된 공정에서는 실리콘 기판(51)의 일부에 소자분리체(52)를 형성하고, 소자분리체(52)로 둘러싸인 활성영역 위에 게이트 산화막(53) 및 게이트 전극(54)을 형성한다. 이 때의 조건은 상기 각 실시예에서의 게이트 산화막 및 게이트 전극 형성시의 조건과 같아도 된다.
다음에, 도 18의 (b)에 도시된 공정에서는, 붕소 이온(B^+)을 주입하고, 소스 · 드레인의 확장 영역(55)을 형성한다. 이 때의 조건은 상기 제 8 실시예에서의 확장 형성시의 조건과 같아도 된다.
다음에, 도 18의 (c)에 도시된 공정에서는, 암모니아 가스 분위기 중에서의 가열처리에 의하여 실리콘 기판 내에 질소를 도입한다. 이 때, 상기 제 8 실시예에서의 질소의 도입 영역보다 얕은 영역에 고농도의 질소가 도입되도록 처리시간을 제 8 실시예에서의 처리시간보다 짧게 하든지, 처리 온도를 낮게 한다. 이 처리에 의하여, 확장 영역(55)의 표면 부근의 영역에 질소 확산층(56)이 형성된다. 동시에, 게이트 산화막(53)의 양단부에 산질화층(57)이 형성된다.
다음에, 도 18의 (d)에 도시된 공정에서는, 게이트 전극(54)의 양측면 상에 측벽(58)을 형성하고, 그 후, 실리콘 기판 내에 붕소 이온을 주입하여 소스 · 드레인 영역(59)을 형성한다. 이 때의 조건은 상기 제 8 실시예에서의 소스 · 드레인 형성시와 같아도 된다.
그 후, 불순물의 활성화를 위한 열처리를 행함으로써 확장 영역(56), 소스 · 드레인 영역(59)의 범위를 정한다.
또 그 후, 소스 · 드레인 영역 및 게이트 전극 위에 실리사이드막을 형성하는 공정을 행하는 것이 바람직하다. 다만, 반드시 실리사이드막을 형성할 필요는 없다.
본 실시예에 있어서는, 확장 영역(55) 내의 비교적 고농도의 영역이 표면 부근으로 제한되므로, 채널 영역에서의 pn 접합부를 얕게 할 수 있고, 채널 저항을 저감할 수 있다. 게다가, 게이트 산화막의 양단에 산질화층(57)이 형성되어 있으므로, 상기 제 1 실시예와 같은 효과, 즉 신뢰성의 향상을 도모할 수 있는 이점도 갖는다. 또, 소스 · 드레인 영역 상에 실리사이드막을 형성한 경우에는 상기 제 8 실시예와 마찬가지로 콘택트 저항을 매우 작게 할 수 있음은 물론이다.

또 본 실시예에서는, p형 MOSFET를 형성하는 경우에 대하여 설명하였으나, 실리콘 기판을 p형 기판으로 하여 소스 · 드레인 영역 및 확장 영역을 형성할 때에 비소이온을 주입함으로써 n형 MOSFET에도 상기 실시예의 제조 공정을 적용할 수 있다. 그 경우에도 채널 영역에서의 pn접합부를 얕게 할 수 있으므로, 채널 저항을 저감할 수 있고, 신뢰성을 향상시킬 수 있는 이점이 있다.

또 암모니아 가스 분위기 중에서의 가열 열처리를 행하는 대신 질소 플라즈마 처리에 의하여 불순물을 기판 내에 도입하여도 된다.

(제 10 실시예)

도 19의 (a) (d)는 제 10 실시예에 의한 MOSFET의 제조 공정을 도시한 단면 도이다.

본 실시예에서는, 상기 제 9 실시예와 기본적으로는 같으나, 확장 영역(55)을 형성하기 전에 질소 확산층(56)을 형성하는 점만이 상기 제 9 실시예와 다르다. 본 실시예에 있어서도 상기 제 9 실시예와 완전히 같은 효과를 얻을 수 있고, 같은 변형 형태를 채용할 수 있다.

(제 11 실시예)

도 20의 (a) (d)는 제 11 실시예에 의한 MOSFET의 제조 공정을 도시한 단면도이다.

우선, 도 20의 (a)에 도시된 공정으로 실리콘 기판(51)의 일부에 소자분리체(52)를 형성하고, 이 상태에서 암모니아 가스 분위기 중에서의 열처리를 행하여 소자분리체(52)로 둘러싸인 활성영역의 표면 부근 영역에 질소를 도입한다. 이 때, 상기 제 8 실시예에서의 질소의 도입 영역보다 얕은 영역에 고농도의 질소가 도입되도록 처리시간을 제 8 실시예에서의 처리시간보다 짧게 하든지, 처리온도를 낮게한다. 이 처리에 의하여, 활성영역의 표면 부근의 영역에 질소 확산층(56)이 형성된다. 다만, 본 실시예에서는, 이 공정에서는 아직 게이트 산화막이 형성되지 않으므로 상기 제 9, 제 10 실시예에서와 같은 게이트 산화막(53) 양단부의 산질화층(57)은 형성되지 않는다.

다음에, 도 20의 (b)에 도시된 공정으로 활성영역 위에 게이트 산화막(53) 및 게이트 전극(54)을 형성한다. 이 때의 조건은, 상기 각 실시예에서의 게이트 산화막 및 게이트 전극 형성시의 조건과 같아도 된다.

다음에, 도 20의 (c)에 도시된 공정에서는, 붕소이온(B^+)을 주입하여 소스 · 드레인의 확장 영역(55)을 형성한다. 이 때의 조건은, 상기 제 8 실시예에서의 확장 형성시의 조건과 같아도 된다.

다음에, 도 20의 (d)에 도시된 공정에서는, 게이트 전극(54)의 양측면 상에 측벽(58)을 형성하고, 그 후, 실리콘 기판 내에 붕소 이온을 주입하여 소스 · 드레인 영역(59)을 형성한다. 이 때의 조건은 상기 제 8 실시예에서의 소스 · 드레인 형성시와 같아도 된다.

그 후, 불순물의 활성화를 위한 열처리를 행함으로써 확장 영역(55), 소스 · 드레인 영역(59)의 범위가 정해진다.

본 실시예에 있어서는 채널 영역 및 확장 영역(55) 내의 비교적 고농도 영역이 표면 부근으로 제한되므로, 채널 영역에서의 pn 접합부를 얕게 할 수 있고, 채널 저항을 저감할 수 있다. 또, 소스 · 드레인 영역 상에 실리사이드막을 형성한 경우에는 상기 제 8 실시예와 마찬가지로 콘택트 저항을 매우 작게 할 수 있음은 물론이다.

또 본 실시예에서는, p형 MOSFET를 형성하는 경우에 대하여 설명하였으나, 실리콘 기판을 p형 기판으로 하여 소스 · 드레인 영역 및 확장 영역을 형성할 때에 비소 이온을 주입함으로써 n형 MOSFET에도 상기 실시예의 제조 공정을 적용할 수 있다. 그 경우에도 채널 영역 및 확장 영역에서의 pn 접합부를 얕게 할 수 있으므로 채널 저항을 저감할 수 있고, 신뢰성을 향상시킬 수 있는 이점이 있다.

또 암모니아 가스 분위기 중에서의 가열 열처리를 행하는 대신 질소 플라즈마 처리에 의하여 불순물을 기판 내에 도입하여도 된다.

(제 12 실시예)

도 21의 (a) (d)는 본 발명에 의한 종형 npn 바이폴라 트랜지스터의 제조공정을 도시한 단면도이다.

도 21의 (a)에 도시된 공정에서는, 실리콘 기판(71)의 표면 부근의 영역에 n형 불순물을 도입하여 n형의 매립 컬렉터층(72)을 형성한 후, 기판의 전체면 상에 n형 에피택시얼층(epitaxial layer)(73)을 형성한다. 또, n형 에피택시얼층(73) 내에 p형 분리층(74)을 형성한 후, 포토레지스트막(81a)을 마스크로 하여 p형 분리층(74)으로 둘러싸인 영역 즉, 컬렉터층(75) 내의 일부에 짙은 n형 불순물을 주입하여 n형 컬렉터 월층(76)을 형성한다.

다음에, 도 21의 (b)에 도시된 공정으로 상기 포토레지스트막(81a)을 제거한 후 암모니아 가스 분위기 중에서 열처리를 행하여 제 8 실시예보다 깊은 영역까지 구체적으로는 나중에 형성되는 베이스층을 포함하는 영역에 질소 확산층(77)을 형성한다. 이 때의 열처리 조건은 암모니아 가스의 유량이 약 5slm, 온도가 약 950°, 시간이 약 30sec 정도이다. 다음에, 포토레지스트막(81b)을 마스크로하여 컬렉터층(75) 내의 일부에 저농도의 붕소 이온을 주입하고, p형의 베이스층(78)을 형성한다. 이 때의 이온 주입의 조건은 주입 에너지가 약 30keV이고, 도즈량이 약 $2\times10^{13}\ cm^{-2}$ 이다.

또 도 21의 (c)에 도시된 공정으로 포토레지스트막(81c)을 마스크로하여 베이스층(78) 내 및 컬렉터 월층(76) 내에 고농도의 비소이온을 주입하고, n형의 이미터층(79) 및 컬렉터 콘택트층(80)을 형성한다.

그 후, 활성화를 위한 열처리를 행하여 각 층에 도입된 불순물을 활성화한다.

본 실시예에서는 베이스층(78)에 질소 확산층(77)이 형성되어 있으므로, 활성화를 위한 열처리시에 베이스층(78) 내의 붕소 확산이 억제되어 베이스층(78)은 비교적 고농도로 두께가 얇게 형성되기 때문에 베이스 저항은 작아진다. 이미터접지회로의 고주파 한계를 부여하는 f_T는 베이스 영역의 폭(본 실시예에서는 두께)을 W라하고, 확산 정수를 D라 하면 D/W^2에 비례하는 것이 알려져 있으므로, 본 실시예의 구조에 의해 바이폴라 트랜지스터의 차단 주파수 f_T를 높일 수 있는 효과를 발휘할 수 있다. 또, 본 실시예의 방법에서는, 이미터층에도 질소 확산층이 형성되므로, 이미터층 표면 부근의 농도를 높일 수 있고, 이미터 저항의 저감에 의하여 전류 증폭율의 향상을 도모할 수 있는 이점이 있다.

또 본 실시예에서는 베이스층 및 이미터 층에 질소 확산층을 형성한 예에 대하여 설명하였으나, 바이폴라 트랜지스터의 이미터층 또는 베이스층에만 질소 확산층을 형성하여도 되는 것은 물론이다.

(각 실시예에 관한 변형예)

상기 각 실시예에서의 도 3의 (a), 도 4의 (a), 도 5의 (a) 및 도 6의 (a)에 도시된 공정 또는 그들의 공정 전에 질소 가스, 암모니아 가스 등의 질소를 포함하는 가스 중에서 가열하든지, 플라즈마 질화처리를 행하여 실리콘 기판 내에 질소를 도입할 수 있다. 이와 같이 하여도 상기 제 9, 10 또는 11 실시예와 같은 효과를 얻을 수 있다. NH_3 가스 분위기 중, 800℃에서 15초간의 열처리를 행한다. 그 후는 각 실시예에서의 공정과 같은 공정을 행함으로써 각 실시예와 같은 구성, 기능을 갖는 장치를 형성할 수 있다. 다른 실시예에 있어서도 질소 이온의 주입 대신이 처리를 행함으로써 상기 각 실시예와 같은 효과를 발휘할 수 있다.

또 열질화의 조건은, N_2 가스 분위기 중, 1000 1200℃에서 30분간 또는 NH_3 가스 분위기중 600 800℃에서 10 30초간의 열처리를 행하면 제 1 실시예 등과 같은 기능을 갖는 산질화층을 게이트 산화막 중에 형성할 수 있다. 플라즈마 질화의 조건은 N_2 가스의 유량이 10 100ccm, 가스압력이 10 300mTorr, 고주파 전력이 50 300W 정도이다. 그 후, 각 실시예에서의 공정과 같은 공정을 행함으로써 각 실시예와 같은 구성, 기능을 갖는 반도체 장치를 형성할 수 있다.

발명의 효과

본 발명의 제 1 8 특징에 의하면, MIS형 전계효과 트랜지스터를 탑재한 반도체 장치 또는 그 제조 방법으로서, 게이트 산화막의 적어도 드레인측의 단부에 산질화층을 설정하였으므로, 핫 캐리어 열화가 거의 없는 신뢰성이 높고 게이트 공핍화 등이 없는 고성능의 반도체 장치를 제공할 수 있다.

본 발명의 제 9 20 특징에 의하면, 반도체 기판의 불순물 확산층에 반도체 원자와의 충돌에 기인하는 결함이 검지레벨 이하의 상태에서 도입된 질소를 포함하는 질소 확산층을 설정하고, 이 질소 확산층을 갖는 불순물 확산층을 MIS형 전계효과 트랜지스터의 소스 · 드레인 영역, 확장 영역, 채널 영역 등, 또는 바이폴라 트랜지스터의 베이스 영역 또는 이미터 영역 등에 적용하였으므로, 고농도의 영역이 집중된 불순물 확산층을 갖고 특성이 좋은 반도체 장치를 제공할 수 있다.

본 발명의 제 21 43 특징에 의하면, MIS형 전계효과 트랜지스터를 탑재한 반도체 장치의 제조 방법으로서, 게이트 산화막의 적어도 드레인측의 단부에 산질화층을 형성하는 로브(lobe)로 하였으므로, 핫 캐리어 열화가 거의 없는 신뢰성이 높고, 게이트 공핍화 등이 없는 고성능의 반도체 장치를 제조할 수 있다.

본 발명의 제 44 60 특징에 의하면, 반도체 장치의 제조 방법으로서, 반도체 기판의 불순물 확산층에 반도체 원자와의 충돌에 기인하는 검지레벨 이상의 결함을 발생시키지 않도록 질소를 도입하여 고농도 영역이 집중된 불순물 확산층을 형성하도록 하였으므로, 특성 좋은 반도체 장치를 제조할 수 있다.

본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 첨부된 특허청구범위에 개시된 본 발명의 사상과 범위를 통해 각종 수정, 변경, 대체 및 부가가 가능할 것이다.

(57) 청구의 범위

청구항 1.

반도체 기판 상에 MIS형 전계효과 트랜지스터를 탑재한 반도체 장치에 있어서,
상기 MIS형 전계효과 트랜지스터는,
상기 반도체 기판의 일부에 형성되는 활성영역과,
상기 활성영역 위에 형성되는 게이트 산화막과,
상기 게이트 산화막 위에 형성되는 게이트 전극과,
상기 활성영역 중 상기 게이트 전극의 양쪽에 위치하는 영역에 불순물을 도입하여 형성되는 소스 영역 및 드레인 영역과,
상기 게이트 산화막의 양단부 중 적어도 상기 드레인 영역측의 단부에 형성되는 산질화층과,
상기 소스 영역 및 드레인 영역 중 적어도 드레인 영역의 일부에 형성되는 질소 확산층을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 2.

제 1 항에 있어서,
상기 산질화층은 상기 게이트 산화막의 양단부에 형성되는 것을 특징으로 하는 반도체 장치.

청구항 3.

제 1 항에 있어서,
상기 질소 확산층은 상기 소스 영역 및 드레인 영역보다 얕게 형성되는 것을 특징으로 하는 반도체 장치.

청구항 4.

제 1 항에 있어서,
반도체 기판 상에 nMIS형 전계효과 트랜지스터와 pMIS형 전계효과 트랜지스터를 구비하고,
상기 MIS형 전계효과 트랜지스터는 상기 nMIS형 전계효과 트랜지스터이고,
상기 pMIS형 전계효과 트랜지스터는,

상기 반도체 기판의 일부에 형성되는 활성영역과,
상기 활성영역 위에 형성되는 게이트 산화막과,
상기 게이트 산화막 위에 형성되는 게이트 전극과,
상기 활성영역 중 상기 게이트 전극의 양측방에 위치하는 영역에 불순물을 도입하여 형성되는 소스 영역 및 드레인 영역을 포함하고,
상기 pMIS형 전계효과 트랜지스터의 게이트 산화막은 그 중앙부 및 양단부가 동일 조성인 것을 특징으로 하는 반도체 장치.

청구항 5.

제 4 항에 있어서,
상기 nMIS형 전계효과 트랜지스터 및 pMIS형 전계효과 트랜지스터는 상기 소스 영역 및 드레인 영역 내의 적어도 일부에 형성되는 질소 산화층을 추가로 포함하는 것을 특징으로 하는 반도체 장치.

청구항 6.

제 5 항에 있어서,
상기 질소 확산층은 상기 소스 영역과 드레인 영역 중 어느 하나 보다도 얕게 형성되는 것을 특징으로 하는 반도체 장치.

청구항 7.

제 1 항, 제 2 항, 제 3 항 내지 제 6 항 중 어느 한 항에 있어서,
상기 게이트 전극 위에 상기 게이트 전극과 동시에 패터닝되는 게이트 상부 절연막을 추가로 포함하는 것을 특징으로 하는 반도체 장치.

청구항 8.

반도체 기판과,
상기 반도체 기판 내의 활성영역의 위에 형성되는 게이트 절연막과,
상기 게이트 절연막 위에 형성되는 게이트 전극과,
상기 활성영역 중 상기 게이트 전극의 양측방에 위치하는 영역 내에 형성되어 캐리어 생성용의 제 1 도전형 불순물을 포함하는 소스 영역 및 드레인 영역과,
상기 활성영역 중 상기 소스 영역 및 드레인 영역 사이에 형성되어 제 2 도전형 불순물을 포함하는 채널 영역을 갖는 MIS형 전계효과 트랜지스터이고,
상기 소스 영역 및 드레인 영역으로 되는 불순물 확산층의 적어도 일부를 포함하는 영역에 반도체 원자와의 충돌에 기인하는 결함이 검지레벨을 초과하지 않은 상태에서 도입된 질소를 함유하는 질소 확산층을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 9.

제 8 항에 있어서,
상기 불순물 확산층 내에서의 상기 제 1 도전형 불순물의 농도가 반도체 기판 내의 표면 부근 영역의 최대 농도 위치로부터 상기 반도체 기판의 안쪽을 향하여 감소됨과 동시에, 그 감소 비율이 상기 최대 농도 위치를 통과한 그 아래 방향의 소정 위치에 도달하기까지는 크고, 상기 소정 위치보다 안쪽을 향하는 영역에서는 감소 비율이 작아지는 분포를 갖는 것을 특징으로 하는 반도체 장치.

청구항 10.

제 8 항에 있어서,
상기 불순물 확산층 위에 형성되는 실리사이드막을 추가로 포함하고,
상기 불순물 확산층 내에서의 상기 제 1 도전형 불순물의 최대 농도 위치는 상기 실리사이드막과의 계면 바로 아래쪽에 있는 것을 특징으로 하는 반도체 장치.

청구항 11.

제 8 항에 있어서,
상기 게이트 전극의 양측면 상에 형성되는 절연성 재료로 된 측벽과,
상기 소스 영역 및 드레인 영역과 상기 게이트 전극의 바로 아래 방향 영역 사이에 각각 형성되어 상기 소스 영역 및 드레인 영역보다 저농도의 제 1 도전형 불순물을 포함하는 확장 영역을 추가로 포함하고,
상기 질소 확산층은 상기 확장 영역에도 걸쳐 형성되는 것을 특징으로 하는 반도체 장치.

청구항 12.

제 8 항에 있어서,
상기 질소 확산층은 상기 채널 영역에도 걸쳐 있는 것을 특징으로 하는 반도체 장치.

청구항 13.

제 11 항에 있어서,
상기 질소 확산층은 상기 채널 영역에도 걸쳐 있는 것을 특징으로 하는 반도체 장치.

청구항 14.

제 8 항에 있어서,
상기 소스 영역 및 드레인 영역 중 상기 캐리어 생성용 불순물의 농도가 소정값 이상인 영역이 상기 채널 영역에 인접하는 부분에 있어서, 상기 질소가 없는 경우에 대하여 상기 반도체 기판 내의 표면 부근의 영역에서는 상기 채널 영역측으로 잠입하는 한편, 그 안쪽에서는 채널 영역측으로부터 멀어지도록 구성되는 것을 특징으로 하는 반도체 장치.

청구항 15.
제 8 항 내지 제 10 항 및 제 11 항 내지 제 14 항 중 어느 한 항에 있어서,
상기 소스 영역 및 상기 드레인 영역 위에 형성되는 적어도 금속을 함유하는 도체막을 추가로 포함하고,
상기 소스 영역 및 드레인 영역 중 상기 질소 확산층이 형성되는 영역에서의 상기 캐리어 생성용 불순물의 최대 농도 위치는 상기 도체막과의 계면 부근에 있는 것을 특징으로 하는 반도체 장치.

청구항 16.
반도체 기판과,
상기 반도체 기판 내의 활성영역의 일부에 형성되어 제 2 도전형 불순물을 포함하는 이미터 영역과,
상기 활성영역 내에서 상기 이미터 영역을 둘러싸도록 형성되어 제 1 도전형 불순물을 포함하는 베이스 영역과,
상기 활성영역 내에서 상기 베이스 영역의 아래쪽을 포함하는 영역에 형성되어 제 2 도전형 불순물을 포함하는 컬렉터 영역을 갖는 바이폴라 트랜지스터이며,
상기 에미터 영역의 적어도 일부를 포함하는 영역에 반도체 원자와의 충돌에 기인하는 결함이 검지레벨을 초과하지 않은 상태에서 도입된 질소를 함유하는 질소확산층을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 17.
반도체 기판과,
상기 반도체 기판 내의 활성영역의 일부에 형성되어 제 2 도전형 불순물을 포함하는 이미터 영역과,
상기 활성영역 내에서 상기 이미터 영역을 둘러싸도록 형성되어 제 1 도전형 불순물을 포함하는 베이스 영역과,
상기 활성영역 내에서 상기 베이스 영역의 아래쪽을 포함하는 영역에 형성되 어 제 2 도전형 불순물을 포함하는 컬렉터 영역을 갖는 바이폴라 트랜지스터이고,
상기 베이스 영역의 적어도 일부를 포함하는 영역에 반도체 원자와의 충돌에 기인하는 결함이 검지레벨을 초과하지 않은 상태에서 도입된 질소를 함유하는 질소확산층을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 18.
MIS형 전계효과 트랜지스터를 탑재한 반도체 장치의 제조 방법에 있어서,
반도체 기판 상에 활성영역을 둘러싸는 소자분리체를 형성하는 제 1 공정과,
상기 활성영역 위에 산화막 및 도체막을 퇴적하는 제 2 공정과,
상기 산화막 및 도체막을 패터닝하여 상기 MIS형 전계효과 트랜지스터의 게이트 산화막 및 게이트 전극을 각각 형성하는 제 3 공정과,
상기 게이트 산화막의 양단부 중 적어도 드레인 영역측의 단부에 질소를 도입하여 산질화층을 형성하는 것과 동시에 상기 활성 영역 중 적어도 드레인 영역이 형성되는 영역에 질소를 도입하여 상기 소스 영역 및 드레인 영역보다 얕은 질소확산층을 형성하는 제 4 공정과,
상기 활성영역 중 상기 게이트 전극의 양측방에 위치하는 영역에 제 1 도전형 불순물을 도입하여 상기 MIS형 전계효과 트랜지스터의 소스 영역 및 드레인 영역을 형성하는 제 5 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 19.
제 18 항에 있어서,
상기 제 4 공정은 상기 제 3 공정 후 상기 제 5 공정 전에 행하고, 기판 위쪽의 적어도 드레인 형성영역측으로 경사진 방향을 포함하는 방향에서 질소 이온을 주입함으로써 상기 산질화층을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 20.
제 18 항에 있어서,
상기 제 4 공정에서는, 상기 드레인측에 경사진 방향과 상기 소스 영역측에 경사진 방향을 포함하는 적어도 2 이상의 방향에서 불순물 이온을 주입하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 21.
제 19 항 또는 제 20 항에 있어서,
상기 제 4 공정에서는 상기 트랜지스터의 채널 방향으로 평행한 단면 내에서 상기 반도체 기판의 표면에 수직인 방향에 대하여 10 ° 이상 경사진 방향에서 불순물 이온을 주입하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 22.
제 18 항에 있어서,
상기 제 4 공정은 적어도 질소를 포함하는 가스 분위기중에서 상기 반도체 기판을 가열 처리함으로써 행해지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 23.
제 22 항에 있어서,
상기 제 4 공정은 암모니아 가스 분위기중에서 행해지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 24.
제 18 항에 있어서,
상기 제 4 공정은 질소를 포함하는 가스 분위기중에서 플라즈마를 발생시킴으로써 행해지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 25.

제 21 항에 있어서,
상기 제 4 공정은 상기 소스 영역 및 드레인 영역에도 질소를 도입하도록 행해지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 26.

제 18 항 내지 제 20 항 및 제 22 항 내지 제 24 항 중 어느 한 항에 있어서,
상기 제 4 공정은 상기 소스 영역 및 드레인 영역에도 질소를 도입하도록 행해지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 27.

제 21 항에 있어서,
상기 제 4 공정 전에 상기 게이트 전극을 마스크로하여 반도체 기판 내에 저농도의 제 1 도전형 불순물을 도입하여 저농도 소스 · 드레인 영역을 형성하는 공정과,
상기 제 4 공정 후 상기 제 5 공정 전에 상기 게이트 전극의 양측면 상에 절연체 측벽을 형성하는 공정을 추가로 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 28.

제 18 항 내지 제 20 항 및 제 22 항 내지 제 24 항 중 어느 한 항에 있어서,
상기 제 4 공정 전에 상기 게이트 전극을 마스크로 하여 반도체 기판 내에 저농도의 제 1 도전형 불순물을 도입하여 저농도 소스 · 드레인 영역을 형성하는 공정과,
상기 제 4 공정 후 상기 제 5 공정 전에 상기 게이트 전극의 양측면 상에 절연체 측벽을 형성하는 공정을 추가로 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 29.

제 21 항에 있어서,
상기 제 5 공정 후, 상기 소스 영역 및 드레인 영역 위에 적어도 금속을 포함하는 저저항막을 형성하는 공정을 추가로 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 30.

제 18 항 내지 제 20 항 및 제 22 항 내지 제 24 항 중 어느 한 항에 있어서,
상기 제 5 공정 후, 상기 소스 영역 및 드레인 영역 위에 적어도 금속을 포함하는 저저항막을 형성하는 공정을 추가로 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 31.

제 21 항에 있어서,
상기 제 2 공정에서는 상기 도체막 위에 절연막을 추가로 퇴적하고,
상기 제 3 공정에서는 상기 도체막 및 산화막과 동시에 상기 절연막을 패터닝하여 상기 게이트 전극 위에 게이트 상부 절연막을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 32.

제 26 항에 있어서,
상기 제 2 공정에서는 상기 도체막 위에 절연막을 추가로 퇴적하고,
상기 제 3 공정에서는 상기 도체막 및 산화막과 동시에 상기 절연막을 패터닝하여 상기 게이트 전극 위에 게이트 상부 절연막을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 33.

제 28 항에 있어서,
상기 제 2 공정에서는 상기 도체막 위에 절연막을 추가로 퇴적하고,
상기 제 3 공정에서는 상기 도체막 및 산화막과 동시에 상기 절연막을 패터닝하여 상기 게이트 전극 위에 게이트 상부 절연막을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 34.

제 30 항에 있어서,
상기 제 2 공정에서는 상기 도체막 위에 절연막을 추가로 퇴적하고,
상기 제 3 공정에서는 상기 도체막 및 산화막과 동시에 상기 절연막을 패터닝하여 상기 게이트 전극 위에 게이트 상부 절연막을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 35.

제 18 항 내지 제 20 항, 제 22 항 내지 제 25 항, 제 27 항 및 제 29 항 중 어느 한 항에 있어서,
상기 제 2 공정에서는 상기 도체막 위에 절연막을 추가로 퇴적하고,
상기 제 3 공정에서는 상기 도체막 및 산화막과 동시에 상기 절연막을 패터닝하여 상기 게이트 전극 위에 게이트 상부 절연막을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 36.

제 18 항에 있어서,
상기 제 1 공정에서는 nMIS형 전계효과 트랜지스터를 형성하기 위한 제 1 활성영역과 상기 pMIS형 전계효과 트랜지스터를 형성하기 위한 제 2 활성영역을 개별적으로 둘러싸는 소자분리체를 형성하고,
상기 제 2 공정에서는 상기 제 1 및 제 2 활성영역 위에 산화막 및 도체막을 퇴적하고,

상기 제 3 공정에서는 상기 산화막 및 도체막을 패터닝하여 상기 제 1 및 제 2 활성영역 위에 nMIS형, pMIS형 전계효과 트랜지스터의 게이트 산화막 및 게이트 전극을 각각 형성하고,
상기 제 4 공정에서는, 상기 nMIS형 전계효과 트랜지스터의 게이트 산화막의 양단부 중 적어도 드레인 영역측의 단부에 질소를 도입하여 산질화층을 형성하고,
상기 제 5 공정에서는, 상기 제 1 및 제 2 활성영역 중 상기 게이트 전극의 양측방에 위치하는 영역에서 제 1, 제 2 도전형 불순물을 각각 도입하여 상기 nMIS형 및 pMIS형 전계효과 트랜지스터의 소스영역 및 드레인 영역을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 37.

제 36 항에 있어서,
상기 제 3 공정 후 상기 제 5 공정 전에 상기 제 2 활성영역을 덮는 제 1 마스크 부재를 형성하는 공정을 더욱 포함하고,
상기 제 4 공정에서는 상기 제 1 마스크 부재를 형성한 상태에서 상기 제 1 활성영역 상의 윗쪽 또는 적어도 드레인 영역측으로 경사진 방향을 포함하는 방향에서 질소 이온을 주입함으로써 상기 산질화층을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 38.

제 36 항 또는 제 37 항에 있어서,
상기 제 3 공정 후 상기 제 5 공전 전에 상기 제 1 활성영역을 덮는 제 2 마스크 부재를 형성하는 공정과,
상기 제 2 마스크 부재를 형성한 상태에서 상기 반도체 기판의 표면에 대하여 거의 수직 방향에서 상기 제 2 활성영역 내에 질소 이온을 주입하는 것을 추가로 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 39.

제 38 항에 있어서,
상기 제 2 공정에서는 상기 도체막 위에 절연막을 추가로 퇴적하고,
상기 제 3 공정에서는 상기 도체막 및 산화막과 동시에 상기 절연막을 패터닝하여 상기 제 1 및 제 2 활성영역 내의 상기 게이트 전극 위에 게이트 상부 절연막을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 40.

제 36 항 또는 제 37 항에 있어서,
상기 제 2 공정에서는 상기 도체막 위에 절연막을 추가로 퇴적하고,
상기 제 3 공정에서는 상기 도체막 및 산화막과 동시에 상기 절연막을 패터닝하여 상기 제 1 및 제 2 활성영역 내의 상기 게이트 전극 위에 게이트 상부 절연막을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 41.

반도체 기판의 반도체 영역 내에 캐리어 생성용 불순물을 도입하여 제 1 불순물 확산층을 형성하는 제 1 공정과,
상기 반도체 기판의 반도체 영역 내에 반도체 원자와의 충돌에 기인하는 검지 레벨 이상의 결함을 발생시키지 않도록 질소를 도입하여 질소 확산층을 형성하는 제 2 공정과,
상기 반도체 기판을 가열하여 상기 캐리어 생성용 불순물을 활성화시키는 제 3 공정을 포함하고,
상기 제 1 공정 및 제 2 공정은 양 공정 중 어느 한쪽을 우선적으로 상기 제 1 불순물 확산층과 상기 질소 확산층이 적어도 오버랩되도록 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 42.

제 41 항에 있어서,
상기 제 1 공정은 적어도 질소를 포함하는 가스 분위기중에서 상기 반도체 기판을 가열 처리함으로써 행해지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 43.

제 42 항에 있어서,
상기 제 3 공정은 암모니아 가스 분위기중에서 행해지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 44.

제 43 항에 있어서,
상기 제 3 공정은 온도가 900 ° 이상, 시간이 10초 이하인 조건에서 행해지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 45.

제 41 항에 있어서,
상기 제 1 공정은 적어도 질소를 포함하는 가스 분위기중에서 플라즈마를 발생시킴으로써 행해지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 46.

제 41 항에 있어서,
상기 제 3 공정 후에 상기 소스 영역 및 드레인 영역 위에 실리사이드막을 형성하는 공정을 추가로 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 47.

제 41 항 내지 45 항 중 어느 한 항에 있어서,
상기 반도체 기판 내에는 MIS형 전계효과 트랜지스터 형성영역이 설치되고,

상기 MIS형 전계효과 트랜지스터 형성영역 위에 게이트 절연막 및 게이트 전극을 형성하는 공정을 추가로 포함하고,
상기 제 1 공정에서는 상기 게이트 절연막 및 게이트 전극을 형성한 후, 상기 MIS형 전계효과 트랜지스터 형성영역 중 상기 게이트 전극의 양측방에 위치하는 영역에서 상기 캐리어 생성용 불순물을 도입하여 상기 MIS형 전계효과 트랜지스터의 소스 영역 및 드레인 영역을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 48.

제 47 항에 있어서,
상기 게이트 절연막 및 게이트 전극을 형성하는 공정에서는 산화막으로 된 게이트 절연막을 형성하고,
상기 제 2 공정은 상기 게이트 절연막 및 게이트 전극을 형성하는 공정 후에 행하고, 상기 제 2 공정에서는 상기 게이트 절연막의 양단부에도 질소를 도입하여 산질화층을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 49.

제 47 항에 있어서,
상기 게이트 절연막 및 게이트 전극을 형성하는 공정 후 또는 상기 제 1 공정 전에,
상기 MIS형 전계효과 트랜지스터 형성영역 내에 상기 소스 영역 및 드레인 영역에 도입한 상기 캐리어 생성용 불순물보다 저농도이고 같은 도전형의 제 2 캐리어 생성용 불순물을 도입하여 확장 영역을 형성하는 공정과,
상기 게이트 전극의 양측면 상에 절연체 측벽을 형성하는 공정을 추가로 포함하고,
상기 제 1 공정에서는 상기 MIS형 전계효과 트랜지스터 형성영역 중 상기 게이트 전극 및 측벽의 양측방에 위치하는 영역 내로 상기 캐리어 생성용 불순물을 도입하고,
상기 제 2 공정에서는 상기 확장 영역의 적어도 일부를 포함하도록 상기 질소 확산층을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 50.

제 49 항에 있어서,
상기 게이트 절연막 및 게이트 전극을 형성하는 공정 후 또는 상기 제 1 공정 전에 상기 MIS형 전계효과 트랜지스터 형성영역 내에 상기 소스 영역 및 드레인 영역에 도입한 상기 캐리어 생성용 불순물보다 저농도이고 역도전형의 제 3 캐리어 생성용 불순물을 도입하여 포켓 영역을 형성하는 공정을 추가로 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 51.

제 47 항에 있어서,
상기 제 2 공정은 상기 게이트 절연막 및 게이트 전극을 형성하는 공정 및 상기 제 1 공정 전에 행하고, 상기 MIS형 전계효과 트랜지스터 형성영역의 횡방향 전체에 걸쳐 질소 확산층을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 52.

제 49 항 또는 제 50 항에 있어서,
상기 제 2 공정은 상기 게이트 절연막 및 게이트 전극을 형성하는 공정 및 상기 제 1 공정 전에 행하고, 상기 MIS형 전계효과 트랜지스터 형성영역의 횡방향 전체에 걸쳐 질소 확산층을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 53.

제 47 항에 있어서,
상기 제 3 공정 후, 상기 소스 영역, 드레인 영역 및 게이트 전극 위에 실리사이드막을 형성하는 공정을 추가로 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 54.

제 52 항에 있어서,
상기 제 3 공정 후, 상기 소스 영역, 드레인 영역 및 게이트 전극 위에 실리사이드막을 형성하는 공정을 추가로 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 55.

제 48 항 내지 제 51 항 중 어느 한 항에 있어서,
상기 제 3 공정 후, 상기 소스 영역, 드레인 영역 및 게이트 전극 위에 실리사이드막을 형성하는 공정을 추가로 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 56.

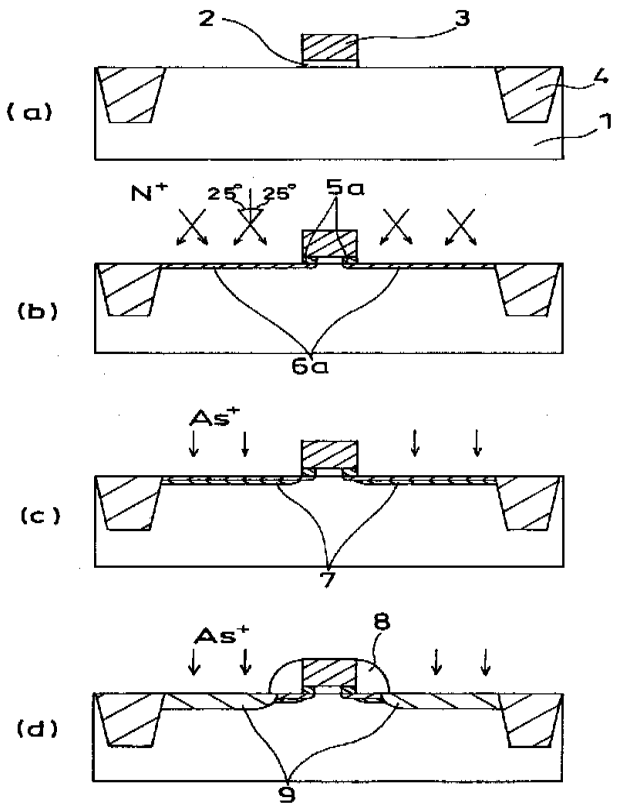
제 41 항 내지 제 45 항 중 어느 한 항에 있어서,
상기 반도체 기판 내에는 바이폴라 트랜지스터 형성영역이 설치되고,
상기 바이폴라 트랜지스터 형성영역에 제 1 도전형 불순물을 도입하여 바이폴라 트랜지스터의 컬렉터 영역을 형성하는 공정과,
상기 컬렉터 영역 내에 제 2 도전형 불순물을 도입하여 바이폴라 트랜지스터의 베이스 영역을 형성하는 공정을 추가로 포함하고,
상기 제 1 공정에서는 상기 베이스 영역 내에 제 1 도전형 불순물을 도입하여 상기 바이폴라 트랜지스터의 이미터 영역을 형성하고,
상기 제 2 공정에서는 상기 이미터 영역의 적어도 일부를 포함하는 영역에 질소를 도입하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 57.

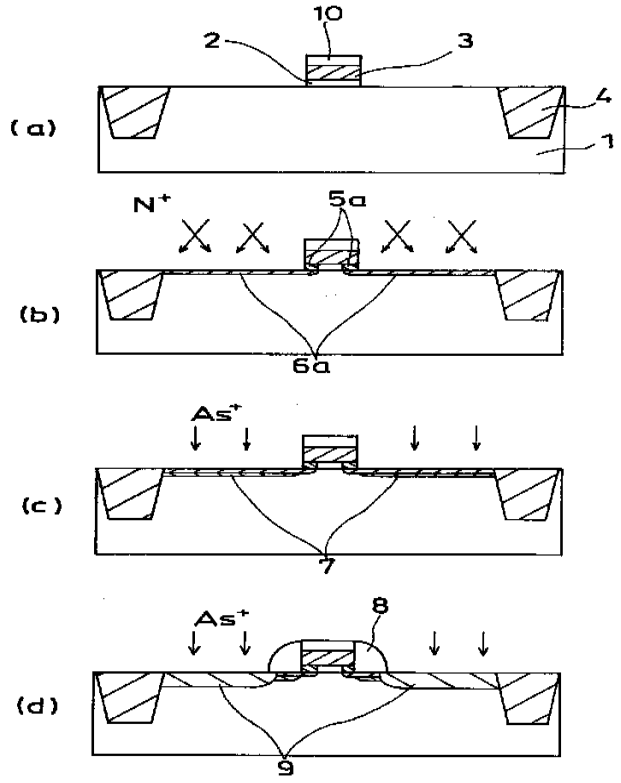
제 41 항 내지 제 45 항 중 어느 한 항에 있어서,
상기 반도체 기판 내에는 바이폴라 트랜지스터 형성영역이 설치되고,
상기 바이폴라 트랜지스터 형성영역에 제 1 도전형 불순물을 도입하여 바이폴라 트랜지스터의 컬렉터 영역을 형성하는 공정과,
상기 제 1 공정 후, 상기 컬렉터 영역 내에 제 1 도전형 불순물을 도입하여 상기 바이폴라 트랜지스터의 이미터 영역을 형성하는 공정을 추가로 포함하고,
상기 제 1 공정에서는 상기 컬렉터 영역 내와 상기 이미터 영역을 둘러싸는 영역에 제 2 도전형 불순물을 도입하여 바이폴라 트랜지스터의 베이스 영역을 형성하고,
상기 제 2 공정에서는 상기 베이스 영역의 적어도 일부를 포함하는 영역에 질소를 도입하는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

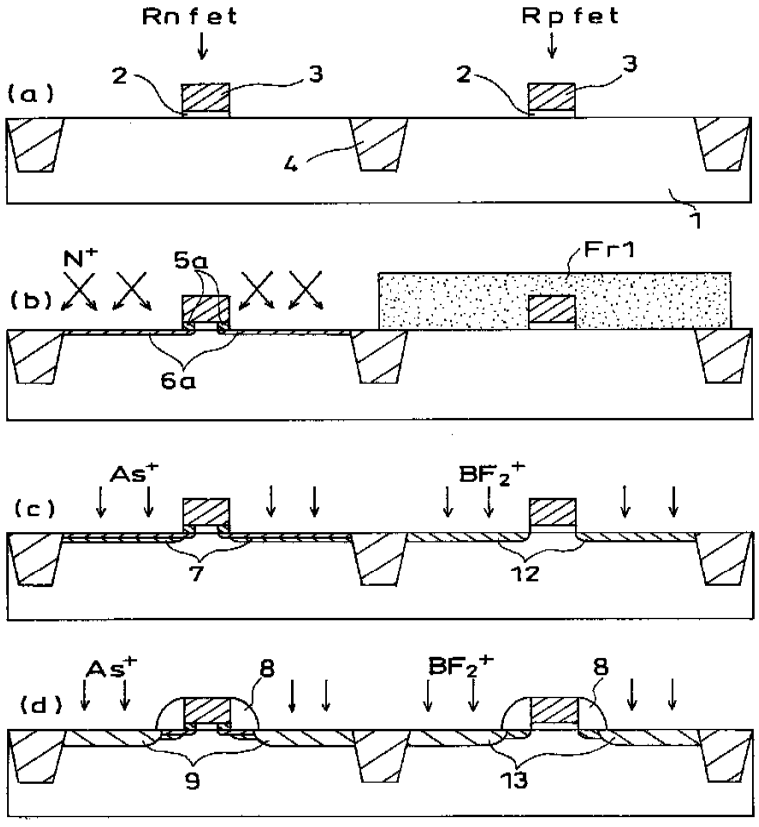
도면1



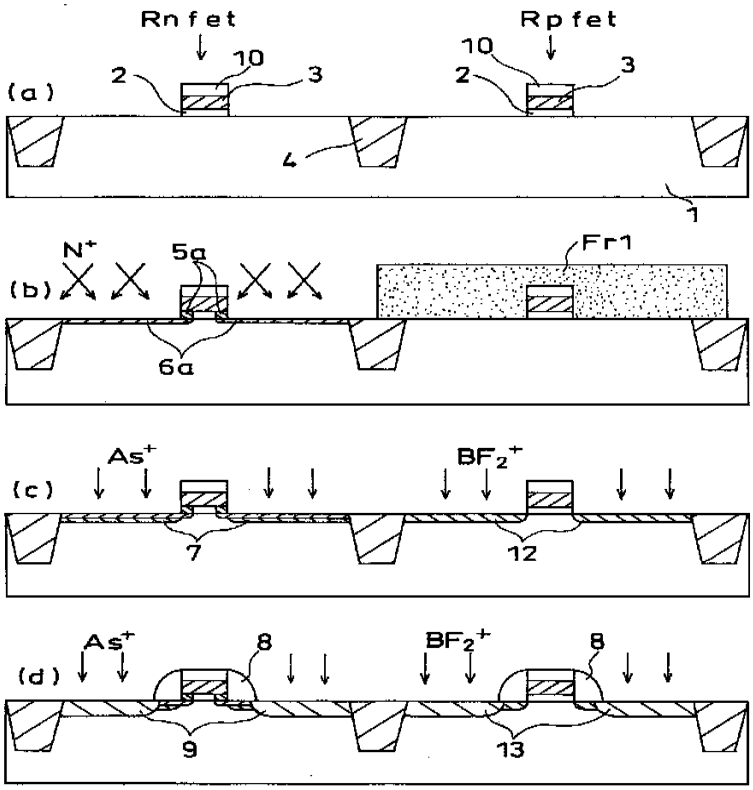
도면2


10
2
3
4
1
(a)
N+
5a
(b)
6a
As+
(c)
7
As+
8
(d)
9

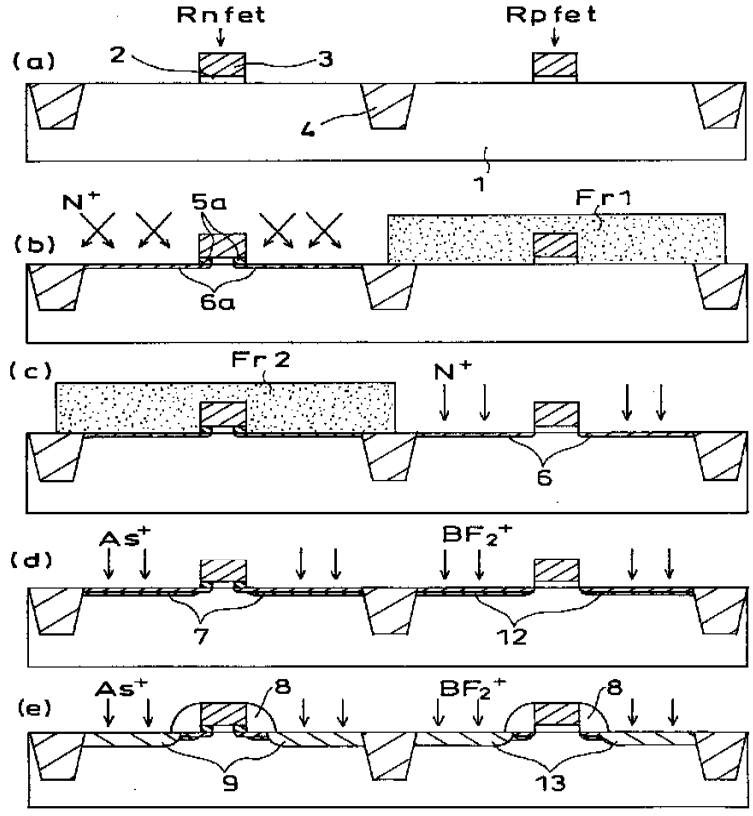
도면3


Rn fet
Rp fet
(a)
2
3
4
1
N+
5a
Fr1
(b)
6a
As+
BF2+
(c)
7
12
As+
8
BF2+
8
(d)
9
13

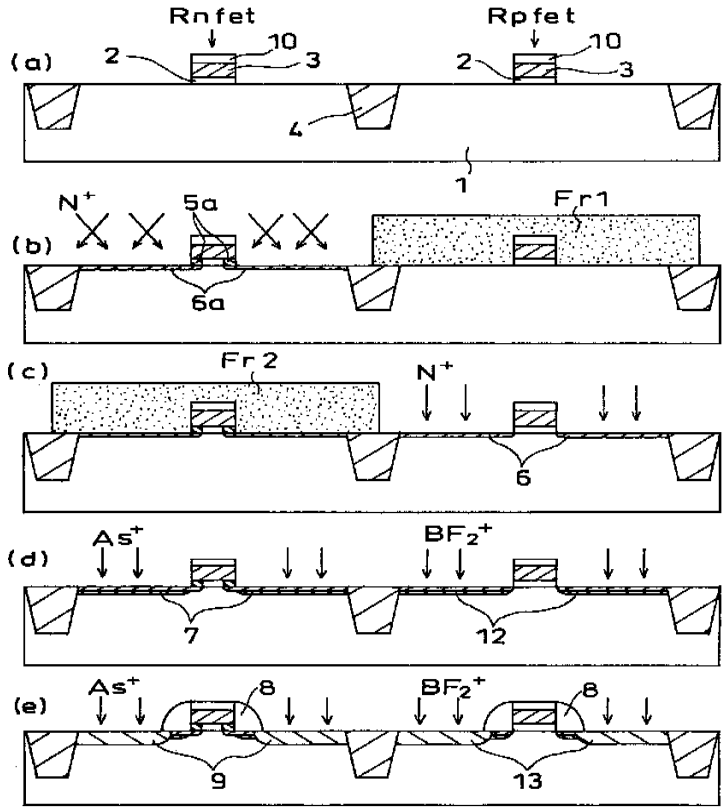
도면4


Rn fet
Rp fet
(a)
10
2
3
4
1
(b)
N+
5a
Fr1
6a
(c)
As+
BF2+
7
12
(d)
8
9
13

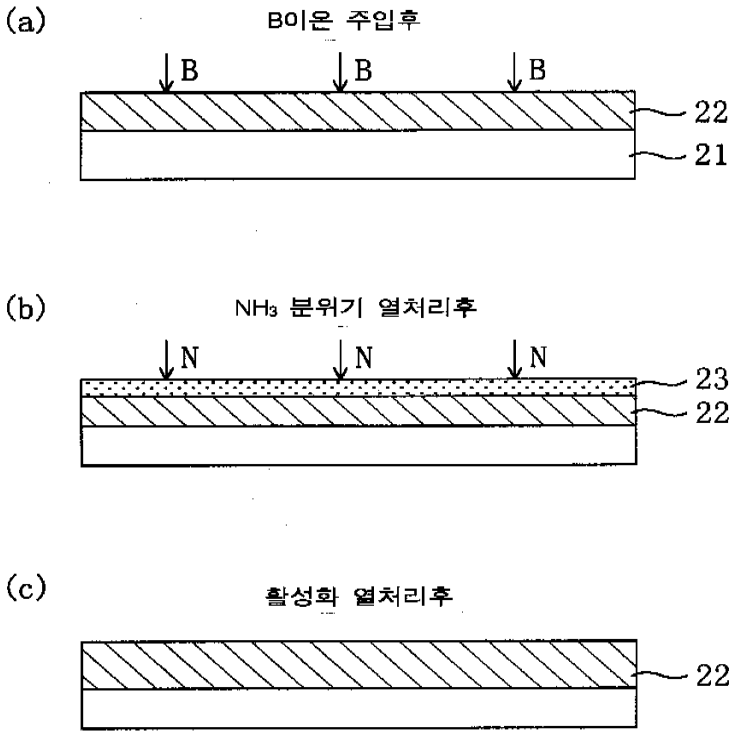
도면5


Rnfet
Rpfet
(a)
2
3
4
1
(b)
N+
5a
Fr1
6a
(c)
Fr2
6
(d)
As+
BF2+
7
12
(e)
8
9
13

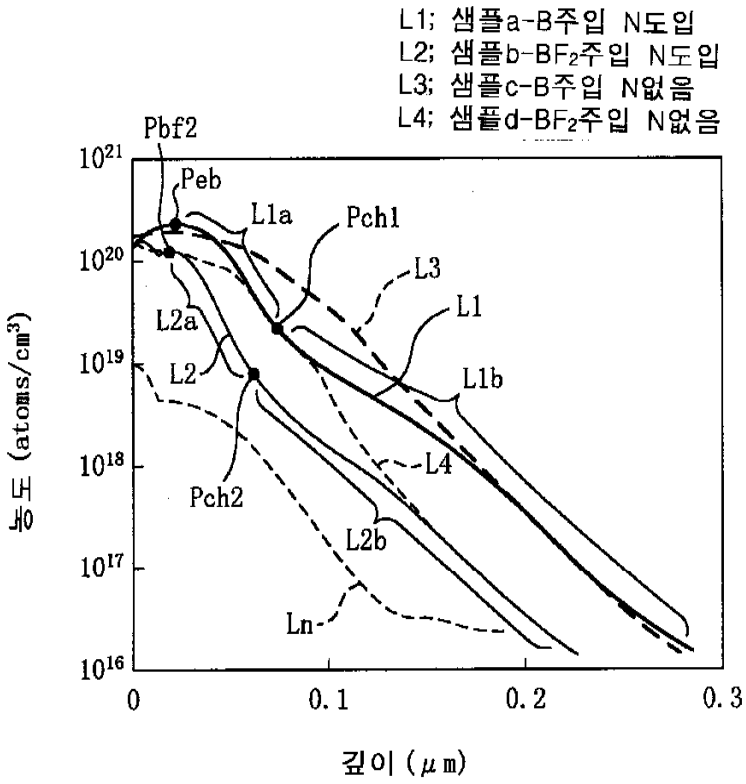
도면6


Rnfet
Rpfet
(a)
2
10
3
4
1
N+
5a
Fr1
(b)
6a
Fr2
(c)
6
As+
BF2+
(d)
7
12
(e)
8
9
13

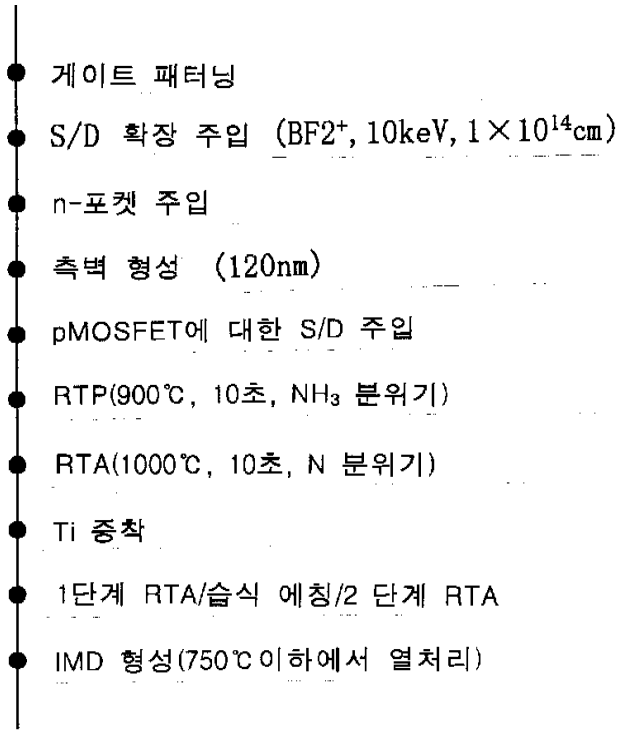
도면7


(a)
B이온 주입후
B
22
21
(b)
NH3 분위기 열처리후
N
23
22
(c)
활성화 열처리후
22

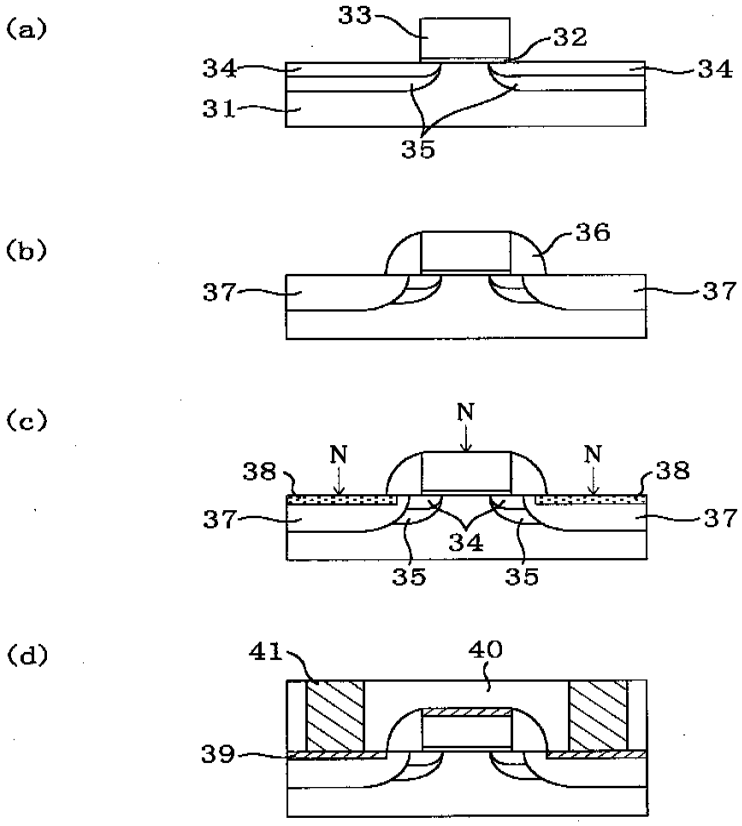
도면8


L1; 샘플a-B주입 N도입
L2; 샘플b-BF2주입 N도입
L3; 샘플c-B주입 N없음
L4; 샘플d-BF2주입 N없음
Pbf2
Peb
L1a
Pch1
L3
L1
L2a
L2
L1b
L4
Pch2
L2b
Ln
농도 (atoms/cm3)
10^21
10^20
10^19
10^18
10^17
10^16
0
0.1
0.2
0.3
깊이 (μm)

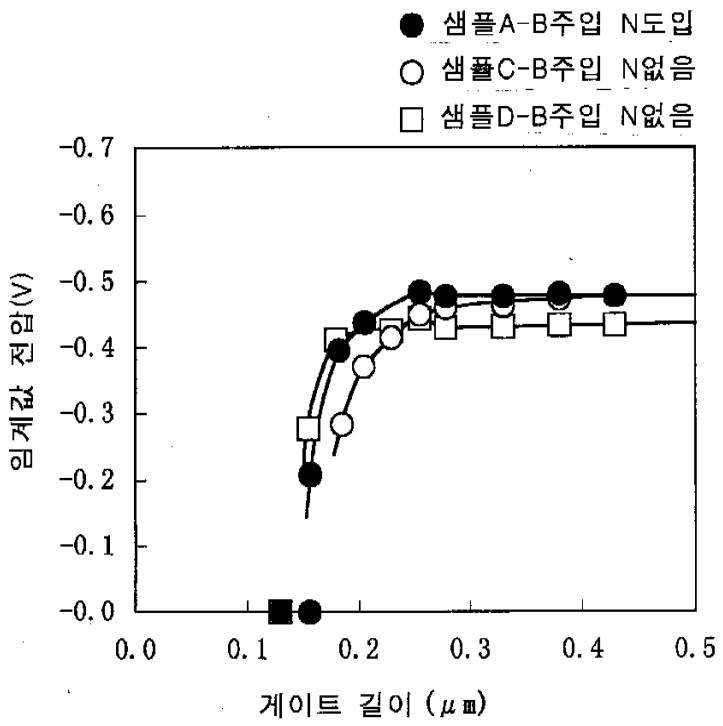
도면9


게이트 패터닝
S/D 확장 주입 (BF2+, 10keV, 1×10^14cm)
n-포켓 주입
측벽 형성 (120nm)
pMOSFET에 대한 S/D 주입
RTP(900℃, 10초, NH3 분위기)
RTA(1000℃, 10초, N 분위기)
Ti 증착
1단계 RTA/습식 에칭/2 단계 RTA
IMD 형성(750℃이하에서 열처리)

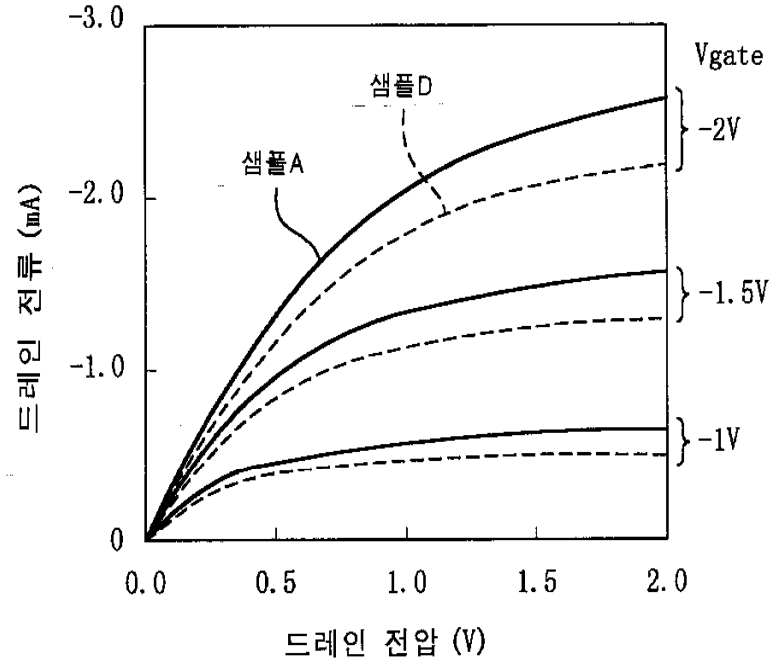
도면10


(a)
33
32
34
34
31
35
(b)
36
37
37
(c)
N
N
N
38
38
37
37
34
35
35
(d)
41
40
39

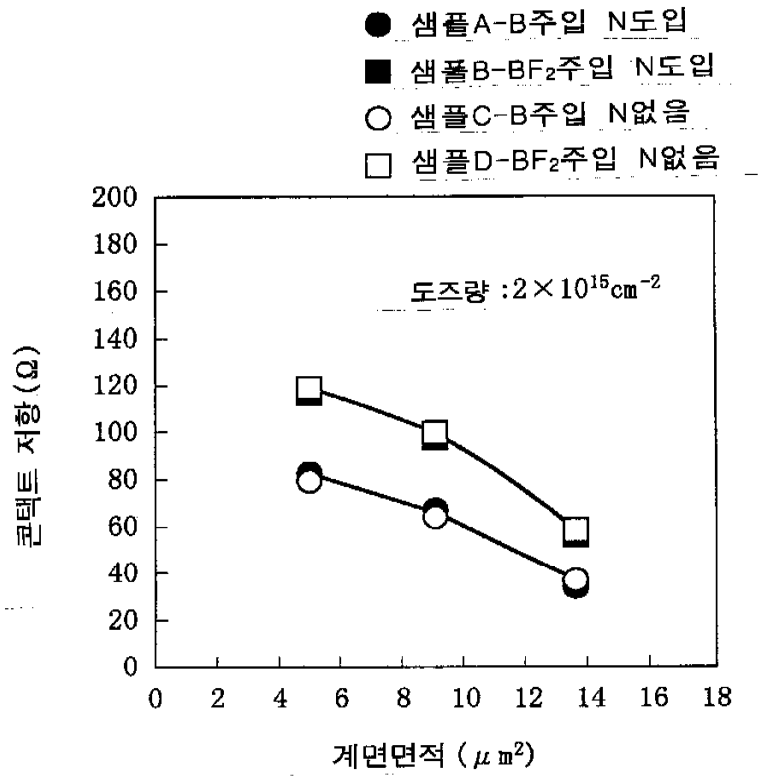
도면11


샘플A-B주입 N도입
샘플C-B주입 N없음
샘플D-B주입 N없음
-0.7
-0.6
-0.5
-0.4
-0.3
-0.2
-0.1
-0.0
0.0
0.1
0.2
0.3
0.4
0.5
임계값 전압(V)
게이트 길이 (㎛)

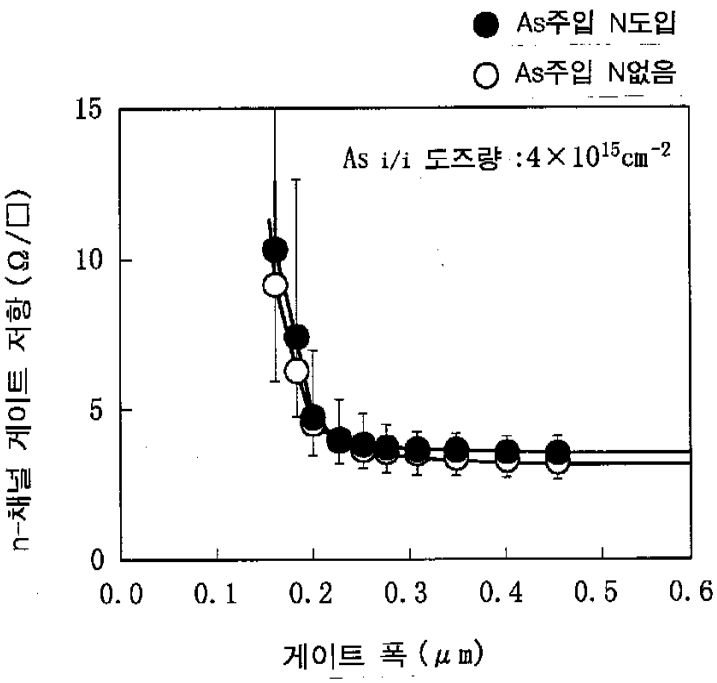
도면12


-3.0
-2.0
-1.0
0
0.0
0.5
1.0
1.5
2.0
드레인 전류 (mA)
드레인 전압 (V)
Vgate
샘플D
샘플A
-2V
-1.5V
-1V

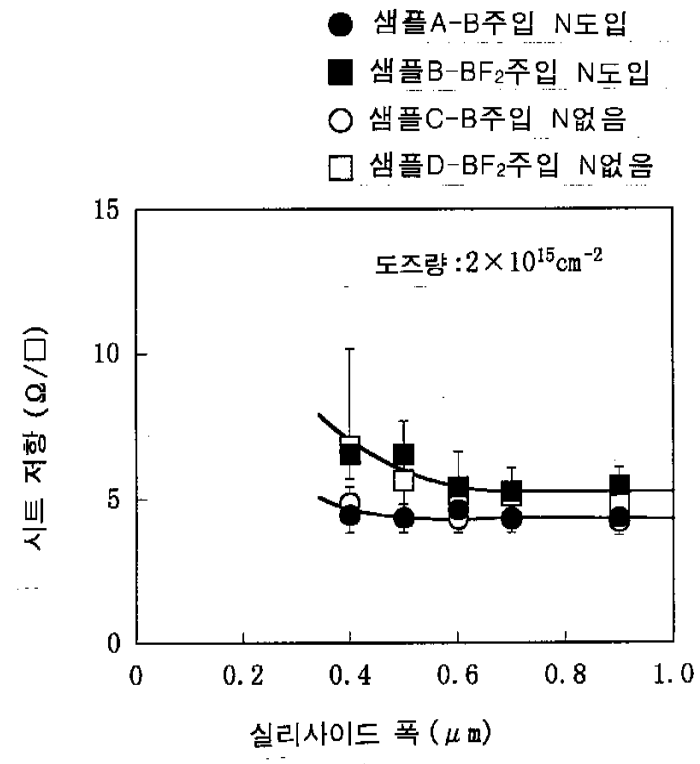
도면13


샘플A-B주입 N도입
샘플B-BF2주입 N도입
샘플C-B주입 N없음
샘플D-BF2주입 N없음
도즈량 :2×10^15cm^-2
200
180
160
140
120
100
80
60
40
20
0
0
2
4
6
8
10
12
14
16
18
콘택트 저항(Ω)
계면면적 (μm^2)

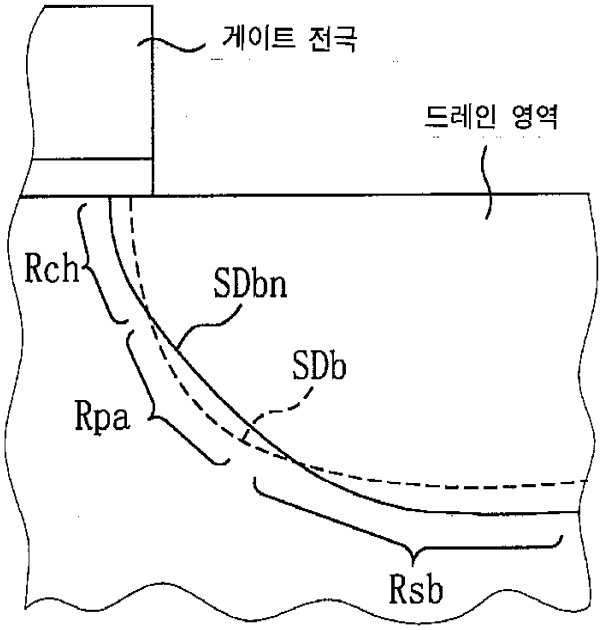
도면14


As주입 N도입
As주입 N없음
As i/i 도즈량 :4×10¹⁵cm⁻²
n-채널 게이트 저항 (Ω/□)
15
10
5
0
0.0
0.1
0.2
0.3
0.4
0.5
0.6
게이트 폭 (μm)

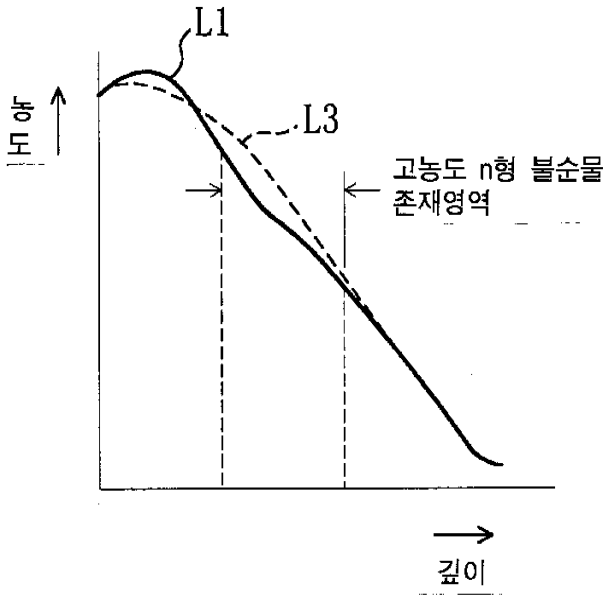
도면15


샘플A-B주입 N도입
샘플B-BF₂주입 N도입
샘플C-B주입 N없음
샘플D-BF₂주입 N없음
도즈량 :2×10¹⁵cm⁻²
시트 저항 (Ω/□)
15
10
5
0
0
0.2
0.4
0.6
0.8
1.0
실리사이드 폭 (μm)

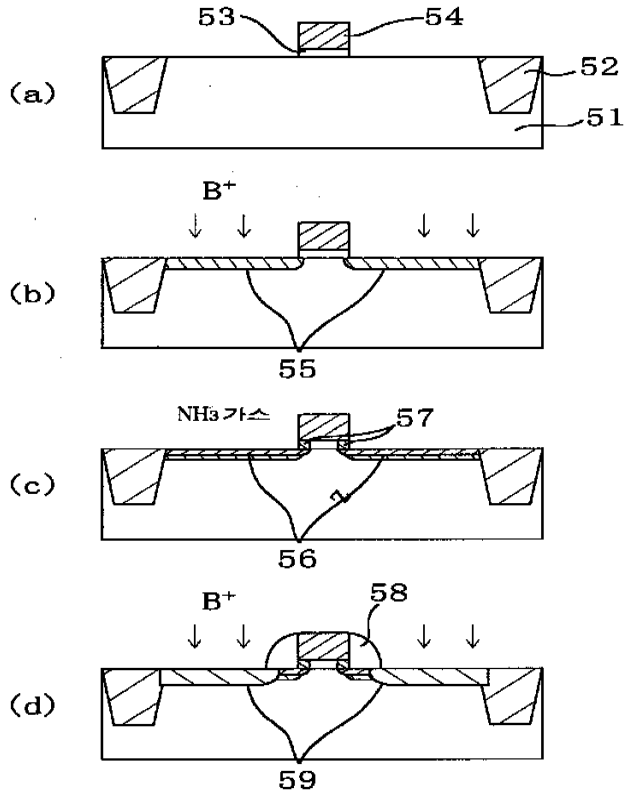
도면16



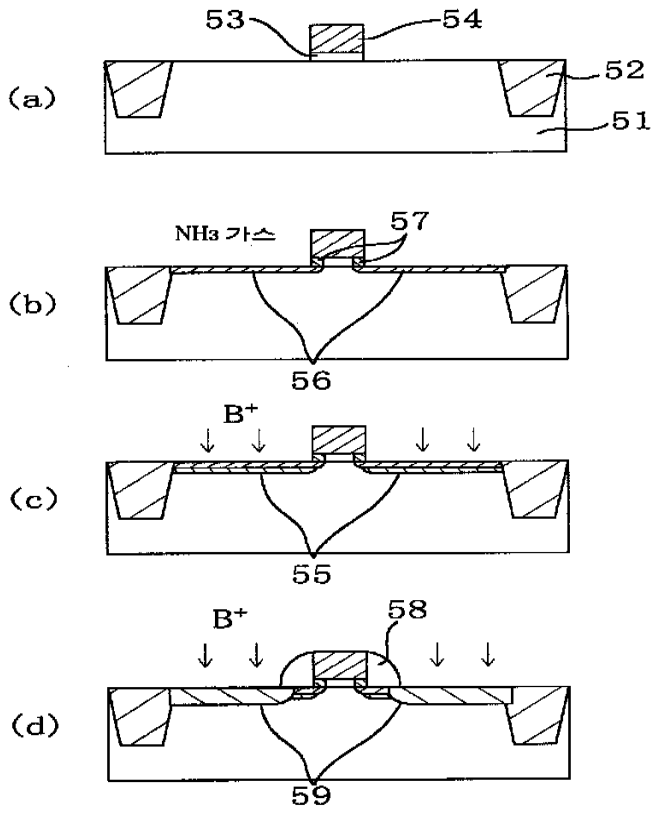
도면17



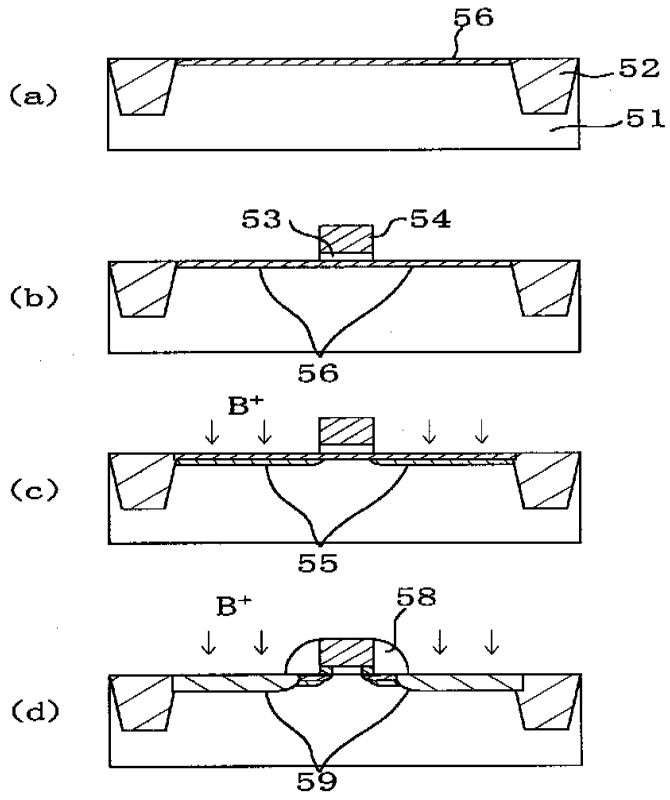
도면18


(a)
53
54
52
51
(b)
B+
55
(c)
NH3 가스
57
56
(d)
B+
58
59

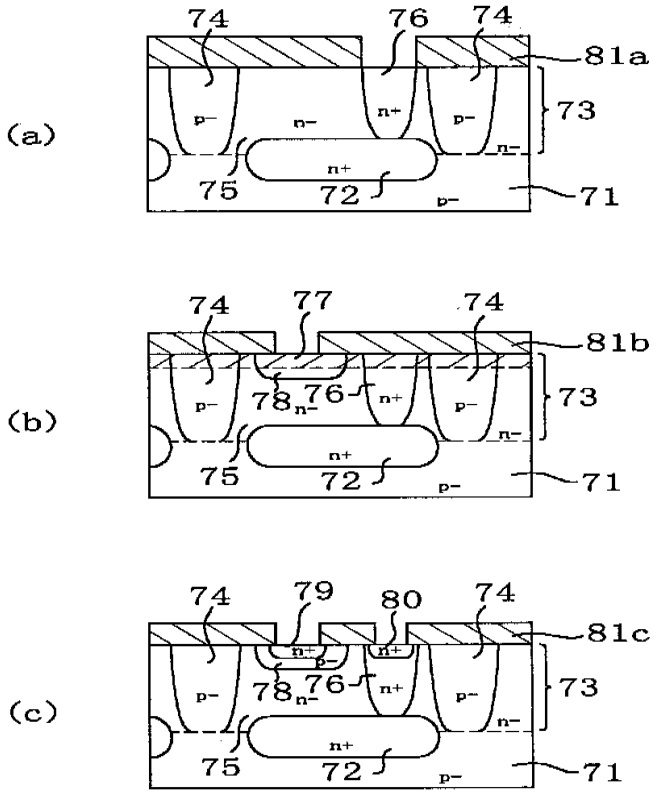
도면19


(a)
53
54
52
51
(b)
NH3 가스
57
56
(c)
B+
55
(d)
B+
58
59

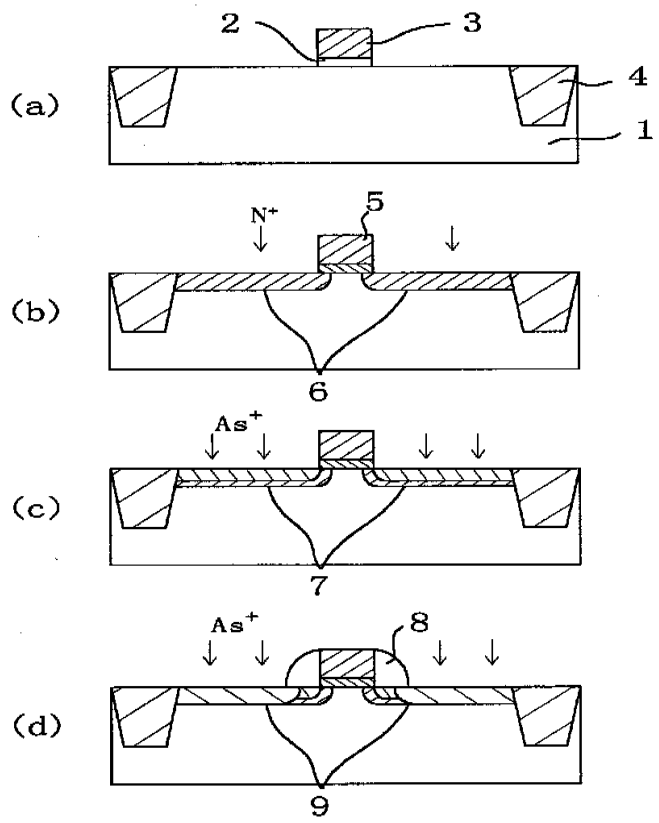
도면20


(a)
56
52
51
(b)
53
54
56
(c)
B+
55
(d)
B+
58
59

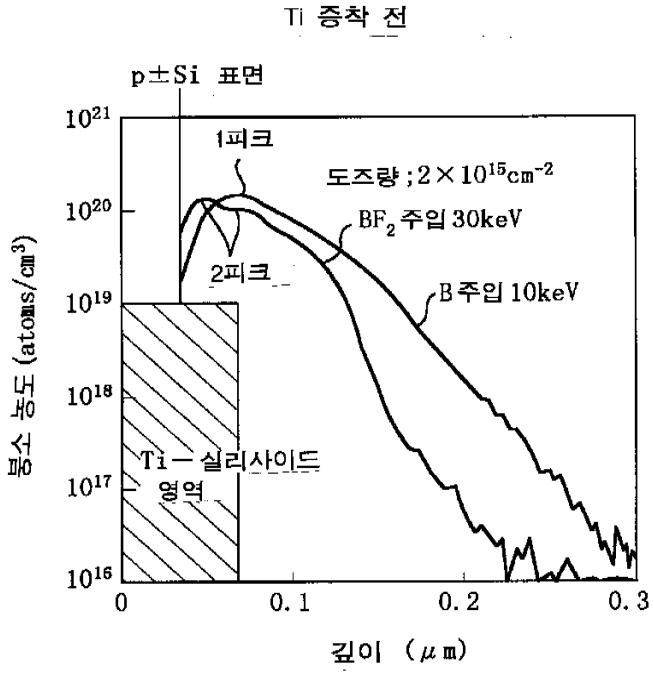
도면21


(a)
74
76
74
81a
73
p-
n-
n+
p-
n-
n+
75
72
p-
71
(b)
74
77
74
81b
73
78
76
75
72
71
(c)
74
79
80
74
81c
73
78
76
75
72
71

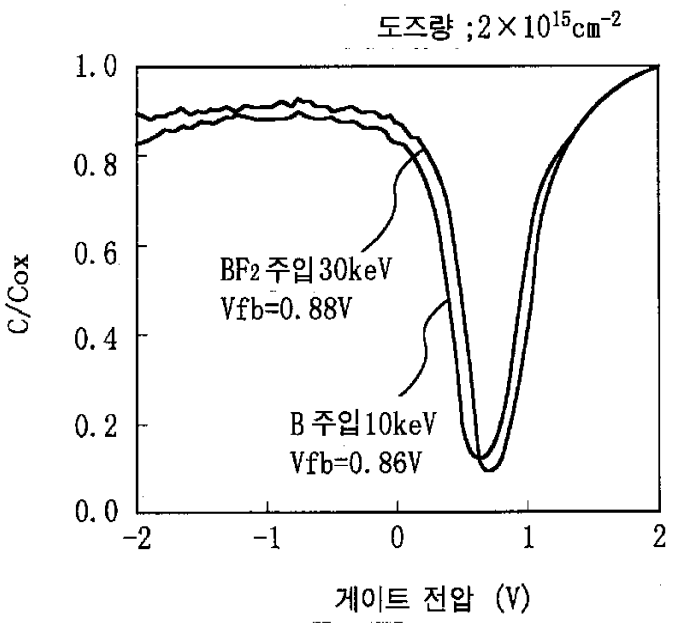
도면22


(a)
2
3
4
1
(b)
N+
5
6
(c)
As+
7
(d)
As+
8
9

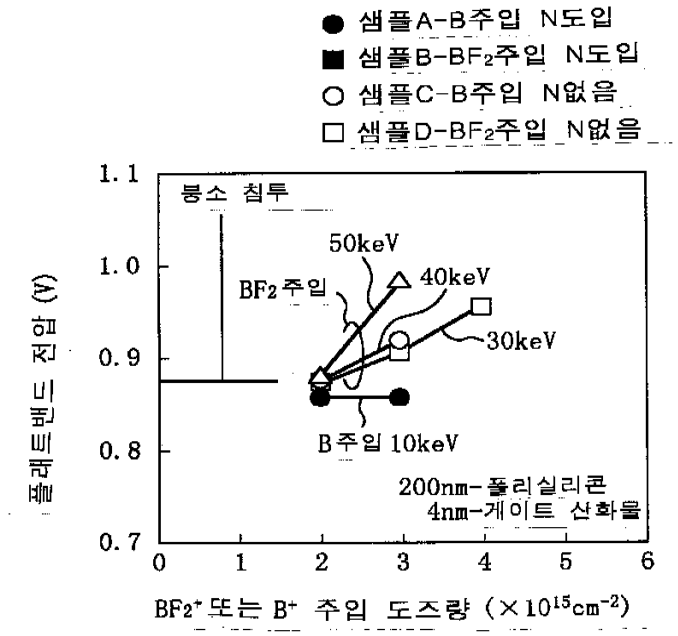
도면23


Ti 증착 전
p±Si 표면
1피크
도즈량 ; 2×10¹⁵cm⁻²
BF₂ 주입 30keV
2피크
B 주입 10keV
Ti-실리사이드 영역
불순물 농도 (atoms/cm³)
10²¹
10²⁰
10¹⁹
10¹⁸
10¹⁷
10¹⁶
0
0.1
0.2
0.3
깊이 (μm)

도면24


도즈량 ;2×10¹⁵cm⁻²
1.0
0.8
0.6
0.4
0.2
0.0
C/Cox
BF₂ 주입 30keV
Vfb=0.88V
B 주입 10keV
Vfb=0.86V
-2
-1
0
1
2
게이트 전압 (V)

도면25


● 샘플A-B주입 N도입
■ 샘플B-BF₂주입 N도입
○ 샘플C-B주입 N없음
□ 샘플D-BF₂주입 N없음
1.1
1.0
0.9
0.8
0.7
플랫밴드 전압 (V)
붕소 침투
50keV
40keV
BF₂ 주입
30keV
B 주입 10keV
200nm-폴리실리콘
4nm-게이트 산화물
0
1
2
3
4
5
6
BF₂⁺ 또는 B⁺ 주입 도즈량 (×10¹⁵cm⁻²)